

特長

柔軟性の高い基準周波数入力
 入力周波数：8 kHz～750 MHz
 2つの基準周波数入力
 基準周波数喪失インジケータ
 自動および手動ホールドオーバー・モード
 自動および手動スイッチオーバー・モード
 出力のAからBへの円滑な位相遷移
 ホールドオーバー・モードにおける優れた安定性
 プログラマブル16+1ビット入力分周器、R
 差動HSTLクロック出力
 最大750MHzの出力周波数
 400MHz以上の周波数に対応する低ジッタのクロック・ダブラー
 150MHz未満の周波数に対応するシングルエンドCMOS出力
 プログラマブル・デジタル・ループ・フィルタ (<1Hz～約100kHz)
 14ビットDAC内蔵の高速デジタル制御発振器 (DCO) DDSコア
 優れた動的性能
 プログラマブル16+1ビット帰還分周器、S
 ソフトウェア・コントロールのパワーダウン
 64ピンLFCSPパッケージ

アプリケーション

ネットワーク同期
 基準クロックのジッタ除去
 FECを含めたOC-192までに対応するSONET/SDHクロック
 Stratum 3/3E 基準クロック
 ワイヤレス基地局、コントローラ
 ケーブル・インフラ
 データ通信

概要

AD9549は、同期式光通信ネットワーク (SONET/SDH) を含むさまざまなシステムに対応する同期性能を備えています。外部から入力される2つの基準周波数のうち1つに同期した出力クロックを生成します。外部基準周波数には、位相ノイズとしても規定される大きい時間ジッタが含まれる場合があります。デジタル制御ループおよびホールドオーバー回路を採用したAD9549は、両方の基準周波数に障害が発生した場合でも、基準周波数喪失状態のときにクリーン (低ジッタ) な有効出力クロックを持続的に発生します。

AD9549は、-40～+85°Cの工業用温度範囲で動作します。

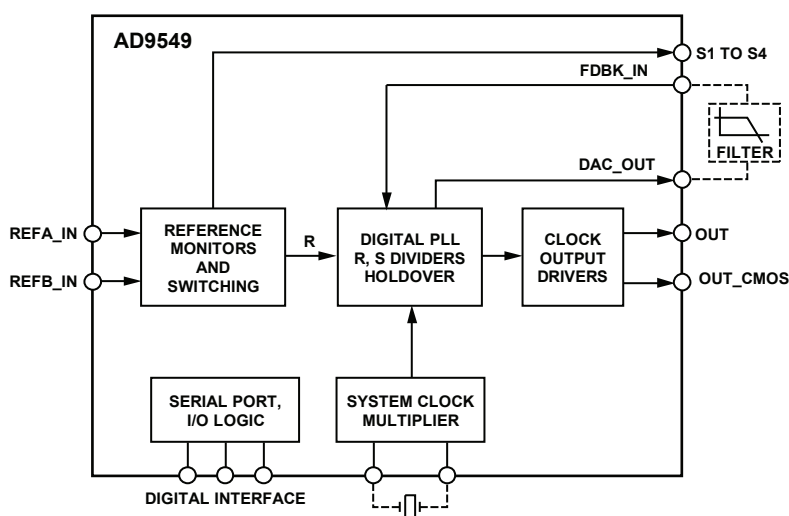


図1. 基本ブロック図

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
 ※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
 ©2007 Analog Devices, Inc. All rights reserved.

目次

特長	1	熱的性能	39
アプリケーション	1	AD9549 のパワーアップ	40
概要	1	パワーオン・リセット	40
改訂履歴	2	プログラミング・シーケンス	40
仕様	3	電源の分離	41
DC仕様	3	3.3 V電源	41
AC仕様	5	1.8 V電源	41
絶対最大定格	8	シリアル・コントロール・ポート	42
ESDに関する注意	8	シリアル・コントロール・ポート・ピンの説明	42
ピン配置と機能の説明	9	シリアル・コントロール・ポートの動作	42
代表的な性能特性	12	命令ワード (16ビット)	43
推奨の入出力終端	15	MSB/LSB ファースト転送	43
動作原理	16	I/Oレジスタ・マップ	46
概要	16	I/Oレジスタの説明	51
PLLコア (DPLL)	16	シリアル・ポート設定 (レジスタ 0000～レジスタ 0005)	51
位相検出器	20	パワーダウンおよびリセット	
デジタル・ループ・フィルタ係数	21	(レジスタ 0010～レジスタ 0013)	51
クローズド・ループ位相オフセット	22	システム・クロック (レジスタ 0020～レジスタ 0023)	52
ロック検出	23	デジタル PLL コントロールおよび分周器	
基準周波数モニタ	24	(レジスタ 0100～レジスタ 0130)	53
基準周波数のスイッチオーバー	25	フリーラン (シングル・トーン) モード	
ホールドオーバー	27	(レジスタ 01A0～レジスタ 01AD)	55
出力周波数範囲の制御	30	基準周波数セクタ/ホールドオーバー	
再構成フィルタ	30	(レジスタ 01C0～レジスタ 01C3)	56
FDBK入力	30	ダブラーおよび出力ドライバ	
基準周波数入力	31	(レジスタ 0200～レジスタ 0201)	57
SYSCLK入力	31	モニタ (レジスタ 0300～レジスタ 0335)	57
高調波スプリアスの低減	33	キャリブレーション (ユーザ・アクセス可能調整)	
出力クロック・ドライバと 2x 周波数通倍器	34	(レジスタ 0400～レジスタ 0410)	61
周波数スルー・リミッタ	35	高調波スプリアス低減 (レジスタ 0500～レジスタ 0509)	62
周波数推定器	35	アプリケーション回路例	64
ステータスと警告	36	外形寸法	65
		オーダー・ガイド	65

改訂履歴

8/07—Revision 0: Initial Version

仕様

DC仕様

特に指定のない限り、AVDD = 1.8 V ± 5%、AVDD3 = 3.3 V ± 5%、DVDD = 1.8 V ± 5%、DVDD_I/O = 3.3 V ± 5%、AVSS = 0 V、DVSS = 0 V。

表 1.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
SUPPLY VOLTAGE					
DVDD_I/O (Pin 1)	3.135	3.30	3.465	V	
DVDD (Pin 3, Pin 5, Pin 7)	1.71	1.80	1.89	V	
AVDD3 (Pin 14, Pin 46, Pin 47, Pin 49)	3.135	3.30	3.465	V	
AVDD3 (Pin 37)	1.71	3.30	3.465	V	Pin 37 is typically 3.3 V, but can be set to 1.8 V
AVDD (Pin 11, Pin 19, Pin 23 to Pin 26, Pin 29, Pin 30, Pin 36, Pin 42, Pin 44, Pin 45, Pin 53)	1.71	1.80	1.89	V	
SUPPLY CURRENT					
I _{AVDD3} (Pin 14)		4.7	5.6	mA	REFA, REFB buffers
I _{AVDD3} (Pin 37)		3.8	4.5	mA	CMOS output clock driver at 3.3 V
I _{AVDD3} (Pin 46, Pin 47, Pin 49)		26	29	mA	DAC output current source, f _S = 1 GSPS
I _{AVDD} (Pin 36, Pin 42)		21	26	mA	FDBK in, HSTL output clock driver (output doubler turned on.)
I _{AVDD} (Pin 11)		12	15	mA	REFA and REFB input buffer 1.8 V supply
I _{AVDD} (Pin 19, Pin 23 to Pin 26, Pin 29, Pin 30, Pin 44, Pin 45)		194	255	mA	Aggregate analog supply, including system clock PLL
I _{AVDD} (Pin 53)		41	49	mA	DAC power supply
I _{DVDD} (Pin 3, Pin 5, Pin 7)		254	265	mA	Digital core
I _{DVDD_I/O} (Pin 1)		4	6	mA	Digital I/O (varies dynamically)
LOGIC INPUTS (Except Pin 32)					
Input High Voltage (V _{IH})	2.0		DVDD_I/O	V	Pin 56 to Pin 61, Pin 64, Pin 9, Pin 10, Pin 54, Pin 55, Pin 63
Input Low Voltage (V _{IL})	DVSS		0.8	V	
Input Current (I _{INH} , I _{INL})		±60	±200	μA	At V _{IN} = 0 V and V _{IN} = DVDD_I/O
Maximum Input Capacitance (C _{IN})		3		pF	
CLKMODESEL (Pin 32) LOGIC INPUT					
Input High Voltage (V _{IH})	1.4		AVDD	V	Pin 32 only
Input Low Voltage (V _{IL})	AVSS		0.4	V	
Input Current (I _{INH} , I _{INL})		-18	-50	μA	At V _{IN} = 0 V and V _{IN} = AVDD
Maximum Input Capacitance (C _{IN})		3		pF	
LOGIC OUTPUTS					
Output High Voltage (V _{OH})	2.7		DVDD	V	Pin 62 and bidirectional Pin 9, Pin 10, Pin 54, Pin 55, and Pin 63 I _{OH} = 1 mA
Output Low Voltage (V _{OL})	DVSS		0.4	V	I _{OL} = 1 mA
REFERENCE INPUTS					
Input Capacitance		3		pF	Pin 12, Pin 13, Pin 15, Pin 16
Input Resistance	8.5	11.5	14.5	kΩ	Differential at Register 40F[1:0] = 00
Differential Operation					
Common Mode Input Voltage ¹ (Applicable When DC-Coupled)	1.5		AVDD3 - 0.2	V	Differential operation; note that LVDS signals must be ac-coupled
Differential Input Voltage Swing ¹	500			mV p-p	Differential operation Register 040F[1:0] = 10
Single-Ended Operation					
Input Voltage High (V _{IH})	2.0		AVDD3	V	
Input Voltage Low (V _{IL})	AVSS		0.8	V	
Threshold Voltage	AVDD3 - 0.66	AVDD3 - 0.82	AVDD3 - 0.98	V	Register 040F[1:0] = 10 (other settings possible)
Input Current			1	mA	Single-ended operation
FDBK INPUT					
Input Capacitance		3		pF	Pin 40, Pin 41
Input Resistance	18	22	26	kΩ	Differential
Differential Input Voltage Swing ²	225			mV p-p	-12 dBm into 50 Ω; must be ac-coupled

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
SYSTEM CLOCK INPUT					System clock inputs should always be ac-coupled (both single-ended and differential)
SYSCLK PLL Bypassed					
Input Capacitance		1.5		pF	Single-ended, each pin
Input Resistance	2.4	2.6	2.8	k Ω	Differential
Internally Generated DC Bias Voltage ²	0.93	1.17	1.38	V	
Differential Input Voltage Swing ³	632			mV p-p	0 dBm into 50 Ω
SYSCLK PLL Enabled					
Input Capacitance		3		pF	Single-ended, each pin
Input Resistance	2.4	2.6	2.8	k Ω	Differential
Internally Generated DC Bias Voltage ²	0.93	1.17	1.38	V	
Differential Input Voltage Swing ³	632			mV p-p	0 dBm into 50 Ω
Crystal Resonator with SYSCLK PLL Enabled					
Motional Resistance		9	100	Ω	25 MHz, 3.2 mm \times 2.5 mm AT cut
CLOCK OUTPUT DRIVERS					
HSTL Output Driver					
Differential Output Voltage Swing	1080	1280	1480	mV	Output driver static, see Figure 12 for output swing vs. frequency
Common-Mode Output Voltage ²	0.7	0.88	1.06	V	
CMOS Output Driver					Output driver static, see Figure 14 for output swing vs. frequency
Output Voltage High (V _{OH}) AVDDX = 3.3 V	2.7			V	I _{OH} = 1 mA.
Output Voltage Low (V _{OL}) AVDDX = 3.3 V			0.4	V	I _{OL} = 1 mA.
Output Voltage High (V _{OH}) AVDDX = 1.8 V	1.4			V	I _{OH} = 1 mA.
Output Voltage Low (V _{OL}) AVDDX = 1.8 V			0.4	V	I _{OL} = 1 mA.
TOTAL POWER DISSIPATION					
All Blocks Running		1010	1250	mW	Worst case over supply, temperature, process
Power-Down Mode		24		mW	Using either the Power-Down and Enable register or PWRDOWN pin
Digital Power-Down Mode		515	650	mW	
Default with SYSCLK PLL Enabled		905	1100	mW	After reset or power up with f _S = 1 GHz, S4 = 0, S1 to S3 = 1, f _{SYSCLK} = 25MHz
Default with SYSCLK PLL Disabled		895	1056	mW	After reset or power up with f _S = 1 GHz, S1 to S4 = 1
With REFA or REFB Power-Down			1046	mW	One reference still powered up
With HSTL Clock Driver Power-Down			1036	mW	
With CMOS Clock Driver Power-Down			1048	mW	

¹ AVDD3 (14 番ピン) を基準にして ≤ 0 V、および AVSS (33 番ピン、43 番ピン) を基準にして ≥ 0 Vであることが必要です。

² AVSS (33 番ピン、43 番ピン) を基準とします。

³ AVDD (36 番ピン) を基準にして ≤ 0 V、および AVSS (33 番ピン、43 番ピン) を基準にして ≥ 0 Vであることが必要です。

AC仕様

特に指定のない限り、 $f_S = 1$ GHz、DAC $R_{SET} = 10$ k Ω 。電源ピンは、「DC仕様」で規定される範囲内とします。

表 2.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
REFERENCE INPUTS					
Frequency Range (Sine Wave)	10		750	MHz	Pin 12, Pin 13, Pin 15, Pin 16 Minimum recommended slew rate: 40 V/ μ s
Frequency Range (CMOS)	0.008		50	MHz	
Frequency Range (LVPECL)	0.008		725	MHz	
Frequency Range (LVDS)	0.008		725	MHz	LVDS must be ac-coupled; lower frequency bound may be higher depending on size of decoupling capacitor
Minimum Slew Rate	0.04			V/ns	
Minimum Pulse Width High	620			ps	
Minimum Pulse Width Low	620			ps	
FDBK INPUT					
Input Frequency Range	10		400	MHz	Pin 40, Pin 41
Minimum Differential Input Level	225			mV p-p	-12 dBm into 50 Ω ; must be ac-coupled
Minimum Slew Rate	40			V/ μ s	
SYSTEM CLOCK INPUT					
SYSCLK PLL Bypassed					
Input Frequency Range	250		1000	MHz	Maximum f_{OUT} is $0.4 \times f_{SYSCLK}$
Duty Cycle	45		55	%	
Minimum Differential Input Level	632			mV p-p	0 dBm into 50 Ω
SYSCLK PLL Enabled					
VCO Frequency Range, Low Band	700		810	MHz	When in the range, use the low VCO band exclusively
VCO Frequency Range, Auto Band	810		900	MHz	When in the range, use the VCO Auto band select
VCO Frequency Range, High Band	900		1000	MHz	When in the range, use the high VCO band exclusively
Maximum Input Rate of System Clock PFD			100	MHz	
Without SYSCLK PLL Doubler					
Input Frequency Range	11		200	MHz	
Multiplication Range	4		66		Integer multiples of 2, maximum PFD rate and system clock frequency must be met
Minimum Differential Input Level	632			mV p-p	0 dBm into 50 Ω
With SYSCLK PLL Doubler					
Input Frequency Range	6		100	MHz	
Multiplication Range	8		132		Integer multiples of 8
Input Duty Cycle		50		%	Deviating from 50% duty cycle may adversely affect spurious performance.
Minimum Differential Input Level	632			mV p-p	0 dBm into 50 Ω
Crystal Resonator with SYSCLK PLL Enabled					
Crystal Resonator Frequency Range	10		50	MHz	AT cut, fundamental mode resonator
Maximum Crystal Motional Resistance			100	Ω	See the SYSCLK Inputs section for recommendations
CLOCK DRIVERS					
HSTL Output Driver					
Frequency Range	20		725	MHz	See Figure 12 for maximum toggle rate
Duty Cycle	48		52	%	
Rise/Fall Time (20-80%)		115	165	ps	100 Ω termination across OUT/OUTB, 2 pF load
Jitter (12 kHz to 20 MHz)		1.0		ps	$f_{IN} = 19.44$ MHz, $f_{OUT} = 155.52$ MHz. 50 MHz system clock input (see Figure 3 to Figure 11 for test conditions)
HSTL Output Driver with 2\times Multiplier					
Frequency Range	400		725	MHz	
Duty Cycle	45		55	%	
Rise/Fall Time (20% to 80%)		115	165	ps	100 Ω termination across OUT/OUTB, 2 pF load
Sub-harmonic Spur Level		-35		dBc	Without correction
Jitter (12 kHz to 20 MHz)		1.1		ps	$f_{IN} = 19.44$ MHz, $f_{OUT} = 622.08$ MHz, 50 MHz system clock input (see Figure 3 to Figure 11 for test conditions)

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
CMOS Output Driver (AVDD3/Pin 37) @ 3.3 V					
Frequency Range	0.008		150	MHz	See Figure 14 for maximum toggle rate
Duty Cycle	45	55	65	%	With 20 pF load and up to 150 MHz
Rise/Fall Time (20-80%)		3	4.6	ns	With 20 pF load
CMOS Output Driver (AVDD3/Pin 37) @ 1.8 V					
Frequency Range	0.008		40	MHz	See Figure 13 for maximum toggle rate
Duty Cycle	45	55	65	%	With 20 pF load and up to 40 MHz
Rise/Fall Time (20% to 80%)		5	6.8	ns	With 20 pF load
HOLDOVER					
Frequency Accuracy					See the Holdover section
OUTPUT FREQUENCY SLEW LIMITER					
Slew Rate Resolution	0.54		111	Hz/sec	$P = 2^{16}$ for minimum; $P = 2^5$ for maximum
Slew Rate Range	0		3×10^{16}	Hz/sec	$P = 2^{16}$ for minimum; $P = 2^5$ for maximum
REFERENCE MONITORS					
Loss of Reference Monitor					
Operating Frequency Range	7.63×10^3		167×10^6	Hz	
Minimum Frequency Error for Continuous REF Present Indication			-16	ppm	$f_{REF} = 8$ kHz
Minimum Frequency Error for Continuous REF Present Indication			-19	%	$f_{REF} = 155$ MHz
Maximum Frequency Error for Continuous REF Lost Indication	-32			ppm	$f_{REF} = 8$ kHz
Maximum Frequency Error for Continuous REF Lost Indication	-35			%	$f_{REF} = 155$ MHz
Reference Quality Monitor					
Operating Frequency Range	0.008		150	MHz	
Frequency Resolution (Normalized)	0.2			ppm	$f_{REF} = 8$ kHz; OOL divider = 65,535 for minimum; OOL divider = 1 for max (see the Reference Frequency Monitor section)
Frequency Resolution (Normalized)	408			ppm	$f_{REF} = 155$ MHz; OOL divider = 65,535 for minimum; OOL divider = 1 for maximum
Validation Timer					
Timing Range	32×10^{-9}		137	s	$P_{IO} = 5$
Timing Range	65×10^{-6}		2.8×10^5	s	$P_{IO} = 16$
DAC OUTPUT CHARACTERISTICS					
DCO Frequency Range (1 st Nyquist Zone)	10		450	MHz	DPLL loop bandwidth sets lower limit
Output Resistance		50		Ω	Single-ended (each pin internally terminated to AVSS)
Output Capacitance		5		pF	
Full-Scale Output Current		20	31.7	mA	Range depends on DAC R _{SET} resistor
Gain Error	-10		+10	%FS	
Output Offset			0.6	μ A	
Voltage Compliance Range	AVSS - 0.50	+0.5	AVSS + 0.50		Outputs not dc-short to V _{SS}
DIGITAL PLL					
Minimum Open-Loop Bandwidth		0.1		Hz	Dependent on the frequency of REFA/REFB, the DAC sample rate, and the P-, R-, and S-divider values
Maximum Open-Loop Bandwidth		100		kHz	Dependent on the frequency of REFA/REFB, the DAC sample rate, and the P-, R-, and S-divider values
Minimum Phase Margin	0	10		Degrees	Dependent on the frequency of REFA/REFB, the DAC sample rate, and the P-, R-, and S-divider values
Maximum Phase Margin		85	90	Degrees	Dependent on the frequency of REFA/REFB, the DAC sample rate, and the P-, R-, and S-divider values
PFD Input Frequency Range	~0.008		~24.5	MHz	
Feedforward Divider Ratio	1		131,070		1, 2, ..., 65,535 or 2, 4, ..., 131,070
Feedback Divider Ratio	1		131,070		1, 2, ..., 65,535 or 2, 4, ..., 131,070

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
LOCK DETECTION					
Phase Lock Detector					
Time Threshold Programming Range	0		2097	μs	FPFD_Gain = 200
Time Threshold Resolution		0.488		ps	FPFD_Gain = 200
Lock Time Programming Range	32×10^{-9}		275	s	In power-of-2 steps
Unlock Time Programming Range	192×10^{-9}		67×10^{-3}	s	In power-of-2 steps
Frequency Lock Detector					
Normalized Frequency Threshold Programming Range	0		0.0021		FPFD_Gain = 200; normalized to $(f_{REF}/R)^2$; see the Frequency Lock Detection section for details
Normalized Frequency Threshold Programming Resolution		5×10^{-13}			FPFD_Gain = 200; normalized to $(f_{REF}/R)^2$; see the Frequency Lock Detection section for details
Lock Time Programming Range	32×10^{-9}		275	s	In power-of-2 steps
Unlock Time Programming Range	192×10^{-9}		67×10^{-3}	s	In power-of-2 steps
DIGITAL TIMING SPECIFICATIONS					
Time Required to Enter Power-Down		15		μs	
Time Required to Leave Power-Down		18		μs	
Reset Assert to High-Z Time for S1 to S4 Configuration Pins		60		ns	Time from rising edge of RESET to high-Z on the S1, S2, S3, S4 configuration pins
Reset Deassert to Low-Z Time for S1 to S4 Configuration Pins		30		ns	Time from falling edge of RESET to low-Z on the S1, S2, S3, S4 configuration pins
SERIAL PORT TIMING SPECIFICATIONS					
SCLK Clock Rate ($1/t_{CLK}$)		25	50	MHz	Refer to Figure 58 for all write-related serial port parameters, maximum SCLK rate for readback is governed by t_{DV}
SCLK Pulse Width High, t_{HI}	8			ns	
SCLK Pulse Width Low, t_{LO}	8			ns	
SDO/SDIO to SCLK Setup Time, t_{DS}	1.93			ns	
SDO/SDIO to SCLK Hold Time, t_{DH}	1.9			ns	
SCLK Falling Edge to Valid Data on SDIO/SDO, t_{DV}			11	ns	Refer to Figure 56
CSB to SCLK Setup Time, t_S	1.34			ns	
CSB to SCLK Hold Time, t_H	-0.4			ns	
CSB Minimum Pulse Width High, t_{PWH}	3			ns	
PROPAGATION DELAY					
FDBK to HSTL Output Driver		2.8		ns	
FDBK to HSTL Output Driver with 2× Frequency Multiplier Enabled		7.3		ns	
FDBK to CMOS Output Driver		8.0		ns	
FDBK Through S-Divider to CMOS Output Driver		8.6		ns	

絶対最大定格

表 3.

Parameter	Rating
Analog Supply Voltage (AVDD)	2 V
Digital Supply Voltage (DVDD)	2 V
Digital I/O Supply Voltage (DVDD_I/O)	3.6 V
DAC Supply Voltage (DAC_VDD)	3.6 V
Maximum Digital Input Voltage	-0.5 V to DVDD_I/O + 0.5 V
Storage Temperature	-65°C to +150°C
Operating Temperature Range	-40°C to +85°C
Lead Temperature (Soldering 10 sec)	300°C
Junction Temperature	150°C
Thermal Resistance ¹	
θ_{JA}	25.2°C/W typical
θ_{JB}	13.9°C/W typical
θ_{JC}	1.7°C/W typical

¹ 規定された熱的性能を達成するには、パッケージ底面の露出パッドをグラウンドにハンダ付けする必要があります。詳細は、「熱的性能」を参照してください。

左記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

ESDに関する注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないうまま放電することがあります。本製品は当社独自の ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置と機能の説明

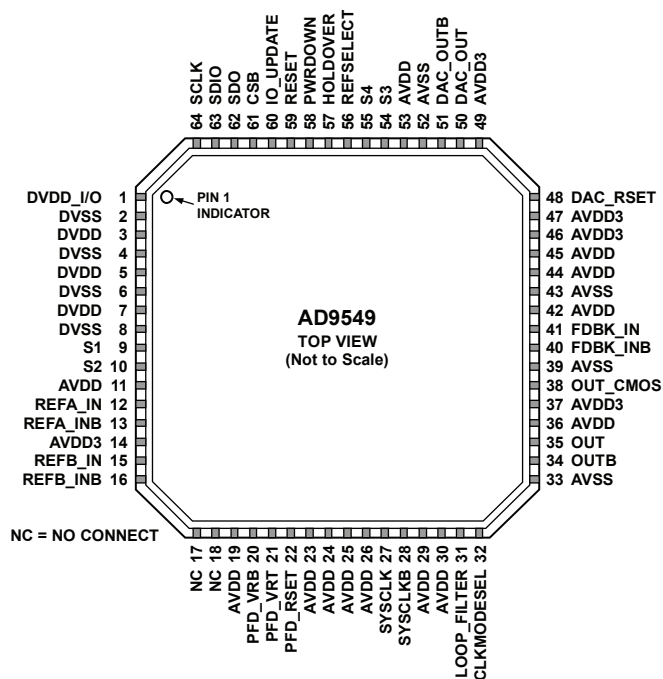


図 2. 64 ピン LFCSP のピン配置

表 4. ピン機能の説明

ピン番号	入出力	ピン・タイプ	記号	説明
1	I	Power	DVDD_I/O	I/O デジタル電源
2, 4, 6, 8	I	Power	DVSS	デジタル・グラウンド。グラウンドに接続します。
3, 5, 7	I	Power	DVDD	デジタル電源
9, 10, 54, 55	I/O	3.3 V CMOS	S1, S2, S3, S4	設定可能な I/O ピン。これらのピンはプログラム・コントロールで設定し（「ステータスと警告」を参照）、内部プルアップ/プルダウン抵抗を備えていません。
11, 19, 23 to 26, 29, 30, 36, 42, 44, 45, 53	I	Power	AVDD	アナログ電源。公称値 1.8 V の電源に接続します。
12	I	Differential Input	REFA_IN	基準周波数/位相 A 入力。この内部バイアス入力是一般に AC 結合され、基準周波数 A 入力として構成されるときに、0.4~3.3 V のシングルエンド振幅の差動信号を受け入れます。DC 結合を行う場合は、LVPECL または CMOS 入力が見込まれます。
13	I	Differential Input	REFA_INB	相補基準周波数/位相 A 入力。12 番ピンに加えられる入力の相補信号です。シングルエンドの DC 結合 CMOS 信号を使用して REFA_IN に入力する場合は、このピンとグラウンド間に 0.01 μ F のコンデンサを接続して、このピンをバイパスしてください。
14, 46, 47, 49	I	Power	AVDD3	アナログ電源。公称値 3.3 V の電源に接続します。
15	I	Differential Input	REFB_IN	基準周波数/位相 B 入力。この内部バイアス入力是一般に AC 結合され、基準周波数 B 入力として構成されるときに、0.4~3.3 V のシングルエンド振幅の差動信号を受け入れます。DC 結合を行う場合は、LVPECL または CMOS 入力が見込まれます。
16	I	Differential Input	REFB_INB	相補基準周波数/位相 B 入力。15 番ピンに加えられる入力の相補信号です。シングルエンドの DC 結合 CMOS 信号を使用して REFB_IN に入力する場合は、このピンとグラウンド間に 0.01 μ F のコンデンサを接続して、このピンをバイパスしてください。
17, 18			NC	無接続。これらは、フローティング状態にすることが可能な余剰の未使用ピンです。

ピン番号	入出力	ピン・タイプ	記号	説明
20, 21	O		PFD_VRB, PFD_VRT	これらのピンの容量性デカップリングを行う必要があります。詳細は、「位相検出器のピン接続」を参照してください。
22	O	Current Set Resistor	PFD_RSET	このピンとグラウンド間に 5 k Ω 抵抗を接続します（「位相検出器のピン接続」を参照）。
27	I	Differential Input	SYSCLK	システム・クロック入力。このシステム・クロック入力は内部で DC バイアスされているため、水晶発振器の使用時を除き、常に AC 結合しておく必要があります。シングルエンドの 1.8 V CMOS 入力を使用することも可能ですが、デューティ・サイクルが 50% とならないとスプリアスが導入されることがあります。水晶振動子の使用時には、CLKMODESEL ピンを AVSS に接続し、水晶振動子をこのピンと 28 番ピンに直接接続してください。
28	I	Differential Input	SYSCLKB	相補システム・クロック。27 番ピンに加えられる入力の相補信号です。27 番ピンに入力される信号がシングルエンドの場合は、このピンとグラウンド間に 0.01 μ F のコンデンサを接続してください。
31	O		LOOP_FILTER	システム・クロック通倍器ループ・フィルタ。周波数通倍器を使用してシステム・クロックを駆動するときは、外部ループ・フィルタを構成して、このピンに接続する必要があります。システム・クロック PLL をバイパスする場合は、このピンがハイレベルに引き込まれ、このモードではフローティング状態にすることが可能です。図 44 は、システム・クロック PLL ループ・フィルタの接続図を示します。
32	I	1.8 V CMOS	CLKMODESEL	クロック・モード選択。水晶振動子をシステム・クロック（27 番ピンと 28 番ピン）に接続するときは、GND に設定します。発振器または外部クロック源を使用する場合は、1.8 V にプルアップします。システム・クロック PLL をバイパスする場合は、このピンをフローティング状態にすることが可能です。（このピンの詳細な使用方法については、「SYSCLK 入力」を参照してください。）
33, 39, 43, 52	O	GND	AVSS	アナログ・グラウンド。グラウンドに接続します。
34	O	1.8 V HSTL	OUTB	相補 HSTL 出力。詳細は、「仕様」および「1 次の 1.8 V 差動 HSTL ドライバ」を参照してください。
35	O	1.8 V HSTL	OUT	HSTL 出力。詳細は、「仕様」および「1 次の 1.8 V 差動 HSTL ドライバ」を参照してください。
37	I	Power	AVDD3	CMOS 出力ドライバ用のアナログ電源。このピンは通常 3.3 V ですが、1.8 V にすることも可能です。CMOS ドライバを使用しない場合であっても、このピンに電源を供給する必要があります。電源の分離については、「電源の分離」を参照してください。
38	O	3.3 V CMOS	OUT_CMOS	CMOS 出力。「仕様」および「出力クロック・ドライバと周波数二倍器」を参照してください。37 番ピンを 1.8 V に設定すると、このピンは 1.8 V CMOS になります。
40	I	Differential Input	FDBK_INB	相補帰還入力。標準の動作モードでは、フィルタリングされた DAC_OUTB 出力にこのピンを接続します。この内部バイアス入力は一般に AC 結合され、差動入力として構成されるときに、最低 400 mV のシングルエンド振幅の差動信号を受け入れます。
41	I	Differential Input	FDBK_IN	帰還入力。標準の動作モードでは、フィルタリングされた DAC_OUT 出力にこのピンを接続します。
48	O	Current Set Resistor	DAC_RSET	DAC 出力電流設定抵抗。このピンと GND 間に 1 本の抵抗（通常は 10 k Ω ）を接続します。「DAC 出力」を参照してください。
50	O	Differential Output	DAC_OUT	DAC 出力。この信号をフィルタリングし、FDBK_IN 入力を經由してオンチップに帰還させる必要があります。このピンには、内部 50 Ω プルダウン抵抗が組み込まれています。
51	O	Differential Output	DAC_OUTB	相補 DAC 出力。この信号をフィルタリングし、FDBK_INB 入力を經由してオンチップに帰還させる必要があります。このピンには、内部 50 Ω プルダウン抵抗が組み込まれています。
56	I/O	3.3 V CMOS	REFSELECT	基準周波数選択入力。手動モードでは REFSELECT ピンは高インピーダンスの入力ピンとして動作し、自動モードでは低インピーダンスの出力ピンとして動作します。ロジック 0（ローレベル）のときに、REFA が表示/選択されます。ロジック 1（ハイレベル）のときに、REFB が表示/選択されます。このピンには、内部プルアップ/プルダウン抵抗が組み込まれていません。
57	I/O	3.3 V CMOS	HOLDOVER	ホールドオーバー（アクティブ・ハイ）。手動ホールドオーバー・モードでは、このピンで AD9549 をホールドオーバー・モードに強制設定します。自動ホールドオーバー・モードでは、ホールドオーバー・ステータスを通知します。このピンには、内部プルアップ/プルダウン抵抗は組み込まれていません。

ピン番号	入出力	ピン・タイプ	記号	説明
58	I	3.3 V CMOS	PWRDOWN	パワーダウン。このアクティブ・ハイのピンがアサートされると、デバイスが非アクティブになり、完全なパワーダウン状態に入ります。このピンには、内部 50 k Ω プルダウン抵抗が組み込まれています。
59	I	3.3 V CMOS	RESET	チップ・リセット。このアクティブ・ハイのピンがアサートされると、チップがリセット状態に入ります。パワーアップ時には、電源がスレッシュホールドに達して安定化するまで、10 μ s のリセット・パルスが内部で発生します。このピンには、内部 50 k Ω プルダウン抵抗が組み込まれています。
60	I	3.3 V CMOS	IO_UPDATE	I/O 更新。このピンのロジックが 0 から 1 に遷移すると、I/O ポート・レジスタからコントロール・レジスタにデータが転送されます（「書込み」を参照）。このピンには、内部 50 k Ω プルダウン抵抗が組み込まれています。
61	I	3.3 V CMOS	CSB	チップ・セレクト。アクティブ・ロー入力。デバイスの設定を行うときに、このピンをローレベルに保持する必要があります。複数の AD9549 を使用するシステムでは、このピンを使用して各 AD9549 の設定を個別に実行できます。このピンには、内部 100 k Ω プルアップ抵抗が組み込まれています。
62	O	3.3 V CMOS	SDO	シリアル・データ出力。デバイスを 3 線モードで使用するとき、このピンからデータが読み出されます。このピンには、内部プルアップ/プルダウン抵抗は組み込まれていません。
63	I/O	3.3 V CMOS	SDIO	シリアル・データ入出力。デバイスを 3 線モードで使用するとき、このピンからデータを書き込みます。2 線モードでは、このピンでデータの読出しと書込みの両方が実行されます。このピンには、内部プルアップ/プルダウン抵抗は組み込まれていません。
64	I	3.3 V CMOS	SCLK	シリアル・プログラミング・クロック。シリアル・プログラミング用のデータ・クロックです。このピンには、内部 50 k Ω プルダウン抵抗が組み込まれています。
Exposed Die Pad	O	GND	AVSS	アナログ・グラウンド。グラウンドに接続します。

代表的な性能特性

特に指定のない限り、AVDD、AVDD3、DVDD は公称電源電圧、 $f_S = 1 \text{ GHz}$ 、 $\text{DAC } R_{\text{SET}} = 10 \text{ k}\Omega$ 。

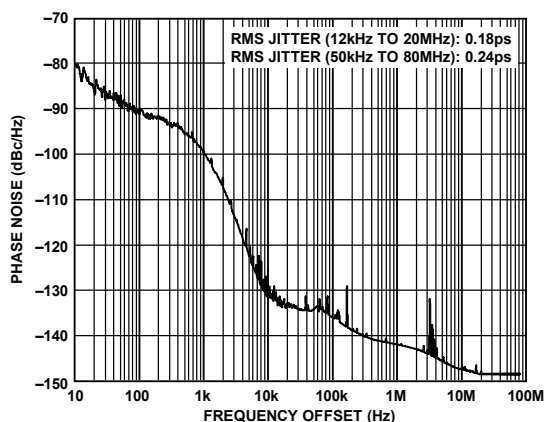


図 3. HSTL 出カドライバの追加位相ノイズ (SYSCLK = 1 GHz (SYSCLK PLL をバイパス)、 $f_{\text{REF}} = 19.44 \text{ MHz}$ 、 $f_{\text{OUT}} = 311.04 \text{ MHz}$ 、DPLL ループ帯域幅 = 1 kHz)

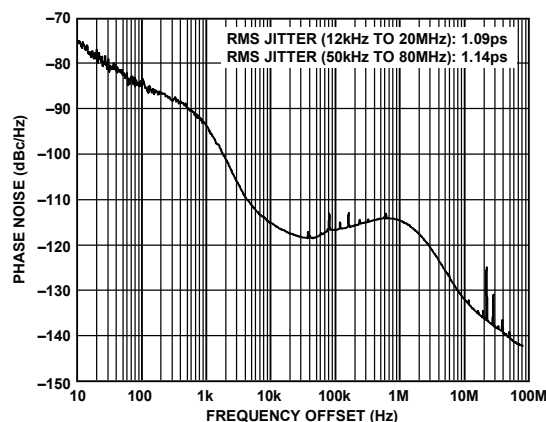


図 6. HSTL 出カドライバの追加位相ノイズ (SYSCLK = 1 GHz (SYSCLK PLL をイネーブルおよび R&S SMA100 信号発生器を使用して 50 MHz で駆動)、 $f_{\text{REF}} = 19.44 \text{ MHz}$ 、 $f_{\text{OUT}} = 622.08 \text{ MHz}$ 、DPLL ループ帯域幅 = 1 kHz、システム・クロック・ダブラーをイネーブル、HSTL ダブラーをイネーブル)

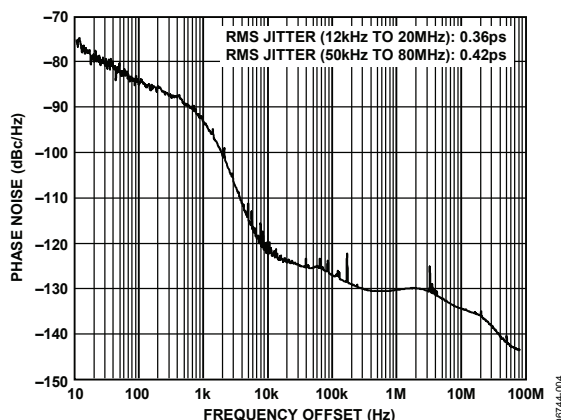


図 4. HSTL 出カドライバの追加位相ノイズ (SYSCLK = 1 GHz (SYSCLK PLL をバイパス)、 $f_{\text{REF}} = 19.44 \text{ MHz}$ 、 $f_{\text{OUT}} = 622.08 \text{ MHz}$ 、DPLL ループ帯域幅 = 1 kHz、HSTL 出カダブラーをイネーブル)

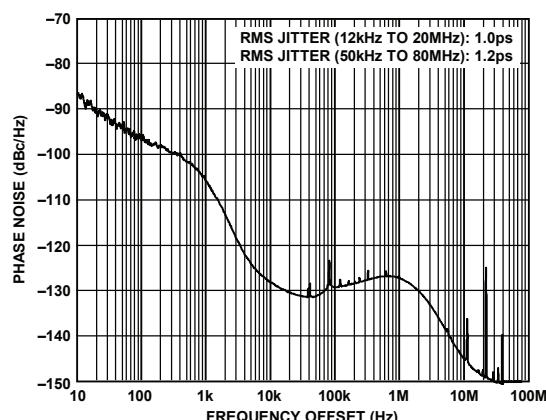


図 7. HSTL 出カドライバの追加位相ノイズ (SYSCLK = 1 GHz (SYSCLK PLL をイネーブルおよび R&S SMA100 信号発生器を使用して 50 MHz で駆動)、 $f_{\text{REF}} = 19.44 \text{ MHz}$ 、 $f_{\text{OUT}} = 155.52 \text{ MHz}$ 、SYSCLK ダブラーをイネーブル、DPLL ループ帯域幅 = 1 kHz)

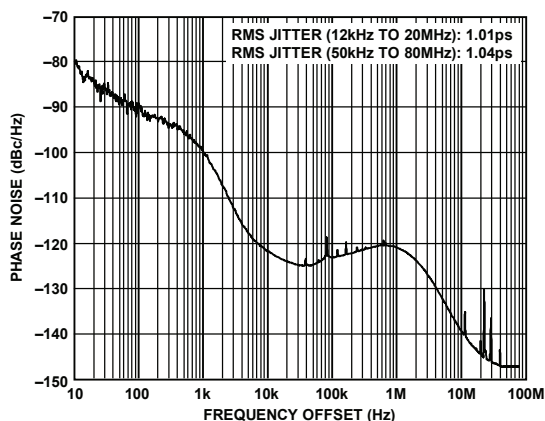


図 5. HSTL 出カドライバの追加位相ノイズ (SYSCLK = 1 GHz (SYSCLK PLL をイネーブルおよび R&S SMA100 信号発生器を使用して 50 MHz で駆動)、 $f_{\text{REF}} = 19.44 \text{ MHz}$ 、 $f_{\text{OUT}} = 311.04 \text{ MHz}$ 、DPLL ループ帯域幅 = 1 kHz)

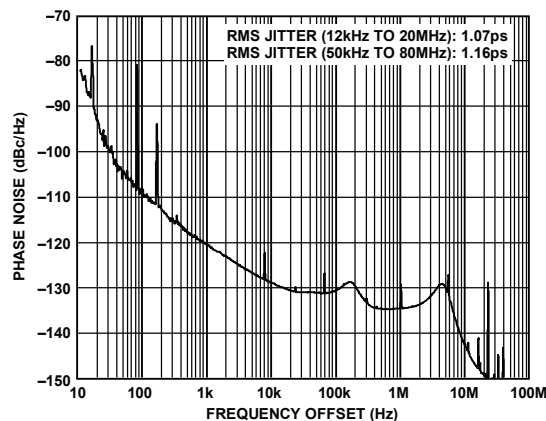


図 8. HSTL 出カドライバの追加位相ノイズ (SYSCLK = 1 GHz (SYSCLK PLL をイネーブルおよび R&S SMA100 信号発生器を使用して 50 MHz で駆動)、 $f_{\text{REF}} = 8 \text{ kHz}$ 、 $f_{\text{OUT}} = 155.52 \text{ MHz}$ 、DPLL ループ帯域幅 = 10 Hz)

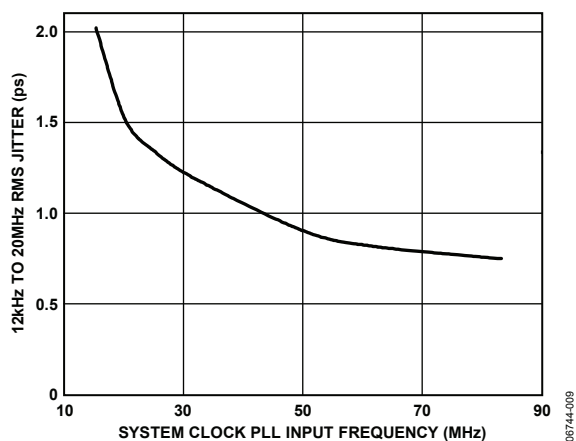


図 9. システム・クロック PLL 入力周波数 対 12 kHz~20 MHz RMS ジッタ (SYSCLK = 1 GHz、 f_{REF} = 19.44 MHz、 f_{OUT} = 155.52 MHz)

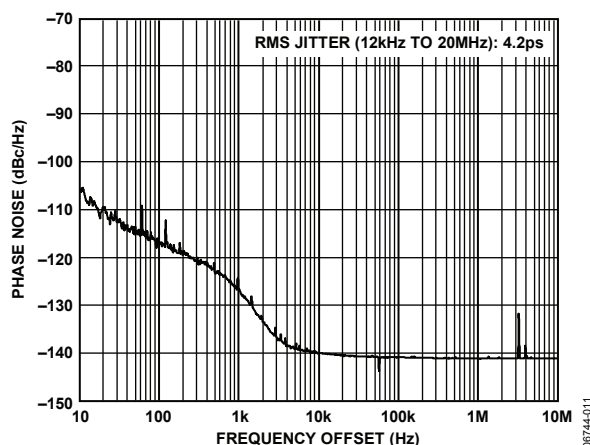


図 11. HSTL 出力ドライバの追加位相ノイズ (SYSCLK = 500 MHz (SYSCLK PLL をディスエーブル)、 f_{REF} = 10.24 MHz、 f_{OUT} = 20.48 MHz、DPLL ループ帯域幅 = 1 kHz)

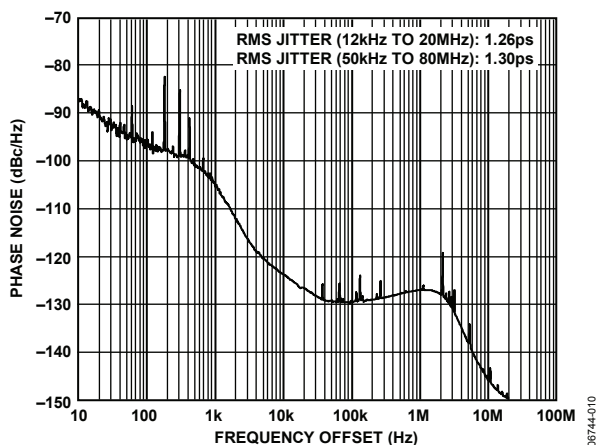


図 10. HSTL 出力ドライバの追加位相ノイズ (SYSCLK = 1 GHz (SYSCLK PLL をイネーブルおよび 25 MHz Fox 水晶発振器で駆動)、 f_{REF} = 19.44 MHz、 f_{OUT} = 155.52 MHz、DPLL ループ帯域幅 = 1 kHz)

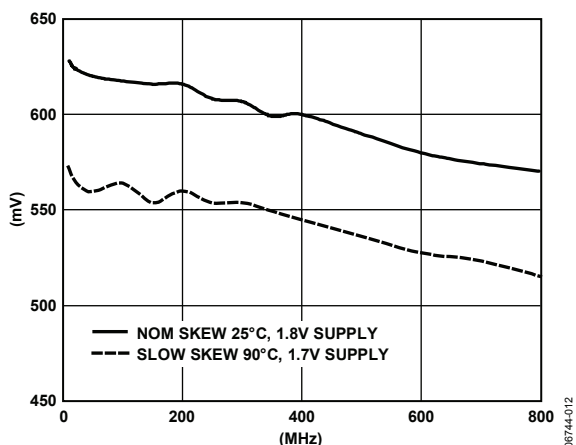


図 12. トグル・レート 対 HSTL 出力ドライバのシングルエンド・ピーク to ピーク振幅 (差動ペア入力間に 100 Ω を接続)

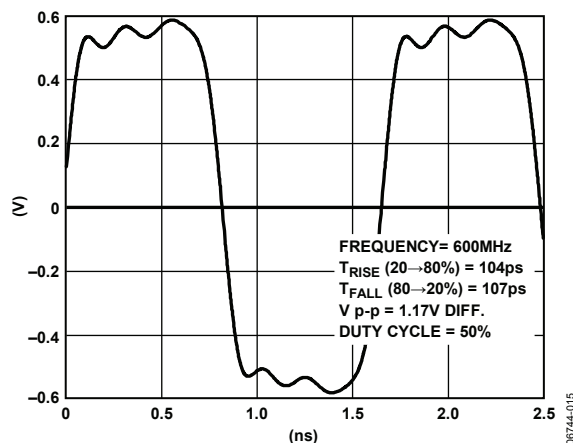


図 15. 代表的な HSTL 出力波形 (公称条件、DC 結合、差動プローブを 100 Ω 負荷に接続)

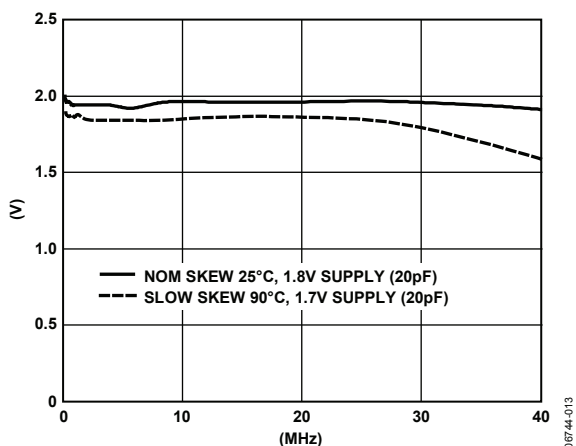


図 13. トグル・レート 対 CMOS 出力ドライバのピーク to ピーク振幅 (AVDD3 = 1.8 V、20 pF 負荷を接続)

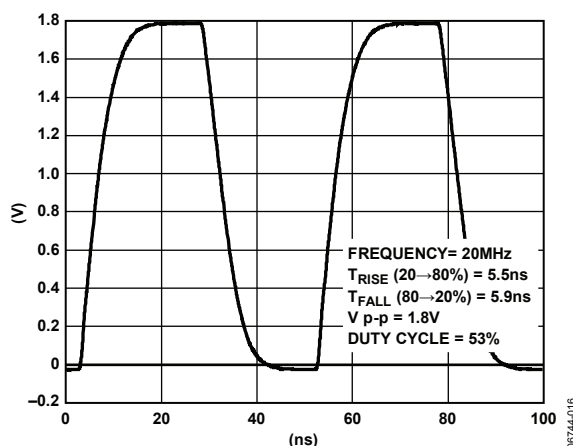


図 16. 代表的な CMOS 出力ドライバ波形 (@ 1.8 V、公称条件、見積り容量 : 5 pF)

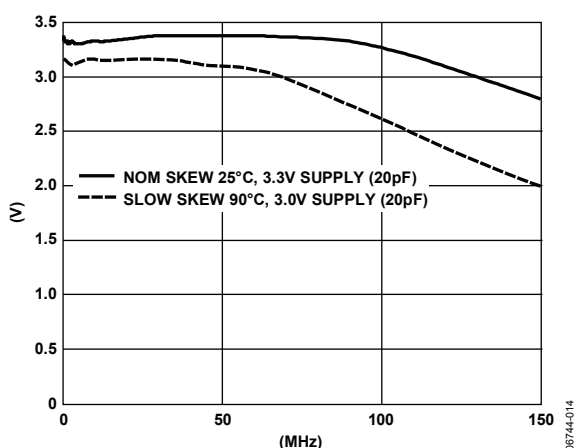


図 14. トグル・レート 対 CMOS 出力ドライバのピーク to ピーク振幅 (AVDD3 = 3.3 V、20 pF 負荷を接続)

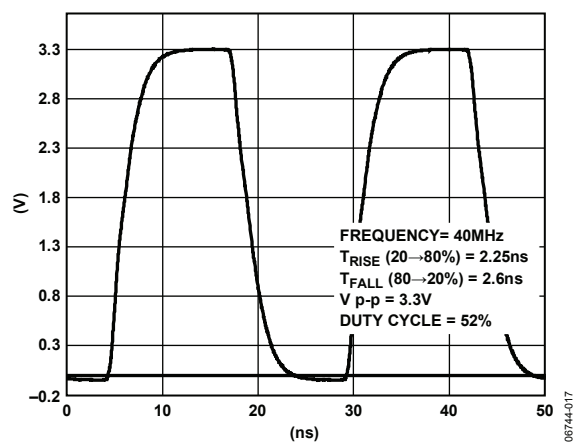


図 17. CMOS 出力ドライバ波形 (@ 3.3 V、公称条件、見積り容量 : 5 pF、 $f_{OUT} = 20$ MHz)

推奨の入出力終端

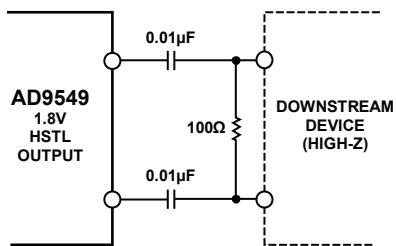


図 18. AC 結合 HSTL 出力ドライバ

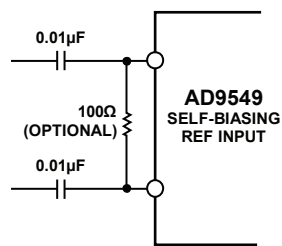


図 20. 基準周波数入力

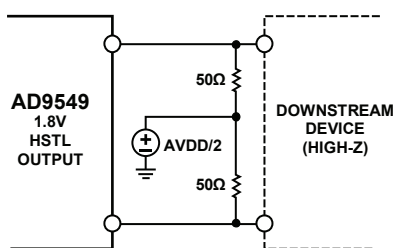


図 19. DC 結合 HSTL 出力ドライバ

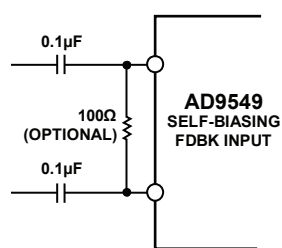


図 21. FDBK 入力

動作原理

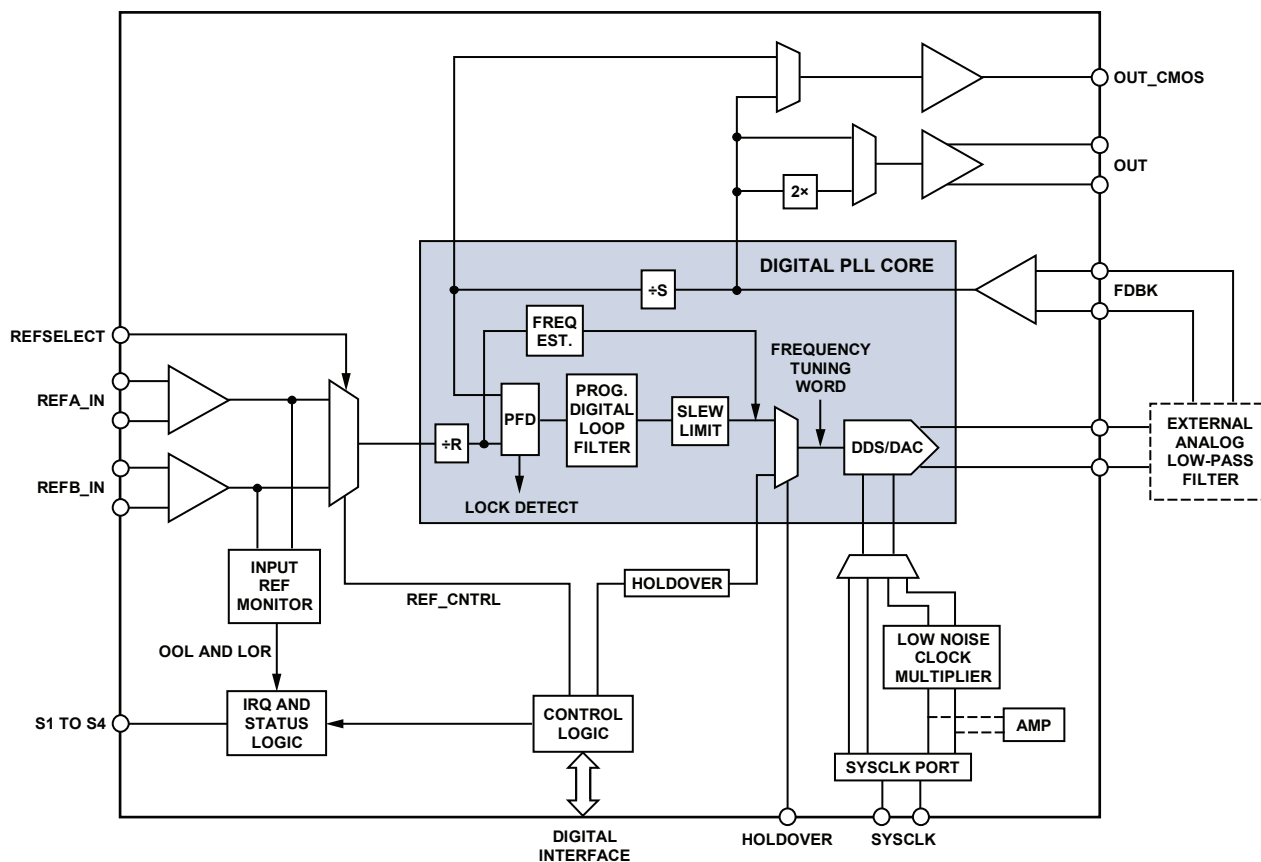


図 22. 詳細ブロック図

概要

AD9549 は、選択された（アクティブな）基準周波数（REFA または REFB）に位相と周波数が直接関連するクロック出力を供給しますが、その位相ノイズ・スペクトルは主にシステム・クロックによって左右されます。幅広い帯域の基準周波数に対応します。アクティブな基準周波数に存在するジッタは、この製品の中心的要素であるデジタル・フェーズ・ロック・ループ（PLL）のプログラマブル・デジタル・フィルタによって大幅に低減されます。AD9549 は、手動と自動両方のホールドオーバーに対応します。ホールドオーバー時は、システム・クロックが維持される限り、出力の供給を継続します。ホールドオーバー時の出力周波数は、ホールドオーバーが実行される前の定常状態の出力周波数を平均化した周波数です。

基準周波数の一方が喪失した疑いがあるか、または喪失した場合に、もう一方の基準周波数に切り替える手動および自動スイッチオーバー・モードも備えています。システム・クロックを動作クロックとする出力 DAC 内蔵のダイレクト・デジタル・シンセサイザ（DDS）を使用して、デジタル制御発振器（DCO）の動作が実行されます。システム・クロックとして低価格で低周波数のクロック源の使用を可能にする、バイパス可能な PLL ベースの周波数通倍器が用意されています。最良のジッタ性能を確保するには、システム・クロック PLL をバイパスし、低ノイズで高周波数のシステム・クロックを直接供給する必要があります。サンプリング理論では、DDS 出力周波数の上限が f_s (f_s は DAC のサンプリング・レート) の 50% に設定されますが、動作に必要なオフチップの再構成フィルタの選択度を考慮するために、実際には f_s の 40% に制限することを一般に推奨します。再構成フィルタからの出力信号は AD9549 に戻され、PLL の動作を完了すると同時

に、出力回路を経由して処理されます。出力回路には、HSTL および CMOS 出力バッファに加えて、DDS のナイキスト・レベルを超える周波数の出力が要求される設計向けに周波数通倍器も備わっています。

以降のセクションでは、個々の機能ブロックについて説明します。

PLL コア (DPLLIC)

デジタル・フェーズ・ロック・ループ・コア (DPLLIC) は、周波数推定ブロックと DDS を駆動するデジタル・フェーズ・ロック制御ブロックで構成されます。

DPLLIC シグナル・チェーンの最初は、REFA または REFB 入力に加えられる基準周波数信号 f_R です。この信号の周波数をフィードフォワード分周器により R の整数比で分周します。フィードフォワード分周器の出力は、位相/周波数検出器 (PFD) に送られます。したがって、PFD の入力周波数は、次式から求められます。

$$f_{PFD} = \frac{f_R}{R}$$

PFDDは時系列のデジタル・ワードを出力し、これらのワードはデジタル・ループ・フィルタに送り込まれます。デジタル・フィルタの実装により、次のような多くの利点を得られます。つまり、フィルタの応答性はディスクリット部品の値ではなく、係数値によって決まります。部品の経年変化がないため、部品の値の経時ドリフトが発生しません。ループ・フィルタ内でサーマル・ノイズが発生しませんし、制御ノードからリーク電流が発生することはありません（これにより従来型のアナログ PLL ではリファレンス・フィードスルーが発生します）。

ループ・フィルタの出力は、時系列のデジタル・ワードです。これらのワードは DDS の周波数同調入力に加えられ、DCO 周波数を操作するために使用されます。DDS はその内蔵 DAC によりアナログ信号を出力するため、その動作はアナログ VCO と実質的に類似しています。

DPLL を内部周波数推定器と組み合わせて動作するように設定できるため、ロックを行うための所要時間を効果的に短縮できます。周波数推定器が採用されている場合、周波数アクイジションは以下の 2 ステップのプロセスで実行されます。

1. f_{PFDD} の周波数が推定されます。周波数推定プロセスの実行中、フェーズ・ロック制御ループは必然的に動作不能の状態になります。周波数の推定が完了すると、その情報が DDS に送られ、 f_{PFDD} を S (帰還分周器の係数) で乗算した数値にその出力周波数がほぼ等しくなるように設定されます。
2. フェーズ・ロック制御ループがアクティブになり、基準周波数信号のフェーズ・ロックを収集および保持するためのサーボとして機能します。

ステップ 1 で説明したように、 f_{PFDD} の整数倍 (S) で DCO を動作させることが可能な帰還分周器が DPLL に内蔵されています。これにより、公称の DCO 周波数 (f_{DDS}) が規定され、その数値は次式から求められます。

$$f_{DDS} = \left(\frac{S}{R}\right) f_R$$

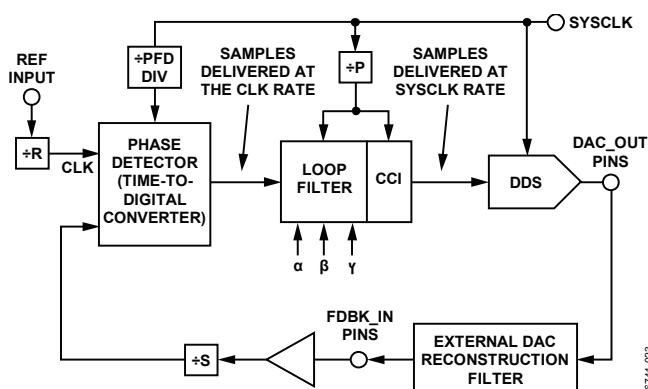


図 23. AD9549 のデジタル PLL のブロック図

フィードフォワード分周器 (R 分周)

フィードフォワード分周器は、REF ソース入力信号の周波数プリスケールを実行すると同時に、AD9549 の所望の低ジッタ性能を維持することが可能な整数分周器です。

フィードフォワード分周器は、ジッタ注入がきわめて低いプログラマブル係数分周器です。この分周器は、最大 750 MHz の入力周波数を処理する能力を備えています。この分周器のビット深度は、付加的な 2 分周とカスケードされる 16 ビットです。したがって、この分周器は 1~65,535 (インデックス 1) または 2~131,070 (インデックス 2) の範囲の整数除算を実行できます。I/O レジスタ・マップを使用して、REF ソース入力信号の立上がりエッジ(デフォルト)または立下がりエッジのどちらでこの分周器をトリガ

するかを設定します。R 分周器レジスタに格納されている値は、実際の R 分周値よりも 1 つだけ小さいため、R 分周器レジスタをゼロに設定すると、R 分周値は 1 に等しくなります。

「微位相検出器」で説明するように、最大動作周波数を $f_{PFDD[MAX]}$ とする DPLL 内部の位相周波数検出器により、R の数値に下限が適用されます。REFA または REFB が 400 MHz よりも大きい場合は、R-Divider/2 ビットを設定する必要があります。以下の不等式を満たすような R を選択する必要があります。

$$R \geq \text{ceil}\left(\frac{f_R}{f_{PFDD[MAX]}}\right)$$

上限は、以下の不等式で表されます。

$$R \leq \text{floor}\left(\frac{f_R}{8 \text{ kHz}}\right)$$

上の式では、上限(x)関数によって、 $\geq x$ に最も近い整数が求められます。

たとえば、 $f_R=155 \text{ MHz}$ および $f_{PFDD[MAX]} = 24.5 \text{ MHz}$ の場合、上限 $(155/24.5) = 7$ となるため、 $R \geq 7$ とする必要があります。

帰還分周器 (S 分周)

帰還分周器は、位相検出器の入力に加えられる REF 信号の周波数通倍が可能な整数分周器です。この分周器は、DDS のナイキスト限界を大幅に上回る周波数を処理する能力を備えています。この分周器のビット深度は、付加的な 2 分周とカスケードされる 16 ビットです。したがって、この分周器は 1~65,535 (インデックス 1) または 2~131,070 (インデックス 2) の範囲の整数除算を実行できます。I/O レジスタ・マップを使用して、帰還信号の立上がりエッジ(デフォルト)または立下がりエッジのどちらでこの分周器をトリガするかを設定します。S 分周器レジスタに格納されている値は、実際の S 分周値よりも 1 つだけ小さいため、S 分周器レジスタをゼロに設定すると、S 分周値は 1 に等しくなります。

帰還分周器の設定は、特定の境界範囲内で行う必要があります。FDBK_IN が 400 MHz よりも大きい場合は、S-Divider/2 ビットを設定する必要があります。帰還分周器の上限は、設定可能な S の最大値または DDS の最大有効出力周波数 (f_S の約 40%) のいずれか小さい方の数値です。帰還分周器のインデックスが 1 の場合は S_{MAX1} 、2 の場合は S_{MAX2} を求める以下の 2 つの式を利用できます。

$$S_{MAX1} = \min\left(\frac{40\%f_S R}{f_R}, 65,535\right)$$

または

$$S_{MAX2} = \min\left(\frac{40\%f_S R}{f_R}, 131,070\right)$$

ここで、R は帰還分周器の係数、 f_S は DAC のサンプリング・レート、 f_R は入力基準周波数です。

DCO には、最小周波数 $f_{DCO[MIN]}$ が規定されます（「AC 仕様」表の「DAC 出力特性」を参照）。これに基づき、帰還分周値には下限 S_{MIN} も同様に適用されます。

$$S_{MIN} = \max\left(R\left(\frac{f_{DCO[MIN]}}{f_R}\right), 1\right)$$

DCO 周波数を低くすると、これに伴ってジッタ性能は低下します（DDS から発生するサイン波のスルーレートが低速化することが原因）。

順方向と逆方向の FEC クロック・スケーリング

フィードフォワード分周器（R 分周）と帰還分周器（S 分周）は、FEC クロック・スケーリングが可能です。たとえば、入力信号を 255/237 で通倍する場合は、S 分周器を 255、R 分周器を 237 に設定します。R および S 分周器に適用される制限を順守し、位相検出器の入力周波数がその規定された制限値の範囲内であることを確認してください。

位相検出器

位相検出器は、粗位相検出器と微位相検出器の 2 つの検出器で構成されます。この 2 個の検出器は並列に動作します。いずれの検出器も、従来型のスリーステート位相/周波数検出器によって発生するパルスの持続時間（ Δt ）を測定します。

微位相検出器と粗位相検出器はともに、プリスケールされた基準周波数信号と帰還信号のエッジ遷移間の間隔時間をデジタル信号に変換したデータであるデジタル・ワードを生成します。

微位相検出器が有効な結果を生成できる場合は、その結果のみが位相誤差測定値として利用されます。微位相検出器がオーバーフローまたはアンダーフロー状態の場合は、粗位相検出器を位相誤差測定に使用します。

デジタル・ループ・フィルタ

デジタル・ループ・フィルタは、位相検出器から出力されるデジタル位相誤差値の積分とローパス・フィルタリングを行います。このループ・フィルタの応答性は、図 24 に示すように位相検出器とチャージ・ポンプを組み合わせた代表的な回路の出力をフィルタリングするために使用される 2 次 RC ネットワークの応答性と類似しています。

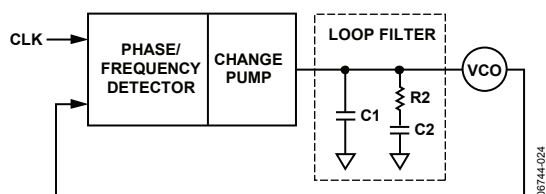


図 24. 代表的なアナログ PLL のブロック図

ただし、AD9549 に実装されたビルディング・ブロックはデジタルです。位相周波数検出器とチャージ・ポンプは、CLK から帰還信号までのエッジ・タイミング誤差に比例するデジタル値を生成する時間/デジタル・コンバータに置き換えられます。ループ・フィルタは、時間/デジタル・コンバータからのエッジ・タイミング誤差サンプルを処理するデジタル・フィルタに置き換えられます。ループ・フィルタから出力されるデジタル値とリニアに関連付けられる周波数を発生する VCO の代わりに、DDS が使用されます。図 25 は、詳細な要素を追加したこの回路を示します。

時間/デジタル・コンバータから出力されるサンプルは、CLK 周波数に等しいサンプリング・レート（すなわち、 f_R/R ）でループ・フィルタに送られます。ループ・フィルタは、P 分周器によって決定されたレートで時間/デジタル・コンバータの出力をオーバーサンプリングします。P の値は I/O レジスタ・マップにより設定します。これは、5 ビット値の P_{IO} として格納されています。以下の式によって、 P_{IO} の値が P と関連付けられます。

$$P = 2^{P_{IO}}$$

ここで、 $5 \leq P_{IO} \leq 16$ です。

上の式に基づき、P 分周器では 2 の累乗ステップで 32 から 65,536 までの範囲の分周比を選択できます。DAC のサンプリング・レートが 1 GHz の場合、ループ・フィルタのサンプリング・レートを最低 15.26 kHz から最大 31.25 MHz までの範囲に設定できます。ループ・フィルタのサンプリング・レート (f_S/P) と DDS のサンプリング・レート f_S のサンプリング・レート変換を実行するカスケード・コム積分器 (CCI) フィルタがループ・フィルタに結合されます。

P は CCI フィルタの応答性とループ・フィルタのサンプリング・レートの両方を制御するため、P の選択が重要です。適切な P の値を決定する方法を理解するために、最初に CCI フィルタの伝達関数をチェックすることが必要です。

$$H(\omega)_{CCI} = \left[\frac{1 - e^{j\omega P}}{P(1 - e^{-j\omega})} \right]^2$$

または

$$|H_{CCI}(\omega)| = \begin{cases} 1, & \omega = 0 \\ \frac{1}{P^2} \left(\frac{1 - \cos(\omega P)}{1 - \cos(\omega)} \right), & \omega > 0 \end{cases}$$

絶対周波数を基準とする応答性を評価するために、以下のような置換を行います。

$$\omega = \frac{2\pi f}{f_S}$$

ここで、 f_S は DAC のサンプリング・レート、 f は H_{CCI} の評価時に使用する周波数です。

CCI の振幅応答性は、一連の P ロープで構成されるローパス特性に追従することが、この関数の解析から明らかになっています。ロープの境界は、 f_S/P の通倍周波数で発生するゼロ点で区切られます。連続する各ロープのピークは、DC から $\frac{1}{2}f_S$ までの周波数範囲でそれぞれ先行するロープよりも低くなります。 $\frac{1}{2}f_S$ を越える周波数の場合、応答性は $\frac{1}{2}f_S$ の周波数時に垂直線を基準にして反射したものになります。さらに、最初のロープ（DC から f_S/P までの周波数範囲で現れる）は、単調減少の応答性を示します。すなわち、振幅は DC 時にユニティですが、周波数の低下に従って徐々に減少し、最初のゼロ点 (f_S/P) に達した時点で消滅します。

ゼロ点は、有限周波数に配置された伝達ゼロ点の存在を意味します。無限周波数に伝達ゼロ点が配置されていれば、位相遅延が最小限に抑えられますが、DC に近い帯域にゼロ点が配置されると、位相遅延が増加します。そのため、最初のゼロ点の位置は、CCI フィルタによって導入される位相遅延に大きい影響を及ぼします。過大な位相遅延は、クロズド・ループ応答全体に悪影響を及ぼすため、これは重要な留意点です。目安として、最初のゼロ点周波数 (f_S/P) が、所望のループ帯域幅の 80 倍であるか、または CLK (f_R/R) の周波数の 1.5 倍のいずれか大きい方の周波数になるように、P の数値を選択してください。

このように計算された P の数値 (P_{MAX}) は、実際に利用可能な最大値です。P は P_{IO} として設定されるため、 $P_{IO,MAX}$ を計算できる

ように、 P_{IO} を基準にして P_{MAX} を定義する必要があります。 $P_{IO} \leq P_{IOMAX}$ の条件により、ループの位相マージンに対して及ぶ CCI フィルタの位相遅延の影響が 5° を越えないことが保証されます。 P_{IOMAX} を以下の式から求めることができます。

$$P_{IOMAX} = \max \left\{ 5, \min \left\{ 16, \text{floor} \left[\log_2 \left(\frac{f_S}{80f_{LOOP}} \right) \right], \text{floor} \left[\log_2 \left(\frac{2f_S}{3f_{REF}} \right) \right] \right\} \right\}$$

P の数値を正しく選択した場合、デジタル PLL のクロズド・ループ応答は、主にデジタル・ループ・フィルタの応答性によって決まります。ループ・フィルタの応答性を柔軟に制御できるため、AD9549 のアーキテクチャによって満たされる広範囲のアプリケーションで柔軟性が確保されることとなります。

AD9549 評価用ソフトウェアは、ユーザの入力基準に従って P 分周器の値を自動的に設定します。そのため、このソフトウェアには AD9549 の動作方法を理解するうえで主に役立つ種々の式が用意されています。

ダイレクト・デジタル・シンセサイザ

デジタル PLL の主要なビルディング・ブロックの 1 つが、ダイレクト・デジタル・シンセサイザ (DDS) です。DDS は、サイン波信号発生器と同様の動作を行います。DDS から発生するサイン波周波数は、デジタル値 (つまり、数値) である周波数同調ワード (FTW) によって決定されます。アナログ・サイン波発生器とは異なり、DDS はデジタル・ビルディング・ブロックを使用し、サンプリング・システムとして動作します。そのため、DDS の基本的なタイミング信号源として使用されるサンプリング・クロック (f_S) が必要です。アキュムレータは、プログラマブル・ステップ・サイズ (FTW) のモジュロ 2^{48} カウンタとして動作します。図 25 は、DDS のブロック図を示します。

DDS の入力は 48 ビットの FTW であり、これはシード値としてアキュムレータに入力されます。 f_S の各サイクル時に、アキュムレータは FTW の値をその出力の現在のトータル値に追加します。たとえば、FTW=5 の場合、アキュムレータの合計は、 f_S サイクルが実行されるたびに 5 増加します。時間の経過に伴って、アキュムレータはその容量の上限 (この場合は 2^{48}) に達し、この時点でロールオーバーして超過分を保持します。アキュムレータがロールオーバーする平均レートによって、サイン波出力周波数が決まります。アキュムレータの平均ロールオーバー・レートは次式で求められ、この平均レートに基づいて DDS の出力周波数 (f_{DDS}) が決定されます。

$$f_{DDS} = \left(\frac{FTW}{2^{48}} \right) f_S$$

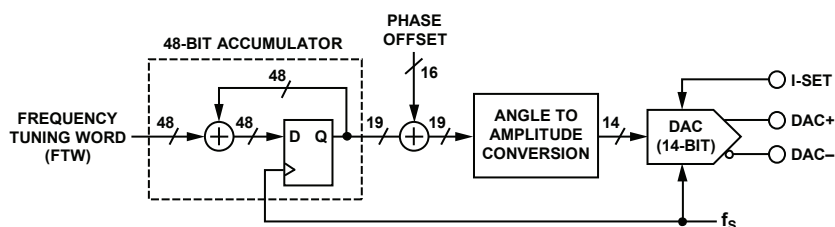


図 25. DDS のブロック図

以下の式を解くと、FTW が求められます。

$$FTW = \text{round} \left[2^{48} \left(\frac{f_{DDS}}{f_S} \right) \right]$$

たとえば、 $f_S = 1 \text{ GHz}$ および $f_{DDS} = 19.44 \text{ MHz}$ と仮定すれば、 $FTW = 5,471,873,547,255$ (0x04FA05143BF7) となります。

サイン波の相対位相を数値制御することも可能です。これは、DDS に位相オフセット入力 (プログラマブル 16 ビット値 (Δ 位相))。[I/O レジスタ・マップ] を参照) を加える方法で行います。結果として生じる位相オフセット $\Delta\Phi$ (ラジアン) は次式から求められます。

$$\Delta\Phi = 2\pi \left(\frac{\Delta\text{phase}}{2^{16}} \right)$$

DPLL レジスタのクロズド・ループ・ビットを使用して、DDS をオープン・ループまたはクロズド・ループいずれかのモードで動作させることが可能です。

オープン・ループ・モードには、シングル・トーンとホールドオーバーの 2 つのモードがあります。シングル・トーン・モードでは、DDS は周波数シンセサイザのように動作し、FTW0 レジスタに格納された値を使用して出力周波数を決定します。別の方法として、周波数推定器を使用してデバイスが自動的に FTW と Δ 位相の値を求めることも可能です。シングル・トーン・モードは基準周波数入力を無視するため、テスト信号の発生にきわめて有効であり、デバッグに役立ちます。シングル・トーン・モードは、レジスタのプログラミングによって手動でアクティブにする必要があります。

ホールドオーバー・モードでは、AD9549 はループが閉じるときに過去の同調ワードを使用して出力周波数を決定します。そのため、ホールドオーバー・モードが正しく実行されるように、ループを正常に閉じる必要があります。ホールドオーバー・モードに切り替えるか、またはこのモードを終了させる動作は、レジスタの設定に応じて自動または手動とすることが可能です。

AD9549 は通常、クロズド・ループ・モードで動作します。クロズド・ループ・モードでは、FTW 値はデジタル・ループ・フィルタの出力から導出され、これは経時変化します。DDS 周波数は、従来型の VCO ベースの PLL と同じ方法でステアリングされます。

クロズド・ループ・モードでは、DDS の位相オフセット機能が無効となります。

DAC 出力

DDS のデジタル・コアの出力は、サイン波形を表す時系列値です。この時系列値は、D/A コンバータ (DAC) によってアナログ信号に変換されます。

DAC は、平衡型電流源アーキテクチャによって駆動される 2 本のピンにその信号を出力します (図 26 の DAC 出力回路図を参照)。ピーク出力電流は、2 つの要素の組合せから導出されます。1 つは、DAC_RSET ピンで設定されるリファレンス電流 (I_{DAC_REF}) であり、もう 1 つは I/O レジスタ・マップで設定されるスケール・ファクタです。

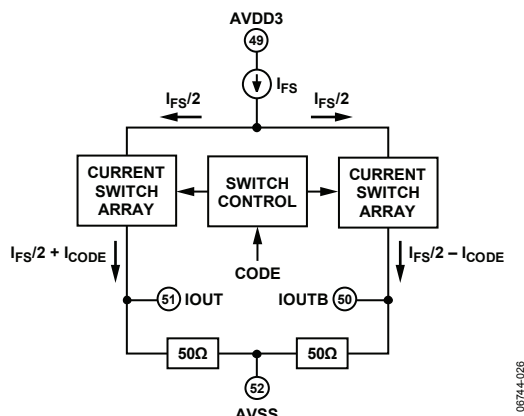


図 26. DAC 出力ピン

I_{DAC_REF} の数値は、DAC_RSET ピンとグラウンド間に 1 本の抵抗 (R_{DAC_REF}) を接続することで設定されます。DAC_RSET ピンは、公称値が 1.2 V の仮想電圧リファレンスに内部接続されているため、リファレンス電流を次式から計算できます。

$$I_{DAC_REF} = \frac{1.2}{R_{DAC_REF}}$$

I_{DAC_REF} の推奨値は 120 μ A であり、これに伴って R_{DAC_REF} の推奨値は 10 k Ω となります。

スケール・ファクタは、I/O レジスタ・マップの DAC フルスケール電流レジスタで設定される 10 ビットのバイナリ値 (FSC) で構成されます。フルスケール DAC 出力電流 (I_{DAC_FS}) は、次式から求められます。

$$I_{DAC_FS} = I_{DAC_REF} \left(72 + \frac{192FSC}{1024} \right)$$

R_{DAC_REF} の推奨値を使用して、約 8.6 mA から約 31.7 mA までの範囲のフルスケール DAC 出力電流を 10 ビット精度で設定できます。20 mA がデフォルト値です。

位相検出器

粗位相検出器

粗位相検出器は、DAC のサンプリング・レート (f_s) を使用して、REF 信号と DDS から発生する帰還信号との間のエッジ・タイミング偏差を検出します。したがって、 f_s によって粗位相検出器の

タイミング分解能が設定されます。 $f_s = 1$ GHz の推奨レート時に、粗位相検出器のタイミングは 131 μ s を越える範囲に及びます (これは最低 8 kHz の REF 信号に十分に対応します)。

粗位相検出器の位相ゲインは、I/O レジスタで 2 つの値を入力する方法で制御します。最初の値は、3 ビットの 2 の累乗スケール・ファクタである PDS です。2 番目の値は、6 ビットのリニア・スケール・ファクタである PDG です。

$$PhaseGain_{CPD} = R \left(\frac{f_s}{f_R} \right) (2^{PDS+6} PDG)$$

微位相検出器

微位相検出器は、そのサンプリング時間基準として f_s を分周した周波数で動作します。微位相検出器のサンプリング・レートは、I/O レジスタ・マップの 4 ビット・ワード (PFD_Div) を使用して設定し、その数値は次式から求められます。

$$Fine\ Phase\ Detector\ Sample\ Rate = \frac{f_s}{4(PFD_Div)}$$

PFD_Div のデフォルト値は 5 であるため、 $f_s = 1$ GHz 時の微位相検出器のサンプリング・レートは、デフォルト値が 50 MHz となります。この位相検出器の最大許容入力周波数 ($f_{PFD[Max]}$) の上限は、サンプリング・レートの 49% に相当し、この数値は以下の式から求められます。

$$f_{PFD[Max]} = \frac{f_s}{8(PFD_Div)}$$

したがって、上記の例で $f_{PFD[Max]}$ は 25 MHz です。

微位相検出器は独自技術の採用によって、REF 信号と帰還信号との間の位相偏差を検出します。

微位相検出器の位相ゲインは、I/O レジスタ・マップの 8 ビット・スケール・ファクタ (FPFD_Gain) を使用して制御します。FPFD_Gain の公称 (デフォルト) 値は 200 であり、次式から位相ゲインを設定します。

$$PhaseGain_{FPD} = \frac{R(2^{10} \times 10^7)(FPFD_Gain)}{f_R}$$

位相検出器のゲイン・マッチング

微位相検出器と粗位相検出器は、タイミング計測に異なる手段を利用しますが、その位相ゲインがともに等しいことが必要不可欠です。ゲイン・マッチングが正しく行われないと、システムのクロード・ループ・ダイナミック特性を正しく制御できなくなります。そのため、目標は $PhaseGain_{CPD} = PhaseGain_{FPD}$ を維持することです。これに基づき、以下の式が導かれます。

$$(f_s 2^{PDS+6}) PDG = (2^{10} \times 10^7) FPFD_Gain$$

この式を簡単にすると以下の式になります。

$$2^{PDS} PDG = \frac{(16 \times 10^7) FPFD_Gain}{f_s}$$

通常は FPFID_Gain を最初に求め、その後で PDG と PDS を計算します。次式を用いて、PDS の正しい数値を選択します。

$$PDS = \text{round} \left[\log_2 \left(\frac{10^7 \times \text{FPFID_Gain}}{2f_s} \right) \right]$$

最終的な PDS 値は、 $0 \leq PDS \leq 7$ を満たす必要があります。以下の式を利用して、PDG に適切な選択値を計算します。

$$PDG = \text{round} \left(\frac{10^7 \text{ FPFID_Gain}}{2^{PDS-4} f_s} \right)$$

最終的な PDG 値は、 $0 \leq PDG \leq 63$ を満たす必要があります。たとえば、 $f_s = 700 \text{ MHz}$ および $\text{FPFID_Gain} = 200$ とした場合、 $PDS = 1$ および $PDG = 23$ となります。

AD9549 評価用ソフトウェアは、すでにマッチングしている位相検出器ゲインとして格納されているレジスタ値を計算します。

位相検出器のピン接続

位相検出器に関連して 3 本のピンが用意されており、これらのピンを外部部品に接続する必要があります。図 27 は、推奨の部品値とその接続を示します。

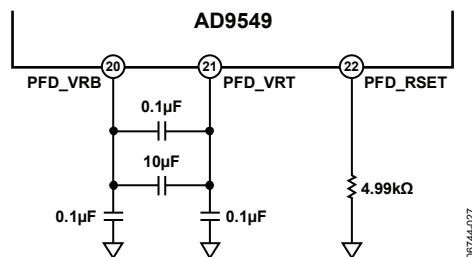


図 27. 位相検出器のピン接続

デジタル・ループ・フィルタ係数

所望の柔軟性を確保するために、ループ・フィルタは 3 つの係数 (α , β , γ) を選択して設定できるように設計されています。これらの係数と P ($P = 2^{\text{PIO}}$) を組み合わせて、次式から求められるフィルタの応答性を詳細に定義します。

$$H(\omega)_{\text{LoopFilter}} = \alpha \left(\frac{e^{j\omega} + (\beta - \gamma - 1)}{e^{j2\omega} + (-\gamma - 2)e^{j\omega} + (\gamma + 1)} \right)$$

絶対周波数を基準にして応答性を評価するには、以下の置換式を利用します。

$$\omega = \frac{2\pi P f}{f_s}$$

ここで、 P は P 分周器の分周比、 f_s は DAC のサンプリング・レート、 f は関数の評価時に適用される周波数です。

ループ・フィルタ係数は、以下の 3 つのパラメータに従って AD9549 評価用ソフトウェアによって求められます。

- Φ は、所望のクローズド・ループ位相マージン ($0 < \Phi < \pi/2 \text{ rad}$) です。
- f_{LOOP} は、所望のオープン・ループ帯域幅 (Hz の単位) です。
- f_{DDS} は、DDS の所望の出力周波数 (Hz の単位) です。 f_{DDS} は $f_{\text{DDS}} = f_{\text{R}}(\text{S/R})$ とも表されます。

以下の式を用いて、パラメータに基づいた 3 つの係数を計算します。

$$\beta = -4\pi P f_c \tan(\Phi)$$

$$\gamma = \frac{1}{2} F(\Phi) \beta$$

$$\alpha = - \left(\frac{2^{38} \pi}{10^7 \text{ FPFID_Gain}} \right) f_{\text{DDS}} f_c F(\Phi) \beta$$

ここで、

$$F(\Phi) = 1 + \frac{1}{\sin(\Phi)}$$

$$f_c = \frac{f_{\text{LOOP}}}{f_s}$$

FPFID_Gain は、I/O レジスタ・マップで設定される微位相検出器のゲイン・スケール・ファクタ値です。

ループ・フィルタ係数の範囲は、以下のように制限されます。

$$0 < \alpha < 2^{23} (\sim 8.39 \times 10^6)$$

$$-0.125 < \beta < 0$$

$$-0.125 < \gamma < 0$$

β と γ に関する上記の制約により、 β と γ の両方が負の値と仮定されるように、クローズド・ループ位相マージンが制限されます。 β と γ が負の数値に制限される場合であっても、その設定値は正です。つまり、負の符号は内部で仮定されるものです。

β と γ が負であるため、クローズド・ループ位相マージンは $0^\circ < \Phi < 90^\circ$ の範囲に制限されます。

3 つの係数はデジタル要素として適用されるため、量子化された数値が必要です。これに関連して係数の設定値を求める方法は、次のとおりです。

α 係数の量子化値は α_0 , α_1 , α_2 の 3 つの係数で構成され、これらの係数は α 係数の設定値です。

$$\alpha_{\text{QUANTIZED}} = \left(\frac{\alpha_0}{2048} \right) (2^{\alpha_1}) (2^{-\alpha_2})$$

この各係数の境界値は $0 \leq \alpha_0 \leq 4095$, $0 \leq \alpha_1 \leq 22$, $0 \leq \alpha_2 \leq 7$ です。 α_0 , α_1 , α_2 の最適値は、以下のとおりです。

$$\alpha_1 = \max \left[0, \min \left\{ 22, \text{ceil} \left(\log_2 \frac{2048\alpha}{4095} \right) \right\} \right]$$

$$\alpha_2 = \max \left[0, \min \left\{ 7, \text{floor} \left(\log_2 \left(\frac{4095}{\alpha} \right) + \alpha_1 - 11 \right) \right\} \right]$$

$$\alpha_0 = \max \left[0, \min \left\{ 4095, \text{round} \left(\alpha \times 2^{\alpha_2 - \alpha_1 + 11} \right) \right\} \right]$$

β 係数の量子化値は、以下のように 2 つの係数で構成されます。

$$\beta_{\text{QUANTIZED}} = (\beta_0) (2^{-(\beta_1 + 15)})$$

ここで、 β_0 と β_1 は β 係数の設定値です。

この各係数の境界値は、 $0 \leq \beta_0 \leq 4095$ および $0 \leq \beta_1 \leq 7$ です。 β_0 と β_1 の最適値は、以下のとおりです。

$$\beta_1 = \max \left[0, \min \left\{ 7, \text{floor} \left(\log_2 \left(\frac{4095}{|\beta|} \right) - 15 \right) \right\} \right]$$

$$\beta_0 = \max \left[0, \min \left\{ 4095, \text{round} \left(|\beta| \times 2^{\beta_1+15} \right) \right\} \right]$$

γ 係数の量子化値は、以下のように 2 つの係数で構成されます。

$$\gamma_{\text{QUANTIZED}} = (\gamma_0) 2^{-(\gamma_1+15)}$$

ここで、 γ_0 と γ_1 は γ 係数の設定値です。この各係数の境界値は、 $0 \leq \gamma_0 \leq 4095$ および $0 \leq \gamma_1 \leq 7$ です。 γ_0 と γ_1 の最適値は、以下のとおりです。

$$\gamma_1 = \max \left[0, \min \left\{ 7, \text{floor} \left(\log_2 \left(\frac{4095}{|\gamma|} \right) - 15 \right) \right\} \right]$$

$$\gamma_0 = \max \left[0, \min \left\{ 4095, \text{round} \left(|\gamma| \cdot 2^{\gamma_1+15} \right) \right\} \right]$$

$\min()$ 、 $\max()$ 、 $\text{floor}()$ 、 $\text{ceil}()$ 、 $\text{round}()$ の各関数は、次のように定義されます。

- $\min(x_1, x_2, \dots, x_n)$ 関数は、引数リストの中から最小値を選択します。
- $\max(x_1, x_2, \dots, x_n)$ 関数は、引数リストの中から最大値を選択します。
- $\text{ceil}(x)$ 関数は、 x が整数ではない場合に、 x を次に大きい整数に切り上げます。 x が整数の場合、その値は変更されません。
- $\text{floor}(x)$ 関数は、 x が整数ではない場合に、 x を次に小さい整数に切り捨てます。 x が整数の場合、その値は変更されません。
- $\text{round}(x)$ 関数は、 x を最も近い整数に丸めます。

ループ・フィルタ帯域幅の幅広い設定可能範囲を実証するために、以下のような設計例について考えてみます。システム・クロック周波数 (f_s) を 1 GHz、入力基準周波数 (f_R) を 19.44 MHz、DDS 出力周波数 (f_{DDS}) を 155.52 MHz、要求される位相マージン (Φ) を 45° とします。 f_R は位相検出器の公称帯域幅 (25 MHz) の範囲内にあり、 f_{DDS}/f_R は整数 (8) であるため、プリスケータは不要です。したがって、フィードフォワードおよび帰還分周器として $R=1$ と $S=8$ をそれぞれ適用できます。

f_{DDS}/f_R が整数ではない場合は、 S と R がともに整数値に制限されると共に $S/R = f_{\text{DDS}}/f_R$ となるように、 R と S の数値を選択する必要があります。たとえば、 $f_R = 10$ MHz および $f_{\text{DDS}} = 155.52$ MHz のときに、 S と R の最適な選択値はそれぞれ 1944 および 125 となります。

このように定義された条件下でのオープン・ループ帯域幅は、9.5 Hz から 257.5 kHz までの範囲となります。ループ・フィルタ係数のダイナミック・レンジが幅広いいため、上記の条件下でオープン・ループ帯域幅をこの範囲内で設定できます。その結果、同じ条件下でのクロズド・ループ帯域幅は、約 12 Hz から約 359 kHz までの範囲になります。

上限ループ帯域幅に対応する最終的なループ・フィルタ係数、および必要な設定値は、以下のように表されます。

$$\begin{aligned} \alpha &= 4322509.4784981 \\ \alpha_0 &= 2111 \text{ (0x83F)} \\ \alpha_1 &= 22 \text{ (0x16)} \\ \alpha_2 &= 0 \text{ (0x00)} \\ \beta &= -0.10354689386232 \\ \beta_0 &= 3393 \text{ (0xD41)} \\ \beta_1 &= 0 \text{ (0x00)} \\ \gamma_0 &= 4095 \text{ (0xFFF)} \\ \gamma &= -0.12499215775201 \\ \gamma_1 &= 0 \text{ (0x00)} \end{aligned}$$

下限ループ帯域幅に対応する最終的なループ・フィルタ係数、および必要な設定値は、以下のように表されます。

$$\begin{aligned} \alpha &= 0.005883404361345 \\ \alpha_0 &= 1542 \text{ (0x606)} \\ \alpha_1 &= 0 \text{ (0x00)} \\ \alpha_2 &= 7 \text{ (0x07)} \\ \beta &= -0.000003820176667 \\ \beta_0 &= 16 \text{ (0x10)} \\ \beta_1 &= 7 \text{ (0x07)} \\ \gamma &= -0.00000461136116 \\ \gamma_0 &= 19 \text{ (0x13)} \\ \gamma_1 &= 7 \text{ (0x07)} \end{aligned}$$

AD9549 評価用ソフトウェアは、ユーザが必要とするループ特性に基づいて、これらの係数を自動的に生成します。

クロズド・ループ位相オフセット

AD9549 は位相検出器の出力に一定の位相オフセット値を加算することにより、基準周波数入力信号と出力信号との間の位相オフセットを限定的に制御します。これに対応するために、図 28 に示すように位相検出器の出力に加算器が用意されています。定数値 ($\text{PLL}_{\text{OFFSET}}$) は、PLL オフセット・レジスタで設定します。

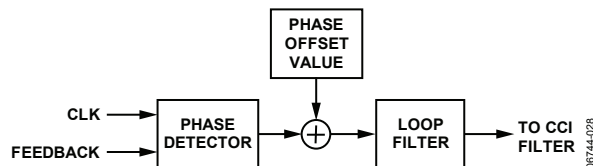


図 28. 入力位相オフセット加算器

$\text{PLL}_{\text{OFFSET}}$ は、位相検出器のゲインおよび所望のタイミング・オフセット量 (Δt_{OFFSET}) に応じて変化します。この数値は、次式から求められます。

$$P_{\text{LLOFFSET}} = \Delta t_{\text{OFFSET}} \left(2^{10} \times 10^7 \times \text{FPFD_Gain} \right)$$

FPFD_Gain については、「微位相検出器」で説明しています。

たとえば、 $\text{FPFD_Gain} = 200$ 、 $f_{\text{CLK}} = 3$ MHz、所望の位相オフセットを 1° としましょう。最初に、次式のように Δt_{OFFSET} の数値を求める必要があります。

$$\Delta t_{\text{OFFSET}} = \frac{\text{deg}}{360} t_{\text{CLK}} = \frac{1}{360} \left(\frac{1}{3 \text{ MHz}} \right) = 925.9 \text{ ps}$$

Δt_{OFFSET} の数値を求めた後で、以下の計算を行います。

$$PLL_{\text{OFFSET}} = 925.9 \text{ ps}(2^{10} \times 10^7 \times 200) = 1896$$

PLL_{OFFSET} は整数値に制限されるため、解を丸めています。

PLL_{OFFSET} 値は 14 ビットの 2 の補数値に設定されます。ただし、以下のようにこの値を 12 ビットに制限する必要があります。

$$-2^{11} \leq PLL_{\text{OFFSET}} < +2^{11}$$

上記の制約により、タイミング調整範囲が $\pm 1 \text{ ns}$ になります。したがって、位相オフセットは微位相検出器の限界範囲内に確実に維持されます。

ロック検出

フェーズ・ロック検出

フェーズ・ロックの実行中、位相検出器の出力はゼロの値に近づくようになります。これは位相検出器の入力信号が完全に整合したことを示します。制御ループが動作して位相検出器入力信号の整合を維持すると、位相検出器の出力はゼロ周辺で推移します。

フェーズ・ロック検出器は、位相検出器から生成されたデジタル・サンプルの絶対値をトラッキングします。これらのサンプルは、I/O レジスタ・マップで設定されたフェーズ・ロック検出スレッシュホールド値 (PLDT) と比較されます。コンパレータの出力が偽の状態であれば、サンプルの絶対値がスレッシュホールド・レジスタの値を超えていることを示します。コンパレータの出力が真の状態であれば、ロック検出スレッシュホールドで指定されたレベルに位相検出器の入力信号が整合していることを示します。

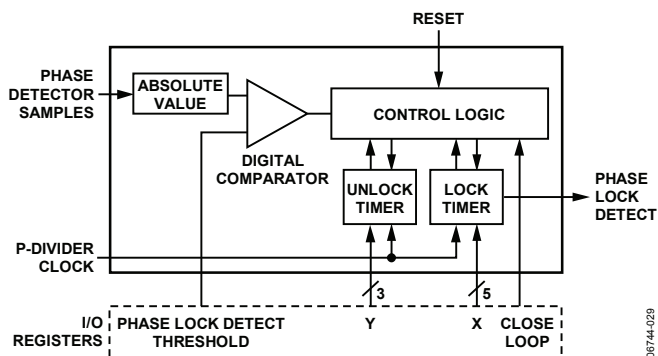


図 29. フェーズ・ロック検出器のブロック図

フェーズ・ロック検出スレッシュホールド値は、I/O レジスタ・マップに格納された 32 ビット値です。

$$PLDT = \text{round}(\Delta t \times 2^{10} \times 10^7 \times FPF_{\text{D_Gain}})$$

ここで、 Δt は位相検出器の入力信号と「微位相検出器」で説明する $FPF_{\text{D_Gain}}$ の数値との間の最大許容タイミング誤差です。

たとえば、 $f_{\text{R}}/R = 3 \text{ MHz}$ 、 $FPF_{\text{D_Gain}} = 200$ 、そして最大タイミング偏差として 1° が与えられた場合、 Δt 値は以下のように求められます。

$$\Delta t = \frac{1^\circ}{360^\circ} (R \times T_{\text{R}}) = \frac{R}{360 f_{\text{R}}} = \frac{1}{360(3 \times 10^6)}$$

その結果、フェーズ・ロック検出スレッシュホールド値は次式から求められます。

$$PLDT = \text{round}\left(\frac{2^{10} \times 10^7 \times 200}{360(3 \times 10^6)}\right) = 1896$$

したがって 1896 (0x00000768) が、フェーズ・ロック検出スレッシュホールド・レジスタに格納する値となります。

コンパレータの出力が、P 分周クロックの 2^X 周期の間にわたり真の状態であることがコントロール・ロジックによって確認された時点で、フェーズ・ロック検出信号が発生します (P 分周器の説明については、「デジタル・ループ・フィルタ」を参照)。フェーズ・ロック検出信号がアサートされると、ロック解除イベントまたはデバイスのリセットによってクリアされるまで、この信号はアサートされた状態を維持します。

ロック検出プロセスの持続時間は、フェーズ・ロック・ウォッチドッグ・タイマ・レジスタを使用して設定できます。この間隔は、5 ビット値の X ($0 \leq X \leq 20$) で制御します。フェーズ・ロック検出間隔の持続時間の絶対値は、次式から求められます。

$$t_{\text{LOCK}} = \frac{2^X P}{f_{\text{S}}}$$

フェーズ・ロック検出プロセスのヒステリシスは、ロック解除イベントとして必要条件を満たす最小持続時間を指定することで制御します。コンパレータの出力が、P 分周クロックの 2^Y 周期の間にわたり偽の状態であることがコントロール・ロジックによって確認された時点で (フェーズ・ロック検出信号がアサートされている場合)、ロック解除イベントが宣言されます。ロック解除イベントが検出されると、フェーズ・ロック検出信号がクリアされ、フェーズ・ロック検出プロセスが自動的に再開されます。

ロック解除イベントの宣言に必要な時間をフェーズ・ロック解除ウォッチドッグ・タイマ・レジスタで設定できます。この間隔は、3 ビット値の Y ($0 \leq Y \leq 7$) で制御します。ロック解除検出間隔の持続時間の絶対値は、次式から求められます。

$$t_{\text{UNLOCK}} = \frac{2^{Y+1} P}{f_{\text{S}}}$$

図 30 は、位相検出器に入力される基準周波数信号、位相誤差の大きさ、コンパレータの出力、フェーズ・ロック検出器の出力の間のタイミングに関する基本的な関係を示します。この例では、 $X = 3$ および $Y = 1$ と想定しています。

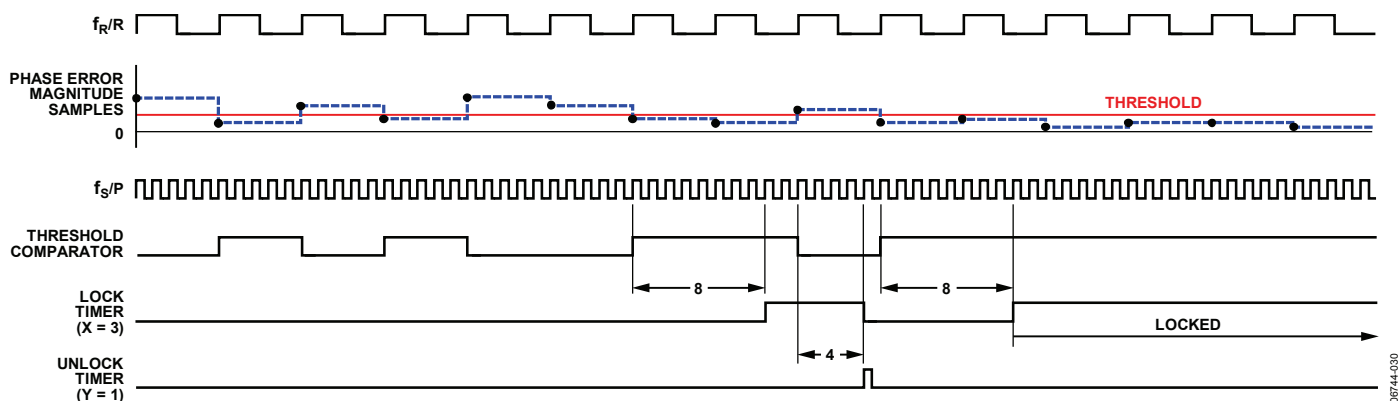


図 30. ロック/ロック解除検出のタイミング

周波数ロック検出

周波数ロック検出は、連続的な位相サンプル間の差を情報源とする点を除き、フェーズ・ロック検出と同様です。位相サンプルの連続的な差分が、周波数と類似する位相サンプルの時間微分のデジタル近似値として利用されます。

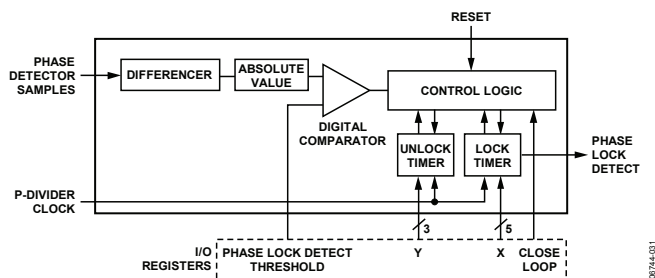


図 31. 周波数ロック検出

周波数ロック検出スレッシュホールド値 (FLDT) の計算式は、以下のとおりです。

$$FLDT = \text{round} \left[\Delta f \times 2^{10} \times 10^7 \times FPF_{\text{Gain}} \left(\frac{R}{f_R} \right)^2 \right]$$

ここで、 f_R はアクティブな基準周波数、 R は基準周波数プリスケアラ値、 Δf は周波数ロック状態を通知するために考慮される f_R の最大周波数偏差です ($\Delta f \geq 0$)。

たとえば、 $f_R = 3 \text{ MHz}$ 、 $R = 5$ 、 $FPF_{\text{Gain}} = 200$ 、そして 1% の周波数ロック・スレッシュホールドが指定されていると想定しましょう。このときに、周波数ロック検出スレッシュホールド値は、以下のように計算されます。

$$FLDT = \text{round} \left[\left(1\% \times 3 \times 10^6 \right) \times 2^{10} \times 10^7 \times 200 \times \left(\frac{5}{3 \times 10^6} \right)^2 \right] = 170,667$$

したがって 170,667 (0x00029AAB) が、周波数ロック検出スレッシュホールド・レジスタに格納される必要のある数値です。

周波数ロック/ロック解除検出プロセスの持続時間は、前のセクションのフェーズ・ロック/ロック解除検出プロセスとまったく同じ方法で制御します。ただし、異なるコントロール・レジスタ、つまり周波数ロック/ロック解除ウォッチドッグ・タイマ・レジスタを使用します。

基準周波数モニタ

基準周波数の喪失

1 つまたは両方の基準周波数信号が存在しないときに、AD9549 はアラートを設定できます。2 つの基準周波数入力 (REFA、REFB) には、I/O レジスタ・マップを使用してイネーブルにする専用の LOR (基準周波数喪失) 回路がそれぞれ備わっています。LOR 状態が検出されると、I/O レジスタ・マップのステータス・レジスタと IRQ レジスタ両方の該当する LOR ビットが設定されます。LOR 状態は、AD9549 の多目的ステータス・ピン (S1~S4) から同様に内部で出力されます。I/O レジスタ・マップで該当ビットを設定して、ステータス・ピンを各 LOR フラグに割り当てることができます。これは、LOR フラグの状態に基づいて外部ハードウェアを直接制御する手段となります。

LOR 回路は、周期の設定が可能な内部ウォッチドッグ・タイマです。タイマの周期は、モニタされる基準周波数信号の周期よりも長くなるように、I/O レジスタ・マップで設定します。基準周波数信号の立上がりエッジで、ウォッチドッグ・タイマが継続的にリセットされます。タイマがフルカウントに達すると、これは基準周波数を喪失したか、またはその周期がタイマの周期よりも長かったことを示します。LOR はこれらを識別しません。

各 LOR タイマの周期は、I/O レジスタ・マップの 16 ビット・ワードで制御します。タイマ・クロックの周期 (t_{CLK}) は $2/f_S$ です。したがって、ウォッチドッグ・タイマの周期 (t_{WD}) は、次式から求められます。

$$t_{\text{WD}} = (2/f_S)N$$

ここで、 N は該当する LOR 回路について I/O レジスタ・マップに格納された 16 ビット・ワードです。

ウォッチドッグ周期が入力基準周波数の周期よりも長くなるように、以下の式で表される N を選択してください。

$$N > \text{floor} \left(\frac{f_S}{2f_R} \right)$$

ここで、 f_R は入力基準周波数です。

N の数値に基づき、LOR 信号がトリガされない場合の周波数 (f_{PRESENT}) と LOR 信号が常にアクティブの場合の周波数 (f_{LOST}) の 2 つの周波数が確定します。これらの周波数の間で、LOR 信号は断続的にその状態をトグルします。

この2つの周波数の境界値は、以下のとおりです。

$$f_{PRESENT} = \frac{f_S}{2N}$$

$$f_{LOST} = \frac{f_S}{2(N+1)}$$

$\text{floor}\left(\frac{f_S}{2f_R}\right) + 1$ に N を選択すると、わずか1周期の入力基準周波数で LOR 回路は LOR 状態を通知できます。たとえば、 $f_S = 1 \text{ GHz}$ および $f_R = 2.048 \text{ MHz}$ の場合、 N の有効最小値は以下のとおりです。

$$N_{MIN} = \text{floor}\left(\frac{10^9}{2(2.048 \times 10^6)}\right) + 1 = 245$$

したがって、 $f_{PRESENT}$ と f_{LOST} の数値は以下のようになります。

$$f_{PRESENT} = 2,048,816$$

$$f_{LOST} = 2,032,520$$

入力基準周波数信号の周期で許容される偏差を考慮するために、十分に大きい N 値を選択する必要があります。

N 値は基準周波数と反比例すること、つまり基準周波数が増加するに従って、スレッシュホールドの調整精度が低下する点に留意します。LOR 回路を正しく動作させるには、 N を3以上にする必要があります。そのため、LOR 回路を正しく機能させるための最高の基準周波数は、次式から求められます。

$$f_{LOR[Max]} = \frac{f_S}{6}$$

基準周波数モニタ

1 つまたは両方の基準周波数入力ユーザが指定した制限を超える周波数までドリフトした場合、AD9549 はいつでもアラートをセットすることができます。2 つの基準周波数入力には、I/O レジスタ・マップでイネーブル/ディスエーブルにする専用のアウト・オブ・リミット (OOL) 回路がそれぞれ備わっています。OOL 状態が検出されると、I/O レジスタ・マップのステータス・レジスタと IRQ レジスタ両方の該当する OOL ビットが設定されます。また、I/O レジスタ・マップで該当ビットを設定して、ステータス・ピン (S1~S4) を各 OOL フラグに割り当てることもできます。これは、OOL フラグの状態に基づいて外部ハードウェアを直接制御する手段となります。

各基準周波数モニタは、プログラマブル基準周波数分周器、32 ビット・カウンタ、32 ビットのデジタル・コンパレータの3つの主要ビルディング・ブロックで構成されます。

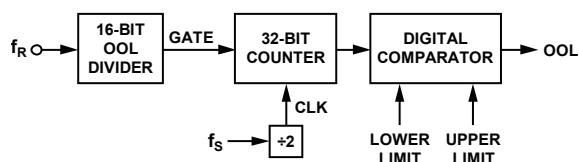


図 32. 基準周波数モニタ

基準周波数モニタの正しい数値を計算するには、システム・クロック周波数 f_S (通常は 1 GHz)、入力基準周波数 f_R (Hz 単位)、誤差境界 E ($1\% = 0.01$)、モニタ・ウィンドウ・サイズ (W) の4つの数値が必要です。モニタ・ウィンドウ・サイズは、基準周波数入力隣接エッジ間に累積されたカウンタの最大値と最小値の差です。このウィンドウが極度に小さいと、ランダム変動によって、OOL 検出器は基準周波数が限界範囲外であると誤って通知します。ただし、ウィンドウ・サイズを大きくすると、基準周波数が有効であるかどうかを確認するための所要時間が長くなります。最低 20 のウィンドウ・サイズから始める方法が適切です。

上述の4つの入力値を使用して、OOL 分周値 (D) と OOL 公称値 (N) を計算し、 D と N の計算値を以下の式に利用して、OOL 上限値 (U) と OOL 下限値 (L) を求めます。

$$D = \max\left[1, \min\left(65,535, \text{ceil}\left(4 \times \frac{f_R}{f_S} \times \frac{W}{E}\right)\right)\right]$$

$$N = \frac{f_R}{f_S} \times \frac{D}{4}$$

$$L = \text{floor}(N) - \text{floor}(W)$$

$$U = \text{ceil}(N) + \text{floor}(W)$$

タイミング精度は、2 つの要素に依存します。最初の要素は、 f_S 固有の精度です。その理由は、 f_S が基準周波数モニタの時間基準として利用されるためです。そのため、基準周波数モニタの精度が f_S の精度を上回ることはありません。2 番目の要素は W の数値です。 f_R の公称値と限界範囲外の数値との間の偏差をタイマが解消できるように、 W を十分に大きい数値にする必要があります。

一例として、 $f_R = 10 \text{ MHz}$ 、 $E = 1.0\%$ 、 $f_S = 1 \text{ GHz}$ 、 $W = 20$ と仮定しましょう。限界値は以下のようになります。

$$\text{Lower Limit} = 1980$$

$$\text{Upper Limit} = 2020$$

$E = 0.01\%$ とすると、限界値は以下のようになります。

$$\text{Lower Limit} = 199980$$

$$\text{Upper Limit} = 200020$$

この計測に必要なカウンタ数 (および時間) は 100 倍増加します。

基準周波数のスイッチオーバー

AD9549 は、デュアル入力基準周波数クロックに対応します。基準周波数の切替えは、I/O レジスタ・マップの自動セクタ・ビットを適切に設定することにより、自動または手動で実行できます。新たに選択した基準周波数への遷移は、以下のような多くの要素に依存します。

- REFSELECT ピンの状態
- REF_AB コントロール・レジスタ・ビットの状態
- 基準周波数入力オーバーライド・イネーブル・レジスタ・ビットの状態
- ホールドオーバー・ステータス

基準周波数切替えおよびホールドオーバー・ロジックの機能図を図 33 に示します。

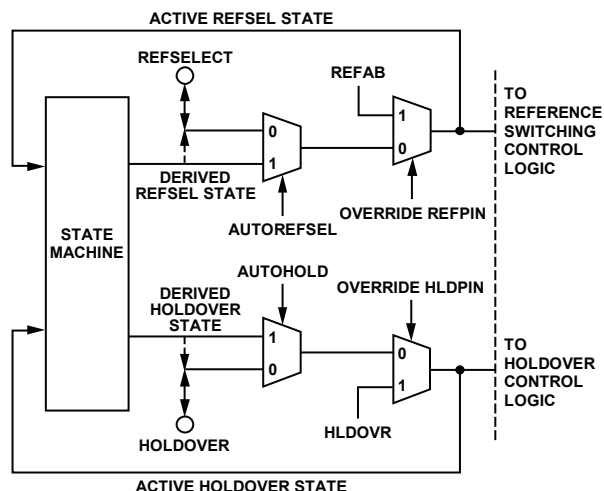


図 33. 基準周波数切替えおよびホールドオーバー・ロジック

手動モードでは、アクティブな基準周波数は REFSELECT ピンに外部から入力されるロジック・レベルによって決定されます。自動モードでは、内部ステート・マシンがアクティブな基準周波数を決定し、REFSELECT ピンはステート・マシンが使用している基準周波数を通知する出力になります。

I/O レジスタ・マップの基準周波数入力オーバーライド・イネーブル・ビットを使用して、内部ステート・マシンによって選択されたアクティブな基準周波数を無効にできます。その後で、I/O レジスタ・マップの REF_AB ビットを使用して、所望の基準周波数を選択します。無効にすると、REFSELECT ピンは REF_AB ビットによって選択された物理的な基準周波数を通知しない点に注意することが重要です。このピンは、デバイスがオーバーライド・モードに設定されなければ、内部ステート・マシンが選択する基準周波数を通知します。そのため、ユーザはプログラミング・レジスタで基準周波数の切替えを強制設定し、これと同時に REFSELECT ピンでステート・マシンの応答をモニタできます。

基準周波数切替えロジック図（図 33）に示すように、上記と同様なタイプの動作（手動/自動およびオーバーライド）は、ホールドオーバー機能にも適用されます。図中の点線矢印は、オーバーライド・モードではステート・マシンの出力が REFSELECT と HOLDOVER の各ピンに入力されることを示しています。

ライン・カード・モードによる剰余パルスの排除

2 つの基準周波数の正確な位相アライメントが維持されずに基準周波数の遷移が行われると、余分なパルスが発生する可能性があります。これは、2 つの基準周波数の相対的なエッジ位置と切替えが開始されるタイミングに依存します。この剰余パルスの問題を解消するために、ライン・カード・モード・イネーブル・ビットが I/O レジスタ・マップに用意されています。図 34 は、ライン・カード・モードのロジックを示します。ライン・カード・イネーブル・ビットが 0 のときは、基準周波数の相対的なエッジ位置が考慮されずに、基準周波数の切替えがコマンドで実行されます。つまり、余分なパルスが発生する可能性があります。しかし、このビットを 1 に設定すると、図 35 に示すように基準周波数の切替えタイミングが条件付きで実行されます。

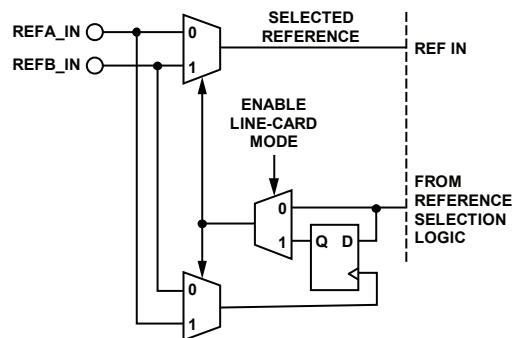


図 34. 基準周波数切替えコントロール・ロジック

ライン・カード・モードのイネーブル時には、1 つの基準周波数の立上がりエッジがラッチのクロック動作に使用されます。この基準周波数の立上がりエッジが次に発生するまで、ラッチは実際の遷移を遅らせます。

図 35 は、ライン・カード・モードをイネーブルおよびディスエーブルにした場合の基準周波数切替えタイミングの相違を示すタイミング図です。イネーブルのとき、もう一方の基準周波数に切り替えるように要求するコマンドが基準周波数切替えロジックに対して出されても、その基準周波数の立上がりエッジが次に発生するまで、実際の遷移は実行されません。この動作によって、ライン・カード・モードのディスエーブル時に発生する可能性のある誤ったパルスが排除されます。

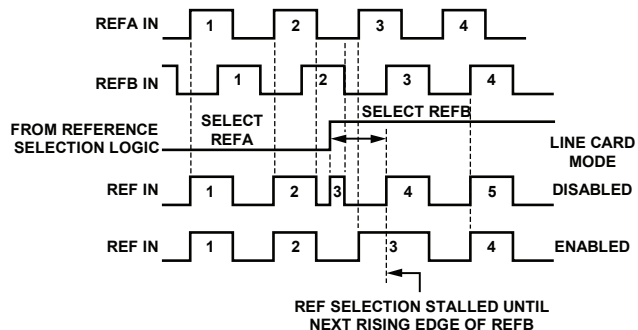


図 35. 基準周波数切替えタイミング

基準周波数入力切替えが出力クロックに及ぼす影響

このセクションでは、クロック切替えイベント時の AD9549 の過渡特性を説明します。これは、AD9549 がホールドオーバーを終了し、基準周波数入力にロックされる状態に復帰するときにも適用されます。ホールドオーバー・モードに入るときは、位相の不一致が発生することはありません。

位相の異なる基準周波数入力を切り替えると、PLL の出力で過渡周波数外乱が発生します。この外乱の度合は、入力基準周波数、2 つの基準周波数間の位相オフセットの大きさ、デジタル PLL のループ帯域幅に応じて異なります。

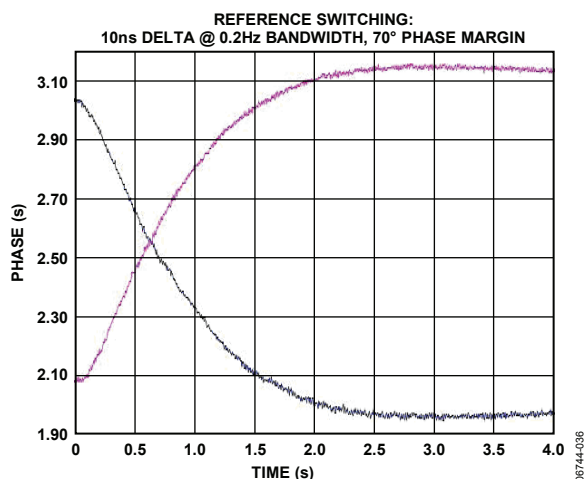


図 36. 基準周波数切替え時間 対 出力位相

図 36 は、基準周波数切替えイベント時間の関数として変化する出力位相を示します。この例では、基準周波数 A と基準周波数 B がともに 30.72 MHz であり、位相オフセットは 10 ns (102°) です。デジタル PLL のループ帯域幅は 0.2 Hz です。

周波数の外乱は、図 36 に示すシフトの勾配で表されます。最大勾配は、1 秒の時間で 4.75 の目盛区分に相当します。これに基づき、出力も 30.72 MHz であると仮定したうえで、以下のように過渡周波数誤差が求められます。

$$m = \frac{\Delta y}{\Delta x} = \frac{4.75 \text{ divs}}{1 \text{ s}} = \frac{105^\circ}{1 \text{ s}} = 0.292 \text{ Hz}$$

この過渡周波数の最大誤差は、以下のとおりです。

$$\text{MaxFrequencyError} = \frac{0.292 \text{ Hz}}{30.72 \text{ MHz}} = 0.0095 \text{ ppm}$$

これを一般的な場合に適用するためには、180°離れている 2 つの基準周波数エッジ間の最大時間差を計算する必要があります。位相シフトが 180°の場合、上記の勾配計算値 m は 0.292 Hz ではなく、0.5 Hz になります。次に、使用するループ帯域幅に対して周波数誤差をスケールする必要があります。1 kHz 時の周波数誤差は 0.2 Hz 時よりも 5000 倍大きいので、上記の 102°とする例のピーク周波数誤差は 47.4 ppm となり、基準周波数入力間の位相誤差が 180°の場合は 81.3 ppm になります。

Telcordia GR-1244-CORE で定義される Stratum-3 などのヒットレス切替え環境に対する周波数誤差を計算する場合、設計者はシステム全体の周波数誤差見積りを考慮に入れ、さらに AD9549 の基準クロック切替えによって生じる周波数外乱がこの見積りに及ぼす影響度に留意する必要があります。

出力クロックによる入力クロックのトラッキングが要求されるアプリケーションと、これに対して入力の過渡周波数外乱を円滑化するために PLL が要求されるアプリケーションを区別することもきわめて重要です。

上述の留意点のすべてが配慮された AD9549 のデジタル PLL アーキテクチャにより、設計者はそのアプリケーションの要件に合わせたループ帯域幅を選択できます。ループ帯域幅は 0.1 Hz から最大 100 kHz とすることが可能ですが、位相検出器周波数の 1/10 を越えないようにしてください。

ホールドオーバー

ホールドオーバー制御および周波数精度

REFA または REFB 入力に基準周波数信号が存在しない場合でも、出力クロック信号を維持するための手段として、ホールドオーバー機能を利用できます。ホールドオーバー・モードでは、周波数同調ワードを DDS に直接入力することによって、出力クロックが (DDS を経由して) SYSCLK 入力から生成されます。AD9549 の周波数精度は、システム・クロック入力の周波数精度とまったく同じです。

通常の動作からホールドオーバー・モードへの移行は、自動ホールドオーバー・ビット (0=手動、1=自動) を適切に設定することにより、手動または自動で実行できます。ただし、ホールドオーバー動作への実際の移行は、HOLDOVER ピンの状態、およびホールドオーバー・オーバーライド・イネーブルとホールドオーバー・オン/オフの各コントロール・レジスタ・ビットの状態に依存します。

自動ホールドオーバー・ビットがロジック 0 (デフォルト) のときに、手動ホールドオーバーが設定されます。手動モードでは、HOLDOVER ピン (0=ノーマル、1=ホールドオーバー) の状態によって、ホールドオーバーが決まります。手動ホールドオーバー動作に対処するために、HOLDOVER ピンは高インピーダンス (>100 kΩ) の入力ピンとして構成されます。

自動ホールドオーバー・ビットがロジック 1 のときは、自動ホールドオーバーが呼び出されます。自動モードでは、HOLDOVER ピンが低インピーダンスの出力として構成され、そのロジック状態は内部ステート・マシンによって決定されたホールドオーバー状態 (0=ノーマル、1=ホールドオーバー) を示します。

自動ホールドオーバー動作のときに、ホールドオーバー・オーバーライド・イネーブル・ビットをロジック 1 に設定し、ホールドオーバー・モード・ビットを所望の状態 (0=ノーマル、1=ホールドオーバー) に設定することで、内部ステート・マシンを無効にすることが可能です。ただし、このオーバーライド状態のときに HOLDOVER ピンは強制設定されたホールドオーバー状態を示すことはなく、(ステート・マシンの選択が無効になっている場合であっても) 内部ステート・マシンによって選択されたホールドオーバー状態を示します。これにより、プログラミング・レジスタでホールドオーバー状態を強制設定し、これと同時に HOLDOVER ピンでステート・マシンの応答をモニタできます。図 33 は、基準周波数切替えおよびホールドオーバー・ロジック図を示しています。

基準周波数切替えビットのデフォルト状態は、自動ホールドオーバー=0、ホールドオーバー・オーバーライド・イネーブル=0、ホールドオーバー・モード=0 です。

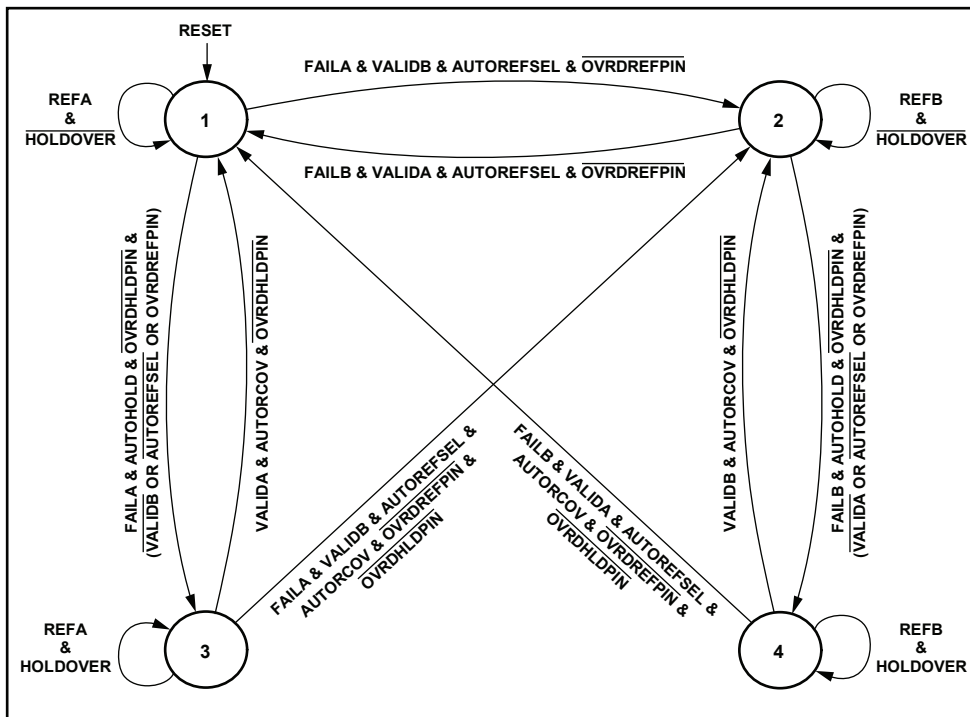
ホールドオーバーおよび基準周波数切替えステート・マシン

図 37 は、入力基準周波数信号とホールドオーバーとの相互作用を示します。各種の制御信号と 4 つの状態が表示されています。

デバイスがホールドオーバー状態に入っていないときに状態 1 または状態 2 が有効になり、ホールドオーバー状態がアクティブのときに状態 3 または状態 4 が有効になります。アクティブな基準周波数として REFA を選択すると、状態 1 または状態 3 が有効になります。アクティブな基準周波数として REFB を選択すると、状態 2 または状態 4 が有効になります。各状態への遷移は、基準周波数切替えおよびホールドオーバー・コントロール・レジスタの設定、REFSELECT および HOLDOVER ピンのロジック状態、特定イベント (たとえば、基準周波数障害) の発生に依存します。

図 37 は、ステート・マシンと、ステート・マシンのコントロール・レジスタと外部ピンからの刺激に対する関係を示します。ステート・マシンは、導出された基準周波数選択とホールドオーバー状態を生成します。ただし、基準周波数切替えロジックとホールドオーバー・ロジックに送られる実際の制御信号は、マル

チプレクサに入力される制御信号に応じて異なります。REFSELECT と HOLDOVER の各ピンに通じる直線経路は、基準周波数選択やホールドオーバーのアサートに自動モードを選択するときにアクティブになります。



ABBREVIATION KEY			
REFA:	REFERENCE A SELECTED	OVRDREFFPIN:	OVERRIDE REF SEL PIN
REFB:	REFERENCE B SELECTED	OVRDHLDPIN:	OVERRIDE HOLDOVER PIN
HOLDOVER:	HOLDOVER STATE	AUTOREFSEL:	AUTOMATIC REFERENCE SELECT
FAILA:	REFERENCE A FAILED	AUTORCOV:	AUTOMATIC HOLDOVER RECOVERY
FAILB:	REFERENCE B FAILED	AUTOHOLD:	AUTOMATIC HOLDOVER ENTRY
VALIDA:	REFERENCE A VALIDATED	:	LOGICAL OR
VALIDB:	REFERENCE B VALIDATED	&:	LOGICAL AND
		%:	LOGICAL NOT

06744-037

図 37. ホールドオーバー状態図

基準周波数バリデーション・タイマ

2つの基準周波数入力には、専用のバリデーション・タイマがそれぞれ備わっています。ホールドオーバー・ステート・マシンは、以前に障害が発生した基準周波数への復帰に関する意思決定プロセスの一部として、これらのタイマのステータスを利用します。その例として、基準周波数に障害が発生し（つまり、LOR または OOL 状態が有効なとき）、回復時にデバイスが有効な基準周波数に自動的に復帰するように設定されている場合を考えてみます。基準周波数が正常な動作状態に復帰すると、LOR と OOL の状態は真ではなくなります。ただし、LOR と OOL の状態がクリアされたことはステート・マシンにすぐには通知されません。LOR と OOL 両方の状態がクリアされると、その特定の基準周波数用のバリデーション・タイマが起動します。そのバリデーション・タイマがタイムアウトすると、その基準周波数を選択できる状態になっていることがステート・マシンに通知されます。ただし、基準周波数が有効であることを示すフラグが立てられている場合であっても、回復した基準周波数への実際の遷移は、各種のホールドオーバー・コントロール・ビットの設定に依存します。

バリデーション・タイマは、I/O レジスタ・マップを使用して制御します。バリデーション・タイマが基準クロックの 2 周期以上であることを確認してください。2 個のバリデーション・タイマは独立していますが、設定された情報は両方のタイマで共有されます。所望の時間間隔は、 $0 \leq T \leq 31$ （デフォルト値は $T=0$ ）となるように、5 ビット・ワードを使用して制御します。バリデーション・タイマの持続時間は、次式から求められます。

$$T_{RECOVER} = T_0(2^{T+1} - 1)$$

ここで、 T_0 はデジタル・ループ・フィルタのサンプリング・レートであり、この周期は以下の式から求められます。

$$T_0 = \frac{2^{P_0}}{f_s}$$

（「デジタル・ループ・フィルタ」を参照してください。）

ホールドオーバー動作

ホールドオーバー状態がアサートされると、DDS 出力周波数はフェーズ・ロック帰還ループによって制御されなくなります。その代わりに、スタティックな周波数同調ワード（FTW）が DDS に入力され、その出力周波数は規定の周波数に保持されます。スタティックな FTW のソースは、該当するコントロール・レジスタ・ビットのステータスに依存します。通常の動作時には、FTW の生成時に平均化器とサンブラが最大 65,000 の FTW 値をモニタおよび累積し、ホールドオーバーに入った時点でホールドオーバー・ステート・マシンは、平均化された同調ワードまたは最後の有効な同調ワードを利用することが可能になります。

ホールドオーバー・モードは、このモードに入るときと同じ方法で終了します。手動ホールドオーバー・コントロールを使用する場合は、ホールドオーバー・ピンのアサートが解除されるときに、位相検出器はホールドオーバー信号と基準周波数入力信号の比較を開始し、ホールドオーバー信号をその開始点として使用して、位相/周波数の調整を開始します。

ホールドオーバー・ステート・マシンが自動的にホールドオーバー・モードを終了するときの挙動も、これにきわめて類似しています。最大の違いは、基準周波数モニタが継続的に両方の基準周波数入力をモニタし、その 1 つが有効になると、即時にその入力に切り替わる点です。

ホールドオーバー・モードでの出力周波数は、SYSCLK 入力信号源の周波数と DDS に入力される周波数同調ワード値に応じて変化します。そのため、出力信号の安定性は、SYSCLK 信号源の安定性（およびイネーブルにしている場合は SYSCLK PLL 通倍器）に完全に依存します。

入力上でのノイズ発生を回避するために、使用しない基準周波数入力をパワーダウンすることがきわめて重要です。さらに、基準周波数バリデーション・タイマを、基準周波数分周器から出力される信号の少なくとも 1 サイクル全周期に設定することも必要です。

ホールドオーバー・サンブラおよび平均化器

HSA を I/O レジスタ・マップでアクティブにすると、HSA はデジタル・ループ・フィルタから生成されたデータをバックグラウンドで継続的にモニタします。ループ・フィルタのデータは、DDS に対する周波数調整 (Δf) の時系列データである点に留意する必要があります。HSA の出力は I/O レジスタ・マップの読出し専用レジスタとホールドオーバー・コントロール・ロジックに送られます。

これらの最初の転送先（読出し専用レジスタ）は、ユーザによる読出しが可能でデータが外部で処理されるトレース・バッファとして機能します。2 番目の転送先（ホールドオーバー・コントロール・ロジック）は、HSA の出力を使用して、ホールドオーバー状態に入った時点で DDS を規定の周波数に安定化させます。そのため、DDS はホールドオーバー状態に入る直前に HSA によって生成された最後の値で指定された周波数を用います。

出力 MUX の状態は、I/O レジスタ・マップのプログラミングで設定します。デフォルト状態として、変更されない HSA を Δf 値が通過します。このモードでの出力サンプリング・レートは、デジタル・ループ・フィルタのサンプリング・レートと同じ f_s/P です。

P は P 分周器の分周比であり（「デジタル・ループ・フィルタ」を参照）、 f_s は DAC のサンプリング・レートです。

別の方法として、平均化経路を選択するように MUX を設定することも可能です。このモードでは、サンプル・シーケンスに対してブロック平均が実行されます。このシーケンス長は、Y の値（I/O レジスタ・マップに格納される 4 ビット値）を設定する方法で指定しますが、その値は 2^{Y+1} です。平均化モードでの出力サンプリング・レートは、 $f_s/(P \times 2^{Y+1})$ となります。

Y で指定された Δf サンプル数の収集が完了すると、平均化された結果が 2 段のパイプラインに送られます。このパイプラインの最終段には、ホールドオーバー状態に遷移するときにホールドオーバー・コントロール・ロジックに送られる値が含まれます。パイプラインは、ホールドオーバー・コントロール・ロジックに送られる Δf の平均化値が、ホールドオーバー状態への遷移によって中断されないことを保証します。

パイプラインには、 $\Delta t = P \times 2^{Y+1}/f_s$ の固有遅延があります。そのため、DDS が保持する周波数はホールドオーバー状態に入る Δt 秒から $2\Delta t$ 秒前の平均値となります。 Δt の持続時間は Y の設定値に応じて変化するため、ユーザはこの時間をある程度制御できます。

出力周波数範囲の制御

通常の動作条件下で、出力周波数はデジタル・ループ・フィルタの出力にตอบสนองして動的に変化します。ループ・フィルタは、DDSをDCから $f_s/2$ (48ビット分解能の場合) までの任意の周波数に導くことが可能です。ただし、ユーザはI/Oレジスタ・マップのFTW上限とFTW下限の2個の48ビット・レジスタを使用して、DDSの同調範囲を制限することもできます。同調ワード入力上限または下限の周波数境界範囲を超えると、同調ワードは適切な値に制限されます。これらのレジスタは、 $f_s/2$ とDCにそれぞれ初期設定されます。

DDSの出力範囲をナローバンド周波数に制限することが望ましい場合があります(バンドパス・フィルタを併用してジッタ性能を改善する場合など)。この機能の詳細は、「ナローバンド・フィルタの利用による性能の向上」を参照してください。

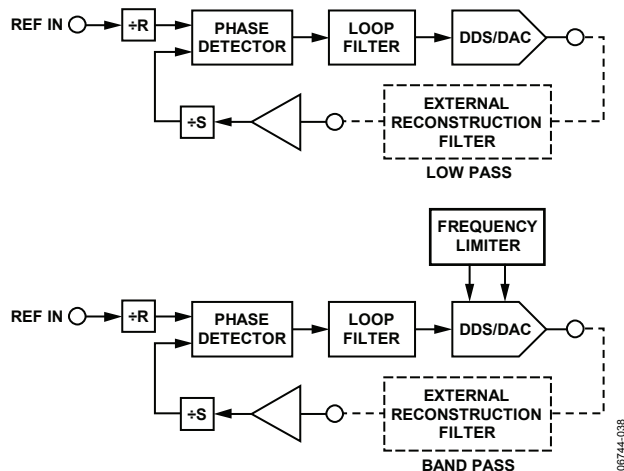


図 38. 周波数リミッタのアプリケーション回路

再構成フィルタ

AD9549から生成される出力クロック信号は、DDSとDACの結合回路から供給されます。DAC出力信号は、 f_s でサンプリングされたサイン波として現れます。このサイン波周波数は、DDSに入力される周波数同調ワード(FTW)によって決定されます。DAC出力は通常、外部の再構成フィルタを通過します。この再構成フィルタは、サンプリング・プロセスの副作用的な悪影響およびフィルタ帯域外のその他のスプリアス成分を除去するために利用されます。次に、DAC出力はオンチップに帰還して矩形波に変換され、チップ内部の出力クロック・ドライバまたはDLL二倍器に送られます。

DACはサンプリング・システムを構成するため、DACに入力されたデジタル・サンプルをアナログ波形が正確に反映するように、その出力をフィルタリングする必要があります。フィルタリングされないDAC出力には、DCからナイキスト周波数($f_s/2$)まで拡張される所望のベースバンド信号が含まれます。さらに、理論上無限に拡張するベースバンド信号のイメージも含まれます。奇数イメージ(図39に示す)は、ベースバンド信号のミラー・イメージです。これに加えて、DAC出力信号のサンプル&ホールド特性が原因で生じる $\sin(x)/x$ 応答の影響をDAC出力スペクトル全体が受けることにもなります。

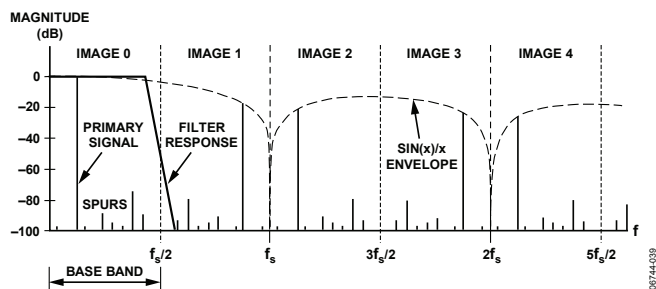


図 39. 再構成フィルタ応答対DACスペクトル

再構成フィルタの応答性は、ベースバンド信号(イメージ0)を維持すると同時に、その他すべてのイメージを完全に除去する必要があります。ただし、実用的な実装フィルタは一般に、所望の出力周波数に20%を加えた帯域幅をカバーする比較的平坦なパスバンド応答を示し、可能な限り急峻にロールオフした後で、その他すべてのイメージを(完全ではないにしても)十分に除去する能力を維持します。

DAC出力信号はデジタルPLLの帰還信号として使用されるため、再構成フィルタの設計がジッタ性能全体を大きく左右すると考えられます。したがって、できるだけ良好なジッタ結果を得るには、適切なフィルタ設計および実装技術が重要です。

ナローバンド・フィルタの利用による性能の向上

AD9549のアーキテクチャ上の特徴的な利点として、DDSの周波数出力範囲を制限する能力があります。これを利用して、図39に示すローパス応答性の代わりに、ナローバンドの再構成フィルタを採用して、出力上のジッタを低減できます。例として、DDSの公称出力周波数が150MHzである場合を考えてみます。この場合は、150MHzを中心周波数とする5MHzのナローバンド・フィルタを選択できます。AD9549のDDS周波数制限機能を利用することにより、出力周波数を $150\text{MHz} \pm 4.9\text{MHz}$ (パスバンドのエッジで100kHzの-marginが確保される)に制限できます。そのため、デジタルPLLで利用可能な帰還信号が常に存在します。従来型のPLLアーキテクチャでは、このような設計実装はきわめて困難です。

FDBK入力

FDBKピンは、デジタルPLLの帰還経路の入力として使用されます。これらのピンは通常、外部の再構成フィルタによって帯域幅が制限された後に、DDSから出力される信号の受信に使用されます。

図40はFDBK入力ピンの接続図ですが、この図には入力回路をバイアスするための内部部品がいくつか含まれています。FDBK入力ピンは、約1VのDCレベルに内部バイアスされています。外部接続によってこのDCバイアスが損われると性能が大きく低下するため、この点に留意する必要があります。

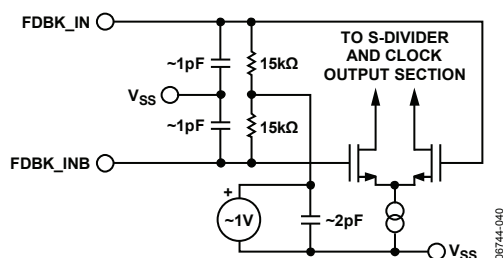


図 40. 差動 FDBK 入力

基準周波数入力

基準クロック・レシーバ

基準クロック・レシーバは、同期化器が出力クロックを同期させるユーザ供給の入力クロック信号を受信します。クロック・レシーバ回路は、比較的幅広い範囲の入力レベルに加えて、8 kHz から 750 MHz までの周波数に対応できる能力を備えています。

図 41 は REFA/REFB 入力ピンの接続図ですが、この図には入力回路をバイアスするための内部部品がいくつか含まれています。REF 入力ピンは、DC 信号源の V_B によって内部バイアスされています。外部接続によってこの DC バイアスが損われると性能が大きく低下するため、この点に留意する必要があります。

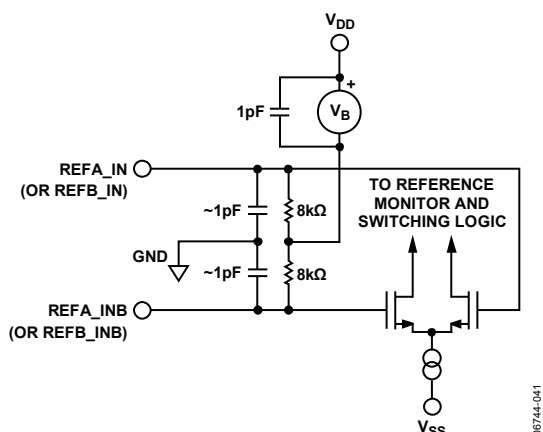


図 41. 基準周波数入力

2 個の基準クロック・レシーバ (REFA と REFB) の使用により、冗長基準クロックに対応できます。

各種の入力信号条件に対応するために、I/O レジスタ・マップのペア・ビットを使用して V_B 値を設定できます。レジスタ 040F のビット・パターンで設定する V_B 値を表 5 に示します。

表 5. 入力バイアス電圧 (V_B) の設定

Reference Bias Level Register 040F[1:0]	V_B
00 (default)	AVDD3 – 800 mV
01	AVDD3 – 400 mV
10	AVDD3 – 1600 mV
11	AVDD3 – 1200 mV

SYSCLK 入力

機能説明

SYSCLK ピンは、高周波数の内部システム・クロック (f_s) を発生するために、外部タイム・ベースが AD9549 に接続される場所です。

SYSCLK 入力を以下の 3 つのうち 1 つのモードで動作させることが可能です。

- SYSCLK PLL バイパス
- SYSCLK PLL イネーブルおよび入力信号の外部発生
- 水晶共振器および SYSCLK PLL イネーブル

図 42 は、システム・クロック発生器の機能図を示します。

SYSCLK PLL 通倍器経路は、I/O レジスタ・マップの PD SYSCLK PLL ロケーションをロジック 0 (デフォルト値) に設定してイネーブルにします。1.8V CMOS CLKMODESEL ピンに加えられるロジック・レベルに応じて、2 つのうち 1 つの手段を用いて、SYSCLK PLL 通倍器を SYSCLK 入力ピンから駆動できます。CLKMODESEL = 0 のときは、水晶発振器を直接 SYSCLK ピンに接続できます。CLKMODESEL = 1 のときは、保持アンプがディスエーブルになり、外部の周波数源 (発振器や信号発生器など) を直接 SYSCLK 入力ピンに接続できます。CLKMODESEL = 1 に設定しても、システム・クロック PLL はディスエーブルになりません。

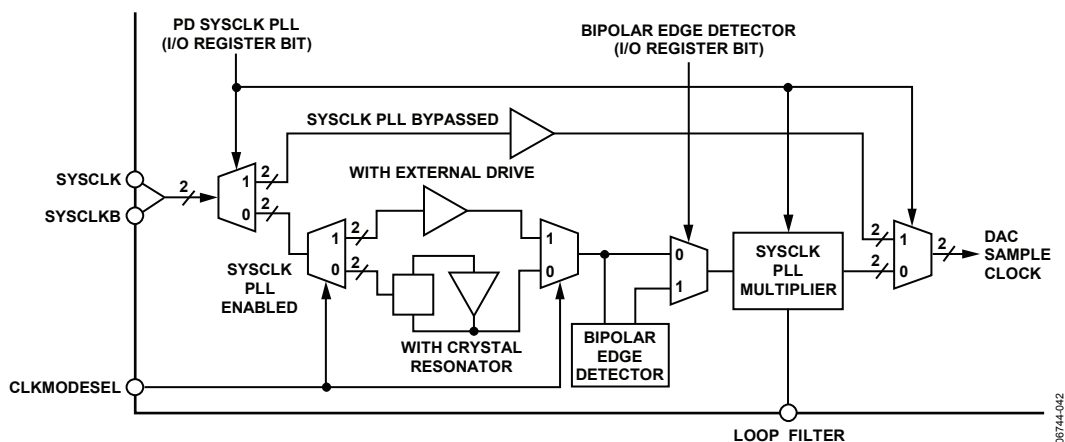


図 42. システム・クロック発生器のブロック図

AD9549 の SYSCLK ピン上の保持アンプは、等価直列抵抗値が $100\ \Omega$ の 25 MHz、 $3.2\ \text{mm} \times 2.5\ \text{mm}$ の AT カット基本モード水晶発振器に対応します。以下の水晶発振器は、(本データシートの発行時点で) 上記の基準を満たします。(アルファベット順)

- AVX/Kyocera CX3225SB
- ECS ECX-32
- Epson/Toyocom TSX-3225
- Fox FX3225BS
- NDK NX3225SA

これらの水晶発振器は、そのデータシートの仕様に準じて上記の基準を満たしますが、アナログ・デバイスは AD9549 でこれらの発振器を使用する場合の動作は保証しません。また、上記メーカーの優劣を保証することはありません。

SYSCLK PLL 通倍器経路をディスエーブルにするときは、高周波数の信号源 (500 MHz~1 GHz) で AD9549 を駆動する必要があります。そのため、SYSCLK 入力ピンに印加される信号は、内部バッファを通過した後で内部 DAC サンプリング・クロック (f_s) になります。

SYSCLK PLL ダブラー

SYSCLK PLL 通倍器経路には、オプションの SYSCLK PLL ダブラーが備わっています。このブロックは SYSCLK PLL 通倍器の前段に配置され、SYSCLK 入力信号のエッジが発生するたびにパルスを生成する周波数ダブラーとして機能します。SYSCLK PLL 通倍器は、この再生された信号の立下がりエッジでロックされません。

SYSCLK PLL 通倍器の入力周波数を 2 倍にする利点は、位相ノイズ性能全体を改善できる点です。主な欠点は、SYSCLK 入力信号が完全に対称性であっても、ダブラー出力が一定デューティ・サイクルの矩形パルスではない点です。その結果、SYSCLK 入力信号と同じ周波数時に低調波が発生し、この低調波がきわめて大きくなる場合があります。ダブラーの採用時には、SYSCLK PLL 通倍器のループ帯域幅が低調波を十分に抑制するように注意する必要があります。

ダブラーによって得られる利点は、低調波の大きさ、SYSCLK PLL 通倍器のループ帯域幅、特定のアプリケーションで要求される全体的な位相ノイズ条件に依存します。多くのアプリケーションでは、AD9549 のクロック出力がもう一方の PLL の入力に加えられるため、低調波は多くの場合、ダウンストリーム PLL の比較的小帯域の周波数によって抑制されます。

一般に、SYSCLK PLL ダブラーの利点は、SYSCLK 入力周波数が 25 MHz 以上の場合に実現されます。

SYSCLK PLL 通倍器

SYSCLK PLL 通倍器経路を採用するときは、SYSCLK 入力ピンに加えられる周波数が SYSCLK PLL 位相検出器の最大入力周波数を越えないように制限する必要があります。図 43 は、SYSCLK 発生器のブロック図を示します。

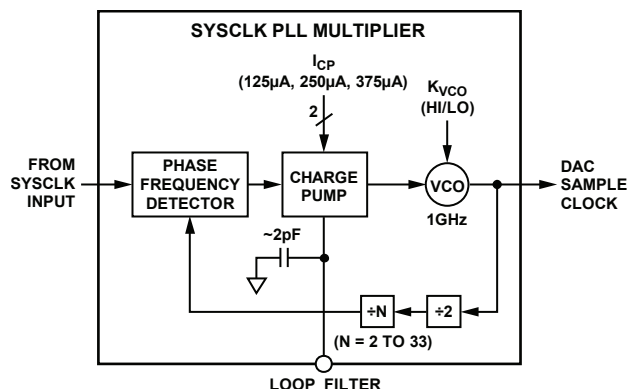


図 43. SYSCLK PLL のブロック図

SYSCLK PLL 通倍器には、そのコアに 1 GHz の VCO を備えています。位相/周波数検出器 (PFD) とチャージ・ポンプは、標準的な PLL 手法でステアリング信号を VCO に供給します。PFD は、入力信号の立下がりエッジの遷移で動作します。つまり、基準周波数信号の立下がりエッジにループがロックされます。チャージ・ポンプのゲインは、I/O レジスタ・マップを使用して、125 μA ステップで 125~375 μA の範囲内で設定可能な 3 つの定電流源のうち 1 つを選択する方法で制御します。VCO の中心周波数も I/O レジスタ・マップで調整することが可能であり、ハイ/ローのゲイン選択を行うことができます。VCO から PFD への帰還経路は、分周比が 2 に固定されたプリスケラとその後段のプログラマブル N 分周ブロック ($2 \leq N \leq 33$) で構成されます。これにより、分周器全体の範囲が 4 から 66 までの任意の偶数整数に制限されます。N 値は I/O レジスタ・マップで 0~31 の範囲の 5 ビット・ワードを使用して設定しますが、内部ロジックが入力値に 2 のバイアスを自動的に追加するため、その範囲は 33 まで拡張されます。これらの数値を選択する際は、SYSCLK PLL 位相検出器または SYSCLK PLL ダブラーの最大入力周波数を越えないようにしてください。これらの数値は、「AC 仕様」に記載されています。

外部ループ・フィルタ (SYSCLK PLL)

図 44 に示すように、3 個の外部部品を使用して、SYSCLK PLL 通倍器のループ帯域幅を調整できます。VCO の公称ゲインは 800 MHz/V です。これらの部品の推奨値を表 6 に示します。これらの値の部品を使用すれば、チャージ・ポンプ電流を 250 μA に設定するときに、約 1.6 MHz のループ帯域幅が設定されます。デフォルトは $N = 40$ で、25 MHz の SYSCLK 入力周波数を想定し、1 GHz の内部 DAC サンプリング周波数 (f_s) を発生します。

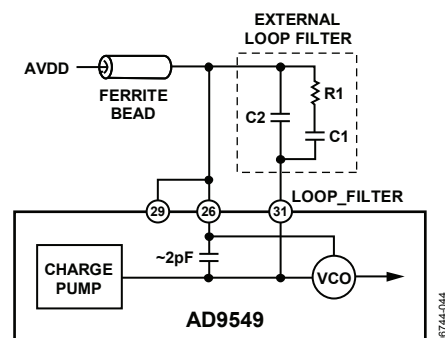


図 44. SYSCLK PLL 用の外部ループ・フィルタ

表 6. 公称値 1.5 MHz の SYSCLK PLL ループ帯域幅に推奨されるループ・フィルタ部品値

Multiplier	R1	Series C1	Shunt C2
<8	390 Ω	1 nF	82 pF
10	470 Ω	820 pF	56 pF
20	1 k Ω	390 pF	27 pF
40 (default)	2.2 k Ω	180 pF	10 pF
60	2.7 k Ω	120 pF	5 pF

SYSCLK 差動入力の詳細

図 45 は、SYSCLK 入力ピンの接続図を示します。この図には、入力回路をバイアスするために使用される内部部品を詳細に記載しています。これらの部品は、SYSCLK 入力ピンのスタティック・レベルに直接影響します。この情報は、特定のアプリケーションでデバイスと最適にインターフェースする方法を決定する際に役立ちます。

SYSCLK PLL をバイパスした入力経路と SYSCLK PLL をイネーブルにした入力経路は、約 1 V の DC レベルに内部バイアスされています。外部接続によってこの DC バイアスが損われると性能が大きく低下するため、この点に留意する必要があります。通常は、SYSCLK 入力を信号源に AC 結合することを推奨します（水晶振動子の使用時を除く）。

高調波スプリアスの低減

DDS から発生する最も大きいスプリアス信号は、所望の DDS 出力周波数に対して高調波として関連します。これらの高調波スプリアスの発生源は通常 DAC に由来し、そのスプリアス・レベルは -60 dBc の範囲になります。この比率は、DAC のフルスケール出力よりも約 10 ビット低いレベルを表します（10 ビット低いレベルは 2^{-10} 、すなわち $1/1024$ です）。

このようなスプリアスを低減するには、 180° の位相オフセットを持つ複製スプリアスに原信号を結合する必要があります。この概念は、AD9549 で高調波スプリアスを低減するために適用されている技術の基本となっています。DAC は 14 ビット分解能であるため、DAC フルスケール範囲の下位 4 ビットを使用するだけで、 -60 dBc のスプリアスを合成できます。つまり、4 LSB を使用して、DAC のフルスケール・レベルよりも約 60 dB 低い出力レベル（ -60 dBc のスプリアスと比例）を生成できます。これを利用して、高調波スプリアスや DAC 出力スペクトルで発生するそのエイリアシング・イメージをデジタル手法で低減することができます。つまり、問題となるスプリアスとレベルが同じで位相シフトしたサイン波を、デジタル信号として DAC の入力に追加することによって相殺的干渉を発生させるという手法です。

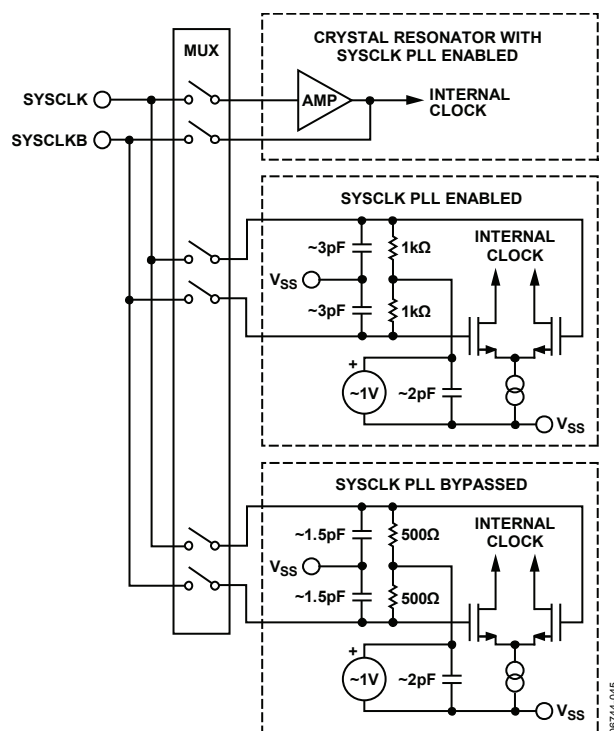


図 45. 差動 SYSCLK 入力

最悪のスプリアスは、本来的に高調波として現れる傾向がありますが、DAC はサンプリング・システムの一部であることにより、一部の高調波スプリアスが出力スペクトルの高調波以外の場所で発生する可能性があります。たとえば、DAC が 1 GHz でサンプリングされ、170 MHz のサイン波出力を発生する場合の 5 次高調波は、一般に 850 MHz です。ただし、サンプリング・プロセスにより、このスプリアスは基本波からわずか 20 MHz 離れた 150 MHz で現れます。そのため、DAC スプリアスの低減に努める際は、高調波周波数を低く抑えることができるように、DAC のサンプリング・レートに基づいて DAC 出力スペクトルにおける高調波スプリアスの実際の場所を把握することが重要です。

図 46 は、高調波スプリアスを低減させる技法を示します。この回路は基本的に、オリジナルの DDS と並列に動作する 2 個の追加 DDS コアで構成されています。これにより、9 ビットの位相オフセット制御 ($\pm\pi$) と 8 ビットの振幅制御で 2 次から 15 次までの 2 つの異なる高調波スプリアスを低減できます。

各チャンネルに関連付けられたゲイン・ビットによって、キャンセル信号のダイナミック・レンジがさらに拡張されます。このビットを設定すると、データの 1 ビット左シフトの採用により、キャンセル信号のレベルが 2 倍になります。ただし、このシフト動作に伴って、キャンセル信号レベルの精度が低下します。

キャンセル・スプリアスのフルスケール・レベルは、ゲイン・ビットがロジック 0 のときに約 -60 dBc、ロジック 1 のときに約 -54 dBc です。

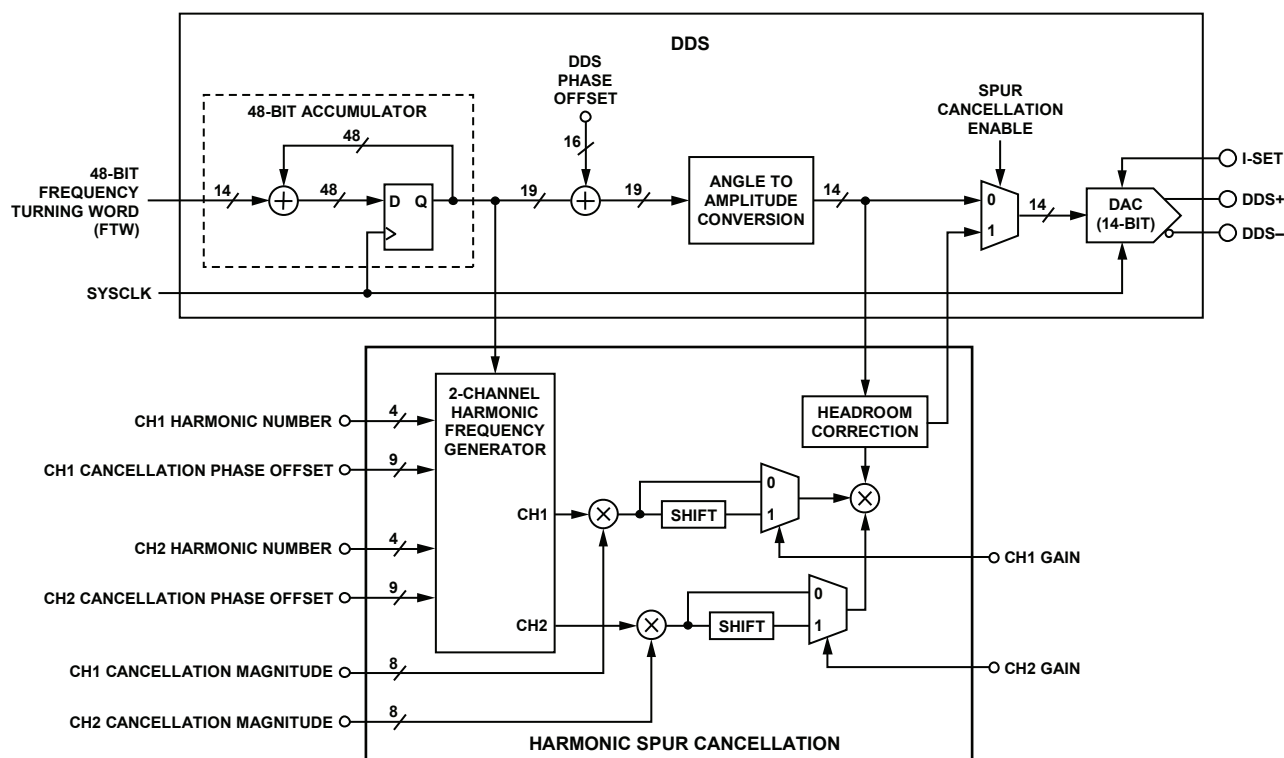


図 46. スプリアス低減技法

出力クロック・ドライバと 2x 周波数逡倍器

AD9549 には、2 個の出力ドライバが用意されています。プライマリーは差動の 1.8 V HSTL 出力レベルに対応し、セカンダリーは 37 番ピンが 1.8 V か 3.3 V で駆動されるかに応じて 1.8 V または 3.3 V の CMOS レベルに対応します。

1 次の差動ドライバは、100 Ω 負荷の公称出力電圧を差動で供給します ($V_{DD} - V_{SS} = 1.8 \text{ V}$)。このドライバの信号源インピーダンスは、大部分の出力クロック・期間の間約 100 Ω に維持され、レベルの遷移時に信号源インピーダンスは約 500 Ω の最大値に達します。このドライバは、最大 622.08 MHz の OC-12 ネットワーク・レートおよびこれを越える出力周波数に対応するように設計されています。

I/O レジスタ・マップのコントロール・ビットを使用して、出力クロックをパワーダウンすることも可能です。

プライマリー 1.8 V 差動 HSTL ドライバ

DDS は、システム・クロック・レートでサンプリングされるサイン波クロック信号を発生します。この DDS 出力信号は、オフチップのアナログ・フィルタを通過した後で、オンチップに帰還してバッファされ、必要に応じてその周波数が 2 倍に増加されます。最良のジッタ性能を確保するために、可能な限りアップコンバータをバイパスすることを推奨します。

1.8 V の HSTL 出力ドライバに 100 Ω の終端抵抗を接続して、これを AC 結合する必要があります。このドライバは、50~750 MHz の周波数範囲でジッタ注入を低く抑えるように設計されています。正確な周波数制限範囲については、「AC 仕様」を参照してください。

2x 周波数逡倍器

内部の 2 倍遅延ロック・ループ (DLL) 逡倍器をプライマリークロック・ドライバの入力に接続するように、(I/O レジスタ・マップを使用して) AD9549 を構成できます。周波数が 2 倍に増加するため、DDS のみを使用する場合の範囲を超えるクロック周波数を AD9549 から出力できます。これらの設定は、レジスタ 0010 とレジスタ 0200 を使用して行います。

DLL の入力には、内蔵されたクロック・レシーバ回路で処理された後にフィルタリングされる DDS 出力信号で構成されます。DLL は、200~400 MHz の範囲の入力周波数を受け入れます。

シングルエンド CMOS 出力

AD9549 は高速の差動出力クロック・ドライバに加えて、独立したシングルエンド出力の CMOS クロック・ドライバも備えています。このドライバは、比較的低速 (<150 MHz) のクロック源として利用されます。CMOS クロック・ドライバによって生成される信号源は、I/O レジスタ・マップの該当するコントロール・ビットを使用して指定します。ユーザは、プログラム・コントロールで 2 つの信号源のうち 1 つを選択できます。

このうち 1 つの信号源は、外部でフィルタリングされ、オンチップに帰還した後で DDS から発生する信号です。この構成では、CMOS クロック・ドライバは DDS の出力周波数と同じ周波数を発生します。

この構成時には、DDS 出力周波数が 50 MHz を越えないようにしてください。

もう1つの信号源は、帰還分周器（S分周器）の出力です。この構成では、CMOSクロック・ドライバはR分周器によるオプションのプリスケールが行われた後の入力基準周波数と同じ周波数（すなわち、 $f_{\text{CMOS}} = f_{\text{R}}/R$ ）を発生し、この周波数は本来的に25 MHzの最大値に制限されます。

周波数スルー・リミッタ

AD9549は周波数スルー制限機能を備えているため、ユーザは出力に現れる周波数変化の最大レートを指定できます。I/Oレジスタ・マップを使用して、この機能を設定可能です。プログラム・コントロールでこの機能をイネーブル/ディスエーブルにするビットを指定し（初期状態はディスエーブル）、レジスタで所望のスルーレートを設定します。

図47に示すように、周波数スルー・リミッタはデジタル・ループ・フィルタとCCIフィルタの間に配置されています。

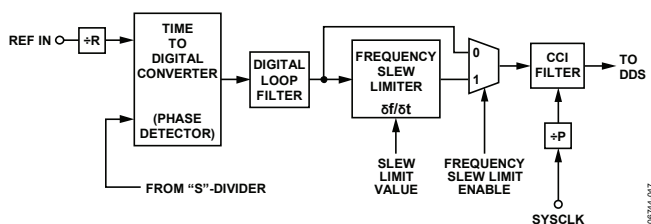


図47. 周波数スルー・リミッタ

周波数スルー・リミッタは、DDS出力周波数の変化レートの限度を設定します。周波数スルー・リミット定数の K_{SLEW} は、I/Oレジスタ・マップに格納される48ビット値です。この定数は次式から求められます。

$$K_{\text{SLEW}} = \text{round} \left[\left(\frac{2^{48+P_{10}}}{f_s^2} \right) \frac{\delta f}{\delta t} \right]$$

ここで、

P_{10} は、P分周器に対応するI/Oレジスタ・マップに格納された値です。

f_s はDACのサンプリング・レートです。

$\delta f/\delta t$ は、所望の周波数スルーレート制限値です。

たとえば、 $f_s = 1 \text{ GHz}$ 、 $P_{10} = 9$ 、 $\delta f/\delta t = \text{毎秒 } 5 \text{ kHz}$ とすると、以下の定数が計算されます。

$$K_{\text{SLEW}} = \text{round} \left[\left(\frac{2^{48+9}}{(10^9)^2} \right) (5 \times 10^3) \right] = 721$$

したがって、スルーレートを以下のように計算できます。

$$\frac{\delta f}{\delta t} = K_{\text{SLEW}} \left(\frac{f_s^2}{2^{48+P_{10}}} \right)$$

上記の例では、 $\delta f/\delta t = \text{毎秒 } 5.003 \text{ kHz}$ となります。

周波数推定器

AD9549には、帰還周波数 (f_{DDS}/S) とプリスケールされた基準周波数 ($f_{\text{REF_IN}}/R$) が誤差許容値 (ϵ_0) の範囲内でマッチングするようにDDS出力周波数を自動的に設定する周波数推定機能が備わっています。その主な目的は、基準周波数が既知ではない場合に、PLLを迅速にロックできるようにすることです。誤差許容値は分数誤差として定義され、I/Oレジスタ・マップの16ビット・プログラマブル値 (K) を使用して制御されます。

周波数測定精度は、以下の2つの要素によって左右されます。

- 測定デバイスのタイミング分解能 (δt)
- 測定時間 (T_{meas})

周波数推定器はその測定基準として f_s を利用するため、 $\delta t = 1/f_s$ です（つまり、DACサンプリング・レートが1 GHzの場合は、 $\delta t = 1 \text{ ns}$ です）。測定時間はKによって制御するため、 $T_{\text{meas}} = KR/f_{\text{REF_IN}}$ が満たされるように、測定された信号のKサイクルに相当する測定間隔が設定されます。

周波数推定器は17ビットのカウンタを使用して、測定間隔内の δt 周期数を累積します。このカウンタ機能は有限であるため、測定時間に上限が適用され、これは $T_{\text{max}} = 2^{17}/f_s$ に制限されます。 $f_s = 1 \text{ GHz}$ の場合、この時間は約 $131 \mu\text{s}$ に等しくなります。測定時間が T_{max} までに制限されるという事実は、カウンタのオーバーフローを引き起こさずに利用可能なKの最大値 (K_{MAX}) が制限されることを意味します。 K_{MAX} の数値は、次式から求められます。

$$K_{\text{MAX}} = \text{floor} \left(\frac{65,535}{\rho} \right)$$

ここで、

$$\rho = \frac{f_s R}{f_r}$$

Rはフィードフォワード分周器の係数です。

f_r は入力基準周波数です。

周波数推定器に関連して発生する測定誤差 (ϵ) は、測定間隔パラメータ (K) の選択に応じて変化します。これらは、次式のように関連付けられます。

$$\epsilon = \frac{\rho K}{\text{floor}(\rho K) - 1} - 1$$

規定された分数誤差 (ϵ_0) の場合に、 $\epsilon \leq \epsilon_0$ の条件に対してKの数値が適用される場合限り、周波数推定はその要求される条件を満たします。図48は、(ρ が特定の数値である場合の) K対 ϵ のプロットを一般的な形式で示します。

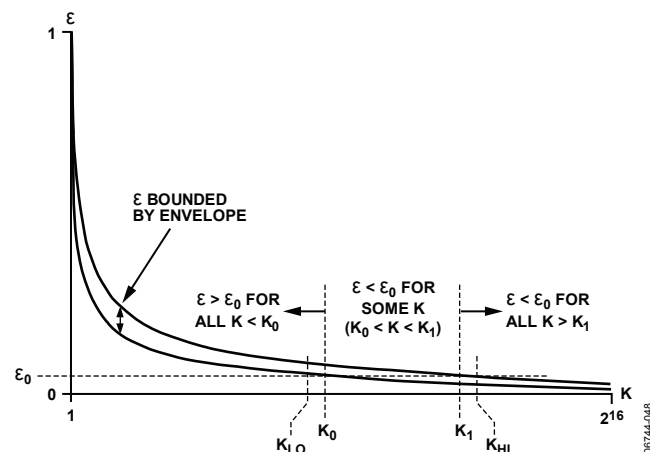


図48. K対周波数推定器の ϵ

K_0 と K_1 の正確な数値を求めるには、反復技法が必要です。ただし、 K_0 (K_{LO}) と K_1 (K_{HI}) を控え目に見積る以下のような閉形式を利用できます。

$$K_{LO} = \text{ceil} \left[\frac{1}{\rho} \left(1 + \frac{1}{\epsilon_0} \right) \right]$$

$$K_{HI} = \text{ceil} \left[\frac{2}{\rho} \left(1 + \frac{1}{\epsilon_0} \right) \right]$$

一例として、次のようなシステム条件を想定します。

$$f_S = 400\text{MHz}$$

$$R = 8$$

$$f_{\text{REF_IN}} = 155.52\text{ MHz}$$

$$\epsilon_0 = 0.00005 \text{ (すなわち、50 ppm)}$$

上記の条件から $K_{\text{MAX}} = 3185$ となりますが、これは周波数推定器カウンタのオーバーフローを引き起こさず設定できる K の最大値です。 $K = K_{\text{MAX}}$ 、 $T_{\text{meas}} = 163.84 \mu\text{s}$ 、 $\epsilon = 30.2 \text{ ppm}$ の場合、通常（必ずではありませんが）、 K_{MAX} から ϵ の最小値が求められますが、これに伴って最大測定時間 (T_{meas}) が長くなります。

測定時間を短くする必要がある場合は、 K_{MAX} の代わりに K_{HI} を使用してください。この場合は、 $K_{\text{HI}} = 1945$ 、 $T_{\text{meas}} = 100.05 \mu\text{s}$ 、 $\epsilon = 39.4 \text{ ppm}$ になります。

K_{HI} の代わりに K_1 を使用すると、（わずかですが）測定時間をさらに短縮できます。 $\epsilon \leq \epsilon_0$ の不等式を反復的に解くことで、 K_1 が求められます。その手順として、 $K = K_{\text{HI}}$ から開始し、 K を連続的に減少させながら、 K の各数値に対して不等式を評価します。最初に不等式が満たされなくなった時点でこのプロセスを停止し、このようにして求められた K に 1 を加算します。その結果が K_1 の数値です。上記の例では、 $K_1 = 1912$ 、 $T_{\text{meas}} = 98.35 \mu\text{s}$ 、 $\epsilon = 39.8 \text{ ppm}$ となります。

測定時間をさらに短くする必要がある場合は、 K_0 を利用できます。 K_0 の数値は、 K_1 と同じ方法で求められます。 $K = K_{\text{LO}}$ から開始し、 K を連続的に増加させながら、 K の各数値に対して不等式を評価します。最初に不等式が満たされた時点で、このプロセスを停止します。その結果が K_0 の数値です。上の例では、 $K_0 = 1005$ 、 $T_{\text{meas}} = 51.70 \mu\text{s}$ 、 $\epsilon = 49.0 \text{ ppm}$ となります。

ステータスと警告

ステータス・ピン

デバイスのステータス情報を外部環境に通知するために、4本のピン (S1~S4) が予約されています。これらの4本のピンを6つの適用可能なステータス表示の論理和として (シリアル I/O ポートを通して) 個別に設定できます。この各ピンには、(図 49 に示すように) 特定ピンから情報を通知するために使用される内部ステータス・フラグを指定する専用のコントロール・レジスタ・ビット・グループが割り当てられます。

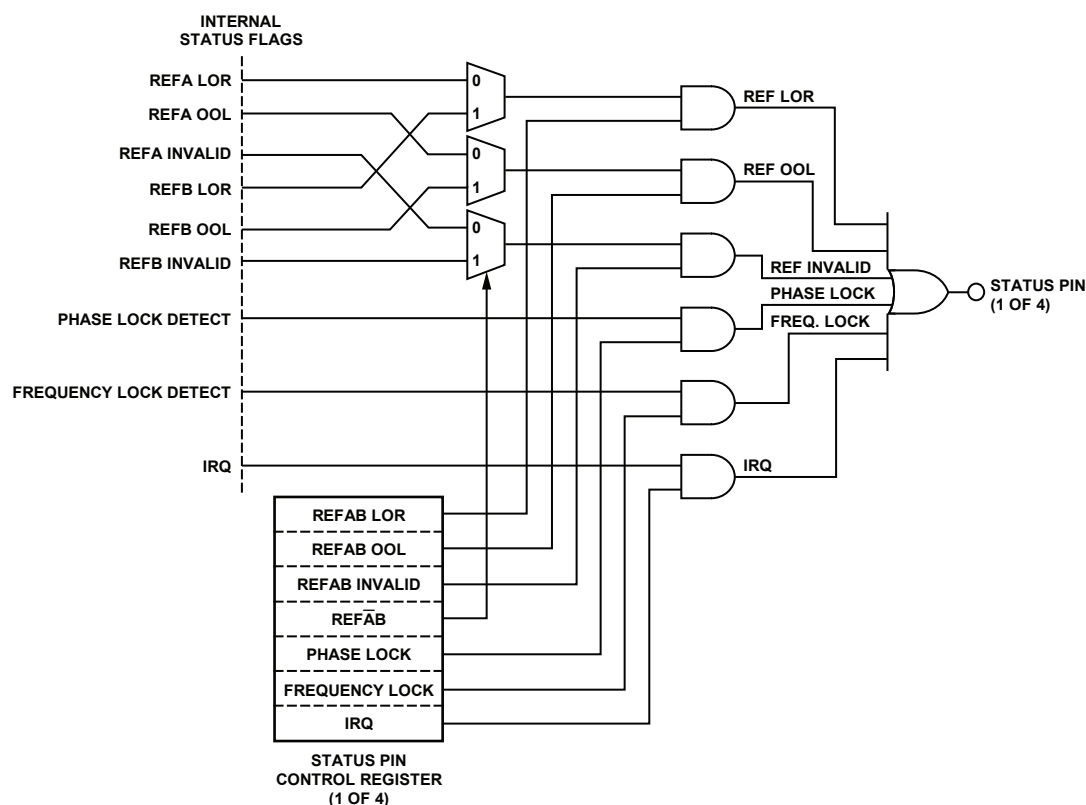


図 49. ステータス・ピンの制御

基準周波数モニタのステータス

基準周波数モニタリングのステータス情報の場合は、REFA と REFB 両方の入力ではなく、いずれか一方の入力ピンを設定できます。さらに、論理和出力構成により、複数のステータス・フラグを 1 つのステータス表示に結合できます。たとえば、LOR と OOL 両方のコントロール・レジスタ・ビットが真の場合に、その特定のコントロール・レジスタに関連付けられたステータス・ピンが、選択された基準周波数 (A または B) について LOR または OOL ステータス・フラグがアサートされたかどうかを表示します。

パワーアップ時のデフォルト DDS 出力周波数

4 本のステータス・ピン (S1~S4) は、パワーアップ時にまったく異なる機能を実行します。I/O レジスタがまだ設定されていない場合であっても、これらのピンを利用して、パワーアップ時に DDS の出力周波数を定義できます。ステータス・ピンが双方向ドライバとして設計されているため、このような設定が可能になります。パワーアップ時に、内部ロジックは約 10 ns のリセット・パルスの発生を開始します。この期間中、S1~S4 は一時的に入力ピンとして機能するため、外部からの駆動が可能です。したがって、入力されたロジック・レベルは、内部初期化パルスの立下がりエッジで 4 ビット・レジスタに転送されます。このパルスの立下がりエッジに伴って、さらに S1~S4 が出力ピンとしての通常動作に復帰します。これと同じ動作は、RESET ピンを手動でアサートする場合にも実行されます。

デフォルトの DDS スタートアップ時に対応する S1~S4 を設定するには、各ピンに 1 本の抵抗 (プルアップまたはプルダウン) を接続して所望のビット・パターンを生成し、内部の 8 × 16 ROM のアドレッシングと SYSCLK モードの選択の両方に使用される 16 の組合せ可能な状態を指定します (表 7 を参照)。ROM には、8 つの 16 ビット DDS 周波数同調ワード (FTW) が保存され、そのうち 1 つを S1~S3 ピンの状態によって選択します。選択された FTW は、I/O 更新を行う必要なく I/O レジスタ・マップの FTW0 レジスタに転送されます。これにより、I/O レジスタが設定されていない場合であっても、DDS は選択された周波数を確実に発生します。S4 ピンの状態によって、内部システム・クロックを

内部 SYSCLK PLL 通倍器から発生するかどうかを選択します (詳細は、「SYSCLK 入力」を参照)。

表 7 に示す DDS 出力周波数は、内部 DAC サンプリング周波数 (f_s) が 1 GHz と想定した場合の数値です。これらの周波数は f_s と 1:1 でスケールリングします。つまり、SYSCLK 周波数を変更することにより、開始周波数としてその他の周波数を選択することも可能です。

ステータス・ピンを使用して Xtal/PLL モードを選択しているときは、スタートアップ時に内部周波数通倍器が 40 倍にデフォルト設定されます。

このモードを使用するときは、デジタル PLL ループが開いた状態に維持され、AD9549 が周波数シンセサイザとして機能します。ループを閉じる前に、周波数分周器と DPLL ループ・フィルタの設定を行う必要があります。

表 7. システム・クロックが 1 GHz の場合のパワーアップ時のデフォルト周波数オプション

S4	Status Pin			SYSCLK Input Mode	Output Frequency (MHz)
	S3	S2	S1		
0	0	0	0	Xtal/PLL	0
0	0	0	1	Xtal /PLL	38.87939
0	0	1	0	Xtal /PLL	51.83411
0	0	1	1	Xtal /PLL	61.43188
0	1	0	0	Xtal /PLL	77.75879
0	1	0	1	Xtal /PLL	92.14783
0	1	1	0	Xtal /PLL	122.87903
0	1	1	1	Xtal /PLL	155.51758
1	0	0	0	Direct	0
1	0	0	1	Direct	38.87939
1	0	1	0	Direct	51.83411
1	0	1	1	Direct	61.43188
1	1	0	0	Direct	77.75879
1	1	0	1	Direct	92.14783
1	1	1	0	Direct	122.87903
1	1	1	1	Direct	155.51758

割込み要求 (IRQ)

4本のステータス・ピン (S1~S4) のうち任意の1本を IRQ ピンとして設定できます。ステータス・ピンを IRQ ピンとして設定すると、内部 IRQ フラグの状態がそのピンから出力されます。IRQ フラグは、内部ステータス・フラグのうちいずれか1つの状態の変化に基づいて内部で生成されます。個々のステータス・フラグは読み出し専用の I/O レジスタ (ステータス・レジスタ) に送られるため、これらのうちの任意のフラグのステータスをいつでも調べることができます。さらに、各ステータス・フラグの状態が変化していないかもモニタされます。1つの方向の状態変化のみが必要とされる場合もありますが (周波数推定完了フラグなど)、大半の場合、双方向の状態変化についてステータス・フラグがモニタされます (図 50 を参照)。

特定の状態変化に基づいて IRQ を発生させるか否かは、IRQ マスク・レジスタのビットの状態に依存します。IRQ を発生する原因となるこれらのイベントをイネーブルにするようにマスクを設定します。マスクされないイベントが発生すると、IRQ ラッチがトリガされ、IRQ フラグがアサートされます (アクティブ・ハ

イ)。プログラマブル・ステータス・ピンの1つを使用して、IRQ フラグの状態を外部から有効にすることが可能です (「ステータス・ピン」を参照)。

IRQ フラグが自動的にアサートされると、ステータス・レジスタのデータが IRQ レジスタに転送されます。IRQ イベントの通知 (すなわち、IRQ フラグのアサート) が行われた後は、いつでも IRQ レジスタを読み出すことができます。設定された IRQ レジスタのビットを確認することにより、IRQ イベントの原因を突き止めることができます。

IRQ レジスタの読み出しが完了した後で、ユーザはシリアル I/O ポートを介して該当のコントロール・レジスタで IRQ リセット・ビットを設定する必要があります。この設定を行うと、IRQ フラグがそのデフォルト状態に戻り、IRQ ステータス・レジスタがクリアされて、次の状態変化に備えてステータス・フラグをモニタするエッジ検出ロジックがリセットされます。

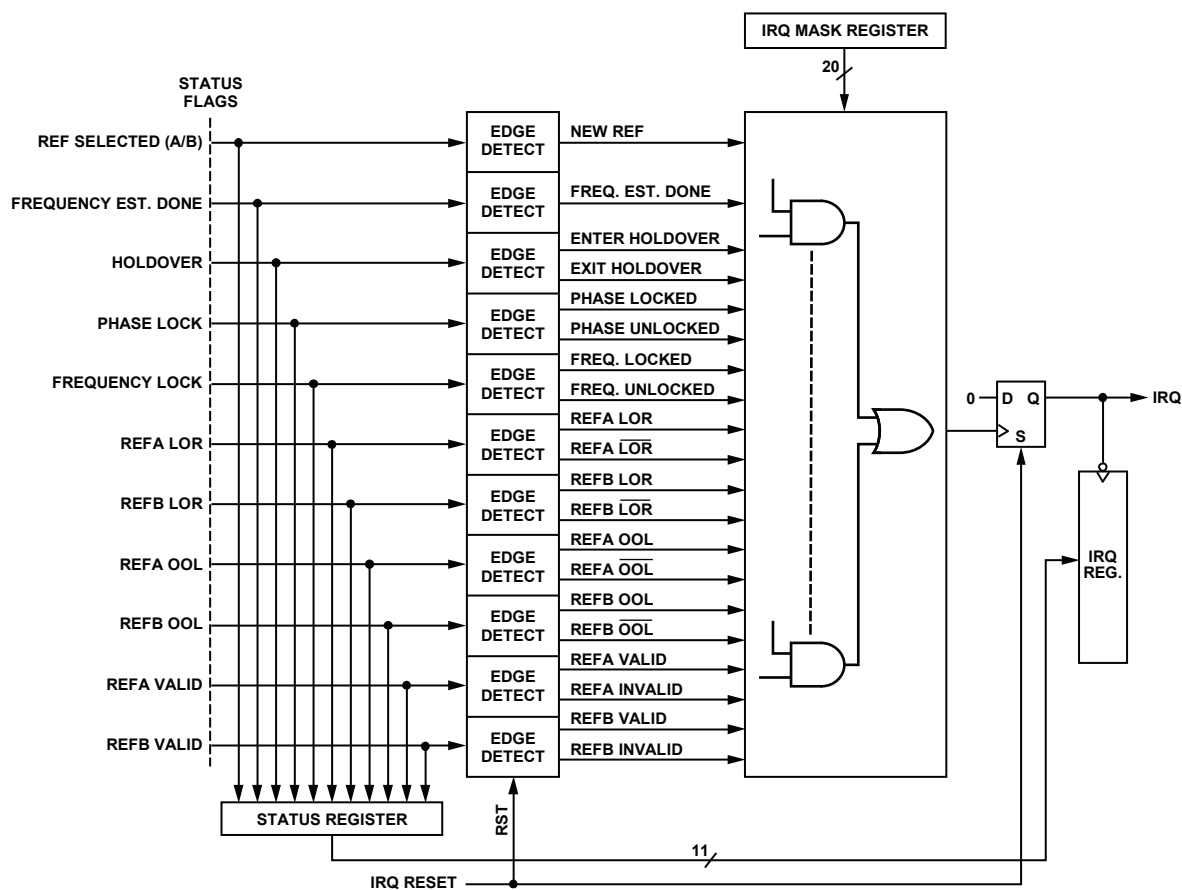


図 50. 割込み要求ロジック

06744-050

熱的性能

表 8. AD9549 の 64 ピン LFCSP パッケージの熱的性能

Symbol	Thermal Characteristic Using a JEDEC51-7 Plus JEDEC51-5 2S2P Test Board	Value	Unit
θ_{JA}	Junction-to-ambient thermal resistance, 0.0 m/s air flow per JEDEC JESD51-2 (still air)	25.2	°C/W
θ_{JMA}	Junction-to-ambient thermal resistance, 1.0 m/s air flow per JEDEC JESD51-6 (moving air)	22.0	°C/W
θ_{JMA}	Junction-to-ambient thermal resistance, 2.0 m/s air flow per JEDEC JESD51-6 (moving air)	19.8	°C/W
θ_{JB}	Junction-to-board thermal resistance, 1.0 m/s air flow per JEDEC JESD51-8 (moving air)	13.9	°C/W
θ_{JC}	Junction-to-case thermal resistance (die-to-heat sink) per MIL-Std 883, Method 1012.1	1.7	°C/W
Ψ_{JT}	Junction-to-top-of-package characterization parameter, 0 m/s air flow per JEDEC JESD51-2 (still air)	0.1	°C/W

AD9549 の仕様は、ケース温度 (T_{CASE}) に対して規定されています。 T_{CASE} を超えないようにするために、気流発生源を使用することができます。

以下の式を利用して、アプリケーション PC ボード上でのジャンクション温度を計算します。

$$T_J = T_{CASE} + (\Psi_{JT} \times PD)$$

ここで、

T_J = ジャンクション温度 (°C)

T_{CASE} = パッケージの上面中心部でユーザが測定するケース温度 (°C)

Ψ_{JT} = 表 8 から引用した数値

PD = 消費電力 (「仕様」の「Total Power Dissipation」を参照)

パッケージ比較と PC ボード設計の検討のために、 θ_{JA} の数値を記載しています。以下の式を利用して T_J の概算値を最初に計算する際に、 θ_{JA} を利用できます。

$$T_J = T_A + (\theta_{JA} \times PD)$$

ここで、 T_A は周囲温度 (°C) です。

外部ヒート・シンクが必要となる場合のパッケージ比較と PC ボード設計の検討のために、 θ_{JC} の数値を記載しています。

パッケージ比較と PC ボード設計の検討のために、 θ_{JB} の数値を記載しています。

AD9549のパワーアップ

パワーオン・リセット

初期パワーアップ時に、AD9549 は内部で 75 ns の RESET パルスが発生します。以下に示す 2 つの条件の両方が満たされるときに、このパルスが発生します。

- 3.3 V 電源が 2.35 ± 0.1 V よりも高い
- 1.8 V 電源が 1.4 ± 0.05 V よりも高い

RESET がハイレベルになって 1 ns 以内に、S1～S4 設定ピンがハイ・インピーダンスになり、RESET のアクティブ設定が解除されるまでハイ・インピーダンスの状態を維持します。そのため、RESET 時にストラッピングと設定を実行することが可能です。

このリセット・シーケンスにより、外部電源シーケンシングは重要ではありません。

プログラミング・シーケンス

AD9549 を初期化する際は、以下のシーケンスに従ってください。

1. 電源を投入します。AD9549 は内部リセットを実行します。
2. 重要：所望の設定レジスタで、シングル・トーン・モード (レジスタ 0100[5]) が設定され、クローズ・ループ・ビット (レジスタ 0100[0]) がクリアされていることを確認してください。初期ロード時にクローズ・ループ・ビットを設定すると、AD9549 はその設定が完了しないうちにループをロックしようとしてしまいます。
3. レジスタのロードが完了した後で、OOL (アウト・オブ・リミット) と LOR (基準周波数喪失) をモニタして、有効な基準周波数信号が REFA または REFB 上に存在することを確認してください。
4. 有効な基準周波数信号が存在する場合は、レジスタ 0100 の設定変更を行って、シングル・トーン・モードをクリアし、ループをロックしてください。

5. この時点で自動ホールドオーバー・モードを使用して、基準周波数入力妨害に対する耐性を AD9549 が備えるように設定できます。

AD9549 の周波数を変更する際は、以下のシーケンスに従ってください。

1. ループを開き、レジスタ 0100 を使用してシングル・トーン・モードに入ります。
2. 新しいレジスタ設定値を入力します。
3. 0x1E をレジスタ 0012 に書き込みます。
4. レジスタのロードが完了した後で、OOL (アウト・オブ・リミット) と LOR (基準周波数喪失) をモニタして、有効な基準周波数信号が REFA または REFB 上に存在することを確認してください。
5. 有効な基準周波数信号が存在する場合は、レジスタ 0100 の設定変更を行って、シングル・トーン・モードをクリアし、ループをロックしてください。
6. この時点で自動ホールドオーバー・モードを使用して、基準周波数入力妨害に対する耐性を AD9549 が備えるように設定できます。

注：

- 有効な基準周波数信号が存在しない状態でループをロックしようとする、AD9549 はリセットが必要な状態に入るか、または少なくとも 0xFF をレジスタ 0012 に書き込む動作が必要になる場合があります。
- ループが問題なく閉じない限り、自動ホールドオーバー・モードを利用することはできません。
- ループの開閉を手動で行う必要がある場合は、ループを再び閉じる前に 0x1E をレジスタ 0012 に書き込むことを推奨します。

電源の分離

AD9549は複数の電源を特長としており、電源の消費電力は構成に応じて変動します。このセクションでは、電源をグループ化する方法、およびその各ブロックの消費電力が周波数の変化に伴ってどのように変動するかについて説明します。

このセクションに記載する数値は、比較のみを目的としています。正確な数値については、「仕様」を参照してください。各グループごとに、1 μF と 10 μF のバイパス・コンデンサを並列に接続する必要があります。

以下の推奨事項は標準的なアプリケーションを対象とし、これらのアプリケーションでは3.3 V デジタル、3.3 V アナログ、1.8 V デジタル、1.8 V アナログの4つのグループの電源が使用されません。

最高の性能が要求されるアプリケーションでは、さらに電源の分離が必要になる場合があります。

3.3 V 電源

DVDD_I/O (1 番ピン) と AVDD3 (14 番ピン) : この2つの3.3 V 電源はグループ化できます。1 番ピンの消費電力は、シリアル・ポートの動作に伴って動的に変化します。基準周波数入力に結合するシリアル・ポートの発生ノイズをデジタル PLL でフィルタリングする必要があります。

AVDD3 (37 番ピン) : これはCMOS ドライバ電源であり、1.8 V または 3.3 V とすることが可能です。その消費電力は、出力周波数と OUT_CMOS (38 番ピン) のロード状態の関数として変化します。

CMOS ドライバを 3.3 V で動作させる場合は、出力周波数でスプリアスの発生を回避するために、フェライト・ビーズを使用して、この電源を他の 3.3 V 電源から分離する必要があります。HSTL ドライバを使用しない場合は、(フェライト・ビーズを用いて) AVDD3 (37 番ピン) を AVDD3 (46 番ピン、47 番ピン、49 番ピン) に接続してください。HSTL ドライバを使用する場合は、フェライト・ビーズを用いて AVDD3 (37 番ピン) を 1 番ピンと 14 番ピンに接続してください。

CMOS ドライバを 1.8 V で動作させる場合は、AVDD3 (37 番ピン) を AVDD (36 番ピン) に接続してください。

CMOS ドライバを使用しない場合は、AVDD3 (37 番ピン) を 1.8 V AVDD (36 番ピン) に直接接続し、レジスタ 0010 を使用して CMOS ドライバをパワーダウンしてください。

AVDD3 (46 番ピン、47 番ピン、49 番ピン) : これらは、消費電流が約 25 mA (typ) の 3.3 V DAC 電源です。最低限の要件として、フェライト・ビーズを使用してこれらの電源を他の 3.3 V 電源から分離することが必要ですが、レギュレータを分離する方法が理想的です。

1.8 V 電源

DVDD (3 番ピン、5 番ピン、7 番ピン) : これらのピンはグループ化できます。消費電流は、システム・クロックが 700 MHz のとき約 160 mA で、1 GHz 時には約 220 mA まで増加します。f_{OUT} が 50 MHz から 400 MHz に増加するときにも、わずかに (約 5%) 増加します。

AVDD (53 番ピン) : この 1.8 V 電源は、約 20~40 mA の電流を消費します。この電源を 3 番ピン、5 番ピン、7 番ピンと同じレギュレータから分離して動作させ、フェライト・ビーズを使用して 53 番ピンを 3 番ピン、5 番ピン、7 番ピンから分離してください。

AVDD (11 番ピン、19 番ピン、23 番ピン、24 番ピン、36 番ピン、42 番ピン、45 番ピン) : これらのピンはグループ化できますが、他の 1.8 V 電源から分離する必要があります。最低限の要件として、フェライト・ビーズを使用して分離することが必要であり、レギュレータを分離する方法が理想的です。

AVDD (25 番ピン、26 番ピン、29 番ピン、30 番ピン) : これらのシステム・クロック PLL 電源ピンはグループ化できますが、他の 1.8 V 電源から分離する必要があります。ほとんどのアプリケーションでは、25 番ピンと 30 番ピンを相互に接続し、フェライト・ビーズを使用してこれらをその他の 1.8 V 電源から分離することを推奨します。これと同様に、26 番ピンと 29 番ピンも相互に接続し、フェライト・ビーズでこれらを同じ 1.8 V 電源から分離してください。システム・クロック PLL 用のループ・フィルタは、26 番ピンと 29 番ピンに接続してください。

システム・クロック PLL をバイパスする場合も、これらのピンに電源を供給する必要がありますが、分離は重要ではありません。

シリアル・コントロール・ポート

AD9549のシリアル・コントロール・ポートは、多くの業界標準のマイクロコントローラやマイクロプロセッサとの容易なインターフェースが可能な、柔軟性に優れた同期式のシリアル通信ポートです。シングルまたは複数バイト転送に加えて、MSBファーストまたはLSBファーストの転送フォーマットにも対応します。AD9549のシリアル・コントロール・ポートを1本の双方向 I/O ピン (SDIO のみ) または 2 本の片方向 I/O ピン (SDIO/SDO) として構成できます。

シリアル・コントロール・ポート・ピンの説明

SCLK (シリアル・クロック) は、シリアル・シフト・クロックです。このピンは入力です。SCLK を使用して、シリアル・コントロール・ポートの読出しと書き込みを同期させます。書き込みデータビットはこのクロックの立上がりエッジでレジスタに格納され、読出しデータビットは立下がりエッジでレジスタに格納されます。このピンは内部で 30 kΩ の抵抗によりグラウンドにプルダウンされています。

SDIO (シリアル・データ入出力) は 2 つの目的に使用されるピンであり、入力専用または入出力として動作します。AD9549 は、I/O のために双方向のピンとして初期設定します。別の方法として、SDO アクティブ・レジスタのレジスタ 0000[7]に 1 を書き込むことにより、SDIO を片方向の I/O ピンとして使用することも可能です。この場合は SDIO が入力、SDO が出力です。

SDO (シリアル・データ出力) は、データを読み出すための個別の出力ピンとして、片方向 I/O モード (レジスタ 0000[7]=1) 専用で使用されます。デフォルト設定では、双方向 I/O モード (SDIO を入力と出力の両方に使用) がアクティブになります (SDO を使用して、レジスタ 0000[7]=0 でレジスタをイネーブルに設定)。

CSB (チップ・セレクト・バー) は、読出しおよび書き込みサイクルをゲーティングするアクティブ・ローの制御ピンです。CSB がハイレベルのときに、SDO と SDIO はハイ・インピーダンスの状態に入ります。このピンは内部で 100 kΩ 抵抗により 3.3 V にプルアップされます。このピンをフローティング状態にしないでください。通信サイクルで CSB を使用する方法については、「シリアル・コントロール・ポートの動作」を参照してください。

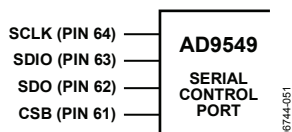


図 51. シリアル・コントロール・ポート

シリアル・コントロール・ポートの動作

CSB による通信サイクルのフレーミング

通信サイクル (書き込みまたは読出し動作) は、CSB ラインによってゲーティングされます。通信サイクルを開始するには、CSB をローレベルにする必要があります。

3 バイト以下のデータ (および命令データ) を転送するモードでは、CSB をハイレベルにストールすることが可能です (W1:W0 を 00、01、10 のいずれかに設定する必要があります。表 9 を参照)。これらのモードでは、CSB を任意のバイト境界で一時的にハイレベルに復帰させることが可能であるため、システム・コントローラが次のバイトを処理する時間が確保されます。CSB がハイレベルになるのはバイトの境界に限られ、転送のいずれの期間

中 (命令またはデータ) でもハイレベルに設定できます。この期間中、シリアル・コントロール・ポートのステート・マシンは、すべてのデータの送信が完了するまで待ち状態に入ります。すべてのデータが送信される前に、システム・コントローラが転送のアボートを決定する場合は、残りの転送を完了させるか、または少なくとも 1 SCLK サイクル全周期 (ただし、8 SCLK サイクルよりも短い周期) にわたり CSB をローレベルに戻す方法によって、ステート・マシンをリセットする必要があります。バイト境界以外で CSB をハイレベルにすると、シリアル転送が終了し、バッファがフラッシュされます。

ストリーミング・モード (W1:W0 = 11) のときは、任意の数のデータ・バイトを連続ストリームで転送できます。レジスタ・アドレスは、自動的にインクリメントまたはデクリメントされます (「MSB/LSB ファースト転送」を参照)。最後のバイトが転送された後で CSB をハイレベルにして、ストリーム・モードを終了させる必要があります。

通信サイクル—命令およびデータ

AD9549 の通信サイクルには、2 つのパートがあります。最初は 16 個の SCLK 立上がりエッジと同時に AD9549 に 16 ビットの命令ワードを書き込みます。この命令ワードは、AD9549 のシリアル・コントロール・ポートに、通信サイクルの次のパートのデータ転送に関する情報を提供します。命令ワードは、次のデータ転送が読出しまたは書き込みのどちらであるか、データ転送のバイト数、データ転送の最初のバイトの開始レジスタ・アドレスを定義します。

書き込み

命令ワードで書き込み動作が指定される場合は (I15=0)、次のパートで AD9549 のシリアル・コントロール・ポート・バッファにデータが転送されます。転送データ長 (1、2、3 バイト、またはストリーミング・モード) は、命令バイトの 2 ビット (W1:W0) で指定されます。(W1:W0) で指定された転送データ長には、2 バイトの命令が含まれません。バスをストールするために、8 ビットのシーケンス (最後のバイトは除く) が終了するたびに、CSB をハイレベルに設定できます。バスがストールしたときに、CSB がローレベルになると、シリアル転送が再開されます。バイトの境界以外でストールを行うと、シリアル・コントロール・ポートがリセットされます。

AD9549 には、バッファ、ライブ、読出し専用の 3 タイプのレジスタがあります。バッファ (またはミラーとも呼ばれる) レジスタは、チップ上の一時的バッファから実際のレジスタに新しい値を転送するために I/O 更新を必要とし、レジスタ・マップの「タイプ」欄に M と表記されています。IO_UPDATE ピンをトグルするか、またはレジスタ更新ビット (レジスタ 0005[0]) に 1 を書き込むと、更新が実行されます。更新コマンドを発行する前に、任意のデータ・バイト数を変更できるため、以前の更新以降に行われたすべてのレジスタ変更が更新によって同時にイネーブルになります。ライブ・レジスタは I/O 更新が不要であり、書き込み直後に更新が行われます。読出し専用レジスタは書き込みコマンドを無視し、レジスタ・マップの「タイプ」欄に RO と表記されています。レジスタ・マップの「タイプ」欄には、レジスタがオートクリア・タイプであることを示す AC と表記されている場合があります。

読出し

命令ワードで読出し動作が指定されている場合は (I15=1)、次の N × 8 SCLK サイクルで、命令ワードに指定されたアドレスか

らデータがクロック出力されます。NはW1:W0で指定される1、2、3、4の数値です。この場合、4はストリーミング・モードに使用され、このモードでは各読み出しごとに4以上のワードが転送されます。読み出したデータは、SCLKの立下がりエッジで有効になります。

AD9549のシリアル・コントロール・ポートのデフォルト・モードは双方向モードであり、読み出したデータはSDIOピン上に現れます。SDOイネーブル・レジスタのレジスタ0000[7]に0を書き込むことによって、AD9549を片方向モードに設定することが可能であり、このモードでは要求されたデータがSDOピンから出力されます。

デフォルト設定では、読み出し要求により、AD9549で現在使用されているレジスタ値が読み出されます。ただし、レジスタ0004[0]=1を設定すると、バッファ・レジスタから値が読み出されます。バッファ・レジスタは、次のI/O更新時に有効になるレジスタです。

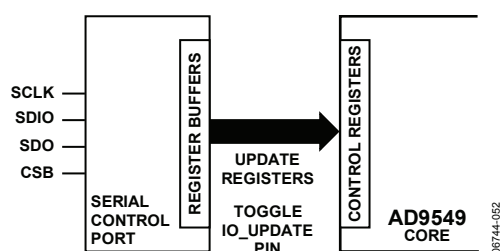


図 52. シリアル・コントロール・ポート・レジスタ・バッファとAD9549のコントロール・レジスタとの関係

AD9549は、レジスタ0000からレジスタ0509までを使用します。AD9549のシリアル・コントロール・ポートは、8ビットと16ビット両方の命令に対応可能ですが、8ビット命令モードは5つのアドレス・ビット(A4~A0)のみにアクセスするため、0x00から0x31までのアドレス空間でしか使用できません。AD9549はパワーアップ時に16ビット命令モードに初期設定され、8ビット命令モードには対応しません。

命令ワード (16 ビット)

命令ワードのMSBは、命令が読み出されたまたは書き込みのいずれであるかを指定するR/Wです。次の2ビット、W1:W0は、転送バイト長です。最後の13ビットは、読み出されたまたは書き込み操作を開始するアドレス(A12:A0)です。

書き込みの場合は、命令ワードの後にビットW1:W0で指定された数のデータ・バイトが続きますが、これは表9に従って解釈されます。

ビット[A12:A0]は、通信サイクルのデータ転送部分の実行中に書き込みまたは読み出しが行われるレジスタ・マップ内のアドレスを選択します。AD9549は、13ビットのアドレス空間のすべてを使用します。マルチバイト転送の場合は、このアドレスが開始バイト・アドレスです。

表 9. 転送バイト数

W1	W0	Bytes to Transfer (Excluding the 2-Byte Instruction)
0	0	1
0	1	2
1	0	3
1	1	Streaming mode

MSB/LSB ファースト転送

AD9549の命令ワードとバイト・データをMSBファーストまたはLSBファーストにすることが可能です。AD9549はMSBファーストに初期設定されます。LSBファースト・モードを設定するには、レジスタ0000[6]に1を書き込み、I/O更新を実行する必要があります。LSBファースト・ビットを設定した直後に、すべてのシリアル・コントロール・ポート動作がLSBファーストの順に変更されます。

MSBファースト・モードがアクティブのときは、命令およびデータ・バイトをMSBからLSBの順に書き込む必要があります。MSBファースト・フォーマットでのマルチバイト・データ転送は、最上位データ・バイトのレジスタ・アドレスを含む命令バイトから開始されます。その後のデータ・バイトは、上位アドレスから下位アドレスの順に続く必要があります。MSBファースト・モードでは、マルチバイト転送サイクルで各データ・バイトが転送されるたびに、シリアル・コントロール・ポートの内部アドレス発生器がデクリメントします。

LSBファースト=1 (LSBファースト)のときは、命令およびデータ・バイトをLSBからMSBの順に書き込む必要があります。LSBファースト・フォーマットでのマルチバイト・データ転送は、最下位データ・バイトのレジスタ・アドレスを含む命令バイトから開始され、その後複数のデータ・バイトが続きます。マルチバイト転送サイクルで各データ・バイトが転送されるたびに、シリアル・コントロール・ポートの内部アドレス発生器がインクリメントします。

MSBファースト・モードがアクティブ (デフォルト設定) の場合のマルチバイト I/O 動作のときに、AD9549のシリアル・コントロール・ポート・レジスタ・アドレスは、書き込まれたレジスタ・アドレスから0000hの方向にデクリメントします。LSBファースト・モードがアクティブの場合のマルチバイト I/O 動作のときに、シリアル・コントロール・ポート・レジスタ・アドレスは、書き込まれたアドレスから0x1FFFの方向にインクリメントします。

使用されていないアドレスは、マルチバイト I/O 動作時にスキップされません。リザーブレジスタにはデフォルト値を書き込み、マッピングされていないレジスタにはゼロのみを書き込んでください。2個以上の連続する予備レジスタ (またはマッピングされていないレジスタ) にデフォルト値を書き込むよりも、新しい書き込みコマンドを発行する方が効率的です。

表 10. シリアル・コントロール・ポート、16ビット命令ワード、MSB ファースト

MSB														LSB	
I15	I14	I13	I12	I11	I10	I9	I8	I7	I6	I5	I4	I3	I2	I1	I0
R/W	W1	W0	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0

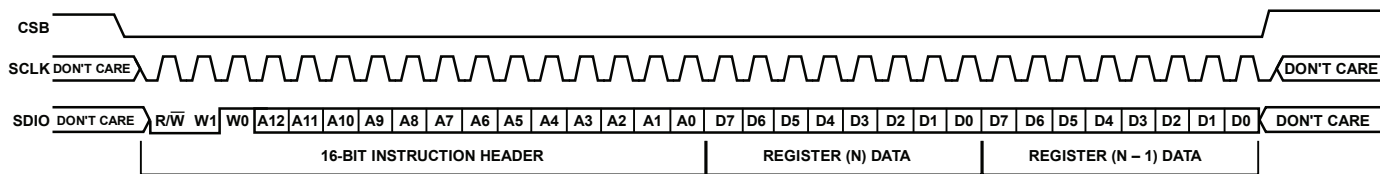


図 53. シリアル・コントロール・ポート書き込み—MSB ファースト、16ビット命令、2バイト・データ

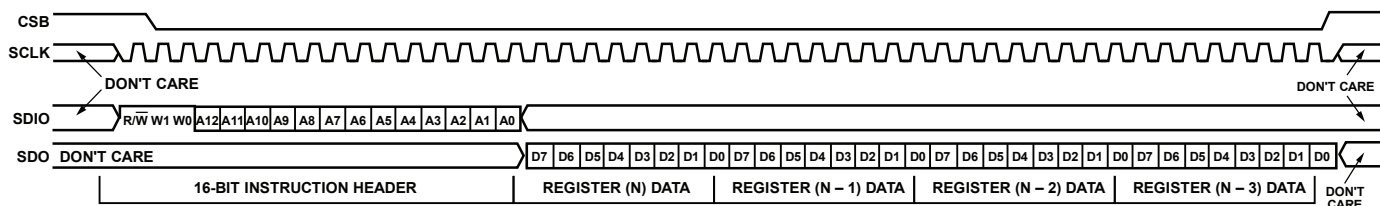


図 54. シリアル・コントロール・ポート読み出し—MSB ファースト、16ビット命令、4バイト・データ

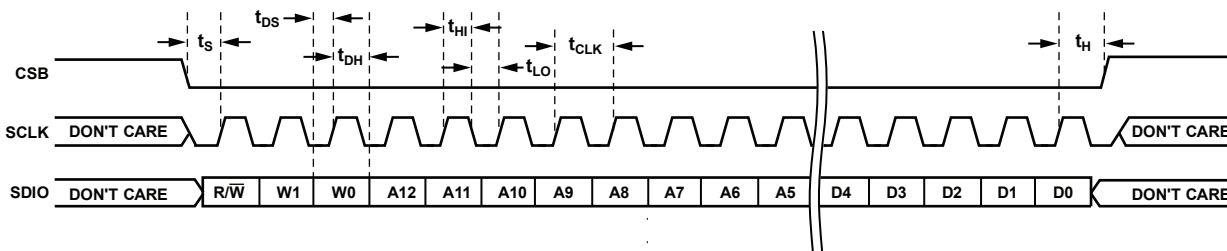


図 55. シリアル・コントロール・ポート書き込み—MSB ファースト、16ビット命令、タイミング計測

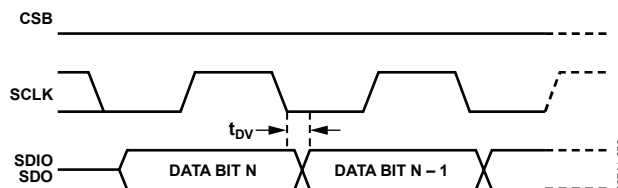


図 56. シリアル・コントロール・ポート・レジスタの読み出しタイミング図

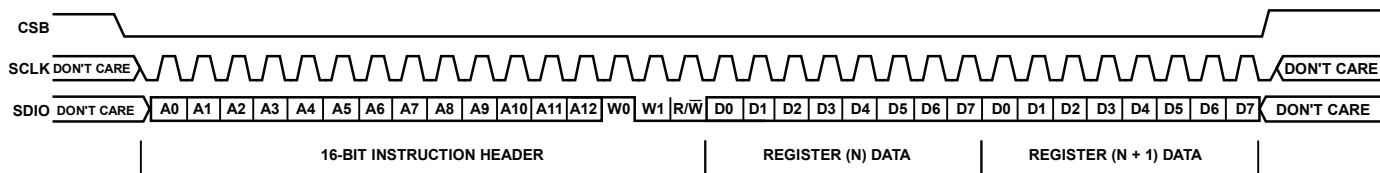


図 57. シリアル・コントロール・ポート書き込み—LSB ファースト、16ビット命令、2バイト・データ

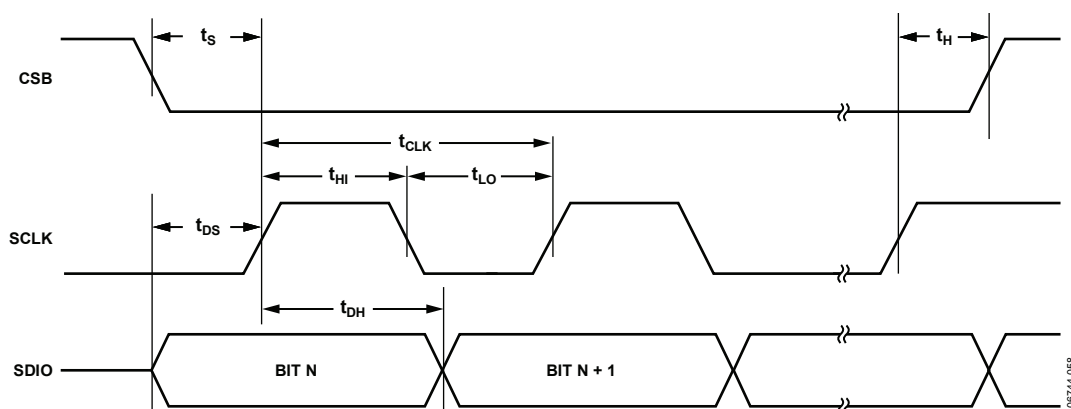


図 58. シリアル・コントロール・ポートのタイミング—書き込み

表 11. シリアル・コントロール・ポートのタイミング図で使用される用語の定義

パラメータ	説明
t_{CLK}	SCLK 周期
t_{DV}	データ読出し有効時間 (SCLK の立下がりエッジから SDIO/SDO に有効データが出力されるまでの時間)
t_{DS}	データ転送から SCLK の立上がりエッジまでのセットアップ時間
t_{DH}	データ転送から SCLK の立上がりエッジまでのホールド時間
t_s	CSB から SCLK までのセットアップ時間
t_H	CSB から SCLK までのホールド時間
t_{HI}	SCLK をロジック・ハイの状態に保持する必要がある最小期間
t_{LO}	SCLK をロジック・ローの状態に保持する必要がある最小期間

I/Oレジスタ・マップ

表 12.

Addr (Hex)	Type ¹	Name	D7	D6	D5	D4	D3	D2	D1	D0	Default (Hex)
Serial Port Configuration and Part Identification											
0000		Serial Config.	SDO Active	LSB First (buffered)	Soft Reset	Long Inst.	Long Inst.	Soft Reset	LSB First (buffered)	SDO Active	18
0001		Reserved									00
0002	RO	Part ID	Part ID								02
0003	RO		09								
0004		Serial Options								Read Buffer Reg.	00
0005	AC		Register Update	00							
Power-Down and Reset											
0010		Power-Down and Enable	PD HSTL Driver	Enable CMOS Driver	Enable Output Doubler	PD SYCLK PLL	PD REFA	PD REF B	Full PD	Digital PD	00
0011		Reserved									00
0012	M, AC	Reset	History Reset		IRQ Reset	FPFD Reset	CPFD Reset	LF Reset	CCI Reset	DDS Reset	00
0013	M		PD Fund DDS				S Div2 Reset	R Div2 Reset	S Divider Reset	R Divider Reset	00
System Clock											
0020		N-Divider					N-Divider [4:0]				12
0021		Reserved									00
0022		PLL Parameters	VCO Auto Range				2× Reference	VCO Range	Charge Pump Current [1:0]		04
0023		PFD Divider					PFD Divider [3:0] (relationship between SYCLK and PFD clock)				05
DPLL											
0100	M	PLL Control			Single Tone Mode	Disable Freq. Estimator	Enable Freq. Slew Limiter		Loop Polarity	Close Loop	30
0101		R-Divider	R-Divider [15:0]								00
0102			00								
0103			Falling Edge Triggered								R-Divider/2
0104		S-Divider	S-Divider [15:0]								00
0105			00								
0106			Falling Edge Triggered								S-Divider/2
0107	M	P-Divider					P-Divider[4:0]				05

Addr (Hex)	Type ¹	Name	D7	D6	D5	D4	D3	D2	D1	D0	Default (Hex)		
0108	M	Loop Coefficients	Alpha-0 [7:0]									00	
0109	M						Alpha-0 [11:8]					00	
010A	M					Alpha-1 [4:0]						00	
010B	M						Alpha-2 [2:0]						00
010C	M		Beta-0 [7:0]									00	
010D	M						Beta-0 [11:8]					00	
010E	M					Beta-1 [2:0]						00	
010F	M		Gamma-0 [7:0]									00	
0110	M						Gamma-0 [11:8]					00	
0111	M					Gamma-1 [2:0]						00	
0112												00	
0113												00	
0114												00	
0115	RO		FTW Estimate	FTW Estimate [47:0]									N/A
0116	RO	(read-only)									N/A		
0117	RO										N/A		
0118	RO										N/A		
0119	RO										N/A		
011A	RO										N/A		
011B	M	FTW Limits	FTW Lower Limit [47:0]									00	
011C	M											00	
011D	M											00	
011E	M											00	
011F	M											00	
0120	M											00	
0121	M		FTW Upper Limit [47:0]									FF	
0122	M											FF	
0123	M											FF	
0124	M											FF	
0125	M										FF		
0126	M										7F		
0127	M	Slew Limit	Frequency Slew Limit [47:0]									00	
0128	M											00	
0129	M											00	
012A	M											00	
012B	M											00	
012C	M											00	
012D		Reserved										00	
012E												00	
012F												00	
0130												00	
Free-Run Mode													
01A0		Reserved										00	
01A1												00	
01A2												00	
01A3												00	
01A4												00	
01A5												00	

Addr (Hex)	Type ¹	Name	D7	D6	D5	D4	D3	D2	D1	D0	Default (Hex)
01A6	M	FTW0 (Open-Loop Frequency Tuning Word)	FTW0 [47:0]								00
01A7	M		00								
01A8	M		00								
01A9	M		00								
01AA	M		Startup cond.								
01AB	M		Startup cond.								
01AC to 01AD	M	Phase (Open Loop Only)	DDS Phase Word [15:0]								00
Reference Selector/Holdover											
01C0	M	Automatic Control				Holdover Mode		Automatic Selector	Automatic Recover	Automatic Holdover	00
01C1	M	Override				Enable Line Card Mode	Enable Ref Input Override	REF_AB	Enable Holdover Override	Holdover On/Off	00
01C2		Averaging Window					FTW Windowed Average Size [3:0]			00	
01C3		Reference Validation				Validation Timer [4:0]			00		
Doublers and Output Drivers											
0200		HSTL Driver				OPOL (polarity)			HSTL Output Doubler [1:0]		05
0201		CMOS Driver								CMOS MUX	00
Monitor											
0300	RO	Status		PFD Freq Too High	PFD Freq Too Low	Freq. Est. Done	Ref Selected	Free Run	Ph. Lock Detected	Freq. Lock Detected	N/A
0301	RO			REFA Valid	REFA LOR	REFA OOL		REFB Valid	REFB LOR	REFB OOL	N/A
0302	RO	IRQ Status		PFD Freq. Too High	PFD Freq. Too Low	Freq. Est. Done	Ref. Selected	Free Run	Phase Lock Detected	Freq. Lock Detected	00
0303	RO			REFA Valid	REFA LOR	REFA OOL		REFB Valid	REFB LOR	REFB OOL	00
0304		IRQ Mask						Ref. Changed	Leave Free Run	Enter Free Run	00
0305						Freq. Est. Done	Phase Unlock	Phase Lock	Freq. Unlock	Freq. Lock	00
0306					REFA Valid	!REFA Valid	REFA LOR	!REFA LOR	REFA OOL	!REFA OOL	00
0307					REFB Valid	!REFB Valid	REFB LOR	!REFB LOR	REFB OOL	!REFB OOL	00
0308		S1 Pin Config	REF?	REF? LOR	REF? OOL	REF? Not Valid	Phase Lock	Freq. Lock		IRQ	60
0309		S2 Pin Config	REF?	REF? LOR	REF? OOL	REF? Not Valid	Phase Lock	Freq. Lock		IRQ	E0
030A		S3 Pin Config	REF?	REF? LOR	REF? OOL	REF? Not Valid	Phase Lock	Freq. Lock		IRQ	08
030B		S4 Pin Config	REF?	REF? LOR	REF? OOL	REF? Not Valid	Phase Lock	Freq. Lock		IRQ	01
030C		Control	Enable REFA LOR	Enable REFA OOL	Enable REFB LOR	Enable REFB OOL			Enable Phase Lock Det.	Enable Freq. Lock Detector	A2

Addr (Hex)	Type ¹	Name	D7	D6	D5	D4	D3	D2	D1	D0	Default (Hex)
030E	RO	HFTW	Average or Instantaneous FTW [47:0] (read-only) (An I/O update is required to refresh these registers.)								N/A
030F	RO										N/A
0310	RO										N/A
0311	RO										N/A
0312	RO										N/A
0313	RO										N/A
0314	M	Phase Lock	Phase Lock Threshold [31:0]								FF
0315	M										00
0316	M										00
0317	M										00
0318	M		Phase Unlock Watchdog Timer [2:0]		Phase Lock Watchdog Timer [4:0]				FF		
0319	M	Frequency Lock	Frequency Lock Threshold [31:0]								00
031A	M										00
031B	M										00
031C	M										00
031D	M			Frequency Unlock Watchdog Timer [2:0]		Frequency Lock Watchdog Timer [4:0]				FF	
031E	M	Loss of Reference	REFA LOR Divider [15:0]								FF
031F	M		REFB LOR Divider [15:0]								FF
0320	M		REFB LOR Divider [15:0]								FF
0321	M	Reference Out Of Limits	REFA OOL Divider [15:0]								00
0322	M		REFA OOL Divider [15:0]								00
0323	M		REFA OOL Upper Limit [31:0]								FF
0324	M										FF
0325	M										FF
0326	M		REFA OOL Lower Limit [31:0]								FF
0327	M										FF
0328	M										00
0329	M		REFA OOL Lower Limit [31:0]								00
032A	M		REFA OOL Lower Limit [31:0]								00
032B	M		REFB OOL Divider [15:0]								00
032C	M		REFB OOL Divider [15:0]								00
032D	M		REFB OOL Upper Limit [31:0]								FF
032E	M										FF
032F	M										FF
0330	M	REFB OOL Lower Limit [31:0]								FF	
0331	M									FF	
0332	M									00	
0333	M	REFB OOL Lower Limit [31:0]								00	
0334	M	REFB OOL Lower Limit [31:0]								00	
0335	M	REFB OOL Lower Limit [31:0]								00	
Calibration (User-Accessible Trim)											
0400		K-Divider	K-Divider [15:0]								00
0401											00
0402	M	CPFD Gain					CPFD Gain Scale [2:0]				00
0403	M		CPFD Gain [5:0]								20
0404		FPPD Gain	FPPD Gain [7:0]								C8
0405		Reserved									00
0406											00
0407											00
0408											00
0409	M	PFD Offset	DPLL Phase Offset [7:0]								00
040A	M						DPLL Phase Offset [13:8]				00

Addr (Hex)	Type ¹	Name	D7	D6	D5	D4	D3	D2	D1	D0	Default (Hex)
040B		DAC Full-Scale Current	DAC Full-Scale Current [7:0]								FF
040C			DAC Full-Scale Current [9:8]								01
040D		Reserved									00
040E		Reserved									10
040F		Reference Bias Level	DC Input Level [1:0]								00
0410		Reserved									00
Harmonic Spur Reduction											
0500	M	Spur A	HSR-A Enable	Amplitude Gain × 2			Spur A Harmonic [3:0]				00
0501	M		Spur A Magnitude [7:0]								00
0502	M										00
0503	M		Spur A Phase [7:0]								00
0504	M									Spur A Phase [8]	00
0505	M	Spur B	HSR-B Enable	Amplitude Gain × 2			Spur B Harmonic [3:0]				00
0506	M		Spur B Magnitude [7:0]								00
0507	M										00
0508	M		Spur B Phase [7:0]								00
0509	M										Spur B Phase [8]

¹ レジスタのタイプ: M = ミラー (バッファとも呼ばれます)。このタイプのレジスタでは、新しい値を有効にするには I/O 更新が必要です。RO = 読出し専用、AC = オートクリア

I/Oレジスタの説明

シリアル・ポート設定（レジスタ 0000～レジスタ 0005）

レジスタ 0000—シリアル設定

表 13.

ビット	ビット名	説明
D4:D7		これらのビットは、ビット[D0:D3]のミラー・イメージです。
D0	SDO Active	SDO ピンをイネーブルにします。 1 = SDO ピンをイネーブル（4線シリアル・ポート・モード） 0 = 3線モード
D1	LSB First	シリアル・ポートのビットの順番を設定します。 1 = LSB ファースト 0 = MSB ファースト。有効にするには、I/O 更新を実行する必要があります。
D2	Soft Reset	レジスタ 0000 を除き、レジスタ・マップをリセットします。このビットを設定すると、ソフト・リセットが強制設定されます。つまり、このビットをクリアすると、S1～S4 がスリーステートの状態に入らず、またこれらの状態も読み出されません。AD9549 は最後のハード・リセット時に存在した S1～S4 の値を仮定します。このビットは自己クリアせず、ソフト・リセットの後で他のすべてのレジスタがそのデフォルト値に復帰します。
D3	Long Instruction	読出し専用：このビットはロング命令のみに対応します。

レジスタ 0001—予備

レジスタ 0002～レジスタ 0003—デバイス ID（読出し専用）

レジスタ 0004—シリアル・オプション

表 14.

ビット	ビット名	説明
D0	Read Buffer Register	バッファ・レジスタのシリアル・ポート読出しでは、バッファからではなく、実際の（アクティブ）レジスタから読出しが実行されます。 1 = 次の I/O 更新時に有効となるバッファされた値を読み出します。 0 = 現在有効になっている値を読み出します。

レジスタ 0005—シリアル・オプション（自己クリア）

表 15.

ビット	ビット名	説明
D0	Register Update	レジスタ更新ピン機能にソフトウェア・アクセスします。このビットに 1 を書き込むと、I/O 更新が実行されます。

パワーダウンおよびリセット（レジスタ 0010～レジスタ 0013）

レジスタ 0010—パワーダウンおよびイネーブル

パワーアップ時のデフォルト設定は、スタートアップ・ピンによって定義します。

表 16.

ビット	ビット名	説明
D0	Digital PD	大部分のデジタル回路部のクロック動作を停止します。シリアル・ポートは利用可能な状態に維持されます。完全な PD とは異なり、このビットを設定すると、入力のバイアス解除が行われないため、ウェークアップの迅速化が可能です。
D1	Full PD	このビットを設定すると、PD ピンがアクティブになり、すべてのブロック（シリアル・ポートを除く）がパワーダウン・モードに入ります。SYSCLK はオフになります。
D2	PD REFB	基準クロック B 入力（およびその関連回路）のパワーダウン
D3	PD REFA	基準クロック A 入力（およびその関連回路）のパワーダウン
D4	PD SYSCLK PLL	システム・クロック通倍器のパワーダウン 1 = システム・クロック通倍器がパワーダウン状態に入ります。
D5	Enable Output Doubler	出力クロック発生器ダブラーをパワーアップします。出力ダブラーをレジスタ 0200 でイネーブルにする必要があります。
D6	Enable CMOS Driver	CMOS 出力ドライバをパワーアップします。 1 = CMOS ドライバがオンになります。
D7	PD HSTL Driver	HSTL 出力ドライバをパワーダウンします。 1 = HSTL 出力ドライバがパワーダウン状態に入ります。

レジスタ 0011—予備**レジスタ 0012—リセット (オートクリア)**

チップ全体をリセットするときに、レジスタ 0000 で (非自己クリアの) ソフト・リセット・ビットを利用することもできます。IRQ リセットの場合を除き、通常はこれらを使用する必要はありません。ただし、信号がまったく存在しないときに、初めてループのロックを試行する場合、ループのロックを再度実行する前にこのレジスタのビット[0:4]に 1 を書き込む必要があります。

表 17.

ビット	ビット名	説明
D0	DDS Reset	ダイレクト・デジタル・シンセサイザのリセット
D1	CCI Reset	カスケードされたコム積分器のリセット
D2	LF Reset	ループ・フィルタのリセット
D3	CPFD Reset	粗位相周波数検出器のリセット
D4	FPPD Reset	微位相周波数検出器のリセット
D5	IRQ Reset	IRQ 信号および IRQ ステータス・モニタのクリア
D6	Reserved	
D7	History Reset	このビットを設定すると、FTW モニタとパイプラインがクリアされます。

レジスタ 0013—リセット (続き) (非オートクリア)

表 18.

ビット	ビット名	説明
D0	R Divider Reset	整数分周器の (R 分周器プリスケアラ出力との) 同期リセット
D1	S Divider Reset	整数分周器の (S 分周器プリスケアラ出力との) 同期リセット
D2	R Div2 Reset	R プリスケアラの非同期リセット
D3	S Div2 Reset	S プリスケアラの非同期リセット
D7	PD Fund DDS	このビットを設定すると、DDS の基本出力がパワーダウンしますが、スプリアスは低減されません。スプリアス低減回路の同調時に使用されます。

システム・クロック (レジスタ 0020~レジスタ 0023)**レジスタ 0020—N 分周器**

表 19.

ビット	ビット名	説明
D4:D0	N-Divider	これらのビットは、システム・クロック PLL の帰還分周器を設定します。このブロックの前段に固定 2 分周器があり、さらに 2 のオフセットがこの値に追加されます。そのため、このレジスタを 00000 に設定すると、全体の帰還分周比は 4 になります。図 43 を参照してください。

レジスタ 0021—予備**レジスタ 0022—PLL パラメータ**

表 20.

ビット	ビット名	説明
D1:D0	Charge Pump Current	チャージ・ポンプ電流 00 = 250 μ A 01 = 375 μ A 10 = オフ 11 = 125 μ A
D2	VCO Range	ロー・レンジまたはハイ・レンジの VCO を選択します。 0 = ロー・レンジ (700~810 MHz) 1 = ハイ・レンジ (900~1000 MHz)。810~900 MHz のシステム・クロック設定の場合は、VCO オート・レンジ (ビット 7) を使用して、正しい VCO レンジを自動的に設定します。
D2	2 \times Reference	SYSCLK PLL の前に周波数ダブラーをイネーブルにします。これは、SYSCLK PLL によって誘発されるジッタの低減に役立ちます。図 42 を参照してください。
D4:D6	Reserved	
D7	VCO Auto Range	VCO レンジの自動選択。このビットをイネーブルにすると、このレジスタのビット 2 が自動的に設定されます。

レジスタ 0023—PFD 分周器

表 21.

ビット	ビット名	説明
D3:D0	PFD Divider	システム・クロックからの PFD クロックの分周比。通常は、設計者が DPLL 位相検出器を高速に動作させ、SYSCLK を比較的低速で動作させたい場合に限り、この分周比を変更します。この分周比は PFD 分周比×4 に等しくなります。システム・クロックが 1 GHz の場合、ADC は $1\text{ GHz}/20 = 50\text{ MHz}$ で動作し、DPLL 位相検出器はこの速度の 1/2、つまりこの場合は 25 MHz で動作します。

デジタル PLL コントロールおよび分周器 (レジスタ 0100~レジスタ 0130)

レジスタ 0100—PLL コントロール

表 22.

ビット	ビット名	説明
D0	Close Loop	このビットを設定すると、ループが閉じます。このレジスタのビット 4 を使用すると、周波数推定器が使用されます。このビットをクリアすると、ループが開きます。ループを再度閉じる前に、レジスタ 0012 の CCI および LF ビットをリセットする必要があります。
D1	Loop Polarity	このビットは、ループ応答の極性を反転します。
D2	Reserved	
D3	Enable Frequency Slew Limiter	このビットは、同調ワードの変更速度をコントロールする周波数スルー・リミッタをイネーブルにし、クロック切替えおよびホールドオーバーに遷移するときに発生する剰余パルスや拡張パルスを回避する目的に役立ちます。これらの値は、レジスタ 0127~レジスタ 012C で設定します。「周波数スルー・リミッタ」を参照してください。
D4	Disable Frequency Estimator	周波数推定器は通常の動作では使用されませんが、入力周波数が不明であるか、またはその修正が必要な場合に役立ちます。この推定周波数は、レジスタ 0115~レジスタ 011A に現れます。FTW0 (レジスタ 01A6~レジスタ 01AB) を設定しているときは、周波数推定器は必要ありません。「周波数推定器」を参照してください。
D5	Single Tone Mode	このビットを設定すると、DDS 同調ワードとして FTW0 を使用して、AD9549 からオープン・ループでシングル・トーンを出力できます。ビット 0 (クローズ・ループ) を設定している場合は、このビットをクリアする必要があります。AD9549 の入力信号に問題があるか、または入力信号が存在しない場合のデバッグ時に、このビットが大変役立ちます。
D7:D6	Reserved	

レジスタ 0101~レジスタ 0102—R 分周器 (DPLL フィードフォワード分周器)

表 23.

ビット	ビット名	説明
D15:D0	R-Divider	DPLL のフィードフォワード分周器 (基準周波数分周器とも呼ばれます)。分周比は 1~65,536 です。「フィードフォワード分周器 (R 分周)」を参照してください。所望のフィードフォワード分周比が 65,536 よりも大きいか、あるいは REFA または REFB の基準周波数入力信号が 400 MHz よりも大きい場合は、レジスタ 0103 のビット 0 を設定する必要があります。実際の R 分周値はこのレジスタの値に 1 を加えた数値であるため、R 分周値を 1 にするには、レジスタ 0101 とレジスタ 0102 の両方を 0x00 とする必要があります。レジスタ 0101 は最下位バイトです。

レジスタ 0103—R 分周器 (続き)

表 24.

ビット	ビット名	説明
D0	R-Divider/2	このビットを設定すると、2 分周追加プリスケラがイネーブルになり、フィードフォワード分周器の範囲が実質的に 2 倍になります。所望のフィードフォワード分周比が 65,536 よりも大きいか、あるいは REFA または REFB の基準周波数入力信号が 400 MHz よりも大きい場合に、このビットを設定する必要があります。
D6:D1	Reserved	
D7	Falling Edge Triggered	このビットを設定すると、R 分周器の前に基準クロックが反転します。

レジスタ 0104～レジスタ 0105—S 分周器 (DPLL 帰還分周器)

表 25.

ビット	ビット名	説明
D15:D0	S-Divider	帰還分周器。帰還分周比は 1 – 65,536 です。所望の帰還分周比が 65,536 よりも大きいか、あるいは FDBK_IN の帰還信号が 400 MHz よりも大きい場合は、レジスタ 0106 のビット 0 を設定する必要があります。実際の S 分周値はこのレジスタの値に 1 を加えた数値であるため、S 分周値を 1 にするには、レジスタ 0104 とレジスタ 0105 の両方を 0x00 とする必要があります。レジスタ 0104 は最下位バイトです。

レジスタ 0106—S 分周器 (続き)

表 26.

ビット	ビット名	説明
D0	S-Divider/2	このビットを設定すると、2 分周追加プリスケラがイネーブルになります。「帰還分周器 (S 分周)」を参照してください。所望の帰還分周比が 65,536 よりも大きいか、あるいは FDBK_IN の帰還信号が 400 MHz よりも大きい場合に、このビットを設定する必要があります。このケースの一例は、ナイキスト周波数を越える DAC 出力のイメージに PLL がロックしている場合です。
D6:D1	Reserved	
D7	Falling Edge Triggered	このビットを設定すると、S 分周器の前に基準クロックが反転します。

レジスタ 0107—P 分周器

表 27.

ビット	ビット名	説明
D4:D0	P-Divider	分周比。DAC とループ・フィルタのサンプリング・レートの比を制御します。「デジタル・ループ・フィルタ」を参照してください。ループ・フィルタのサンプリング・レート = DAC サンプリング・レート / 2 ⁴ (分周比[4:0]) です。DAC サンプリング・レートを 1 GHz とし、P 分周器[4:0] を 5 とするデフォルト設定時のループ・フィルタのサンプリング・レートは 31.25 MHz です。DAC サンプリング・レートは、システム・クロックと同じです。

レジスタ 0108～レジスタ 0109—ループ係数

「デジタル・ループ・フィルタ係数」を参照してください。これらの数値は、AD9549 評価用ソフトウェアによって求められます。

表 28.

ビット	ビット名	説明
D11:D0	Alpha-0	アルファ係数としてリニア係数を指定します。

レジスタ 010A—ループ係数 (続き)

表 29.

ビット	ビット名	説明
D4:D0	Alpha-1	アルファ係数として 2 の累乗通倍値を指定します。

レジスタ 010B—ループ係数 (続き)

表 30.

ビット	ビット名	説明
D2:D0	Alpha-2	アルファ係数として 2 の累乗分周値を指定します。

レジスタ 010C～レジスタ 010D—ループ係数 (続き)

表 31.

ビット	ビット名	説明
D11:D0	Beta-0	ベータ係数としてリニア係数を指定します。

レジスタ 010E—ループ係数 (続き)

表 32.

ビット	ビット名	説明
D2:D0	Beta-1	ベータ係数として 2 の累乗分周値を指定します。

レジスタ 010F～レジスタ 0110—ループ係数（続き）

表 33.

ビット	ビット名	説明
D11:D0	Gamma-0	ガンマ係数としてリニア係数を指定します。

レジスタ 0111—ループ係数（続き）

表 34.

ビット	ビット名	説明
D2:D0	Gamma-1	ガンマ係数として2の累乗分周値を指定します。

レジスタ 0112～レジスタ 0114—予備**レジスタ 0115～レジスタ 011A—FTW 推定（読出し専用）**

表 35.

ビット	ビット名	説明
D47:D0	FTW Estimate	この周波数推定情報は、周波数推定器回路から出力され、通知目的にのみ提供されます。これは、入力基準周波数を確認する際に役立ちます。「周波数推定器」を参照してください。

レジスタ 011B～レジスタ 0120—FTW 下限

表 36.

ビット	ビット名	説明
D47:D0	FTW Lower Limit	クローズド・ループ・モードでの最も低い DDS 同調ワード。バンドパス再構成フィルタを使用するときに、この機能を利用することを推奨します。「出力周波数範囲の制御」を参照してください。

レジスタ 0121～レジスタ 0126—FTW 上限

表 37.

ビット	ビット名	説明
D47:D0	FTW Upper Limit	クローズド・ループ・モードでの最も高い DDS 同調ワード。バンドパス再構成フィルタを使用するときに、この機能を利用することを推奨します。「出力周波数範囲の制御」を参照してください。

レジスタ 0127～レジスタ 012C—周波数スルー・リミット

表 38.

ビット	ビット名	説明
D47:D0	Frequency Slew Limit	「周波数スルー・リミット」を参照してください。

レジスタ 012D～レジスタ 0130—予備**フリーラン（シングル・トーン）モード（レジスタ 01A0～レジスタ 01AD）****レジスタ 01A0～レジスタ 01A5—予備****レジスタ 01A6～レジスタ 01AB—FTW0**

表 39.

ビット	ビット名	説明
D47:D0	FTW0	ループが閉じられていないときの DDS の FTW（周波数同調ワード）です（レジスタ 0100 のビット 0 を参照）。周波数推定器をディスエーブルにしているときに、初期推定周波数としても利用されます（レジスタ 0100 のビット 4 を参照）。パワーアップ時のデフォルト設定値は、S1～S4 スタートアップ・ピンによって定義される点に注意が必要です。「パワーアップ時のデフォルト DDS 出力周波数」を参照してください。

レジスタ 01AC～レジスタ 01AD—位相

表 40.

ビット	ビット名	説明
D15:D0	DDS Phase Word	DDS の位相を変更できます。ループが閉じられていない場合に限りアクティブになります。

基準周波数セクタ/ホールドオーバー（レジスタ 01C0～レジスタ 01C3）

レジスタ 01C0—自動コントロール

表 41.

ビット	ビット名	説明
D0	Automatic Holdover	このビットを設定すると、ステート・マシンがホールドオーバー（フリーラン）モードに入る動作が可能になります。
D1	Automatic Recover	このビットを設定すると、ステート・マシンがホールドオーバー・モードを終了する動作が可能になります。
D2	Automatic Selector	このビットを設定すると、ステート・マシンがアクティブな基準クロック入力を切り替える動作が可能になります。
D3	Reserved	
D4	Holdover Mode	このビットは、ホールドオーバー・モードで使用される周波数同調ワード（FTW）を決定します。 0 = 最後の FTW をホールドオーバー時に使用します。 1 = 平均化された FTW をホールドオーバー時に使用します。この設定を推奨します。適用される平均回数は、レジスタ 01C2 で設定します。

レジスタ 01C1—オーバーライド

表 42.

ビット	ビット名	説明
D0	Holdover On/Off	このレジスタのビット 1 が設定されているときに、このビットはホールドオーバーの状態を制御します。
D1	Enable Holdover Override	このビットを設定すると、自動ホールドオーバーがディスエーブルになり、ビット 0 を使用して手動でホールドオーバーを開始/終了できます（ビット 0 の説明を参照）。このビットを設定すると、HOLDOVER ピンが無効になります。
D2	REF_AB	このレジスタのビット 3 が設定されているときに、このビットにより入力を選択します。 0 = REFA.
D3	Enable Ref Input Override	このビットを設定すると、基準周波数の自動切り換えがディスエーブルになり、このレジスタのビット 2 を使用して手動で基準周波数を切り替えることができます。このビットを設定すると、REFSELECT ピンが無効になります。
D4	Enable Line Card Mode	基準周波数スイッチ MUX のライン・カード・モードをイネーブルにします。そのため、切替え時に剰余パルスが発生する可能性がありません。「ライン・カード・モードによる剰余パルスの排除」を参照してください。

レジスタ 01C2—平均化ウィンドウ

表 43.

ビット	ビット名	説明
D3:D0	FTW Windowed Average Size	このレジスタは、FTW の平均値計算に使用される FTW（周波数同調ワード）の数を設定します。レジスタ 01C0 のビット 4 でこの機能をイネーブルにします。ほとんどのアプリケーションでは、最低 32,000 の平均サイズを推奨します。平均回数は、 $2^{(\text{FTW Windowed Average Size} [3:0])}$ に等しくなります。これらのサンプルは $(fs/2^{PI0})$ のレートで取り込まれます。

レジスタ 01C3—基準周波数バリデーション

表 44.

ビット	ビット名	説明
D4:D0	Validation Timer	このレジスタの値は、基準周波数を DPPLL の基準周波数として利用できるようにする前に、LOR または OOL イベントの発生後に基準周波数の有効性を確認するために必要な時間を設定します。この回路は、デジタル・ループ・フィルタのクロックを使用します（レジスタ 0107 を参照）。バリデーション時間 = ループ・フィルタのクロック周期 $\times 2^{(\text{Validation Timer} [4:0] + 1)} - 1$ です。パワーオン時のデフォルト値を仮定すると、回復時間は 32 ns (00000) から 137 秒 (11111) までの範囲で変化します。さらに長いバリデーション時間が要求される場合、P 分周値を大きくできます。バリデーション・タイマを OOL 評価サイクルの少なくとも 2 周期に設定するように注意してください。OOL 評価サイクルは、基準入力クロックの周期を OOL 分周値（レジスタ 0322～レジスタ 0323）で乗算して求められる時間です。
D7:D5	Reserved	

ダブラーおよび出力ドライバ（レジスタ 0200～レジスタ 0201）

レジスタ 0200—HSTL ドライバ

表 45.

ビット	ビット名	説明
D1:D0	HSTL Output Doubler	HSTL 出力ダブラー 01 = ダブラーをディスエーブル 10 = ダブラーをイネーブル。ダブラーの使用時には、レジスタ 0010[5]の設定も必要です。
D3:D2	Reserved	
D4	OPOL	出力極性。このビットを設定すると、HSTL ドライバの出力極性が反転します。

レジスタ 0201—CMOS ドライバ

表 46.

ビット	ビット名	説明
D0	CMOS Mux	ユーザ・マルチプレクサ・コントロール。このビットを使用して、S 分周器で分周して CMOS ドライバから出力するかどうかを選択できます。 0 = S 分周器の入力が CMOS ドライバに送信されます。 1 = S 分周器の出力が CMOS ドライバに送信されます。図 22 を参照してください。

モニタ（レジスタ 0300～レジスタ 0335）

レジスタ 0300—ステータス

このレジスタには、チップのステータスが格納されます。このレジスタは読み出し専用で、ライブ更新されます。

表 47.

ビット	ビット名	説明
D0	Frequency Lock Detect	このフラグは、周波数ロック検出回路が周波数ロックを検出したことを示します。この機能は、2つの連続的な位相検出器エッジの差の絶対値をプログラマブル・スレッショールドと比較します。そのため、周波数ロック検出はフェーズ・ロック検出よりも精密ですが、周波数ロック検出を使用せずにフェーズ・ロック検出を利用することも可能です。
D1	Phase Lock Detect	このフラグは、フェーズ・ロック検出回路がフェーズ・ロックを検出したことを示します。位相調整量は、プログラマブル・スレッショールドに対して比較されます。このビットがシングル・トーンとホールドオーバーの各モードで使用されることがありますが、これらの場合ではこのビットを無視してください。
D2	Free Run	DPLL がホールドオーバー・モード（フリーラン）に入ります。
D3	Reference Selected	基準周波数を選択します。 0 = 基準周波数 A がアクティブになります。 1 = 基準周波数 B がアクティブになります。
D4	Frequency Estimator Done	周波数推定器回路が入力周波数を問題なく推定したときに真となります。「周波数推定器」を参照してください。
D5	PFD Frequency Too Low	このフラグは、周波数推定器が入力周波数の推定に失敗し、極度に低い PFD 周波数を検出したことを示します。このビットが関係するのは、入力周波数の確認に周波数推定器を利用する場合のみです。
D6	PFD Frequency Too High	このフラグは、周波数推定器が入力周波数の推定に失敗し、極度に高い PFD 周波数を検出したことを示します。このビットが関係するのは、入力周波数の確認に周波数推定器を利用する場合のみです。
D7	Reserved	

レジスタ 0301—ステータス（続き）

このレジスタには、チップのステータスが格納されます。このレジスタは読み出し専用で、ライブ更新されません。

表 48.

ビット	ビット名	説明
D0	REFB OOL	基準周波数 B が限界範囲外であることを OOL（アウト・オブ・リミット）回路が確認しています。
D1	REFB LOR	基準周波数 B で LOR（基準周波数喪失）が発生しています。
D2	REFB Valid	基準周波数 B が有効であることを基準周波数バリデーション回路が確認しています。
D3	Reserved	
D4	REFA OOL	基準周波数 A が限界範囲外であることを OOL（アウト・オブ・リミット）回路が確認しています。
D5	REFA LOR	基準周波数 A で LOR（基準周波数喪失）が発生しています。
D6	REFA Valid	基準周波数 A が有効であることを基準周波数バリデーション回路が確認しています。
D7	Reserved	

レジスタ 0302～レジスタ 0303—IRQ ステータス

これらのレジスタには、IRQ 発生時のチップ・ステータス（レジスタ 0300～レジスタ 0301）が格納されます。IRQ がリセットされると、これらのビットはクリアされます（レジスタ 0012 のビット 5 を参照）。

レジスタ 0304—IRQ マスク

表 49.

ビット	ビット名	説明
D0	Enter Free Run	DPLL がフリーラン（ホールドオーバー）モードに入るときに、IRQ をトリガします。
D1	Leave Free Run	DPLL がフリーラン（ホールドオーバー）モードを終了するとき、IRQ をトリガします。
D2	Reference Changed	アクティブな基準クロック選択が変更されるたびに、IRQ をトリガします。
D7:D3	Reserved	

レジスタ 0305—IRQ マスク（続き）

表 50.

ビット	ビット名	説明
D0	Frequency Lock	周波数ロック信号の立上がりエッジで IRQ をトリガします。
D1	Frequency Unlock	周波数ロック信号の立下がりエッジで IRQ をトリガします。
D2	Phase Lock	フェーズ・ロック信号の立上がりエッジで IRQ をトリガします。
D3	Phase Unlock	フェーズ・ロック信号の立下がりエッジで IRQ をトリガします。
D4	Frequency Estimator Done	周波数推定器の動作が完了したときに、IRQ をトリガします。

レジスタ 0306—IRQ マスク（続き）

表 51.

ビット	ビット名	説明
D0	!REFA OOL	基準周波数 A の OOL の立下がりエッジで IRQ をトリガします。
D1	REFA OOL	基準周波数 A の OOL の立上がりエッジで IRQ をトリガします。
D2	!REFA LOR	基準周波数 A の LOR の立下がりエッジで IRQ をトリガします。
D3	REFA LOR	基準周波数 A の LOR の立上がりエッジで IRQ をトリガします。
D4	!REFA Valid	基準周波数 A の有効信号の立下がりエッジで IRQ をトリガします。
D5	REFA Valid	基準周波数 A の有効信号の立上がりエッジで IRQ をトリガします。
D7:D6	Reserved	

レジスタ 0307—IRQ マスク (続き)

表 52.

ビット	ビット名	説明
D0	!REFB OOL	基準周波数 B の OOL の立下がりエッジで IRQ をトリガします。
D1	REFB OOL	基準周波数 B の OOL の立上がりエッジで IRQ をトリガします。
D2	!REFB LOR	基準周波数 B の LOR の立下がりエッジで IRQ をトリガします。
D3	REFB LOR	基準周波数 B の LOR の立上がりエッジで IRQ をトリガします。
D4	!REFB Valid	基準周波数 B の有効信号の立下がりエッジで IRQ をトリガします。
D5	REFB Valid	基準周波数 B の有効信号の立上がりエッジで IRQ をトリガします。
D7:D6	Reserved	

レジスタ 0308—S1 ピン構成

「ステータスと警告」を参照してください。特定ピンの入力の選択は、すべて REFA またはすべて REFB とし、REFA と REFB の両方を組み合わせないでください。

表 53.

ビット	ビット名	説明
D0	IRQ	このピン上の出力として IRQ 信号を選択します。
D1	Reserved	
D2	Frequency Lock	このピン上の出力として周波数ロック信号を選択します。
D3	Phase Lock	このピン上の出力としてフェーズ・ロック信号を選択します。
D4	REF? Not Valid	REFA (0)または REFB (1)を選択します。このピン上の出力として有効な信号はありません。
D5	REF? OOL	このピン上の出力として REFA (0)または REFB (1) OOL 信号を選択します。
D6	REF? LOR	このピン上の出力として REFA (0)または REFB (1) LOL 信号を選択します。
D7	REF?	REFA (0)または REFB (1)をビット[4:6]と併用するように選択します。

レジスタ 0309—S2 ピン構成

S2 ピンに適用される点を除いて、レジスタ 0308 と同じです。表 53 を参照してください。

レジスタ 030A—S3 ピン構成

S3 ピンに適用される点を除いて、レジスタ 0308 と同じです。表 53 を参照してください。

レジスタ 030B—S4 ピン構成

S4 ピンに適用される点を除いて、レジスタ 0308 と同じです。表 53 を参照してください。

レジスタ 030C—コントロール

表 54.

ビット	ビット名	説明
D0	Enable Frequency Lock Detector	これを使用するには、レジスタ 0319 を設定する必要があります。「周波数ロック検出」を参照してください。
D1	Enable Phase Lock Detector	これを使用するには、レジスタ 0314～レジスタ 0318 を設定する必要があります。「フェーズ・ロック検出」を参照してください。
D3:D2	Reserved	
D4	Enable REFB OOL	REFB OOL 限界値をレジスタ 032C～レジスタ 0335 で設定します。
D5	Enable REFB LOR	REFB LOR 限界値をレジスタ 0320～レジスタ 0321 で設定します。
D6	Enable REFA OOL	REFA OOL 限界値をレジスタ 0322～レジスタ 032B で設定します。
D7	Enable REFA LOR	REFA LOR 限界値をレジスタ 031E～レジスタ 031F で設定します。

レジスタ 030D—予備**レジスタ 030E レジスタ 0313—HFTW (読出し専用)**

表 55.

ビット	ビット名	説明
D47:D0	Average or Instantaneous FTW	これらの読出し専用レジスタは、FTW モニタの出力です。平均または瞬時のいずれであるかは、ホールドオーバー・モードによって決定されます (レジスタ 01C0 のビット 4 を参照)。I/O 更新を発行して、これらのレジスタを手動でリフレッシュする必要があります。

レジスタ 0314～レジスタ 0317—フェーズ・ロック

表 56.

ビット	ビット名	説明
D31:D0	Phase Lock Threshold	「フェーズ・ロック検出」を参照してください。

レジスタ 0318—フェーズ・ロック（続き）

表 57.

ビット	ビット名	説明
D7:D5	Phase Unlock Watchdog Timer	「フェーズ・ロック検出」を参照してください。
D4:D0	Phase Lock Watchdog Timer	「フェーズ・ロック検出」を参照してください。

レジスタ 0319～レジスタ 031C—周波数ロック

表 58.

ビット	ビット名	説明
D31:D0	Frequency Lock Threshold	「周波数ロック検出」を参照してください。

レジスタ 031D—周波数ロック（続き）

表 59.

ビット	ビット名	説明
D7:D5	Frequency Unlock Watchdog Timer	「周波数ロック検出」を参照してください。
D4:D0	Frequency Lock Watchdog Timer	「周波数ロック検出」を参照してください。

レジスタ 031E～レジスタ 031F—基準周波数喪失

表 60.

ビット	ビット名	説明
D15:D0	REFA LOR Divider	「基準周波数喪失」を参照してください。

レジスタ 0320～レジスタ 0321—基準周波数喪失（続き）

表 61.

ビット	ビット名	説明
D15:D0	REFB LOR Divider	「基準周波数喪失」を参照してください。

レジスタ 0322～レジスタ 0323—基準周波数アウト・オブ・リミット（OOL）

表 62.

ビット	ビット名	説明
D15:D0	REFA OOL Divider	「基準周波数モニタ」を参照してください。R0322 が LSB、R0323 が MSB です。

レジスタ 0324～レジスタ 0327—基準周波数 OOL（続き）

表 63.

ビット	ビット名	説明
D31:D0	REFA OOL Upper Limit	「基準周波数モニタ」を参照してください。

レジスタ 0328～レジスタ 032B—基準周波数 OOL（続き）

表 64.

ビット	ビット名	説明
D31:D0	REFA OOL Lower Limit	「基準周波数モニタ」を参照してください。

レジスタ 032C～レジスタ 032D—基準周波数 OOL (続き)

表 65.

ビット	ビット名	説明
D15:D0	REFB OOL Divider	「基準周波数モニタ」を参照してください。R032C が LSB、R032D が MSB です。

レジスタ 032E～0331—基準周波数 OOL (続き)

表 66.

ビット	ビット名	説明
D31:D0	REFB OOL Upper Limit	「基準周波数モニタ」を参照してください。

レジスタ 0332～レジスタ 0335—基準周波数 OOL (続き)

表 67.

ビット	ビット名	説明
D31:D0	REFB OOL Lower Limit	「基準周波数モニタ」を参照してください。

キャリブレーション (ユーザ・アクセス可能調整) (レジスタ 0400～レジスタ 0410)**レジスタ 0400～レジスタ 0401—K 分周器**

表 68.

ビット	ビット名	説明
D15:D0	K-Divider	K 分周器は、周波数推定器回路の精度を変更します。「周波数推定器」を参照してください。

レジスタ 0402—CPFD ゲイン

表 69.

ビット	ビット名	説明
D2:D0	CPFD Gain Scale	このレジスタは、粗位相周波数の 2 累乗通倍器 (PDS) です。「位相検出器」を参照してください。このレジスタの正しい値は、評価用ボードに添付されているフィルタ設計用ソフトウェアによって計算されます。

レジスタ 0403—CPFD ゲイン (続き)

表 70.

ビット	ビット名	説明
D5:D0	CPFD Gain	このレジスタは、粗位相周波数のリニア通倍器 (PDG) です。「位相検出器」を参照してください。このレジスタの正しい値は、評価用ボードに添付されているフィルタ設計用ソフトウェアによって計算されます。

レジスタ 0404—FPFD ゲイン

表 71.

ビット	ビット名	説明
D7:D0	FPFD Gain	このレジスタは、微位相周波数検出器のリニア通倍器です (チャージ・ポンプ電流を変更します)。「微位相検出器」を参照してください。このレジスタの正しい値は、評価用ボードに添付されているフィルタ設計用ソフトウェアによって計算されます。

レジスタ 0405～レジスタ 0408—予備**レジスタ 0409～レジスタ 040A—PFD オフセット**

表 72.

ビット	ビット名	説明
D13:D0	DPLL Phase Offset	このレジスタは、クローズド・ループ・モードで PFD (位相周波数検出器) のスタティック時間オフセットを制御します。DPLL がオープンの際は、このビットの影響はありません。

レジスタ 040B—DAC フルスケール電流

表 73.

ビット	ビット名	説明
D7:D0	DAC Full-Scale Current	DAC フルスケール電流[7:0]。「DAC 出力」を参照してください。

レジスタ 040C—DAC フルスケール電流（続き）

表 74.

ビット	ビット名	説明
D1:D0	DAC Full-Scale Current	DAC フルスケール電流[9:8]。レジスタ 040B を参照してください。

レジスタ 040D～レジスタ 040E—予備**レジスタ 040F—基準周波数バイアス・レベル**

表 75.

ビット	ビット名	説明
D1:D0	DC Input Level	VDDX @ 3.3 V の DC 入力レベル。このレジスタは、基準周波数入力の DC バイアス・レベルを設定します。VIH が 3.3 V に可能な限り近づくように（ただし、3.3 V を越えないこと）、値を選択してください。 00 = VDD3 – 800 mV. 01 = VDD3 – 400 mV. 10 = VDD3 – 1.6 V. 11 = VDD3 – 1.2 V.
D7:D2	Reserved	

レジスタ 0410—予備**高調波スプリアス低減（レジスタ 0500～レジスタ 0509）**

「高調波スプリアスの低減」を参照してください。

レジスタ 0500—スプリアス A

表 76.

ビット	ビット名	説明
D3:D0	Spur A Harmonic	高調波スプリアス A 1～15
D5:D4	Reserved	
D6	Amplitude Gain × 2	
D7	HSR-A Enable	高調波スプリアス A 低減イネーブル

レジスタ 0501～レジスタ 0502—スプリアス A（続き）

表 77.

ビット	ビット名	説明
D7:D0	Spur A Magnitude	スプリアス A 振幅に対応するリニア乗算器

レジスタ 0503～レジスタ 0504—スプリアス A（続き）

表 78.

ビット	ビット名	説明
D8	Spur A Phase	スプリアス A 位相に対応するリニア・オフセット

レジスタ 0505—スプリアス B

表 79.

ビット	ビット名	説明
D3:D0	Spur B Harmonic	高調波スプリアス B 1~15
D5:D4	Reserved	
D6	Amplitude Gain × 2	
D7	HSR-B Enable	高調波スプリアス B 低減イネーブル

レジスタ 0506～レジスタ 0507—スプリアス B（続き）

表 80.

ビット	ビット名	説明
D7:D0	Spur B Magnitude	スプリアス B 振幅に対応するリニア乗算器

レジスタ 0508～レジスタ 0509—スプリアス B（続き）

表 81.

ビット	ビット名	説明
D8	Spur B Phase	スプリアス B 位相に対応するリニア・オフセット

アプリケーション回路例

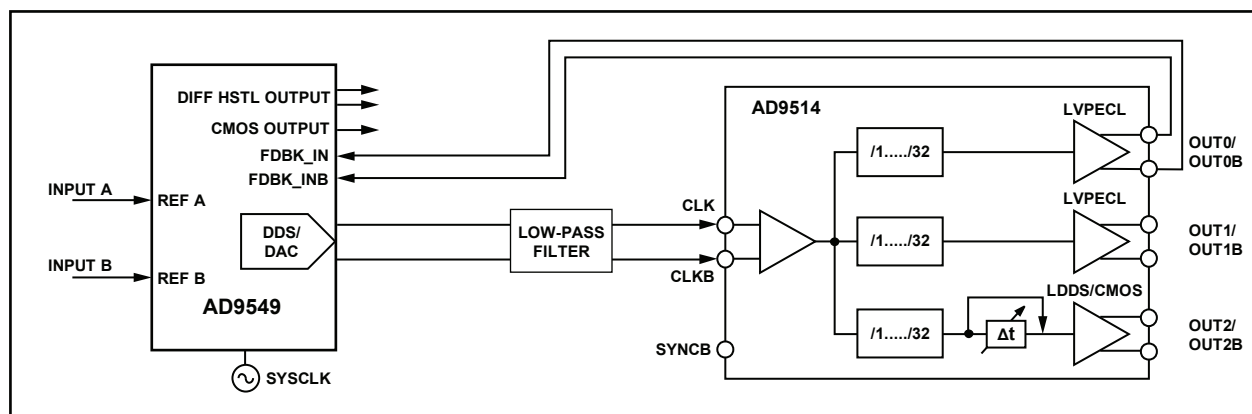


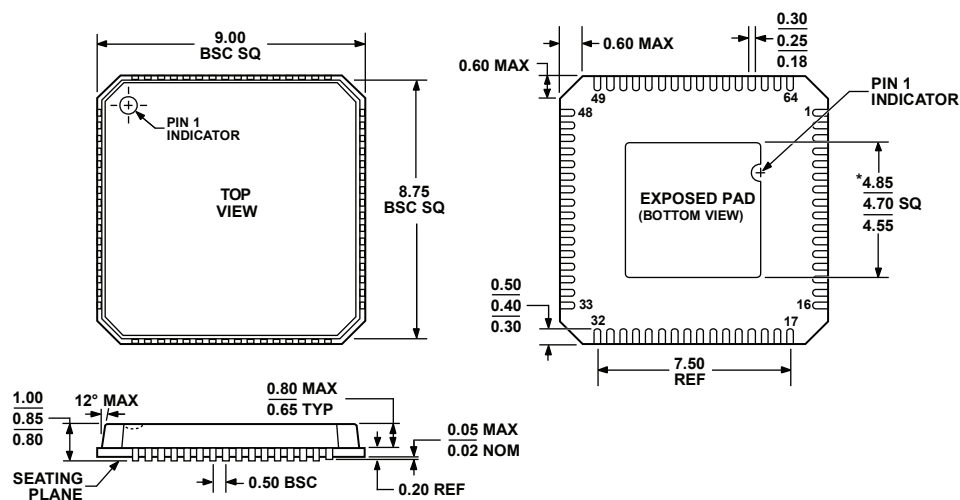
図 59. AD9549 と AD9514 の高精度クロック分配回路

このアプリケーション回路の特長は、以下のとおりです。

- 最低 8 kHz までの低い入力周波数。出力周波数は最大 400 MHz です。
- 1 Hz よりも低い周波数まで設定可能なループ帯域幅
- 位相調整レートを選択可能な自動の冗長クロック切替え
- 設定に応じて自動の Stratum 3/3E クロック・ホールドオーバー

- 位相ノイズ ($f_c = 122.3$ MHz および 100 Hz のループ帯域幅) : 100 Hz オフセット時: -107 dBc/Hz、1 kHz オフセット時: -142 dBc/Hz、100 kHz オフセット時: -157 dBc/Hz。後段分周器と同期の設定が可能な 2 つのゼロ遅延出力
- AD9549 上の 2 つの追加出力 (非ゼロ遅延)
- 1 つの AD9514 出力上で設定可能なスキュー調整

外形寸法



*COMPLIANT TO JEDEC STANDARDS MO-220-VMM4-4
EXCEPT FOR EXPOSED PAD DIMENSION

図 60. 64 ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP_VQ]
9 mm × 9 mm ボディ、極薄クワッド
(CP-64-1)
寸法単位：mm

063006-B

オーダー・ガイド

Model	Temperature Range	Package Description	Package Option
AD9549BCPZ ¹	-40°C to +85°C	64-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-64-1
AD9549BCPZ-REEL7 ¹	-40°C to +85°C	64-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-64-1
AD9549/PCBZ ¹	-40°C to +85°C	Evaluation Board	CP-64-1

¹ Z = RoHS 準拠製品