

特長

- 140 MSPSの変換レートを保証
- 100 MSPSの低価格バージョンも供給
- 330 MHzのアナログ帯域幅
- 1 V p-pのアナログ入力範囲
- +2.5 V基準電圧を内蔵
- 差動またはシングル・エンドのクロック入力
- 3.3 V/5.0 Vスリー・ステートCMOS出力
- シングル・ポートまたはディマルチプレクス出力ポート
- データ・クロック出力
- 低消費電力: 1.0 W(Typ)
- +5 Vのコンバータより電源供給

アプリケーション

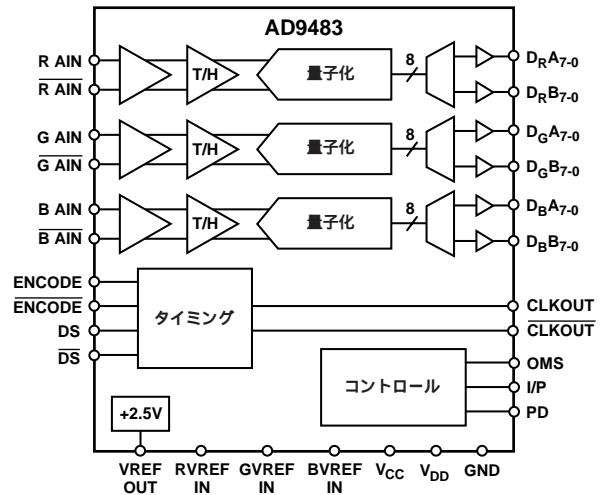
- RGBグラフィックス処理
- 高解像度ビデオ
- LCDモニターおよびプロジェクタ
- マイクロミラー・プロジェクタ
- プラズマ・ディスプレイ・パネル
- スキャン・コンバータ

概要

AD9483は、パーソナル・コンピュータやワークステーションのRGBグラフィックス信号のデジタル化用に最適化されたトリプル8ビット・モノリシックA/Dコンバータです。140 MSPSエンコード・レート能力と330 MHzのフル・パワー・アナログ帯域幅により、各ピクセルを入力して量子化するための十分な入力帯域幅を使用し、75 Hzで最大1280 × 1024の表示解像度をサポートします。

システム・コストと消費電力を最小にするため、AD9483には、+2.5 Vの基準電圧とトラック&ホールド回路が内蔵されています。+5 V電源とエンコード・クロックを外部から供給するだけで済みます。多くのアプリケーションに対して、外付け基準電圧またはドライバ部品は不要です。デジタル出力はスリー・ステートCMOS出力です。別の出力電源ピンにより、3.3 Vロジックまたは5 Vロジックとのインターフェースをサポートします。

AD9483のENCODE入力は直接TTL、CMOS、または正極性ECLロジックにインターフェースし、シングル・エンド入力または差動入

機能ブロック図


力で動作します。デュアル・チャンネル・デジタル出力またはシングル・チャンネル・デジタル出力を選択することができます。デュアル・チャンネル(ディマルチプレクス)モードでは、8ビットの2チャンネルを使ってADCデータを1/2クロック・レートでマルチプレクスします。デュアル・チャンネル・モードの動作では、外部デジタル・インターフェースの速度とコストを削減して、ADCを140 MSPS変換レートで動作させることができます。シングル・チャンネル・モードでは、全てのデータが最大クロック・レートでパイプライン動作してチャンネルAに出力され、ADC変換レートは100 MSPSに制限されます。デュアル・チャンネル出力モードとシングル・チャンネル出力モードの両方に対して、チャンネルA出力データ・レートとデータ・クロック出力が用意されています。

最新のBiCMOSプロセスにより製造されたAD9483は、スペースをとらない100ピンMQFP表面実装型プラスチック・パッケージ(S-100)を採用しており、0 ~ +85 の温度範囲仕様を持ちます。

AD9483 仕様

($V_{CC} = +5V$ 、 $V_{DD} = +3.3V$ 、外部基準電圧、ENCODE = 最大変換レートの差動PECL)

パラメータ	温度	テスト・レベル	AD9483KS-140			AD9483KS-100			単位
			最小	標準	最大	最小	標準	最大	
分解能			8			8			Bits
DC精度									
微分非線形性	+25	I	0.8	1.25/ - 1.0		0.8	1.25/ - 1.0		LSB
	全温度範囲	VI		1.50/ - 1.0			1.50/ - 1.0		LSB
積分非線形性	+25	I	0.9	1.50/ - 1.50		0.9	1.50/ - 1.50		LSB
	全温度範囲	VI		1.75/ - 1.75			1.75/ - 1.75		LSB
コード紛失なし	全温度範囲	VI	保証			保証			
ゲイン誤差 ¹	+25	I	±1	±2		±1	±2		%FS
ゲイン温度係数 ¹	全温度範囲	V	160			160			ppm/
アナログ入力									
入力電圧範囲(AIN基準)	全温度範囲	V	±512			±512			mV p-p
許容入力範囲AINまたはAIN	全温度範囲	V	1.8		3.2	1.8		3.2	V
入力オフセット電圧	+25	I	±4		±16	±4		±16	mV
	全温度範囲	VI			±20			±20	mV
入力抵抗	+25	I	35	83		35	83		k
	全温度範囲	VI	25			25			k
入力容量	+25	V	4			4			pF
入力バイアス電流	+25	I	17	36		17	36		μA
	全温度範囲	VI			50			50	μA
アナログ帯域幅、フルパワー	+25	V	330			330			MHz
基準出力									
出力電圧	全温度範囲	VI	+2.4	+2.5	+2.6	+2.4	+2.5	+2.6	V
温度係数	全温度範囲	V	110			110			ppm/
スイッチング性能									
最大変換レート	全温度範囲	VI	140			100			MSPS
最小変換レート	全温度範囲	IV			10			10	MSPS
ENCODEパルス幅High(t_{EH})	+25	IV	2.8		50	4.0		50	ns
ENCODEパルス幅Low(t_{EL})	+25	IV	2.8		50	4.0		50	ns
アパーチャ遅延(t_A)	+25	V	1.5			1.5			ns
アパーチャ遅延一致	+25	V	100			100			ps
アパーチャ不確定(ジッタ)	+25	V	2.3			2.3			ps rms
Data Syncセットアップ・タイム(t_{SDS})	+25	IV	0			0			ns
Data Syncホールド・タイム(t_{HDS})	+25	IV	0.5			0.5			ns
Data Syncパルス幅(t_{PWDS})	+25	IV	2.0			2.0			ns
出力有効時間(t_V) ²	全温度範囲	VI	4.0	6.3		4.0	6.3		ns
出力伝搬遅延(t_{PD}) ²	全温度範囲	VI		8.0	10		8.0	10	ns
クロック有効時間(t_{CV}) ³	全温度範囲	VI	3.8	6.2		3.8	6.2		ns
クロック伝搬遅延(t_{CPD}) ³	全温度範囲	VI		8.0	10		8.0	10	ns
データとクロック間スキュー($t_V - t_{CV}$)	全温度範囲	VI	-1.0	0	1.0	-1.0	0	1.0	ns
データとクロック間スキュー($t_{PD} - t_{CPD}$)	全温度範囲	VI	-2.0	0	2.0	-2.0	0	2.0	ns
デジタル入力									
入力容量	+25	V	3			3			pF
差動入力									
差動信号振幅(V_{ID})	全温度範囲	IV	400			400			mV
HIGH入力電圧(V_{IHD})	全温度範囲	IV	0.4		V_{CC}	0.4		V_{CC}	V
LOW入力電圧(V_{ILD})	全温度範囲	IV	0			0			V
コモン・モード入力(V_{ICM})	全温度範囲	IV	1.5			1.5			V
HIGHレベル電流(I_{IH})	全温度範囲	VI			1.2			1.2	mA
LOWレベル電流(I_{IL})	全温度範囲	VI			1.2			1.2	mA
VREF入力									
入力抵抗	+25	V	2.5			2.5			k

パラメータ	温度	テスト・レベル	AD9483KS-140			AD9483KS-100			単位
			最小	標準	最大	最小	標準	最大	
シングル・エンド入力									
HIGH入力電圧(V_{IH})	全温度範囲	IV	2.0		V_{CC}	2.0		V_{CC}	V
LOW入力電圧(V_{IL})	全温度範囲	IV	0		0.8	0		0.8	V
HIGHレベル電流(I_{IH})	全温度範囲	VI			1			1	mA
LOWレベル電流(I_{IL})	全温度範囲	VI			1			1	mA
デジタル出力									
ロジック“1”電圧	全温度範囲	VI	$V_{DD} - 0.05$			$V_{DD} - 0.05$			V
ロジック“0”電圧	全温度範囲	VI			0.05			0.05	V
出力コーディング			バイナリ			バイナリ			
電源									
V_{CC} 電源電流	全温度範囲	VI			215			215	mA
V_{DD} 電源電流	全温度範囲	VI			60			60	mA
合計消費電力 ⁴	全温度範囲	VI		1.0	1.3		1.0	1.3	W
パワーダウン電源電流	+25	V		4	20		4	20	mA
パワーダウン消費電力	+25	V		20	100		20	100	mW
ダイナミック性能⁵									
過渡応答	+25	V			1.5			1.5	ns
過電圧回復時間	+25	V			1.5			1.5	ns
信号対ノイズ比(SNR) (高調波なし)									
$f_{IN} = 19.7$ MHz	+25	V			45			45	dB
$f_{IN} = 49.7$ MHz	+25	I	41		44	41		44	dB
$f_{IN} = 69.7$ MHz	+25	V			44			44	dB
信号対ノイズ比(SINAD) (高調波あり)									
$f_{IN} = 19.7$ MHz	+25	V			44			44	dB
$f_{IN} = 49.7$ MHz	+25	I	40		43	40		43	dB
$f_{IN} = 69.7$ MHz	+25	V			42			42	dB
実効ビット数									
$f_{IN} = 19.7$ MHz	+25	V			7.0			7.0	Bits
$f_{IN} = 49.7$ MHz	+25	I	6.4		6.8	6.4		6.8	Bits
$f_{IN} = 69.7$ MHz	+25	V			6.8			6.8	Bits
2次高調波歪み									
$f_{IN} = 19.7$ MHz	+25	V			63			63	dBc
$f_{IN} = 49.7$ MHz	+25	I	50		58	50		58	dBc
$f_{IN} = 69.7$ MHz	+25	V			51			51	dBc
3次高調波歪み									
$f_{IN} = 19.7$ MHz	+25	V			56			56	dBc
$f_{IN} = 49.7$ MHz	+25	I	46		54	46		54	dBc
$f_{IN} = 69.7$ MHz	+25	V			51			51	dBc
クロストーク	全温度範囲	V			55			55	dB

注

¹ ゲイン誤差とゲイン温度係数はADCのみに基づきます(固定+2.5Vの外部基準電圧を使用)。

² t_V と t_{PDF} は、ENCODE入力のスレッショルド交点からデジタル出力での有効TTLレベルまでを測定。テスト時の出力AC負荷は5 pF。

³ t_{CV} と t_{CPD} は、ENCODE入力のスレッショルド交点からデジタル出力での有効TTLレベルまでを測定。テスト時の出力AC負荷は20 pF。

⁴ アナログ入力を19.7 MHzで-1 dBFSとして測定。

⁵ SNR/高調波は、1.024 Vフル・スケール入力範囲を基準とした-1.0 dBFSのアナログ入力電圧に基づきます。

S-100(MQFP)100ピン・パッケージの熱インピーダンス(Typ): $\theta_{JC} = 10$ /W、 $\theta_{CA} = 17$ /W、 $\theta_{JA} = 27$ /W。

仕様は予告なく変更されることがあります。

AD9483

絶対最大定格*

V _{CC}	+6 V
V _{DD}	+6 V
アナログ入力	V _{CC} ~ 0.0 V
VREF IN、VREF OUT	V _{CC} ~ 0.0 V
デジタル入力	V _{CC} ~ 0.0 V
デジタル出力電流	20 mA
動作温度	0 ~ +85
保存温度	-65 ~ +150
最大接合温度	+175
最大ケース温度	+150

* 上記の絶対最大定格を超えるストレスを加えるとデバイスに永久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

テスト・レベルの説明

テスト・レベル

- I 100%の製造テストを実施
- II +25 での100%製造テストと規定温度でのサンプル・テストを実施。
- III 周期的サンプルでテストを実施
- IV パラメータはデザインで保証し、キャラクタライゼーション・テストを実施
- V パラメータは代表値(typ)のみ。
- VI +25 で100%製造テストを実施; デザインで保証し、キャラクタライゼーション・テストを実施

表1. 出力コーディング

ステップ	AIN-AIN	コード	バイナリ
255	0.512 V	255	1111 1111
254	0.508 V	254	1111 1110
253	0.504 V	253	1111 1101
•	•	•	•
•	•	•	•
•	•	•	•
129	0.006 V	129	1000 0001
128	0.002 V	128	1000 0000
127	-0.002 V	127	0111 1111
126	-0.006 V	126	0111 1110
•	•	•	•
•	•	•	•
•	•	•	•
2	-0.504 V	2	0000 0010
1	-0.508 V	1	0000 0001
0	-0.512 V	0	0000 0000

オーダー・ガイド

モデル	温度範囲	パッケージ	パッケージ・オプション
AD9483KS-100	0 ~ +85	プラスチック薄型クワッド・フラットパック	S-100B
AD9483KS-140	0 ~ +85	プラスチック薄型クワッド・フラットパック	S-100B
AD9483/PCB	+25	評価ボード	

注意

ESD(静電放電)の影響を受けやすいデバイスです。4000 Vもの高圧の静電気が人体やテスト装置に容易に帯電し、検知されことなく放電されることもあります。このAD9483には当社独自のESD保護回路を備えていますが、高エネルギーの静電放電にさらされたデバイスには回復不能な損傷が残ることもあります。したがって、性能低下や機能喪失を避けるために、適切なESD予防措置をとるようお奨めします。



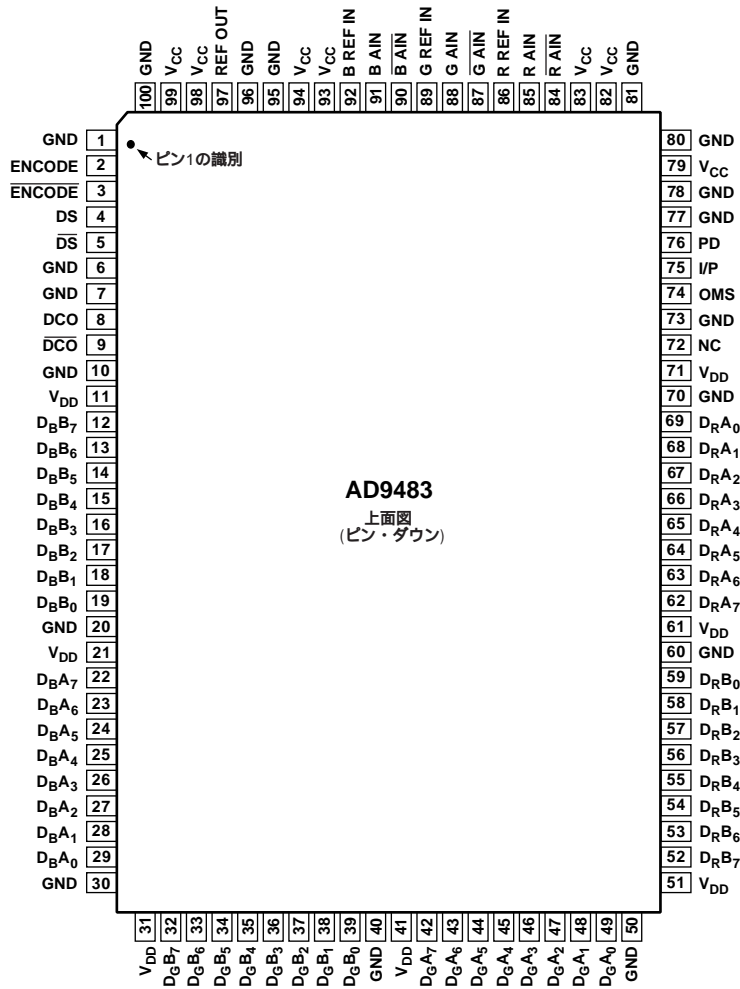
ピン機能の説明

ピン番号	名称	機能
1, 6, 7, 10, 20, 30, 40, 50, 60, 70, 73, 77, 78, 80, 81, 95, 96, 100	GND	グランド
2	ENCODE	ADCに対するエンコード・クロック(ENCODEの立上がりエッジでのADCサンプル)。
3	$\overline{\text{ENCODE}}$	反転エンコード・クロック($\overline{\text{ENCODE}}$ の立下がりエッジでのADCサンプル)。
4	DS	デュアル・チャンネル・モードでのData Syncアライン出力チャンネル。
5	$\overline{\text{DS}}$	反転Data Sync。
8	DCO	データ・クロック出力。チャンネルAデータ・レートのクロック出力。
9	$\overline{\text{DCO}}$	データ・クロックの反転出力。
11, 21, 31, 41, 51, 61, 71	V _{DD}	出力電源。公称3.3V。
79, 82, 83, 93, 94, 98, 99	V _{CC}	コンバータ電源。公称5.0V。
12-19	D _B B ₇ - D _B B ₀	コンバータ“B”のデジタル出力。チャンネルB。D _B B ₇ がMSB。
22-29	D _B A ₇ - D _B A ₀	コンバータ“B”のデジタル出力。チャンネルA。D _B A ₇ がMSB。
32-39	D _G B ₇ - D _G B ₀	コンバータ“G”のデジタル出力。チャンネルB。D _G B ₇ がMSB。
42-49	D _G A ₇ - D _G A ₀	コンバータ“G”のデジタル出力。チャンネルA。D _G A ₇ がMSB。
52-59	D _R B ₇ - D _R B ₀	コンバータ“R”のデジタル出力。チャンネルB。D _R B ₇ がMSB。
62-69	D _R A ₇ - D _R A ₀	コンバータ“R”のデジタル出力。チャンネルA。D _R A ₇ がMSB。
72	NC	接続なし。
74	OMS	シングル・チャンネル出力モードまたはデュアル・チャンネル出力モードを選択します(HIGH = シングル、LOW = デュアルプレクス)。
75	I/P	インターリーブ出力モードまたはパラレル出力モードを選択します(HIGH = インターリーブ、LOW = パラレル)。
76	PD	パワーダウンとスリー・ステートを選択します(HIGH = パワーダウン)。
84	$\overline{\text{RAIN}}$	コンバータ“R”に対する反転アナログ入力。
85	RAIN	コンバータ“R”に対する非反転アナログ入力。
86	R REF IN	コンバータ“R”に対する基準電圧入力(+2.5V(Typ) ± 10%)。
87	$\overline{\text{GAIN}}$	コンバータ“G”に対する反転アナログ入力。
88	GAIN	コンバータ“G”に対する非反転アナログ入力。
89	G REF IN	コンバータ“G”に対する基準電圧入力(+2.5V(Typ) ± 10%)。
90	$\overline{\text{BAIN}}$	コンバータ“B”に対する反転アナログ入力。
91	BAIN	コンバータ“B”に対する非反転アナログ入力。
92	B REF IN	コンバータ“B”に対する基準電圧入力(+2.5V(Typ) ± 10%)。
97	REF OUT	内部基準電圧出力(+2.5V(Typ)); グランドに対する0.01 μFのバイパス付き。

AD9483

ピン配置

プラスチック薄型クワッド・フラットパック(S-100B)



NC = 接続なし

タイミング

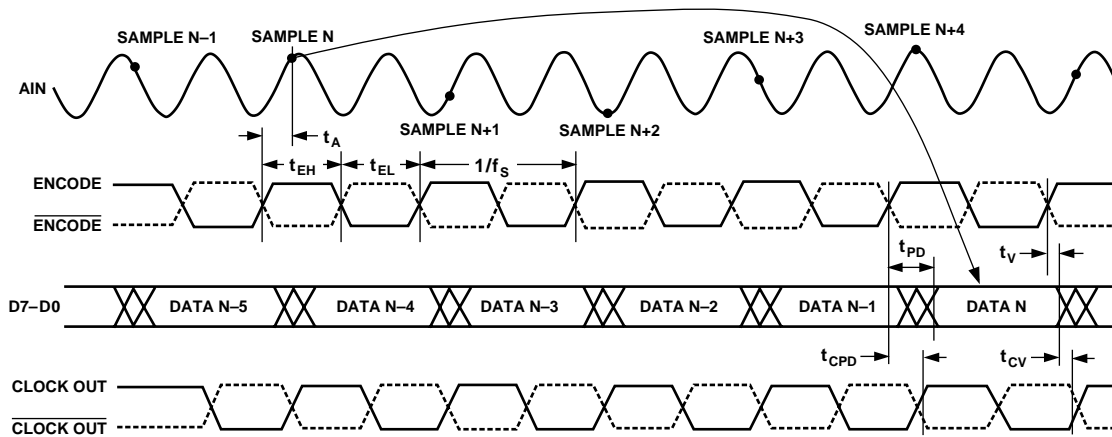


図1. タイミング シングル・チャンネル・モード

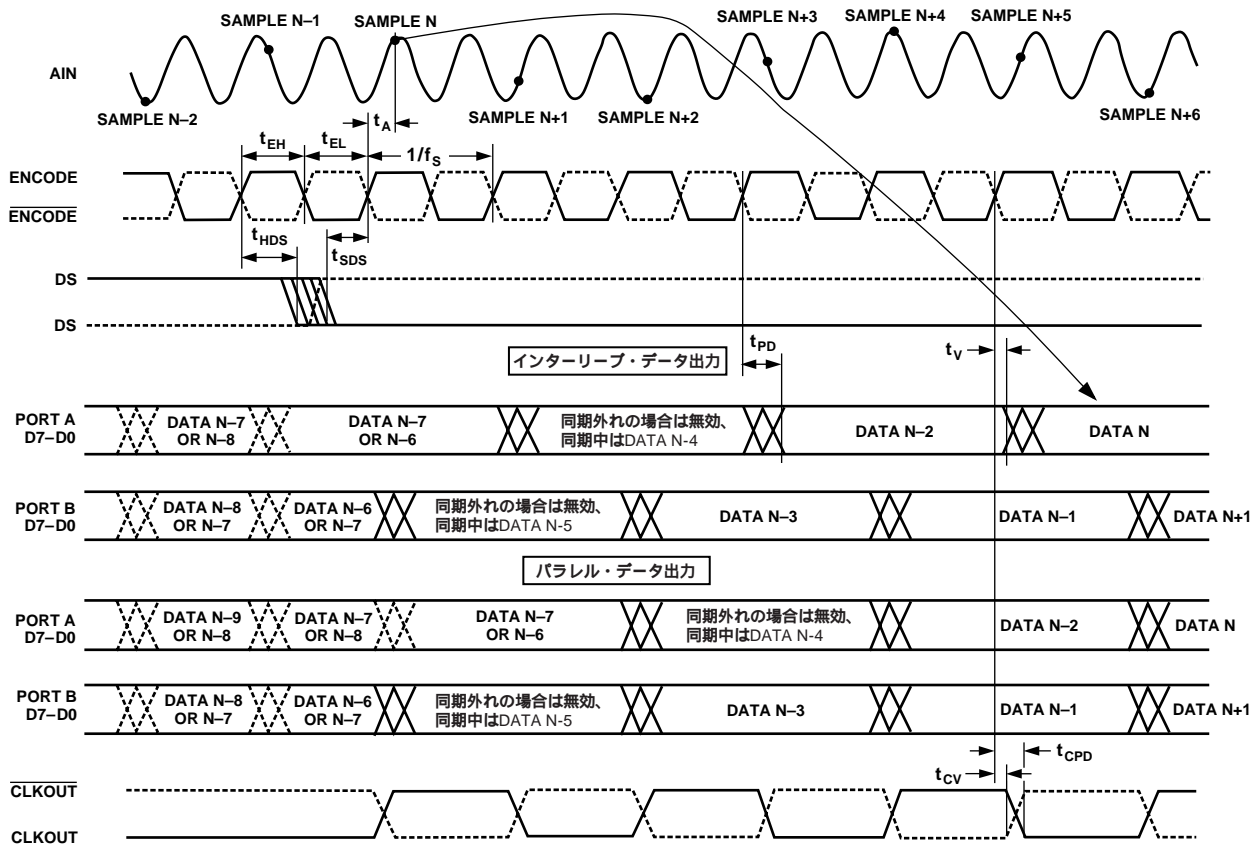


図2. タイミング デュアル・チャンネル・モード

AD9483

等価回路

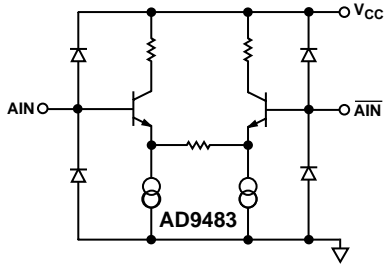


図3. アナログ入力等の等価回路

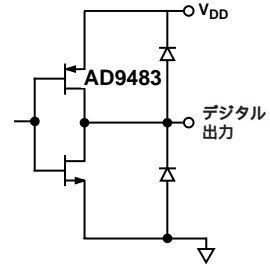


図7. デジタル出力等の等価回路

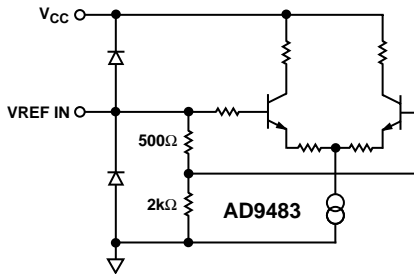


図4. 基準電圧入力等の等価回路

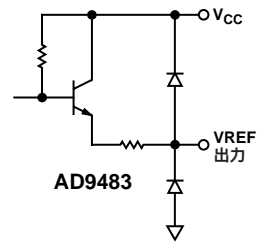


図8. 基準電圧出力等の等価回路

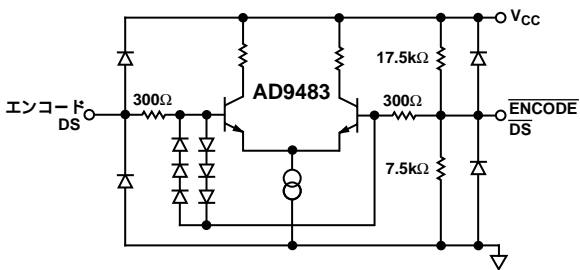


図5. エンコードとデータ・セレクト入力等の等価回路

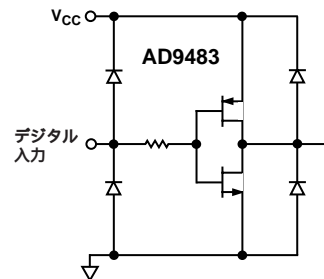


図9. デジタル入力等の等価回路

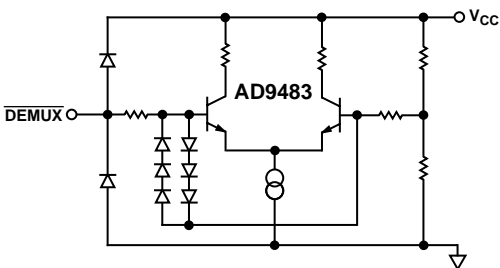


図6. DEMUX入力等の等価回路

代表的な性能特性 AD9483

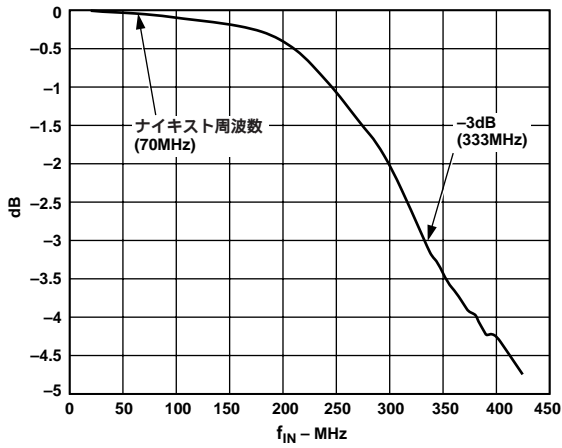


図10．周波数応答：f_s = 140 MSPS

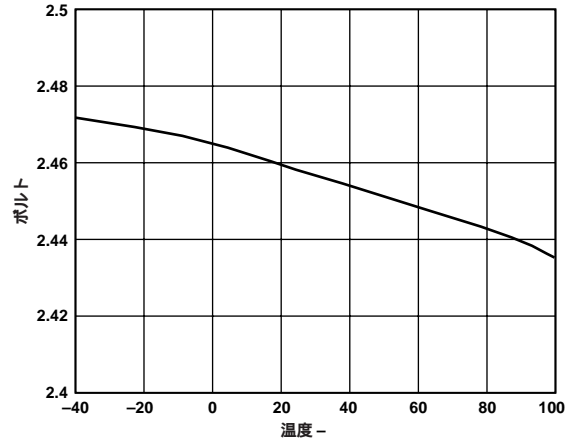


図13．基準電圧と温度の関係

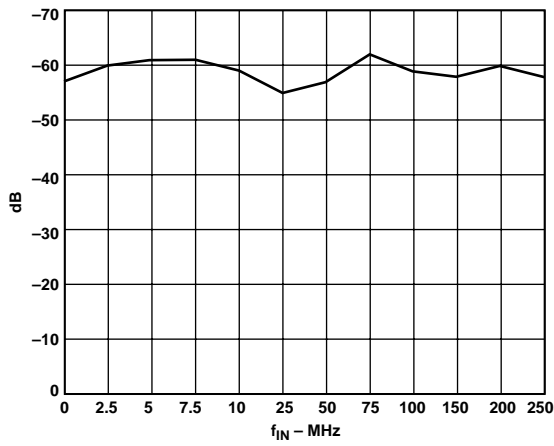


図11．クロストークとf_{IN}の関係：f_s = 140 MSPS

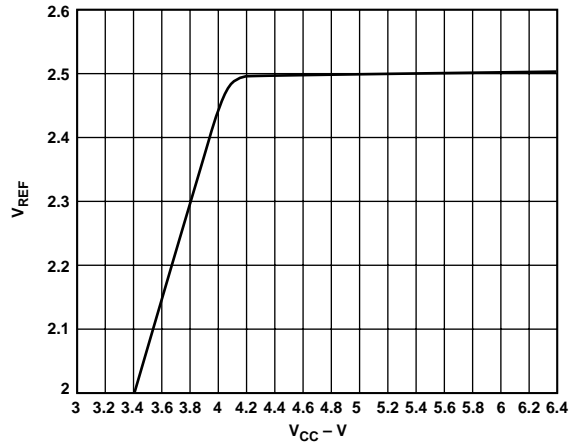


図14．基準電圧と電源電圧の関係

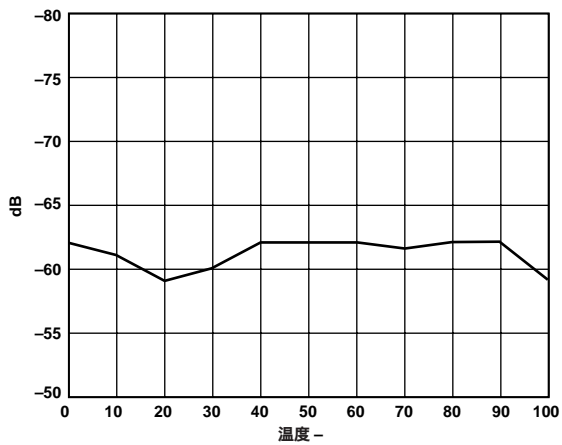


図12．クロストークと温度の関係：f_{IN} = 70 MHz

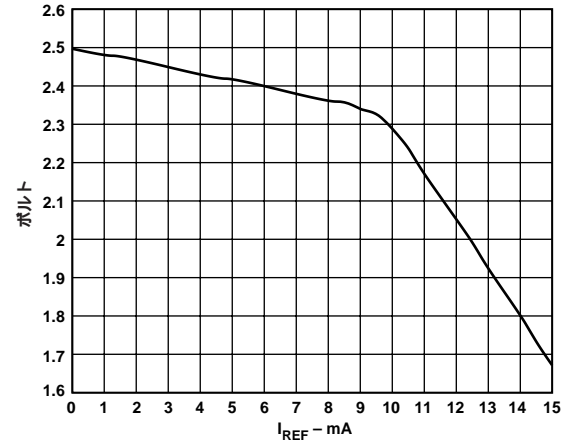


図15．基準電圧と基準電圧負荷の関係

AD9483 代表的な性能特性

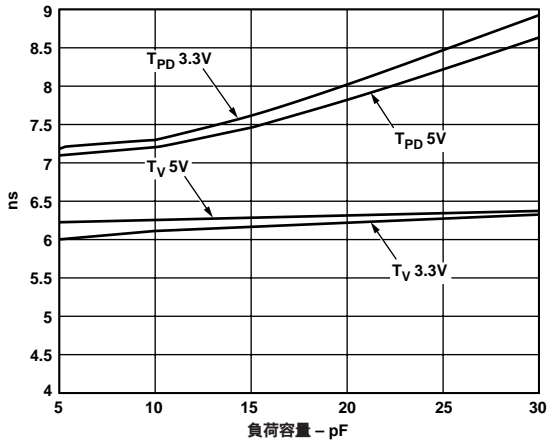


図16．クロック出力遅延と容量の関係

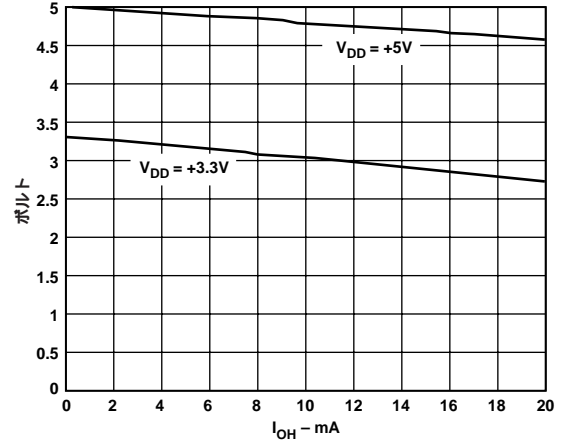


図19．出力電圧HIGHと出力電流の関係

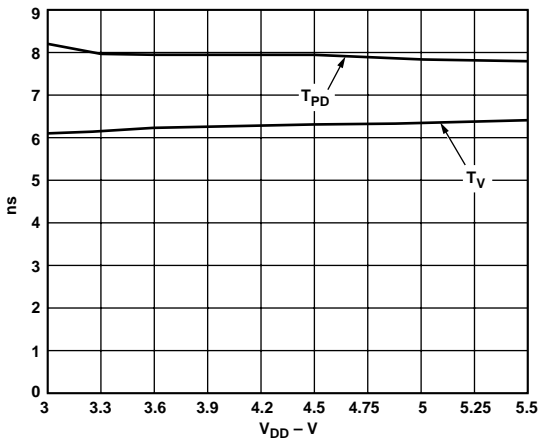


図17．出力遅延とV_{DD}の関係

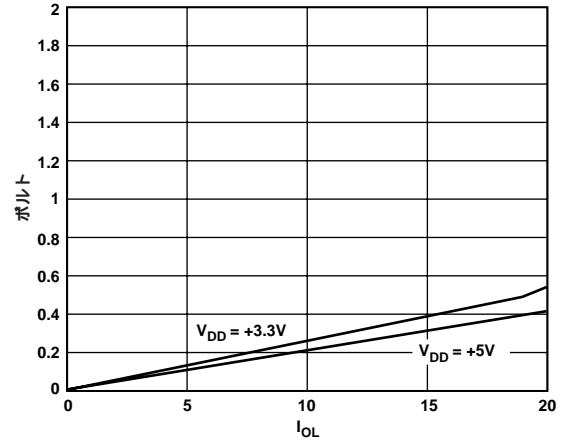


図20．出力電圧LOWと出力電流の関係

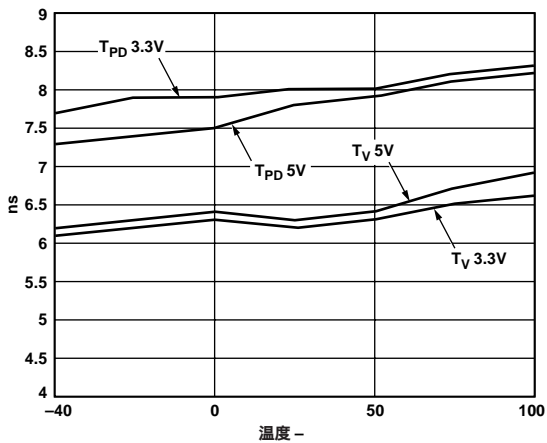


図18．出力遅延と温度の関係

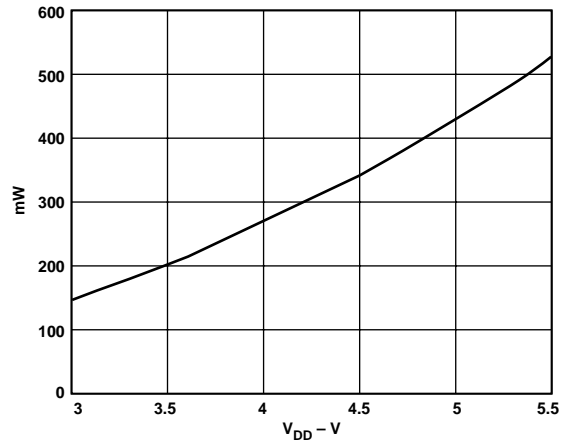


図21．出力電力とV_{DD}の関係、C_{LOAD} = 10 pF

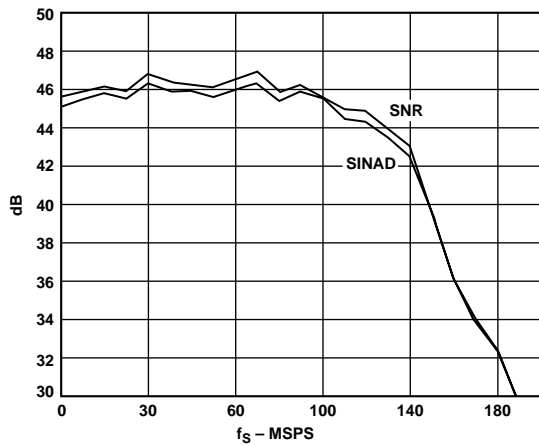


図22 . SNRと f_s の関係 : $f_{IN} = 19.7$ MHz

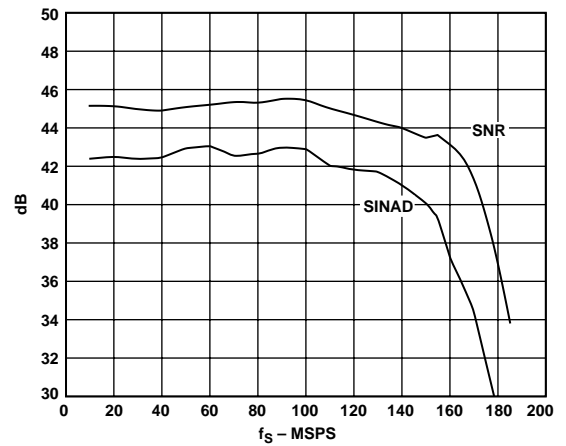


図25 . SNRと f_s の関係 : $f_{IN} = 71.7$ MHz

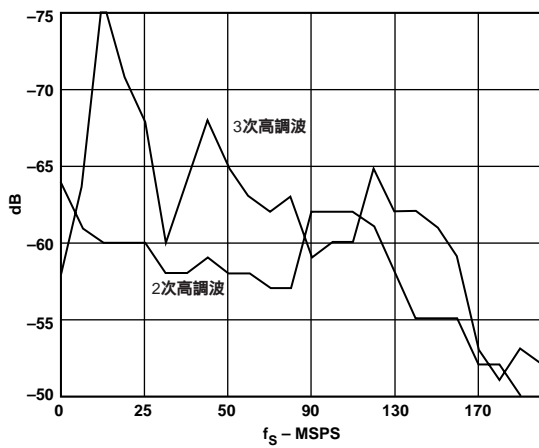


図23 . 高調波歪みと f_s の関係 : $f_{IN} = 19.7$ MHz

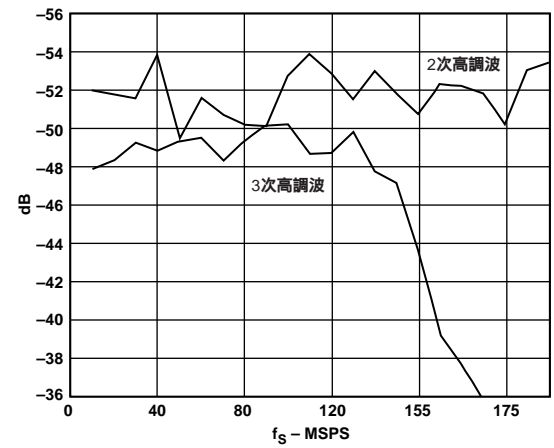


図26 . 高調波歪みと f_s の関係 : $f_{IN} = 71.7$ MHz

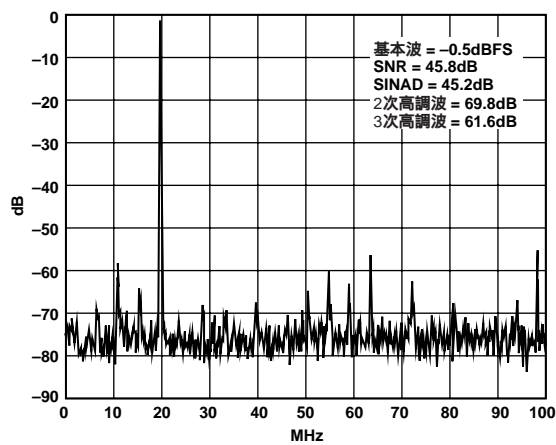


図24 . スペクトル : $f_s = 140$ MSPS、 $f_{IN} = 19.57$ MHz

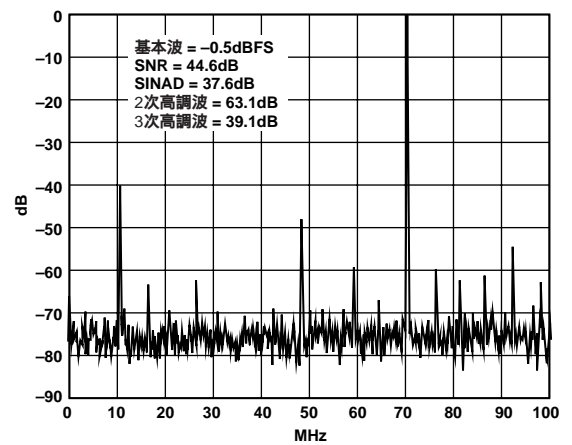


図27 . スペクトル : $f_s = 140$ MSPS、 $f_{IN} = 70.3$ MHz

AD9483

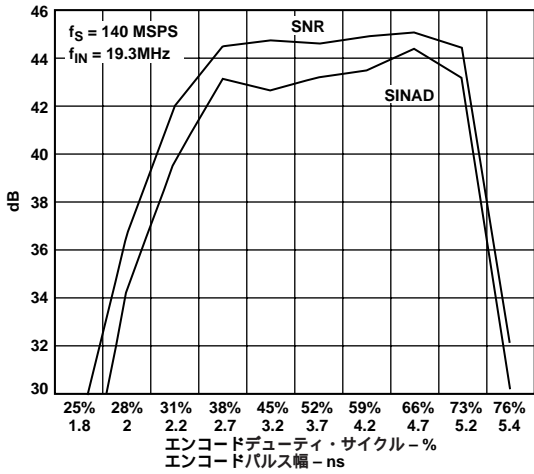


図28 . SNRとクロック・パルス幅(t_{PWH})の関係: $f_s = 140$ MSPS

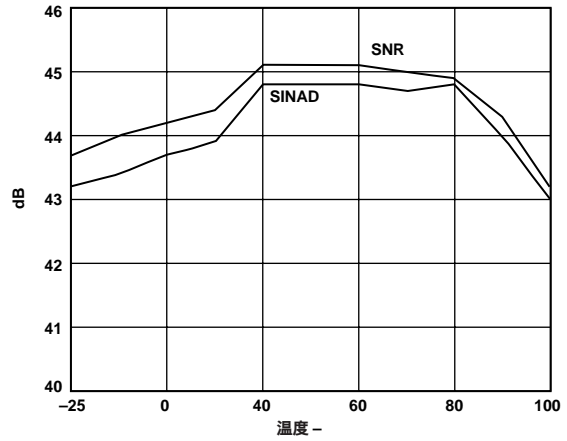


図31 . SNRと温度の関係: $f_s = 140$ MSPS

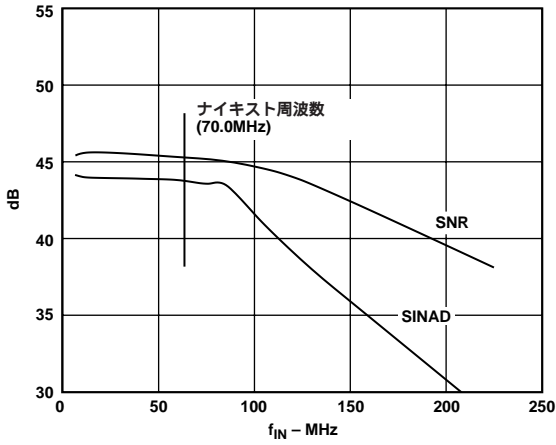


図29 . SNRと f_{IN} の関係: $f_s = 140$ MSPS

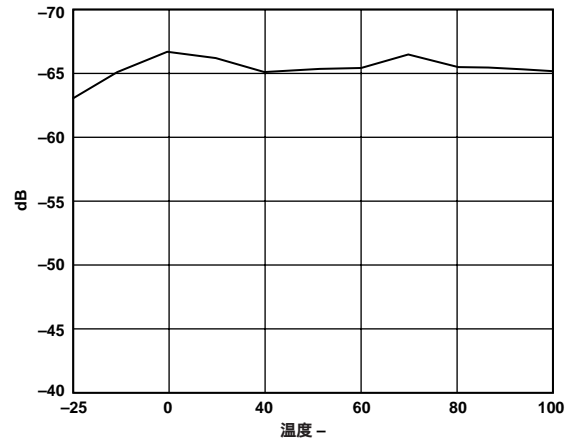


図32 . 2次高調波と温度の関係: $f_s = 140$ MSPS

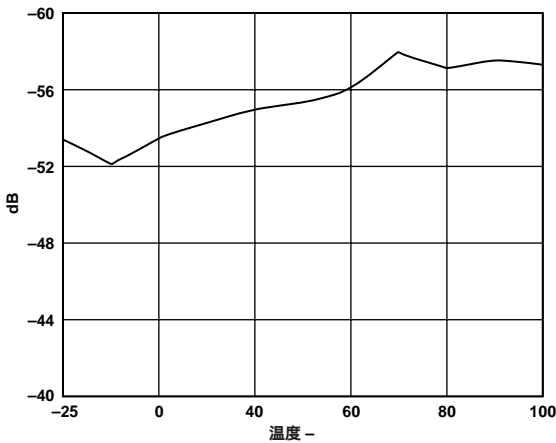


図30 . 3次高調波と温度: $f_s = 140$ MSPSの関係

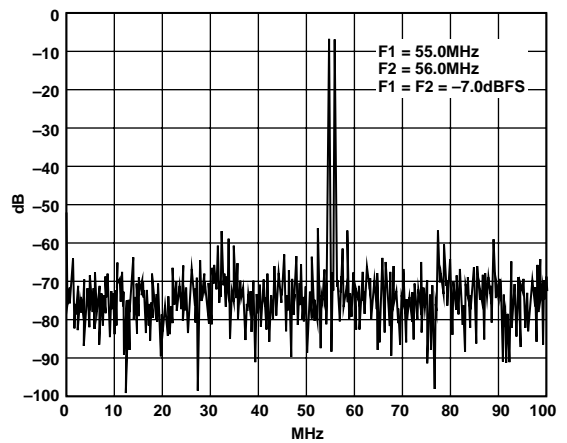


図33 . 2周波相互変調歪み

アプリケーション・ノート

動作原理

AD9483は、アナログ・デバイセズ社の特許MagAmpビット・パー・ステージ・アーキテクチャと低消費電力の高性能ADCを実現するフラッシュ・コンバータ技術を組み合わせたものです。使い易くするために、基準電圧とTTLレベル、CMOSレベルまたはPECLレベルを受け付ける入力ロジックを内蔵しています。

3つの各アナログ入力信号は高速差動アンプによりバッファされ、トラック&ホールド(T/H)回路に入力されます。このT/Hはサンプリング時の入力値を取り込み、変換の間それを保持します。サンプリングと変換プロセスはENCODE入力の立上がりエッジで起動されます。T/Hにより信号が取り込まれると、MagAmpの列により上位4ビットがシーケンシャルにエンコードされます。その後、フラッシュ・コンバータの列により残りの信号がエンコードされて、下位4ビットが発生されます。コンバータ出力はデコードされて、8ビットの変換結果に組み立てられます。

シングル・チャンネル・モード(OVS=HIGH)を選択すると、8ビット・データ・ワードはA出力バンクに接続されます。データは、ENCODE入力の立上がりエッジでストロープされて出力され、4パイプラインの遅延を持ちます。デュアル・チャンネル・モード(OVS=LOW)を選択すると、データはA出力バンクとB出力バンクに交互に接続され、データは5パイプラインの遅延を持ちます。パワーアップでは、Nサンプル・データがAポートまたはBポートに出力されます。データを既知の状態に並べるためには、ユーザーがDATA SYNC(DS、 \overline{DS})をタイミングの節で述べた条件にしたがい、ストロープを与える必要があります。

グラフィックス・アプリケーション

広い帯域幅と低消費電力により、AD9483はサンプル済み波形のデジタイズを必要とするアプリケーションに対して非常に魅力的なデバイスになっています。このサンプル済み波形の特徴は、入力信号のレベルからレベルへの変化は急峻ですが、時間周期は比較的安定していることです。例えば、コンピュータ・グラフィックス・ディスプレイ・システムや非常に高速なソリッド・ステート・イメージャの出力のデジタイズなどがこれに該当します。

これらのアプリケーションでは、サンプリング・レートを遙かに超える周波数成分を持つ入力(サブナノ秒の立上がり時間)を処理できるコンバータを必要とします。入力が処理された後、A/D変換がされ、1ピクセル時間より遙かに短い間に入力をサンプルする必要があります。従来型のフラッシュ・アーキテクチャは、駆動が困難な程大きな入力容量を持つだけでなく、大きなスルー・レートの信号に対して誤差が大きくなる欠点があります。AD9483のアーキテクチャはこの従来型フラッシュ・アーキテクチャより遙かに優れています。AD9483の極めて広い帯域幅を持つトラック/ホールド回路はこれらの信号を難なく処理します。

AD9483の使用法

AD9483を使用する場合は、良質の高速デザインの手法に従う必要があります。デカップリング・キャパシタをできるだけチップの近傍に接続して、その効果を最大にする必要があります。電源ピンとグラウンド・ピンの各対(合計14)に、高周波デカップリング用に0.1 μ Fのキャパシタとローカル低周波デカップリング用に10 μ Fのキャパシタを配置することをお奨めします。3本の各VREF INピンも0.1 μ Fキャパシタを使用してデカップリングする必要があります。

デバイスを厚いグラウンド・プレーン上に実装し、出力パターン長を短くして(1インチ以下)伝送線効果を最小にする必要があります。このようにすると、出力バス上に終端抵抗が不要になり、駆動

する負荷容量が小さくなり、その結果として出力での大きな電流から生ずるオンチップ・ノイズを小さくすることができます。評価ボード上で、全てのV_{CC}ピンをノイズのないアナログ電源システムに接続し、全てのGNDピンをノイズのないアナログ・システム・グラウンドに接続することにより、最適性能を得ています。

最小エンコード・レート

AD9483の最小サンプリング・レートは、140 MSPSバージョンと100 MSPSバージョンに対して10 MHzです。このサンプリング・レートを実現するため、トラック/ホールド回路では、非常に小さいホールド・キャパシタを使用しています。最小保証サンプリング・レートより下で動作させると、T/H電圧の低下が大きくなります。これは先ずオフセット電圧の増加として見られ、続いて周波数を下げると直線性の劣化として現れます。

低い実効サンプリング・レートは、コンバータをデュアル・ポート出力モードで動作させて、1つの出力チャンネルだけを使用することにより、容易にサポートすることができます。AD9483で消費される主要な電力はスタティック(変換レートに無関係)であるため、所要レートの2倍でクロック駆動しても大きな負担になりません。

デジタル入力

SNR性能はA/Dコンバータ内でのサンプリング・クロックの安定性に直接関係し、高い入力周波数と広い帯域幅では特にその傾向があります。

ENCODEとData Select(DS)は差動またはシングル・エンドで駆動することができます。シングル・エンド動作の場合、反転入力(ENCODE、 \overline{DS})は内部で高インピーダンスのオンチップ抵抗デバイス(図5)によりV_{DD}/3(約1.5V)にバイアスされていますが、必要に応じて、外部から駆動して別のスレッシュホールドに設定することもできます。TTLまたはCMOSロジックに適するスレッシュホールドを維持するためには、グラウンドに接続した0.1 μ Fのデカップリング・キャパシタの使用で十分です。差動で駆動するときは、ENCODEとDSは、1.5Vと4.5Vの間に集中する合計差動振幅 800 mV(V_{ID} 400 mV)の差動信号を受け付けます。

図5に示す6個のダイオードを使用するクロック入力保護回路に注意してください。この回路は差動入力電圧を ± 2.1 Vに制限します。ダイオードがターンオンすると、電流は300 Ω の直列抵抗により制限されます。2.1Vを超える差動入力にはコンバータの性能に影響を与えませんが、コンバータの非直線性インピーダンスにより発生することがあるクロック信号の歪みには注意が必要です。

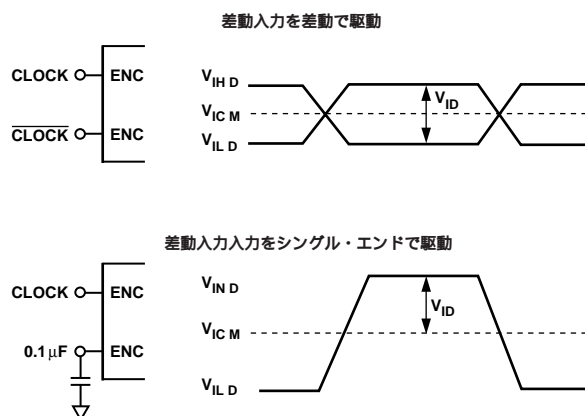


図34. 入力信号レベルの定義

AD9483

ADCゲインの制御

ADCの3チャンネルのそれぞれは、互いに独立に制限されるゲイン制御を持っています。ADCのフル・スケール信号振幅は、VREF Inピン上のDC電圧で設定します。フル・スケール振幅をVREF Inに關係づける式は、 $FS = (0.4) \times (VREF\ IN)$ です。3個のADは振幅1 Vのフル・スケール信号に対して最適化されていますが、最大±10%の変化まで許容できます。

ADCオフセットの制御

各3チャンネルのオフセットは、独立に制御することができます。アナログ入力基準に接続されているシングル・エンド・アナログ入力の場合、基準のDC電圧を調整するだけでオフセットを調整することができます。差動アナログ入力の場合は、信号の中でオフセットを用意する必要があります。コモン・モード入力範囲でオフセットを上下に調整することができます。

消費電力

AD9483の消費電力には、 V_{CC} と V_{DD} の2つ成分があります。 V_{CC} の消費電力は電源電圧に対して比較的一定していますが、 V_{DD} の消費電力は大きく変化します。 V_{CC} からはアナログ回路に電源が供給されます。 V_{DD} からはデジタル出力に電源が供給され、その値は次式で近似されます。

$$P(V_{DD}) = 1/2 C \times V^2 \times F \times N$$

C = 出力負荷容量

V = V_{DD} 電源電圧

F = エンコード周波数

N = 出力スイッチング数

公称値は、C = 10 pF、V = 3.3 V、F = 140 MSPS、N = 26で、Nの内訳は出力24ビットと2本のクロック出力です。P(V_{DD}) = 197 mWが得られます。

パワーダウン

パワーダウン機能を使うと、出力データが不要な場合に消費電力を削減することができます。ピン76(PD)にTTL/CMOSのHIGH信号を入力すると、チップの大部分をシャットダウンして合計消費電力を100 mWより小さな値にします。内部バンドギャップ基準電圧がパワーダウン・モード中も動作を続けて応答時間を短く保っています。パワーダウンが不要な場合は、PDピンをグラウンドに接続するか、あるいはTTL/CMOSのLOWレベルに維持する必要があります。

バンドギャップ基準電圧

AD9483の内部基準電圧VREF OUT(ピン97)は、多くのアプリケーションに対して簡単に経済的な基準電圧を提供します。この基準電圧は、電源と温度の変化に対して適切な精度と優れた安定性を示しています。基準電圧出力を使用して、3つのADCのゲインとオフセットを設定することができます。この基準電圧は、AD9483の所要分の他に最大1 mAの電流を供給することができます。

ADCゲインとオフセットは基準電圧入力を使用して設定するため、アプリケーションによっては、精度または温度の性能がこれより優れた基準電圧を必要とする場合があります。このような場合は、外部基準電圧を直接VREF INピンに接続することができます。VREF OUTを使用しない場合は、フローティング状態にしておきます。3本の各VREF INピンは最大1 mAの電流を必要とすることに注意してください。

動作モード

AD9483には、シングル・チャンネル出力モード、2種類のデータ・フォーマットを持つデュアル・チャンネル出力モード、インターリーブまたはパラレルの3つの動作モードがあります。ピン74のOutput Mode Select(OMS)とピン75インターリーブ/Parallel Select(I/P)の2本のピンにより、チップの動作モードを制御します。表IIに、各モードに対応する設定を示します。

表II . 出力モードの選択

モード	OMS	I/P
デュアル・チャンネル - パラレル	LOW	LOW
デュアル・チャンネル - インターリーブ	LOW	HIGH
シングル・チャンネル	HIGH	関係ナシ

デュアル・チャンネル出力モード

デュアル・チャンネル・モード(ピン74 OMS = LOW)では、ADC出力データが交互に2つの出力ポート(ポートAとポートB)に接続されます。この動作により、データ出力レートがENCODEのレートの1/2に制限され、変換レートは最大140 MSPSになります。デュアル・チャンネル出力モードは100 MSPSを超える保証動作に対して推奨されませんが、任意に指定された変換レートでも使用可能です。

デュアル・チャンネル出力モードでは、パラレル・データ出力とインターリーブ・データ出力の2種類のデータ・フォーマットが可能です。パラレル・フォーマットに対しては、ピン75のI/PをLOWに、インターリーブ・フォーマットに対してはHIGHに、それぞれ指定します。図1と図2に、各フォーマットのタイミング条件を示します。デュアル・チャンネル出力モード内では、両フォーマットに対してData Sync入力(DS)が必須なことに注意してください。Data Sync入力の条件は、Data Syncの節で説明します。

図1と図2に示すように、インターリーブ・データ・フォーマットを使用する場合は、サンプルがENCODEの立上がりエッジNで行われます。結果のデータは、サンプルが行われた後の5番目のENCODEの立上がりエッジの後に出力ポートに出力されます(5パイプライン遅延)。次のサンプル(N+1)は反対側のポートに出力され、そこでもサンプル後にパイプライン遅延があります。

サンプル取得時のCLKOUTの状態がデータを出力するポートを決定します。CLKOUTがLOWの場合はポートAに、CLKOUTがHIGH場合はポートBに、それぞれデータが出力されます。

2つの出力データ・ポートでパラレル・データ・フォーマットを使うためには、データは内部で整列されている必要があります。これは、Aデータ・ポートにパイプライン遅延を追加することにより行われます。このため、ポートAに出力されるデータは6パイプライン遅延を持つことになり、ポートBに出力されるデータは5パイプライン遅延を持ちます。インターリーブ・フォーマットの場合と同様に、サンプル取得時のData Syncの状態がデータを出力するポートを決定します。CLKOUTがLOWの場合はポートAに、CLKOUTがHIGH場合はポートBに、それぞれデータが出力されます。

データ同期

多くのアプリケーションで得られたサンプルを出力する出力ポートを確実にするために、Data Sync入力DSを駆動する必要があります。DSがHighのときは、ADCデータ出力とクロック出力は切り替えられず、固定のままです。DSが加えられると、その立下がりエッジで、ENCODEの立下がりエッジに対するタイミング条件TSDSとTHDSを維持するように同期が行われます(初期同期ではTHDSは関係しません)。DSがENCODEの立下がりエッジNのTSDSだけ前にLowになると、その時点のアナログ値がデジタイズされて、5サイクル後にポートAに出力されます(インターリーブ・モード)。その直後のサンプルN+1は、ENCODEの次の立下がりエッジでサンプルされて、そのENCODEエッジから5サイクル後にポートBへ出力されます(インターリーブ・モード)。デュアル・パラレル・モードでは、デュアルプレクス出力モードの節で説明したように、Aポートは6サイクルの遅延を、Bポートは5サイクルの遅延をそれぞれ持ちます。

必要に応じて、水平同期信号(HSYNC)を使って、DSを1ビデオライン毎に加えることができます。HSYNCの先頭は、アクティブビデオ部の終わりから少なくともチップ・潜在時間以内に開始される必要があります。通常のSXGAシステムでは、HSYNCフロントポーチは、通常、この値より遙かに大きい値を持っています。システムがこれに該当する場合は、HSYNCの前縁でDSをHighにリセットすることができます(通常のシステムでは、この時点のサンプルは使用されません)。その後で、HSYNCの後縁で(ENCODEの次の立下がりエッジのTSDSを見て)DSを加える(Lowにすること)ができます。先頭のピクセルデータは、HSYNCがHighになった後のENCODEの先頭の立下がりエッジから5サイクル後にAポートに出力されます。

DSを駆動しない場合には、データ・クロック出力の位相とソフトウェア・プログラミングを使ってこれに対処することができます。データ・クロック出力(CLKOUTと $\overline{\text{CLKOUT}}$)を使って、出力ポートでデータが有効なタイミングを知ることができます。これらのケースでは、DSをグランドに接続し、 $\overline{\text{DS}}$ をフローティングまたは V_{CC} に接続します。サンプル取得時にCLKOUTがLowであった場合は、5サイクル後にそのデジタル値がポートAに出力されます。シングル・チャンネル・モードを選択した場合は、Data Syncは無視されるのでグランドに接続しておきます。

図2に、DSの使用方法を示します。DSがHIGHの場合には両ポートからデータ出力がないということ以外に、DSの立下がりエッジには特別なタイミング条件はありません。しかし、DSの立下がりエッジの方は、ENCODEの立下がりエッジに対する最小セットアップ・タイムとホールド・タイムを満たす必要があります。

シングル・チャンネル出力モード

シングル・チャンネル・モード(ピン74 OMS = HIGH)では、AD9483のタイミングは高速ADC(図1)に似ています。サンプルは各ENCODEの立下がりエッジで行われ、結果のデータがサンプル後の4つ目のENCODEの立下がりエッジで出力ピンに出力されます(4パイプライン遅延)。出力データはENCODEの立下がりエッジから t_{PD} 後に有効になり、次のENCODEの立下がりエッジの少なくとも t_{V} 後まで有効です。

このモードでの最大変換レートは100 MSPSに制限されます。100 MSPSでは、保証出力データ有効時間から伝搬遅延を引くと4 nsしか残らないためです。これは、標準ロジックが適切な設計余裕を持ってデータを取り込むことができる速度にほぼ匹敵します。データを取り込むことができる場合、他のモードよりこのモードの方がAD9483は高速動作することができます。シングル・チャンネル・モードでの動作では、全データはAポートから出力されます。Bポートはいずれかの状態に固定されています。

データ・クロック出力

データ・クロック出力は、2種類の周波数でスイッチされます。最大エンコード・レートで全データがポートAから出力されるシングル・チャンネル・モードでは、データ・クロック出力はENCODEと同じ周波数でスイッチされます。それぞれが最大エンコード・レートの1/2で動作する2つのポート間でデータが交互に出力されるデュアル・チャンネル・モードでは、データ・クロック出力も、最大エンコード・レートの1/2でスイッチされます。

データ・クロック出力には2つの用途があります。1つ目は、出力データの取り込み時にラッチ信号として使用することです。これを行うときは、該当するデータ・クロック出力でデータ・ラッチを単純に駆動します。デュアル・チャンネル・データ・モードでの2つ目の用途は、データを出力するデータ・ポートの決定を支援することです。タイミング図については、図2を参照してください。ただし、このモードでは、データ・クロックの立下がりエッジは、データ・ポートBのデータ・スイッチングに対応しています。

レイアウトとバイパスでの考慮事項

AD9483に対しては、適切な高速回路のレイアウト技術とバイパス技術を適用する必要があります。VCCとVDDの各電源ピンは、ピンのできるだけ近くに0.01 μF ~ 0.1 μF のキャパシタを配置してバイパスする必要があります。また、1電源当たりおよび1ボード当たりグランドに接続した1個の10 μF キャパシタを使用することも必要です。VREF OUTピンと3本の各VREF INピンも、0.01 μF ~ 0.1 μF キャパシタを使用してグランドにバイパスする必要があります。

AD9483の下と周囲には、一枚構成のしっかりした低インピーダンス・グランド・プレーンを使う必要があります。変化されやすいアナログ信号(AIN、VREF)とデジタル信号を可能な限り分離してください。デジタル出力の容量性負荷は最小にします。これは、パターンを短くし、クロック出力に対しては駆動するデバイス数を少なくすることにより実現することができます。AD9483にはソケットを使用しないでください。同類の信号(ENCODE入力、アナログ入力、デジタル出力)のパターン長を同じにして伝搬遅延の不一致が生じないようにします。

電源

パワーアップ時には、 V_{DD} より先に V_{CC} が立上がる必要があります。 V_{CC} は公称の5.0 V(±5.0%)のコンバータ電源を、 V_{DD} は公称3.3 V(±10%)または公称5.0 V(±5%)の出力電源をそれぞれ想定しています。パワーオフ時は、 V_{DD} が先にターンオフする必要があります。この正しい電源手順に従わないと、このデバイスは損傷を受けることがあります。

AD9483

評価ボード

AD9483評価ボードは、AD9483の容易なテスト方法を提供します。このボードは、アナログ入力のACまたはDCバイアスを提供し、シングル・モード、デュアル・パラレル・モード、デュアル・インターリーブ・モードに対する出力ラッチ・クロックを発生します。各3チャンネルは再生用のDACを持っています(Aポートのみ)。このボードは、複数の動作モードを持ち、次の設定で出荷されます。

- ・シングル・エンドAC結合アナログ入力(グランド中心の1V_{p-p})
- ・差動クロック入力(PECL)(TTL駆動についてはエンコードの節を参照)
- ・内部基準電圧をバッファ付きオンチップ基準電圧(VREF OUT)に外部で接続
- ・デュアル・モード・インターリーブに設定済み

アナログ入力

AC結合入力モード(ジャンパ設定W4、W5、W12、W13、W18、W17でジャンパ・ピン1とジャンパ・ピン2を接続)で、評価ボードはグランドを中心とする1V_{p-p}入力信号を受け付けます。この信号は、オンチップ基準電圧により2.5Vにバイアスされます。折り返しノイズを避けるために、サンプリングの前に入力信号を帯域制限しておく(フィルタを通す)必要があります。アナログ入力は、ボード上でグランドに接続した75Ω抵抗を使用して終端されます。アナログ入力はボードの上部で0.1μFキャパシタC2、C4、C6を使用してAC結合されます。低い周波数入力をサポートするためにこれらの値を大きくするときは、必要に応じて、ボード下部にあるテスト・ポイントPR1~PR6を使って行うことができます。DC結合入力モード(ジャンパ設定W4、W5、W12、W13、W18、W17でジャンパ・ピン3とジャンパ・ピン2を接続)では、このボードはビデオ・レベル信号(0mV~700mV)を受取り、信号はレベル・シフトされてAD8055ブリアンプにより1V_{p-p}に増幅されます。トリム・ポットR98~R100を使用して、ADC入力でのDC黒レベルを2Vに調整します。

ENCODE

AD9483のENCODE入力は次の2つの方法で駆動することができます。

1. 差動PECL(公称V_{LO}=3、V_{HI}=4)。このモードで出荷されます。
2. シングル・エンドTTLまたはCMOS(ENCODE 50 終端抵抗R10を取り外して、0.1μFのキャパシタC7を追加)。

デザイン・ノート
パラレルの最大周波数は140 MHz。
インターリーブの最大周波数は140 MHz。
シングルの最大周波数は100 MHz。
DSは50Ω抵抗を通してグランドに接続。
DSはフローティング。

基準電圧

AD9483は2.5V電圧基準(VREF OUT)を内蔵しています。これはボード上の外部でバッファされ、追加レベル・シフトを行う回路をサポートします(アプリケーション内でバッファ無しのレベル・シフトが不要な場合、AD9483 VREF OUTピンはアプリケーション内の3本のVREF INピンを駆動することができます)。代わりに外付け基準電圧を使って、各VREF INピンを独立に駆動することもできます(W14、W15、W16のジャンパを外す必要があります)。

シングル・チャンネル・モード

シングル・チャンネル・モードでは、出力ポートAのみに各クロック・サイクルでデータが出力されるようにAD9483が設定されます。シングル・チャンネル・モードでの最大速度は100 MSPSです。

デュアル・チャンネル・モード(エンコード・クロックの1/2で出力)デュアル・チャンネル・インターリーブ

ポートAとポートBの間で交互にデータが出力されるようにADCが設定されます。このモードでの最大速度は140 MSPSです。

デュアル・チャンネル・パラレル

ポートAとポートBに同時にデータが出力されるようにADCが設定されます。このモードでの最大速度は140 MSPSです。

DAC Out

DAC Outは、出力ポートAでのみのデータ出力形式です。DACはボード上で75Ωで終端されます。DAC出力でのフル・スケール電圧振幅は、75Ωで外部終端時に(二重終端)公称0mV~800mVです。出力ポートBには出力がありません。DAC出力はフィルタされておらず、サンプリング・ノイズが含まれています。DACはW1、W2、W3を使ってパワーダウンさせることができます(ジャンパはインストールされていません)。

Data Ready

ADC出力をラッチする出力クロックは、25ピン・コネクタのピン1に出力されています。反転信号はピン14に出力されています。クロックはボード上で75Ω終端(V_D/2へのテブナン終端)されています。これらクロック出力のタイミングはW9、W10を使って反転することができます(ジャンパはインストールされていません)。

回路図

評価ボードの回路図を次に示します(図39には、ADCのバイパス・キャパシタは表示してありません)。

表III. 評価ボードのジャンパ設定

モード	W7(OMS)	W6(I/P)	WQ11(A_LAT)	W11(B_LAT)
デュアル・チャンネル/パラレル	LOW	LOW	DATA_CLK_OUT(4-5)	DATA_CLK_OUT(2-3)
デュアル・チャンネル/インターリーブ	LOW	HIGH	DATA_CLK_OUT(5-6)	DATA_CLK_OUT(2-3)
シングル	HIGH	ナシ	DATA_CLK_OUT(5-6)	NC

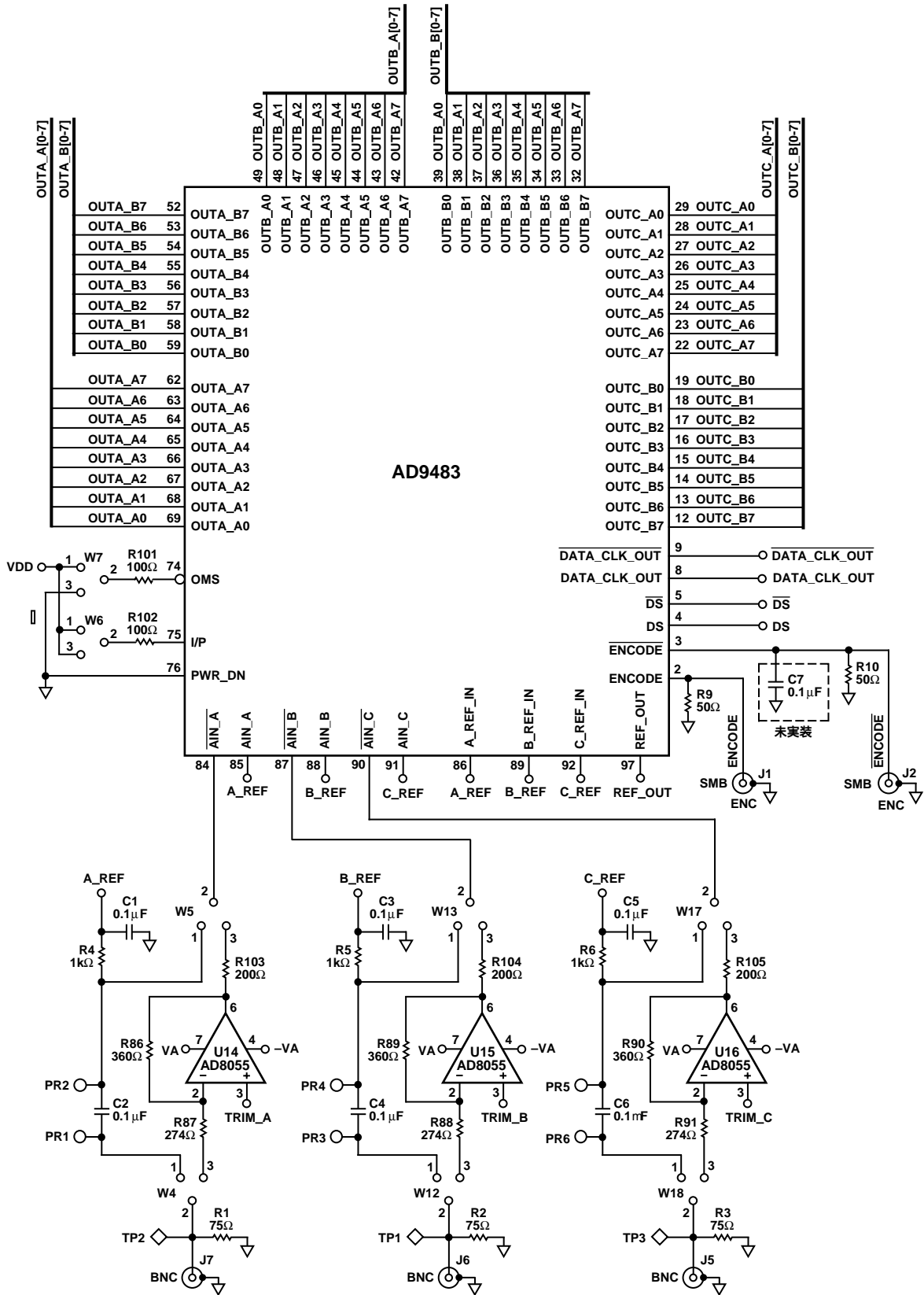


図35 . ADCおよびプリアンプ部

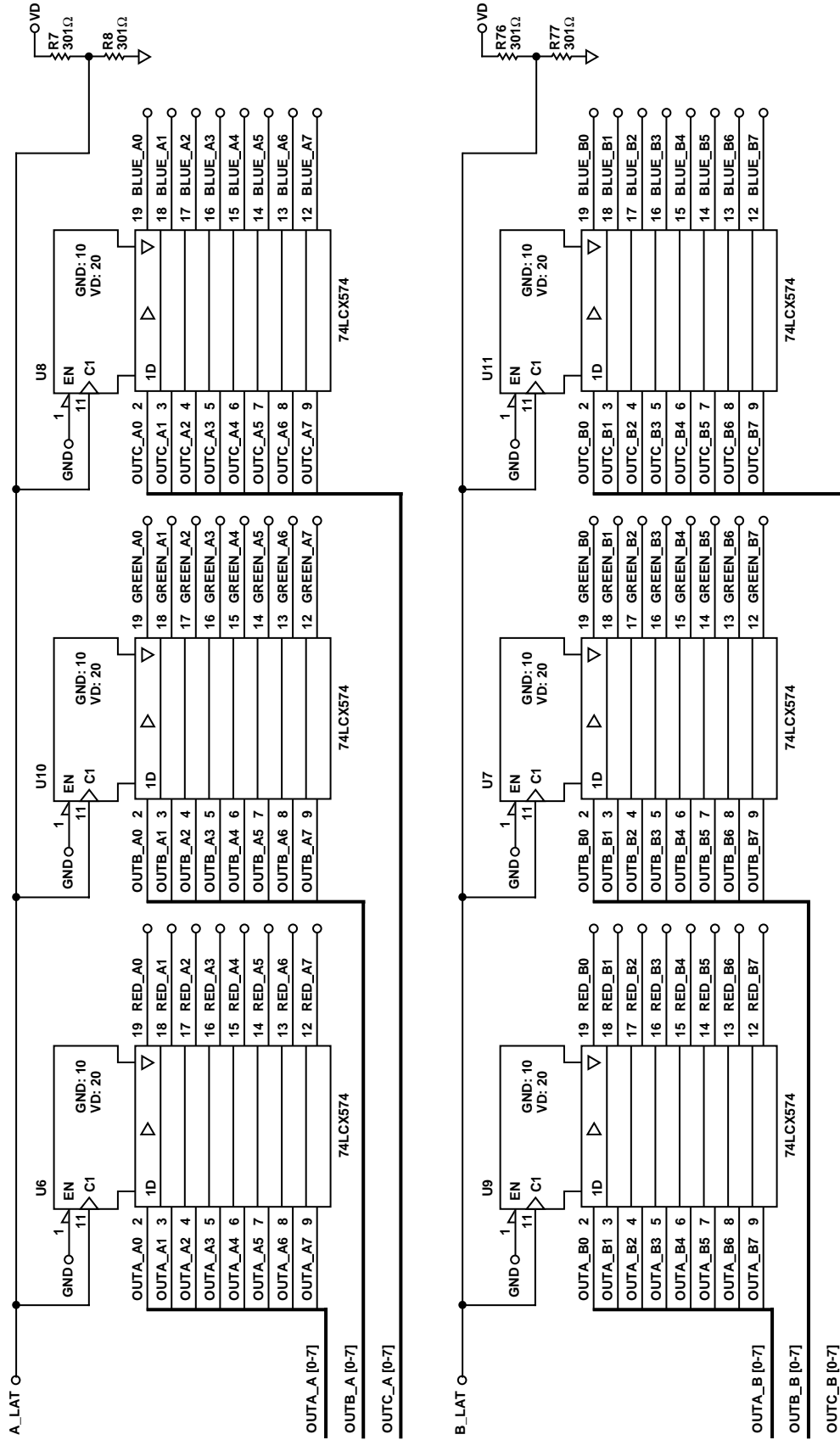


图36 . 出力ラッチ部

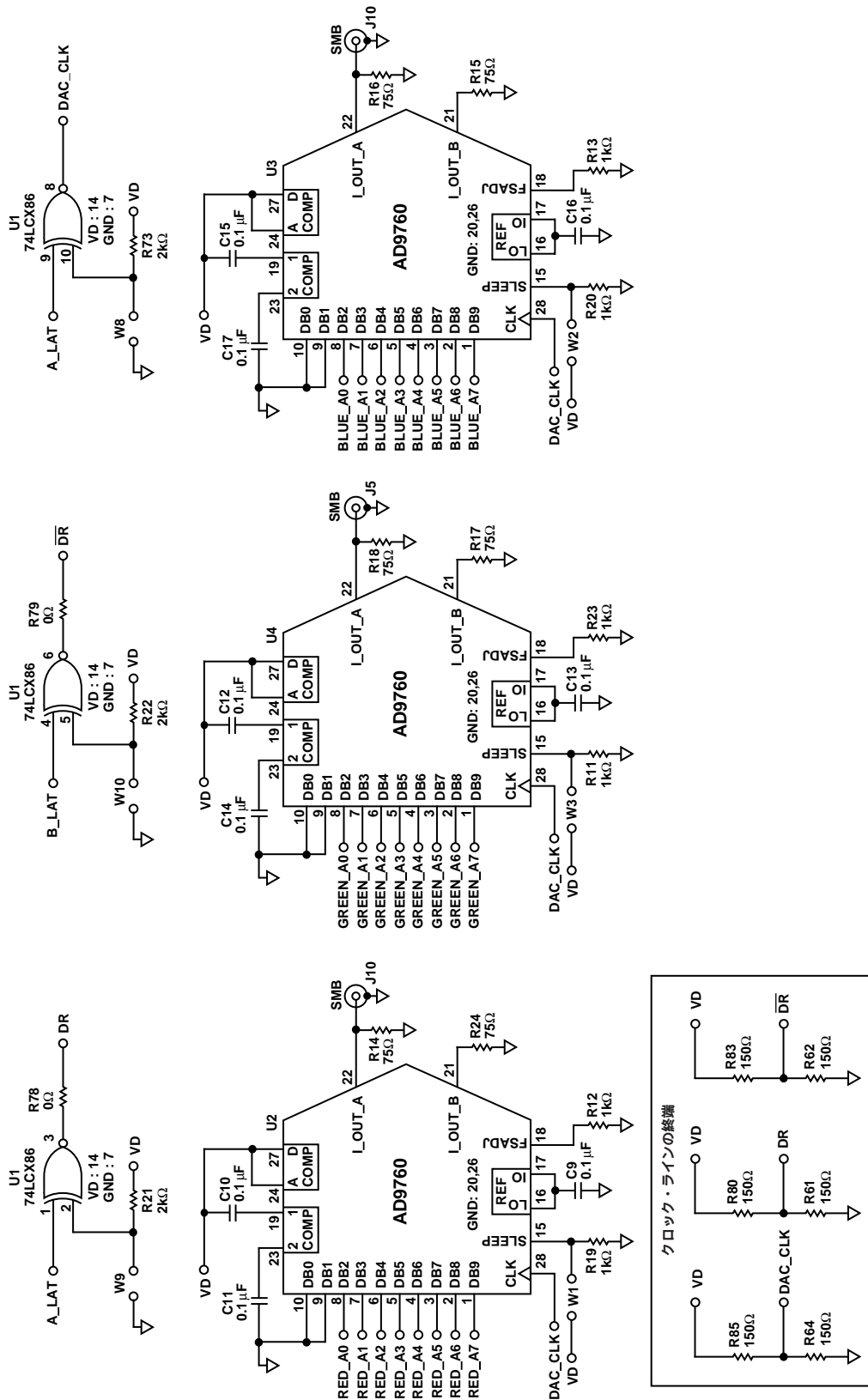


図37. DACおよびクロック・バッファ部

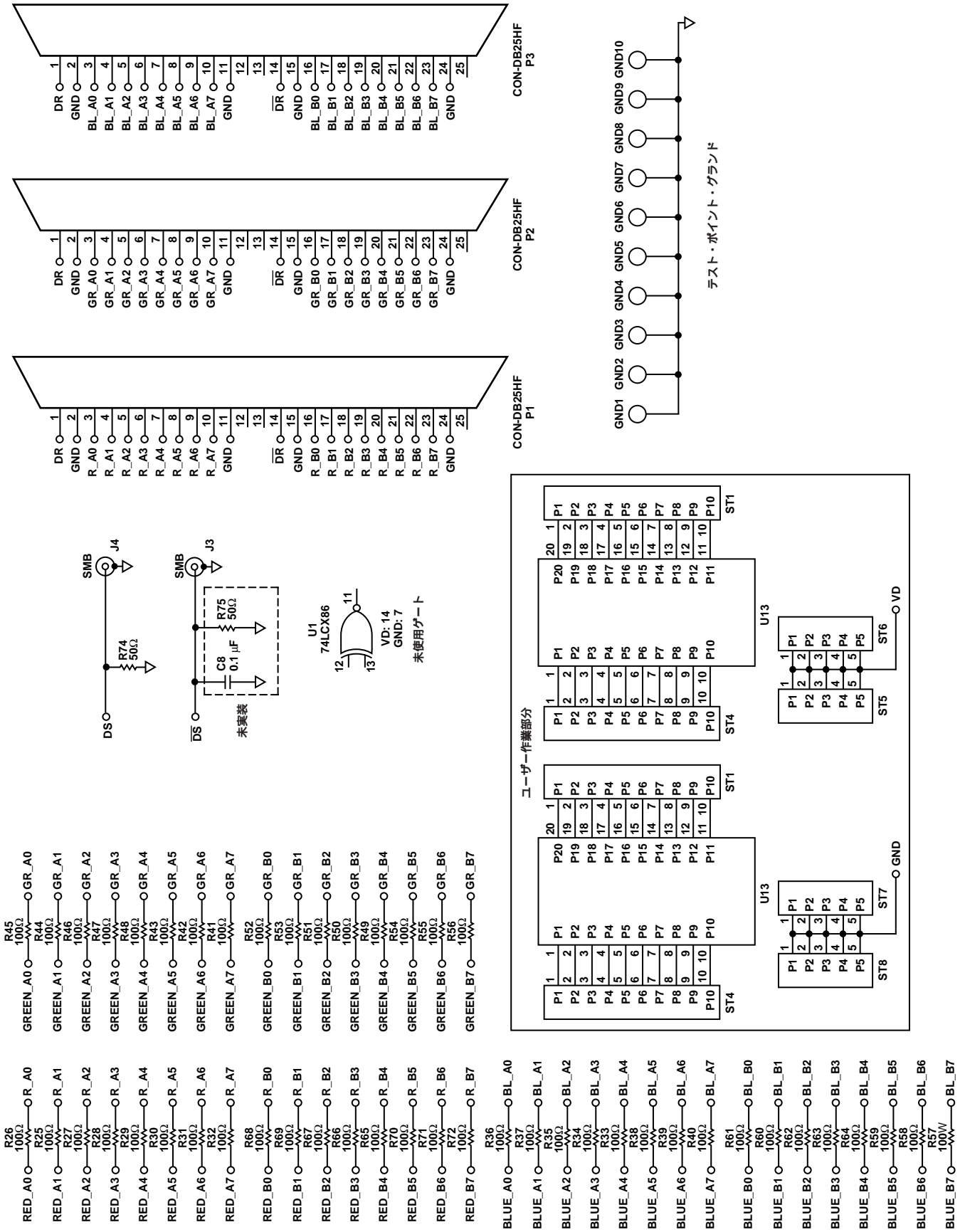


図38. デジタル出力コネクタおよび終端部

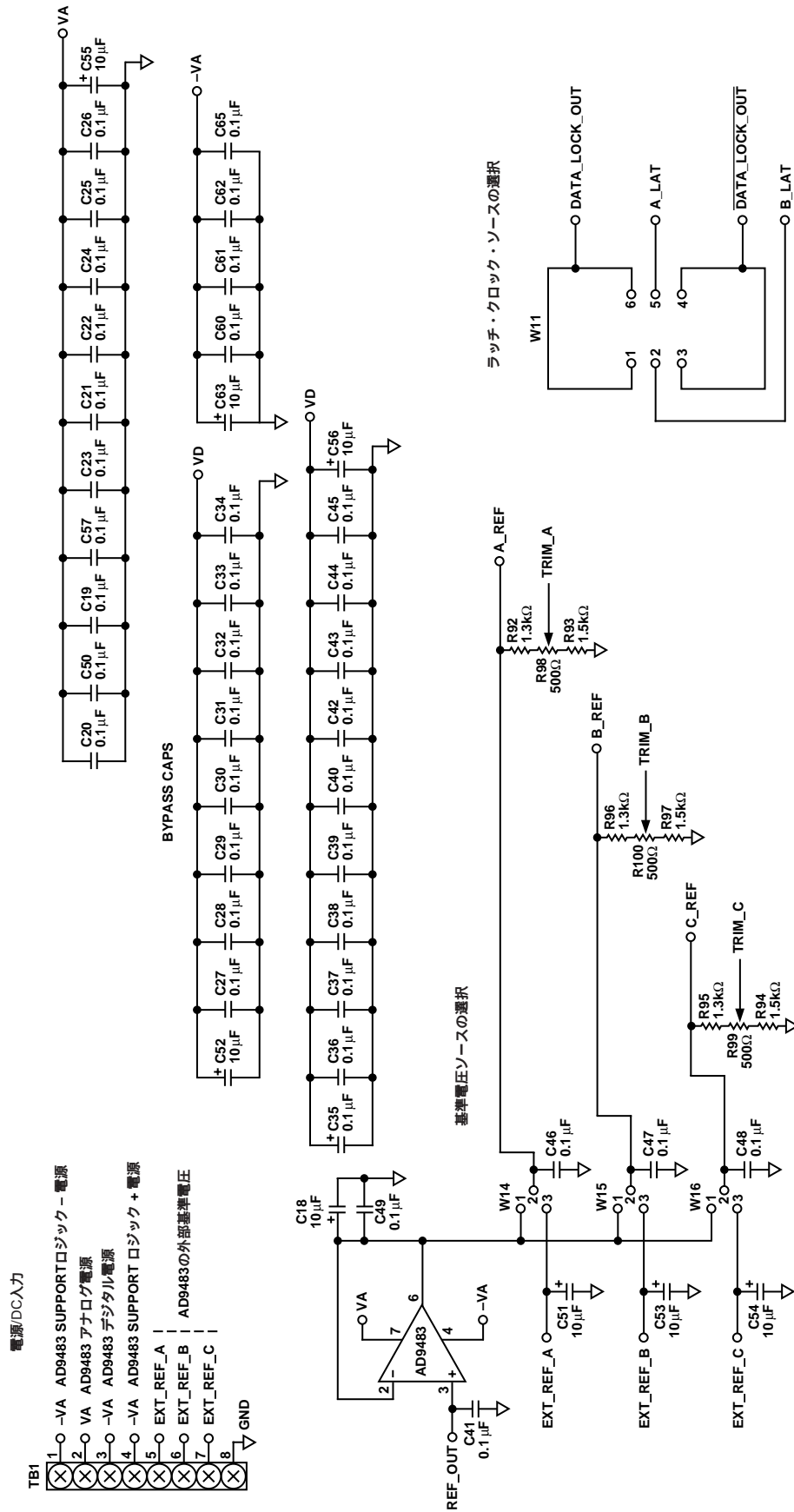


図39. 電源コネクタ、デカップリングキャパシタ、DC調整トリムポット部

AD9483

PCBレイアウト

PCBは4層ボード(1 oz. Cu)に設計しました。部品と配線は最上層で、グランド・フロアをアイソレーションの強化に使用しました。テスト・ポイントとグランド・ポイントは高速ブローピングが可能なように注意深く配置しました。各チャンネルには、デジタル出力用に個別に25ピン・コネクタを設けました。コモン・グランド・プレーンは2層目に配置しました。

3層目には、次の3分割した電源プレーンを配置しました。

1. ADCとプリアンプ用の5Vアナログ
2. ADC出力電源の3.3V(または5V)
3. ロジック用の3.3V電源。4層目には、プリアンプとその他の部品用の-5Vプレーンと配線を配置しました。変更に合わせて、ボードの上部には2つの追加部品用のスペースを確保しました。

表IV. 25ピン・コネクタのピン配置

ピン番号	ピン名
1	DR(データ・レディ)
2	GND
3	A0
4	A1
5	A2
6	A3
7	A4
8	A5
9	A6
10	A7
11	GND
12	NC(接続ナシ)
13	ND(接続ナシ)
14	DRB(データ・レディの反転)
15	GND
16	B0
17	B1
18	B2
19	B3
20	B4
21	B5
22	B6
23	B7
24	GND
25	NC(接続ナシ)

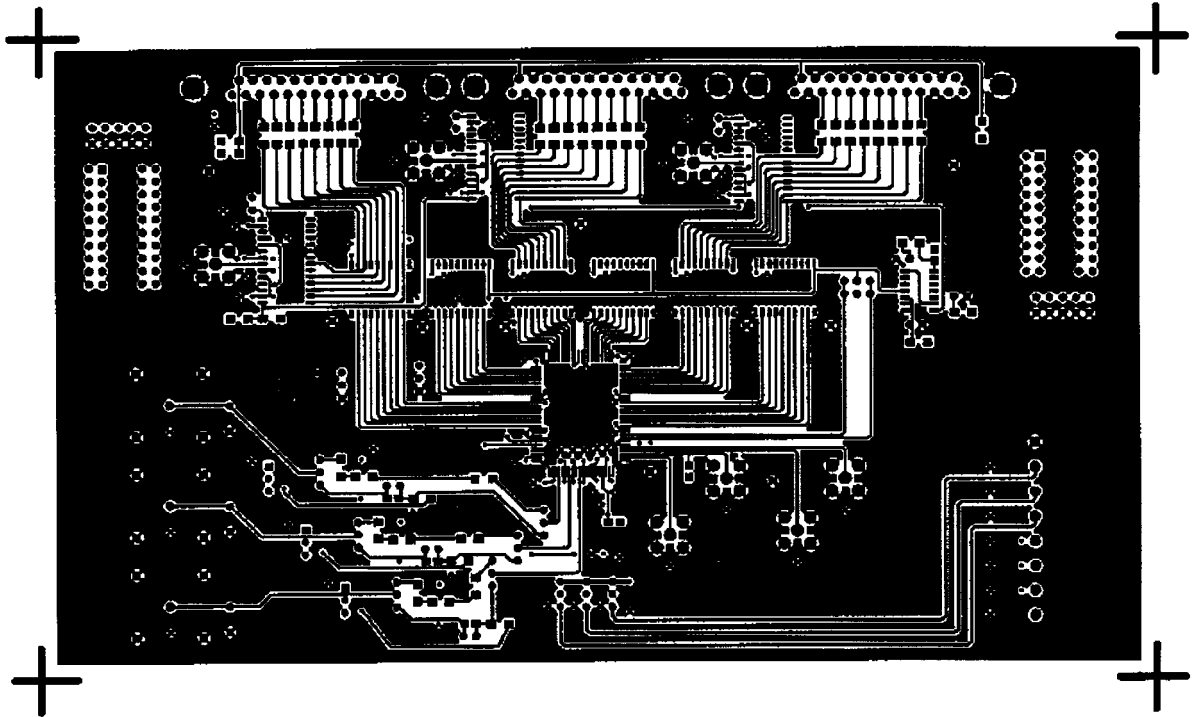


図40. 第1層 配線と最上層のグランド

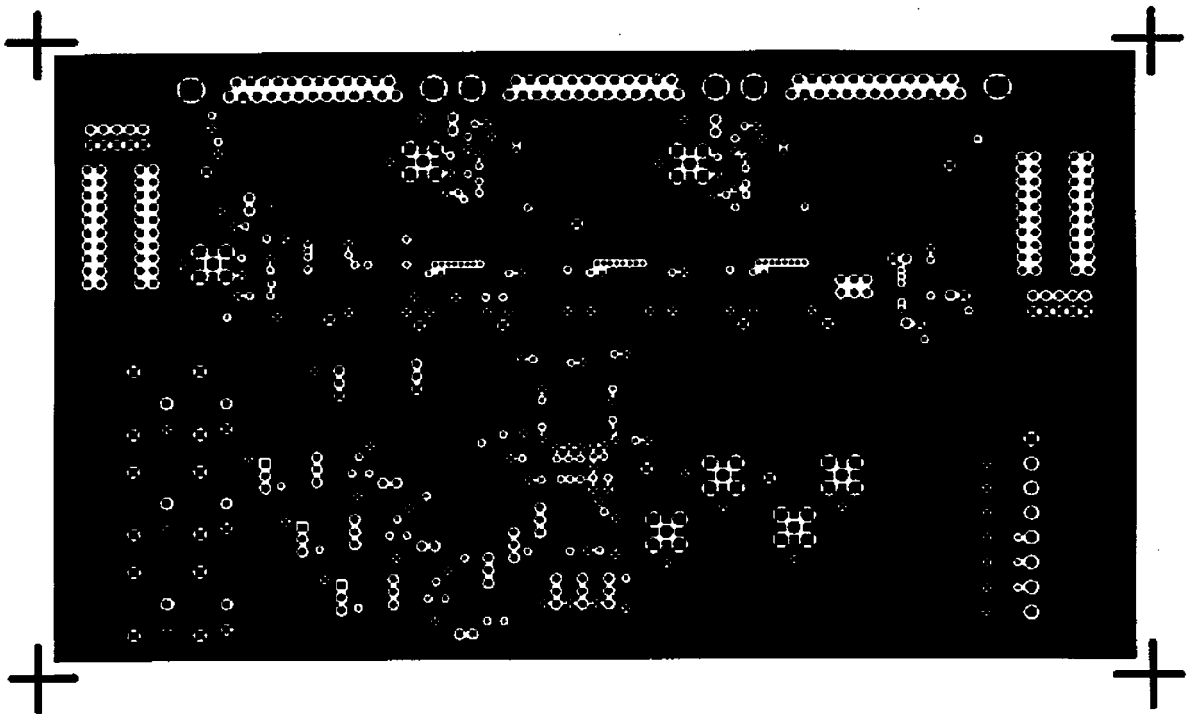


図41. 第2層 グランド・プレーン

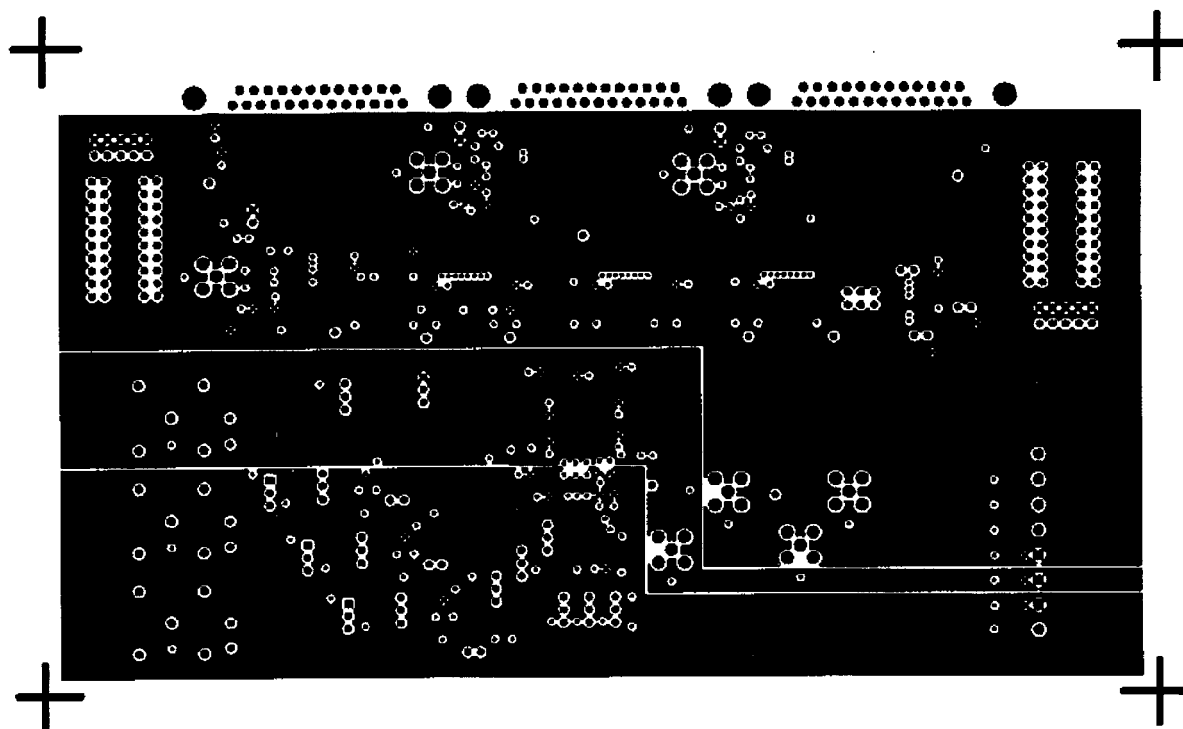


図42. 第3層 分割した電源プレーン

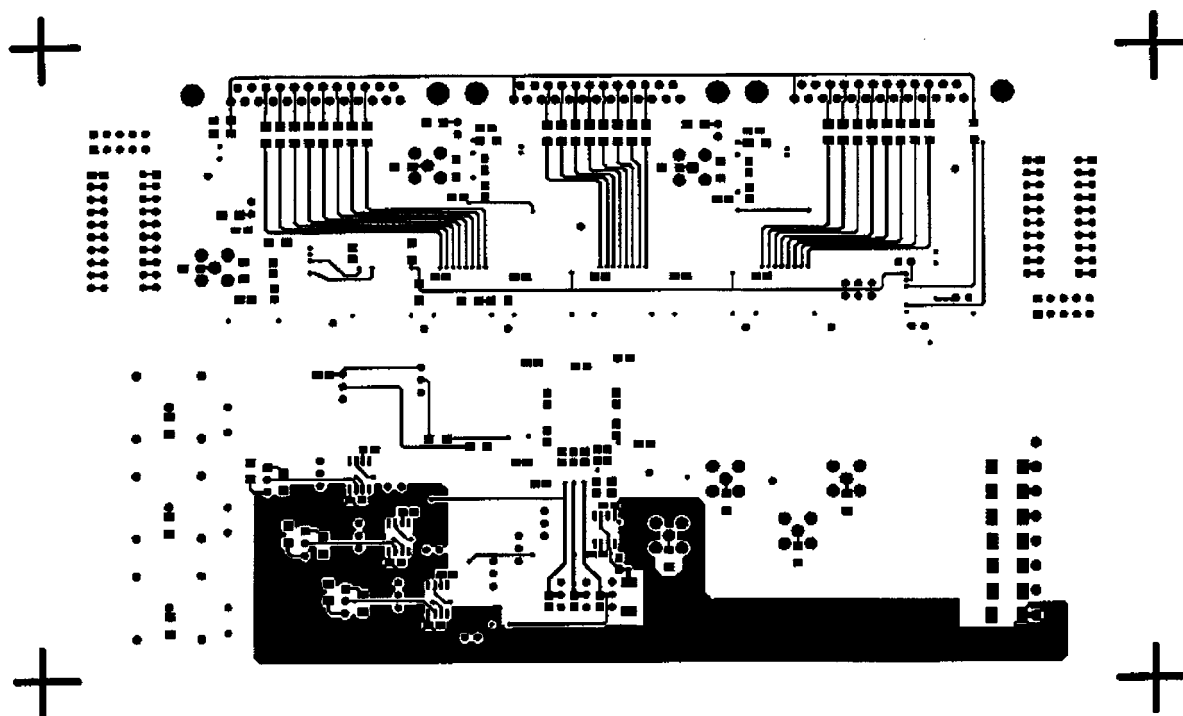


図43. 第4層 配線と-5V電源

評価ボードの部品リスト

#	個数	部品番号	デバイス	パッケージ	製品番号	値	メーカー
1	54	C1 ~ 17、C19 ~ 50、 C57、C60 ~ 62、C65	キャパシタ	0805	C0805C104K5RAC7025	0.1 μ F	KEMIT
2	8	C18、C51 ~ 56、C63	キャパシタ	TAJD	T491C106K016AS	10 μ F	KEMIT
3	16	GND1 ~ 10、PR1、 PR2、PR3、PR4、 PR5、PR6	PCBの一部	OMIT			
4	7	J1 ~ 4、J8 ~ 10	コネクタ	SMB	B51-351-000-220		ITT CANNON
5	3	J5 ~ 7	コネクタ	BNC	227699-2		AMP
6	3	P1 ~ 3	コネクタ	" D "25ピン	745783-2		AMP
7	9	R1 ~ 3、R14 ~ 18、R24	抵抗	1206	CRCW120675R0FT	75	DALE
8	9	R4 ~ 6、R11 ~ 13 R19 ~ 20、R23	抵抗	1206	CRCW12061001FT	1K	DALE
9	4	R7 ~ 8、R76 ~ 77	抵抗	1206	CRCW12063010FT	301	DALE
10	4	R9 ~ 10、R74 ~ 75	抵抗	1206	CRCW120649R9FT	49.9	DALE
11	3	R21 ~ 22、R73	抵抗	1206	CRCW12062001FT	2K	DALE
12	50	R25 ~ 72、R101 ~ 102	抵抗	1206	CRCW12061000FT	100	DALE
13	2	R78 ~ 79	抵抗	1206	CRCW1206000ZT	0	DALE
14	6	R80 ~ 85	抵抗	1206	CRCW12061500FT	150	DALE
15	3	R86、R89 ~ 90	抵抗	1206	CRCW12063600FT	360	DALE
16	3	R87 ~ 88、R91	抵抗	1206	CRCW12062740FT	274	DALE
17	3	R92、R95 ~ 96	抵抗	1206	CRCW12061301FT	1.3K	DALE
18	3	R93 ~ 94、R97	抵抗	1206	CRCW12061501FT	1.5K	DALE
19	3	R98 ~ 100	トリマー	VRES	3296W001501	500	BOURNES
20	2	R103 ~ 105	抵抗	1206	CRCW12062000F	200	DALE
21	4	ST1 ~ 4	PCBの一部	STRIP10	未実装		
22	4	ST5 ~ 8	PCBの一部	STRIP5	未実装		
23	1	TB1	電源コネクタ (2個)	TB8A	95F6002 50F3583		WIELAND
24	3	TP1 ~ 3	PCBの一部	TSTPT	未実装		
25	1	U1	MC74LCX86D	SO14NB	MC74LCX86D		MOTOROLA
26	3	U2 ~ 4	AD9760AR	SO28WB	AD9760AR		ADI
27	1	U5	AD9483KS-140/100	MQFP-100	AD9483KS-140/100		ADI
28	6	U6 ~ 11	MC74LCX574DW	SO20WB	MC74LCX574DW		MOTOROLA
29	4	U12、U14 ~ 16	AD8055AN	SO8NB	AD8055AN		ADI
30	2	U13、U17	DIP20	DIP20	未実装		
31	6	W1 ~ 3、W8 ~ 10	2ピン・ジャンパ	JMP-2P	注参照		
32	11	W4 ~ 7、W12 ~ 18	3ピン・ジャンパ	JMP-3P	注参照		
33	1	W11	6ピン・ジャンパ	JMP_6	注参照		
34	5	FEET	SJ-5518				3M

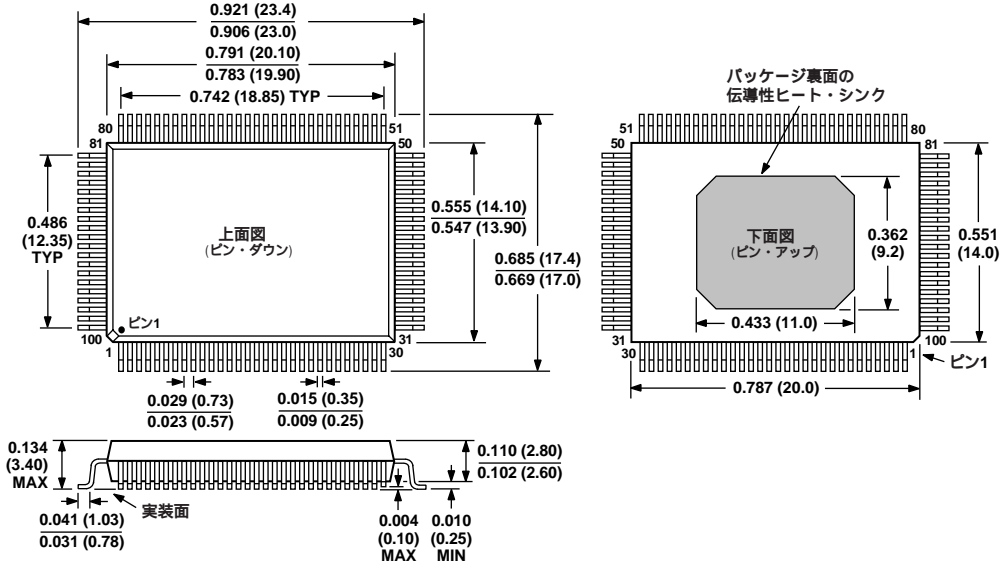
注
 全ての抵抗は表面実装(サイズ1206)で、許容誤差1%。
 ジャンパはSamtecの製品でTSW-110-08-G-DとTSW-110-08-G-S。
 ジャンパW1、W2、W3、W9、W8、W10は未実装。

AD9483

外形寸法

サイズはインチと(mm)で示します。

100ピン・プラスチック・クワッド・フラットバック
(S-100B)



注：AD9483KSパッケージは、0 ~ +85 の全温度範囲で熱放散と動作の信頼性を高めるため銅挿入物を使っています。この銅挿入物はデバイスの下面に露出しています。PCボードの設計ではAD9483の下にスルー・ホールまたは信号線を配置せず、これらが、銅挿入物に接触することがないようにしてください。一般に受け入れられている高速コンバータ用のボード・レイアウト法では、これらのデバイスの下には、グラウンド・プレーンのみを配置して、ノイズまたはビデオ信号の歪みを最小にするように定めています。

AD9483

D494-2.7-6/99,1A

PRINTED IN JAPAN

