

### 特長

IFサンプリング:最大350MHz

ナイキスト周波数までの $f_{IN}$ に対して105MSPSでS/N比 = 67.5dB

105MSPS、 $f_{IN} = 70\text{MHz}$ でSFDR = 83dBc

105MSPS、 $f_{IN} = 150\text{MHz}$ でSFDR = 72dBc

2Vピークtoピークのアナログ入力範囲オプション

クロック・デューティ・サイクル安定化回路を内蔵

リファレンス電圧とトラック/ホールドを内蔵

SFDR最適化回路を内蔵

優れた直線性:

DNL =  $\pm 0.25$  LSB (Typ)

INL =  $\pm 0.5$  LSB (Typ)

フルパワー・アナログ帯域幅: 750MHz

消費電力: 125MSPSで1.35W (typ)

2の補数データ・フォーマットまたはオフセット・バイナリ・データ・フォーマットが選択可能

5.0Vアナログ電源動作

2.5~3.3VのTTL/CMOS出力

### アプリケーション

携帯電話インフラストラクチャ通信システム

第3世代のシングルキャリア・レシーバ

およびマルチキャリア・レシーバ

IFサンプリング方式

広帯域キャリア周波数システム

ポイントtoポイント無線

LMDS、ワイヤレス・ブロードバンド

MMDS基地局ユニット

ケーブル・リバース・パス

通信テスト装置

レーダー・システムおよび衛星の地上システム

### 概要

AD9433は、トラック/ホールド回路を内蔵する、使いやすい設計のモノリシック12ビット・サンプリングA/Dコンバータです。このデバイスは最大125MSPSの変換レートで動作し、広帯域で高周波のIFキャリア・システムで優れたダイナミック性能を持つように最適化されています。

このADCは、フル性能動作のために5Vアナログ電源と差動ENCODEクロックを必要とします。多くのアプリケーションで、外付けのリファレンス電圧またはドライバなしで動作します。デジタル出力はTTL/CMOS互換であり、別々の出力電源ピンにより3.3Vまたは2.5Vロジックとのインターフェースに対応

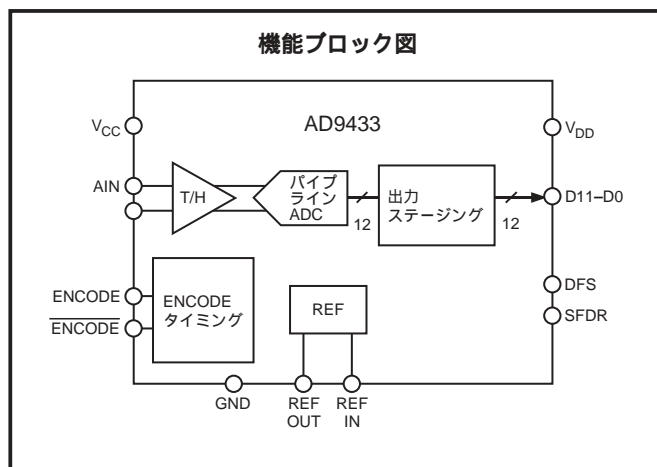
#### 注

1 用語“不揮発性メモリー”と“EEMEM”は同じ意味で使用しています。

2 用語“デジタル・ポテンショメータ”と“RDAC”は同じ意味で使用しています。

\*特許申請中。

REV.0



します。

ユーザー選択が可能な独自の回路を内蔵し、スプリアスフリー・ダイナミックレンジ (SFDR) と、さまざまな入力信号周波数に対するS/N + 歪み (SINAD) 比性能との間の最適化を行い、DC ~ 70MHz帯域で83dBcものSFDR性能を提供しています。

ENCODEクロックでは、差動入力またはシングル・エンド入力に対応しており、PECL互換です。出力フォーマットはバイナリまたは2の補数が選択可能で、オーバーレンジ (OR) 信号があります。

AD9433は最新のBiCMOSプロセスで製造され、52ピン・プラスチック・クワッド・フラットバックで供給され、工業用温度範囲 (-40 ~ +85) で仕様規定されています。AD9433はAD9432とピン・コンパチブルです。

### 製品のハイライト

#### 1. IFサンプリング

AD9433は入力周波数350MHzまで優れたAC性能を維持しています。第3世代広帯域セルラーIFサンプリング・レシーバ向けに最適です。

#### 2. ピン・コンパチブル

このADCは、12ビット80/105MSPS ADCのAD9432と同じフットプリントとピン配置を持っています。

#### 3. SFDR性能

ユーザー選択可能なオンチップ回路による最適化で、DC ~ 70MHzで85dBcものSFDR性能を得ています。

#### 4. サンプリング・レート

このADCは125MSPSで動作するため、LMDS/MMDSやケーブル・リバース・パスなどの現在の無線および有線ブロードバンド・アプリケーションに最適です。

アナログ・デバイス社が提供する情報は正確で信頼できるものを期していますが、その情報の利用または利用したことにより引き起こされる第三者の特許または権利の侵害に関して、当社はいっさいの責任を負いません。さらに、アナログ・デバイス社の特許または特許の権利の使用を許諾するものでもありません。

# AD9433 - 仕様

DC特性 (特に指定のない限り、 $V_{DD} = 3.3V$ 、 $V_{CC} = 5V$ 、内部リファレンス使用、差動ENCODE入力)

パラメータ	温度	テスト・レベル	AD9433BSQ-105			AD9433BSQ-125			単位
			Min	Typ	Max	Min	Typ	Max	
分解能			12			12			ビット
精度			保証			保証			
ノーマル・ミスコード	全範囲	VI	保証			保証			
オフセット誤差	全範囲	VI	- 5	0	+ 5	- 5	0	+ 5	mV
ゲイン誤差 <sup>1</sup>	25	I	- 7	± 1	+ 3	- 7	± 1	+ 3	%FS
微分非直線性 (DNL) <sup>2</sup>	25	I	- 0.75	± 0.25	+ 0.75	- 0.75	± 0.3	+ 0.75	LSB
	全範囲	VI	- 1		+ 1	- 1		+ 1	LSB
積分非直線性 (INL) <sup>2</sup>	25	I	- 1.0	± 0.5	+ 1.0	- 1.0	± 0.5	+ 1.0	LSB
	全範囲	VI	- 1.3		+ 1.3	- 1.3		+ 1.3	LSB
熱ドリフト									
オフセット誤差	全範囲	V	- 50			- 50			ppm/
ゲイン誤差 <sup>1</sup>	全範囲	V	- 125			- 125			ppm/
リファレンス	全範囲	V	± 80			± 80			ppm/
リファレンス電圧									
内部リファレンス電圧 (VREFOUT)	全範囲	I	2.4	2.5	2.6	2.4	2.5	2.6	V
出力電流 (VREFOUT)	全範囲	V	100			100			μA
入力電流 (VREFIN)	全範囲	IV	50			50			μA
アナログ入力									
差動入力電圧範囲 (AIN <sup>-</sup> , AIN <sup>+</sup> )	全範囲	V	2.0			2.0			V
コモン・モード電圧	全範囲	V	4.0			4.0			V
入力抵抗	全範囲	VI	2	3	4	2	3	4	k
入力容量	全範囲	V	4			4			pF
フルパワー・アナログ帯域幅	全範囲	V	750			750			MHz
電源									
$V_{CC}$	全範囲	IV	4.75	5.0	5.25	4.75	5.0	5.25	V
$V_{DD}$	全範囲	IV	2.7		3.3	2.7		3.3	V
消費電力 <sup>3</sup>	全範囲	VI	1275			1350			mW
電源除去比 (PSRR)	25	I	± 3			± 3			mV/V
$I_{V_{CC}^2}$	全範囲	VI	255		285	270		300	mA
$I_{V_{DD}^2}$	全範囲	VI	12.5		14	16		18	mA
ENCODE入力									
内部コモン・モード・バイアス	全範囲	V	3.75			3.75			V
差動入力 (ENC <sup>-</sup> - ENC <sup>+</sup> )	全範囲	V	500			500			mV
入力電圧範囲	全範囲	IV	- 0.5		$V_{CC} + 0.05$	- 0.5		$V_{CC} + 0.05$	V
入力コモン・モード範囲	全範囲	IV	2.0		4.25	2.0		4.25	V
入力抵抗	全範囲	VI	6			6			k
入力容量	25	V	3			3			pF
デジタル入力									
入力ハイレベル電圧	全範囲	I	2.0			2.0			V
入力ローレベル電圧	全範囲	I	0.8			0.8			V
入力ハイレベル電流 ( $V_{IN} = 5V$ )	全範囲	V	50			50			μA
入力ローレベル電流 ( $V_{IN} = 0V$ )	全範囲	V	50			50			μA
デジタル出力									
ロジック "1" 電圧	全範囲	VI	$V_{DD} - 0.05$			$V_{DD} - 0.05$			V
ロジック "0" 電圧	全範囲	VI	0.05			0.05			V
出力コーディング			2の補数またはオフセット・バイナリ						

## 注

1 ゲイン誤差とゲイン温度係数はADCのみに基づきます (固定2.5Vの外部リファレンスおよび2Vのピークtoピーク差動アナログ入力を使用)。

2 DNLとINLの仕様に対しては、SFDRをディスエーブル (SFDR = GND)。

3 消費電力は、定格ENCODEとDCアナログ入力での測定 (出力はスタティック、 $I_{V_{DD}} = 0$ )。  $I_{V_{CC}}$ と $I_{V_{DD}}$ は - 0.5dBFSの10.3MHzアナログ入力を使って測定。

仕様は予告なく変更されることがあります。

AC特性 (特に指定のない限り、 $V_{DD} = 3.3V$ 、 $V_{CC} = 5V$ 、差動ENCODE入力)

パラメータ	温度	テスト・レベル	AD9433BSQ-105			AD9433BSQ-125			単位
			Min	Typ	Max	Min	Typ	Max	
ダイナミック性能*									
S/N比 (SNR) (高調波なし)									
$f_{IN} = 10.3MHz$	25	I	66.5	68.0		66.0	67.7		dB
$f_{IN} = 49MHz$	25	I	65.5	67.5		64.0	66.0		dB
$f_{IN} = 70MHz$	25	V		67.0			65.4		dB
$f_{IN} = 150MHz$	25	V		65.4			62.0		dB
$f_{IN} = 250MHz$	25	V		63.7			60.0		dB
S/N + 歪み (SINAD) (高調波あり)									
$f_{IN} = 10.3MHz$	25	I	66.0	68.0		65.0	67.0		dB
$f_{IN} = 49MHz$	25	I	64.0	67.5		63.5	65.5		dB
$f_{IN} = 70MHz$	25	V		66.9			64.5		dB
$f_{IN} = 150MHz$	25	V		64.0			61.5		dB
$f_{IN} = 250MHz$	25	V		61.2			57.7		dB
有効ビット数									
$f_{IN} = 10.3MHz$	25	I		11.1			10.9		ビット数
$f_{IN} = 49MHz$	25	I		11.0			10.7		ビット数
$f_{IN} = 70MHz$	25	V		10.9			10.6		ビット数
$f_{IN} = 150MHz$	25	V		10.4			10.0		ビット数
$f_{IN} = 250MHz$	25	V		9.9			9.4		ビット数
2次および3次高調波歪み									
$f_{IN} = 10.3MHz$	25	I	- 78	- 85		- 76	- 85		dBc
$f_{IN} = 49MHz$	25	I	- 73	- 80		- 72	- 76		dBc
$f_{IN} = 70MHz$	25	V		- 83			- 78		dBc
$f_{IN} = 150MHz$	25	V		- 72			- 67		dBc
$f_{IN} = 250MHz$	25	V		- 67			- 65		dBc
その他の高調波またはスプリアスのワースト・ケース (2次および3次高調波以外)									
$f_{IN} = 10.3MHz$	25	I	- 88	- 92		- 84	- 90		dBc
$f_{IN} = 49MHz$	25	I	- 82	- 89		- 82	- 87		dBc
$f_{IN} = 70MHz$	25	V		- 87			- 85		dBc
$f_{IN} = 150MHz$	25	V		- 87			- 84		dBc
$f_{IN} = 250MHz$	25	V		- 85			- 76		dBc
2周波間相互変調歪み (IMD3)									
$f_{IN1} = 49.3MHz$ 、 $f_{IN2} = 50.3MHz$	25	V		- 92			- 90		dBc
$f_{IN1} = 150MHz$ 、 $f_{IN2} = 151MHz$	25	V		- 80			- 76		dBc

\*S/N比 / 高調波は、2Vのフルスケール入力範囲を基準とする - 0.5dBFSのアナログ入力電圧に基づきます。高調波はSFDRアクティブ (SFDR = +5V) で仕様を規定。SNR/SINADIはSFDRをディスプレイにして仕様を規定 (SFDR = グラウンド)。

仕様は予告なく変更されることがあります。

スイッチング特性 (特に指定のない限り、 $V_{DD} = 3.3V$ 、 $V_{CC} = 5V$ 、差動ENCODE入力)

パラメータ	温度	テスト・レベル	AD9433BSQ-105			AD9433BSQ-125			単位
			Min	Typ	Max	Min	Typ	Max	
ENCODEレート	全範囲	IV	10		105	10		125	MSPS
Encodeパルス幅ハイレベル ( $t_{EH}$ )	全範囲	IV	2.9			2.4			ns
Encodeパルス幅ローレベル ( $t_{EL}$ )	全範囲	IV	2.9			2.4			ns
アパーチャ遅延 ( $t_A$ )	25	V		2.1			2.1		ns
アパーチャ不確定性 (ジッター) <sup>1</sup>	25	V		0.25			0.25		ps rms
出力有効時間 ( $t_V$ ) <sup>2</sup>	全範囲	VI	2.5	4.0		2.5	4.0		ns
出力伝搬遅延 ( $t_{PD}$ ) <sup>2</sup>	全範囲	VI		4.0	5.5		4.0	5.5	ns
出力立ち上がり時間 ( $t_R$ )	全範囲	V		2.1			2.1		ns
出力立ち下がり時間 ( $t_F$ )	全範囲	V		1.9			1.9		ns
オーバーレンジからの回復時間	25	V		2			2		ns
過渡応答時間	25	V		2			2		ns
レイテンシ	全範囲	IV		10			10		サイクル数

## 注

<sup>1</sup> アパーチャ不確定性には、AD9433、クリスタル・オシレータ・クロック・リファレンス、ENCODE駆動回路の影響も含まれます。

<sup>2</sup>  $t_V$ と $t_{PD}$ は、ENCODE入力のデジタル出力振幅50%/50%レベル変化点で測定。テスト時のデジタル出力負荷は、10pFのAC負荷または50  $\mu$ AのDC電流を超えません。立ち上がり時間と立ち下がり時間は、10~90%までで測定。

仕様は予告なく変更されることがあります。

# AD9433

## 絶対最大定格\*

パラメータ	Min	Max	単位
<b>電気的特性</b>			
V <sub>DD</sub> 電圧	- 0.5	+ 6.0	V
V <sub>CC</sub> 電圧	- 0.5	+ 6.0	V
アナログ入力電圧	- 0.5	V <sub>CC</sub> + 0.5	V
デジタル入力電圧	- 0.5	V <sub>CC</sub> + 0.5	V
デジタル出力電流		20	mA
<b>環境特性</b>			
動作温度			
範囲 (周囲)	- 40	+ 85	
最大接合温度		+ 150	
保管温度			
範囲 (周囲)	- 65	+ 125	

\*上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作の節に記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

## 熱特性

### 熱抵抗

52ピンPowerQuad® LQFP\_ED

J<sub>A</sub> = 25 ℳW、ハンダ付けヒートシンク、自然空冷

J<sub>A</sub> = 33 ℳW、ハンダ付けなしのヒートシンク、自然空冷

J<sub>C</sub> = 2 ℳW、パッケージの底 (ヒートシンク)

4層のJEDECボードの水平配置に対してシミュレーションした代表的性能。ス・マップを示します。

## テスト・レベルの説明

### テスト・レベル

- I 100%の出荷テストを実施。
- II 25 で100%の出荷テスト、さらに設計および仕様温度でのキャラクタライゼーションにより保証。
- III サンプル・テストのみを実施。
- IV パラメータは、デザインおよびキャラクタライゼーション・テストにより保証。
- V パラメータは、typ値の場合。
- VI 25 で100%の出荷テスト、さらに設計および工業用温度範囲でのキャラクタライゼーションにより保証。

## オーダー・ガイド

モデル	温度範囲	パッケージ	パッケージ・オプション
AD9433BSQ-105	- 40 ~ + 85 (周囲)	52ピン・プラスチック熱強化型クワッド・フラットパック	SQ-52
AD9433BSQ-125	- 40 ~ + 85 (周囲)	52ピン・プラスチック熱強化型クワッド・フラットパック	SQ-52
AD9433/PCB	25	AD9433BSQ-125を使用した評価ボード (AD9433BSQ-105の評価にも対応)	

## 注意

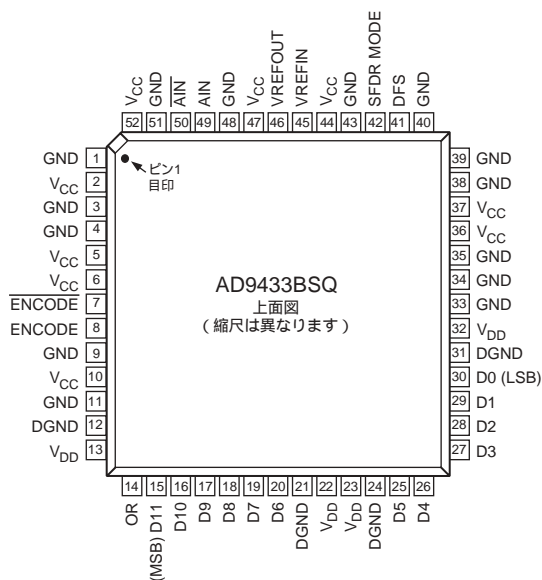
ESD (静電放電) の影響を受けやすいデバイスです。4000Vもの高圧の静電気が人体やテスト装置に容易に帯電し、検知されることなく放電されることがあります。本製品には当社独自のESD保護回路を備えていますが、高エネルギーの静電放電を受けたデバイスには回復不可能な損傷が発生することがあります。このため、性能低下や機能喪失を回避するために、適切なESD予防措置をとるようお奨めします。



## ピン機能の説明

ピン番号	記号	機能
1、3、4、9、11、33、34、35、38、39、40、43、48、51	GND	アナログ・グラウンド
2、5、6、10、36、37、44、47、52	V <sub>CC</sub>	アナログ電源 (5V)
7	ENCODE	ADCの反転ENCODEクロック
8	ENCODE	ADCの非反転ENCODEクロック (ADCのサンプリングはENCODEの立ち上がりエッジで実施)
14	OR	出力範囲外 (オーバーレンジ)
15~20、25~30	D11~D0	デジタル出力
13、22、23、32	V <sub>DD</sub>	デジタル出力電源 (3V)
12、21、24、31	DGND	デジタル出力グラウンド
41	DFS	データ・フォーマットの選択。ローレベル=2の補数、ハイレベル=バイナリ; 開放でローレベル
42	SFDR MODE	当社独自の回路をイネードにするCMOSコントロール・ピン (SFDR MODE = 1)。この回路はAD9433のスプリアス・フリーダイナミックレンジ (SFDR) 性能を改善します。この機能は、ADC伝達関数の非直線性から生じるディスクリート・スプリアス周波数成分により、システムのダイナミックレンジが制限されているアプリケーションで役立ちます。SFDR MODE = 0のときはノーマル動作; 開放でローレベル。
45	VREFIN	ADCに対するリファレンス入力 (2.5V typ)
46	VREFOUT	内部リファレンス出力 (2.5V typ); 0.1 μFでグラウンドにバイパス
49	AIN	アナログ非反転入力
50	AIN	アナログ反転入力

## ピン配置



# AD9433

## 仕様の定義

### アナログ帯域幅

基本周波数（FFT解析により決定）の電力スペクトルが3dB低下するアナログ入力周波数。

### アパーチャ遅延

ENCODEコマンドの立ち上がりエッジの50%ポイントと、アナログ入力サンプルされるタイミングとの間の遅延。

### アパーチャ不確定性（ジッター）

アパーチャ遅延のサンプル間における変化。

### 差動アナログ入力抵抗、差動アナログ入力容量、差動アナログ入力インピーダンス

各アナログ入力ポートで測定される実インピーダンスと複合インピーダンス。抵抗は静的に測定。容量および差動入力インピーダンスはネットワーク・アナライザを使って測定。

### 差動アナログ入力電圧範囲

コンバータに入力したときにフルスケール応答を発生するピークtoピーク差動電圧。ピーク差動電圧は、あるピンの電圧から、そのピンと180度位相がずれている他のピンの電圧を減算することにより求められます。ピークtoピーク差動は、ピーク値を測定し、さらに入力位相を180度回転してピーク値を再度測定して、その両ピーク値の差から求めることができます。

### 微分非直線性

理論1 LSBステップと実際のコード幅との差。

### 有効ビット数

有効ビット数（ENOB）は次式を使って測定されたS/N比から計算できます。

$$\text{ENOB} = \frac{\text{SNR}_{\text{MEASURED}} - 1.76 \text{ dB} + 20 \log \left( \frac{\text{フルスケール振幅}}{\text{入力振幅}} \right)}{6.02}$$

### ENCODEパルス幅 / デューティ・サイクル

ハイレベル・パルス幅は、定格性能を達成するために、ENCODEパルスがロジック“1”状態を維持する必要がある最小時間幅です。ローレベル・パルス幅は、ENCODEパルスがローレベル状態を維持する必要がある最小時間幅です。 $t_{\text{ENCH}}$ の変化によるタイミング変化の説明を参照してください。与えられたクロック・レートに対して、これらの仕様は許容できるENCODEのデューティ・サイクルを定めます。

### フルスケール入力電力

dBmで表し、次式で計算します。

$$\text{Power}_{\text{Full Scale}} = 10 \log \left( \frac{V_{\text{Full Scale rms}}^2}{Z \cdot 0.001} \right)$$

### ゲイン

ゲイン誤差は、ADCフルスケール入力電圧範囲の理論値と実測値の差を表します。

### 高調波歪み

1つの高調波成分（2次、3次など）のrms値に対する、基本波信号振幅rms値の比でdBcで表します。

### 積分非直線性

最小二乗近似による“最適直線”を使って、1 LSB以下の単

位で表した基準直線からの、伝達関数の乖離をいいます。

### 最小変換レート

保証規定値より最小周波数のアナログ信号のS/N比が3dB低下するENCODEレートをいいます。

### 最大変換レート

パラメータ・テストが実施されるENCODEレート。

### 出力伝搬遅延

差動のENCODEとENCODEの交叉点と、全出力データ・ビットが有効ロジック・レベルになるタイミングとの間の遅延をいいます。

### ノイズ（ADC内の任意の範囲）

$$V_{\text{NOISE}} = \sqrt{Z \times 0.001 \times 10 \left( \frac{\text{FS}_{\text{dBm}} - \text{SNR}_{\text{dBc}} - \text{Signal}_{\text{dBFS}}}{10} \right)}$$

ここで、Zは入力インピーダンス、FSは注目周波数に対するデバイスのフルスケール、S/N比は特定の入力レベルに対する値、信号はdBで表したフルスケールより小さいADC内の信号レベルです。この値には、熱ノイズと量子化ノイズが含まれます。

### 電源変動除去比

入力オフセット電圧変化の電源電圧変動に対する比をいいます。

### S/N + 歪み（SINAD）

rms信号振幅値（フルスケールの下1dBに設定）の、DC以外の全高調波成分スペクトルの和のrms値に対する比をいいます。

### S/N比（SNR、高調波なし）

rms信号振幅値（フルスケールの下1dBに設定）の、DCおよび5次までの高調波を除く全高調波成分スペクトルの和のrms値に対する比をいいます。

### スプリアスフリー・ダイナミックレンジ（SFDR）

ピーク高調波成分のrms値に対する、信号振幅rms値の比をいいます。ピーク・スプリアス成分は、ある高調波である場合とそうでない場合があります。dBc（信号レベルを小さくした場合の劣化）またはdBFS（コンバータのフルスケールに換算）で表されることがあります。

### 2周波間相互変調歪み除去比

いずれかの入力周波（ $f_1$ 、 $f_2$ ）rms値の、最悪3次相互変調積rms値に対する比。dBcで表します。変調積は、 $2f_1 - f_2$ と $2f_2 - f_1$ に発生します。

### 2周波SFDR

いずれかの入力周波（ $f_1$ 、 $f_2$ ）のrms値の、ピーク・スプリアス成分のrms値に対する比。ピーク・スプリアス成分は、IMD積である場合とそうでない場合があります。dBc（信号レベルを小さくした場合の劣化）またはdBFS（コンバータのフルスケールに換算）で表されることがあります。

### その他の最悪スプリアス

2次および3次高調波を除く最悪高調波成分のrms値に対する、信号振幅rms値の比でdBcで表します。

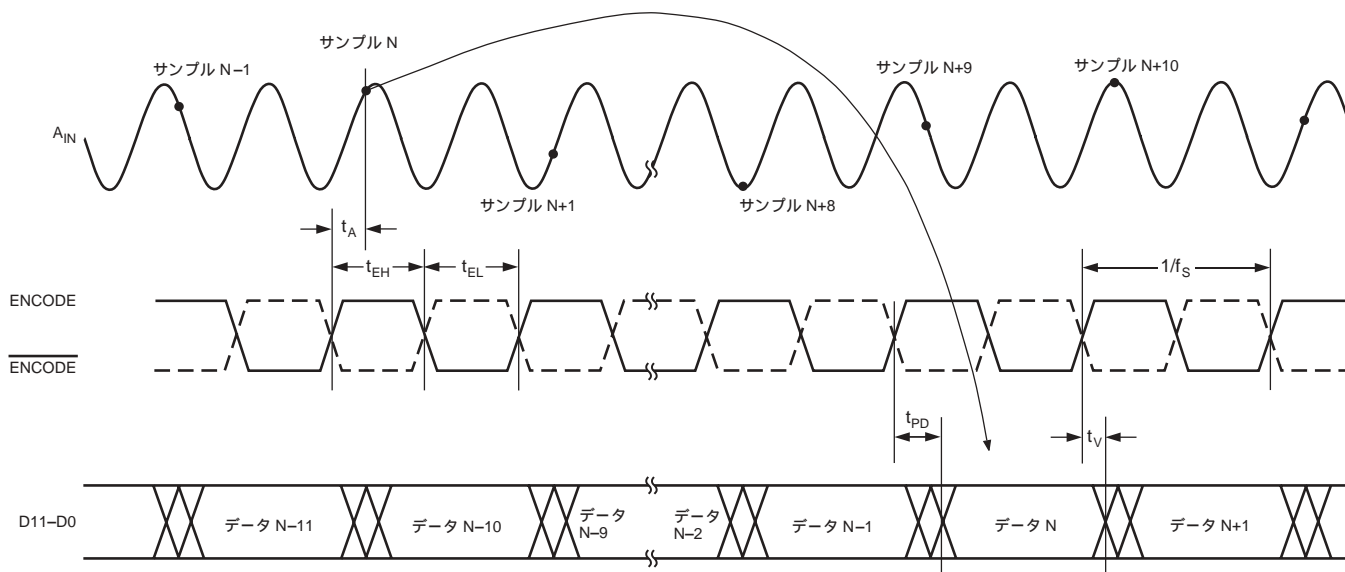


図1 AD9433のタイミング図

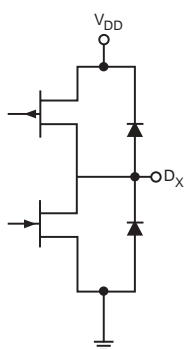


図2 デジタル出力

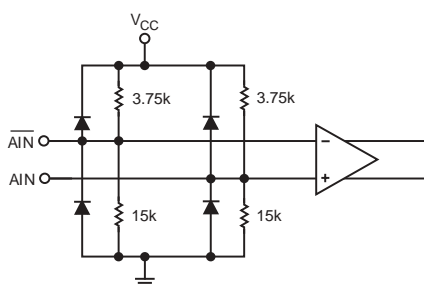


図3 アナログ入力

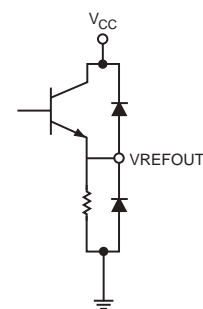


図4 リファレンス出力

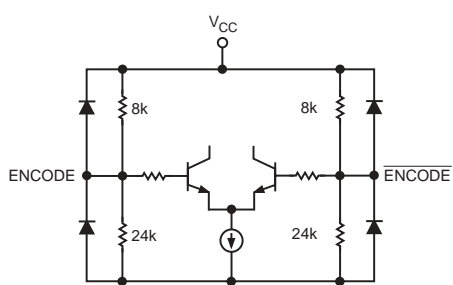


図5 ENCODE入力

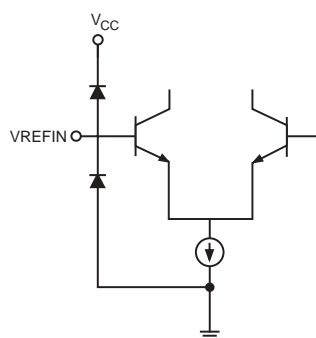
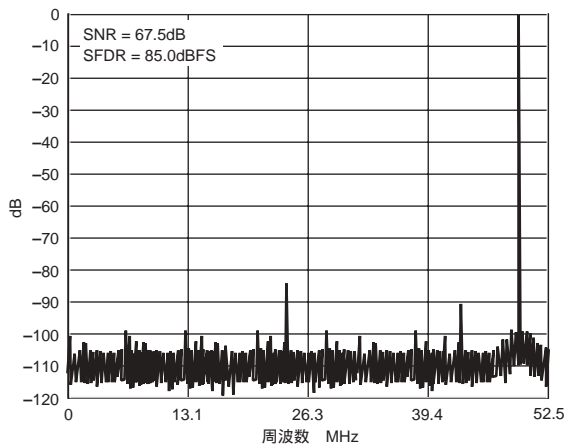
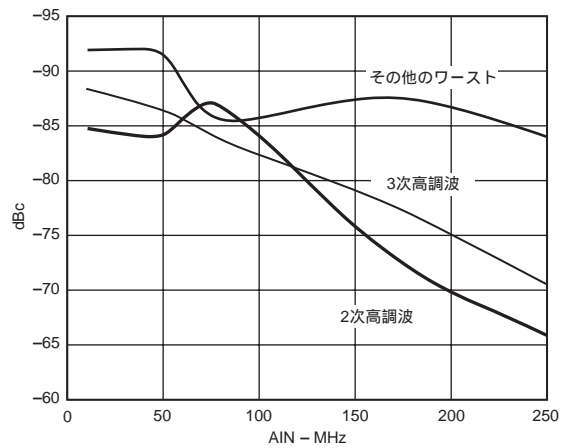


図6 リファレンス入力

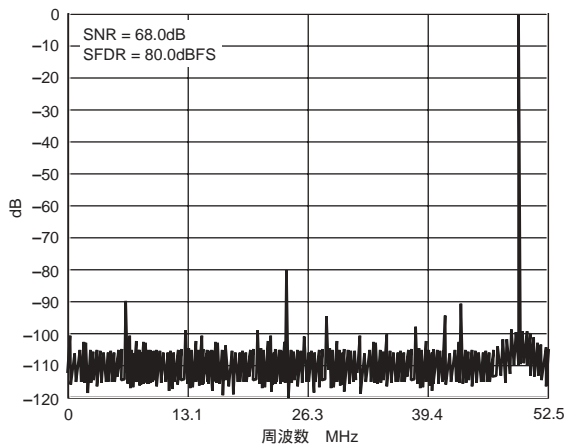
# AD9433 - 代表的な性能特性



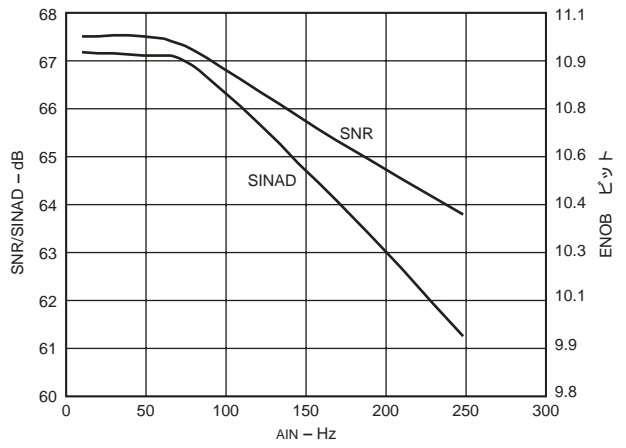
特性1 FFT :  $f_S = 105\text{MSPS}$ ,  $f_{IN} = 49.3\text{MHz}$ ,  
差動AIN @ -0.5dBFS、SFDRをイネーブル



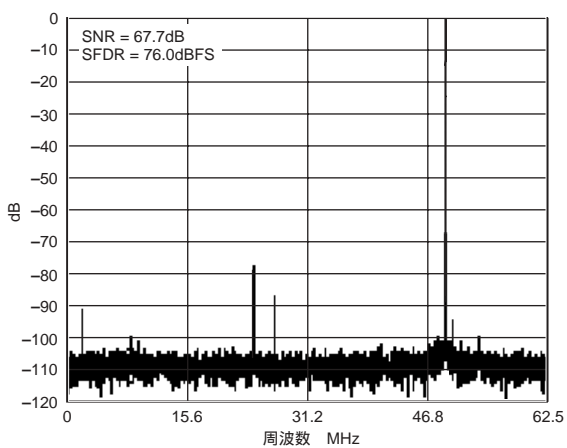
特性4 高調波 (2次、3次、その他のワースト) 対AIN周波数  
AIN @ -0.5dBFS、 $f_S = 105\text{MSPS}$ 、SFDRをイネーブル



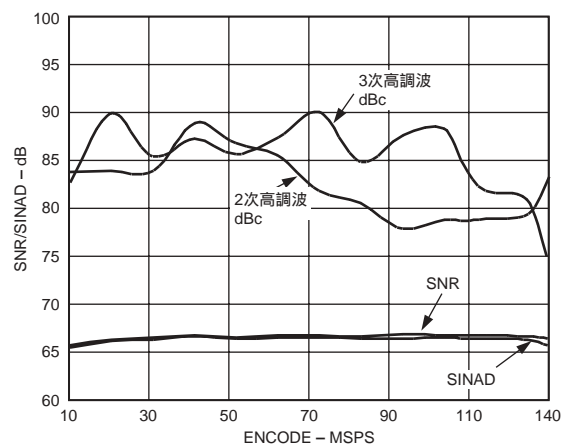
特性2 FFT :  $f_S = 105\text{MSPS}$ ,  $f_{IN} = 49.3\text{MHz}$ ,  
差動AIN @ -0.5dBFS、SFDRをディスエーブル



特性5 S/N比対AIN周波数差動AIN @ -0.5dBFS、  
105MSPS、SFDRをディスエーブル

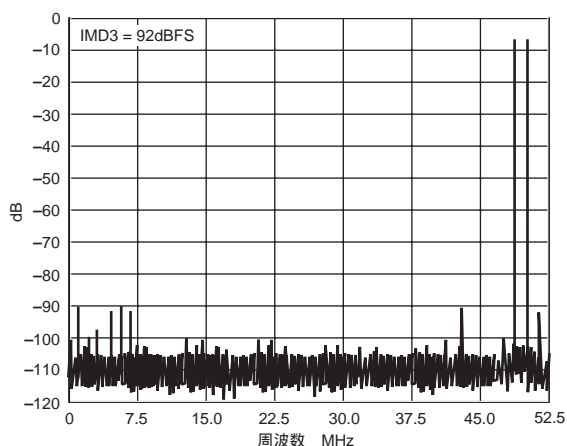


特性3 FFT :  $f_S = 125\text{MSPS}$ ,  $f_{IN} = 49.3\text{MHz}$ ,  
差動AIN @ -0.5dBFS、SFDRをイネーブル

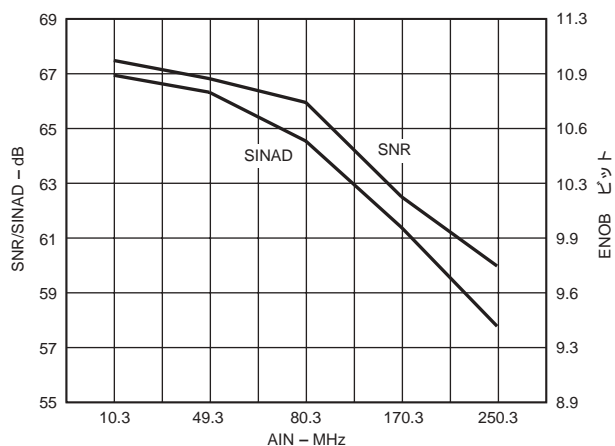


特性6 SNR/SINADおよび高調波歪み 対  
ENCODE周波数差動AIN @ -0.5dBFS

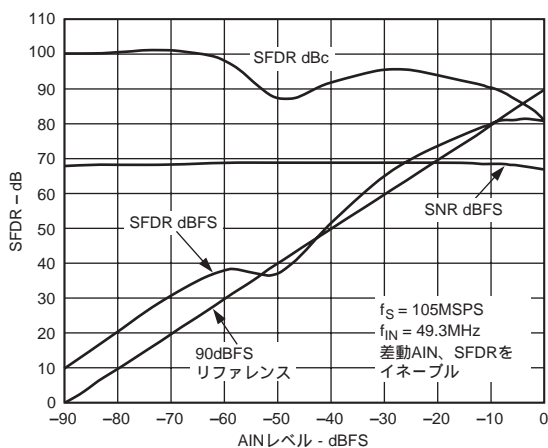




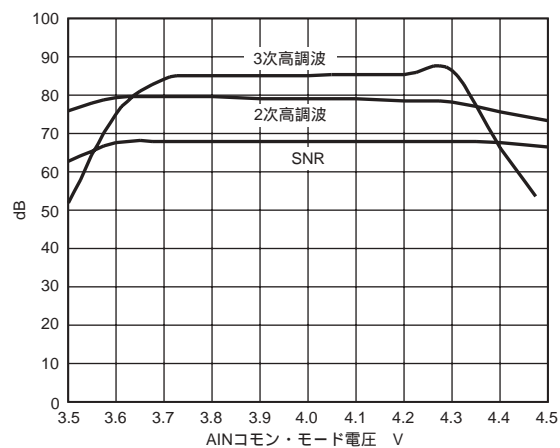
特性7 FFT :  $f_s = 105\text{MSPS}$ 、 $f_{IN} = 49.3\text{MHz}$ および $50.3\text{MHz}$ 、差動AIN @ -7dBFS (各周波)、SFDRをイネーブル



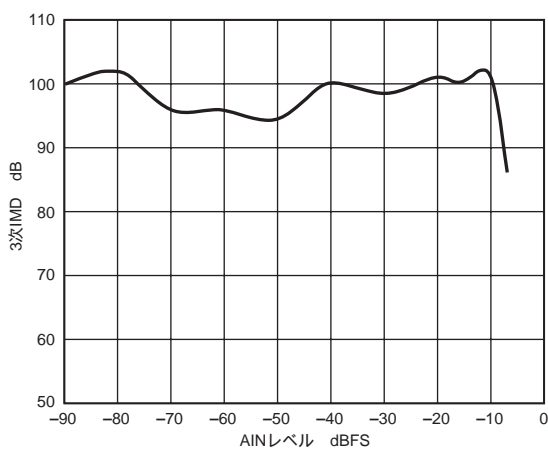
特性10 S/N比およびSINAD 対 AIN周波数  
差動AIN@ -0.50dBFS、 $f_s = 125\text{MSPS}$ 、SFDRをイネーブル



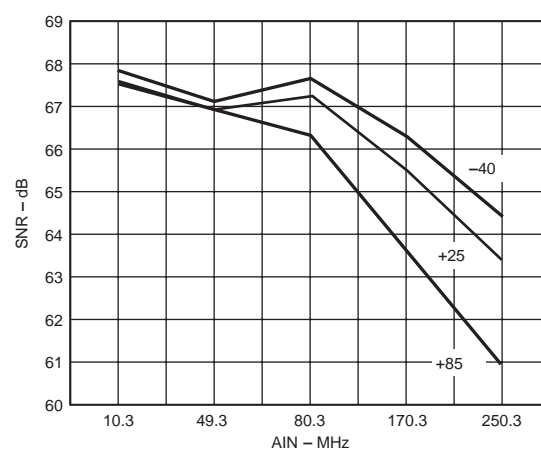
特性8 SNRおよびSFDR 対 AINレベル、 $f_s = 105\text{MSPS}$ 、 $f_{IN} = 49.3\text{MHz}$ 、差動AIN、SFDRをイネーブル



特性11 ダイナミック性能 対 AINコモン・モード電圧差動  
AIN@ -0.5dBFS、 $f_{IN} = 49.3\text{MHz}$ 、 $f_s = 105\text{MSPS}$

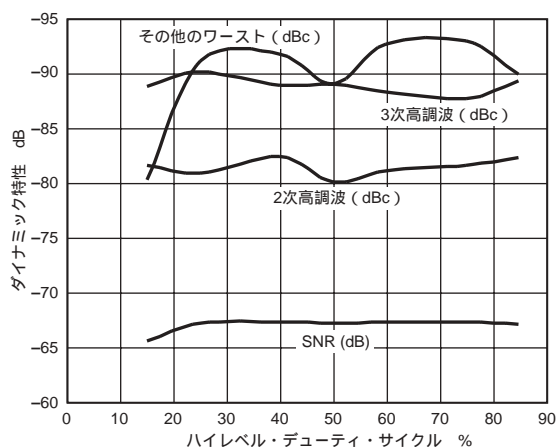


特性9 3次IMD 対 AINレベル、 $f_s = 105\text{MSPS}$ 、 $f_{IN} = 49.3\text{MHz}$ および $50.3\text{MHz}$ 、差動AIN、SFDRをイネーブル

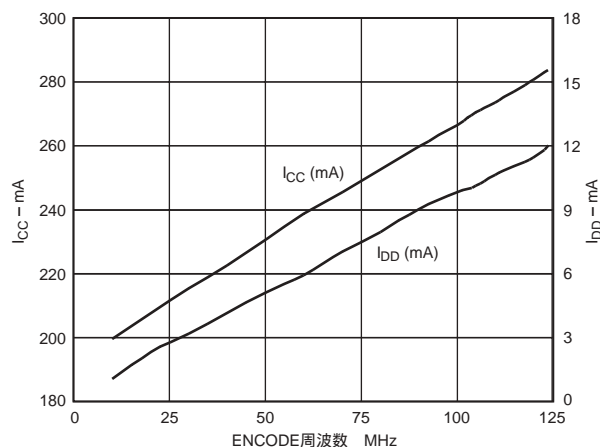


特性12 S/N比 対 AIN周波数 / 温度、 $f_s = 105\text{MSPS}$ 、差動AIN、SFDRをディスエーブル

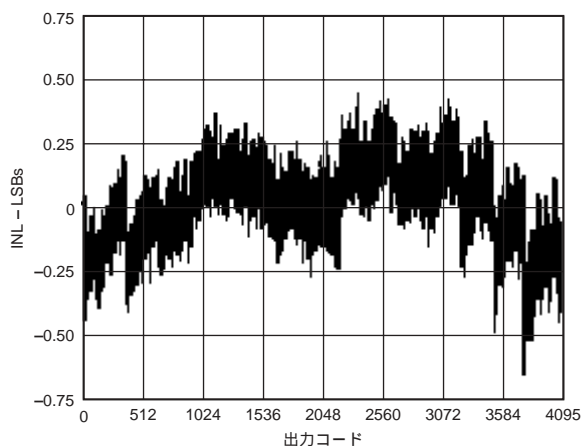
# AD9433



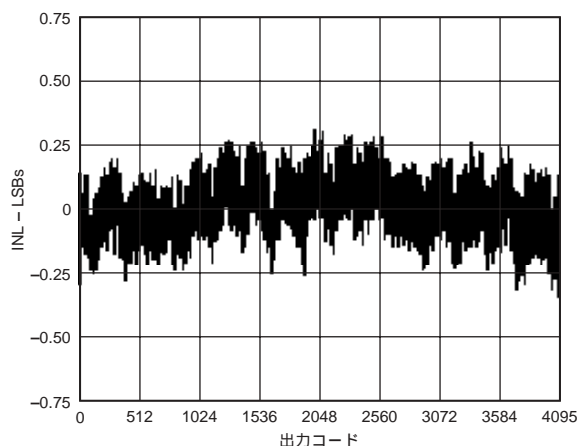
特性13 ダイナミック特性 対 ENCODEデューティ・サイクル、 $f_S = 105\text{MSPS}$ 、 $f_{IN} = 49.3\text{MHz}$ 、差動AIN @ -0.5dBFS、SFDRをイネーブル



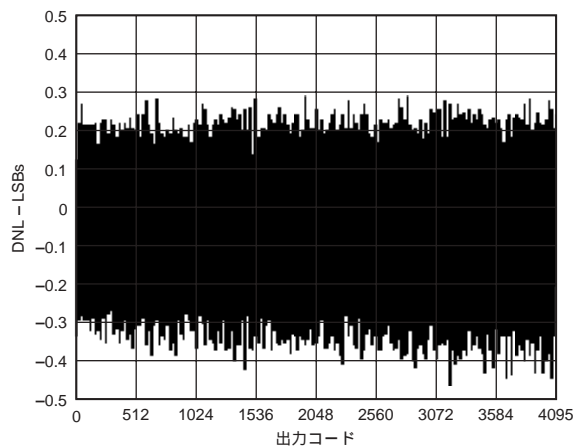
特性16  $I_{DD}$ および $I_{CC}$  対 ENCODEレート、 $f_{IN} = 10.3\text{MHz}$ 、差動AIN @ -0.5dBFS



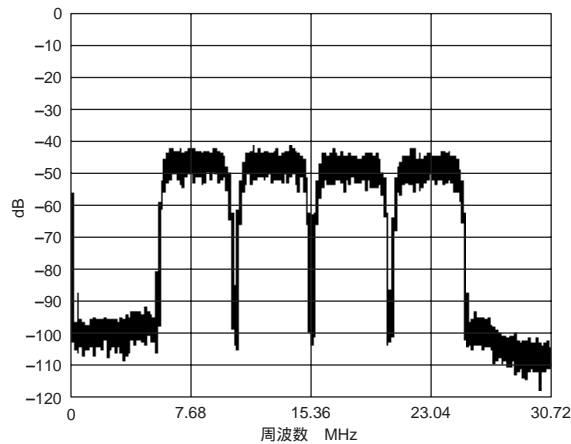
特性14 積分非直線性 対 出力コード、SFDRをディスエーブル



特性17 積分非直線性 対 出力コード、SFDRをイネーブル

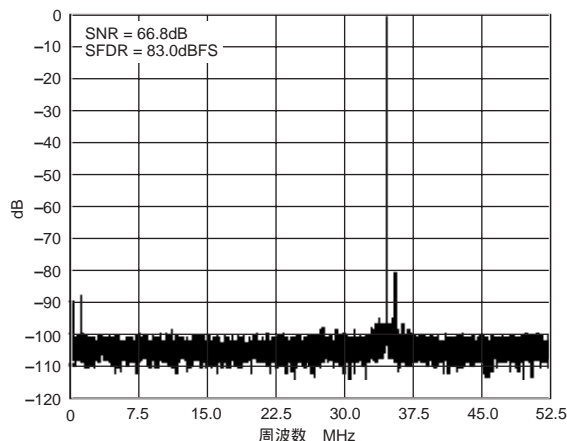


特性15 微分非直線性 対 出力コード

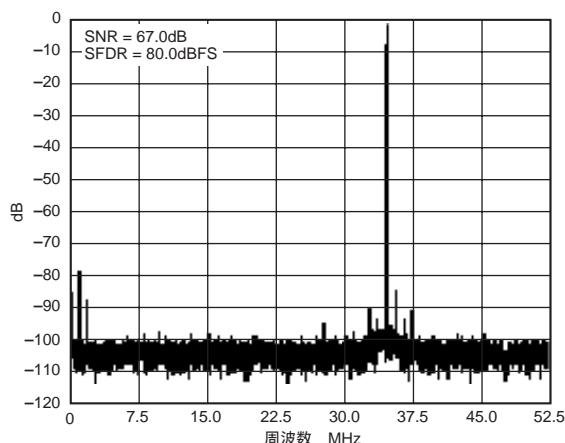


特性18 FFT :  $f_S = 61.44\text{MSPS}$ 、 $f_{IN} = 46.08\text{MHz}$ 、4種のWCDMAキャリア、差動AIN、SFDRをイネーブル

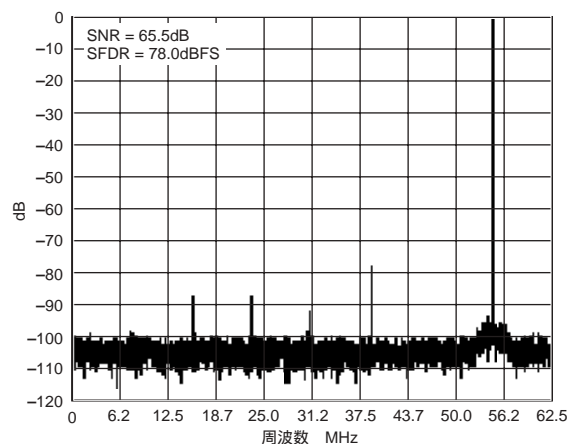
## 代表的なIFサンプリング特性



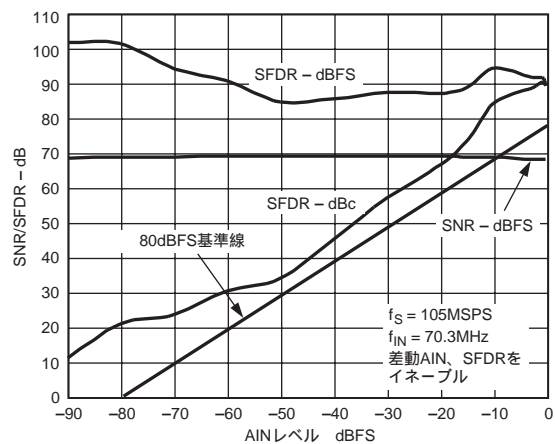
特性19 FFT :  $f_s = 105\text{MSPS}$ 、 $f_{IN} = 70.3\text{MHz}$ 、  
差動AIN @ -0.5dBFS、SFDRをイネーブル



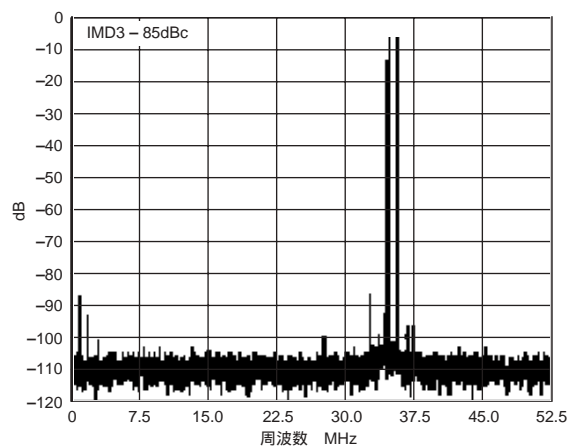
特性22 FFT :  $f_s = 105\text{MSPS}$ 、 $f_{IN} = 70.3\text{MHz}$ 、  
差動AIN @ -0.5dBFS、SFDRをディスエーブル



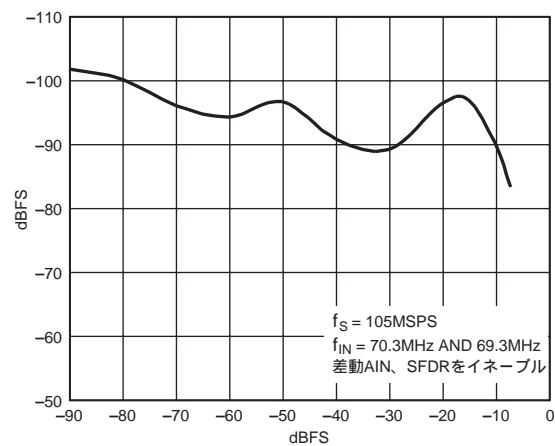
特性20 FFT :  $f_s = 125\text{MSPS}$ 、 $f_{IN} = 70.3\text{MHz}$ 、  
差動AIN @ -0.5dBFS、SFDRをイネーブル



特性23 SNR / SFDR 対 AINレベル

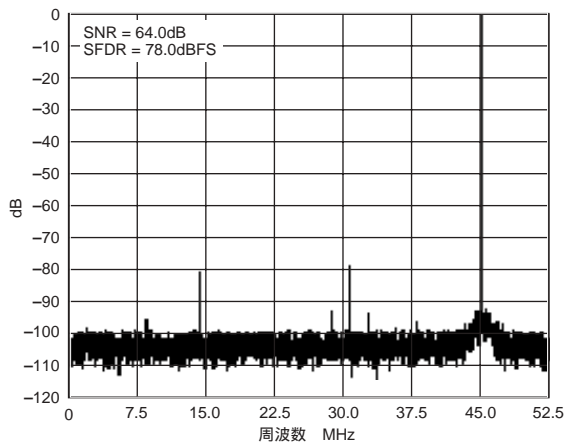


特性21 FFT :  $f_s = 105\text{MSPS}$ 、 $f_{IN} = 69.3$ および $70.3\text{MHz}$ 、  
差動AIN @ -7dBFS (各周波)、SFDRをイネーブル

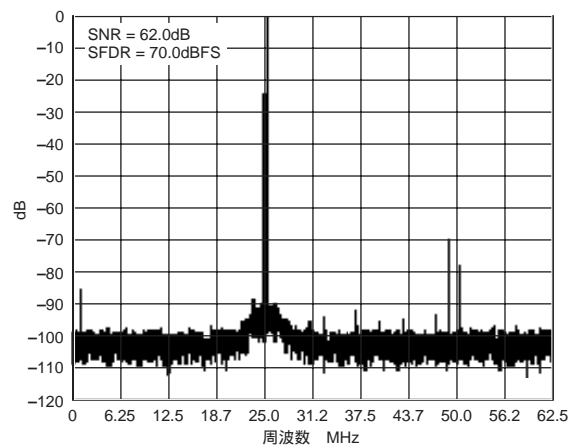


特性24 3次IMD対AINレベル、 $f_s = 105\text{MSPS}$ 、 $f_{IN} = 70.3\text{MHz}$   
および $69.3\text{MHz}$ 、差動AIN、SFDRをイネーブル

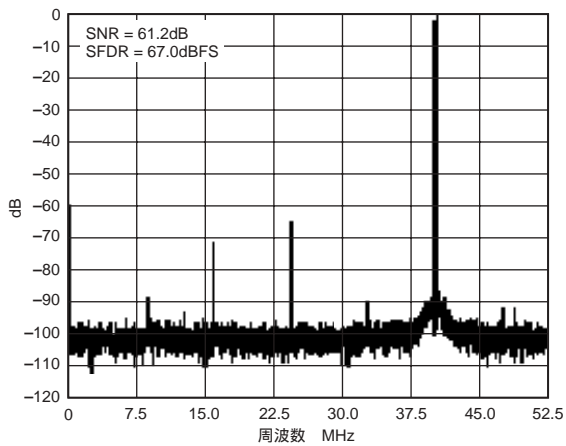
# AD9433



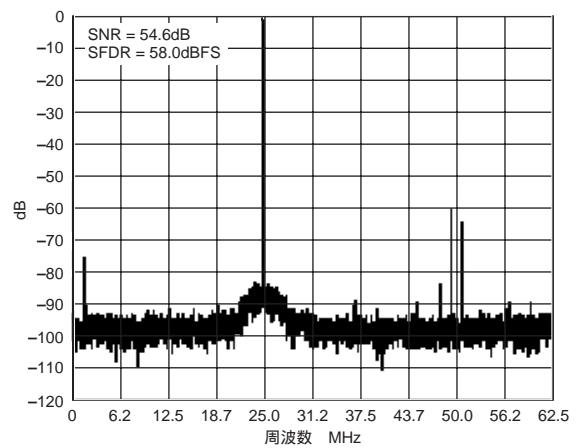
特性25 FFT :  $f_S = 105\text{MSPS}$ 、 $f_{IN} = 150.3\text{MHz}$ 、  
差動AIN @ -0.5dBFS、SFDRをイネーブル



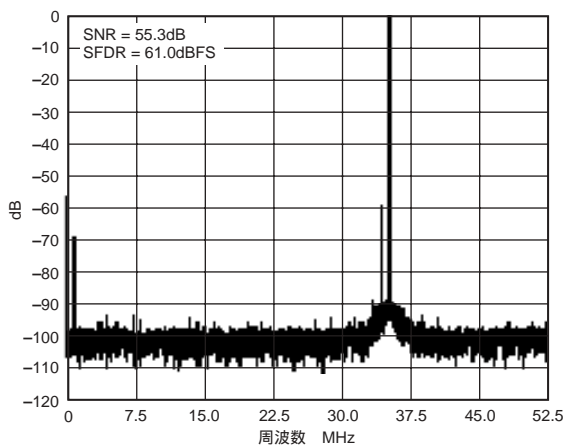
特性28 FFT :  $f_S = 125\text{MSPS}$ 、 $f_{IN} = 150.3\text{MHz}$ 、  
差動AIN @ -0.5dBFS、SFDRをイネーブル



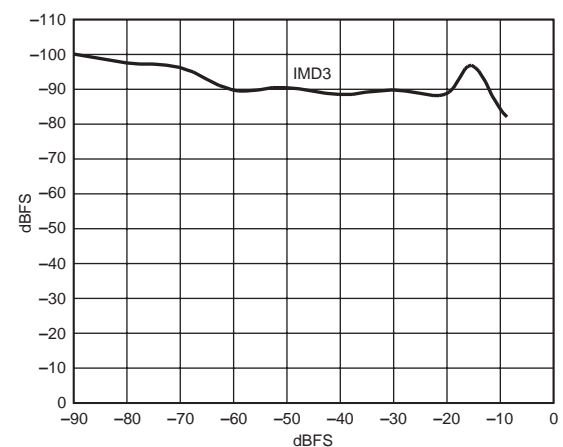
特性26 FFT :  $f_S = 105\text{MSPS}$ 、 $f_{IN} = 250.3\text{MHz}$ 、  
差動AIN @ -0.5dBFS、SFDRをイネーブル



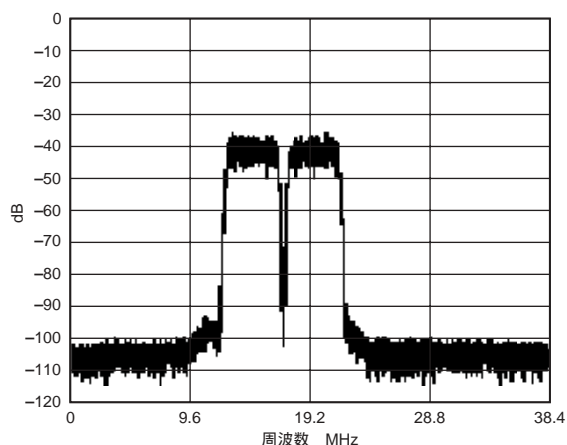
特性29 FFT :  $f_S = 125\text{MSPS}$ 、 $f_{IN} = 350.3\text{MHz}$ 、  
差動AIN @ -0.5dBFS、SFDRをイネーブル



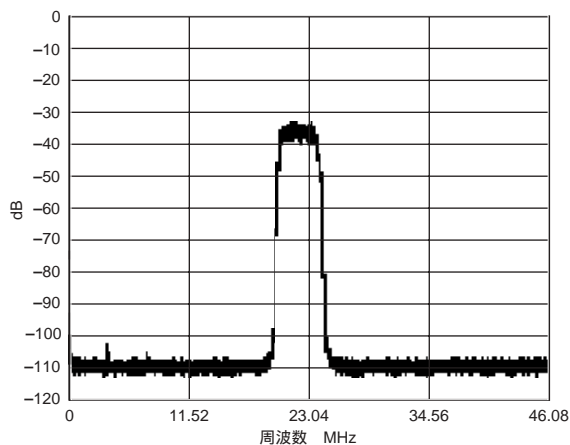
特性27 FFT :  $f_S = 105\text{MSPS}$ 、 $f_{IN} = 350.3\text{MHz}$ 、  
差動AIN @ -0.5dBFS、SFDRをイネーブル



特性30 3次IMD 対 AINレベル、 $f_S = 105\text{MSPS}$ 、  
 $f_{IN} = 150.3$ および $151.3\text{MHz}$ 、差動AIN、SFDRをイネーブル



特性31 FFT :  $f_s = 76.8\text{MSPS}$ 、 $f_{IN} = 59.6\text{MHz}$ 、  
2種のWCDMAキャリア、差動AIN、SFDRをイネーブ



特性32 FFT :  $f_s = 92.16\text{MSPS}$ 、 $f_{IN} = 70.3\text{MHz}$ 、  
WCDMA @ 70.0MHz、SFDRをイネーブ

## アプリケーション・ノート

### 動作原理

AD9433は、スイッチド・コンデンサ・アーキテクチャを採用したマルチビット・パイプライン・コンバータです。高速向けに最適化されたこのコンバータは、ナイキスト周波数まで、そしてナイキスト周波数を超えても平坦なダイナミック性能を提供します。DNL変化誤差は、出荷テストで0.25 LSB (typ) 以下の精度に校正済みです。

### AD9433の使い方

#### ENCODE入力

高速な高分解能A/Dコンバータは、ユーザーが用意するクロック入力の品質に敏感です。トラック/ホールド回路は本来ミキサであるため、クロックのノイズ、歪み、またはタイミング・ジッターがA/D出力から得られる所望の信号に混入してしまいます。このため、デザインではAD9433のENCODE入力には多くの注意が払われており、ユーザーもクロック・ソースには相当の注意を払うことが望まれます。AD9433はクロック・デューティ・サイクル安定化回路を内蔵しており、ENCODEの立ち上がりエッジ（差動駆動の場合はENCODEの立ち下がりエッジ）にロックして、内部的にタイミングを最適化します。この回路により、入力での広範囲な入力デューティ・サイクルを性能低下なしで可能にします。それでも、入力での立ち上がりエッジのジッターは大きな問題であり、内部安定化回路で減少させることはできません。この回路は常にむらになっており、ユーザーがディスエーブルにすることはできません。

ENCODE入力とENCODE入力は内部で3.75V（公称）にバイアスされているため、差動信号またはシングルエンド信号をサポートします。最適ダイナミック性能のためには、差動信号の使用を推奨します。回路内にMC10EL16を使ってENCODE入力を直接駆動すると、良い性能が得られます（図7）。

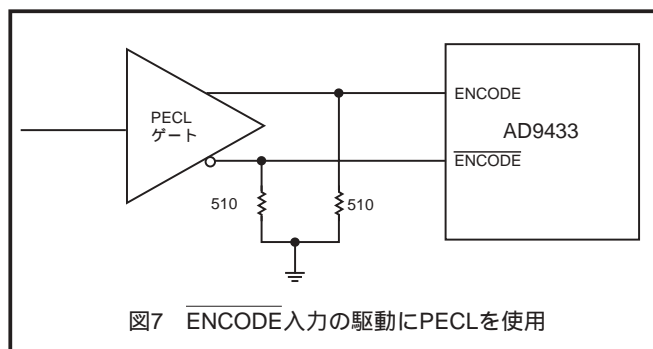


図7 ENCODE入力の駆動にPECLを使用

クリスタル・オシレータはクリーンなクロック・ソースとして使われて、純粋なシングル・エンド・サイン波が生成されます。この構成では、またはほぼ対称なシングル・エンド・クロック・ソースでは、信号をENCODE入力にAC結合できます。ジッターを小さくするために、表Iに示す入力範囲内で信号振幅を大きくする必要があります。グラウンドと各入力との間に接続された12kの抵抗は、内部バイアス抵抗と並列になり、コモン・モード電圧を約2.5Vに設定するため、入力での最大振幅が可能になります。ENCODE入力は、グラウンドに接続したコンデンサによりバイパスしてノイズを減少させる必要があります。これにより、内部バイアス電圧をENCODE信号の中心に確実に設定することができます。最適なダイナミック性能を得るためには、ENCODEとENCODEのインピーダンスが一致している必要があります。

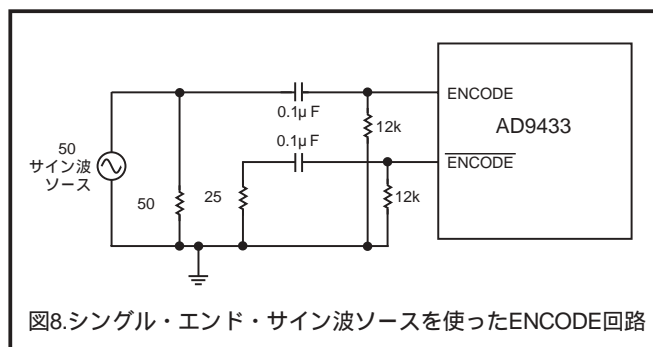


図8.シングル・エンド・サイン波ソースを使ったENCODE回路

# AD9433

図9に、AD9433にクロックを供給するもう1つの望ましい方法を示します。クロック・ソース（低ジッター）は、RF変成器を使ってシングルエンドから差動に変換されます。変成器2次側に互いに逆向きに接続されたショットキ・ダイオードが、AD9433に入力されるクロックを約0.8Vのピークtoピーク差動に制限します。この機能は、クロックの大きな電圧振幅がAD9433の別の部分に入力されてしまうことを防止し、ENCODE入力でのノイズを制限します。また、1次側に適切な制限抵抗（typ値100 $\Omega$ ）を直列に挿入すると、クリスタル・オシレータ・クロックを使ってRF変成器を駆動することもできます。

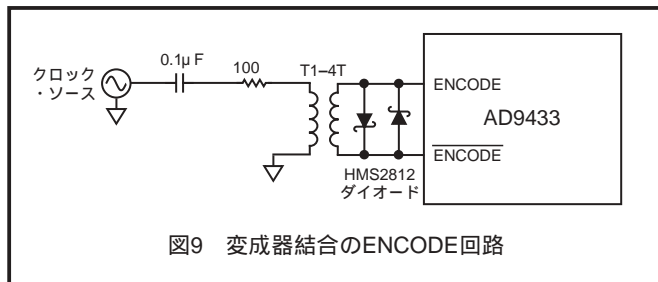


図9 変成器結合のENCODE回路

## ENCODE電圧レベルの決定

シングル・エンド・モードと差動モードでENCODEと $\overline{\text{ENCODE}}$ を駆動する電圧レベルの決定を図10に示します。

表1 ENCODE入力

説明	最小	公称	最大
差動信号振幅 ( $V_{ID}$ )	200mV	750mV	5.5V
入力電圧範囲 ( $V_{IHD}$ 、 $V_{ILD}$ 、 $V_{IHS}$ 、 $V_{ILS}$ )	- 0.5V		$V_{CC} + 0.5V$
内部コモン・モード・バイアス ( $V_{ICM}$ )		3.750V	
外部コモン・モード・バイアス ( $V_{ECM}$ )	2.0V		4.25V

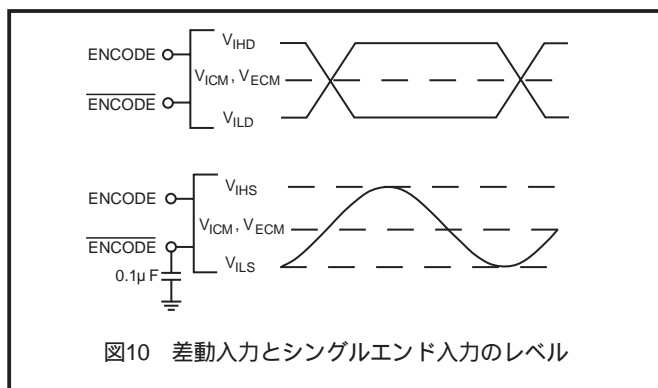


図10 差動入力とシングルエンド入力のレベル

## アナログ入力

AD9433へのアナログ入力は差動バッファになっています。アナログ入力は、内蔵の抵抗分割器により公称4Vにバイアスされています（等価回路参照）。定格性能は、入力を差動で駆動したときに得られます。入力オフセット電圧は、ACアプリケーションでの変成器のような小さい差動ソース・インピーダンスを持つソースから駆動したときに最小になります（図11）。入力での容量結合では、入力オフセット電圧が50mVも増えます。

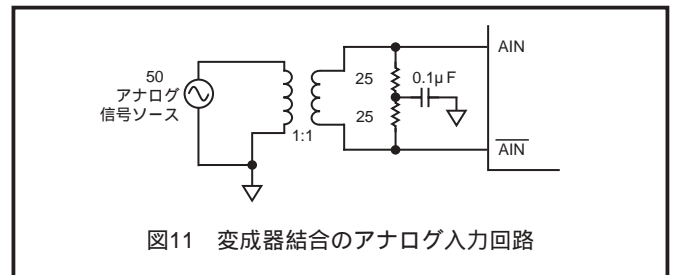


図11 変成器結合のアナログ入力回路

非常に高い周波数のアプリケーションでは、偶数次高調波歪みを小さくするために、2個の変成器を直列に接続する必要があります。最初の変成器は絶縁を行い信号を差動信号に変換しますが、1次側のグラウンドされた入力により、2次側巻線の上の振幅平衡が損なわれます。この不平衡は巻線間の容量結合で発生します。最初の変成器の一方の入力がグラウンドされているため、容量結合は小さいかまたは存在しません。そのため振幅不一致が最初の変成器出力で発生します。2番目の変成器では、振幅平衡が改善されて、高調波歪みが改善されます。2個の変成器を通過すると帯域幅が2だけ狭くなるので、これらのアプリケーションに対してはMini Circuits社のADT1-1WTのような広帯域変成器の使用が望まれます。

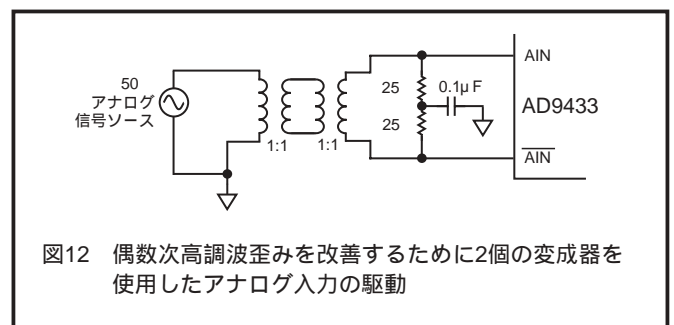


図12 偶数次高調波歪みを改善するために2個の変成器を使用したアナログ入力の駆動

ADCをシングルエンドで駆動すると、性能特に偶数次高調波歪みを低下させます。最適なダイナミック性能を得るためには、AINと $\overline{\text{AIN}}$ のインピーダンスが一致している必要があります。AD9433のアナログ入力部の設計では、入力が過駆動された際に損傷とデータの破壊を防止するために特別な注意が払われています。

## SFDRの最適化

SFDR MODEピンは当社独自の回路をイネーブルにします（SFDR MODE = 1）。この回路はAD9433のスプリアスフリー・ダイナミックレンジ（SFDR）性能を改善します。この機能は、ADC伝達関数の非直線性から生じるディスクリート・スプリアス周波数成分により、システムのダイナミックレンジが制限されているアプリケーションで役立ちます。この回路をイネーブルにすると、ダイナミックな伝達関数が回路に与えられます。これは2つの隣接出力コード間の電圧スレシールドを各クロック・サイクル毎に変化させることを意味します。伝達関数のこのダイナミックな面はスプリアス周波数成分を改善しますが、ある種のコンバータの時間領域アプリケーションにとって好ましくない場合があります。SFDR MODEピンをグラウンドに接続すると、この機能はディスエーブルにされます。データシートの代表的な性能曲線の節に、コンバータの直線性の改善とスプリアスフリー・ダイナミックレンジに対する効果を示してあります（特性1、2、15、18）。

## デジタル出力

デジタル出力は低消費電力の3V (2.7~3.3V) TTL/CMOS互換です。出力データ・フォーマットは、データ・フォーマット・セレクト (DFS) CMOS入力を使って選択できます。DFS = 1ではオフセット・バイナリが、DFS = 0では2の補数コーディングが、それぞれ選択されます。

表II オフセット・バイナリ出力コーディング (DFS = 1、 $V_{REF} = 2.5V$ )

コード	AIN - $\overline{AIN}$ (V) RANGE = 2V p-p	デジタル出力
4095	+ 1.000	1111 1111 1111
.	.	.
.	.	.
2048	0	1000 0000 0000
2047	- 0.00049	0111 1111 1111
.	.	.
.	.	.
0	- 1.000	0000 0000 0000

表III 2の補数出力コーディング (DFS = 0、 $V_{REF} = 2.5V$ )

コード	AIN - $\overline{AIN}$ (V) RANGE = 2V p-p	デジタル出力
+ 2047	+ 1.000	0111 1111 1111
.	.	.
.	.	.
0	0	0000 0000 0000
- 1	- 0.00049	1111 1111 1111
.	.	.
.	.	.
- 2048	- 1.000	1000 0000 0000

## リファレンス電圧

AD9433には、安定かつ正確な2.5V電圧リファレンスが内蔵されています (VREFOUT)。ノーマル動作では、ピン45とピン46を接続して、0.1  $\mu$ Fのデカップリング・コンデンサをVREFINに接続すると、内部リファレンスを使用できます。入力範囲は、AD9433に入力するリファレンス電圧を変化させて調節できます。リファレンス電圧を50に調整しても、顕著な性能低下はありません。ADCのフルスケール範囲は、リファレンス電圧の変化に比例します。

## タイミング

AD9433は、10段のパイプライン遅延を持つラッチされたデータを出力します。データ出力は、ENCODEコマンドの立ち上がりエッジから1伝搬遅延 ( $t_{PD}$ ) 後に有効になります (タイミング図参照)。

出力データ・ラインの長さ、それらに接続された負荷を最小にしてAD9433内部での過渡電圧を抑える必要があります。これらの過渡電圧はコンバータのダイナミック性能を低下させることがあります。AD9433の最小保証変換レートは10MSPSです。10MSPSより低い内部クロック・レートでは、ダイナミック性能が低下することがあります。

## レイアウト情報

評価ボードの回路図とレイアウト (図13~図21) に、代表的なAD9433の使用法を示します。最適な結果を得るためには多層ボードの使用を推奨します。高品質セラミック・チップ・コンデンサをデバイスの各電源ピンに直接接続してグラウンドからデカップリングすることをお勧めします。AD9433のピン配置は、高周波数かつ高分解能設計の実現を容易にするように考慮されています。すべてのデジタル出力およびそれらの電源ピンとグラウンド・ピンの接続は、絶縁のためにパッケージの片側に集めてあり、入力は反対側に集めてあります。

デジタル出力パターンのルーティングには注意が必要です。デジタル出力がAD9433のアナログ部分 ( $V_{CC}$ 、AIN、VREF) に混入するのを防止するため、これらの出力の容量負荷を小さくする必要があります。すべてのAD9433デジタル出力に対して、ファンアウトはゲート1個分に制限することを推奨します。ENCODE回路のレイアウトも同様に重要であり、アナログ入力として扱う必要があります。この回路に混入するすべてのノイズが量子化処理に悪影響を与えて、全体性能を低下させます。ENCODEクロックは、デジタル出力とアナログ入力から分離する必要があります。

## AD9433によるAD9432の置き換え

AD9433はAD9432とピン・コンパチブルですが、AD9433に存在する2本のコントロール・ピン (DNCと $V_{CC}$ ) は、AD9432では接続しません。表IVに、この違いをまとめます。

表IV AD9432/AD9433ピン間の相違

ピン	AD9432	AD9433
41	DNC	DFS
42	VCC	SFDR MODE

AD9432のピン配置でAD9433を使うと、AD9433は次のように設定されます。

- ・SFDR改善回路はイネーブルにされます。
- ・DFSピンは開放でローレベルになり、デジタル出力には2の補数コーディングが選択されます。これはAD9432と同じ構成です。

表Vに、AD9432とAD9433の間のアナログおよびENCODE入力コモン・モード電圧の相違をまとめます。これらの入力はデバイスを相互に使用可能にするためAC結合にすることができます。

表V その他のAD9432/AD9433間の相違

機能	AD9432	AD9433
ENCODE/ENCODE $V_{COMMON MODE}$	1.6V	3.75V
AIN/ $\overline{AIN}$ $V_{COMMON MODE}$	3.0V	4.0V

# AD9433

表VI AD9433評価ボードの電源接続

コネクタ	ピン	表示	所要外部電源	概略電流レベル
P42	P1、P3	GND	グラウンド	30
	P2	- 5V ( オプションのU10電源 )	- 5V	
	P4	V <sub>DL</sub>	+ 3V	144
P43	P1、P3	GND	グラウンド	10mA 325mA ( U10なしの場合 ) 355mA ( U10ありの場合 )
	P2	V <sub>O</sub>	+ 3V	
	P4	V <sub>CC</sub>	+ 5V	

## 評価ボード

AD9433評価ボードを使うと、デバイスの性能評価を容易に行えます。アナログ入力信号、ENCODEクロック・リファレンス、電源を入力する必要があります。AD9433のデジタル出力は評価ボード上でラッチされて、40ピン・エッジ・コネクタのデータ・レディ信号と一緒に出力されます。以下に示す評価ボード回路図、レイアウト、部品表を参照してください。

## 電源の接続

ボードの電源は、2個の取り外し可能な4ピン電源ストリップ ( P42とP43 ) から供給します。これらの8ピンは表VIに示すように使用する必要があります。- 5V電源はオプションであり、ボードに差動オペアンプU10を追加する場合にのみ必要です。

## ジャンパ・オプション

表VIIに、AD9433評価ボードのジャンパ・オプションを示します。

表VII AD9433評価ボードのジャンパ・オプション

ジャンパ表示	接続	設定
SFDR	5V GND	SFDR強化回路をイネーブル SFDR強化回路をディスエーブル
DFS	5V GND	オフセット・バイナリ出力データ・フォーマットを選択 2の補数出力データ・フォーマットを選択
LATCH	E10 ~ E6 E10 ~ E5	出力レジスタ ( U7 ~ U8 ) クロックをバッファ 出力レジスタ ( U7 ~ U8 ) クロックを反転
DATA READY	E7 ~ E8 E7 ~ E9	データ・レディ信号をバッファ データ・レディ信号を反転

## ENCODE信号および分配

ENCODE入力信号はSMBコネクタP38を駆動する必要があります。このコネクタには50 Ω 終端抵抗が実装されています。この信号はAC結合されており、低ジッター・パルスまたは最大4Vピークtoピーク振幅のサイン波リファレンスを入力できます。U2 ( MC10EP16 ) がこのシングル・エンド入力信号を差動PECL信号に変換して、AD9433を駆動します。また、U1 ( DS90LV048A ) もP38の信号をCMOSレベル信号に変換して、2個の出力データ・レジスタU7 ~ U8 ( 74LVT574WM ) のクロック入力、再生用DAC U3 ( AD9772AAST ) 出力データ・コネクタを駆動します。

## アナログ入力

アナログ入力信号はSMBコネクタP39を経由して評価ボードにAC結合されます。変成器T1とT2 ( ADT1-1WT ) は、この信号を差動信号に変換して、AD9433のAINとAINを駆動します。これらのRF変成器は1 : 1ですが、実際の巻数比は6 : 7です。T1は180度向きを変えてボードに実装しており、1次側と2次側が反対になっているため、巻数比は7 : 6になっています。直列に接続されている2番目の変成器がアナログ信号に対しては1 : 1の合成巻数比を構成するようになり、25 Ω の抵抗R3とR4によりコネクタJ1に対して50 Ω 終端を提供します。

シングルエンド駆動にするため変成器を削除する場合に、通常は実装されない抵抗R3を使うと、P39を終端にできます。この構成では、T1のピン3からの入力信号をT2ピン6に接続して、抵抗R4を削除する必要があります。抵抗R3は、AINとAINのインピーダンスをマッチングさせるために残しておく必要があります。

## AD8350の使用

AD8350差動アンプを使用する、アナログ入力用のオプションのドライバ回路が、AD9433評価ボードのレイアウト内に用意してあります。ボード製造時には評価回路のこの部分には実装されていませんが、容易に追加できます。抵抗R29とR30を削除すると、通常のアナログ入力信号パスが切断されます。R17とR31を実装すると、AD8350出力回路が接続されます。

## DAC再生回路

出力コネクタU2のデータは、DAC U3 ( AD772A ) によりアナログに戻されます。この14ビット高速D/Aコンバータは、評価ボードのセットアップとデバッグのツールとして添付されています。このD/Aコンバータの性能はADCの性能を正確に反映しないため、AD9433の性能測定の目的に使用することはできません。AD9433評価ボード上の設定に従い、AD9772Aは入力クロック周波数を2分周し、AD9433からの他の各サンプルを無視します。アナログ入力周波数がADC ENCODEレートの1/4以下の場合にのみAD9433の入力をDAC出力が反映するように、AD9772は内部で失われているサンプルを内挿します。AD9772はオフセット・バイナリ・フォーマットを必要とするため、DFSジャンパは5Vに接続する必要があります。J1上のDAC出力は50 Ω を駆動します。E43とE42の間でジャンパ線を移動してE43をE44に接続し、DACのSLEEP機能を有効にすることができます。



評価ボードの部品表

項目	数量	表示	デバイス	パッケージ	部品定数
1	1	AD9433/PCB	PCB		
2	1	U4	ADC	QFP52	AD9433BST-XXX
3	1	U3	DAC	LQFP48	AD9772AAST
4	1	U1	クワッド LVDS/CMOS	SO16	DS90LV048A
5	1	U2	差動ECLレシーバ	SO8NB	MC10EP16
6	2	U7 ~ U8	D フリップ - フロップ		74LV1574WM
7	2	T1 ~ T2	1 : 1変成器	CD542	ADT1-1WT
8	35	C1,C2,C4 ~ C8、 C10、 C12 ~ C18、 C20 ~ C24、 C27 ~ C28、 C30 ~ C38、 C42 ~ C43、 C45、 C48	コンデンサ	0603A	0.1 $\mu$ F
9	3	C9、 C40 ~ C41	コンデンサ	BCAPTAJD	10 $\mu$ F
10	1	C11	コンデンサ	0603A	10 $\mu$ F
11	2	R10、 R23	BRES603	0603A	50
12	2	R29 ~ R30	BRES603	0603A	33
13	4	R1 ~ R2、 R24 ~ R25	BRES603	0603A	510
14	3	R3 ~ R4、 R7	BRES603	0603A	25
15	3	R5、 R6、 R14	BRES603	0603A	2k
16	2	R9、 R13	BRES603	0603A	1.2k
17	2	R11、 R16	BRES603	0603A	1k
18	1	R12	BRES603	0603A	220
19	2	RZ1 ~ RZ2	抵抗バック	SO16RES	742C163221 ( 220 )
20	2	RZ4 ~ RZ5	抵抗バック	SO16RES	742C163220 ( 22 )
21	3	J1、 P38 ~ P39	SMBPN	SMB	PC-Mount SMB
22	1	P44	40ピン・ヘッダー	C40MS	Samtec Tsw-120-07-G-D
23	2	P42 ~ P43	電源コネクタ	PTMICRO4	Weiland Z5.531.3425.0 Posts 25.602.5453.0 Top
24	15	E5 ~ E7、 E8 ~ E10、 E19 ~ E21、 E25 ~ E27、 E31 ~ E33	“ E ” ホール	ジャンパ・ブロック	TSW-120-07-G-S SMT-100-BK-G
25	4	E28/E29、 E36/E37、 E39/E40、 E42/E43	“ E ” ホール	ワイヤー・ストラップ	短絡
26*	1	T3	1 : 1変成器	CD543	ADT1-1WT
27*	1	U10	オペアンプ	SO8	AD8350
28*	7	C3,C46 ~ C47、 C50 ~ C53	コンデンサ	0603A	0.1 $\mu$ F
29*	1	C44	コンデンサ	BCAPTAJD	10 $\mu$ F
30*	2	R15、 R27	BRES604	0603A	50
31*	2	R18 ~ R19	BRES606	0603A	25
32*	2	R20、 R33	BRES608	0603A	1.5k
33*	2	R21、 R28	BRES605	0603A	100
34*	6	L1 ~ L2、 R17、 R22、 R31、 C29、 C49	セレクト(R、 L、 C)	0603A	セレクト
35*	1	P41	SMBPN	SMB	PC-Mount SMB
36*	6	E30、 E34 ~ E35、 E38、 E41、 E44	“ E ” ホール	オプション・ホール	

\*この項目はPCBの設計に含まれていますが、実装されていません。

# AD9433

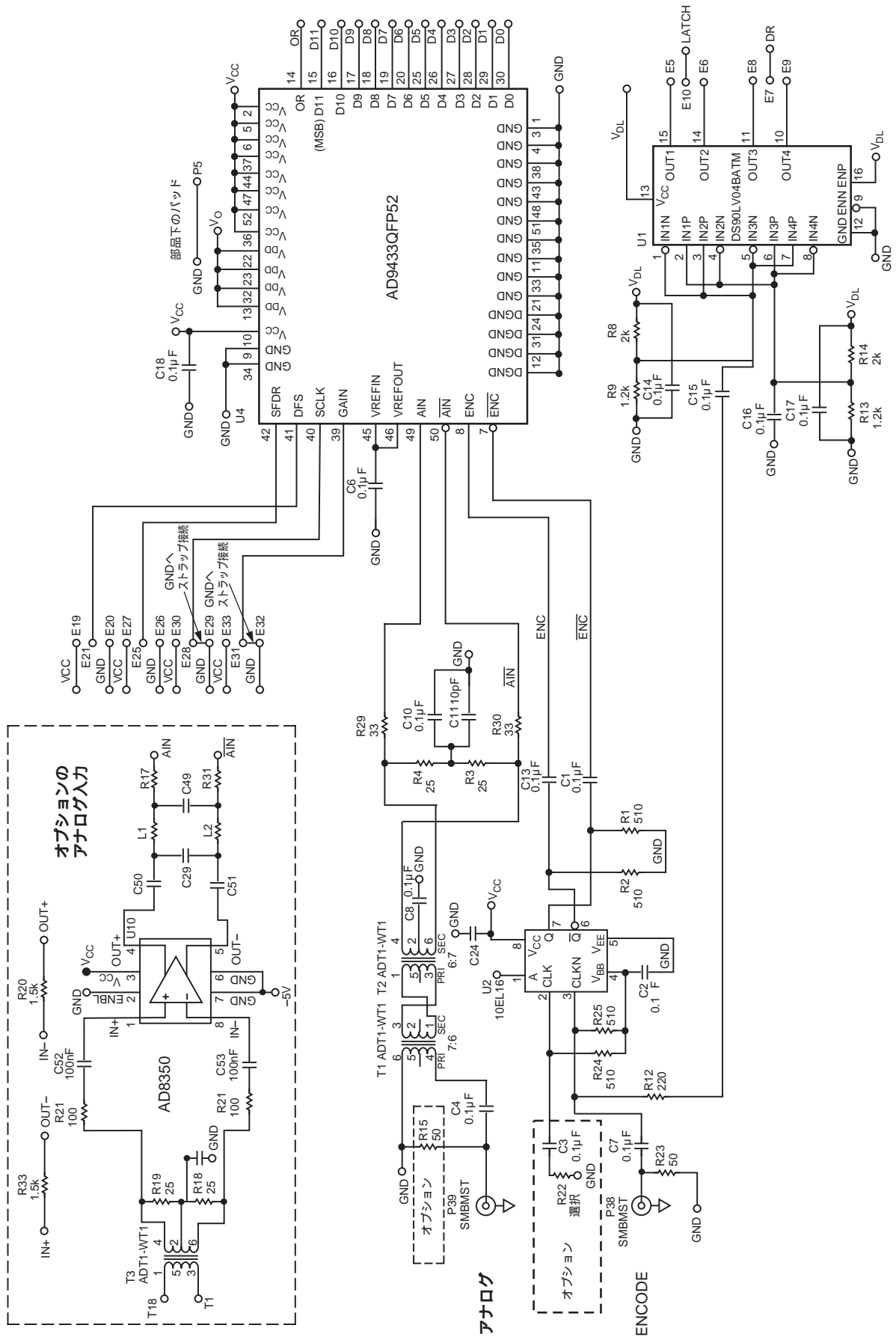


図13 評価ボードの回路図

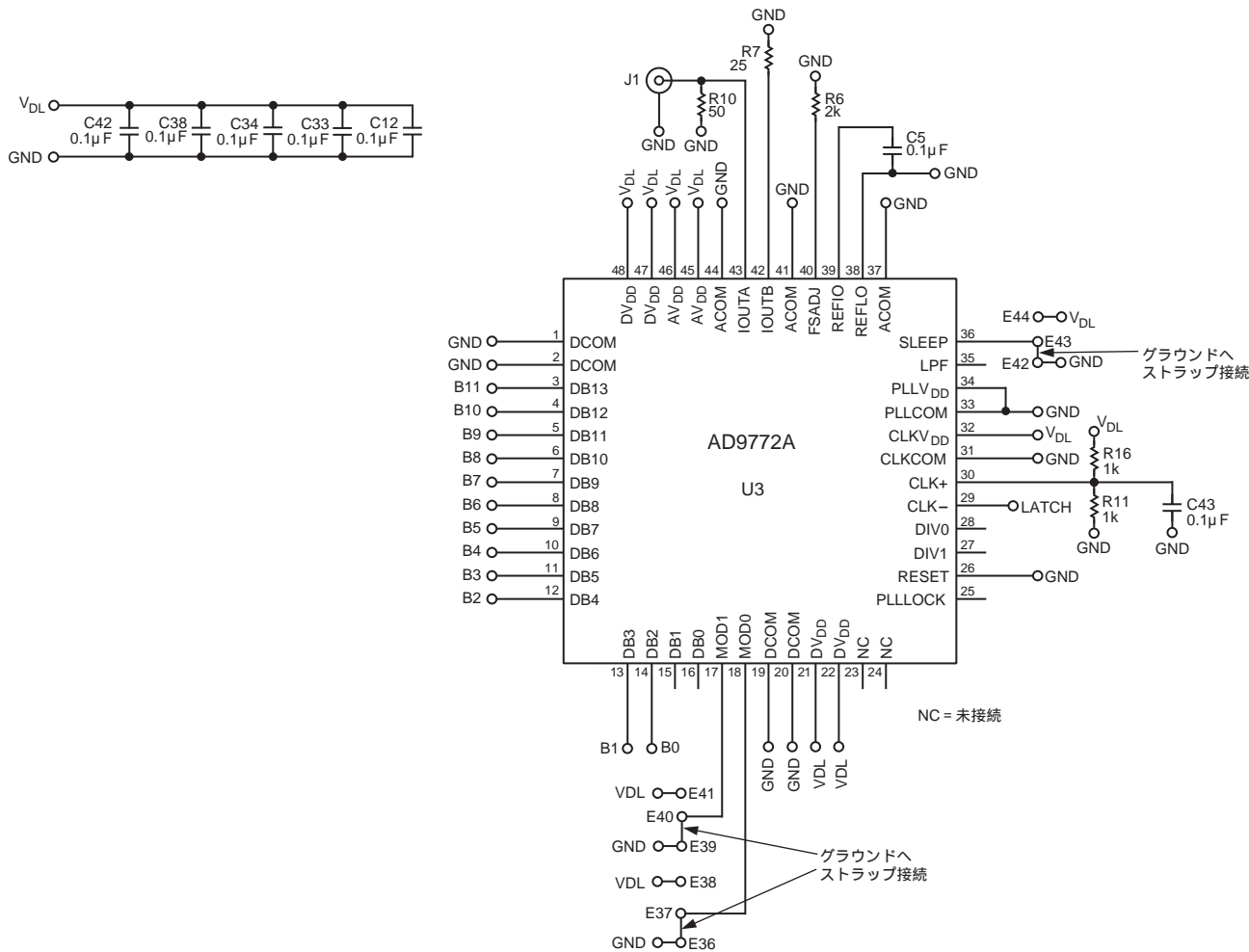


図14 評価ボードの回路図

# AD9433

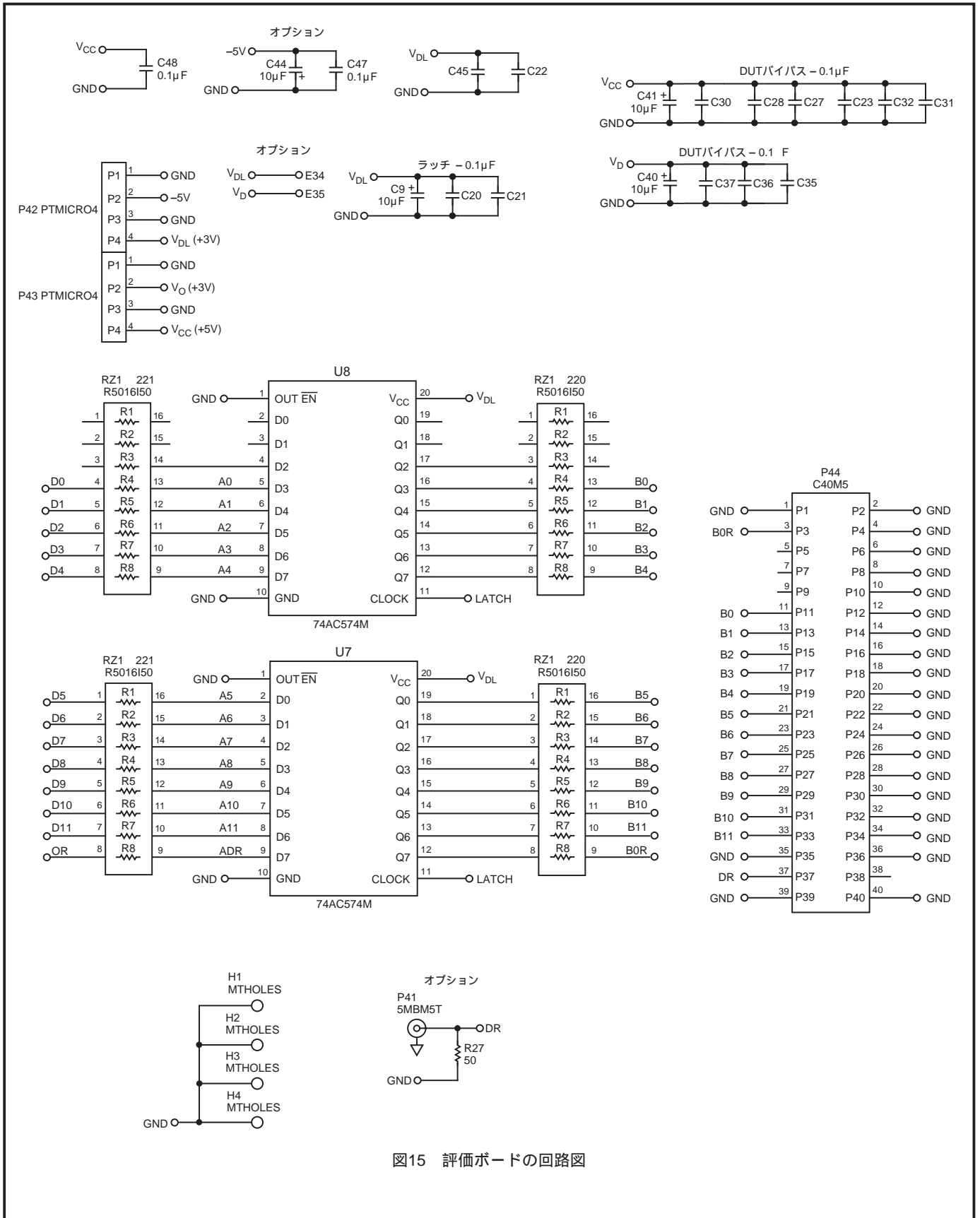


図15 評価ボードの回路図

## AD9433 評価ボードのレイアウト

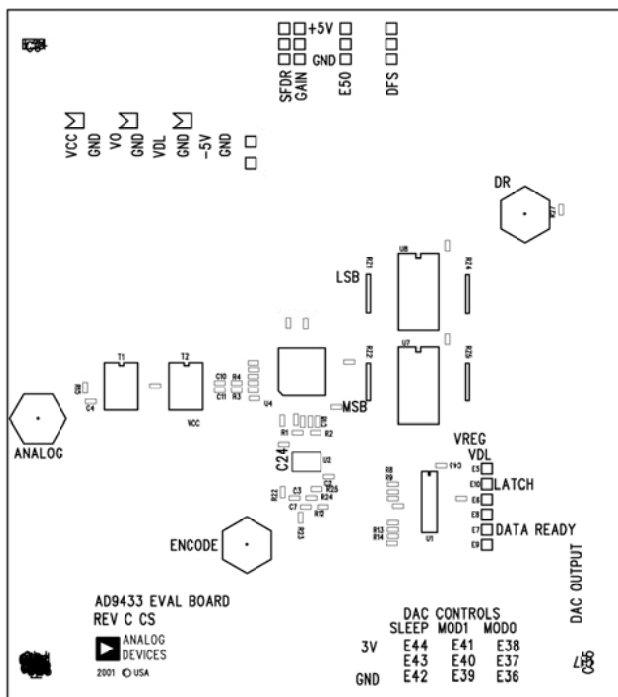


図16 表面のシルクスクリーン印刷

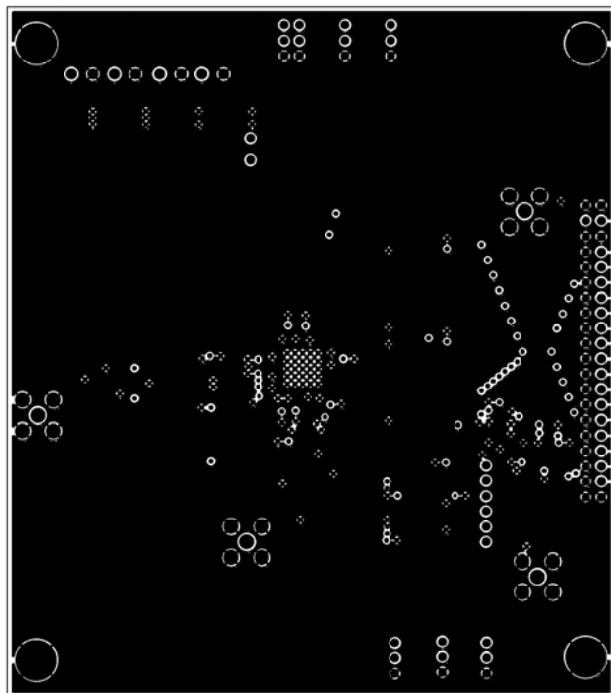


図18 グラウンド・プレーン

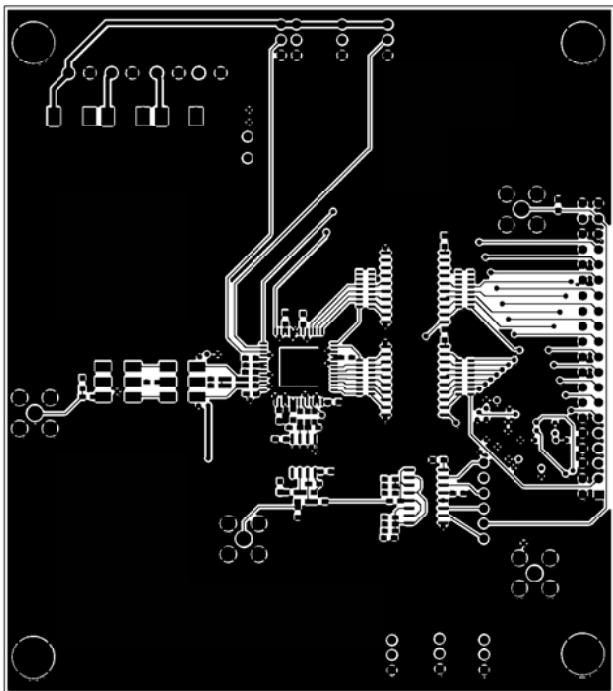


図17 表面配線

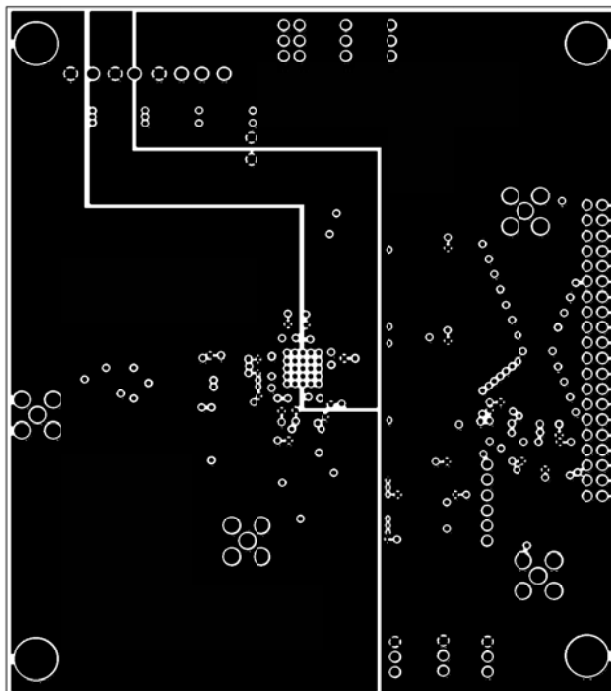


図19 電源プレーン

# AD9433

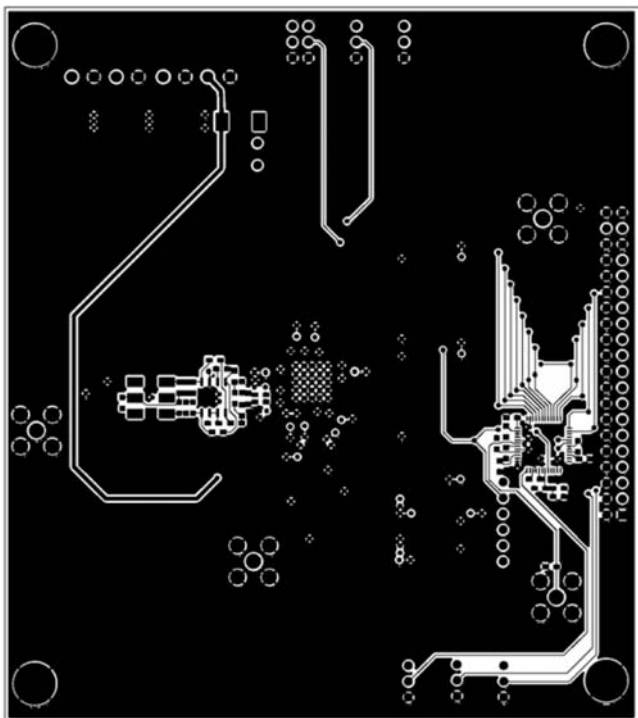


図20 裏面配線

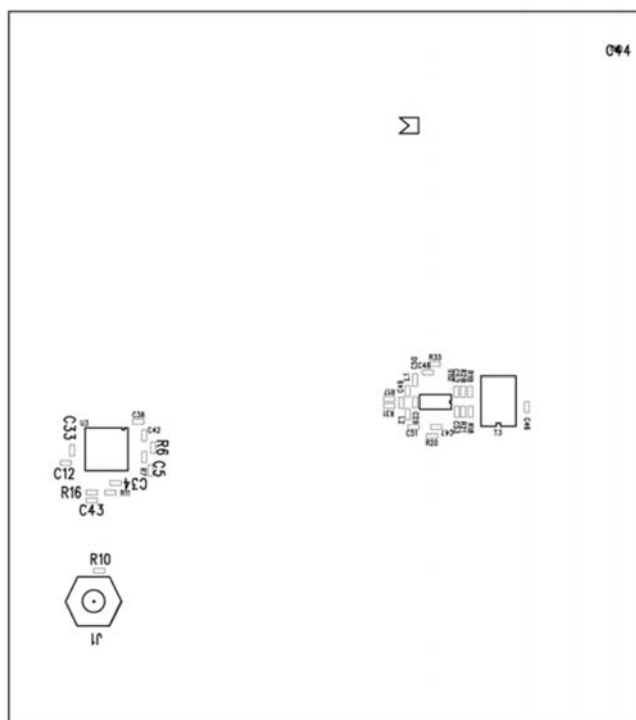
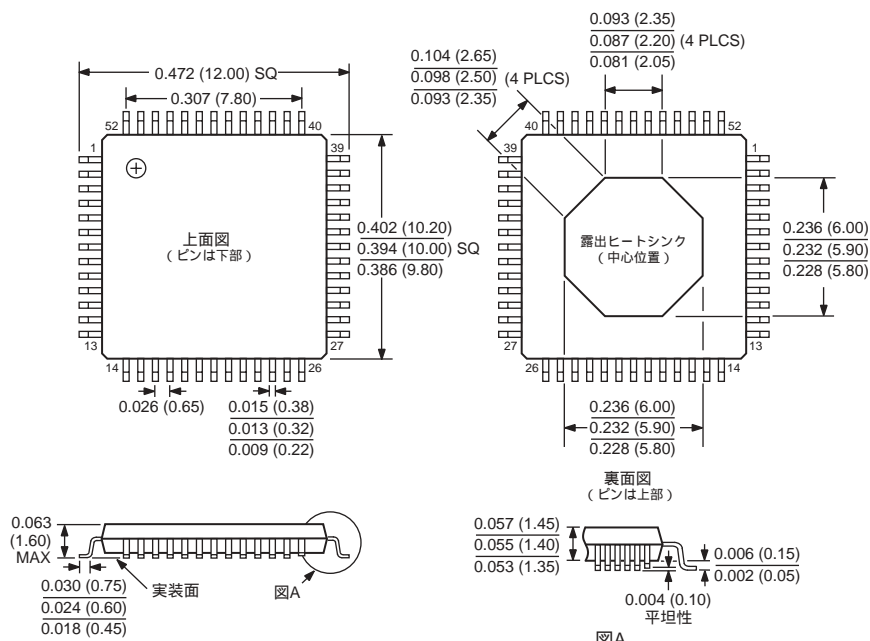


図21 裏面のシルクスクリーン印刷

## 外形寸法

サイズはインチと (mm) で示します。

### 熱強化52ピン・パワー薄型プラスチック・ クワッド・フラットパック (LQFP\_ED) (SQ-52)



#### 注

- 寸法管理はmmです。インチ寸法はmmに丸め処理してあるため参考用であり、設計での使用には向きません。
- すべてのアプリケーションで必要とは限りませんが、AD9433パッケージ底面に放熱バス用の露出した金属パッドが設けてあります。放熱効果を大きくするためには、グラウンド・プレーンへの放熱ビアを近くに配置したランド・パターンをパッケージ・フットプリント内にパッケージの露出金属パッド寸法に対応して設ける必要があります。ハンダ付け可能なランド領域はハンダ・マスクにより指定し、少なくともパッケージの露出金属パッドと同じサイズおよび形状にする必要があります。ランド・パターンの外縁とパッド・パターンの内縁の間隔は少なくとも0.25mmに維持して、短絡が発生しないようにする必要があります。

# AD9433

TDS01/2002/1000

PRINTED IN JAPAN



このデータシートはエコマーク認定の再生紙を使用しています。