

特長

SNR = 65dB@ f_{IN} 最大70MHz@170MSPS
 10.6のENOB@ f_{IN} 最大70MHz@170MSPS (-0.5dBFS)
 SFDR = -80dBc@ f_{IN} 最大70MHz@170MSPS (-0.5dBFS)

優れた直線性

DNL = ± 0.3 LSB (typ)

INL = ± 0.5 LSB (typ)

2つの出力データ・オプション

デマルチプレックスされた、各々3.3VのCMOS出力@85MSPS

インターリーブまたはパラレル・データ出力オプション

170MSPSのLVDS出力

700MHzのフルパワー・アナログ帯域幅

リファレンスとトラック・アンド・ホールド・アンプを内蔵

消費電力: 1.1W (typ)@170MSPS

1.5Vの入力電圧範囲

3.3V電源動作

出力データ・フォーマット・オプション

データ同期入力とデータ・クロック出力を用意

クロックのデューティ・サイクル安定化機能

アプリケーション

ワイヤレスおよび有線ブロードバンド通信

ケーブル反転経路

通信試験装置

レーダおよび衛星通信サブシステム

パワーアンプのリニアライゼーション

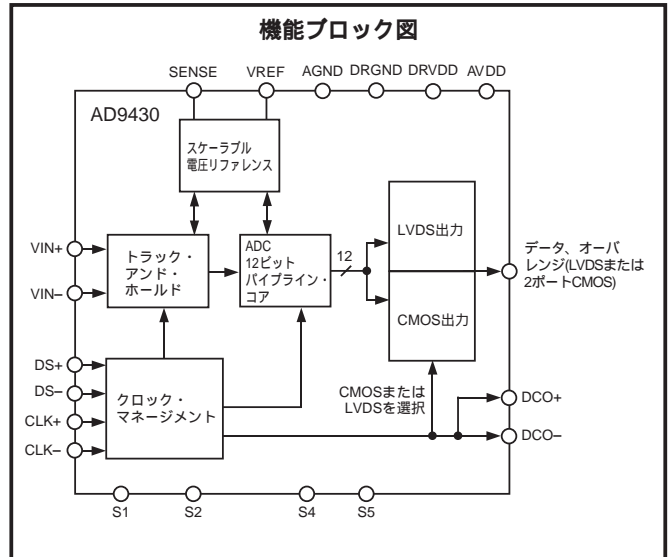
製品の説明

AD9430は、使いやすく、かつ、高性能、ローパワーの12ビットのモノリシック・サンプリングA/Dコンバータです。最大210MSPSまでの変換レートで動作し、広帯域キャリアおよびブロードバンド・システムで非常に優れたダイナミック性能を発揮するように最適化されています。完全な変換ソリューションを提供するため、トラック・アンド・ホールド(T/H)とリファレンスを含むすべての必要な機能をチップ上に集積化しています。

AD9430の十分な性能動作を得るために重要なものは、3.3V電源と差動ENCODEクロックです。デジタル出力はTTL/CMOSまたはLVDSコンパチブルで、2の補数またはオフセット・バイナリのどちらかのフォーマットをサポートします。別に用意されている出力電源ピンは、3.3Vまたは2.5VのCMOSロジックとのインターフェースをサポートします。

CMOSモード時には、2つの出力バスが変換レート最大105MSPSまでのデマルチプレックスされたデータをサポートします。CMOSモード時の出力データ・ポートのアライ

機能ブロック図



メントを正しく実行するために、データ同期入力がサポートされており、さらにデータ・クロック出力により、正しい出力データ・タイミングを維持することができます。LVDSモード時には、AD9430はENCODEクロック・レートでデータを供給します。

AD9430は最新のBiCMOSプロセス技術で製造されており、パッケージは100ピンの表面実装プラスチック・パッケージ(100 e-PAD TQFP)で、工業温度範囲(-40 ~ +85)で仕様規定されています。

製品のハイライト

1. 高性能：65MHzの入力時に66dBのSNR @170MSPSを維持
2. ローパワー：消費電力は、わずか1.1W@170MSPS
3. 使いやすさ：LVDS出力のデータとクロック信号により、現在のFPGA技術とのインターフェースが可能。リファレンスとサンプル・アンド・ホールド回路が内蔵されているので、柔軟性の高いシステム設計が可能。3.3V単電源の使用により、システム電源の設計が簡略化されます。
4. アウト・オブ・レンジ(OR)：入力信号が選択した入力電圧範囲を超えたとき、OR出力ビットを表示します。

アナログ・デバイス社が提供する情報は正確で信頼できるものを期していますが、その情報の利用または引用したことにより引き起こされる第三者の特許または権利の侵害に関して、当社は、いっさいの責任を負いません。さらに、アナログ・デバイス社の特許または特許の権利の使用を許諾するものでもありません。

* 日本語データシートは、REVISIONが古い場合があります。最新の内容については英語版をご参照ください。

AD9430 - 仕様

DC仕様 (特に指定のない限り、AVDD = 3.3V、DRVDD = 3.3V ; T_{MIN} = -40、T_{MAX} = +85、f_{IN} = -0.5dBFS、内部リファレンス、LVDS出力モード)

パラメータ	温度	試験レベル	AD9430BSV-170			単位
			Min	Typ	Max	
分解能				12		ビット
精度				保証		
ノーマル・ミスコード	全範囲	VI				
オフセット誤差	25	I	-3		+3	mV
ゲイン誤差	25	I	-5		+5	% FS
微分非直線性(DNL)	25	I	-1	±0.3	+1	LSB
	全範囲	VI	-1	±0.3	+1.5	LSB
積分非直線性(INL)	25	I	-1.5	±0.5	+1.5	LSB
	全範囲	VI	-1.5	±0.5	+2.25	LSB
温度ドリフト						
オフセット誤差	全範囲	V		58		µV/
ゲイン誤差	全範囲	V		0.02		%/
リファレンス出力(VREF)	全範囲	V		+0.12/-0.24		mV/
リファレンス						
リファレンス出力(VREF)	25	I	1.15	1.235	1.3	V
出力電流 ¹	25	IV			3.0	mA
I _{VREF} 入力電流 ²	25	I			20	µA
I _{SENSE} 入力電流 ²	25	I		1.6	5.0	mA
アナログ入力(VIN+、VIN-) ³						
差動入力電圧範囲(S5 = GND)	全範囲	V		1.536		V
差動入力電圧範囲(S5 = AVDD)	全範囲	V		0.766		V
入力コモン・モード電圧	全範囲	VI	2.65	2.8	2.9	V
入力抵抗値	全範囲	VI	2.2	3	3.3	k
入力容量	25	V		5		pF
電源(LVDSモード)						
AVDD	全範囲	IV	3.1	3.3	3.5	V
DRVDD	全範囲	IV	3.0	3.3	3.6	V
電源電流						
I _{ANALOG} (AVDD = 3.3V) ⁴	全範囲	VI		335	372	mA
I _{DIGITAL} (DRVDD = 3.3V) ⁴	全範囲	VI		55	62	mA
消費電力 ⁴	全範囲	VI		1.29	1.43	W
電源変動除去	25	V		-7.5		mV/V
電源(CMOSモード)						
AVDD	全範囲	IV	3.1	3.3	3.5	V
DRVDD	全範囲	IV	3.0	3.3	3.6	V
電源電流						
I _{ANALOG} (AVDD = 3.3V) ⁵	全範囲	IV		335	372	mA
I _{DIGITAL} (DRVDD = 3.3V) ⁵	全範囲	IV		24	30	mA
消費電力 ⁵	全範囲	IV		1.1		W
電源変動除去	25	V		-7.5		mV/V

注

- 内部リファレンス・モード、SENSE = フロート
- 外部リファレンス・モード、SENSE = DRVDD、1.23Vの外部リファレンスでVREFを駆動。
- S5 (ピン1) = GND。「アナログ入力」を参照してください。
- I_{AVDD}とI_{DRVDD}の測定は、10.3MHzのアナログ入力、-0.5dBFS、正弦波、定格ENCODEレートを適用し、LVDS出力モードで実施しています。I_{DRVDD}については、「代表的な性能特性」と「アプリケーション」を参照してください。消費電力は、LVDS出力モード時に定格ENCODEレートでのDC入力での測定。
- I_{AVDD}とI_{DRVDD}の測定は、10.3MHzのアナログ入力、-0.5dBFS、正弦波、定格ENCODEレートを適用し、CMOS出力モードで実施しています。I_{DRVDD}については、「代表的な性能特性」と「アプリケーション」を参照してください。消費電力は、CMOS出力モード時に定格ENCODEレートでのDC入力での測定。

仕様は予告なく変更されることがあります。

AC仕様¹(特に指定のない限り、AVDD = 3.3V、DRVDD = 3.3V ; T_{MIN} = -40、T_{MAX} = +85、f_{IN} = -0.5dBFS、内部リファレンス、LVDS出力モード)

パラメータ(条件)	温度	試験レベル	AD9430BSV-170			単位
			Min	Typ	Max	
SNR アナログ入力@-0.5dBFS	10 MHz	25	I	63	65	dB
	70 MHz	25	I	62.5	65	
	100 MHz	25	V		65	dB
	240 MHz	25	V		61	
SINAD アナログ入力@-0.5dBFS	10 MHz	25	I	62.5	65	dB
	70 MHz	25	I	62	65	
	100 MHz	25	V		65	dB
	240 MHz	25	V		60	
有効ビット数(ENOB)	10 MHz	25	I	10.2	10.6	ビット
	70 MHz	25	I	10.2	10.6	
	100 MHz	25	V		10.6	ビット
	240 MHz	25	V		9.8	
最悪高調波(2次または3次) アナログ入力@-0.5dBFS	10 MHz	25	I		-85	dBc
	70 MHz	25	I		-80	
	100 MHz	25	V		-77	dBc
	240 MHz	25	V		-63	
最悪高調波(4次以上) アナログ入力@-0.5dBFS	10 MHz	25	I		-87	dBc
	70 MHz	25	I		-87	
	100 MHz	25	V		-77	dBc
	240 MHz	25	V		-63	
2トーンIMD ² F1, F2 @ -7dBFS		25	V		-75	dBc
アナログ入力帯域幅		25	V		700	MHz

注

1. AC仕様はすべて、CLK+とCLK-の各入力を差動で駆動してテスト。

2. F1 = 28.3MHz、F2 = 29.3MHz

仕様は予告なく変更されることがあります。

AD9430

デジタル仕様 (特に指定のない限り、AVDD = 3.3V、DRVDD = 3.3V ; T_{MIN} = -40、T_{MAX} = +85)

パラメータ	温度	試験レベル	AD9430BSV-170			単位
			Min	Typ	Max	
ENCODEおよびDS入力 (CLK+、CLK-、DS+、DS-) ¹ 差動入力電圧 ² コモン・モード電圧 ³ 入力抵抗値 入力容量	全範囲 全範囲 全範囲 25	IV VI VI V	0.2 1.375 3.2	1.5 5.5 4	1.575 6.5	V V k pF
ロジック入力(S1、S2、S4、S5) ロジック"1"電圧 ロジック"0"電圧 ロジック"1"入力電流 ロジック"0"入力電流 入力抵抗値 入力容量	全範囲 全範囲 全範囲 全範囲 25 25	IV IV VI VI V V	2.0	30 4	0.8 190 10	V V μA μA k pF
ロジック出力(CMOSモード) ロジック"1"電圧 ⁴ ロジック"0"電圧 ⁴	全範囲 全範囲	IV IV	DRVDD - 0.05		0.05	V V
ロジック出力(LVDSモード) ^{4、5} V _{OD} 差動出力電圧 V _{OS} 出力オフセット電圧 出力コーディング	全範囲 全範囲	VI VI	247 1.125		454 1.375	mV V
2の補数またはバイナリ						

注

1. ENCODEとDS入力は、チップ上では同一です。「等価回路」を参照してください。
2. AC仕様はすべて、CLK+とCLK-の各入力を差動で駆動してテストし、|(CLK+) - (CLK-)| > 200mVです。
3. ENCODE入力のコモン・モード電圧は0.9V < ENC ± < 2.6Vとなるように、外部から設定できます。
4. デジタル出力ロジック・レベル : DRVDD = 3.3V、CLOAD = 5pF
5. LVDS終端抵抗 = 100、LVDS出力電流設定抵抗 = 3.74k (1%の許容誤差)

仕様は予告なく変更されることがあります。

スイッチング仕様 (特に指定のない限り、AVDD = 3.3V、DRVDD = 3.3V、T_{MIN} = -40、T_{MAX} = +85)

パラメータ(条件)	温度	試験レベル	AD9430BSV-170			単位
			Min	Typ	Max	
最大変換レート ¹	全範囲	VI	170			MSPS
最小変換レート ¹	全範囲	V			40	MSPS
CLK+パルス幅ハイ時間(t _{EH}) ¹	全範囲	IV	2		12.5	ns
CLK+パルス幅ロー時間(t _{EL}) ¹	全範囲	IV	2		12.5	ns
DS入力セットアップ時間(t _{SDS}) ²	全範囲	IV	-0.5			ns
DS入力ホールド時間(t _{HDS}) ²	全範囲	IV	1.75			ns
出力(DEMUXモード) 有効時間(t _v) 伝播遅延(t _{PD}) 立ち上がり時間(t _r) (20 ~ 80%) 立ち下がり時間(t _f) (20 ~ 80%) DCO伝播遅延(t _{CPD}) データからDCO間のタイム・スキュー(t _{PD} - t _{CPD}) インターリーブ・モード(A、Bレイテンシー) パラレル・モード(A、Bレイテンシー)	全範囲 全範囲 25 25 全範囲 全範囲 全範囲	IV IV V V IV IV IV	2 -0.5	3.8 1 1 3.8 0 14, 14 15, 14	5 5 +0.5	ns ns ns ns ns サイクル サイクル
出力(LVDSモード) 有効時間(t _v) 伝播遅延(t _{PD}) 立ち上がり時間(t _r) (20 ~ 80%) 立ち下がり時間(t _f) (20 ~ 80%) DCO伝播遅延(t _{CPD}) データからDCO間のタイム・スキュー(t _{PD} - t _{CPD}) パイプライン・レイテンシー	全範囲 全範囲 25 25 全範囲 全範囲 全範囲	VI VI V V VI IV IV	2.0 1.8 0.2	3.2 2.7 0.5 0.5 14	4.3 3.8 0.8	ns ns ns ns ns サイクル
アパーチャ遅延(t _A)	25	V		1.2		ns
アパーチャ不確実性(ジッタ、t _j)	25	V		0.25		ps rms

注

1. AC仕様はすべて、CLK+とCLK-の各入力を差動で駆動してテスト。
2. CMOSモードのみDS入力を使用。

仕様は予告なく変更されることがあります。

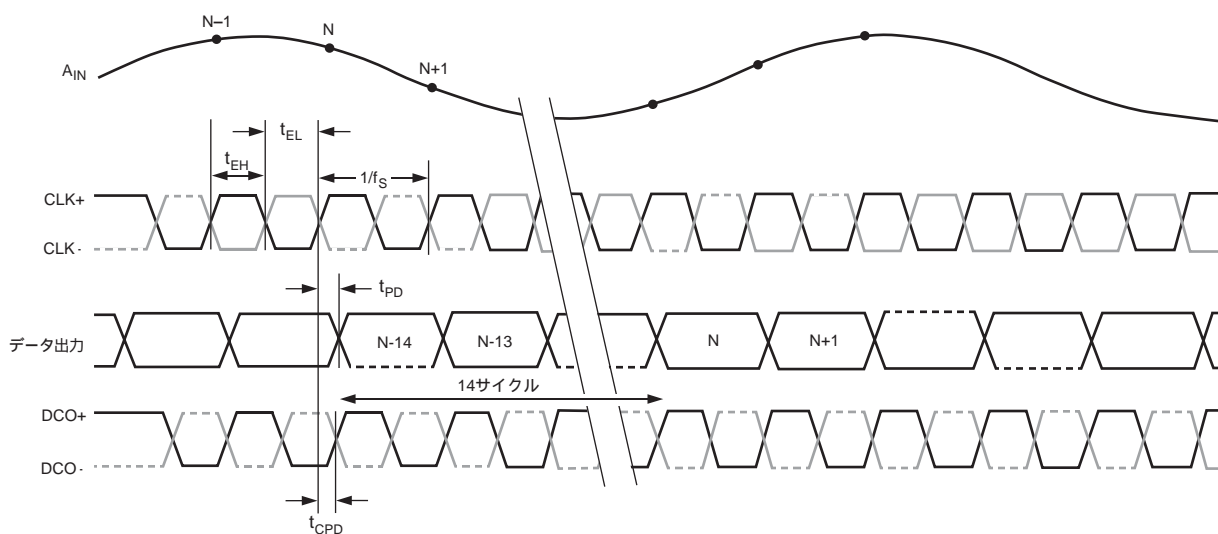


図1 LVDSのタイミング図

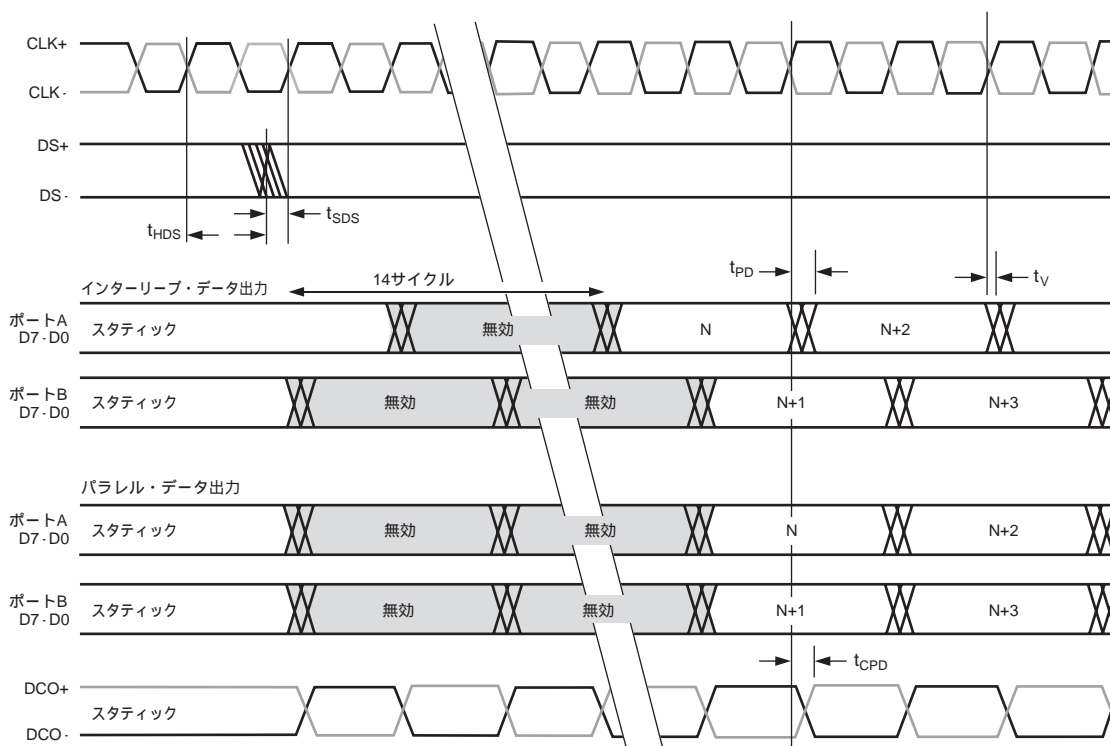


図2 CMOSのタイミング図

AD9430

絶対最大定格¹

AVDD、DRVDD	4V
アナログ入力	- 0.5V ~ AVDD + 0.5V
デジタル入力	- 0.5V ~ DRVDD + 0.5V
REFIN入力	- 0.5V ~ AVDD + 0.5V
デジタル出力電流	20mA
動作温度範囲	- 55 ~ +125
保管温度範囲	- 65 ~ +150
最大接合部温度	+150
最大ケース温度	+150
J_A^2	+25 /W、+32 /W

注意

1 上記の絶対最大定格を超えるストレスを加えると、デバイスに永久的な損傷を与えることがあります。この定格はストレス定格の規定のみを目的とするものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長期間絶対最大定格条件に置くと、デバイスの信頼度に影響を与えることがあります。

2 代表値 $J_A = 32$ /W (熱スラグ、ハンダ付けなし)、 $J_A = 25$ /W (熱スラグ、ハンダ付け)は、固定グラウンドプレーンで自然空冷の複層ボードの仕様です。

テスト・レベルの説明

テスト・レベル

- I. 100%の製品テストを実施。
- II. 25 °Cでの100%の製品テスト、および指定温度でのサンプルテストを実施。
- III. サンプルテストのみ。
- IV. パラメータは、設計および特性試験によって保証。
- V. パラメータは、typ値のみ。
- VI. 25 °Cでの100%の製品テストを実施。工業温度範囲のデバイスについては設計および特性試験によってパラメータを保証、軍用デバイスについては100%の製品試験を限界温度で実施。

オーダー・ガイド

モデル	温度範囲	パッケージ・オプション
AD9430BSV-170	- 40 ~ +85	TQFP-100
AD9430/PCB-LVDS	25	評価ボード(LVDSモード)
AD9430/PCB-CMOS	25	評価ボード(CMOSモード)

注意

ESD (静電放電) の影響を受けやすいデバイスです。4000Vもの高圧の静電気が人体やテスト装置に容易に帯電し、検知されることなく放電されることがあります。本製品には当社独自のESD保護回路を備えていますが、高エネルギーの静電放電を受けたデバイスには回復不可能な損傷が発生することがあります。このため、性能低下や機能喪失を回避するために、適切なESD予防措置をとるようお願いいたします。



ピン機能説明(CMOSモード)

ピン番号	ピン名称	機能
1	S5	フルスケール調整ピン。AVDDに接続するとfs = 0.768Vp-pの差動電圧が設定され、GNDに接続するとfs = 1.536Vp-pの差動電圧が設定されます。接続しないでください。
2, 7, 42, 43, 65, 66, 68	DNC	
3	S4	インターリーブ、パラレル選択。ハイ = インターリーブ。
4, 9, 12, 13, 16, 17, 20, 23, 25, 26, 30, 31, 35, 38, 41, 86, 87, 91, 92, 93, 96, 97, 100	AGND	アナログ・グラウンド
5	S2	出力モード選択。ロー = デュアル・ポートCMOS、ハイ = LVDS。
6	S1	データ・フォーマット選択。ロー = バイナリ、ハイ = 2の補数。
8, 14, 15, 18, 19, 24, 27, 28, 29, 34, 39, 40, 88, 89, 90, 94, 95, 98, 99	AVDD	3.3Vアナログ電源
10	SENSE	リファレンス・モード選択ピン
11	VREF	1.235VリファレンスI/O：機能はSENSEに依存。
21	VIN+	アナログ入力：正
22	VIN-	アナログ入力：負
32	DS+	データ同期(入力)：正。使用しない場合はローに設定します。「タイミング図」を参照。
33	DS-	データ同期(入力)：負。使用しない場合はハイに設定します。
36	CLK+	クロック入力：正
37	CLK-	クロック入力：負
44	DB0	Bポート出力データ・ビット(LSB)
45	DB1	Bポート出力データ・ビット
46	DB2	Bポート出力データ・ビット
47, 54, 62, 75, 83	DRVDD	3.3Vデジタル出力電源(3.0 ~ 3.6V)
48, 53, 61, 67, 74, 82	DRGND	デジタル出力グラウンド
49	DB3	Bポート出力データ・ビット
50	DB4	Bポート出力データ・ビット
51	DB5	Bポート出力データ・ビット
52	DB6	Bポート出力データ・ビット
55	DB7	Bポート出力データ・ビット
56	DB8	Bポート出力データ・ビット
57	DB9	Bポート出力データ・ビット
58	DB10	Bポート出力データ・ビット
59	DB11	Bポート出力データ・ビット(MSB)
60	OR_B	Bポート・オーバレンジ
63	DCO-	データ・クロック出力：負
64	DCO+	データ・クロック出力：正
69	DA0	Aポート出力データ・ビット(LSB)
70	DA1	Aポート出力データ・ビット
71	DA2	Aポート出力データ・ビット
72	DA3	Aポート出力データ・ビット
73	DA4	Aポート出力データ・ビット
76	DA5	Aポート出力データ・ビット
77	DA6	Aポート出力データ・ビット
78	DA7	Aポート出力データ・ビット
79	DA8	Aポート出力データ・ビット
80	DA9	Aポート出力データ・ビット
81	DA10	Aポート出力データ・ビット
84	DA11	Aポート出力データ・ビット(MSB)
85	OR_A	Aポート・オーバレンジ

注

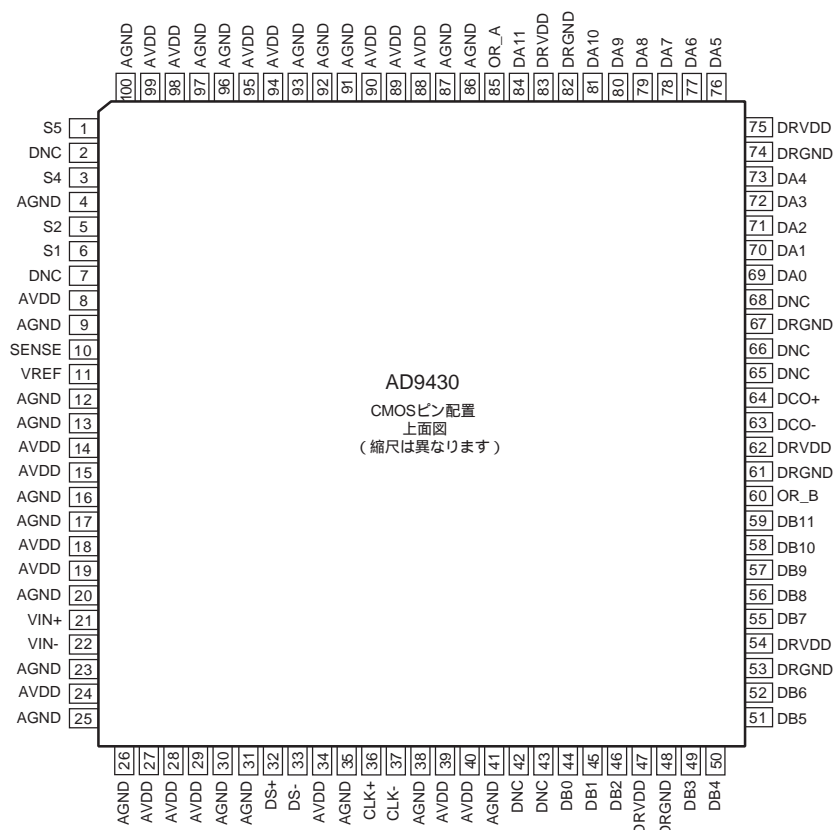
AGNDおよびDRGNDはコモン・グラウンド・プレーンに接続してください。

AD9430

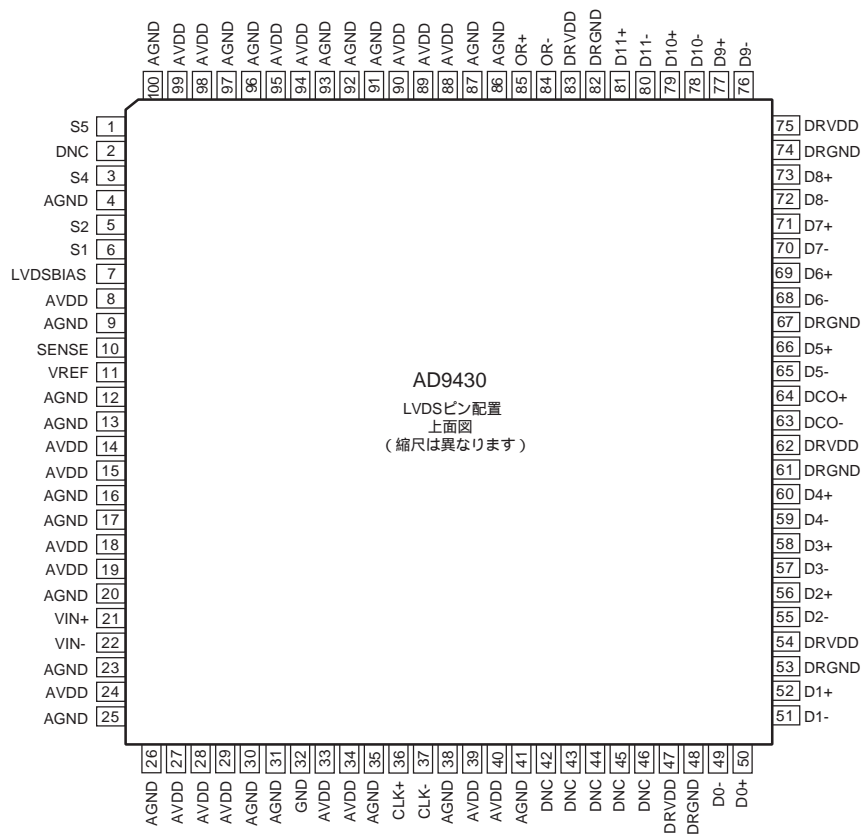
ピン機能説明(LVDSモード)

ピン番号	ピン名称	機能
1	S5	フルスケール調整ピン。AVDDに接続すると $f_s = 0.768\text{Vp-p}$ の差動電圧が設定され、GNDに接続すると $f_s = 1.536\text{Vp-p}$ の差動電圧が設定されます。
2, 42-46	DNC	接続しないでください。
3	S4	CMOSモード用の制御ピン。LVDSモードの動作時は、ローに設定します。
4, 9, 12, 13, 16, 17, 20, 23, 25, 26, 30, 31, 35, 38, 41, 86, 87, 91, 92, 93, 96, 97, 100	AGND	アナログ・グラウンド
5	S2	出力モード選択。GND = デュアル・ポートCMOS、AVDD = LVDS。
6	S1	データ・フォーマット選択。GND = バイナリ、AVDD = 2の補数。
7	LVDSBIAS	LVDS出力電流設定ピン。3.7k の抵抗をグラウンドに終端接続します。
8, 14, 15, 18, 19, 24, 27, 28, 29, 33, 34, 39, 40, 88, 89, 90, 94, 95, 98, 99	AVDD	3.3Vアナログ電源
10	SENSE	リファレンス制御ピン、フルスケール
11	VREF	1.235VリファレンスI/O：機能はSENSEに依存。
21	VIN+	アナログ入力：正
22	VIN-	アナログ入力：負
32	GND	データ同期(入力)：LVDSモードでは使用しません。GNDに接続します。
36	CLK+	クロック入力：正(LVPECLレベル)
37	CLK-	クロック入力：負(LVPECLレベル)
47, 54, 62, 75, 83	DRVDD	3.3Vデジタル出力電源(3.0 ~ 3.6V)
48, 53, 61, 67, 74, 82	DRGND	デジタル出力グラウンド
49	D0-	D0負出力ビット(LSB)
50	D0+	D0正の出力ビット(LSB)
51	D1-	D1負出力ビット
52	D1+	D1正の出力ビット
55	D2-	D2負出力ビット
56	D2+	D2正の出力ビット
57	D3-	D3負出力ビット
58	D3+	D3正の出力ビット
59	D4-	D4負出力ビット
60	D4+	D4正の出力ビット
63	DCO-	データ・クロック出力：負
64	DCO+	データ・クロック出力：正
65	D5-	D5負出力ビット
66	D5+	D5正の出力ビット
68	D6-	D6負出力ビット
69	D6+	D6正の出力ビット
70	D7-	D7負出力ビット
71	D7+	D7正の出力ビット
72	D8-	D8負出力ビット
73	D8+	D8正の出力ビット
76	D9-	D9負出力ビット
77	D9+	D9正の出力ビット
78	D10-	D10負出力ビット
79	D10+	D10正の出力ビット
80	D11-	D11負出力ビット
81	D11+	D11正の出力ビット
84	OR-	オーバーレンジ負出力ビット
85	OR+	オーバーレンジ正の出力ビット

ピン配置



AD9430 CMOSデュアルモード・ピン配置



AD9430 LVDSモード・ピン配置

AD9430

用語の定義

アナログ帯域幅

基本周波数のスペクトル・パワー(FFT解析によって測定)が3dB減衰するアナログ入力周波数です。

オーバーチャージ遅延

ENCODEコマンドの立ち上がりエッジの50%ポイントからアナログ入力がサンプリングされる瞬間までの遅延時間です。

オーバーチャージ不確実性(ジッタ)

オーバーチャージ遅延のサンプル間変動分です。

クロストーク

隣接する干渉チャンネルがフルスケール信号によって駆動されるときに、低レベル(-40dBFS)の信号によって駆動されている1つのチャンネルに混入する結合です。

差動アナログ入力抵抗値、差動アナログ入力容量、および差動アナログ入力インピーダンス

各アナログ入力ポートで測定される実数および複素数のインピーダンスです。抵抗値は静的に測定され、容量と差動入力インピーダンスはネットワーク・アナライザで測定されます。

差動アナログ入力電圧範囲

フルスケール応答を発生させるためにコンバータに印加しなければならないピーク・ツー・ピークの差動電圧です。ピーク差動電圧の計算は、ある1本のピンの電圧を観測し、位相が180度異なる別のピンの電圧からこの電圧値を減算する方法によって実施します。ピーク・ツー・ピーク差動電圧の計算は、入力の位相を180度回転したうえで、再びピーク測定して実施します。その後、両方のピーク測定値の差を計算します。

微分非直線性

理想的な1 LSBステップから任意のコード幅が外れる偏差です。

有効ビット数

有効ビット数(ENOB)は、次式を利用してSNRの測定値から計算します。

$$\text{ENOB} = \frac{\text{SNR}_{\text{MEASURED}} - 1.76 \text{ dB}}{6.02}$$

ENCODEパルス幅 / デューティ・サイクル

パルス幅「ハイ」は、定格性能を達成するためにENCODEパルスをロジック1の状態に維持しておく必要のある最小時間です。パルス幅「ロー」は、ENCODEパルスをローの状態に維持しておく必要のある最小時間です。本書の「 t_{ENCH} の変更に伴うタイミングの関係」を参照してください。指定のクロック・レート時に、これらの仕様は許容可能なENCODEデューティ・サイクルを規定します。

フルスケール入力パワー

dBmの単位で表します。次式を利用して、計算します。

$$\text{Power}_{\text{FULLSCALE}} = 10 \log \left(\frac{V_{\text{FULLSCALE RMS}}^2}{Z_{\text{INPUT}} \cdot 0.001} \right)$$

ゲイン誤差

ゲイン誤差は、ADCの理想的なフルスケール入力電圧範囲と測定値との差です。

2次高調波歪み

基本波のrms信号振幅と2次高調波成分のrms値との比で、dBcの

単位で表します。

3次高調波歪み

基本波のrms信号振幅と3次高調波成分のrms値との比で、dBcの単位で表します。

積分非直線性

最小自乗曲線近似で求めた「最良直線」を利用して測定された、基準線から伝達関数の偏差を1 LSBの分数で表したものです。

最小変換レート

最も低いアナログ信号周波数のSNRが保証制限値より3dBだけ低下するときのENCODEレートです。

最大変換レート

パラメータ・テストを実施するENCODEレートです。

出力伝播遅延

ENCODEコマンドの差動交差から、すべての出力データ・ビットが有効なロジック・レベル範囲内に入るまでの遅延時間です。

ノイズ(ADC内部の任意の範囲に対する)

$$V_{\text{NOISE}} = \sqrt{Z \times 0.001 \times 10 \left(\frac{\text{FS}_{\text{dBm}} - \text{SNR}_{\text{dBc}} - \text{Signal}_{\text{dBFS}}}{10} \right)}$$

Zは入力インピーダンス、FSは当該周波数に対するデバイスのフルスケール、SNRは特定の入力レベルに対する値、SignalはdB単位で表されるフルスケールより低いADC内部の信号レベルです。数値には、熱的ノイズと量子化ノイズの両方が含まれます。

電源変動除去比

入力オフセット電圧の変動と電源電圧の変動との比です。

信号対ノイズおよび歪み比(SINAD)

rms信号振幅(フルスケールより1dB低く設定)と、高調波を含み、DC成分を除く他のすべてのスペクトル成分の和のrms値との比です。

信号対ノイズ比(高調波成分を除く)

rms信号振幅(フルスケールより1dB低く設定)と、最初の5つの高調波とDC成分を除く他のすべてのスペクトル成分の和のrms値との比です。

スプリアスフリー・ダイナミックレンジ(SFDR)

rms信号振幅と最も高いスプリアス・スペクトル成分のrms値との比です。最も高いスプリアス成分は高調波である場合もあれば、高調波でない場合もあります。dBc (すなわち、信号レベルの低下に応じた劣化)、またはdBFS (常にコンバータのフルスケールに戻して関連付け)の単位で表します。

2トーン波相互変調歪み除去

2つの入力信号のいずれか一方のトーンのrms値と最悪の3次相互変調歪み積のrms値との比であり、dBcの単位で表します。

2トーン波SFDR

2つの入力信号のいずれか一方のトーンのrms値と最も高いスプリアス成分のrms値との比です。最も高いスプリアス成分はIMD積である場合もあれば、IMD積でない場合もあります。dBc (すなわち、信号レベルの低下に応じた劣化)、またはdBFS (常にコンバータのフルスケールに戻して関連付け)の単位で表します。

その他の最悪スプリアス

rms信号振幅と最悪のスプリアス成分(2次および3次高調波成分を除く)のrms値との比であり、dBcの単位で表します。

過渡応答時間

過渡応答時間は、負のフルスケールより10%高いポイントから正のフルスケールより10%低いポイントへの過渡が発生した後で、ADCがアナログ入力を再び収集するまでの所要時間として定義します。

アウト・オブ・レンジ復帰時間

アウト・オブ・レンジ復帰時間は、正のフルスケールより10%高いポイントから負のフルスケールより10%高いポイントへの過渡、または負のフルスケールより10%低いポイントから正のフルスケールより10%低いポイントへの過渡が発生した後で、ADCがアナログ入力を再び収集するまでの所要時間です。

等価回路

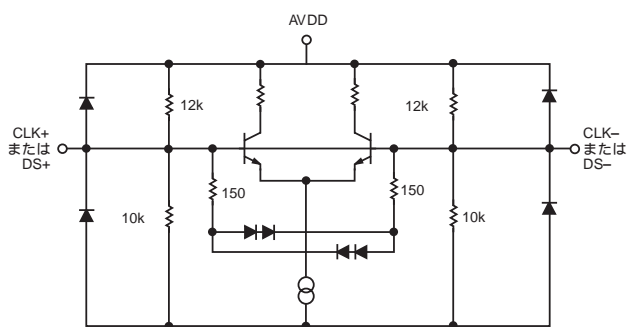


図3 ENCODEおよびDS入力

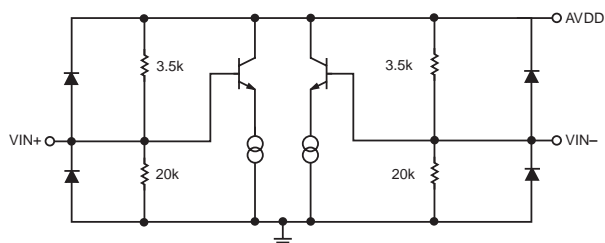


図4 アナログ入力

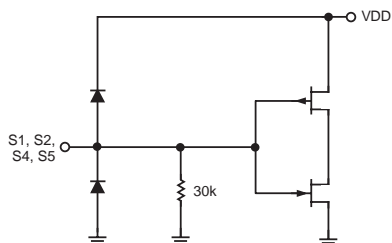


図5 S1-S5入力

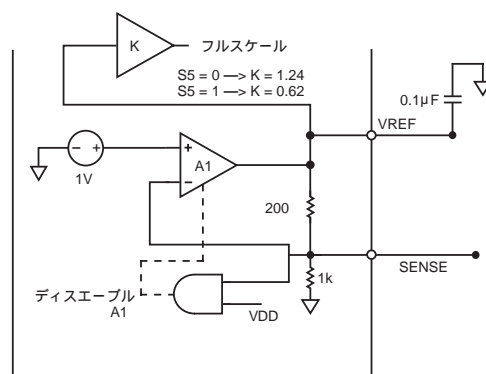


図6 VREF、SENSE I/O

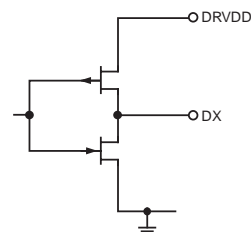


図7 データ出力(CMOSモード)

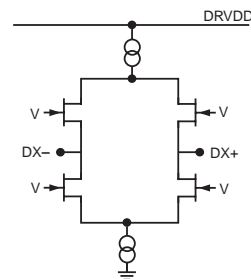
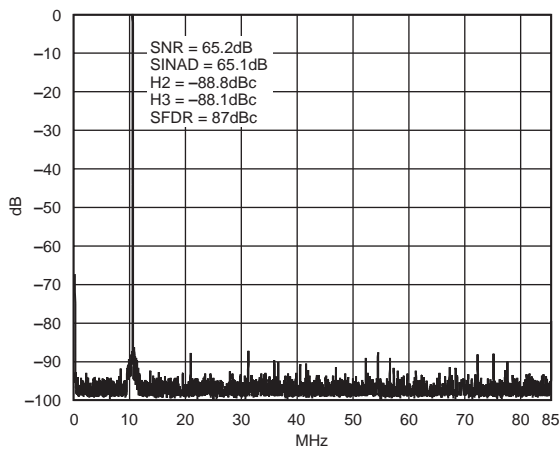
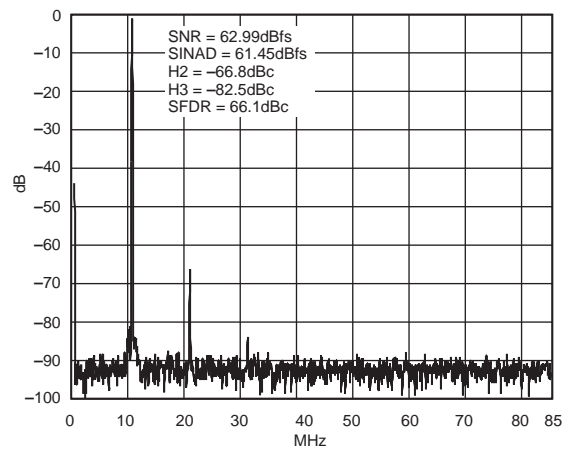


図8 データ出力(LVDSモード)

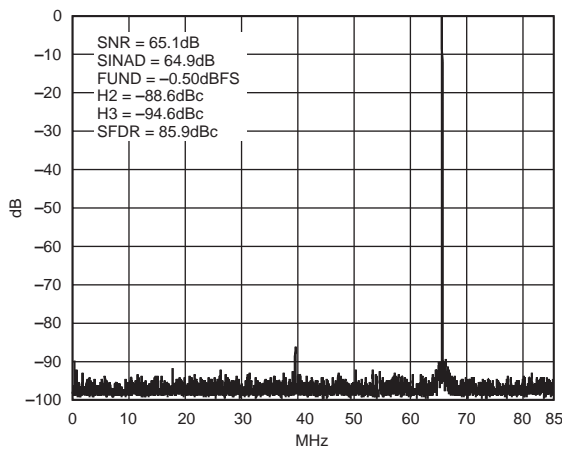
AD9430 - 代表的な性能特性



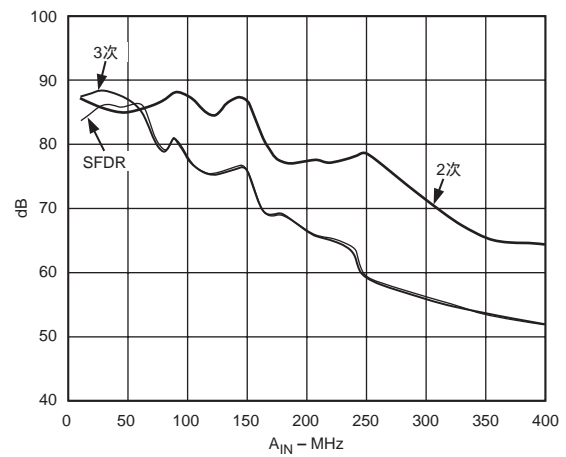
TPC 1 FFT: $f_s = 170\text{MSPS}$ 、 $A_{IN} = 10.3\text{MHz}@-0.5\text{dBFS}$ 、LVDSモード



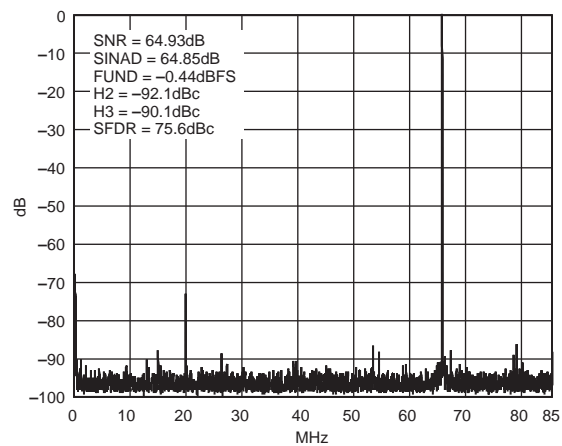
TPC 4 FFT: $f_s = 170\text{MSPS}$ 、 $A_{IN} = 10.3\text{MHz}@-0.5\text{dBFS}$ 、シングルエンド入力、0.76Vの入力範囲、LVDSモード



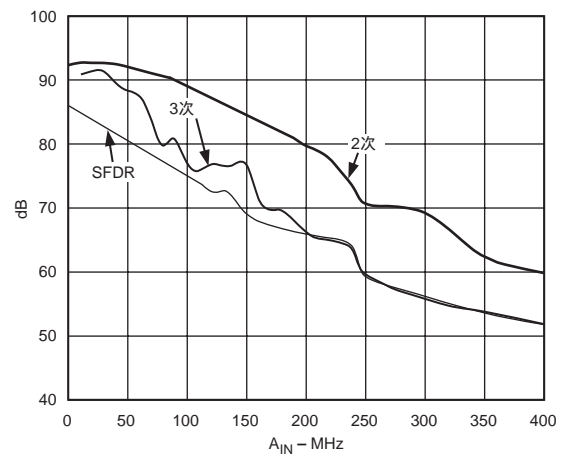
TPC 2 FFT: $f_s = 170\text{MSPS}$ 、 $A_{IN} = 65\text{MHz}@-0.5\text{dBFS}$ 、LVDSモード



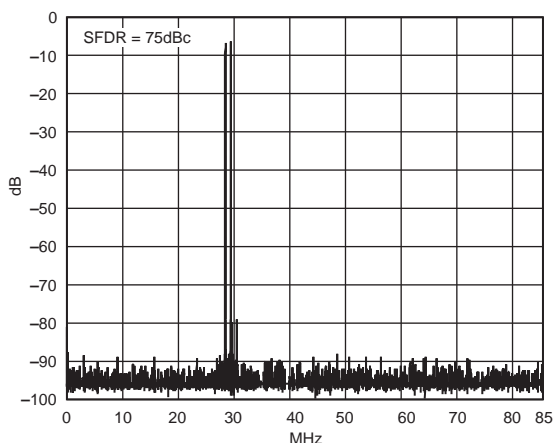
TPC 5 高調波歪み(2次と3次)およびSFDR対 A_{IN} 周波数、 $f_s = 170\text{MSPS}$ 、LVDSモード



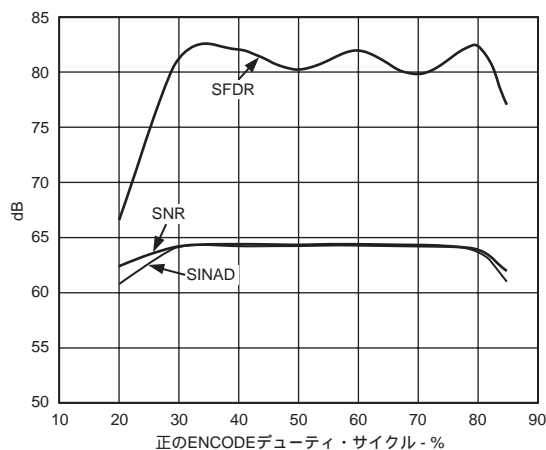
TPC 3 FFT: $f_s = 170\text{MSPS}$ 、 $A_{IN} = 65\text{MHz}@-0.5\text{dBFS}$ 、差動、1.5Vp-pの入力範囲、CMOSモード



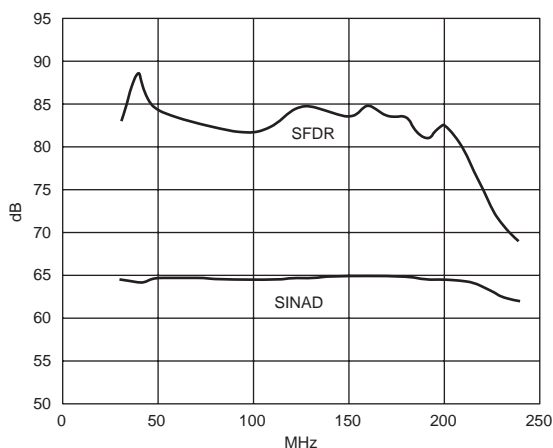
TPC 6 高調波歪み(2次と3次)およびSFDR対 A_{IN} 周波数、 $f_s = 170\text{MSPS}$ 、CMOSモード



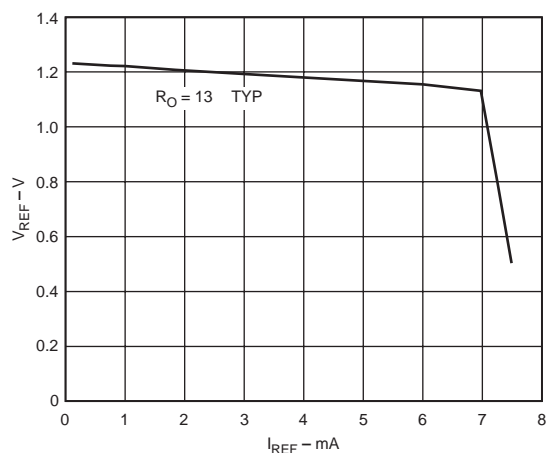
TPC 7 2 トーン波相互変調歪み(28.3MHzおよび29.3MHz、LVDSモード、 $f_s = 170\text{MSPS}$)



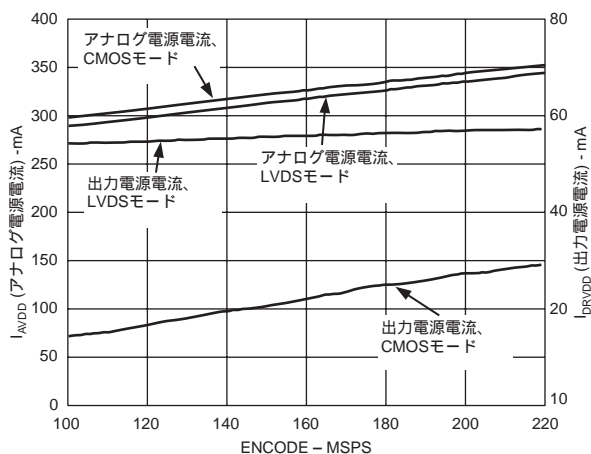
TPC 10 SINADおよびSFDR対ENCODEパルス幅ハイ ($A_{IN} = 10.3\text{MHz}@-0.5\text{dBFS}$ 、170MSPS、LVDSモード)



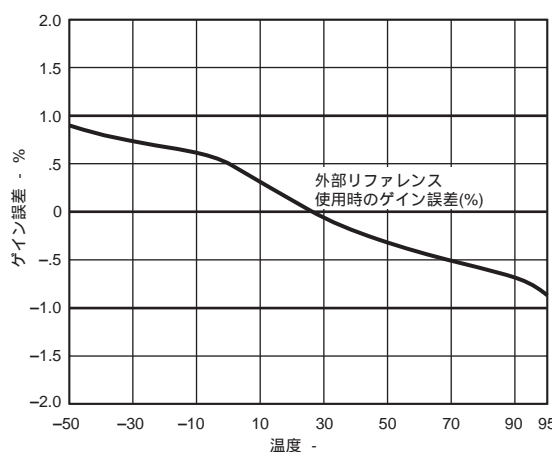
TPC 8 SINADおよびSFDR対ENCODEレート ($A_{IN} = 10.3\text{MHz}@-0.5\text{dBFS}$ 、LVDSモード)



TPC 11 V_{REFOUT} 対 I_{LOAD}

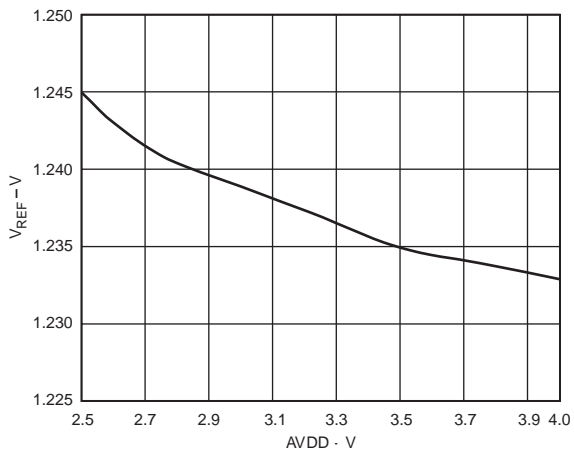


TPC 9 I_{AVDD} および I_{DRVDD} 対ENCODEレート ($A_{IN} = 10.3\text{MHz}@-0.5\text{dBFS}$)、170MSPSグレード、 $C_{LOAD} = 5\text{pF}$)

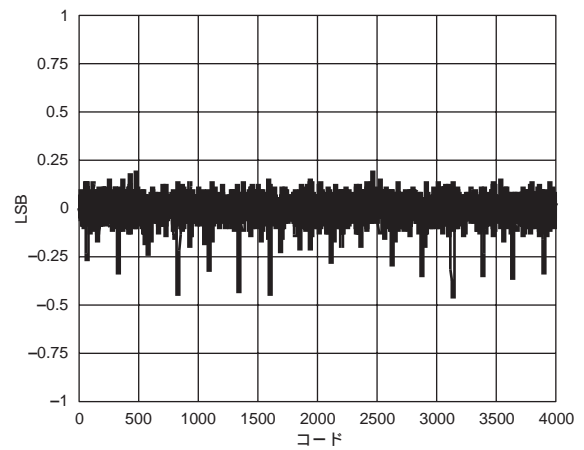


TPC 12 フルスケール・ゲイン誤差対温度($A_{IN} = 10.3\text{MHz}@-0.5\text{dBFS}$ 、170MSPS、LVDSモード)

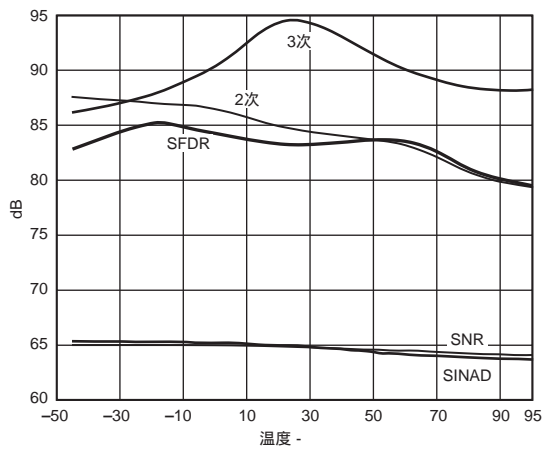
AD9430



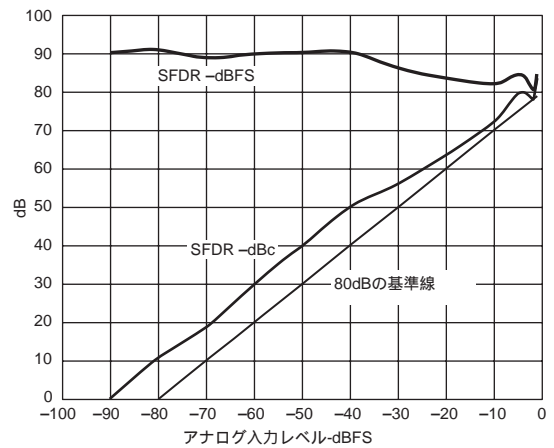
TPC 13 V_{REF} 出力電圧対AVDD



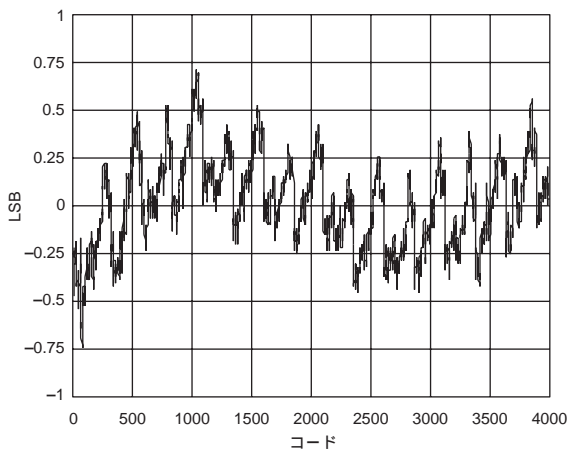
TPC 16 代表的なDNLプロット($A_{IN} = 10.3\text{MHz}@-0.5\text{dBFS}$ 、 170MSPS 、LVDSモード)



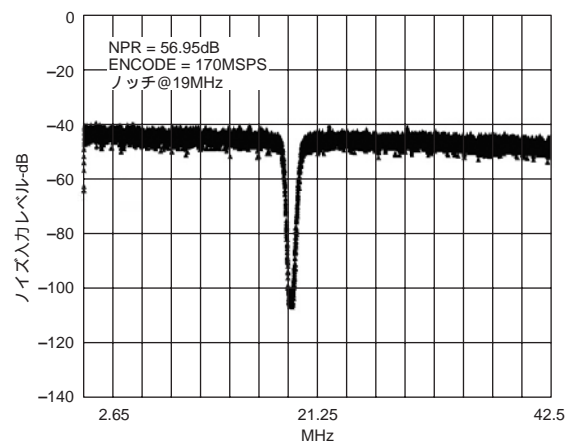
TPC 14 SNR、SINAD、SFDR対温度($A_{IN} = 10.3\text{MHz}@-0.5\text{dBFS}$ 、 170MSPS)



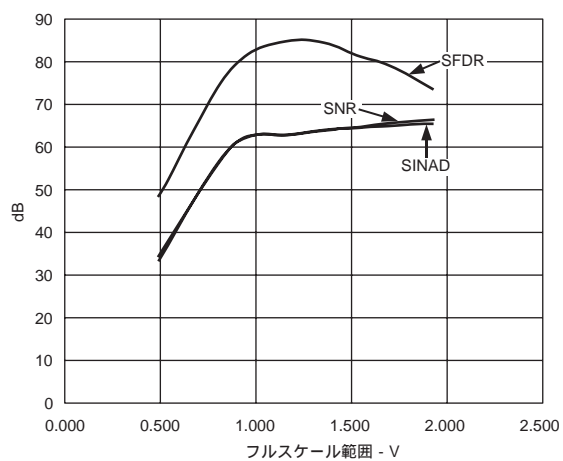
TPC 17 SFDR対 A_{IN} 入力レベル、 10.3MHz 、 $A_{IN}@170\text{MSPS}$ 、LVDSモード



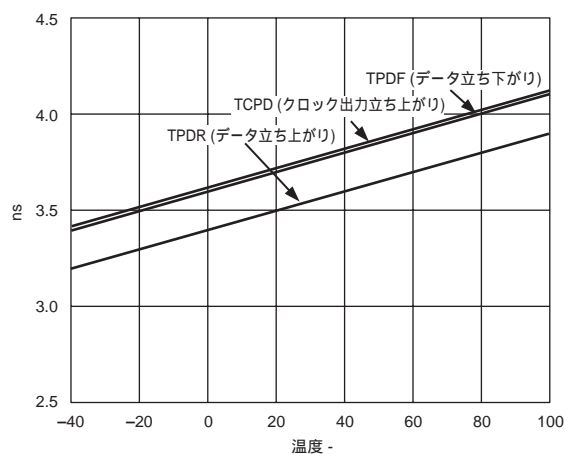
TPC 15 代表的なINLプロット($A_{IN} = 10.3\text{MHz}@-0.5\text{dBFS}$ 、 170MSPS 、LVDSモード)



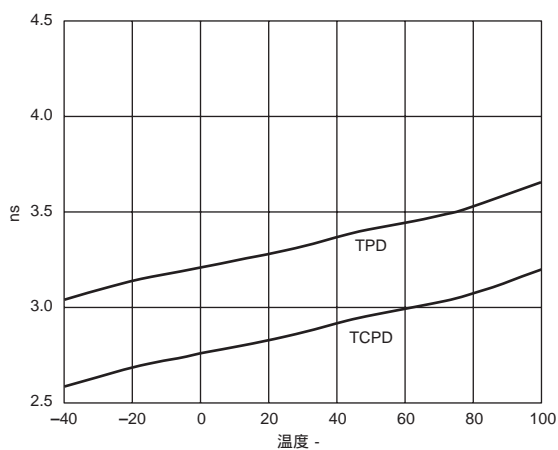
TPC 18 ノイズ・パワーのプロット比



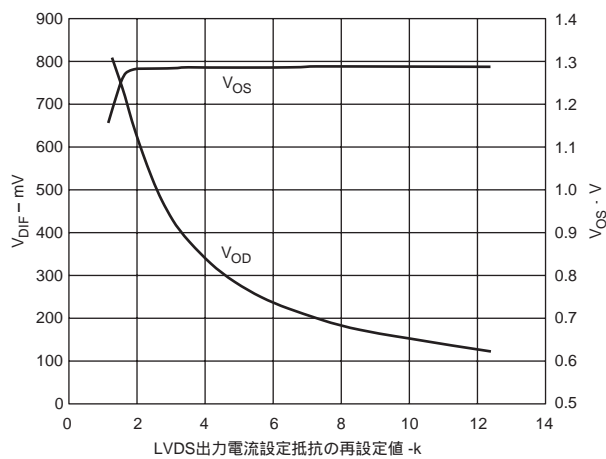
TPC 19 SNR、SINAD、SFDR対フルスケール範囲



TPC 21 伝播遅延対温度、CMOSモード



TPC 20 伝播遅延対温度、LVDSモード



TPC 22 LVDS出力振幅、コモン・モード電圧対RSET、LVDSBIASに終端接続

AD9430

アプリケーション・ノート

動作理論

AD9430のアーキテクチャは、高速性と使いやすさを実現するために最適化されています。アナログ入力は、12ビット・コアによる量子化の前に信号をサンプリングする内蔵の高帯域幅トラック・アンド・ホールド回路を駆動します。使いやすさを考慮して、AD9430にはリファレンス、およびTTL、CMOSまたはLVPECLレベルを受け入れる入力ロジックが内蔵されています。デジタル出力ロジックレベルは、S2ピンを使用して標準の3V CMOSまたはLVDS (ANSI-644互換)のユーザ選択が可能です。

ENCODE入力

一般的に高速A/Dコンバータは、ユーザーが用意するサンプリング・クロックの品質にきわめて敏感です。トラック・アンド・ホールド回路は本質的にはミキサなので、クロック上で発生するノイズ、歪み、またはタイミング・ジッタがすべて、A/D出力に必要な信号と結合してしまいます。このため、AD9430のENCODE入力の設計には細心の注意が払われており、ユーザーに対しても同様にクロック・ソースに十分な配慮を行うことが推奨されます。

AD9430には、クロックのデューティ・サイクルをENCODEの立ち上がりエッジ(差動による駆動の場合はENCODEの立ち下がりエッジ)にロックし、内部でタイミングを最適化する安定化回路が内蔵されています。そのため、性能を劣化させることなく入力でのデューティ・サイクルを幅広い範囲に設定することが可能です。それでも、入力の立ち上がりエッジで発生するジッタは依然として最も留意すべき要素であり、ジッタが内部安定化回路によって低減されることはありません。この回路は常にオンに維持され、ディスエーブルにすることはできません。

ENCLOCK入力は内部で1.5V (nominal)にバイアスされ、差動またはシングルエンドの信号をサポートします。最良のダイナミック性能を確保するには、差動信号を推奨します。

図9に示すように、MC100LVEL16はENCODE入力の駆動回路で良好に動作します。この低電圧PECLデバイスでは、AC結合がオプションになっている点に注意してください。

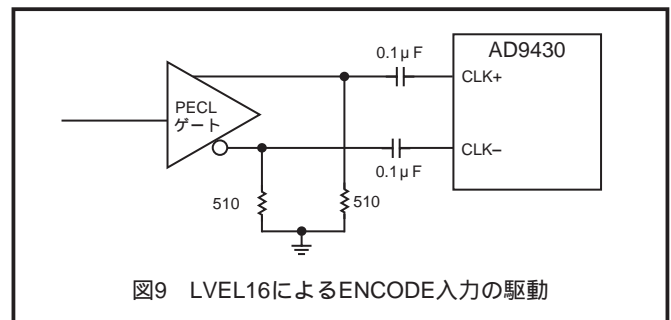


図9 LVEL16によるENCODE入力の駆動

アナログ入力

AD9430のアナログ入力は、差動バッファ入力です。最良のダイナミック性能を得るには、VIN+とVIN-のインピーダンスのマッチングが必要です。アナログ入力は優れた広帯域性能が得られるように最適化されており、各入力を差動で駆動することが必要です。アナログ入力をシングルエンド信号で駆動すると、SNRおよびSINAD性能が大幅に劣化します。シングルエンド / 差動変換が必要なアプリケーションでは、Minicircuits社のADT1-1WTなどの広帯域トランスを利用すると、最適な差動アナログ入力を供給できます。両方のアナログ入力は、チップ内蔵の抵抗分圧器によって2.8V (nominal) に自己バイアスされます(「等価回路」を参照)。

AD9430のアナログ入力回路部の設計においては、入力のオーバードライブ時でのデータの損害や消失を防止するために、細心の注意が払われています。入力範囲は1.5V_{DIFFP-p} (nominal) です。差動入力範囲は768mV_{p-p} × 2 (nominal) です。

表1 出力選択コーディング

S1 (データ・フォーマット選択)	S2 (LVDS/CMOSモード選択) ¹	S4 (I/P選択)	S5 (フルスケール選択) ²	モード
1	X	X	X	2の補数
0	X	X	X	オフセット・バイナリ
X	0	1	X	デュアルモードCMOSインターリーブ
X	0	0	X	デュアルモードCMOSパラレル
X	1	X	X	LVDSモード
X	X	X	1	フルスケール = 0.768V
X	X	X	0	フルスケール = 1.536V

X = 無関係

注

- S4はCMOSモードのみに使用されます(S2=0)。S1-S5はすべて、30kΩのプルダウン抵抗を内蔵。
- S5はフルスケール調整ピンです(「アナログ入力」を参照)。

インターリーブ・モード時には、ポートA上の出力データがポートB上の出力データ変化から1/2出力クロック・サイクル分だけオフセットされます。



インターリーブ・モード



パラレル・モード

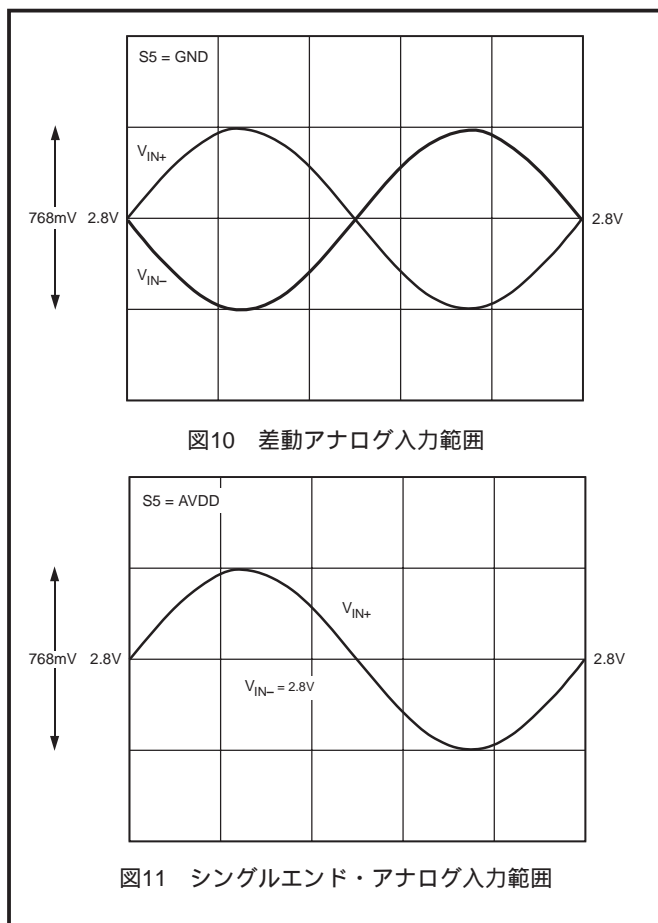


図10 差動アナログ入力範囲

図11 シングルエンド・アナログ入力範囲

デジタル出力

S2ピンを使用して、チップ上のオフチップ・ドライバをCMOSまたはLVDSコンパチブルの出力レベルに設定できます。

CMOSデジタル出力(S2 = 0)は、消費電力を低減するためにTTL/CMOSコンパチブルになっています。出力が個別の電源(DRVDD)からバイアスされるので、外部ロジックとのインターフェースが容易です。出力は、振幅がグラウンド電位からDRVDDまで(DC負荷のない場合)のCMOSデバイス出力です。出力のパターン配線を短く維持することで(C_{LOAD} の総容量が5pFより小さい場合は1インチ未満)、ADCが駆動する容量性負荷を最小限に抑えることを推奨します。CMOSモードの動作時には、スイッチング・トランジエントの性能への悪影響を低減するために、値の小さな(20)直列ダンピング抵抗をデータラインに配置することも推奨します。

LVDS出力

S2 = V_{DD} とし、3.4 のRSET抵抗をピン7 (LVDSBIAS)とグラウンド間に接続すると、LVDS出力が供給されます。RSET抵抗電流($\sim 1.2/RSET$)はチップ上で比率設定され、各出力の電流が3.5mA (nominal, $10 \times IRSET$)に等しい値に設定されます。100 の差動終端抵抗をLVDSレシーバ入力に接続すると、レシーバ側で350mV (nominal) の電圧振幅レベルが得られます。LVDSモード時には、ノイズの多い環境で優れたスイッチング性能を確保するためのLVDS機能を備えたカスタムASICやFPGAのLVDSレシーバとのインターフェース動作が可能になります。100 の終端抵抗をレシーバに可能な限り近接させて実装する、シングルポイント・ツー・ポイントのネットトポロジーを推奨します。さらに、パターン配線長を1、2インチ程度に保ち、差動出力のパターン配線を可能な限り等しい長さに維持することも推奨します。

クロック出力(DCO、 \overline{DCO})

ENCODE入力は2分周され(CMOSモード時)、DCOと \overline{DCO} の各ピンでチップからクロックが出力されます。このクロックはオフチップのラッチ動作が可能で、スキューの小さなクロック動作ソリューションが提供されます(タイミング図を参照)。スイッチング・トランジエントの性能への悪影響を制限するために、チップ内蔵のクロック・バッファが5pFを超える容量を駆動してはいけません。出力クロックは、CMOSモードの選択時(S2 = 0)にはCMOSレベルであり、LVDSモードの選択時(S2 = V_{DD})にはLVDSレベルである点に注意してください(LVDSモード時には、レシーバに100 の差動終端抵抗を接続する必要があります)。LVDSモード時の出力クロックは、ENCODEレートでスイッチします。

電圧リファレンス

安定した高精度の1.23V電圧リファレンス(VREF)がAD9430に内蔵されています。アナログ入力のフルスケール範囲は、VREFの電圧に直線的に比例します。VREF、SENSE、およびGROUNDに外部抵抗ネットワークを追加することにより、VREF (および入力フルスケールも同様)を変更することが可能です(図12を参照)。VREFの調整範囲が $\pm 5\%$ であれば、目立った性能劣化は起こりません。SENSEピンを V_{DD} に接続する(内部電圧リファレンスをディスエーブルにする)方法によって、外部リファレンスを使用して、外付けリファレンス電圧でVREFを駆動できる点にも着目してください。内部および外部リファレンス・アプリケーションでは、VREFピンとグラウンドの間に0.1 μ Fのコンデンサを接続することを推奨します。

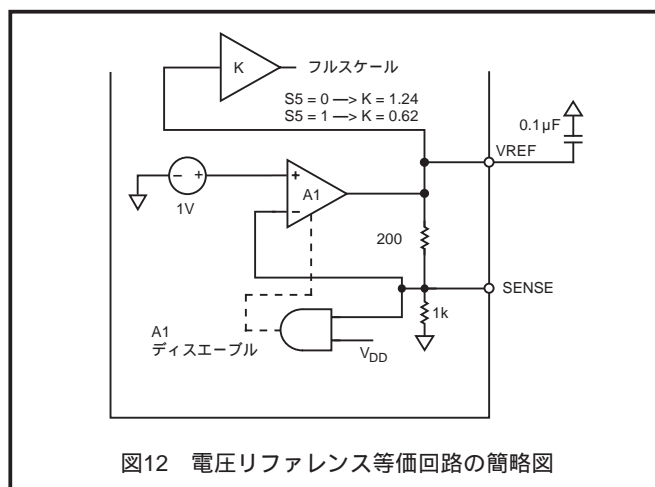


図12 電圧リファレンス等価回路の簡略図

NPR試験

ノイズ・パワー比試験とは、信号が一般的に「ノイズと同様な」周波数スペクトルを含むQAM信号であるケーブル・システムのリターン経路を特性評価する目的でよく利用される試験です。AD9430のNPR性能は研究室で特性評価され、19MHzのアナログ入力時にNPRの実効値が56.9dBであることが実証されています。この数値は、13.6dBのバックオフ時における11ビットADCの理論上のNPR最大値である57.1dBと十分に適合しています。FFTを利用して、ノッチ内部信号のrmsノイズ・パワーをノッチ外部のrmsノイズ・レベルと比較します。試験に必要なノッチ深さを設定できる高次の阻止帯域フィルタと同様に、ノッチ内部で十分なサンプル数を保証するうえで十分に長い記録長が試験の要求条件になります。

AD9430

AD9430評価ボード

AD9430評価ボードを利用すると、AD9430を容易にテストできます。テストにはクロック・ソース、アナログ入力信号、3.3V電源が必要です。クロック・ソースはボード上でバッファされ、ADC、ボード実装DAC、ラッチ用のクロック、およびデータ・レディー信号が供給されます。デジタル出力と出力クロックは、P3とP4の2個の40ピン・コネクタから供給されます。ボードはいくつかの異なる動作モードが可能で、以下の設定で出荷されます。

- ・ オフセット・バイナリ
- ・ 内部電圧リファレンス
- ・ CMOSパラレル・タイミング
- ・ フルスケール調整 = ロー

電源コネクタ

電源は、切り離し可能な12ピン電源端子板(4ピン端子板 × 3個)経由でボードに供給されます。

表II 電源コネクタ

AVDD3.3V	ADC用のアナログ電源 (~ 350mA)
DRVDD3.3V	ADC用の出力電源 (~ 28mA)
VDL3.3V	サポート・ロジックとDAC用の電源 (~ 350mA)
EXT_VREF*	オプションの外部リファレンス入力
VCLK/V_XTAL	クロック・バッファ/オプションのXTAL用の電源
VAMP	オプション・アンプ用の電源

* LVEL16クロック・バッファには、E47ジャンパのAVDDまたはVCLKから電源を供給できます (AVDD、DRVDD、およびVDLは最低限必要な電源接続です)。

アナログ入力

評価ボードは、グラウンドを中心電位とする1.3Vp-pのアナログ入力信号をSMBコネクタJ4から入力します。この信号は、R16によって50Ωでグラウンドに終端されます。あるいは、入力をR13とR14によってトランスT1の二次側に終端することも可能です。T1は、シングルエンド/差動変換を行う広帯域のRFトランスであり、ADCを差動で駆動することが可能なので、偶数次の高調波成分が最小限に抑えられます。オプションとして、2番目のトランスT2を必要に応じてT1の後段に実装できます。これを利用すると、高いアナログ入力周波数 (> 100MHz) に対して、多少 (~ 1-2dB) の性能上の利点が確保されます。T2を実装する場合には、パッドで2本の短絡配線パターンを切断する必要があります。アナログ信号は、ADC入力においてR41、C12およびR42、C13によってローパス・フィルタリングされます。

ゲイン

フルスケールは、E17-E19で設定します。E17-E18でS5をロー、フルスケール = 1.5V差動に設定します。また、E17-E19でS5をハイ、フルスケール = 0.75V差動に設定します。

ENCODE

ENCODEクロックは、SMBコネクタJ5を通して50Ωでグラウンドに終端されます。入力は高速差動レシーバ(LVEL16)にAC結合され、レシーバは性能の最適化に必要な低ジッタ、高速エッジ・レート動作を行います。J5入力は、0.5Vp-pより大きいことが必要です。EL16に供給される電源は、ジャンパE47で設定します。AVDDからバッファに供給される電源はE47-E45で設定し、VCLK/V_XTALからバッファに供給される電源はE47-E46で設定します。

電圧リファレンス

AD9430には、1.23Vの電圧リファレンスが内蔵されています。E24-E27とE25-E26の各ジャンパをオープンの状態に維持すると、AD9430はデフォルトとして内部リファレンスを使用します。オプションの抵抗R3を実装すると、フルスケールを大きくすることが可能です。必要な抵抗値はプロセスに応じて異なるので、そのアプリケーションに合わせて調整することが必要です。同様にR4を実装して、フルスケールを小さくすることも可能です。この場合も同じように、抵抗値の調整が必要です。外部リファレンスを使用するときには、SENSEピンを3.3Vに接続します (E26-E25のジャンパ配線を行います)。E27-E24のジャンパ配線を行うと、ADCのVREFピンが電源コネクタのEXT_VREFピンに接続されます。

データ・フォーマットの選択

データ・フォーマットの選択によって、ADCの出力データ・フォーマットを設定します。DFS (E1-E2) をローに設定すると、出力フォーマットがオフセット・バイナリになります。DFSをハイ (E1-E3) に設定すると、出力フォーマットは2の補数になります。

I/P

出力タイミングはE11-E13で設定します。E12-E11でS4をローに設定し、パラレル出力タイミング・モードになります。また、E11-E13でS4をハイに設定し、インターリーブ・タイミング・モードになります。

タイミング制御

PCBのタイミング制御部でクロックの反転が可能なので、ラッチ・クロック動作と出力タイミングの柔軟性が得られます。バッファ・クロックはすべてXORによってバッファされ、そのクロックに該当するジャンパ位置を移動することでクロックを反転できます。

データ出力

ADCのデジタル出力は、4個のLVT574によってボード上でラッチされます。ラッチ出力は、2個の40ピン・コネクタのP23 (チャンネルA) のピン11-33、およびP3 (チャンネルB) のピン11-33から供給されます。ラッチ出力クロック (データ・レディー) はP23 (チャンネルA) のピン37、およびP3 (チャンネルB) のピン37から供給されます。必要に応じて、データ・レディー・クロックをタイミング制御部で反転させることが可能です。

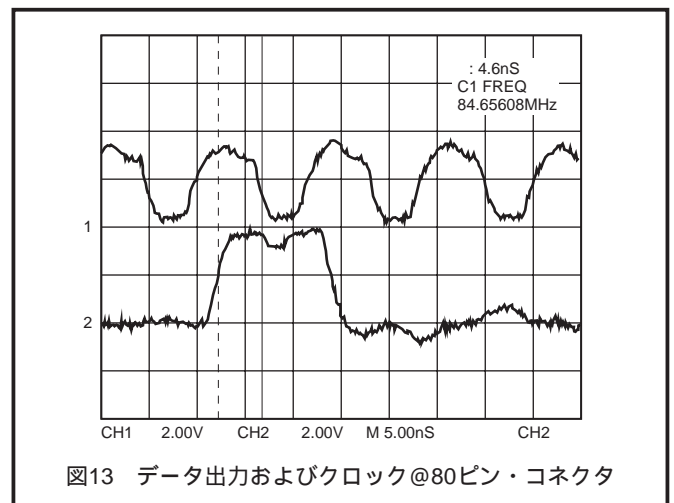


図13 データ出力およびクロック@80ピン・コネクタ

DAC出力

ボード上に実装されている2チャンネルDACのAD9753によって、各チャンネルが再構成されます。AD9753はデバッグ支援目的なので、ADCの性能測定に使用してはいけません。AD9753は、50 Ωの終端抵抗を内蔵した電流出力DACです。図14は、フルスケール・アナログ入力に対するDACの出力を示します。スコープの設定は、低帯域幅です。

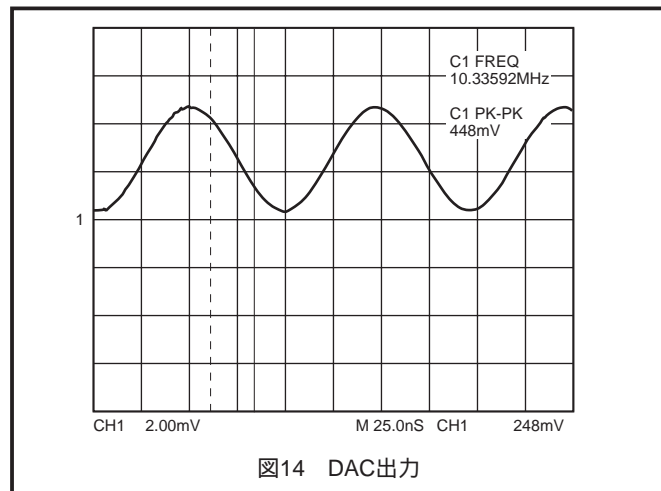


図14 DAC出力

ENCODE用XTAL

オプションのXTAL発振器をボード上に実装してPCBのクロック・ソースとして使用できます。XTALの電源は、電源コネクタのVCLK/VXTALピンから供給されます。発振器を使用する場合は、最良の結果を得るために終端が正しく行われていることを確認してください。ボードのテストは、Valpey Fisher VF561およびVectron JN00158-163.84で行われています。VF561を用いたテストの結果を下の図に示します。

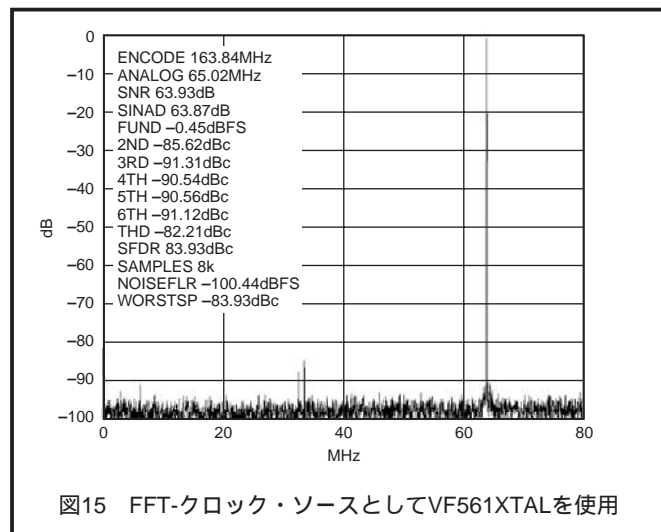


図15 FFT-クロック・ソースとしてVF561XTALを使用

オプションのアンブ

ゲインが要求される低周波数アプリケーション用に広帯域差動アンブ(AD8350)を実装できるように、トランスT2のフットプリントを変更することが可能です。この場合、動作のためにピン2を切り離し、開放状態に維持する必要がある点に注意してください。インピーダンス・マッチングのために、入力トランスT1を4:1に変更することも必要であり、ADC入力のフィルタリングによって性能が改善されます(AD8350のデータシートを参照)。SNR/SINAD性能は61dB/60dBにすることが可能ですが、性能は約30MHzで劣化し始めます。

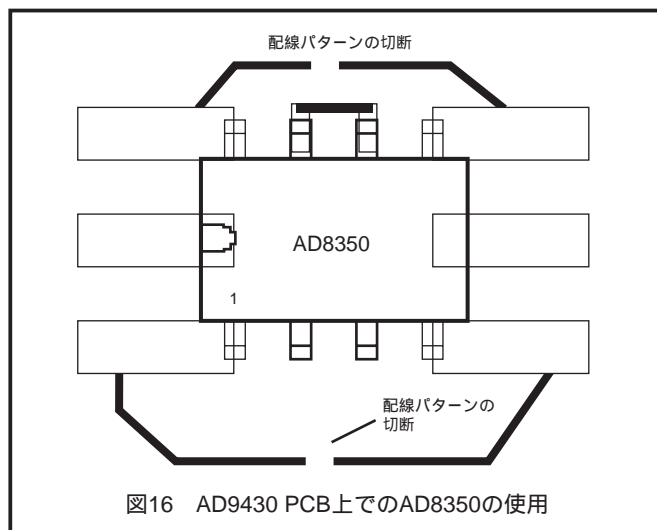


図16 AD9430 PCB上でのAD8350の使用

トラブルシューティング

ボードが正しく動作していないと考えられる場合には、以下のチェックを行ってください。

- ICの各ピンが通電状態であることを確認します。
- すべてのジャンパが所望の動作モードに対応した正しい位置に配線されていることをチェックします。
- VREFが1.23Vであることを確認します。
- ENCODEクロックとアナログ入力を低速(10MSPS/1MHz)で実行してみて、574、DAC、ADCの出力を交互にトグルしながらモニタします。

AD9430評価ボードは、アナログ・デバイセズ社のお客様用の設計例として提供されます。弊社では、特定の目的に対する商業可能性または適合性に関して、明示、法定、もしくは暗示を問わず、保証を行うことは一切ありません。

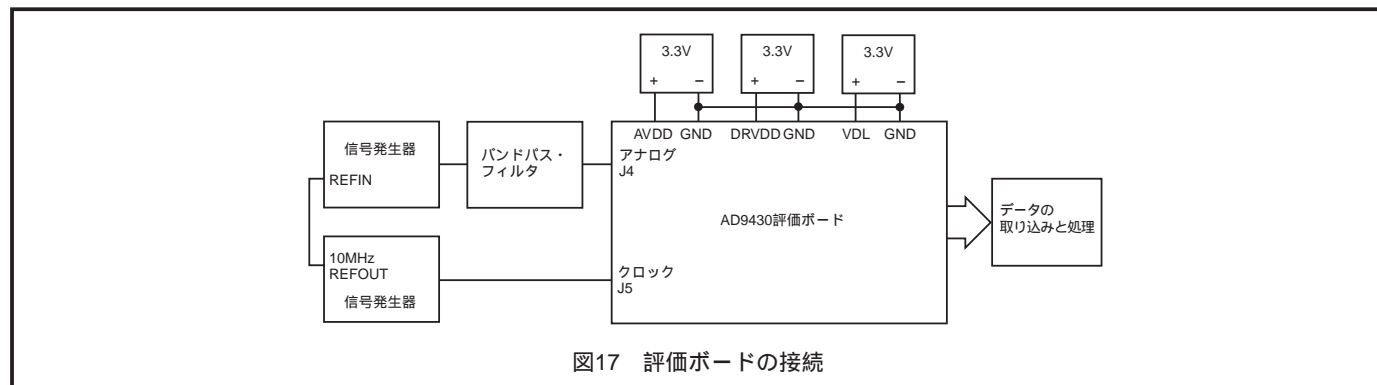


図17 評価ボードの接続

AD9430

表III 評価ボードの部品表

番号	数量	参照記号	デバイス	パッケージ	値	備考
1	47	C1, C3-C11, C15-C17, C19-C29, C31-C48, C58-C62	コンデンサ	0603	0.1 μ F	C43, C47 未実装
2	1	C2	コンデンサ	0603	10 pF	未実装
3	2	C12, C13	コンデンサ	0603	20 pF	未実装
4	1	C14	コンデンサ	0603	0.01 μ F	
5	1	C18	コンデンサ	0603	1 μ F	
6	7	C30, C49, C63-C67	コンデンサ	CAPL	10 μ F	C30は未実装
7	9	E3-E1-E2 E19-E17-E18 E13-E11-E12 E26-E25-E27-E24 E46-E47-E45 E35-E33-E34 E32-E30-E31 E29-E23-E28 E22-E16-E21	3ピン・ヘッダ/ジャンパ 3ピン・ヘッダ/ジャンパ 3ピン・ヘッダ/ジャンパ 4ピン・ヘッダ 3ピン・ヘッダ/ジャンパ 3ピン・ヘッダ/ジャンパ 3ピン・ヘッダ/ジャンパ 3ピン・ヘッダ/ジャンパ 3ピン・ヘッダ/ジャンパ			
8	6	J1, J2, J3, J4, J5, J6	SMB	SMB		J2は未実装
9	2	P3, P23	40ピン・ヘッダ			
10	3	P4, P21, P22	4ピン電源コネクタ	ポストの切り離しが可能なコネクタ	Z5.531.3425.0 25.602.5453.0	Wieland Wieland
11	10	R1, R5, R13, R14, R16, R25, R27, R28, R41, R42	抵抗	0603	50	R1, R13, R14は 未実装
12	3	R2, R3, R4	抵抗	0603	3.9 k	R3, R4は未実装
13	14	R6-R8, R10, R15, R21-R24, R33-R36, R38	抵抗	0603	100	R15, R21-R24は 未実装
14	5	R9, R11, R12, R30, R37	抵抗	0603	0	
15	4	R17, R18, R19, R20	抵抗	0603	510	
16	1	R26	抵抗	0603	2 k	
17	1	R29	抵抗	0603	390	
18	7	R31, R32, R39, R40, R43, R44, R45	抵抗	0603	1 k	
19	4	RZ1, RZ2, RZ3, RZ4	抵抗パック220	SO16RES	742C163221JTR	CTS
20	8	RZ5, RZ6, RZ7, RZ8, RZ9, RZ10, RZ11, RZ12	抵抗パック22	SO16RES	742C163220JTR	CTS
21	2	T1, T2	トランス	CD542	Minicircuits ADT1-1WT	T2は未実装
22	1	U1	AD9430BSV	TQFP100	ADC	
23	1	U2	M C100LVEL16D	SO8NB	クロック・バッファ	
24	1	U3	74LVC86	SO14NB	XOR	
25	4	U4, U5, U6, U7	74LVT574	SO20	ラッチ	
26	1	U9	AD9753AST	LQFP48	DAC	

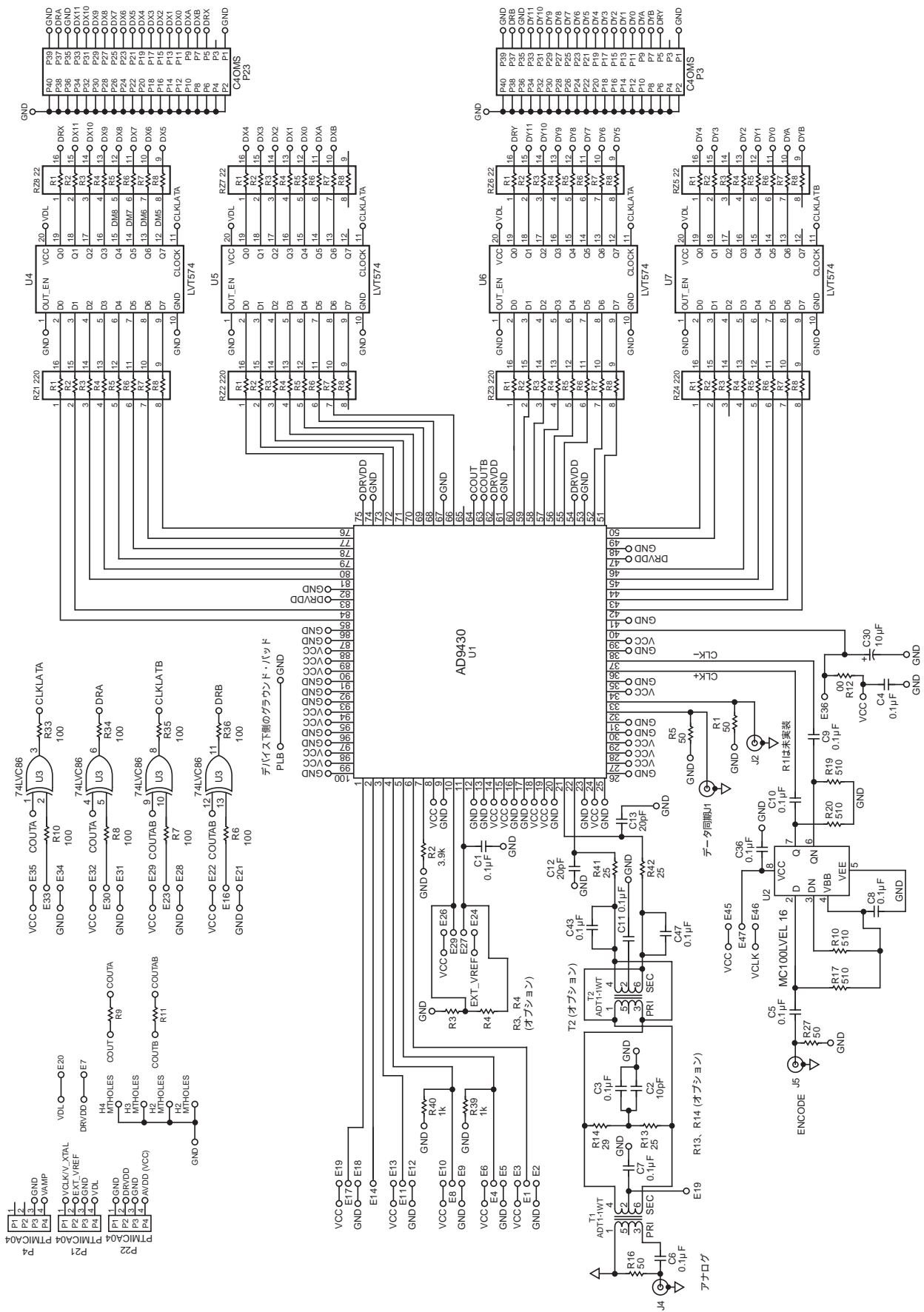
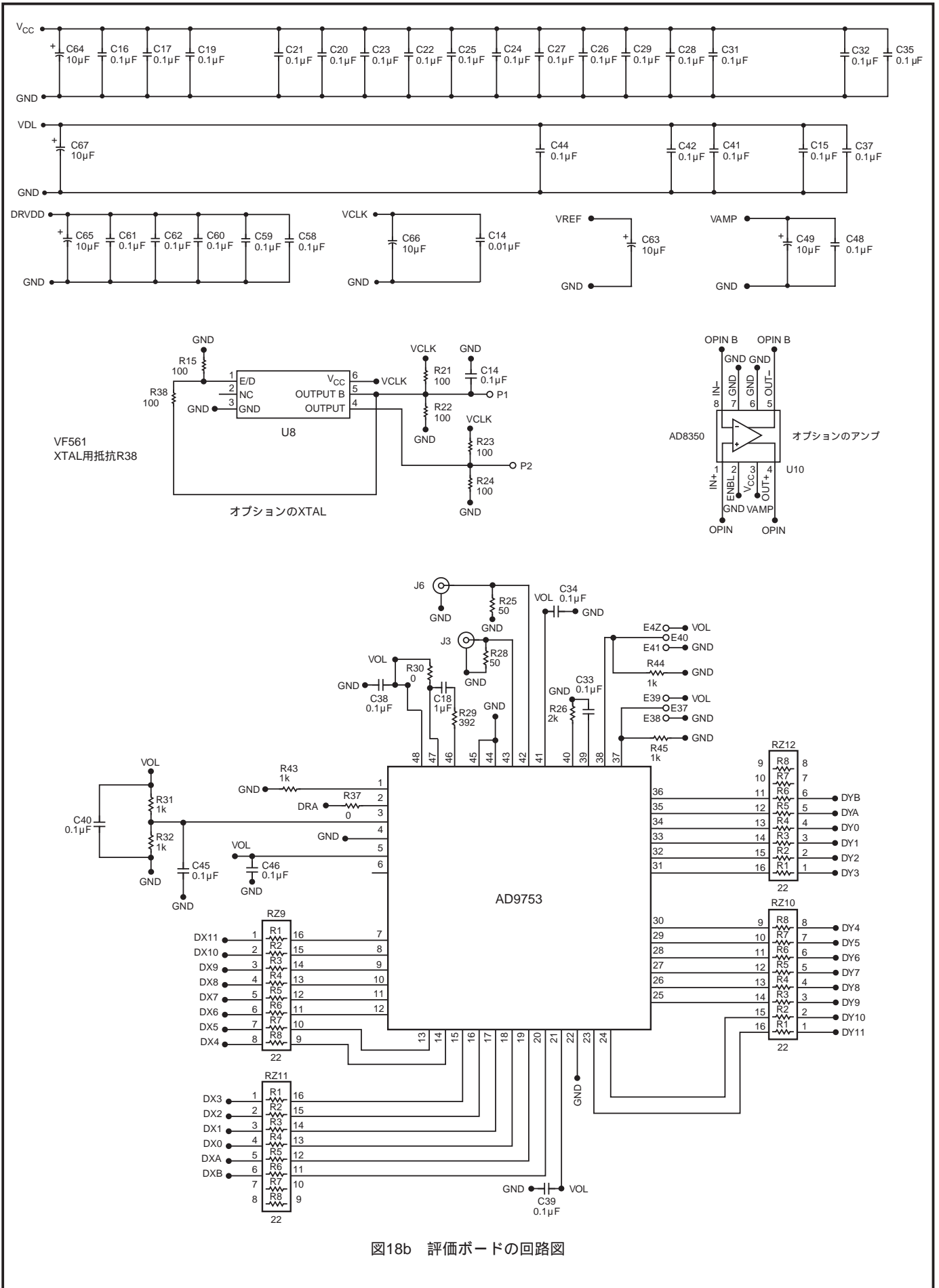


図18a 評価ボードの回路図

AD9430



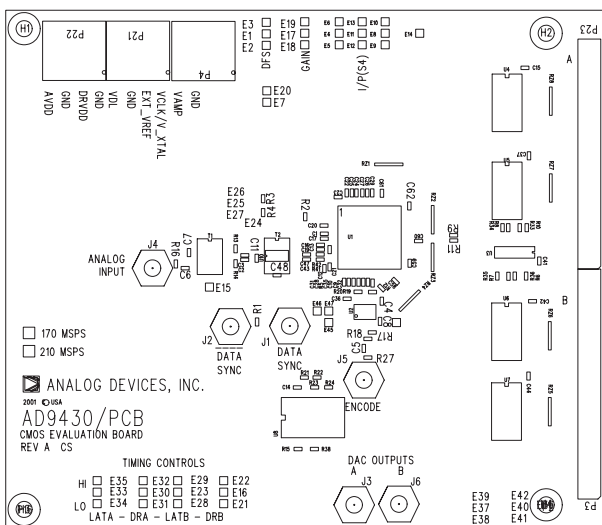


図19 PCBの上側シルクスクリーン面

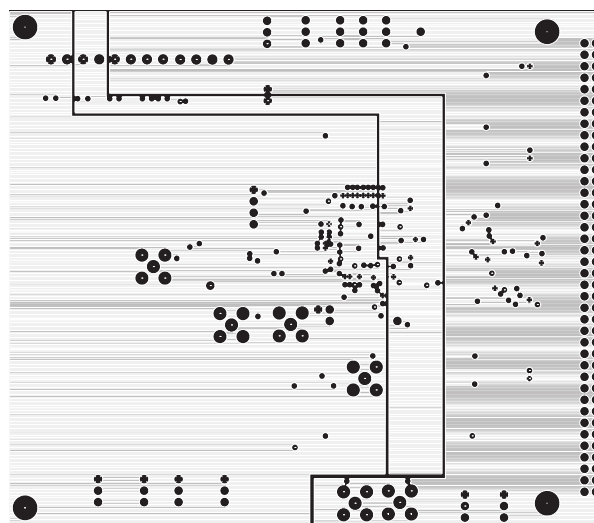


図22 PCBの分離電源プレーン

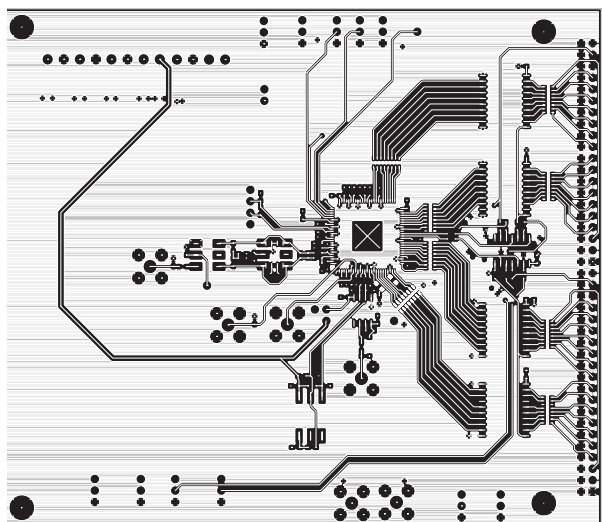


図20 PCBの上面配線

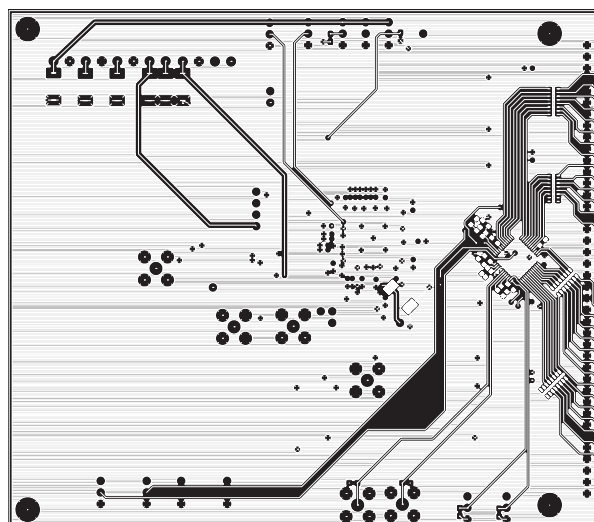


図23 PCBの裏面配線

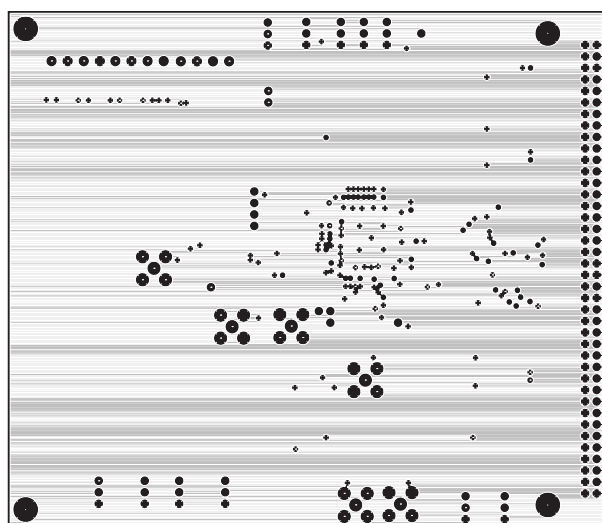


図21 PCBのグラウンド層

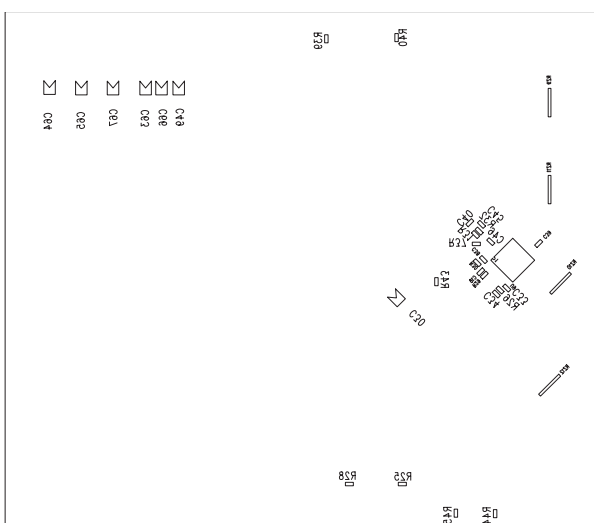
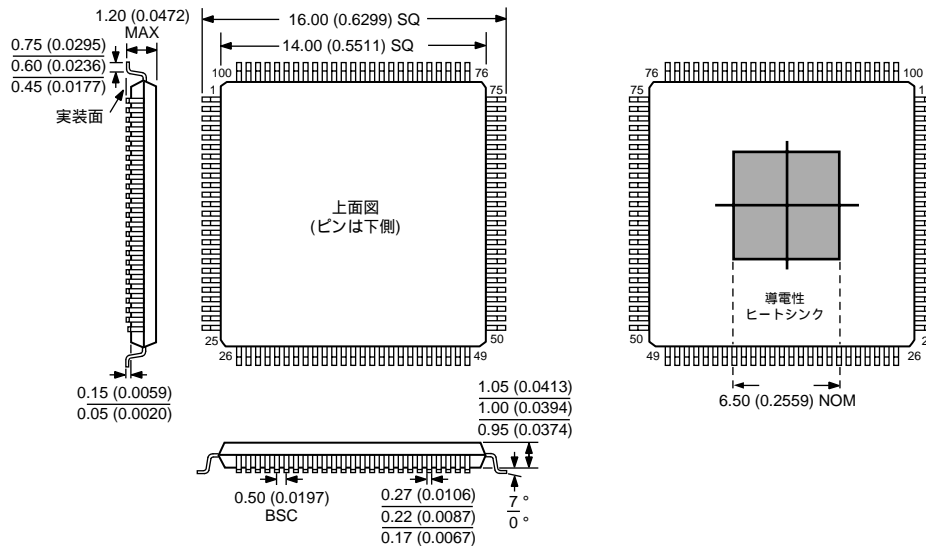


図24 PCBの裏側シルクスクリーン面

外形寸法

サイズはmmと（インチ）で示します。

100ピンTQFP（露出ヒートシンク付き） （TQFP-100）



寸法管理は、ミリメートル。括弧内のインチ寸法は、参考目的にミリメートル値を丸め処理してあるため、設計目的には適しません。

注

- 特に注記のない限り、中心値はtypです。
- AD9430には導電性のヒート・スラグが実装されており、熱の消散を助け、工業温度範囲の全域で信頼性の高いデバイス動作を保証するうえでも効果的です。スラグはパッケージの底部に露出しており、チップのグラウンドに電氣的に接続されています。導電性スラグと接触するパッケージ部分の真下に、PCBの信号パターン配線を走らせたり、ワイヤを配置したりしないことを推奨します。スラグをグラウンド・プレーンに接続するとデバイスの接合部温度が低下するので、高温環境で効果的です。