

### 特長

1.8 V 単電源動作  
 200 MHz 入力、500 MSPS で SNR = 49.3 dBFS  
 200 MHz 入力、500 MSPS で SFDR = 65 dBc  
 低消費電力: 500 MSPS で 315 mW  
 インターリーブ・クロック機能を内蔵  
 リファレンス電圧とトラック・アンド・ホールドを内蔵  
 各チャンネル 1.2 V p-p のアナログ入力範囲  
 帯域幅 500 MHz の差動入力  
 LVDS 準拠デジタル出力  
 リファレンス電圧とサンプル・アンド・ホールド回路を内蔵  
 DNL:  $\pm 0.2$  LSB  
 シリアル・ポート制御オプション  
 インターリーブ・クロック・タイミング調整  
 オフセット・バイナリ、グレイ・コード、または 2 の補数データ・フォーマット  
 オプションのクロック・デューティ・サイクル・スタビライザ  
 選択可能なデジタル・テスト・パターン発生機能を内蔵  
 ピン設定可能なパワーダウン機能  
 48 ピン LFCSP を採用

### アプリケーション

バッテリー駆動の計装機器  
 ハンドヘルド型スコープ・メータ  
 低価格デジタル・オシロスコープ  
 OTS: ビデオ・オーバー・ファイバ

### 概要

AD9286 は、低価格、低消費電力、使いやすさについて最適化された 8 ビットのモノリシック・サンプリング A/D コンバータ (ADC) で、インターリーブ動作をサポートしています。各 ADC は、最大 250 MSPS の変換レートで動作し、優れたダイナミック性能を持っています。

AD9286 は 1 つのサンプル・クロックを入力して、内蔵クロック分周器を使って、2 つの ADC コアをタイム・インターリーブして (各々はクロック周波数の 1/2 で動作) 定格の 500 MSPS を実現しています。SPI を使用して、各 ADC のサンプリング・エッジのタイミングを正確に調整できるため、イメージ・スプリアス・エネルギーを小さくすることができます。

この ADC は、フル性能動作のために 1.8 V の単電源とエンコード・クロックを必要とします。多くのアプリケーションで外付けリファレンス部品が不要です。デジタル出力は LVDS 互換です。

AD9286 は Pb フリーの 48 ピン LFCSP を採用し、 $-40^{\circ}\text{C}$ ~ $+85^{\circ}\text{C}$  の工業温度範囲で仕様が規定されています。

### 製品のハイライト

1. 8 ビット 500 MSPS の ADC を内蔵。
2. 1.8 V 単電源動作で、LVDS 出力。
3. ピン設定によるパワーダウン・オプション。

### 機能ブロック図

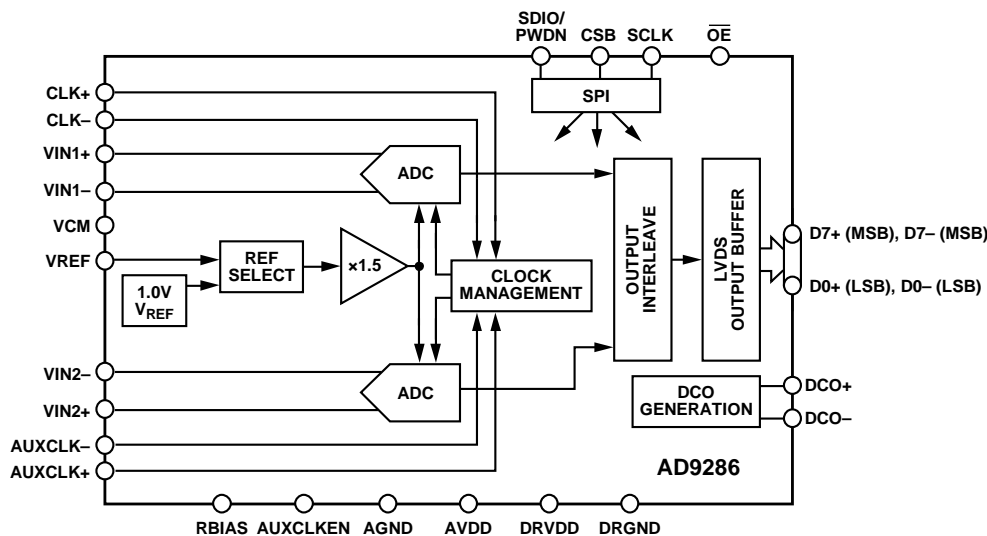


図 1.

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。  
 ※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。  
 ©2011 Analog Devices, Inc. All rights reserved.

## 目次

特長.....	1	リファレンス電圧.....	15
アプリケーション.....	1	RBIAS.....	15
概要.....	1	クロック入力の考慮事項.....	16
製品のハイライト.....	1	デジタル出力.....	18
機能ブロック図.....	1	ビルトイン・セルフテスト(BIST)と出力テスト.....	19
改訂履歴.....	2	ビルトイン・セルフテスト(BIST).....	19
仕様.....	3	出力テスト・モード.....	19
DC仕様.....	3	シリアル・ポート・インターフェース(SPI).....	20
AC仕様.....	4	SPIを使う設定.....	20
デジタル仕様.....	5	ハードウェア・インターフェース.....	21
スイッチング仕様.....	6	SPIを使わない設定.....	21
SPI タイミング仕様.....	6	SPIからアクセス可能な機能.....	21
絶対最大定格.....	9	メモリ・マップ.....	22
熱抵抗.....	9	メモリ・マップ・レジスタ・テーブルの読出し.....	22
ESDの注意.....	9	メモリ・マップ・レジスタ・テーブル.....	23
ピン配置およびピン機能説明.....	10	メモリ・マップ・レジスタの説明.....	25
代表的な性能特性.....	12	アプリケーション情報.....	26
等価回路.....	14	デザイン・ガイドライン.....	26
動作原理.....	15	外形寸法.....	27
ADCのアーキテクチャ.....	15	オーダー・ガイド.....	27
アナログ入力に対する考慮.....	15		

## 改訂履歴

### 3/11—Rev. 0 to Rev. A

Changes to General Description, ADC Conversion Rate..... 1

### 1/11—Revision 0: Initial Version

## 仕様

### DC 仕様

特に指定がない限り、AVDD = 1.8 V、DRVDD = 1.8 V、1.0 V 内蔵 ADC リファレンス電圧を使用。

表 1.

Parameter <sup>1</sup>	Temperature	Min	Typ	Max	Unit
RESOLUTION	Full	8			Bits
DC ACCURACY					
Differential Nonlinearity	Full		±0.2	±0.4	LSB
Integral Nonlinearity	Full		±0.1	±0.3	LSB
No Missing Codes	Full		Guaranteed		
Offset Error	Full	0	±0.4	±2.1	% FS
Gain Error	Full	0	±2	±2.8	% FS
MATCHING CHARACTERISTICS					
Offset Error <sup>2</sup>	Full	0	±0.4	±2.1	% FS
Gain Error	Full	0	±0.05	±0.2	% FS
TEMPERATURE DRIFT					
Offset Error	Full		±2		ppm/°C
Gain Error	Full		±20		ppm/°C
ANALOG INPUT					
Input Span	Full		1.2		V p-p
Input Common-Mode Voltage	Full		1.4		V
Input Resistance (Differential)	Full		16		kΩ
Input Capacitance (Differential)	Full		250		fF
Full Power Bandwidth	Full		700		MHz
VOLTAGE REFERENCE					
Internal Reference	Full	0.97	1	1.03	V
Input Resistance	Full		3		kΩ
POWER SUPPLIES					
Supply Voltage					
AVDD	Full	1.7	1.8	1.9	V
DRVDD	Full	1.7	1.8	1.9	V
Supply Current					
I <sub>AVDD</sub>	Full		125	130	mA
I <sub>DRVDD</sub>	Full		51	54	mA
POWER CONSUMPTION					
Sine Wave Input <sup>3</sup>	Full		315	330	mW
Power-Down Power	Full		0.3	1.7	mW

<sup>1</sup> 完全な定義セットとこれらのテストの実施方法についてはアプリケーション・ノート AN-835 「Understanding High Speed ADC Testing and Evaluation」を参照してください。

<sup>2</sup> インターリーブ性能のセクションを参照してください。

<sup>3</sup> 低周波数、フル・スケール正弦波、各出力ビットに約 5 pF の負荷を接続して測定。

## AC仕様

特に指定がない限り、AVDD = 1.8 V、DRVDD = 1.8 V、1.0 V 内蔵 ADC リファレンス電圧を使用、VIN = -1.0 dBFS 差動入力、最適タイミング値を設定。

表 2.

Parameter	Temperature	Min	Typ	Max	Unit
SIGNAL-TO-NOISE RATIO (SNR)					
$f_{IN} = 10.3 \text{ MHz}$	25°C		49.3		dBFS
$f_{IN} = 70 \text{ MHz}$	25°C		49.3		dBFS
$f_{IN} = 96.6 \text{ MHz}$	Full	48.8	49.3		dBFS
$f_{IN} = 220 \text{ MHz}$	25°C		49.3		dBFS
SIGNAL-TO-NOISE-AND-DISTORTION (SINAD)					
$f_{IN} = 10.3 \text{ MHz}$	25°C		49.2		dBFS
$f_{IN} = 70 \text{ MHz}$	25°C		49.2		dBFS
$f_{IN} = 96.6 \text{ MHz}$	Full	48.7	49.2		dBFS
$f_{IN} = 220 \text{ MHz}$	25°C		49.2		dBFS
EFFECTIVE NUMBER OF BITS (ENOB)					
$f_{IN} = 10.3 \text{ MHz}$	25°C		7.9		Bits
$f_{IN} = 70 \text{ MHz}$	25°C		7.9		Bits
$f_{IN} = 96.6 \text{ MHz}$	Full	7.8	7.9		Bits
$f_{IN} = 220 \text{ MHz}$	25°C		7.9		Bits
WORST SECOND OR THIRD HARMONIC					
$f_{IN} = 10.3 \text{ MHz}$	25°C		-70		dBc
$f_{IN} = 70 \text{ MHz}$	25°C		-70		dBc
$f_{IN} = 96.6 \text{ MHz}$	Full		-69	-61	dBc
$f_{IN} = 220 \text{ MHz}$	25°C		-65		dBc
SPURIOUS-FREE DYNAMIC RANGE (SFDR) <sup>1</sup>					
$f_{IN} = 10.3 \text{ MHz}$	25°C		70		dBc
$f_{IN} = 70 \text{ MHz}$	25°C		70		dBc
$f_{IN} = 96.6 \text{ MHz}$	Full	61	68		dBc
$f_{IN} = 220 \text{ MHz}$	25°C		65		dBc
WORST OTHER HARMONIC OR SPUR					
$f_{IN} = 10.3 \text{ MHz}$	25°C		-71		dBc
$f_{IN} = 70 \text{ MHz}$	25°C		-71		dBc
$f_{IN} = 96.6 \text{ MHz}$	Full		-71	-64	dBc
$f_{IN} = 220 \text{ MHz}$	25°C		-67		dBc
CROSSTALK	Full		-80		dBc

<sup>1</sup> オフセットと折り返しスプリアスは含みません(インターリーブ性能のセクションを参照してください)。

## デジタル仕様

特に指定がない限り、AVDD = 1.8 V、DRVDD = 1.8 V、1.0 V 内蔵 ADC リファレンスを使用、AIN = 5 MHz、フル温度範囲。

表 3.

Parameter <sup>1</sup>	Temperature	Min	Typ	Max	Unit
<b>CLOCK INPUTS (CLK+, CLK-, AUXCLK+, AUXCLK-)</b>					
Logic Compliance			LVDS/PECL		
Internal Common-Mode Bias	Full		1.2		V
Differential Input Voltage <sup>2</sup>	Full	0.2		6	V p-p
Input Voltage Range	Full	AVDD - 0.3		AVDD + 1.6	V
High Level Input Voltage	Full	1.2		3.6	V
Low Level Input Voltage	Full	0		0.8	V
High Level Input Current	Full	-10		+10	μA
Low Level Input Current	Full	-10		+10	μA
Input Resistance (Differential)	25°C		20		kΩ
Input Capacitance	25°C		4		pF
<b>LOGIC INPUTS</b>					
<b>CSB</b>					
High Level Input Voltage	Full	1.2		DRVDD + 0.3	V
Low Level Input Voltage	Full	0		0.8	V
High Level Input Current	Full	-5	-0.4	+5	μA
Low Level Input Current	Full	-80	-63	-50	μA
Input Resistance	25°C		30		kΩ
Input Capacitance	25°C		2		pF
<b>SCLK, SDIO/PWDN, AUXCLKEN, <math>\overline{\text{OE}}</math></b>					
High Level Input Voltage	Full	1.2		DRVDD + 0.3	V
Low Level Input Voltage	Full	0		0.8	V
High Level Input Current	Full	50	57	70	μA
Low Level Input Current	Full	-5	-0.4	+5	μA
Input Resistance	25°C		30		kΩ
Input Capacitance	25°C		2		pF
<b>DIGITAL OUTPUTS (D7+, D7- to D0+, D0-), LVDS</b>					
<b>DRVDD = 1.8 V</b>					
Differential Output Voltage ( $V_{OD}$ )	Full	290	345	400	mV
Output Offset Voltage ( $V_{OS}$ )	Full	1.15	1.25	1.35	V
Output Coding (Default)			Offset binary		

<sup>1</sup> 完全な定義セットとこれらのテストの実施方法についてはアプリケーション・ノート AN-835 「高速 A/D コンバータ (ADC) のテストと評価について」を参照してください。

<sup>2</sup> LVDS と LVPECL に対してのみ規定。

## スイッチング仕様

特に指定がない限り、AVDD = 1.8 V、DRVDD = 1.8 V、最大サンプル・レート、-1.0 dBFS 差動入力、1.0 V 内蔵リファレンスを使用。

表 4.

Parameter	Temperature	Min	Typ	Max	Unit
<b>CLOCK INPUT PARAMETERS</b>					
Input Clock Rate	Full	60		500	MHz
CLK Period ( $t_{CLK}$ )	Full	4			ns
CLK Pulse Width High ( $t_{CH}$ )	Full		2		ns
<b>DATA OUTPUT PARAMETERS</b>					
Data Propagation Delay ( $t_{PD}$ )			3.7		ns
DCO Propagation Delay ( $t_{DCO}$ )	Full		3.7		ns
DCO to Data Skew ( $t_{SKEW}$ )	Full	-280	-60	100	ps
Pipeline Delay (Latency)	Full		11		Cycles
Aperture Delay ( $t_A$ )	Full		1.0		ns
Aperture Uncertainty (Jitter, $t_j$ )	Full		0.1		ps rms
Wake-Up Time <sup>1</sup>	Full		500		$\mu$ s
<b>OUT-OF-RANGE RECOVERY TIME</b>	Full		4		Cycles

<sup>1</sup> ウェイクアップ時間はデカップリング・コデンサの値に依存します。

## SPI タイミング仕様

表 5.

Parameter	Description	Min	Typ	Max	Unit
<b>SPI TIMING REQUIREMENTS</b>					
$t_{DS}$	Setup time between the data and the rising edge of SCLK	2			ns
$t_{DH}$	Hold time between the data and the rising edge of SCLK	2			ns
$t_{CLK}$	Period of the SCLK	40			ns
$t_S$	Setup time between CSB and SCLK	2			ns
$t_H$	Hold time between CSB and SCLK	2			ns
$t_{HIGH}$	SCLK pulse width high	10			ns
$t_{LOW}$	SCLK pulse width low	10			ns
$t_{EN\_SDIO}$	Time required for the SDIO pin to switch from an input to an output relative to the SCLK falling edge	10			ns
$t_{DIS\_SDIO}$	Time required for the SDIO pin to switch from an output to an input relative to the SCLK rising edge	10			ns

## タイミング図

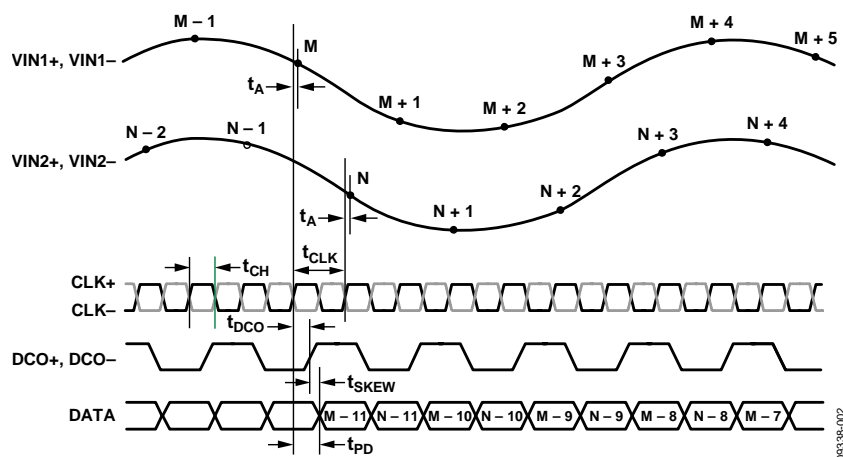
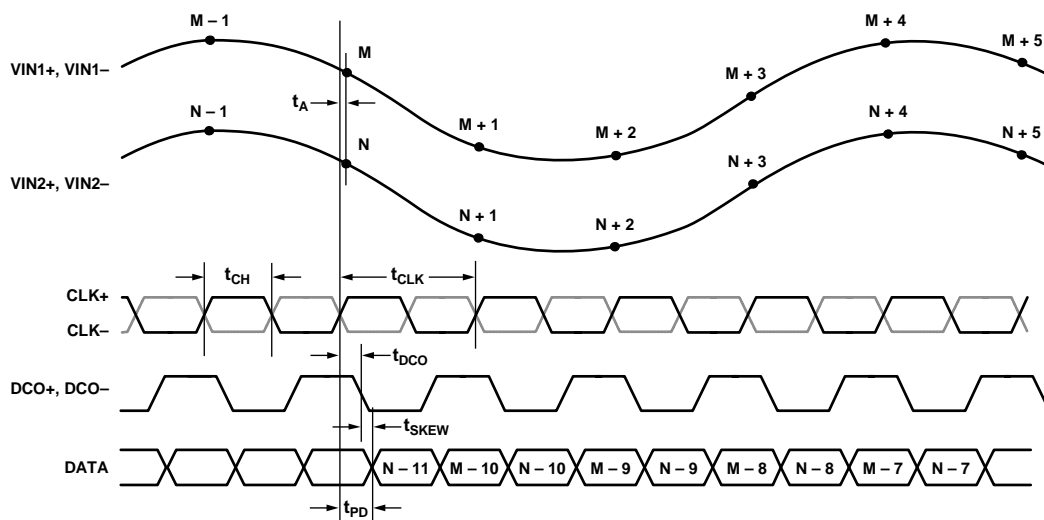
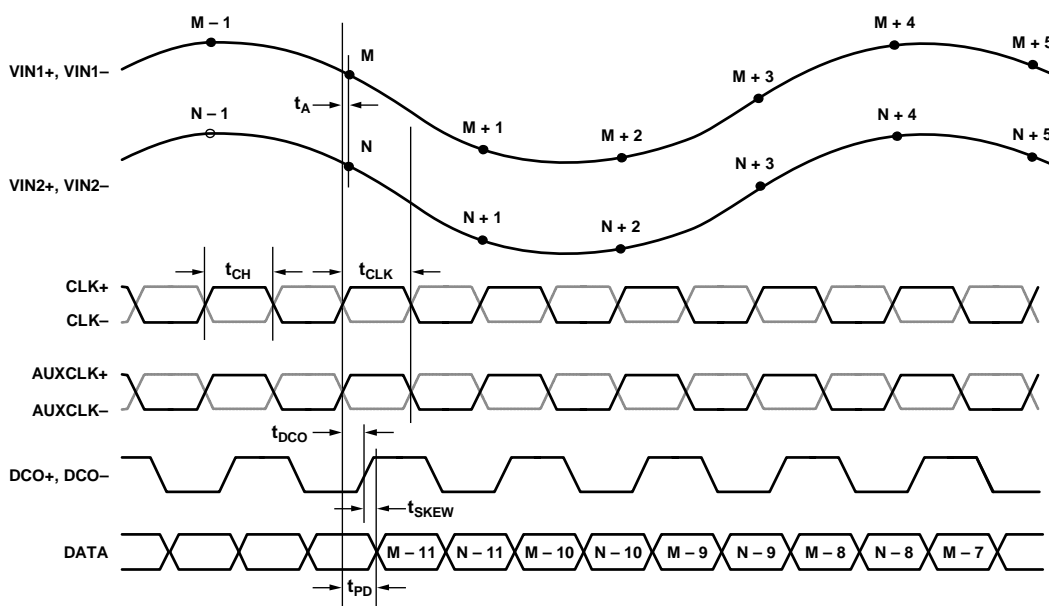


図 2. 出力タイミング図、サンプル・モード = インターリーブ (デフォルト)



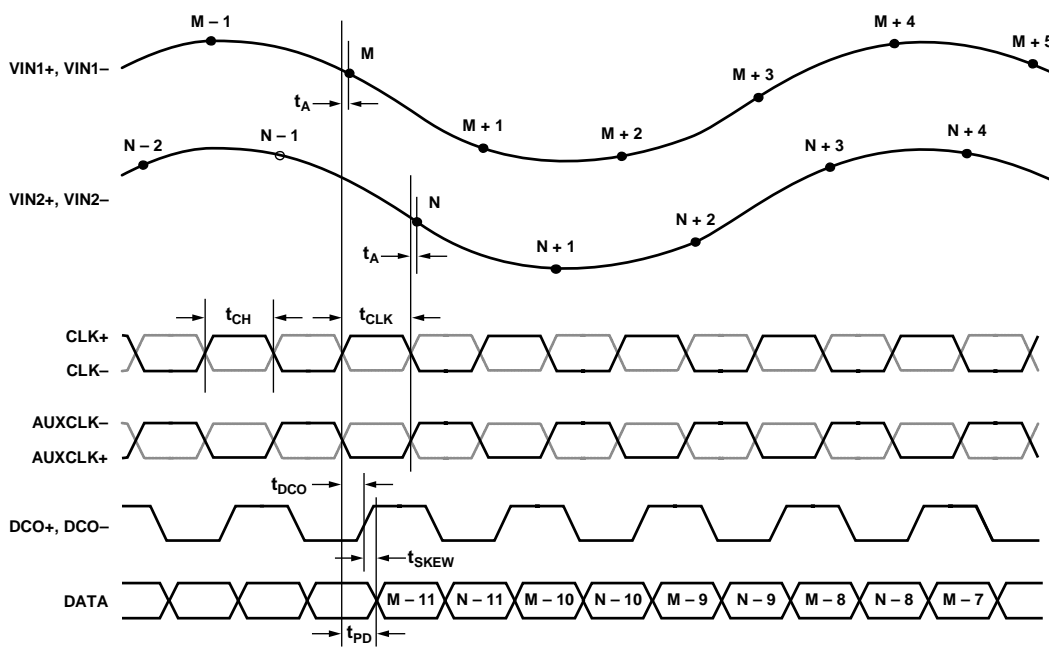
08339-005

図 3.出力タイミング図、サンプル・モード = 同時、AUXCLKEN = 0



08339-006

図 4.出力タイミング図、サンプル・モード = 同時、AUXCLKEN = 1、CLK と AUXCLK は同相



09338-007

図 5. 出力タイミング図、サンプル・モード = 同時、AUXCLKEN = 1、CLK と AUXCLK は逆相



## 絶対最大定格

表 6.

Parameter	Rating
Electrical	
AVDD to AGND	-0.3 V to +2.0 V
DRVDD to DRGND	-0.3 V to +2.0 V
AGND to DRGND	-0.3 V to +0.3 V
AVDD to DRVDD	-2.0 V to +2.0 V
D0+/D0- through D7+/D7- to DRGND	-0.3 V to DRVDD + 0.3 V
DCO+, DCO- to DRGND	-0.3 V to DRVDD + 0.3 V
CLK+, CLK- to AGND	-0.3 V to AVDD + 0.2 V
AUXCLK+, AUXCLK- to AGND	-0.3 V to AVDD + 0.2 V
VIN1±, VIN2± to AGND	-0.3 V to AVDD + 0.2 V
SDIO/PWDN to DRGND	-0.3 V to DRVDD + 0.3 V
CSB to AGND	-0.3 V to DRVDD + 0.3 V
SCLK to AGND	-0.3 V to DRVDD + 0.3 V
Environmental	
Storage Temperature Range	-65°C to +125°C
Operating Temperature Range	-40°C to +85°C
Lead Temperature (Soldering, 10 sec)	300°C
Junction Temperature	150°C

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

### 熱抵抗

$\theta_{JA}$  はワーストケース条件で規定。すなわち表面実装パッケージの場合、デバイスを回路ボードにハンダ付けした状態で規定。

表 7. 熱抵抗

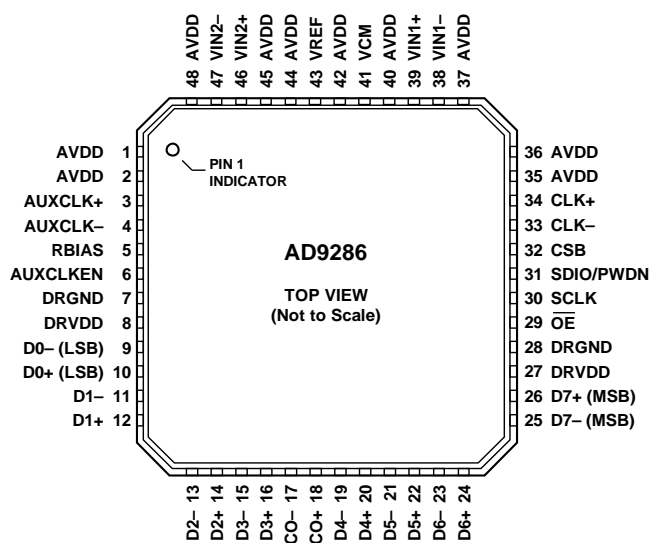
Package Type	$\theta_{JA}$	$\theta_{JC}$	Unit
48-Lead LFCSP (CP-48-12)	30.4	2.9	°C/W

### ESD の注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

## ピン配置およびピン機能説明



NOTES  
1. THE EXPOSED PADDLE MUST BE SOLDERED TO THE PCB ANALOG GROUND TO ENSURE PROPER FUNCTIONALITY AND HEAT DISSIPATION, NOISE, AND MECHANICAL STRENGTH BENEFITS.

08338-003

図 6. ピン配置

表 8. ピン機能の説明

ピン番号	記号	タイプ	説明
ADC 電源ピン			
1、2、35、36、37、40、42、44、45、48	AVDD	電源	アナログ電源 (1.8 V 公称)。
8、27	DRVDD	電源	デジタル出力ドライバ電源 (1.8 V 公称)。
7、28	DRGND	グラウンド	デジタル出力グラウンド。
0	AGND	グラウンド	アナログ・グラウンド。ピン 0 はパッケージ底面のエクスポード・サーマル・パッド。これが唯一のグラウンド接続であるため、PCB アナログ・グラウンドへハンダ付けして、正しい機能と熱放散、ノイズ、機械的強度を確実にする必要があります。
ADC アナログ・ピン			
39	VIN1+	入力	差動アナログ入力ピン (+)、チャンネル 1。
38	VIN1-	入力	差動アナログ入力ピン (-)、チャンネル 1。
46	VIN2+	入力	差動アナログ入力ピン (+)、チャンネル 2。
47	VIN2-	入力	差動アナログ入力ピン (-)、チャンネル 2。
43	VREF	入力/出力	リファレンス電圧入力/出力。
5	RBIAS	入力/出力	外付けリファレンス電圧のバイアス抵抗。RBIAS と AGND の間に 10 kΩ を接続します。
41	VCM	出力	アナログ入力の同相モード・レベル・バイアス出力。
34	CLK+	入力	ADC クロック入力—真。
33	CLK-	入力	ADC クロック入力—相補。
3	AUXCLK+	入力	補助 ADC クロック入力—真。
4	AUXCLK-	入力	補助 ADC クロック入力—相補。
デジタル入力			
6	AUXCLKEN	入力	補助クロック入力イネーブル。
29	$\overline{\text{OE}}$	入力	出力データ・ピンをスリーステートにするデジタル・イネーブル (アクティブ・ロー)。
デジタル出力			
26	D7+ (MSB)	出力	出力データ 7—真。
25	D7- (MSB)	出力	出力データ 7—相補。
24	D6+	出力	出力データ 6—真。

ピン番号	記号	タイプ	説明
23	D6-	出力	出力データ 6—相補。
22	D5+	出力	出力データ 5—真。
21	D5-	出力	出力データ 5—相補。
20	D4+	出力	出力データ 4—真。
19	D4-	出力	出力データ 4—相補。
16	D3+	出力	出力データ 3—真。
15	D3-	出力	出力データ 3—相補。
14	D2+	出力	出力データ 2—真。
13	D2-	出力	出力データ 2—相補。
12	D1+	出力	出力データ 1—真。
11	D1-	出力	出力データ 1—相補。
10	D0+ (LSB)	出力	出力データ 0—真。
9	D0- (LSB)	出力	出力データ 0—相補。
18	DCO+	出力	データ・クロック出力—真。
17	DCO-	出力	データ・クロック出力—相補。
SPI コントロール・ピン			
30	SCLK	入力	SPI シリアル・クロック。
31	SDIO/PWDN	入力/出力	外部モードでの SPI シリアル・データ I/O (SDIO)/パワーダウン入力(PWDN)。
32	CSB	入力	SPI チップ・セレクト (アクティブ・ロー)。

## 代表的な性能特性

特に指定がない限り、AVDD = 1.8 V、DRVDD = 1.8 V、サンプル・レート = 500 MSPS、DCS をイネーブ、1.2 V p-p 差動入力、VIN = -1.0 dBFS、64k サンプル、TA = 25°C。

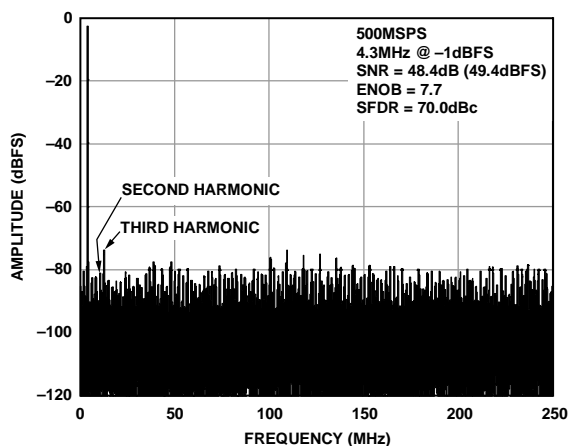


図 7. シングル・トーン FFT、 $f_{IN} = 4.3$  MHz

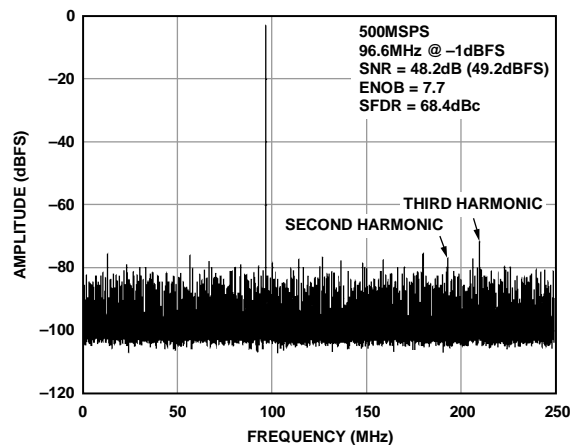


図 10. シングル・トーン FFT、 $f_{IN} = 96.6$  MHz

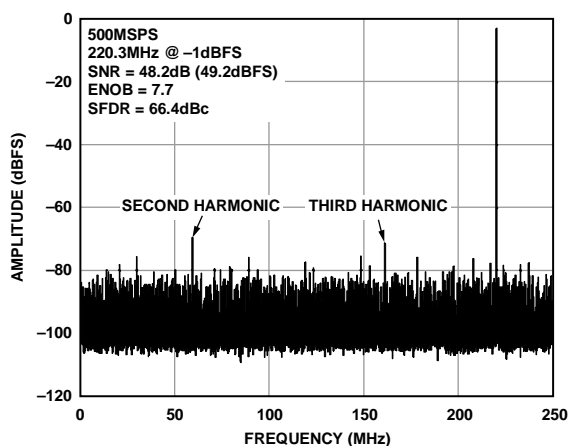


図 8. シングル・トーン FFT、 $f_{IN} = 220.3$  MHz

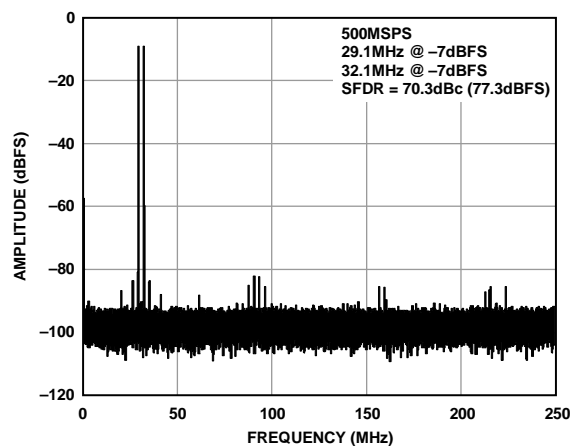


図 11.2 トーン FFT、 $f_{IN1} = 29.1$  MHz、 $f_{IN2} = 32.1$  MHz

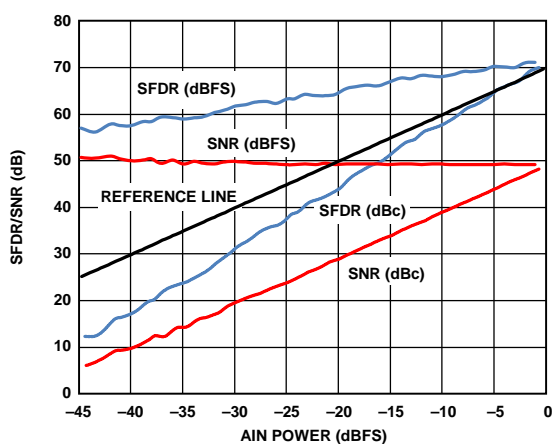


図 9. 入力振幅 (AIN) 対 SFDR/SNR、 $f_{IN} = 2.2$  MHz

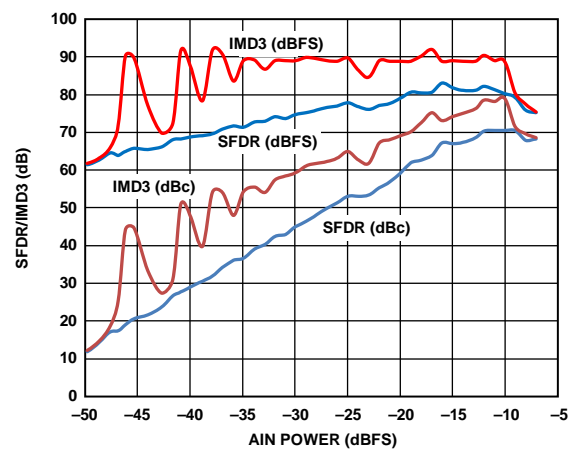


図 12. 入力振幅 (AIN) 対 2 トーン SFDR/IMD3、 $f_{IN1} = 29.1$  MHz、 $f_{IN2} = 32.1$  MHz

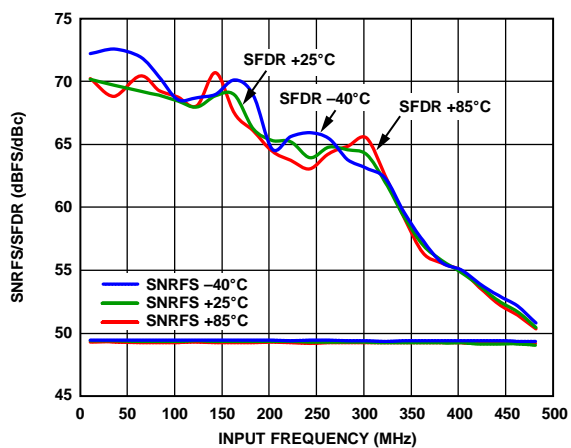


図 13.様々な温度での入力周波数 ( $f_{IN}$ ) 対 SNRFS/SFDR

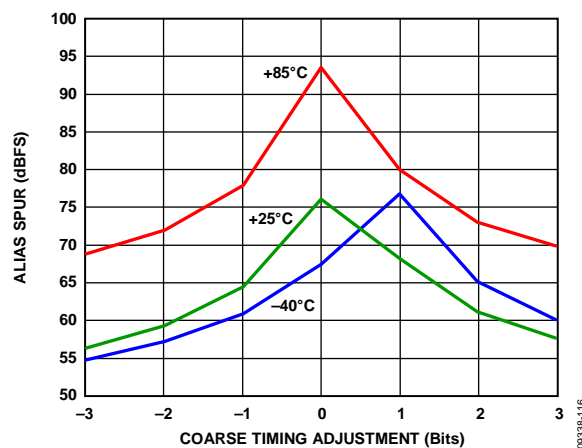


図 16.様々な温度でのタイミング粗調整対折り返しスプリアス

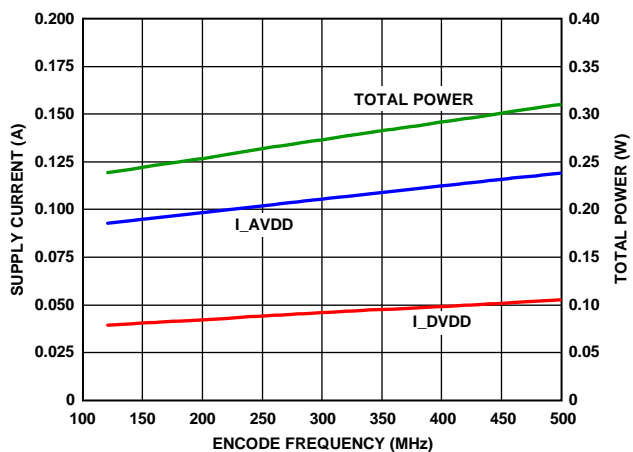


図 14.エンコード対電源電流と消費電力

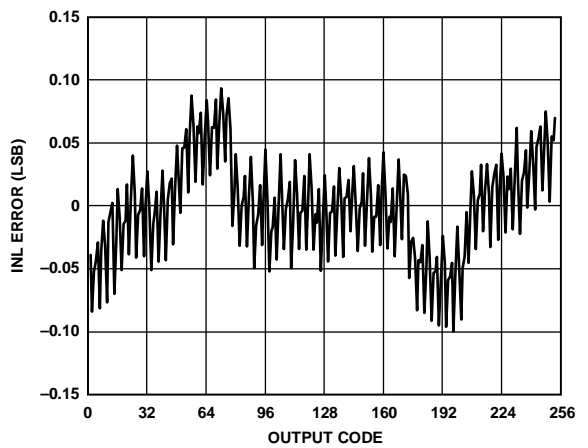


図 17.INL 誤差、 $f_{IN} = 4.3$  MHz

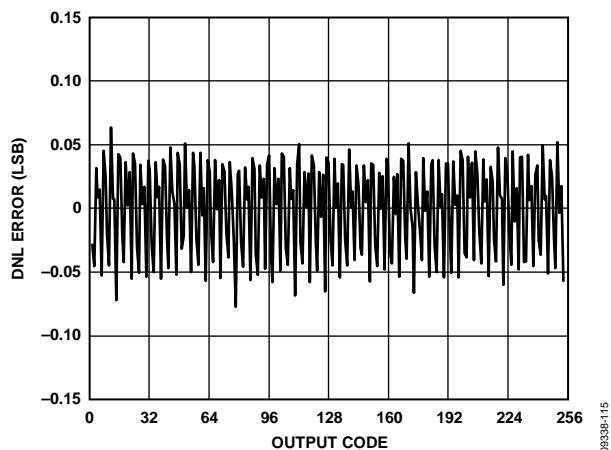
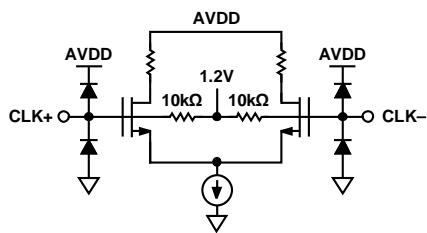


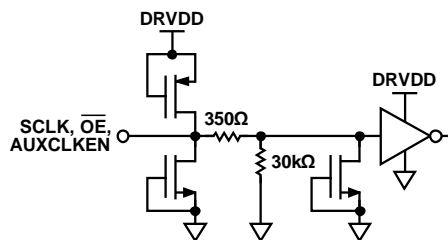
図 15.DNL 誤差、 $f_{IN} = 4.3$  MHz

## 等価回路



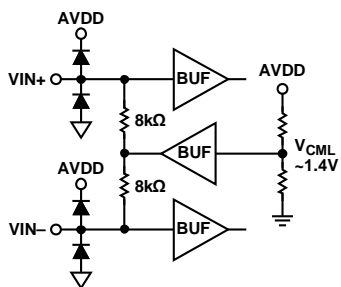
09338-019

図 18. クロック入力



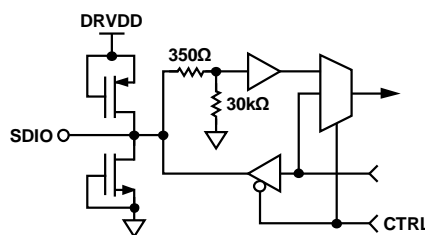
09338-022

図 21. SCLK、 $\overline{OE}$ 、AUXCLKEN



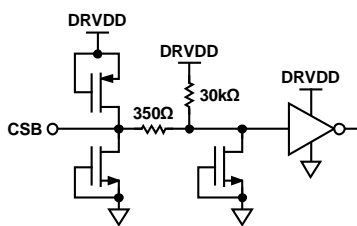
09338-020

図 19. アナログ入力 ( $V_{CML} \approx -1.4V$ )



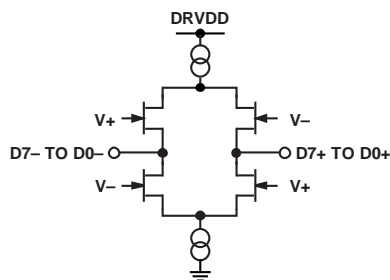
09338-023

図 22. SDIO



09338-021

図 20. CSB



09338-024

図 23. LVDS 出力ドライバ

## 動作原理

AD9286 はパイプライン型のコンバータです。入力バッファは差動で、両入力セットは内部でバイアスされています。このため、AC 入力モードまたは DC 入力モードを使用することができます。サンプル・アンド・ホールド・アンプが、マルチステージ・パイプライン・コンバータ・コアの最初のステージに組み込まれています。出力ステージのブロックで、データの整列、パイプライン・ステージの誤差補正、インターリーブ・ブロックへのデータ供給、出力バッファへのデータの出力が行われます。すべてのユーザ設定オプションは、専用デジタル入力ピンまたはシリアル・ポート・インターフェース (SPI) を使って設定されます。

## ADC のアーキテクチャ

AD9286 の各インターリーブ・チャンネルは、差動入力バッファとそれに続くサンプル・アンド・ホールド・アンプ (SHA) から構成されています。この SHA の後ろにはパイプライン化されたスイッチド・キャパシタ ADC があります。各ステージからの量子化された出力は、デジタル補正ロジックで結合されて最終的に 8 ビットになります。パイプライン化されたアーキテクチャにより、新しい入力サンプルに対して最初のステージが動作すると同時に、残りのステージは先行しているサンプルに対して動作することができます。

最終ステージ以外のパイプラインの各ステージは、スイッチド・キャパシタ DAC に接続された低分解能のフラッシュ ADC とステージ間残留アンプ (MDAC) により構成されています。この残留アンプは、再生された DAC 出力とパイプライン内の次のステージに対するフラッシュ入力の差を増幅します。各ステージ内で冗長な 1 ビットを使って、フラッシュ誤差のデジタル補正を可能にしています。最終ステージはフラッシュ ADC で構成されています。入力ステージには差動 SHA が含まれており、差動モードまたはシングルエンド・モードで AC 結合または DC 結合することができます。出力ステージのブロックで、データの整列、誤差補正、出力バッファへのデータの出力が行われます。出力バッファの電源は分離されているため、出力電圧振幅を調整することができます。パワーダウン時には、出力バッファはハイ・インピーダンス状態になります。

両インターリーブ・チャンネルの出力をタイム・インターリーブして実効 500 MSPS を実現しています。

## アナログ入力に対する考慮

AD9286 のアナログ入力には差動バッファがついています。最適なダイナミック性能を得るためには、同相モードのセトリング誤差が対称になるように、VIN1+、VIN1-、VIN2+、VIN2- を駆動するソース・インピーダンスが一致している必要があります。AD9286 では 2 つの ADC コアをインターリーブするため、特にボード・レイアウト時に注意して、2 つのアナログ・パスの対称性を維持する必要があります。不一致があると、歪みが発生します。アナログ入力は、優れた広帯域性能を得るように最適化されており、アナログ入力を差動で駆動することが必要です。アナログ入力をシングルエンド信号で駆動すると、SNR 性能と SINAD 性能は大幅に低下します。

シングルエンドから差動への変換を必要とするアプリケーションに対しては、Mini-Circuits®社の ADT1-1WT のような広帯域トランスを使って差動アナログ入力を用意することができます。両アナログ入力は、内蔵抵抗分圧器により公称 1.4 V にセルフ・バイアスされています。

## 差動入力構成

最適性能は、AD9286 を差動入力構成で駆動したときに得られます。ベースバンド・アプリケーションに対しては、ADA4937-1 差動ドライバが優れた性能と ADC に対する柔軟なインターフェースを提供します (図 24 参照)。AD9286 の出力同相モード電圧は容易に 1.4 V に設定できるため、ドライバは入力信号の帯域制限用 Sallen-Key フィルタ回路内で構成することができます。

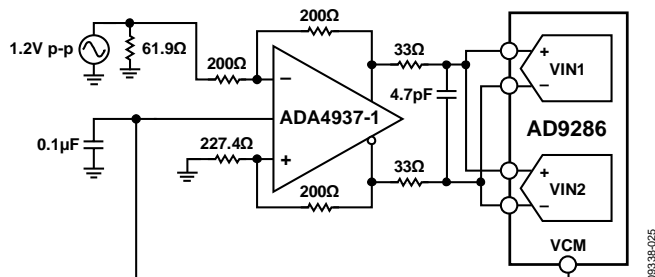


図 24. ADA4937-1 を使用した差動入力構成

AD9286 は、差動トランス結合入力でも受動的に駆動することができます (図 25 参照)。アナログ入力にバイアスを加えるため、VCM 電圧をトランス二次巻線のセンタータップに接続することができます。

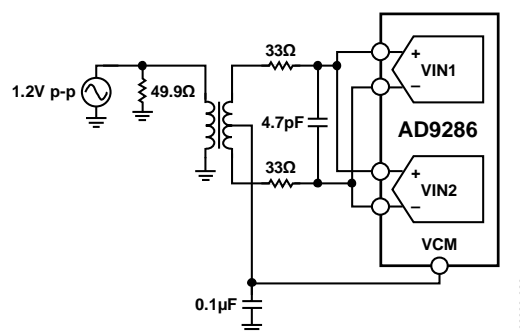


図 25. 差動トランス結合構成

トランスを選択するときは、信号特性を考慮する必要があります。大部分の RF トランスは、数 MHz より低い周波数で飽和します。大きな信号電力もコア・サチレーションの原因になり、歪みを生じさせます。

## リファレンス電圧

内蔵差動リファレンス電圧が正と負のリファレンス電圧を発生し、これらの電圧が ADC コアの 1.2 V p-p 固定スパンを決定します。この内蔵リファレンス電圧は、SPI 制御を介して調整することができます。安定な外付けリファレンス電圧を使って外部から駆動することもできます。詳細については、メモリ・マップ・レジスタの説明のセクションを参照してください。

## RBIAS

AD9286 では、RBIAS ピンとグラウンドとの間に 10 kΩ の抵抗を接続する必要があります。この抵抗は ADC コアのマスター・リファレンス電流を設定するため、偏差 1% のものを使う必要があります。

## クロック入力の考慮事項

最適性能を得るためには、AD9286 のサンプル・クロック入力 CLK+ と CLK- (さらにオプションとして AUXCLK+ と AUXCLK-) を差動信号で駆動する必要があります。信号は、一般にトランスまたはコンデンサを介して CLK+ ピンと CLK- ピンに AC 結合されます。

## クロック入力オプション

AD9286 は非常に柔軟なクロック入力構造を持っています。クロック入力としては、LVDS、LVPECL、または正弦波信号が可能です。このセクションで説明する各構成は、CLK+ と CLK- および必要に応じて AUXCLK+ と AUXCLK- に適用することができます。

図 26 と図 27 に、AD9286 をクロック駆動する 2 つの望ましい方法を示します。ジッタの少ないクロック・ソースは、RF バランまたは RF トランスを使ってシングルエンド信号から差動信号に変換されます。トランス/バランの 2 次側に互いに逆向きに接続されたショットキ・ダイオードが、AD9286 に入力されるクロックを約 0.8 V<sub>p-p</sub> 差動に制限します。

この機能は、クロックの大きな電圧振幅が AD9286 の別の部分に混入することを防止すると同時に、低ジッタ性能にとって重要な、信号の高速な立上がり時間と立下がり時間を維持します。

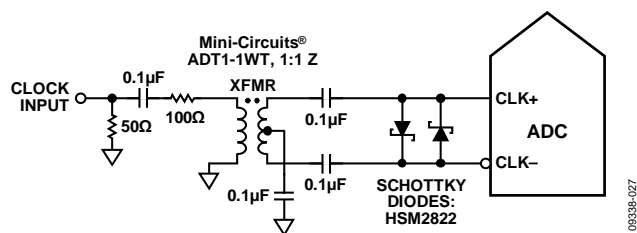


図 26. トランス結合差動クロック

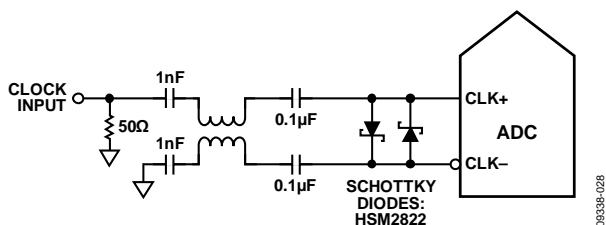


図 27. バラン結合差動クロック

低ジッタ・クロック・ソースがない場合、もう 1 つのオプションは差動 PECL 信号をサンプル・クロック入力ピンへ AC 結合することです(図 28 参照)。AD9510/ AD9511/ AD9512/ AD9513/ AD9514/ AD9515/ AD9516/ AD9517 クロック・ドライバは、優れたジッタ性能を提供します。

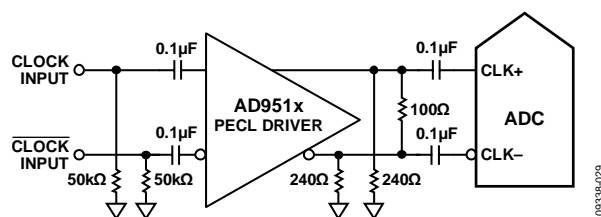


図 28. 差動 PECL サンプル・クロック

3 つ目のオプションは、差動 LVDS 信号をサンプル・クロック入力ピンへ AC 結合する方法です(図 29 参照)。AD9510/ AD9511/ AD9512/ AD9513/ AD9514/ AD9515/ AD9516/ AD9517 クロック・ドライバは、優れたジッタ性能を提供します。

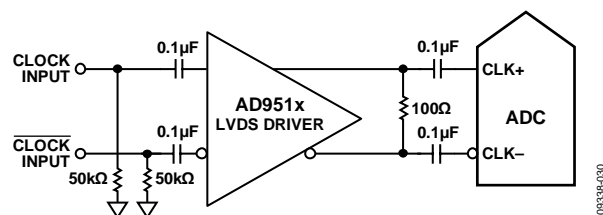


図 29. 差動 LVDS サンプル・クロック

## クロック・モード

AD9286 は、インターリーブをイネーブ爾した 1 チャンネル・コンバータとしてパワーアップします。このモードでは、CLK+ と CLK- を駆動する 1 つの高速クロックが 1/2 分周されて、互いに 180° の位相差で各 ADC コアを駆動します。2 つのアナログ入力を外部で接続すると、AD9286 は 1 つの 500 MSPS ADC として動作します。

高いサンプル・レートは 2 つの ADC コアをインターリーブすることにより実現されているため、コア間、ボード・レイアウト、クロック・タイミングの不一致があると歪みが発生します。AD9286 は、2 つの一致した ADC コアを使って不一致を小さくするようにデザインされています。AD9286 では、タイミング誤差の除去に役立っているため、SPI を使いチャンネルごとのタイミングの微調整と粗調整を提供しています。これらの機能は、レジスタ 0x37 (微調整) とレジスタ 0x38 (粗調整) を介して使うことができます。

AD9286 では、速度を 1/2 にしたクロックを 2 本提供するモードをサポートしています。このモードでは、内部クロック・タイミング回路をバイパスして、各インターリーブ・チャンネル間のクロック・タイミング関係を外部から制御することができます。サンプル・モードを"同時(simultaneous)"に設定し(アドレス 0x09、ビット 3 = 0)、かつ AUXCLKEN ピンを DRVDD に接続すると、AD9286 はセカンド・クロックが補助クロック入力 (AUXCLK+、AUXCLK-) から入力されるものと見なします。



このモードでは、AD9286は2系統の8ビット250 MSPS コンバータとして動作することもできます。この機能は、1系統の8ビット500 MSPS と2系統の8ビット250 MSPS コンバータを必要とするアプリケーションで便利です。クロック・マネジメント・ブロックでは、CLK± と AUXCLK± の位相が互いに0°または180°であることが必要です。この条件が満たされると、各ADCコアから出力されるデータが正しく整理されます。

AD9286を2系統の8ビット250 MSPS コンバータとして動作させるため1つのクロックだけを入力させるときは、AUXCLKENピンをAGNDに接続してサンプル・モードを"同時"に設定します。このモードでは、2つのADCコアが同時にサンプルします。サポートされるすべてのクロック・モードを、表9に示します。

AD9286は、別々のクロックによる各内部ADCのクロック駆動をサポートしています。AUXCLKENをDRVDDに設定すると、AUXCLK+とAUXCLK-に差動補助クロックを入力することができます。このモードでは、各内部ADCコアの最大サンプル・レートが250 MSPSになります。このモードでは、内部タイミング調整ブロックがバイパスされます。

### インターリーブ性能

AD9286では、2つの250 MSPS ADCチャンネルをタイム・インターリーブすることにより500 MSPSの変換を実現しています。この技術は8ビット性能を実現するためには十分ですが、定量化可能な誤差が発生します。これらの誤差は、ゲイン不一致、不完全な逆相サンプリング、2チャンネル間のオフセット不一致の3つの原因から発生します。歪みは、スペクトル的に2つの形態で現れます。すなわち、ゲインとタイミング不一致は折り返しスプリアス(式1)として、オフセット不一致はコンバータのナイキスト・レートの位置のスプリアスとして(式2)、それぞれ現れます。

$$f_{ALIAS\_SPUR} = f_s/2 - f_{IN} \quad (1)$$

ここで、

$f_s$  はインターリーブ・サンプル・レート。

$f_{IN}$  はアナログ入力周波数。

$$f_{OFFSET\_SPUR} = f_s/2 \quad (2)$$

ここで、

$f_s$  はインターリーブ・サンプル・レート。

折り返しスプリアス(AS)の振幅は、式3に示すゲイン誤差がその成分になっています。

$$AS_{GAIN} \text{ (dBc)} = 20 \times \log(G_{GAIN}) = 20 \times \log(G_E/2) \quad (3)$$

ここで、

$G_E = \text{Gain\_Error\_Ratio} = 1 - V_{FS1}/V_{FS2}$

$V_{FSn}$  はコア n のフルスケール電圧。

表9. サポートされているクロック・モード

Effective Number of Channels	Maximum CLK Frequency	AUXCLK Frequency	AUXCLK Phase Relative to CLK	AUXCLKEN	SPI Register, Address 0x09, Bit 3	Clock Timing Adjust
One	500 MSPS	N/A	N/A	Low	1	Internal
Two	250 MSPS	N/A	N/A	Low	0	N/A
Two	250 MSPS	CLK	0°	High	0	N/A
One	250 MSPS	CLK	180°	High	0	External

$AS_{GAIN}$  をゲイン不一致の関数として、図30に示します。

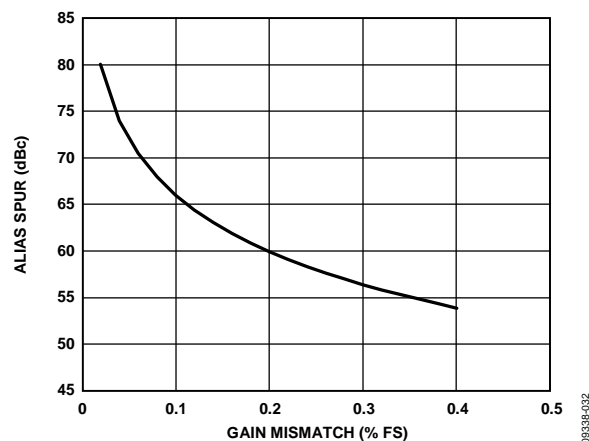


図30. ゲイン不一致の関数としての  $AS_{GAIN}$

折り返しスプリアス(AS)の振幅は、式4に示すタイミング誤差がその成分になっています。

$$AS_{TIMING} \text{ (dBc)} = 20 \times \log(AS_{TIMING}) = 20 \times \log(\theta_{EP}/2) \quad (4)$$

ここで、

$\theta_{EP} = \omega_A \times \Delta t_E$  (ラジアン)、 $\omega_A$  はアナログ入力周波数、 $\Delta t_E$  はクロック・スキュー誤差。

$AS_{TIMING}$  をタイミング誤差の関数として図31に示します。

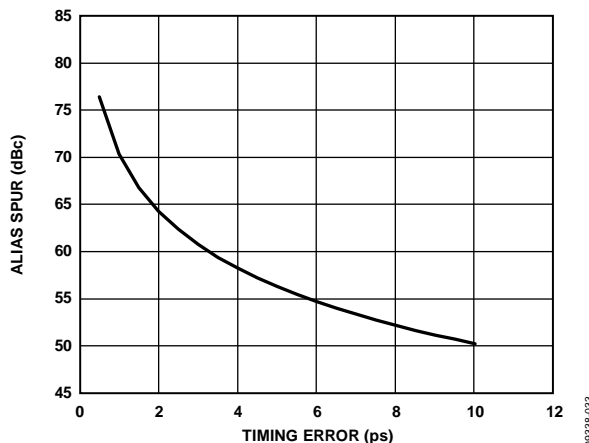


図31. タイミング誤差の関数としての  $AS_{TIMING}$

折り返しスプリアス(AS)の総合振幅は式5で表されます。

$$AS_{TOTAL} \text{ (dB)} = 20 \times \log\sqrt{(AS_{GAIN})^2 + (AS_{TIMING})^2} \quad (5)$$

オフセット・スプリアス (OS)の振幅は式 6 で表されます。

$$OS_{\text{OFFSET}} (\text{dBFS}) = 20 \times \log(\text{OFFSET} \times 2/2^{\text{RESOLUTION}}) \quad (6)$$

ここで、

OFFSET はコードで表したチャンネル間オフセット。

RESOLUTION は、コンバータの分解能 (8 ビット)。

OS<sub>OFFSET</sub> をオフセット不一致の関数として 図 32 に示します。

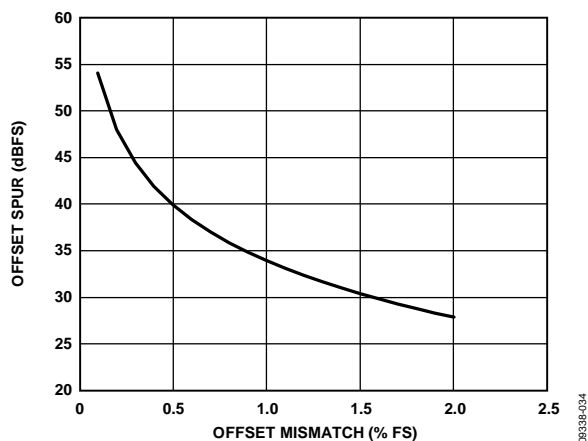


図 32. オフセット・不一致の関数としての OS<sub>OFFSET</sub>

ゲイン誤差とタイミング誤差の間に直交性があるため、一方で他方を補正することはできません。AD9286 は、チャンネル間ゲイン誤差を小さくするため、2 つのチャンネル間でゲインが一致するようにデザインされています。SPI のアドレス 0x37 とアドレス 0x38 は、クロック・スキュー誤差を最小にするため、いずれかのクロック・パスに遅延を加える機能を提供しています。また SPI のアドレス 0x10 を介して、チャンネル間オフセット誤差を最小にする機能も提供しています。

## デジタル出力

### デジタル出カインェーブル機能 ( $\overline{\text{OE}}$ )

AD9286 は、デジタル出力ピンに対して柔軟なスリー・ステート機能を持っています。スリー・ステート・モードは、 $\overline{\text{OE}}$ ピンを使ってイネーブルします。 $\overline{\text{OE}}$ をハイ・レベルにすると、両データ・バスの出力ドライバはハイ・インピーダンス状態になります。

## ビルトイン・セルフテスト(BIST)と出力テスト

AD9286は、ビルトイン・テスト機能を内蔵しています。この機能を使うと、各チャンネルの正常性の確認とボード・レベルのデバッグを行うことができます。AD9286のデジタル・データ・パスの正常性を確認するビルトイン・セルフテスト (BIST)機能も内蔵されています。AD9286の出力に予測可能な値を出力させるための様々な出力テスト・オプションも用意されています。

### ビルトイン・セルフテスト(BIST)

BISTはAD9286の選択した信号パスのデジタル部分をテストします。デバイスが既知の状態にあることを確認するため、リセット後にBISTテストを実行してください。BIST時、内部疑似ランダム・ノイズ (PN) ソースからのデータが、ADCブロック出力からスタートして両チャンネルのデジタル・データ・パスを通して駆動されます。データパス出力では、CRCロジックがデータからのシグネチャを計算します。BISTシーケンスは512サイクル間動作して停止します。テストが完了すると、BISTはシグネチャ結果を規定値と比較します。シグネチャが一致すると、BISTはレジスタ 0x0Eのビット 0をセットして、テストがパスしたことを通知します。BISTテストに失敗すると、レジスタ 0x0Eのビット 0がクリアされます。このテストの間出力が接続されているため、PNシーケンスを動作中に観測することができます。

値0x05をレジスタ 0x0Eに書込むと BISTが開始されます。これにより、レジスタ 0x0Eのビット 0 (BIST イネーブル)がイネーブルされ、

PN シーケンス・ジェネレータ(レジスタ 0x0E)のビット 2 (BIST init)がリセットされます。BISTが完了すると、レジスタ 0x0Eのビット 0は自動的にクリアされます。レジスタ 0x0Eのビット 2に0を書込むと、最後の値からPN シーケンスを続けることができますが、PN シーケンスをリセットしない場合、テストの終わりにシグネチャ計算が規定値と一致しません。この時は、出力データの検証を信ずるほかにありません。

### 出力テスト・モード

出力テスト・オプションを表 13 のアドレス 0x0D に示します。出力テスト・モードをイネーブルすると、ADC のアナログ・セクションがデジタル・バックエンド・ブロックから切り離され、テスト・パターンが出力フォーマット・ブロックを通して実行されます。テスト・パターンは出力フォーマットが行われる場合も、行われない場合もあります。レジスタ 0x0D のビット 4 またはビット 5 をセットすることにより、PN シーケンス・テストの PN ジェネレータをリセットすることができます。これらのテストはアナログ信号の有無によらず(有りの場合、アナログ信号は無視されます)実行することができますが、エンコード・クロックは必要です。詳細については、アプリケーション・ノート [AN-877](#)、「SPI を使った高速 ADC へのインターフェース」を参照してください。

## シリアル・ポート・インターフェース(SPI)

AD9286 シリアル・ポート・インターフェース(SPI)を使うと、ADC 内部に用意されている構造化されたレジスタ・スペースを介してコンバータの特定の機能または動作を設定することができます。SPI は、アプリケーションに応じて、柔軟性とカスタマイゼーションを強化します。シリアル・ポートを介してアドレスがアクセスされ、ポートを介して読み書きすることができます。メモリは、バイトで構成されており、さらにフィールドに分割できます。これについてはメモリ・マップのセクションに記載してあります。詳細については、アプリケーション・ノート [AN-877](#)、「SPI を使った高速 ADC へのインターフェース」を参照してください。

### SPI を使う設定

SCLK、SDIO、CSB の 3 本のピンによりこの ADC の SPI が定義されています (表 10 参照)。SCLK (シリアル・クロック)ピンは、ADC に対する読出し/書き込みデータの同期に使用されます。SDIO (シリアル・データ入力/出力)ピンは 2 つの機能で共用されるピンであり、内部 ADC メモリ・マップ・レジスタに対するデータの送受信に使われます。CSB (チップ・セレクト・バー)はアクティブ・ローのコントロール信号であり、読出しサイクルと書き込みサイクルをイネーブル/ディスエーブルします。

表 10.シリアル・ポート・インターフェース・ピン

Pin	Function
SCLK	Serial clock. A serial shift clock input that is used to synchronize serial interface reads and writes.
SDIO	Serial data input/output. A dual-purpose pin that typically serves as an input or an output, depending on the instruction being sent and the relative position in the timing frame.
CSB	Chip select bar. An active low control that gates the read and write cycles.

CSB の立下がりエッジと SCLK の立上がりエッジの組み合わせにより、フレームの開始が指定されます。シリアル・タイミングの例とその定義を図 33 に示します。

CSB を使用するその他のモードもあります。CSB はロー・レベルに固定することができ、これによりデバイスが常時イネーブルされます。これはストリーミングと呼ばれます。CSB をバイト間でハイ・レベルに維持して外部タイミングを延ばすことができます。CSB ピンをハイ・レベルに固定すると、SPI 機能はハイ・インピーダンス・モードになります。このモードではすべての SPI ピンは 2 つ目の機能になります。

命令フェーズでは、16 ビット命令が送信されます。命令フェーズの後ろにはデータが続き、長さは W0 ビットと W1 ビットにより指定されます(図 33 参照)。

すべてのデータは 8 ビット・ワードで構成されます。マルチバイト・シリアル・データの先頭バイトの先頭ビットは、発行されているのが読出しコマンドまたは書き込みコマンドのいずれであるかを表示します。これにより、シリアル・データ入力/出力(SDIO)ピンがシリアル・フレームの該当する位置で入力と出力との間で方向を変えることができます。

命令フェーズでは、ワード長の他に、シリアル・フレームが読出し動作または書き込み動作のいずれであるかを指定します。これにより、シリアル・ポートをチップへの書き込みまたは内蔵メモリ値の読出しに使うことができます。命令がリードバック動作の場合、シリアル・データ入力/出力(SDIO)ピンの方向がシリアル・フレーム内の該当するポイントで入力から出力へ変わります。

データは、MSB ファースト・モードまたは LSB ファースト・モードで送信することができます。MSB ファーストはパワーアップ時のデフォルトであり、SPI ポート設定レジスタを使って変えることができます。この機能およびその他の詳細については、アプリケーション・ノート [AN-877](#)、「SPI を使った高速 ADC へのインターフェース」を参照してください。

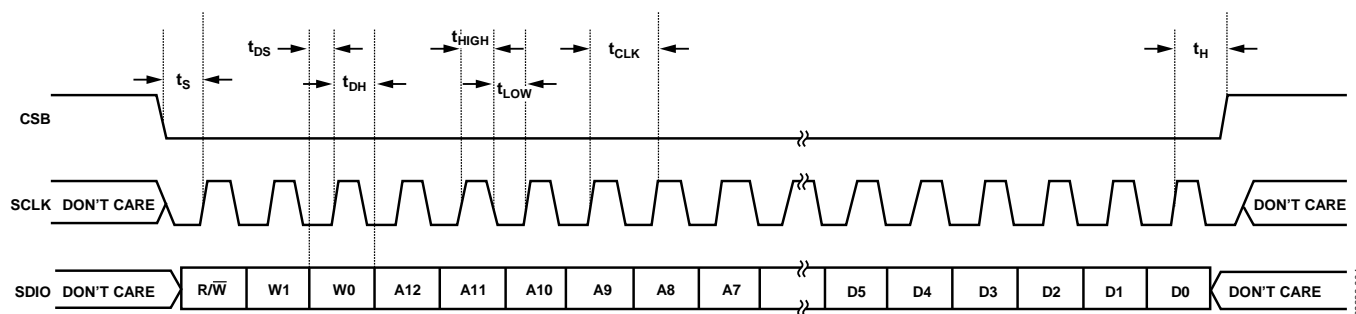


図 33.シリアル・ポート・インターフェースのタイミング図

## ハードウェア・インターフェース

表 10 に示すピンにより、ユーザの書き込みデバイスと AD9286 のシリアル・ポートとの間の物理インターフェースが構成されています。SCLK ピンと CSB ピンは、SPI インターフェースを使用するとき入力として機能します。SDIO ピンは双方向で、書き込みフェーズでは入力として、リードバック時は出力として、それぞれ機能します。

SPI インターフェースは、FPGA またはマイクロコントローラから制御できるように十分な柔軟性を持っています。SPI 設定の一方は、アプリケーション・ノート [AN-812](#) 「Microcontroller-Based Serial Port Interface (SPI) Boot Circuit」に記載してあります。

コンバータのフル・ダイナミック性能が必要な区間では、SPI ポートをアクティブにしないようにしておく必要があります。SCLK 信号、CSB 信号、SDIO 信号は一般に ADC クロックに同期しているため、これらの信号からのノイズがコンバータ性能を低下させることがあります。内蔵 SPI バスを他のデバイスに対して使うことが便利な場合には、このバスと AD9286 との間にバッファを設けて、クリティカルなサンプリング区間にコンバータ入力でこれらの信号が変化することを防止することが必要になります。

SPI インターフェースを使用しない場合には、SDIO/PWDN ピンは他の機能に使用されます。デバイス・パワーオン時にこのピンを AVDD またはグラウンドに接続すると、このピンは特定の機能として使われます。モード選択表 (表 11 参照) に、AD9286 でサポートしているピン接続による機能を示します。

表 11. モードの選択

Pin	External Voltage	Configuration
SDIO/PWDN	AVDD (default) AGND	Chip in full power-down Normal operation
$\overline{\text{OE}}$	AVDD AGND (default)	Outputs in high impedance Outputs enabled

## SPI を使わない設定

SPI コントロール・レジスタにインターフェースしないアプリケーションでは、SDIO/PWDN ピンは、独立した CMOS 互換のコントロール・ピンとして使用することができます。デバイスがパワーアップすると、SDIO ピン、SCLK ピン、CSB ピンは、出力イネーブルとパワーダウンの機能制御用スタティック・コントロール・ラインとして使用されるものと見なされます。このモードで、CSB チップ・セレクトを AVDD に接続すると、シリアル・ポート・インターフェースがディスエーブルされます。

## SPI からアクセス可能な機能

表 12 に、SPI からアクセスできる一般的な機能の簡単な説明を示します。これらの機能は、アプリケーション・ノート [AN-877](#)、「SPI を使った高速 ADC へのインターフェース」で詳しく説明しています。AD9286 デバイスに固有な機能は表 13 のセクションで説明します。

表 12. SPI を使ってアクセスできる機能

Feature	Description
Mode	Allows the user to set either power-down mode or standby mode
Clock Offset	Allows the user to access the DCS via the SPI
Test I/O	Allows the user to digitally adjust the converter offset
Output Mode	Allows the user to set test modes to have known data on output bits
Output Phase	Allows the user to set up outputs
Output Delay	Allows the user to set the output clock polarity
Voltage Reference	Allows the user to vary the DCO delay
	Allows the user to set the voltage reference

## メモリ・マップ

### メモリ・マップ・レジスタ・テーブルの読み出し

メモリ・マップ・レジスタ・テーブル(表 13)内の各行には 8 個のビット・ロケーションがあります。メモリ・マップは大まかに、チップ設定レジスタ(アドレス 0x00~アドレス 0x02)、デバイス・インデックス・レジスタと転送レジスタ(アドレス 0x05 とアドレス 0xFF)、プログラム・レジスタ(アドレス 0x08~アドレス 0x38)の 3 つのセクションに分かれています。

表 13 には、各 16 進アドレスに対するデフォルトの 16 進値が記載してあります。先頭ビット 7 (MSB)の列は、デフォルト 16 進値の開始になります。この機能およびその他の詳細については、アプリケーション・ノート [AN-877](#)、「SPI を使った高速 ADC へのインターフェース」を参照してください。このドキュメントでは、レジスタ 0x00~レジスタ 0xFF により制御される機能を詳しく説明しています。

### 未使用ロケーション

SPI マップに記載されていないすべてのアドレスとビット・ロケーションは、このデバイスでは現在サポートされていません。有効アドレス・ロケーションの未使用ビットには 0 を書込む必要があります。アドレス・ロケーションの一部が未使用の場合にのみ、これらのロケーションへの書込みが必要です。アドレス・ロケーション全体が未使用の場合、SPI マップから削除されており(例えばアドレス 0x13)、このアドレス・ロケーションに対しては書込みを行わないでください。

### デフォルト値

AD9286 のリセット後、クリティカルなレジスタにはデフォルト値がロードされます。レジスタのデフォルト値は、メモリ・マップ・レジスタ・テーブル(表 13)に記載してあります。

### ロジック・レベル

ロジック・レベルは次のように定義します。

- 「ビットをセットする」は、「ビットをロジック 1 に設定する」または「ビットにロジック 1 を書込む」と同じ意味です。
- 「ビットをクリアする」は、「ビットをロジック 0 に設定する」または「ビットにロジック 0 を書込む」と同じ意味です。

### 転送レジスタ・マップ

アドレス 0x08~アドレス 0x38 はシャドウされます。これらのアドレスに書込みを行っても、アドレス 0xFF に 0x01 を書込んで転送コマンドが発行されて、転送ビットがセットされるまで、デバイスの動作に反映されません。転送ビットをセットすると、これらのレジスタは内部で同時に更新されます。内部更新は転送ビットがセットされたときに実行され、ビットは自動的にクリアされます。

### チャンネル固有のレジスタ

幾つかのチャンネル・セットアップ機能は、各チャンネルごとに異なる設定が可能です。これらの場合、チャンネル・アドレス・ロケーションは、内部で各チャンネルにコピーされます。これらのレジスタとビットは、メモリ・マップ・レジスタ・テーブルでローカルと表示してあります。これらのローカル・レジスタとビットをアクセスするときは、レジスタ 0x05 内の該当するチャンネル 1(ビット 0)またはチャンネル 2(ビット 1)をセットします。

両ビットがセットされている場合は、後続の書込みは両チャンネルのレジスタに対して行われます。読み出しサイクルでは、チャンネル 1 またはチャンネル 2 の一方のみをセットして、2 つのレジスタの内の 1 つを読み出す必要があります。SPI 読み出しサイクルで両ビットがセットされていると、デバイスはチャンネル 1 の値を返します。メモリ・マップ・レジスタ・テーブルでグローバルと表示されているレジスタとビットは、デバイス全体またはチャンネル間に独立な設定が許容されていないチャンネル機能に対して有効です。レジスタ 0x05 内の設定は、グローバルなレジスタとビットに影響を与えません。

## メモリ・マップ・レジスタ・テーブル

表 13 に記載されていないすべてのアドレスとビット・ロケーションは、このデバイスでは現在サポートされていません。

表 13. メモリ・マップ・レジスタ

Addr (Hex)	Register Name	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	Default Value (Hex)	Default Notes/Comments
<b>Chip Configuration Registers</b>											
0x00	SPI port configuration	0	LSB first	Soft reset	1	1	Soft reset	LSB first	0	0x18	Nibbles are mirrored so that LSB-first or MSB-first mode registers correctly, regardless of shift mode
0x01	Chip ID (global)	8-bit chip ID								0x0A	Unique chip ID used to differentiate devices; read only
0x02	Chip grade (global)	Open	Speed grade ID 100 = 500 MSPS			Open			0x40	Unique speed grade ID used to differentiate devices; read only	
<b>Device Index and Transfer Registers</b>											
0x05	Device Index A	Open					ADC 2 default	ADC 1 default	0xFF	Bits are set to determine which on-chip device receives the next write command; default is all devices on the chip	
0xFF	Transfer	Open						Transfer	0xFF	Synchronous transfer of data from the master shift register to the slave	
<b>Program Registers (May or may not be indexed by device index)</b>											
0x08	Modes (global)	Open				Internal power-down mode 00: chip run 01: full power-down 10: reserved 11: reserved			0x00	Determines various generic modes of chip operation	
0x09	Clock (global)	Open			Sample mode 0: simultaneous 1: interleaved	Open	Clock boost	Duty cycle stabilizer	0x09		
0x0D	Test mode (local)	Open	Reset PN23 gen	Reset PN9 gen	Open	Output test mode 000: off 001: midscale short 010: +FS short 011: -FS short 100: checkerboard output 101: PN23 sequence 110: PN9 sequence 111: one-/zero-word toggle			0x00	When test mode is set, test data is placed on the output pins in place of normal data	
0x0E	BIST (local)	Open					BIST init	Open	BIST enable	0x00	BIST mode

Addr (Hex)	Register Name	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	Default Value (Hex)	Default Notes/Comments
											config
0x0F	ADC input (global/local)	Open					Analog disconnect (local)	Common-mode input enable (global)	Open	0x00	
0x10	Offset (local)	Open				Offset adjust (two's complement format) 0111: +7 0110: +6 ... 0001: +1 0000: 0 1111: -1 ... 1001: -7 1000: -8				0x00	Device offset trim
0x14	Output mode (local)	Open			Output enable	Open	Output invert	Data format select 00: offset binary 01: two's complement 10: Gray code 11: reserved		0x00	Configures the outputs and the format of the data
0x16	Output phase (global)	DCO invert	Open						0x00		
0x18	Voltage reference (global)	Open			Voltage reference and input full-scale adjustment (see Table 14)				0x00	Selects/adjusts $V_{REF}$	
0x24	MISR LSB (local)	LSBs of multiple input shift register (MISR)								0x00	MISR least significant byte; read only
0x25	MISR MSB (local)	MSBs of multiple input shift register (MISR)								0x00	MISR most significant byte; read only
0x37	Timing adjust (local)	Open				Fine timing skew 0000: 0.0 ps 0001: 0.075 ps ... 1111: 1.125 ps				0x00	Determines the clock delay that is introduced into the sampling path
0x38		Open				Coarse timing skew 0000: 0.0 ps 0001: 1.2 ps ... 1111: 18 ps				0x00	Determines the clock delay that is introduced into the sampling path



## メモリ・マップ・レジスタの説明

レジスタ 0x00～レジスタ 0xFF で制御される機能の詳細については、アプリケーション・ノート AN-877「Interfacing to High Speed ADCs via SPI」を参照してください。

### リファレンス電圧 (レジスタ 0x18)

ビット[7:5]—予約済み

ビット[4:0]—リファレンス電圧

ビット[4:0] は、内部発生のリファレンス電圧を(したがってアナログ入力のフルスケールを)スケールします。容量負荷を小さくして外部から容易に駆動できるようにこのレジスタ内でリファレンス・ドライバを設定することができます。

$V_{REF}$  電圧と入力フルスケールとの関係は、式 7 で表されます。すべてのレジスタ設定値の一覧については、表 14 を参照してください。

$$Input\_Full\_Scale = V_{REF} \times 1.2 \quad (7)$$

表 14.  $V_{REF}$  と入力フルスケール (レジスタ 0x18)

Value	$V_{REF}$ (V)	Full Scale (V)
0x14	0.844	1.013
0x15	0.857	1.028
0x16	0.87	1.044
0x17	0.883	1.060
0x18	0.896	1.075
0x19	0.909	1.091
0x1A	0.922	1.106
0x1B	0.935	1.122
0x1C	0.948	1.138
0x1D	0.961	1.153
0x1E	0.974	1.169
0x1F	0.987	1.184
0x00	1	1.200
0x01	1.013	1.216
0x02	1.026	1.231
0x03	1.039	1.247
0x04	1.052	1.262
0x05	1.065	1.278
0x06	1.078	1.294
0x07	1.091	1.309
0x08	1.104	1.325
0x09	1.117	1.340
0x0A	1.13	1.356
0x0B	1.143	1.372
0x0C	1.156	1.387
0x0D	1.169	1.403
0x0E	1.182	1.418
0x0F	1.195	1.434
0x10	1.208	1.450
0x11	1.221	1.465
0x12	1.234	1.481
0x13	External	External $\times$ 1.2

## アプリケーション情報

### デザイン・ガイドライン

1つのシステムとして、AD9286のデザインとレイアウトを開始する前に、特定のピンに必要とされる特別な回路接続とレイアウト条件を説明する次のガイドラインをお読みください。

#### 電源とグラウンドの推奨事項

電源をAD9286に接続する際、別々の2電源を使うことが推奨されます。1つはアナログ用1.8V電源 (AVDD)、もう1つはデジタル出力用1.8V電源 (DRVDD)です。AVDD電源とDVDD電源に1つの1.8Vを共通に使用しなければならない場合には、フェライト・ビードやフィルタ・チョークと個別のデカップリング・コンデンサを使用し、AVDDドメインとDRVDDドメインを分離する必要があります。高周波と低周波のデカップリングをカバーするために、種類の異なる複数のデカップリング・コンデンサを使うことができます。これらのコンデンサは、プリント回路ボード (PCB) レベルの入力ポイント近くに配置し、かつ短いパターンを使ってデバイス・ピンに接続します。

AD9286をつかうときは、1枚のPCボード・グラウンド・プレーンで十分です。適切なデカップリングとPCBのアナログ、デジタル、クロックの各セクションの適切な分割により、最適性能を容易に実現することができます。

#### エクスポーズド・パッド・サーマル・ヒート・シンクの推奨事項

エクスポーズド・パッド (ピン0) はAD9286の唯一のグラウンド接続であるため、PCBのアナログ・グラウンド (AGND)に接続する必要があります。最適な電気的および熱的性能を得るため、PCB上のハンダ・マスクのない連続銅プレーンとAD9286エクスポーズド・パッド (ピン0)を接続してください。

銅プレーンには最小の熱抵抗になるように複数のビアを使用して、PCBの裏面へ放熱するようにします。これらのビアには非伝導性のエポキシを詰める必要があります。

ADCとPCBとの接触面積と接着を最大にするため、シルクスクリーンで覆い、PCBの連続プレーンを複数の均一なセクションに分割してください。これにより、リフロー・プロセス時にADCとPCBの間で複数の接続点を形成することができます。パーティションのない1枚の連続プレーンを使うと、ADCとPCBとの間の接続点が確実に1個だけになります。チップ・スケール・パッケージのパッケージとPCBレイアウトの詳細については、<http://www.analog.com/jp/index.html>のアプリケーション・ノートAN-772「リード・フレーム・チップ・スケール・パッケージ (LFCSP) の設計および製造ガイド」を参照してください。

#### VCM

VCMピンは、0.1  $\mu\text{F}$ のコンデンサでグラウンドへデカップリングする必要があります。

#### RBIAS

AD9286では、RBIASピンとグラウンドとの間に10 k $\Omega$ の抵抗を接続する必要があります。この抵抗はADCコアのマスター電流リファレンスを設定するため、偏差1%以下のものを使う必要があります。

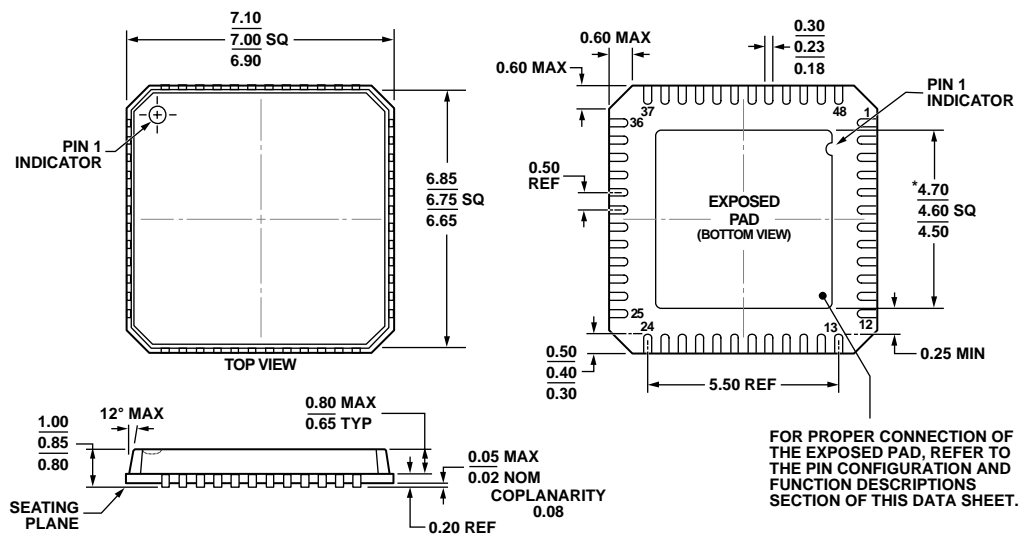
#### リファレンス電圧のデカップリング

VREFピンは、ESRの小さい1.0  $\mu\text{F}$ のコンデンサとESRの小さい0.1  $\mu\text{F}$ のセラミック・コンデンサとの並列接続により外部でグラウンドにデカップリングする必要があります。

#### SPIポート

コンバータのフル・ダイナミック性能が必要な区間では、SPIポートをアクティブにしないようにしておく必要があります。SCLK信号、CSB信号、SDIO信号は一般にADCクロックに同期しているため、これらの信号からのノイズがコンバータ性能を低下させることがあります。内蔵SPIバスを他のデバイスに対して使うことが便利な場合には、このバスとAD9286との間にバッファを設けて、クリティカルなサンプリング区間にコンバータ入力でこれらの信号が変化することを防止することが必要になります。

## 外形寸法



\*COMPLIANT TO JEDEC STANDARDS MO-220-VKGD-2  
WITH EXCEPTION TO EXPOSED PAD DIMENSION.

04-22-2010-A

図 34.48 ピン・リードフレーム・チップ・スケール・パッケージ[LFCSP\_VQ]  
7 mm × 7 mm ボディ、極薄クワッド  
(CP-48-12)  
寸法: mm

## オーダー・ガイド

Model <sup>1</sup>	Temperature Range	Package Description	Package Option
AD9286BCPZ-500	-40°C to +85°C	48-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-48-12
AD9286BCPZRL7-500	-40°C to +85°C	48-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-48-12
AD9286-500EBZ		Evaluation Board	

<sup>1</sup> Z = RoHS 準拠製品