

AD9260

特長

モノリシック16ビット・オーバーサンプリングA/Dコンバータ
8×のオーバーサンプリング・モード；20 MSPSクロック
2.5 MHzの出力ワード・レート
リップル0.004 dBの1.01 MHz信号通過帯域
信号対ノイズ比：88.5 dB
全高調波ひずみ：-96 dB
スプリアス・フリー・ダイナミック・レンジ：100 dB
入力関連ノイズ：0.6 LSB
選択可能なオーバーサンプリング比率：1×、2×、4×、8×
選択可能な消費電力：150 mWから585 mW
85 dBの拒絶帯域減衰率
0.004 dBの通過帯域リップル
直線的な位相特性
+5 Vの単一アナログ電源、+5 V/+3 Vのデジタル電源
パラレルADCインターフェースとのシンクロ
2の補数の出力データ
44ピンMQFP

概要

AD9260は、16ビットの高速オーバーサンプリング・アナログ・デジタル・コンバータ(ADC)で、これまでに例のない広帯域にわたるダイナミック・レンジを提供します。このAD9260は、先進のCMOSプロセスを使用して製造されています。広いダイナミック・レンジは、シグマ・デルタの利点とパイプライン・コンバータのテクノロジーを結合するアナログ・デバイス社独自のテクニックの使用と、8×のオーバーサンプリング比によって実現されました。

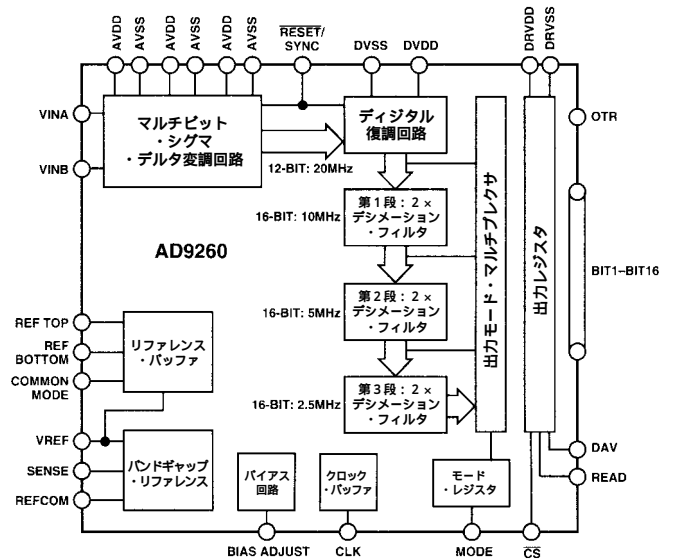
AD9260は定格フルスケール入力範囲が4 Vのスイッチ・キャパシタADCです。この入力範囲で、同相モード信号の同相モード除去比60 dBの差分入力を得られます。各差分入力の信号範囲は、2.0 Vの同相モード・レベルを中心とする ± 1 Vになります。

オンチップで構成されたデシメーション・フィルタは、最高の性能と柔軟性をもたらします。3つのハーフバンドFIRフィルタ段は、拒絶帯域減衰率85 dB、通過帯域リップル0.004 dBというスペックで8×デシメーション・フィルタリングを提供します。また、オンボードのデジタル・マルチプレクサによってユーザは、デシメーション・フィルタの各段にアクセスすることができます。

オンチップのプログラマブル・リファレンスおよびリファレンス・バッファ・アンプからは、最高の精度と柔軟性が得られます。ユーザが指定するDC精度とドリフトの要件を満たすために、外部リファレンスの使用を選択することも可能です。

AD9260は、+5 Vの単電源で動作し、通常の消費電力は585 mWです。しかし、電力スケール回路を備えているので、クロック・レートとデータ・レートを低いレートを使用すれば、消費電力を150 mWまで下げてAD9260を動作させることもできます。AD9260は44ピンのMQFPパッケージに実装され、産業温度範囲での動作が保証されています。

機能ブロック図



製品の主な特長

AD9260の製造には、非常にコスト効果の高いCMOSプロセスが使用されます。これにより高速、高精度のミックスド・シグナル・アナログ回路と、高密度デジタル・フィルタ回路との結合が実現されています。

AD9260は、44ピンのMQFPパッケージから、2.5 MHzのレートでデータを出力する完全なシングルチップの16ビットサンプリングADCを提供します。

選択可能な内部デシメーション・フィルタリング：AD9260は、通過帯域リップル0.004 dB、拒絶帯域減衰率85 dBというスペックを持った高性能デシメーション・フィルタを備えています。このフィルタでは、1×、2×、4×および8×のデシメーションを選択することができます。

電力スケール：AD9260は、16ビットの分解能と2.5 MHzの出力データ・レートをわずか585 mWの消費電力で提供します。この電力はスケールが可能で、クロック・レートを下げれば150 mWまで抑えることができます。

単電源：AD9260のアナログ部とデジタル部は、いずれも+5 Vの単電源から動作させることができるので、システムの電源設計が単純になります。なお、デジタル・ロジックでは+3 Vの単電源の使用も可能なので、消費電力の低減に有利です。

アナログ・デバイス社が提供する情報は正確で信頼できるものを期していますが、当社はその情報の利用、また利用したことにより引き起こされる第三者の特許または権利の侵害に関して一切の責任を負いません。さらにアナログ・デバイス社の特許または特許の権利の使用を許諾するものでもありません。

REV.0

AD9260 仕様

クロック入力周波数範囲

パラメータ デシメーション・ファクタ(N)	AD9260(8)	AD9260(4)	AD9260(2)	AD9260(1)	単位
クロック入力 (変調回路サンプリング・レート、 f_{CLOCK})	1 20	1 20	1 20	1 20	kHz min MHz max
出力ワード・レート($FS = f_{\text{CLOCK}}/N$)	0.125 2.5	0.250 5	0.500 10	1 20	kHz min MHz max

仕様は予告なく変更されることがあります。

DC仕様(特に指定のない限り、 $AVDD = +5V$ 、 $DVDD = +3V$ 、 $DRVDD = +3V$ 、 $f_{\text{CLOCK}} = 20$ MSPS、 $V_{\text{REF}} = +2.5V$ 、入力CML = 2.0 V、 $T_{\text{MIN}} \sim T_{\text{MAX}}$ 、 $R_{\text{BIAS}} = 2k$)

パラメータ デシメーション・ファクタ(N)	AD9260(8)	AD9260(4)	AD9260(2)	AD9260(1)	単位
分解能	16	16	16	12	ビット min
入力関連ノイズ(typ) 1.0 Vリファレンス 2.5 Vリファレンス ¹	1.40 0.68(90.6)	2.4 1.2(86)	6.0 3.7(76)	1.3 1.0(63.2)	LSB rms typ LSB rms typ(dB typ)
精度					
積分非直線性(INL)	±0.75	±0.75	±0.75	±0.3	LSB typ
微分非直線性(DNL)	±0.50	±0.50	±0.50	±0.25	LSB typ
ノー・ミッシング・コード	16	16	16	12	ビット 保証値
オフセット・エラー	0.9(0.5)	(0.5)	(0.5)	(0.5)	% FSR max(+25 における代表値)
ゲイン・エラー ²	2.75(0.66)	(0.66)	(0.66)	(0.66)	% FSR max(+25 における代表値)
ゲイン・エラー ³	1.35(0.7)	(0.7)	(0.7)	(0.7)	% FSR max(+25 における代表値)
温度ドリフト					
オフセット・エラー	2.5	2.5	2.5	2.5	ppm/ typ
ゲイン・エラー ²	22	22	22	22	ppm/ typ
ゲイン・エラー ³	7.0	7.0	7.0	7.0	ppm/ typ
電源変動除去 AVDD、DVDD、DRVDD(+5 V ± 0.25 V)	0.06	0.06	0.06	0.06	% FSR max
アナログ入力 入力スパン $V_{\text{REF}} = 1.0V$ $V_{\text{REF}} = 2.5V$ 入力(VINAまたはVINB)範囲 入力容量	1.6 4.0 +0.5 +AVDD - 0.5 10.2	1.6 4.0 +0.5 +AVDD - 0.5 10.2	1.6 4.0 +0.5 +AVDD - 0.5 10.2	1.6 4.0 +0.5 +AVDD - 0.5 10.2	Vp-p 差の最大値 Vp-p 差の最大値 V min V max pF typ
内蔵電圧リファレンス 出力電圧(1Vモード) 出力電圧誤差(1Vモード) 出力電圧(2.5Vモード) 出力電圧誤差(2.5Vモード) 負荷レギュレーション ⁴ 1V REF 2.5V REF	1 ±14 2.5 ±35 0.5 2.0	1 ±14 2.5 ±35 0.5 2.0	1 ±14 2.5 ±35 0.5 2.0	1 ±14 2.5 ±35 0.5 2.0	V typ mV max V typ mV max mV max mV max
リファレンス入力抵抗	8	8	8	8	k

パラメータ	デシメーション・ファクタ(N)	AD9260(8)	AD9260(4)	AD9260(2)	AD9260(1)	単位
電源						
電源電圧						
AVDD		+5	+5	+5	+5	V(±5 %)
DVDDおよびDRVDD		+5.5	+5.5	+5.5	+5.5	V max
		+2.7	+2.7	+2.7	+2.7	V min
電源電流						
I _{AVDD}		115	115	115	115	mA typ
					134	mA max
I _{DVDD}		12.5	10.3	6.5	2.4	mA typ
					3.5	mA max
I _{DRVDD}		0.450	0.850	1.7	2.6	mA typ
消費電力						
		613	608	600	585	mW typ
					630	mW max

注

1 VINAおよびVINBはDUT CMLに接続します。

2 内蔵2.5 Vリファレンスを含みます。

3 内蔵2.5 Vリファレンスを除きます。

4 (AD9260に必要な電流のほかに)1 mAの負荷電流を用いた負荷レギュレーションです。

仕様は予告なく変更されることがあります。

AC仕様(特に指定のない限り、AVDD = +5 V、DVDD = +3 V、DRVDD = +3 V、 $f_{\text{clock}} = 20 \text{ MSPS}$ 、 $V_{\text{REF}} = +2.5 \text{ V}$ 、入力CML = 2.0 V、 $T_{\text{MIN}} \sim T_{\text{MAX}}$ 、 $R_{\text{BIAS}} = 2 \text{ k} \Omega$)

パラメータ	デシメーション・ファクタ(N)	AD9260(8)	AD9260(4)	AD9260(2)	AD9260(1)	単位
動的性能						
入力テスト周波数: 100 kHz(typ)						
信号対ノイズ比(SNR)						
入力振幅 = -0.5 dBFS		88.5	82	74	63	dB typ
入力振幅 = -6.0 dBFS		82.5	78	68	58	dB typ
サイナド比(SINAD)						
入力振幅 = -0.5 dBFS		87.5	82	74	63	dB typ
入力振幅 = -6.0 dBFS		82	77.5	69	58	dB typ
全高調波ひずみ(THD)						
入力振幅 = -0.5 dBFS		-96	-96	-97	-98	dB typ
入力振幅 = -6.0 dBFS		-93	-98	-96	-98	dB typ
スプリアス・フリー・ダイナミック・レンジ(SFDR)						
入力振幅 = -0.5 dBFS		100	98	98	88	dB typ
入力振幅 = -6.0 dBFS		94	100	94	84	dB typ
入力テスト周波数: 500 kHz						
信号対ノイズ比(SNR)						
入力振幅 = -0.5 dBFS		86.5	82	74	63	dB typ
		80.5				dB min
入力振幅 = -6.0 dBFS		82.5	77	68	58	dB typ
サイナド比(SINAD)						
入力振幅 = -0.5 dBFS		86.0	81	74	63	dB typ
		80.0				dB min
入力振幅 = -6.0 dBFS		82.0	77	68	58	dB typ
全高調波ひずみ(THD)						
入力振幅 = -0.5 dBFS		-97.0	-92	-89	-86	dB typ
		-90.0				dB max
入力振幅 = -6.0 dBFS		-95.5	-96	-89	-86	dB typ
スプリアス・フリー・ダイナミック・レンジ(SFDR)						
入力振幅 = -0.5 dBFS		99.0	92	91	88	dB typ
		90.0				dB max
入力振幅 = -6.0 dBFS		98	100	91	82	dB typ

AD9260

AC仕様(続き)

パラメータ デシメーション・ファクタ(N)	AD9260(8)	AD9260(4)	AD9260(2)	AD9260(1)	単位
動的性能(続き)					
入力テスト周波数: 1.0 MHz(typ)					
信号対ノイズ比(SNR)					
入力振幅 = - 0.5 dBFS	85	82	74	63	dB typ
入力振幅 = - 6.0 dBFS	80	76	68	58	dB typ
サイナド比(SINAD)					
入力振幅 = - 0.5 dBFS	84.5	81	74	63	dB typ
入力振幅 = - 6.0 dBFS	80	76	69	58	dB typ
全高調波ひずみ(THD)					
入力振幅 = - 0.5 dBFS	- 102	- 96	- 82	- 79	dB typ
入力振幅 = - 6.0 dBFS	- 96	- 94	- 84	- 77	dB typ
スプリアス・フリー・ダイナミック・レンジ(SFDR)					
入力振幅 = - 0.5 dBFS	105	98	83	80	dB typ
入力振幅 = - 6.0 dBFS	98	96	87	80	dB typ
入力テスト周波数: 2.0 MHz(typ)					
信号対ノイズ比(SNR)					
入力振幅 = - 0.5 dBFS		82	74	63	dB typ
入力振幅 = - 6.0 dBFS		76	68	58	dB typ
サイナド比(SINAD)					
入力振幅 = - 0.5 dBFS		81	73	62	dB typ
入力振幅 = - 6.0 dBFS		76	69	58	dB typ
全高調波ひずみ(THD)					
入力振幅 = - 0.5 dBFS		- 101	- 80	- 75	dB typ
入力振幅 = - 6.0 dBFS		- 95	- 80	- 76	dB typ
スプリアス・フリー・ダイナミック・レンジ(SFDR)					
入力振幅 = - 0.5 dBFS		104	80	78	dB typ
入力振幅 = - 6.0 dBFS		100	83	79	dB typ
入力テスト周波数: 5.0 MHz(typ)					
信号対ノイズ比(SNR)					
入力振幅 = - 0.5 dBFS				59	dB typ
入力振幅 = - 6.0 dBFS				57	dB typ
サイナド比(SINAD)					
入力振幅 = - 0.5 dBFS				58	dB typ
入力振幅 = - 6.0 dBFS				57	dB typ
全高調波ひずみ(THD)					
入力振幅 = - 0.5 dBFS				- 58	dB typ
入力振幅 = - 6.0 dBFS				- 67	dB typ
スプリアス・フリー・ダイナミック・レンジ(SFDR)					
入力振幅 = - 0.5 dBFS				59	dB typ
入力振幅 = - 6.0 dBFS				70	dB typ
相互変調ひずみ					
$f_{IN1} = 475 \text{ kHz}, f_{IN2} = 525 \text{ kHz}$	- 93	- 91	- 91	- 83	dBFS typ
$f_{IN1} = 950 \text{ kHz}, f_{IN2} = 1.050 \text{ MHz}$	- 95	- 86	- 85	- 83	dBFS typ
動的特性					
フルパワー帯域幅	75	75	75	75	MHz typ
小信号帯域幅($A_{IN} = - 20 \text{ dBFS}$)	75	75	75	75	MHz typ
アパーチャ・ジッター	2	2	2	2	ps rms typ

仕様は予告なく変更されることがあります。

デジタル・フィルタの特性

パラメータ	AD9260	単位
8 × デシメーション (N=8)		
通過帯域リップル	0.004	dB max
拒絶帯域減衰率	85.5	dB min
通過帯域	0	MHz min
	$1.010 \times (f_{\text{CLOCK}}/20 \text{ MHz})$	MHz max
拒絶帯域	$1.490 \times (f_{\text{CLOCK}}/20 \text{ MHz})$	MHz min
	$18.51 \times (f_{\text{CLOCK}}/20 \text{ MHz})$	MHz max
通過帯域 / 遷移帯域周波数 (- 0.1 dBポイント)	$1.074 \times (f_{\text{CLOCK}}/20 \text{ MHz})$	MHz max
(- 3.0 dBポイント)	$1.200 \times (f_{\text{CLOCK}}/20 \text{ MHz})$	MHz max
絶対群遅延	$17.25 \times (20 \text{ MHz}/f_{\text{CLOCK}})$	μs max
群遅延偏差	0	μs max
セトリング時間(± 0.0007 %まで)	$15.60 \times (20 \text{ MHz}/f_{\text{CLOCK}})$	μs max
4 × デシメーション (N=4)		
通過帯域リップル	0.003	dB max
拒絶帯域減衰率	85.5	dB min
通過帯域	0	MHz min
	$1.890 \times (f_{\text{CLOCK}}/20 \text{ MHz})$	MHz max
拒絶帯域	$3.120 \times (f_{\text{CLOCK}}/20 \text{ MHz})$	MHz min
	$16.88 \times (f_{\text{CLOCK}}/20 \text{ MHz})$	MHz max
通過帯域 / 遷移帯域周波数 (- 0.1 dBポイント)	$2.049 \times (f_{\text{CLOCK}}/20 \text{ MHz})$	MHz max
(- 3.0 dBポイント)	$2.389 \times (f_{\text{CLOCK}}/20 \text{ MHz})$	MHz max
絶対群遅延	$5.450 \times (20 \text{ MHz}/f_{\text{CLOCK}})$	μs max
群遅延偏差	0	μs max
セトリング時間(± 0.0007 %まで)	$5.600 \times (20 \text{ MHz}/f_{\text{CLOCK}})$	μs max
2 × デシメーション (N=2)		
通過帯域リップル	0.0005	dB max
拒絶帯域減衰率	85.5	dB min
通過帯域	0	MHz min
	$2.491 \times (f_{\text{CLOCK}}/20 \text{ MHz})$	MHz max
拒絶帯域	$7.519 \times (f_{\text{CLOCK}}/20 \text{ MHz})$	MHz min
	$12.481 \times (f_{\text{CLOCK}}/20 \text{ MHz})$	MHz max
通過帯域 / 遷移帯域周波数 (- 0.1 dBポイント)	$3.231 \times (f_{\text{CLOCK}}/20 \text{ MHz})$	MHz max
(- 3.0 dBポイント)	$4.535 \times (f_{\text{CLOCK}}/20 \text{ MHz})$	MHz max
絶対群遅延	$1.150 \times (20 \text{ MHz}/f_{\text{CLOCK}})$	μs max
群遅延偏差	0	μs max
セトリング時間(± 0.0007 %まで)	$1.300 \times (20 \text{ MHz}/f_{\text{CLOCK}})$	μs max
1 × デシメーション (N=1)		
伝播遅延 : t_{PROP}	13	ns max
絶対群遅延	$(225 \times (20 \text{ MHz}/f_{\text{CLOCK}})) + t_{\text{PROP}}$	ns max

仕様は予告なく変更されることがあります。

AD9260 デジタル・フィルタの特性

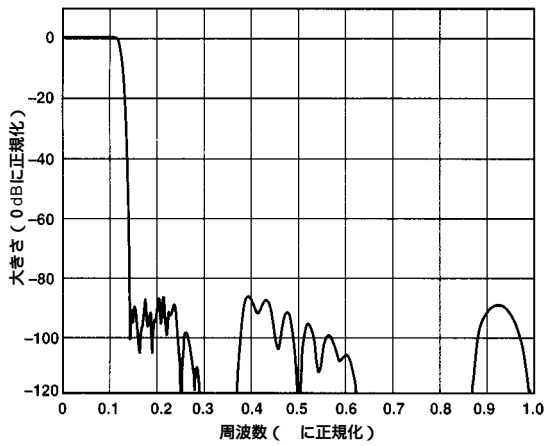


図1a . 8 x FIRフィルタの周波数特性

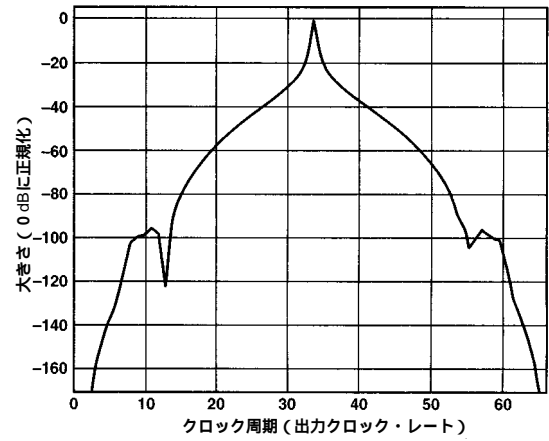


図1b . 8 x FIRフィルタのインパルス応答

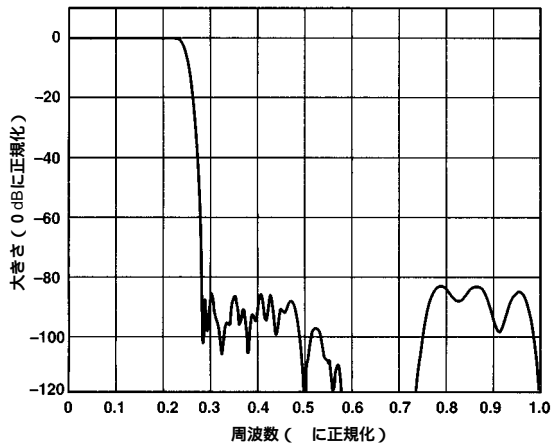


図2a . 4 x FIRフィルタの周波数特性

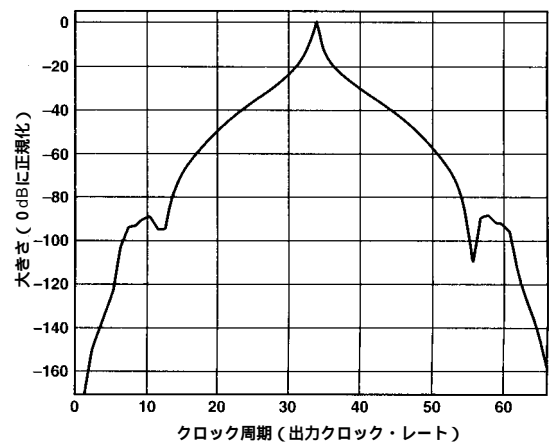


図2b . 4 x FIRフィルタのインパルス応答

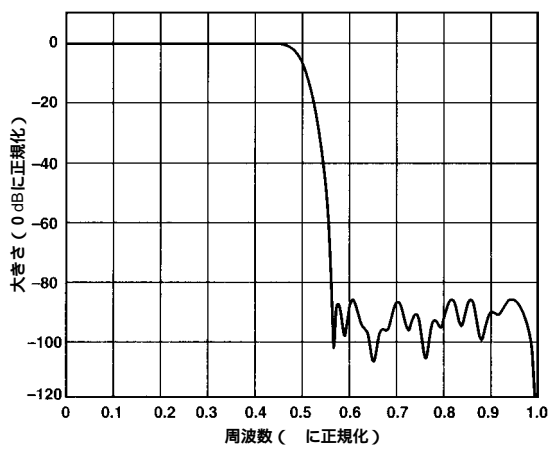


図3a . 2 x FIRフィルタの周波数特性

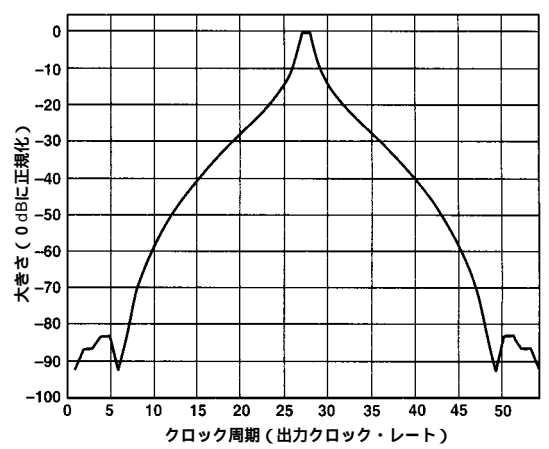


図3b . 2 x FIRフィルタのインパルス応答

表 . 第1段デシメーション・フィルタの整数フィルタ係数
(23タップ・ハーフバンドFIRフィルタ)

下位係数	上位係数	整数値
H(1)	H(23)	- 1
H(2)	H(22)	0
H(3)	H(21)	13
H(4)	H(20)	0
H(5)	H(19)	- 66
H(6)	H(18)	0
H(7)	H(17)	224
H(8)	H(16)	0
H(9)	H(15)	- 642
H(10)	H(14)	0
H(11)	H(13)	2496
H(12)		4048

表II . 第2段デシメーション・フィルタの整数フィルタ係数
(43タップ・ハーフバンドFIRフィルタ)

下位係数	上位係数	整数値
H(1)	H(43)	3
H(2)	H(42)	0
H(3)	H(41)	- 12
H(4)	H(40)	0
H(5)	H(39)	35
H(6)	H(38)	0
H(7)	H(37)	- 83
H(8)	H(36)	0
H(9)	H(35)	172
H(10)	H(34)	0
H(11)	H(33)	- 324
H(12)	H(32)	0
H(13)	H(31)	572
H(14)	H(30)	0
H(15)	H(29)	- 976
H(16)	H(28)	0
H(17)	H(27)	1680
H(18)	H(26)	0
H(19)	H(25)	- 3204
H(20)	H(24)	0
H(21)	H(23)	10274
H(22)		16274

注 4×デシメーション・モードにおける合成フィルタ係数(つまりインパルス応答)は、初段のフィルタ・タップを「ゼロを満たした」第2段のフィルタ・タップでたみ込みを行うことによって決定できます。同様に、8×デシメーション・モードにおける合成フィルタ係数は、(前段階で決定された)合成4×デシメーション・モードのタップを「ゼロを満たした」第3段のフィルタ・タップでたみ込みを行うことによって決定できます。

表 . 第3段デシメーション・フィルタの整数フィルタ係数
(107タップ・ハーフバンドFIRフィルタ)

下位係数	上位係数	整数値
H(1)	H(107)	- 1
H(2)	H(106)	0
H(3)	H(105)	2
H(4)	H(104)	0
H(5)	H(103)	- 2
H(6)	H(102)	0
H(7)	H(101)	3
H(8)	H(100)	0
H(9)	H(99)	- 3
H(10)	H(98)	0
H(11)	H(97)	1
H(12)	H(96)	0
H(13)	H(95)	3
H(14)	H(94)	0
H(15)	H(93)	- 12
H(16)	H(92)	0
H(17)	H(91)	27
H(18)	H(90)	0
H(19)	H(89)	- 50
H(20)	H(88)	0
H(21)	H(87)	85
H(22)	H(86)	0
H(23)	H(85)	- 135
H(24)	H(84)	0
H(25)	H(83)	204
H(26)	H(82)	0
H(27)	H(81)	- 297
H(28)	H(80)	0
H(29)	H(79)	420
H(30)	H(78)	0
H(31)	H(77)	- 579
H(32)	H(76)	0
H(33)	H(75)	784
H(34)	H(74)	0
H(35)	H(73)	- 1044
H(36)	H(72)	0
H(37)	H(71)	1376
H(38)	H(70)	0
H(39)	H(69)	- 1797
H(40)	H(68)	0
H(41)	H(67)	2344
H(42)	H(66)	0
H(43)	H(65)	- 3072
H(44)	H(64)	0
H(45)	H(63)	4089
H(46)	H(62)	0
H(47)	H(61)	- 5624
H(48)	H(60)	0
H(49)	H(59)	8280
H(50)	H(58)	0
H(51)	H(57)	- 14268
H(52)	H(56)	0
H(53)	H(55)	43520
H(54)		68508

AD9260 仕様

デジタル仕様(特に指定のない限り、AVDD = +5 V、DVDD = +5 V、 $T_{MIN} \sim T_{MAX}$)

パラメータ	AD9260	単位
ロジック入力		
ハイ・レベル入力電圧 (DVDD = +5 V)	+3.5	V min
(DVDD = +3 V)	+2.1	V max
ロー・レベル入力電圧 (DVDD = +5 V)	+1.0	V min
(DVDD = +3 V)	+0.9	V max
ハイ・レベル入力電流 ($V_{IN} = DVDD$)	± 10	μA max
ロー・レベル入力電流 ($V_{IN} = 0 V$)	± 10	μA max
入力容量	5	pF typ
ロジック出力 (DRVDD = 5 V)		
ハイ・レベル出力電圧 ($I_{OH} = 50 \mu A$)	+4.5	V min
ハイ・レベル出力電圧 ($I_{OH} = 0.5 mA$)	+2.4	V min
ロー・レベル出力電圧 ($I_{OL} = 1.6 mA$)	+0.4	V max
ロー・レベル出力電圧 ($I_{OL} = 50 \mu A$)	+0.1	V max
出力容量	5	pF typ
ロジック出力 (DRVDD = 3 V)		
ハイ・レベル出力電圧 ($I_{OH} = 50 \mu A$)	+2.4	V min
ロー・レベル出力電圧 ($I_{OL} = 50 \mu A$)	+0.7	V max

仕様は予告なく変更されることがあります。

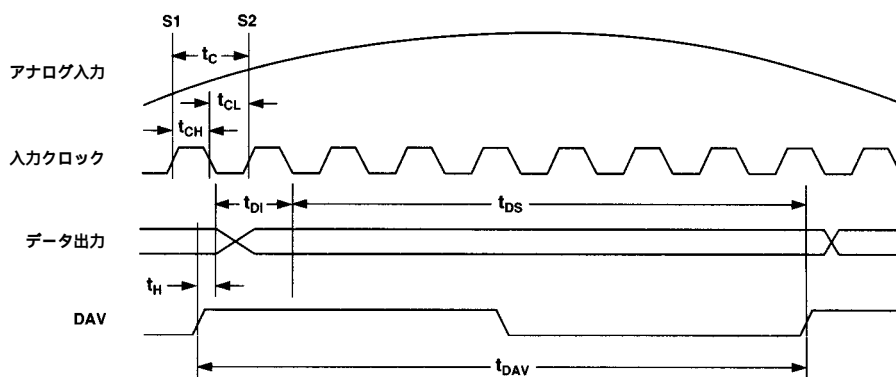


図4. タイミング・チャート

スイッチング仕様(特に指定のない限り、AVDD = +5 V、DVDD = +5 V、 $C_L = 20 pF$ 、 $T_{MIN} \sim T_{MAX}$)

パラメータ	記号	AD9260	単位
クロック周期	t_C	50	ns min
データ有効(DAV)期間	t_{DAV}	$t_C \times \text{モード}$	ns min
データ無効	t_{DI}	t_{DAV} の40%	ns max
データ・セットアップ時間	t_{DS}	$t_{DAV} - t_H - t_{DI}$	ns min
ハイのクロック・パルス幅	t_{CH}	22.5	ns min
ローのクロック・パルス幅	t_{CL}	22.5	ns min
データ・ホールド時間	t_H	3.5	ns min

仕様は予告なく変更されることがあります。

絶対最大定格*

パラメータ	基準	Min	Max	単位
AVDD	AVSS	- 0.3	+ 6.5	V
DVDD	DVSS	- 0.3	+ 6.5	V
AVSS	DVSS	- 0.3	+ 0.3	V
AVDD	DVDD	- 6.5	+ 6.5	V
DRVDD	DRVSS	- 0.3	+ 6.5	V
DRVSS	AVSS	- 0.3	+ 0.3	V
REFCOM	AVSS	- 0.3	+ 0.3	V
CLK、MODE、READ、 CS、RESET	DVSS	- 0.3	DVDD + 0.3	V
デジタル出力	DRVSS	- 0.3	DRVDD + 0.3	V
VINA、VINB、 CML、BIAS	AVSS	- 0.3	AVDD + 0.3	V
VREF	AVSS	- 0.3	AVDD + 0.3	V
SENSE	AVSS	- 0.3	AVDD + 0.3	V
CAPB、CAPT	AVSS	- 0.3	AVDD + 0.3	V
接合温度			+ 150	
保管温度		- 65	+ 150	
リード温度(10秒間)			+ 300	

* 上記の絶対最大定格を超えるストレスは、デバイスに永久的なダメージを与えることがあります。このリストはストレス定格を示すことだけを目的とし、これらの条件もしくは本仕様書の動作に関するセクションに示した以外の条件におけるこのデバイスの機能的な動作を意味するものではありません。長時間にわたって絶対最大定格条件で使用すると、デバイスの信頼性に影響が現れることがあります。

注意

ESD(静電放電)の影響を受けやすいデバイスです。4000 Vもの高圧の静電気が人体やテスト装置に容易に帯電し、検知されことなく放電されることもあります。このAD9260には当社独自のESD保護回路を備えていますが、高エネルギーの静電放電にさらされたデバイスには回復不能な損傷が残ることもあります。したがって、性能低下や機能喪失を避けるために、適切なESD予防措置をとるようお奨めします。

オーダー・ガイド

モデル	温度範囲	パッケージ説明	パッケージ・オプション*
AD9260AS	- 40 から	44ピンMQFP	S-44
AD9260EB	+ 85 まで	評価ボード	

*S=メトリック・クワッド・フラットバック

温度特性

温度抵抗

44ピンMQFP

$$J_A = 53.2 \text{ /W}$$

$$J_C = 19 \text{ /W}$$



AD9260

仕様の定義

積分非直線性(INL)

INLは、「負のフルスケール」と「正のフルスケール」を結んだ直線からの各個別のコードの偏差を言います。「負のフルスケール」として使用するポイントは、最初のコード遷移の1/2 LSB手前にあります。また、「正のフルスケール」として使用するポイントは、最後のコード遷移の1と1/2 LSB後のレベルとして定義されます。偏差は、この直線と特定の各コードの midpoint の距離から測定します。

微分非直線性(DNL、ノーマissing・コード)

理想的なADCのコード遷移は、正確に1 LSBだけ離隔されます。DNLは、この理想的な値からの偏差を言います。14ビットの分解能で「ノーマissing・コード」が保証されるためには、すべての動作範囲にわたって、それぞれに対応する16384のコードが存在しなければなりません。

注意：従来のINLおよびDNL測定は、実際にはコンバータに適合しません。DNLは、対象とするデータ・レコードが長いほど、良好な結果を呈します。AD9260の場合、INLおよびDNLの値を代表値として示しています。

ゼロ・エラー

負から正への桁上げは、 $V_{INA} = V_{INB}$ の下側1/2 LSBに相当するアナログ値で発生する必要があります。ゼロ・エラーは、このポイントに対する実際の遷移を生じたポイントの偏差として定義されます。

ゲイン・エラー

最初のコード遷移は、負のフルスケールの上側1/2 LSBに相当するアナログ値で発生する必要があります。また、最後のコード遷移は、定格フルスケールの下側1 1/2 LSBに相当するアナログ値で発生する必要があります。ゲイン・エラーは、最初と最後のコード遷移の差の理想値に対する実測値の偏差を言います。

温度ドリフト

ゼロ・エラーおよびゲイン・エラーに関する温度ドリフトは、その初期値(+25)に対する T_{MIN} または T_{MAX} における値の偏差を言います。

電源変動除去比

下限の電源電圧で得られる値から上限の電源電圧で得られる値までのフルスケールにおける最大変化を言います。

アパーチャ・ジッター

アパーチャ・ジッターは、連続サンプルに関するアパーチャの遅れの変動を言い、A/Dへの入力に含まれるノイズとして現れます。

サイナド比(S/N + D、SINAD)

S/N + Dは、ナイキスト周波数以下の入力信号以外のスペクトル成分の和の実効値に対する入力信号の測定値の実効値の比を言います。入力信号以外のスペクトル成分には、高調波も含まれますが、直流成分は除かれます。S/N + Dの値はデシベルで示されます。

有効ビット数(ENOB)

正弦波の場合、SINADをビット数として表わすことができます。次の式を使用すると、性能を N で表わして測定することができます。この N が有効ビット数です

$$N = (\text{SINAD} - 1.76) / 6.02$$

つまり、所定の入力周波数における正弦波入力に対するデバイスの有効ビット数は、SINADの測定値から計算によりダイレクトに求めることができます。

全高調波ひずみ(THD)

THDは、入力信号の測定値の実効値に対する6次までの高調波成分の和の実効値の比を言い、パーセンテージまたはデシベル値で示されます。

信号対ノイズ比(SNR)

SNRは、ナイキスト周波数以下のスペクトル成分から、入力信号、6次までの高調波成分および直流成分を除いた残りのスペクトル成分の和の実効値に対する入力信号の測定値の実効値の比を言います。SNRの値はデシベルで示されます。

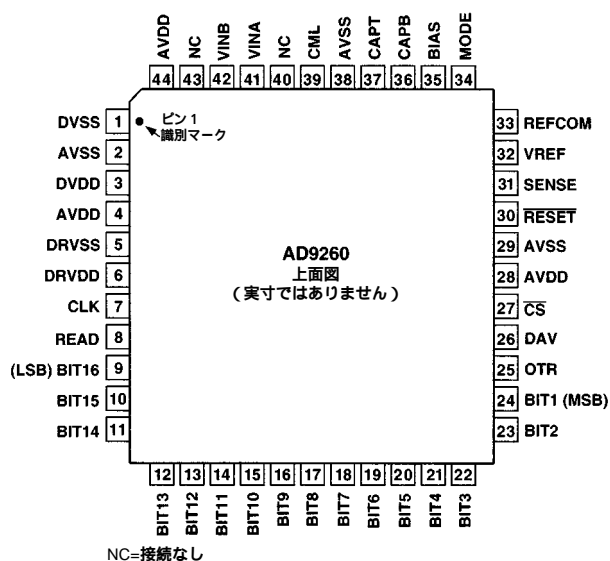
スプリアス・フリー・ダイナミック・レンジ(SFDR)

SFDRは、入力信号の振幅の実効値とピークのスプリアス信号の差をデシベルで表した値です。

2トーンSFDR

ピークのスプリアス成分の実効値に対するいずれかの入力トーンの実効値の比を言います。ピークのスプリアス成分は、IMDの積になる場合とならない場合があります。dBc(つまり信号レベルの低下として劣化を表わします)あるいはdBFS(常にコンバータのフルスケールに関連づけられます)により表わされます。

ピン構成



ピン機能の説明

ピン番号	名称	説明
1	DVSS	デジタル・グラウンド
2、29、38	AVSS	アナログ・グラウンド
3	DVDD	+3Vから+5Vのデジタル電源
4、28、44	AVDD	+5Vのアナログ電源
5	DRVSS	デジタル出力ドライバのグラウンド
6	DRVDD	+3Vから+5Vのデジタル出力ドライバの電源
7	CLK	クロック入力
8	READ	DSPインターフェースの一部 ローに引き込むと出力ビットがディセーブルされます。
9	BIT16	最下位データ・ビット(LSB)
10 ~ 23	BIT15 ~ BIT2	データ出力ビット
24	BIT1	最上位データ・ビット(MSB)
25	OTR	範囲外 コンバータまたはフィルタのオーバーフローでセットされます。
26	DAV	有効データ
27	\overline{CS}	チップ・セレクト(\overline{CS}): アクティブ・ロー
30	\overline{RESET}	\overline{RESET} : アクティブ・ロー
31	SENSE	リファレンス・アンプのSENSE: REFレベルを選択します。
32	VREF	入力スパン選択リファレンスI/O
33	REFCOM	リファレンス共通
34	MODE	モード選択 デシメーション・モードを選択します。
35	BIAS	電力バイアス
36	CAPB	ノイズ除去ピン リファレンス・レベルを減結合します。
37	CAPT	ノイズ除去ピン リファレンス・レベルを減結合します。
39	CML	同相モード・レベル(AVDD/2.5)
40、43	NC	接続なし(シールドするために接地します)
41	VINA	アナログ入力ピン(+)
42	VINB	アナログ入力ピン(-)

AD9260 代表的な性能特性

(AVDD = DVDD = DRVDD = +5.0 V、入カスパン = 4 V、CML = 2.0 Vとした差分DC結合入力、 $f_{\text{CLOCK}} = 20 \text{ MSPS}$ 、フル・バイアス)

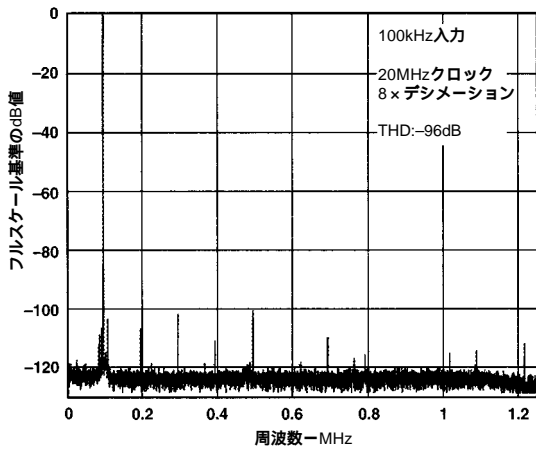


図5 . 100 kHz入力、20 MHzクロック、8 × OSRにおけるAD9260のスペクトル(出力データ・レート2.5 MHz)

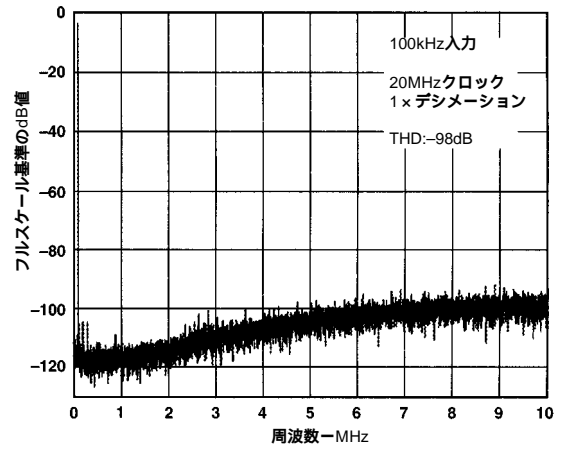


図8 . 100 kHz入力、20 MHzクロック、デシメーションなしの場合のAD9260のスペクトル(出力データ・レート20 MHz)

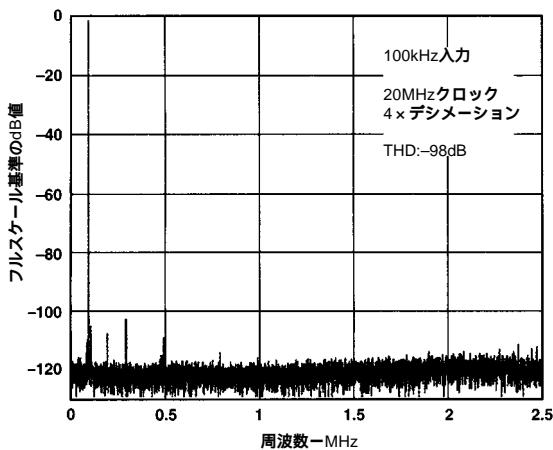


図6 . 100 kHz入力、20 MHzクロック、4 × OSRにおけるAD9260のスペクトル(出力データ・レート5 MHz)

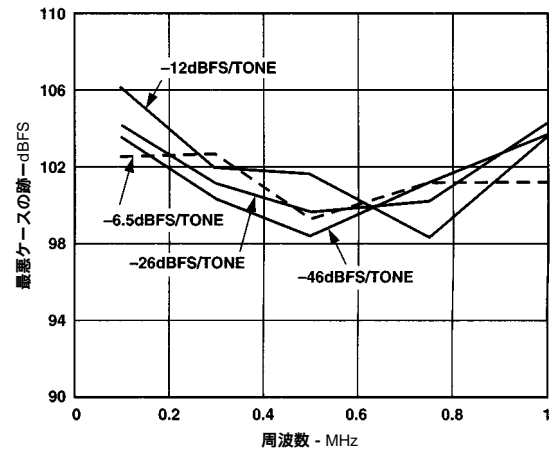


図9 . 入力周波数とデュアル・トーンSFDRの関係 ($F_1 = F_2$, $F_1 - F_2$, スパン = 中心周波数の10%, モード = 8 ×)

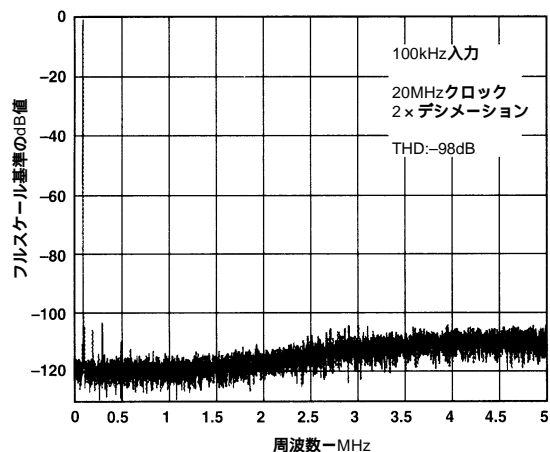


図7 . 100 kHz入力、20 MHzクロック、2 × OSRにおけるAD9260のスペクトル(出力データ・レート10 MHz)

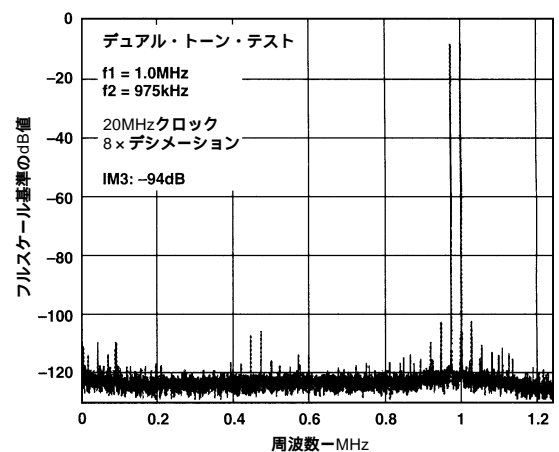


図10 . 入力を975 kHzおよび1.0 MHz、クロックを20 MHz、デシメーションを8 × としたときのAD9260の2トーン・スペクトル性能

デシメーション・モードと代表的なAC特性曲線

(AVDD = DVDD = DRVDD = +5 V、入力スパン = 4 V、CML = 2 Vとした差分DC結合入力、 $A_{IN} = 0.5$ dBFS、フル・バイアス)

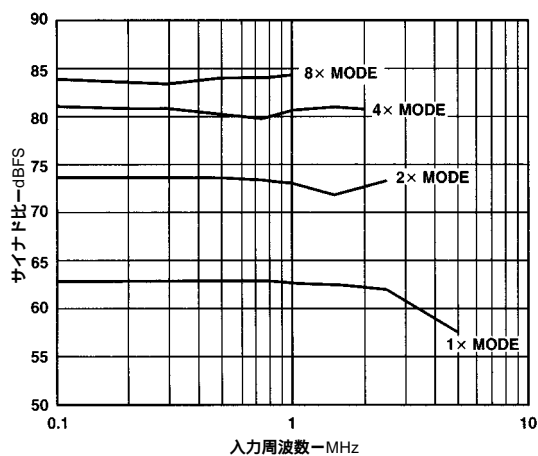


図11 . 入力周波数とサインレシオの関係 ($f_{\text{CLOCK}} = 20$ MSPS)¹

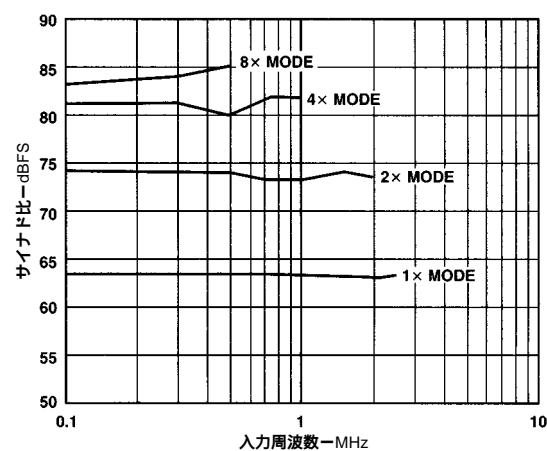


図14 . 入力周波数とサインレシオの関係 ($f_{\text{CLOCK}} = 10$ MSPS)¹

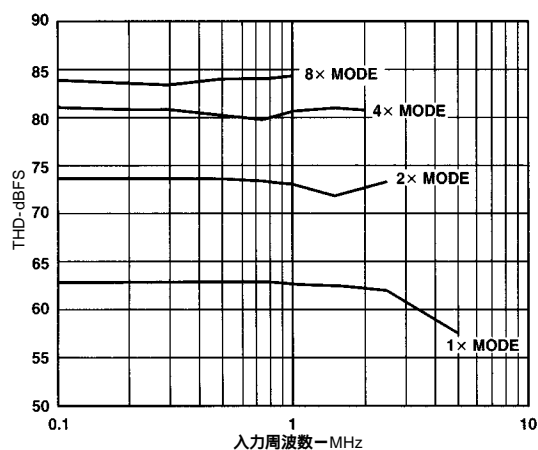


図12 . 入力周波数とTHDの関係 ($f_{\text{CLOCK}} = 20$ MSPS)

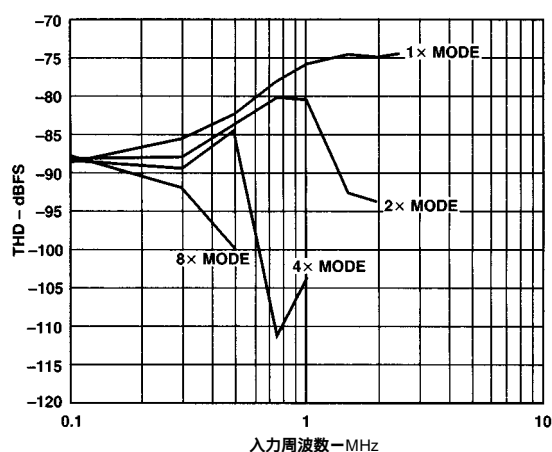


図15 . 入力周波数とTHDの関係 ($f_{\text{CLOCK}} = 10$ MSPS)

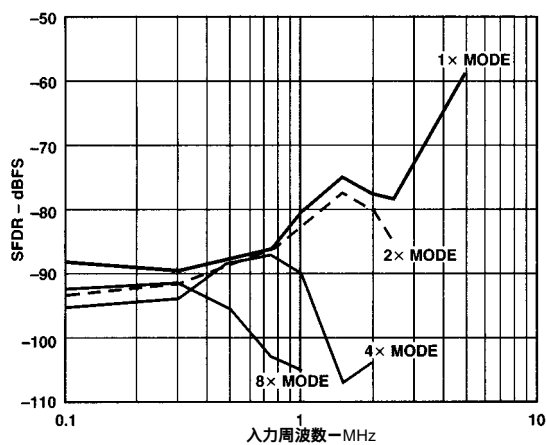


図13 . 入力周波数とSFDRの関係 ($f_{\text{CLOCK}} = 20$ MSPS)

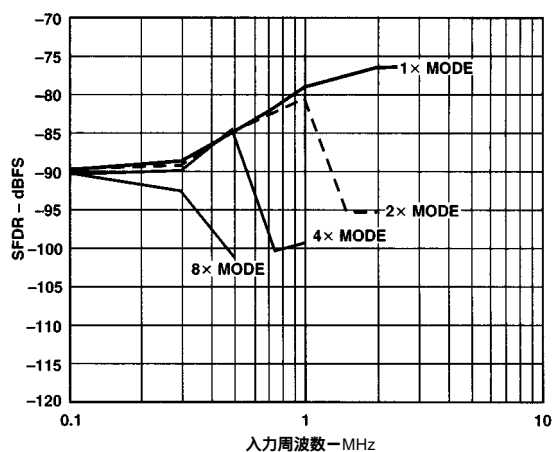


図16 . 入力周波数とSFDRの関係 ($f_{\text{CLOCK}} = 10$ MSPS)

¹ 8xのサインレシオは、入力差動オペアンプ・ドライバのノイズ寄与によって制限を受けません。

AD9260

8×モードの代表的なAC特性曲線

(AVDD = DVDD = DRVDD = +5 V、入力スパン = 4 V、CML = 2 Vとした差分DC結合入力、フル・バイアス)

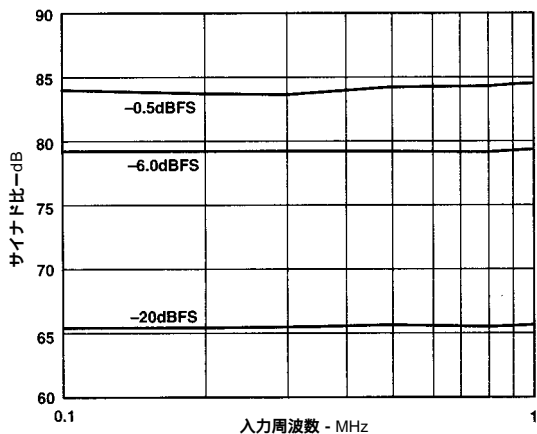


図17．入力周波数とサインレシオの関係($f_{\text{CLOCK}} = 20 \text{ MSPS}$)¹

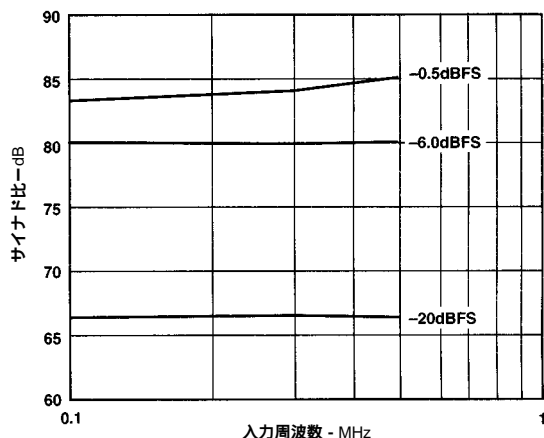


図20．入力周波数とサインレシオの関係($f_{\text{CLOCK}} = 10 \text{ MSPS}$)¹

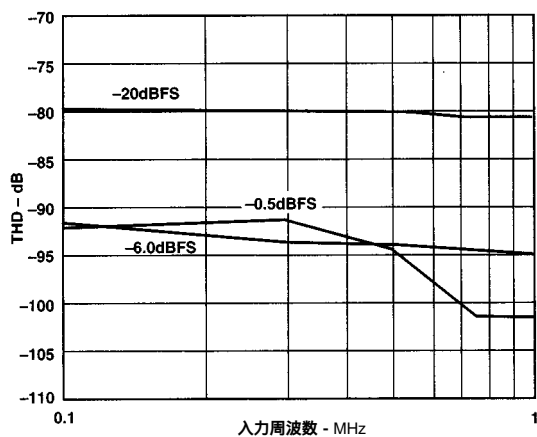


図18．入力周波数とTHDの関係($f_{\text{CLOCK}} = 20 \text{ MSPS}$)

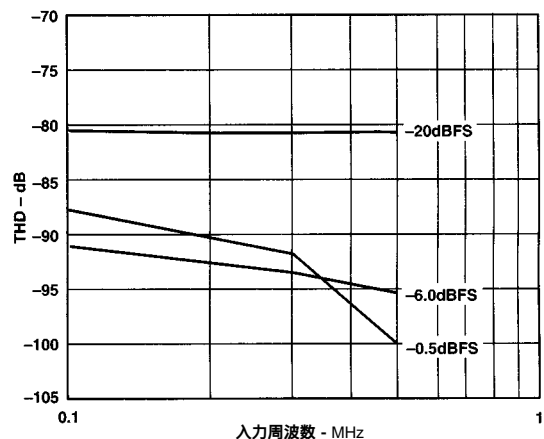


図21．入力周波数とTHDの関係($f_{\text{CLOCK}} = 10 \text{ MSPS}$)

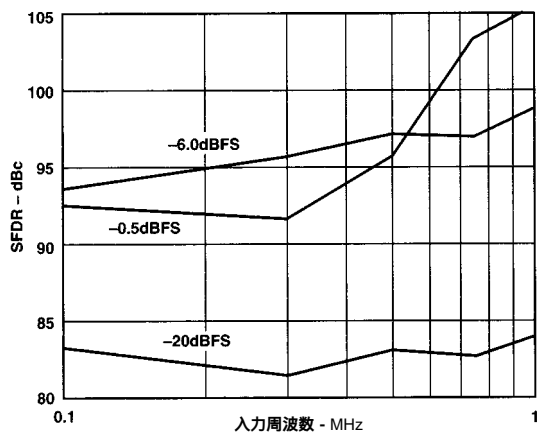


図19．入力周波数とSFDRの関係($f_{\text{CLOCK}} = 20 \text{ MSPS}$)

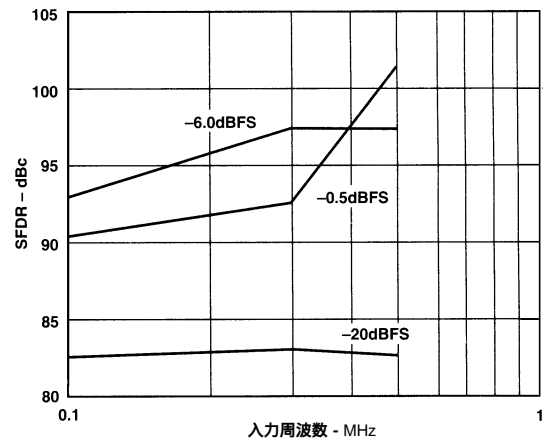


図22．入力周波数とSFDRの関係($f_{\text{CLOCK}} = 10 \text{ MSPS}$)

¹ サインレシオは、入力差動オペアンプ・ドライバのノイズ寄与によって制限を受けます。

4 × モードの代表的なAC特性曲線

(AVDD = DVDD = DRVDD = +5 V、入カスパン = 4 V、CML = 2 Vとした差分DC結合入力、フル・バイアス)

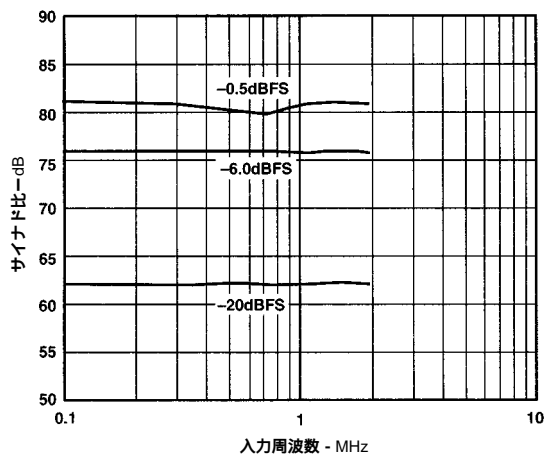


図23 . 入力周波数とサインレシオの関係 ($f_{\text{CLOCK}} = 20 \text{ MSPS}$)

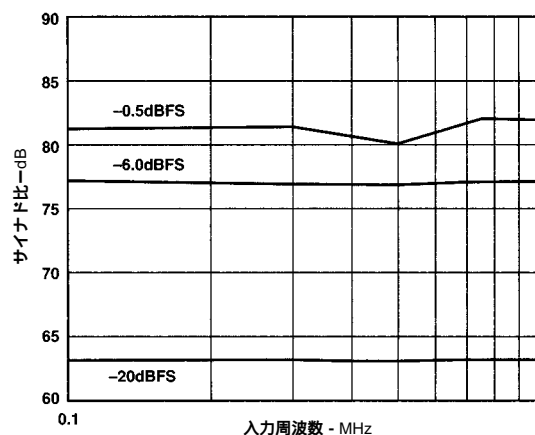


図26 . 入力周波数とサインレシオの関係 ($f_{\text{CLOCK}} = 10 \text{ MSPS}$)

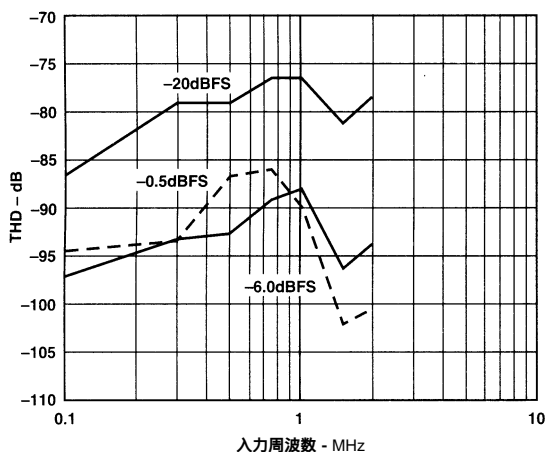


図24 . 入力周波数とTHDの関係 ($f_{\text{CLOCK}} = 20 \text{ MSPS}$)

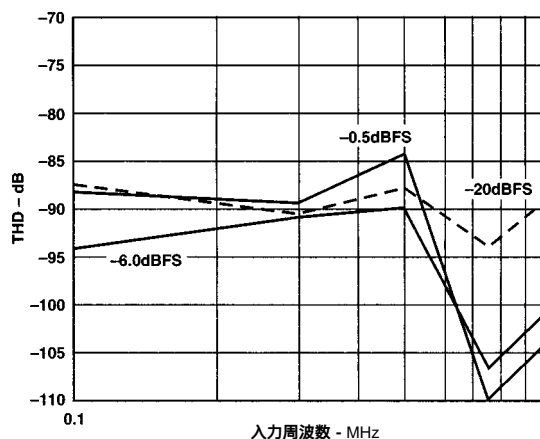


図27 . 入力周波数とTHDの関係 ($f_{\text{CLOCK}} = 10 \text{ MSPS}$)

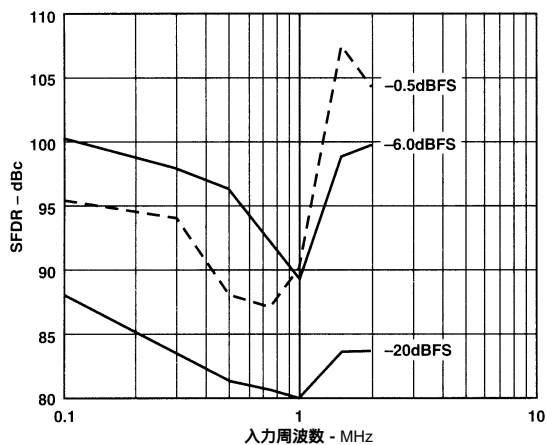


図25 . 入力周波数とSFDRの関係 ($f_{\text{CLOCK}} = 20 \text{ MSPS}$)

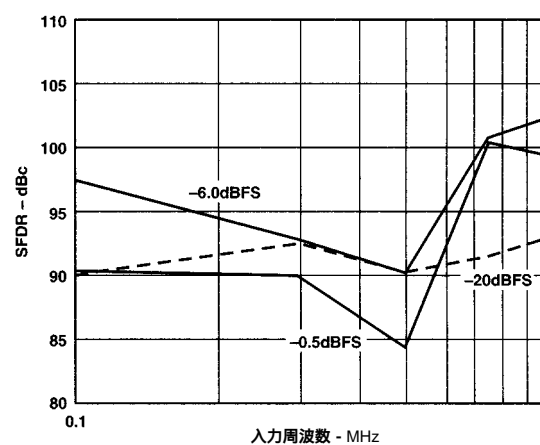


図28 . 入力周波数とSFDRの関係 ($f_{\text{CLOCK}} = 10 \text{ MSPS}$)

AD9260

2 × モードの代表的なAC特性曲線

(AVDD = DVDD = DRVDD = +5 V、入力スパン = 4 V、CML = 2 Vとした差分DC結合入力、フル・バイアス)

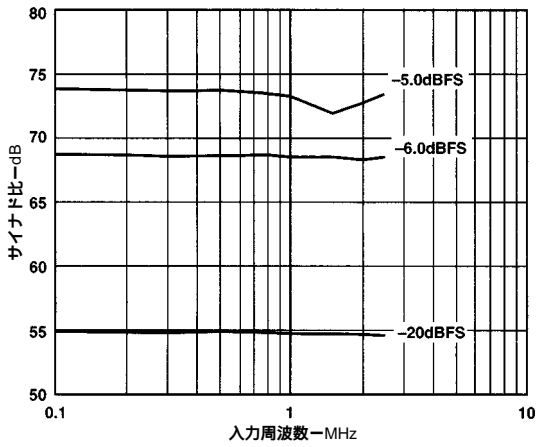


図29 . 入力周波数とサインレシオの関係 ($f_{\text{CLOCK}} = 20 \text{ MSPS}$)

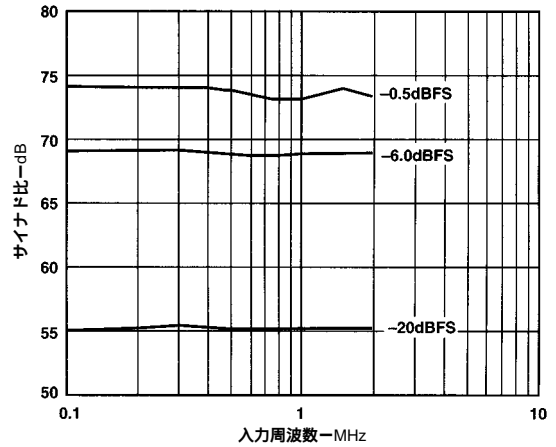


図32 . 入力周波数とサインレシオの関係 ($f_{\text{CLOCK}} = 10 \text{ MSPS}$)

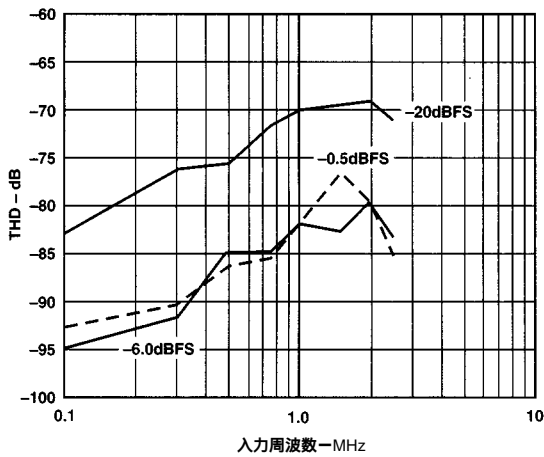


図30 . 入力周波数とTHDの関係 ($f_{\text{CLOCK}} = 20 \text{ MSPS}$)

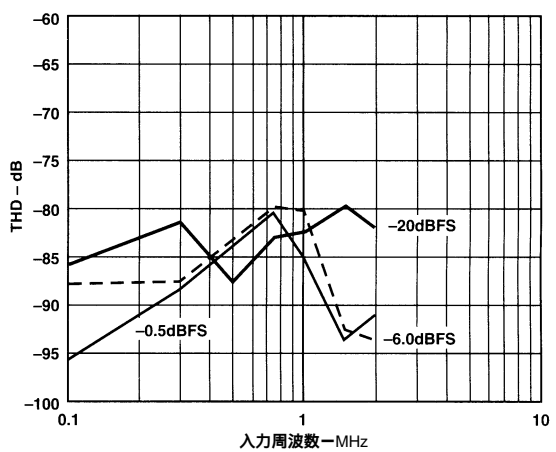


図33 . 入力周波数とTHDの関係 ($f_{\text{CLOCK}} = 10 \text{ MSPS}$)

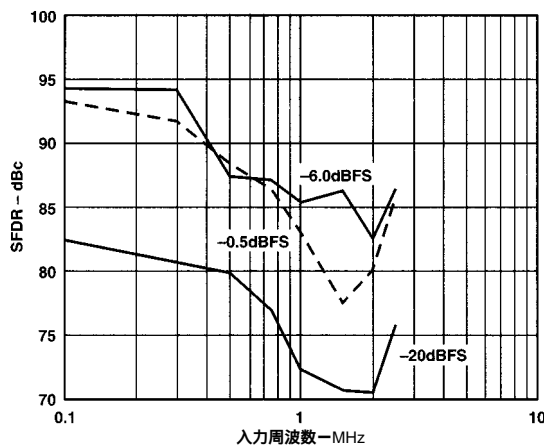


図31 . 入力周波数とSFDRの関係 ($f_{\text{CLOCK}} = 20 \text{ MSPS}$)

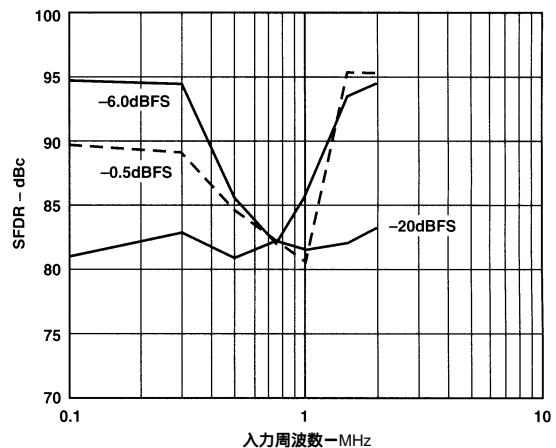


図34 . 入力周波数とSFDRの関係 ($f_{\text{CLOCK}} = 10 \text{ MSPS}$)

1 × モードの代表的なAC特性曲線

(AVDD = DVDD = DRVDD = +5 V、入力スパン = 4 V、CML = 2 Vとした差分DC結合入力、フル・バイアス)

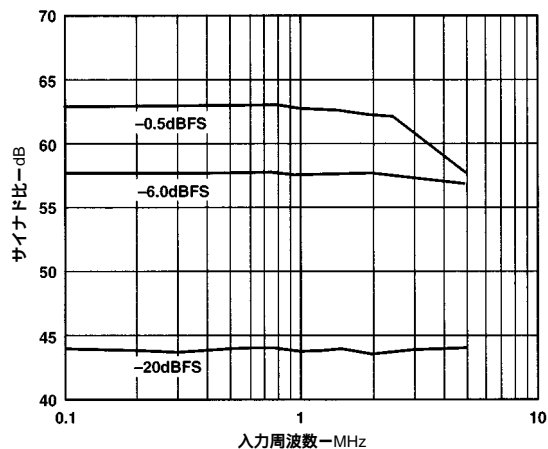


図35 . 入力周波数とサインレシオの関係 ($f_{\text{CLOCK}} = 20 \text{ MSPS}$)

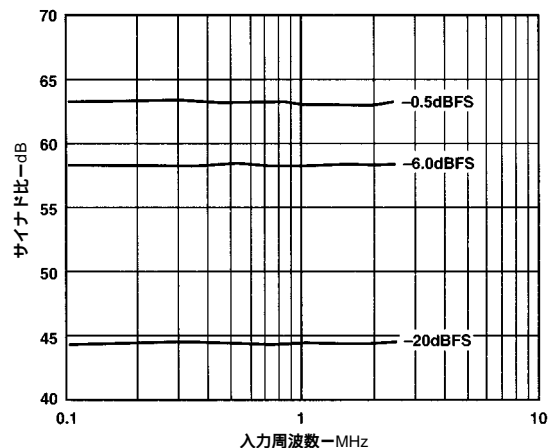


図38 . 入力周波数とサインレシオの関係 ($f_{\text{CLOCK}} = 10 \text{ MSPS}$)

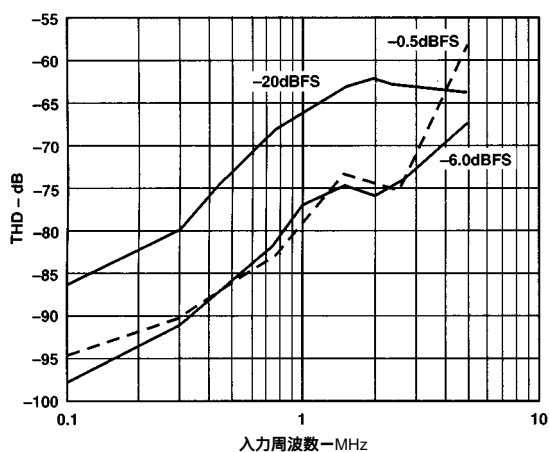


図36 . 入力周波数とTHDの関係 ($f_{\text{CLOCK}} = 20 \text{ MSPS}$)

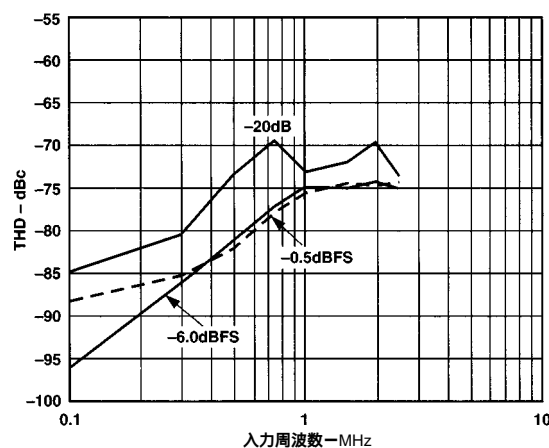


図39 . 入力周波数とTHDの関係 ($f_{\text{CLOCK}} = 10 \text{ MSPS}$)

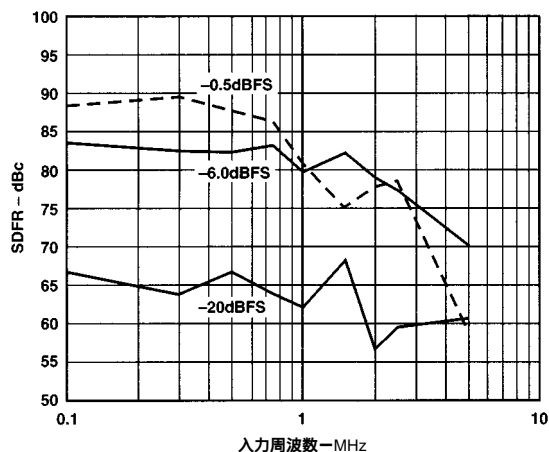


図37 . 入力周波数とSFDRの関係 ($f_{\text{CLOCK}} = 20 \text{ MSPS}$)

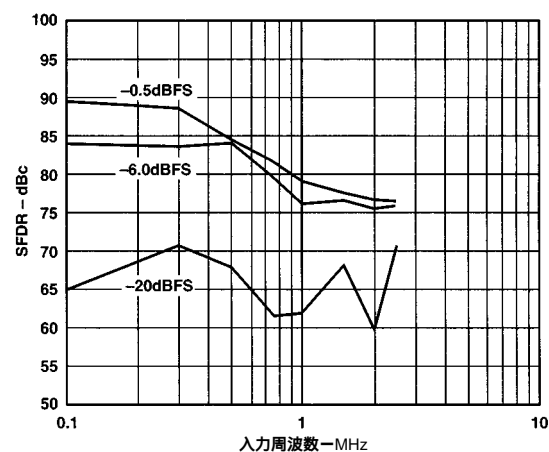


図40 . 入力周波数とSFDRの関係 ($f_{\text{CLOCK}} = 10 \text{ MSPS}$)

AD9260

代表的なAC特性曲線

($AVDD = DVDD = DRVDD = +5V$ 、入カスパン = 4V、 $A_{IN} = -0.5$ dBFS、 $CML = 2V$ とした差分DC結合入力)

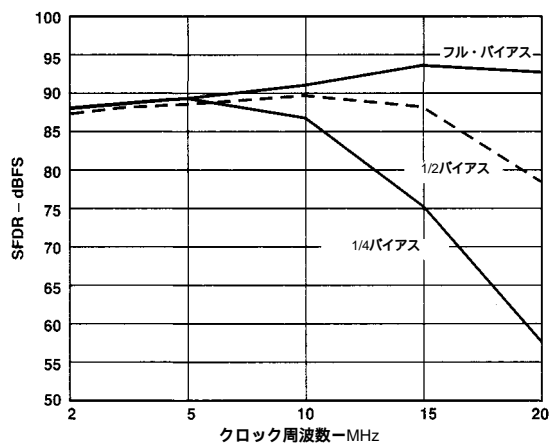


図41．クロック・レートとSFDRの関係
($f_{IN} = 100$ kHz、8 × モード)

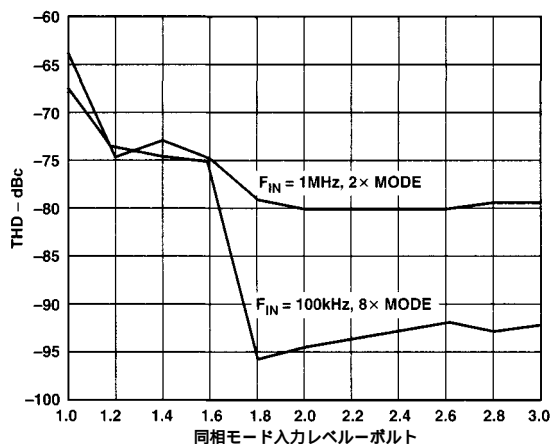


図44．同相モード入力レベル(CML)とTHDの関係

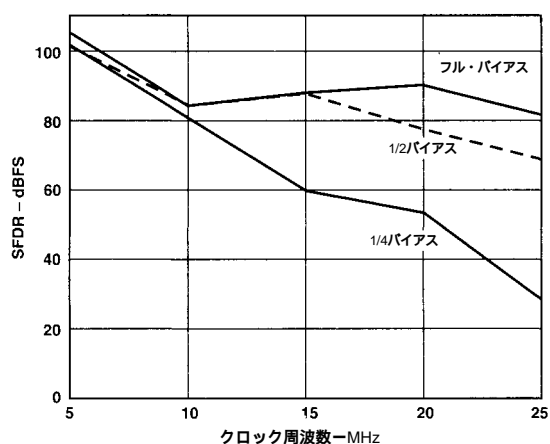


図42．クロック・レートとSFDRの関係
($f_{IN} = 500$ kHz、4 × モード)

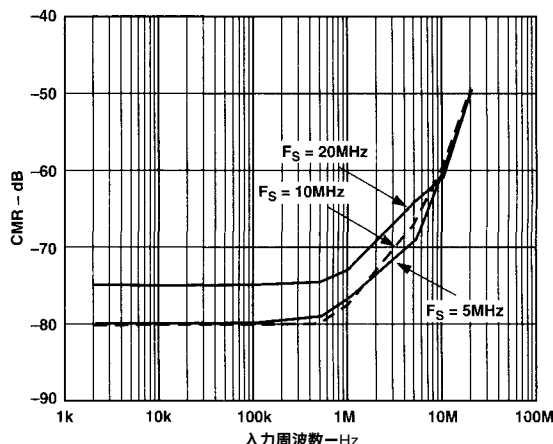


図45．入力周波数とCMRの関係 ($V_{CML} = 2V_{p-p}$ 、1 × モード)

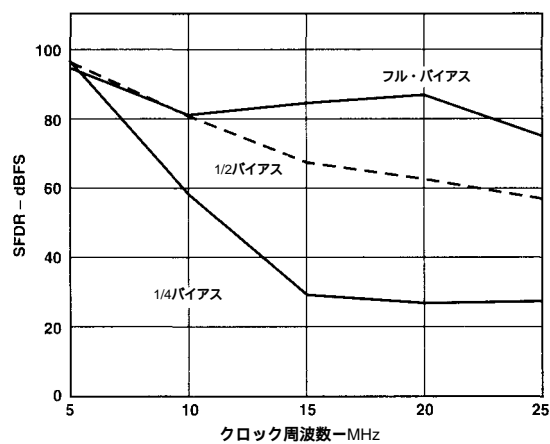


図43．クロック・レートとSFDRの関係
($f_{IN} = 1.0$ MHz、2 × モード)

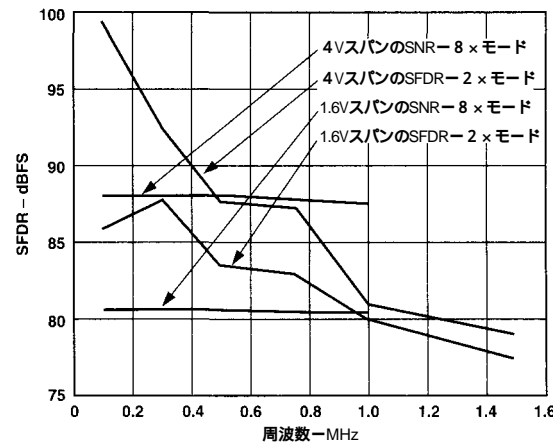


図46．4Vと1.6VのスパンのSNR/SFDR ($f_{CLOCK} = 20$ MSPS)

その他のAC特性曲線

(特に指示のない限り、 $AV_{DD} = DV_{DD} = DRV_{DD} = +5V$ 、入力スパン = 4V、 $A_{IN} = -0.5$ dBFS、 $CML = 2V$ とした差分DC結合入力、フル・バイアス)

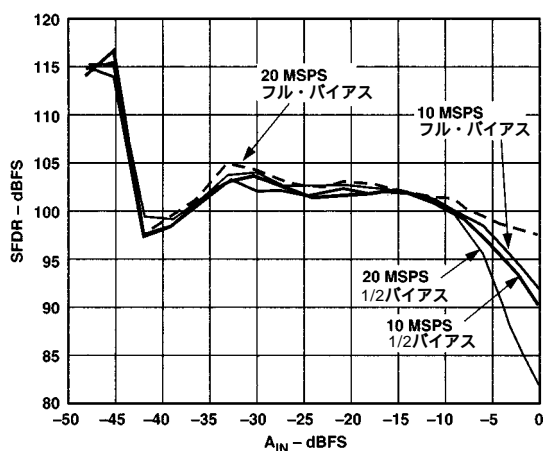


図47. シングル・トーンの振幅とSFDRの関係
($f_{IN} = 100$ kHz、8 × モード)

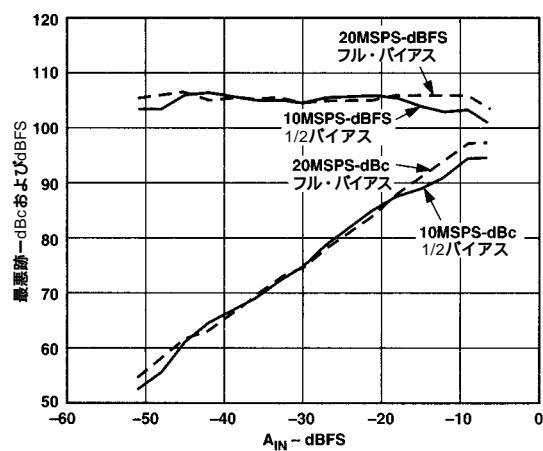


図50. 2トーンのSFDR
($F_1 = 475$ kHz、 $F_2 = 525$ MHz、8 × モード)

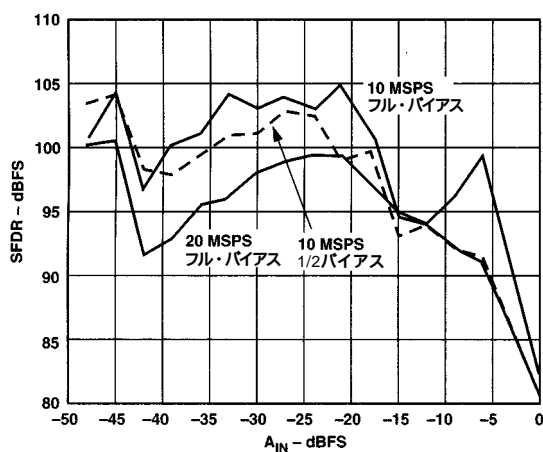


図48. シングル・トーンの振幅とSFDRの関係
($f_{IN} = 1.0$ MHz、2 × モード)

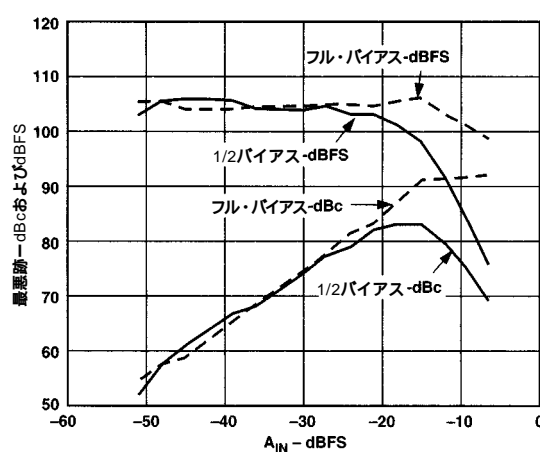


図51. 2トーンのSFDR
($F_1 = 0.95$ kHz、 $F_2 = 1.05$ MHz、8 × モード、20 MSPS)

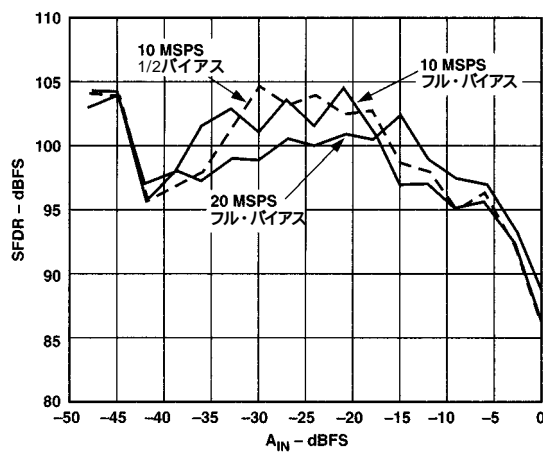


図49. シングル・トーンの振幅とSFDRの関係
($f_{IN} = 500$ kHz、2 × モード)

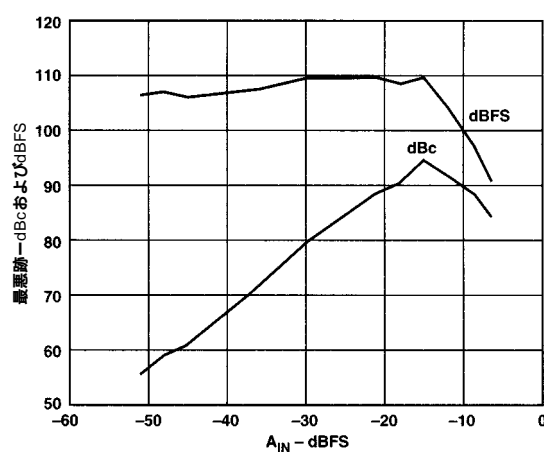


図52. 2トーンのSFDR
($F_1 = 1.9$ kHz、 $F_2 = 2.1$ MHz、4 × モード、20 MSPS)

AD9260

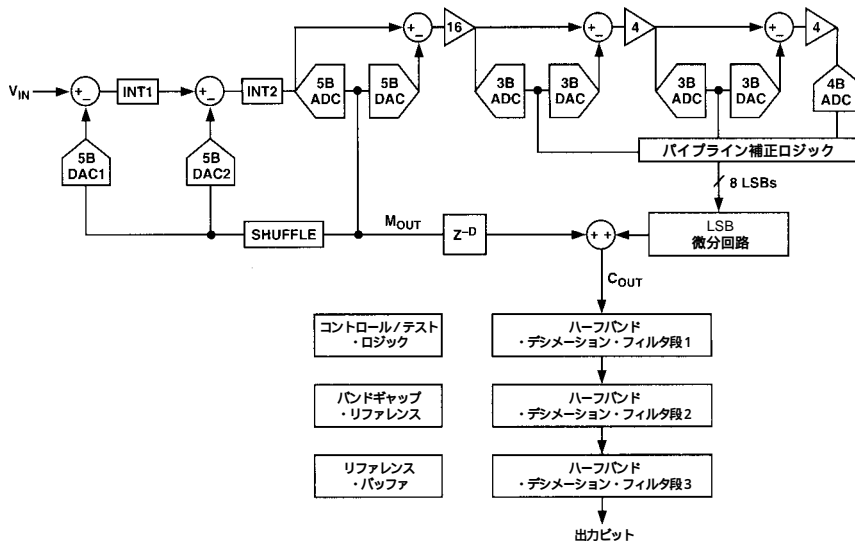


図53. 簡略化したブロック図

動作原理

AD9260は、新しいアナログ/デジタル変換アーキテクチャを使用して、シグマ・デルタのテクニックに高速パイプラインA/Dコンバータを結合しました。このトポロジーによってAD9260は、極めて適度な $8 \times$ オーバーサンプリング比で非常に広い入力信号帯域幅(1.25 MHz)を維持しつつ、シグマ・デルタ・コンバータ関連のダイナミック・レンジを広げることが可能になっています。AD9260のブロック図を図53に示します。2次のマルチビット・シグマ・デルタ変調回路に、差分アナログ入力が増加されます。この変調回路は、5ビット・フラッシュの量子化回路と5ビットのフィードバックを備えることを特徴とします。さらに、12ビットのパイプラインA/Dコンバータが入力をより高い精度で5ビット・フラッシュに量子化します。この12ビット・パイプラインA/Dコンバータの出力は、特殊なデジタル変調ループによって遅延された5ビット・フラッシュの出力と加算され、その結果、12ビット量子化回路と12ビット・フィードバックを伴う2次のループに等しい特性が得られます。2次のループとマルチビット・フィードバックの組み合わせは、本質的な安定性をもたらす、AD9260においては、アイドル・トーンないしは、しばしば高次のシングル・ビット・シグマ・デルタ変調回路に関係するフルスケール特異性の傾向が低減されています。

12ビット変調回路の出力は、デジタル・デシメーション・フィルタに印加されます。このデジタル・フィルタの構成は、MODEピンの電圧レベルによって決定されます。ユーザは、データ出力をデシメーションなし(クロック・レート)またはデシメーション・ファクタを $2 \times$ 、 $4 \times$ 、あるいはフルの $8 \times$ に設定することができます。これらの4とおりの場合のスペクトルを図5、図6、図7および図8に示しました。いずれにも100 kHzのフルスケール入力と20 MHzのクロックを使用しています。デシメーションなしの出力のスペクトルは、周波数が1.25 MHzを超えると明確な量子化ノイズの2次のシェーピング特性を呈します。

オンチップ・デシメーション・フィルタは、拒絶帯信号の除去に優れ、1.25 MHzと18.75 MHzの間の浮遊入力信号を抑圧し、アナログ入力バス用のアンチエイリアシング・フィルタの要件を実質的に緩和します。デシメーション・フィルタには、対称FIRフィルタ構

造が組み込まれており、直線的な位相特性と平坦性に優れた通過帯域が得られます。

AD9260のデジタル出力ドライバ・レジスタは、READピンとCHIP SELECTピンが備わり、インターフェースを容易にします。AD9260のデジタル電源は、2.7 Vから5.25 Vの電源電圧範囲にわたって動作するように設計されていますが、ボード上のデジタル・ノイズを最小にするためには、3 Vの電源が推奨されています。ユーザは、DATA AVAILABLEピンを使用してデシメーション済み出力のデータ・レートを容易にシンクロすることができます。パイプラインA/Dコンバータあるいはデジタル・フィルタがオーバーフローすると、OTR(OUT-OF-RANGE)ピンの出力にそれが現れます。また、コンバータのデシメーション済みデータをシンクロし、アナログ積分回路内に存在しているすべてのオーバーフロー条件をクリアするために、RESETB機能が備わっています。

AD9260には、オンチップ・リファレンスとリファレンス・バッファも実装されています。このリファレンスは、2.5 Vモード(4 V_{p-p}の差分入力フルスケールが得られます)または、1 Vモード(1.6 V_{p-p}の差分入力フルスケールが得られます)に構成することも可能ですが、外付けの抵抗分圧回路を使用して1 Vから2.5 Vまでの範囲の電圧を供給するようにプログラムすることもできます。しかしながら、AD9260の最適ノイズ性能と最適ひずみ性能は、図46に示したように、2.5 Vのリファレンスを使用しないと得られません。

クロック周波数を下げてこの部品を動作させることが望まれる場合を予想して、AD9260のバイアス電流はスケラブルになっています。このスケラリングは、BIASピンに適切な抵抗を外付けすることによって行われます。消費電力は、概略でクロック周波数に比例し、最大で75 % (クロック・レート5 MHzに対応します)まで下げることができます。図41～図43および図47～図51に性能とのトレードオフを示す特性曲線を示したので、参照してください。

アナログ入力およびリファレンスの概要

図54は、アナログ入力VIN_A、VIN_Bとリファレンス電圧V_{REF}との間の関係に注目して簡略化したAD9260のモデルを示しています。フラッシュA/Dコンバータの抵抗ラダーのトップに印加される電圧と同様に、V_{REF}の値がA/Dコンバータへの最大入力電圧を規定し

ます。このリファレンス電圧VREFは、AD9260内部のA/Dコアに印加される前に、AD9260に内蔵されたリファレンス・バッファによってスケールされます。リファレンス・バッファのスケール・ファクタは、0.8です。つまり、A/Dコアへの最大入力電圧は、 $+0.8 \times VREF$ となります。また、A/Dコアへの最小入力電圧は、自動的に $-0.8 \times VREF$ になります。このスケール・ファクタから、最大差分入力スパン $4 V_{p-p}$ は、VREF電圧が2.5 Vのときに得られることとなります。VREF電圧を2.5 Vより小さくすれば、差分入力スパンを狭くすることは可能ですが、AC性能が犠牲になります(図46を参照してください)。

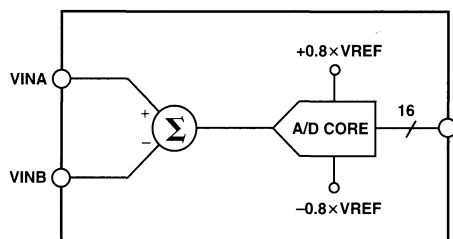


図54．簡略化した入力モデル

入力スパン

AD9260は、差分入力構造によって具体化されています。この構造から、図44に示したように、広い範囲にわたってコンバータの入力スパンと無関係に入力信号の同相モード・レベル(2つの入力ピンの平均電圧)を変化させることが可能になります。具体的には、A/Dコアへの入力は、VINAピンとVINBピンに印加された電圧の差分になります。つまり、式

$$V_{CORE} = V_{INA} - V_{INB} \quad (1)$$

によって差分入力段の出力が表され、これがA/Dコアの入力になります。

ただし、電圧 V_{CORE} は、VREFピンの電圧をVREFとすると、次の式で表される条件を満たさなければなりません。

$$-0.8 \times VREF < V_{CORE} < +0.8 \times VREF \quad (2)$$

入力コンプライアンス・レンジ

入力信号のスパンにおける式(2)で表される制限に加えて、AD9260のアナログ入力構造からこれとは別の制限が求められます。このアナログ入力構造は、VINAとVINBの有効動作範囲を制限します。その条件は、次式によって表されます。

$$\begin{aligned} AVSS + 0.5 V < V_{INA} < AVDD - 0.5 V \\ AVSS + 0.5 V < V_{INB} < AVDD - 0.5 V \end{aligned} \quad (3)$$

これにおいて、通常、AVSSは0 V、AVDDは+5 Vになります。以上から、VINAとVINBに有効な入力は、式(2)と式(3)を同時に満足する任意の組み合わせになります。なお、図7に示した差動ドライバ回路に使用しているクロック・クランプ方式においては、AD9260の電圧不足状態を回避できるように注意する必要があります。

VINA、VINB、VREFおよびAD9260のデジタル出力の相互関係についての詳細な情報は、表を参照してください。

また表には、各種アナログ入力とリファレンス構成を要約して示しました。

アナログ入力の動作

AD9260のアナログ入力構造は、もっとも厳密な通信アプリケーションおよびデータ・アキュジション・アプリケーションの一部で求められる性能要件に適合するように最適化されています。この入力構造は、VINAピンとVINBピンに印加された入力信号をCLKピンの立ち上がりエッジごとにサンプリングするスイッチ・キャパシタ回路から構成されます。入力スイッチ・キャパシタは、各CLKの周期で入力電圧まで充電されます。それぞれのキャパシタに充電された電荷 q は、 C を入力キャパシタの容量とすると、 $C \times V_{IN}$ に等しくなります。直前の入力信号のサンプリングから次の入力信号のサンプリングまでキャパシタの充電が行われるとき、これらのキャパシタを充電する間の電荷デルタ q は、次式によって近似することができます。

$$\text{デルタ}q = C \times \text{デルタ}V_N = C \times (V_N - V_{N-2}) \quad (4)$$

ここで、 V_N は現在の入力信号のサンプリングを、 V_{N-2} は2つ手前の入力信号のサンプリングを表わします。また、入力に流れる平均電流(外部ソースから供給されます)は、次の式で表わされます。

$$I = \text{デルタ}q / T = C \times (V_N - V_{N-2}) \times f_{CLK} \quad (5)$$

ただし、 T はCLKの周期を、 f_{CLK} はCLKの周波数をそれぞれ表します。これらの式(4)および式(5)は、AD9260のアナログ入力構造の動作を簡略化して近似した式です。次に、入力動作について、より正確に、より詳細に説明と分析を行います。

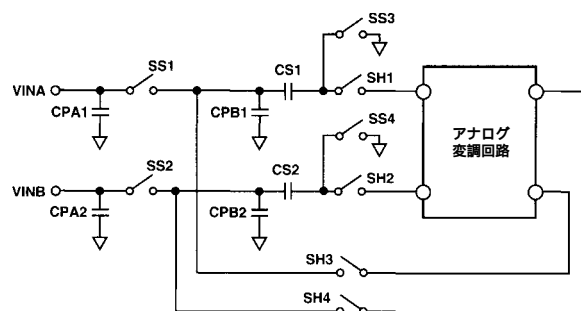


図55．詳細なアナログ入力構造

図55にAD9260アナログ入力構造を示します。当面は、寄生キャパシタCPAおよびCPBを無視して説明を続けます。これらの寄生キャパシタの影響については、このセクションの末尾近くに説明します。スイッチ・キャパシタCS1およびCS2は、それぞれピンVINAとピンVINBに印加された入力電圧をサンプリングします。これらのキャパシタは、CLKがローの間、それぞれに対応する入力ピンVINAもしくはVINBに接続されています。キャパシタCS1およびCS2は、CLKが立ち上がったときの入力信号の取り込みます。その後、CLKがハイになると、キャパシタCS1およびCS2がアナログ変調回路に接続されます。この変調回路は、キャパシタCS1およびCS2をあらかじめ充電して(プレチャージ)、AD9260と組み合わせて入力ピンVINAおよびVINBをドライブするために使用される任意の回路に必要な電荷の量を最小にします。これにより、ピンVINAおよびVINBをドライブするアナログ回路の入力ドライブ要件が緩和されます。アナログ変調回路によってキャパシタCS1およびCS2にプレチャージされる電圧は、遅延された入力信号におおむね等しくなります。キャパシタCS1およびCS2が対応する入力ピンVINAもしくはVINBに接続される時、これらのキャパシタの電荷差分 $Q(n)$ は、次式で与えられます。

$$Q(n) = q_1 - q_2 = CS \times V_{CORE} \quad (6)$$

AD9260

この式において、 q_1 と q_2 は、キャパシタCS1とCS2にそれぞれ個別に蓄積される電荷を、CSはキャパシタCS1およびCS2の容量を表わします。先行する「プレチャージ」クロック段階の間にキャパシタCS1およびCS2がアナログ変調回路に接続されると、これらのキャパシタは、直前の入力信号のサンプルにおおむね等しくプレチャージされます。その結果、CLKがハイの間にこれらのキャパシタに充電される電荷差分は、次式のようになります。

$$Q(n-1) = CS \times V_{CORE}(\text{遅延}) + CS \times V_{\text{デルタ}} \quad (7)$$

ここで、 $V_{CORE}(\text{遅延})$ は直前のCLKの周期の間にサンプリングされた V_{CORE} の値、 $V_{\text{デルタ}}$ はキャパシタに残存しているシグマ・デルタの誤差電圧を表わしています。 $V_{\text{デルタ}}$ は、AD9260のアナログ変調回路に用いているシグマ・デルタ・フィードバック・テクニックにより自然発生するアーティファクトです。これは、各クロック周期で変化するランダムな小電圧で、0から $\pm 0.05 \times V_{REF}$ の間で変動します。

AD9260の入力ピンのドライブに使用するアナログ回路は、キャパシタCS1およびCS2が入力ピンVINAおよびVINBに接続されたときに生じるチャージ・グリッチにตอบสนองする必要があります。この回路からは、次式で示されるプレチャージされた電荷量 $Q(n-1)$ と新しい電荷量 $Q(n)$ との差に相当する電荷 $q_{\text{デルタ}}$ が、キャパシタCS1およびCS2に供給されなければなりません。

$$Q_{\text{デルタ}} = Q(n) - Q(n-1) \quad (8)$$

$$Q_{\text{デルタ}} = CS \times \{V_{CORE} - V_{CORE}(\text{遅延}) + V_{\text{デルタ}}\} \quad (9)$$

入力のドライブ

過渡応答

チャージ・グリッチは、入力CLKの各周期の始まり(立ち下がりエッジ)で1回発生し、ちょうどその半周期後(立ち上がりエッジ)にサンプルがキャパシタCS1およびCS2に取り込まれます。AD9260の入力ピンVINAおよびVINBに印加される典型的な入力波形を図56に示します。

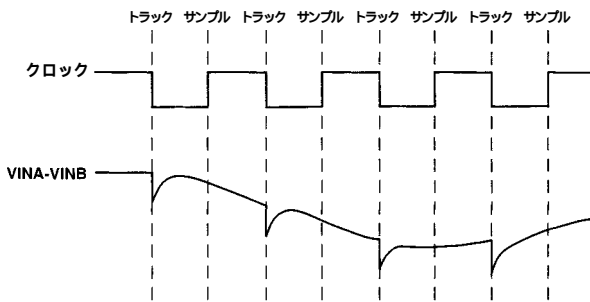


図56 . 典型的な入力波形

図56は、出力インピーダンスがゼロでないソースを使用して入力ピンをドライブしたときのチャージ・グリッチの影響を示しています。このソースは、CLKの半周期内にチャージ・グリッチから安定できるものでなければなりません。あらゆるCMOSスイッチ・キャパシタ回路に使用されているMOSスイッチには、残念ながら、端子部に非直線性の寄生接合容量が含まれています(AD9260で使用されているものも例外ではありません)。図55に示した C_{pa1} 、 C_{pb1} 、 C_{pa2} 、および C_{pb2} は、入力スイッチに関連する寄生容量です。

寄生キャパシタ C_{pa1} および C_{pa2} は、常にピンVINAおよびVINBに接続されているので、グリッチのエネルギーへの寄与はありません。これに対して寄生キャパシタ C_{pb1} および C_{pb2} は、入力キャパシタCS1およびCS2が入力ピンVINAおよびVINBに接続されるとき

にチャージ・グリッチを発生し、それがキャパシタCS1およびCS2のチャージ・グリッチに重畳されます。非直線性の接合容量 C_{pb1} および C_{pb2} は、入力信号と非直線的に相関するチャージ・グリッチのエネルギーを発生します。このため、入力ソースがCLKの半周期内で完全に安定しない限り、直線的な安定を達成することが困難になります。グリッチ・インパルスのエネルギーの一部は、ソースに「キック・バック」されますが、その入力信号との関係は直線的ではありません。つまり、入力信号が直線的に安定することを保証する最良の方法は、グリッチからCLKの半周期内に可能な限り完全に安定する広帯域回路を使用することです。

AD9260は、アナログ・デバイス社独自のクロック・ブースト・ブート・ストラップ・テクニックを使用して、内部CMOSスイッチの非直線寄生容量を低減しています。このテクニックにより、入力スイッチの直線性が改善されます。つまり、このテクニックは、非直線的なグリッチ・エネルギーを抑えます。

次に、図55に示したAD9260の入力構造における入力キャパシタと寄生キャパシタの容量をリストします。

$CS = 3.2 \text{ pF}$ 、 $C_{pa} = 6 \text{ pF}$ 、 $C_{pb} = 1 \text{ pF}$ (ただし、CSはキャパシタCS1およびCS2の容量、 C_{pa} はキャパシタ C_{pa1} および C_{pa2} の容量、 C_{pb} はキャパシタ C_{pb1} および C_{pb2} の容量とします)。それぞれの入力ピンの合成容量は、 $C_{IN} = CS + C_{pa} + C_{pb} = 10.2 \text{ pF}$ となります。

入力ドライブの考察

AD9260の最適ノイズ性能と最適ひずみ性能は、AD9260を4Vの入力スパンで差動的にドライブしたときのみ達成されます。すべてのアプリケーションにおいて差動動作に信号の前処理が行われるわけではないことから、シングルエンド信号から差分信号への変換が必要になることがあります。AD9260の場合は、シングルエンド信号から差分信号への変換に差動オペアンプ・ドライブがもっとも適しています。トランスを用いてもAC信号に対して同様の変換を行うことが可能ですが、AD9260をダイレクトにドライブできないことから、低ノイズ低ひずみのバッファ段の追加が必要となり、その有用性は否定的です。

シングルエンド信号を変換する差動オペアンプ・ドライブ

シングルエンド信号から差分信号に変換してAD9260をドライブするオペアンプ・ドライブ回路には、代表的なものが2つあります。第1のドライブ回路は、図57に示しましたが、最適ひずみ性能が要求されるDC結合アプリケーションに対して最適化されています。この差動オペアンプ・ドライブ回路は、変換とレベル・シフトを行って、グラウンド基準の2V_{p-p}のシングルエンド信号から、AD9260の同相モード・レベルを中心とする4V_{p-p}の差分信号を生成するように構成されています。この回路は、整合単位ゲイン差動アンプとして構成された2つのオペアンプを基礎とします。シングルエンド入力、それぞれの差動アンプの互いの対に相当する入力に印加され、これによって差分出力が生成されます。同相モード・オフセット電圧は、それぞれの差動アンプの非反転端子の抵抗に印加されてオフセット電圧を所定値に設定します。このオフセット電圧は、同相モード・レベル(CML)ピンから、1μFの容量性負荷をドライブすることができる低出力インピーダンスのバッファ・アンプを経由して取り出されます。同相モード・オフセットは、図44に示したように、ひずみ性能を大きく低下させることなく1.8Vから2.5Vまでの範囲にわたって変化させることができるので、正の電圧スイングが制限される一部の±5オペアンプによってもたらされる出力圧縮ひずみを改善する一種の柔軟性が得られます。

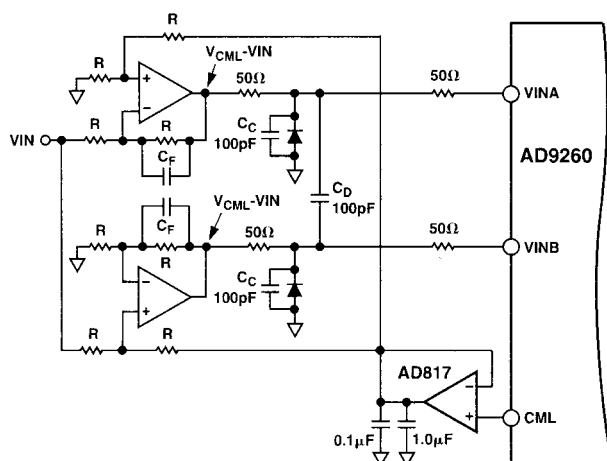


図57. レベル・シフトを伴うDC結合差動ドライバ

±5Vの動作に定格設定されたオペアンプがもたらす電圧不足故障状態からAD9260を保護するために、各オペアンプ出力とAD9260の入力の間、2つの50Ω直列抵抗とAGNDに接続されたダイオードが備わっています。AD9260は、オペアンプが同一の正の電源(つまりAVDD)をAD9260と共有する限り、本質的にあらゆる過電圧状態から保護されます。なお、このドライバ回路に備わる各差動アンプのゲイン精度と同相電圧除去は、オペアンプに整合させた薄膜抵抗回路(たとえばOhmtek ORNA5000F)を使用することによって高めることができます。抵抗値は、最低可能ノイズを維持するために大きくとも500Ωまでとする必要があります。ここで、AD9260の小信号帯域幅が75MHzであることに注意してください。つまり、サンプリングおよびデシメーション・レートによって規定されるAD9260のベースバンド帯域幅に落ちるあらゆるノイズを始め、サンプリング・レートの通信で生じるベースバンド応答の「虚像」によって、全体的なノイズ性能の低下が招かれます。

各単位ゲイン差動ドライバ回路のノイズ性能は、それぞれの固有のノイズ・ゲインである2によって制限されます。しかし単位ゲイン・オペアンプの場合だけは、各オペアンプのフィードバック抵抗にシャント・キャパシタCFを並列接続することによって、入力信号の通過帯域を超える部分でこのノイズ・ゲインを2から1に抑えることが可能です。これは、本質的にローパス・フィルタを構成し、このフィルタは、フィルタの f_{-3dB} 周波帯域を超えた部分でノイズ・ゲインを1に抑えると同時に、入力信号を f_{-3dB} に帯域制限します。なお、このフィルタによって確立される極は、アンチエイリアシング・フィルタの実際の極としても使用できます。同一の製品ファミリーから採用した2つのオペアンプのノイズ寄与率は、一般に等しくなりますが互いの相関はなく、そのため、それぞれのオペアンプの総合的な出力関連ノイズが二乗和の平方根で加わり、回路のノイズ性能をさらに3dB低下させます。また、シングルエンド・キャパシ

タ C_S および差分キャパシタ C_D を追加すれば、帯域外ノイズを低減させることができます。

信号パス内での2つのオペアンプのひずみ性能とノイズ性能は、AD9260の最適性能を達成する上で非常に重要です。低ノイズのオペアンプは、1MHzで85dBを超えるTHD(全高調波ひずみ)をもたらしますが、1Vから3Vの範囲にわたるシングが得られるものがほとんどなく、検討の域を出ません。AD9632オペアンプは、広帯域にわたって卓越したひずみ性能を維持する一方で、1Vから3Vの範囲にわたるシングが得られ、この回路で優れたひずみ性能を提供できことがわかりました。しかしAD9632は、ゲイン2もしくはそれ以上で安定することから、前述したノイズ低減シャント・キャパシタの使用が不可能であり、このためOPA642と比較するとわずかに(1dBから2dB)ノイズ性能が低くなります。低コスト低消費電力の単位ゲイン・オペアンプの代替製品としては、AD8056デュアル・オペアンプがありますが、フルスケールの入力信号に対するSNRとTHD性能がわずかに(1dBから2dB)低くなります。優れたひずみ性能を維持しながら最低可能ノイズ性能を得るためには、単位ゲイン・オペアンプOPA642を検討する必要があります。ただし、このデータ・シートで示したAD9260のテストと特性データの大半は、このDC結合ドライバ回路にAD9632オペアンプを使用して得られたものです。また、このドライバ回路は、AD9260評価ポートでも提供されます。

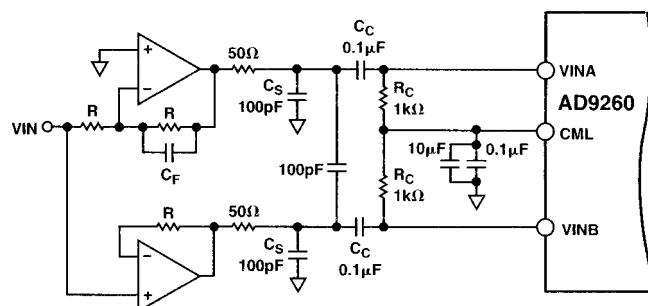


図58. AC結合低ノイズ差動ドライバ

最低可能ノイズとひずみ性能は、図58に示したAC結合回路を使用して達成することができます。この回路は、反転ゲイン1のバッファと単位ゲイン・バッファとして構成した2つの低ノイズ高速オペアンプを用いた単純な構成です。この構成においては、反転オペアンプのノイズ・ゲインが2となることから、反転オペアンプのトポロジーによってノイズ性能が決定されます。また、2つのオペアンプ出力がAGND近傍にセンタリングされるので、優れたひずみ性能が達成されます。反転オペアンプと非反転オペアンプの間の群遅延の不整合は、推奨広帯域低ひずみオペアンプを使用した場合この回路のひずみ性能をわずかに低下させるだけにとどまりました。

表 . リファレンス構成の要約

リファレンスの動作モード	入力スパン (VINa - VINb) (Vp-p)	必要VREF (V)	接続	接続先
内蔵	1.6	1	SENSE	VREF
内蔵	4.0	2.5	SENSE	REFCOM
内蔵	1.6 スパン 4.0かつ スパン = 1.6 × VREF	1 VREF 2.5かつ VREF = (1 + R1/R2)	R1 R2	VREFおよびSENSE SENSEおよびREFCOM
外部	1.6 スパン 4.0	1 VREF 2.5	SENSE VREF	AVDD EXT. REF.

AD9260

それぞれのオペアンプの出力は、値の小さい直列抵抗とキャパシタ(つまり、50 と0.1 μF)を經由してAD9260の対応する入力にAC結合されます。また、DC結合ドライバの場合と同様に、シングルエンド・キャパシタ C_S および差分キャパシタ C_D の追加すれば、帯域外ノイズを低減させることができます。このAC結合回路の下側のカットオフ周波数は、 R_C と C_C によって決定され、 R_C は、AD9260の同相モード・レベル・ピンCMLに接続されて、入力バイアスが適正化されます。OPA642は、全体的なノイズとひずみがかもとも低い(100 kHzにおいて88.8 dBのSNRと96 dBのTHD)ことがわかりましたが、全体的な性能は、AD8055(またはデュアル・バージョンのAD8056)でも0.5 dBから1.5 dB程度しか低下しません。このように、AD9260で実現可能な高レベルの性能を引き出せたとしても、テスト装置の質とその評価に用いるテスト・セットアップに特別な注意を払わなければ意味のないものになりかねません。

同相モード・レベル

CMLピンは、AD9260の内部で使用する内部アナログ・バイアス・ポイントです。このピンは、図59に示すように少なくとも0.1 μF のキャパシタを使用してアナログ・グラウンドと減結合しなければなりません。CMLのDCレベルは、約 $\text{AVDD}/2.5$ になります。この電圧を外部バイアスに使用するには、バッファを使用する必要があります。

注意：AD9260に印加された入力信号の同相モード電圧は、CMLのレベルと正確に一致する必要はありません。最適性能を得るためにはこのレベルが推奨されますが、AD9260では、 $\text{AVDD}/2.5$ 近傍に入力同相モード電圧の許容範囲が設けられています。

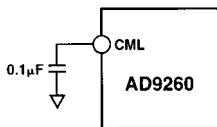


図59 . CMLの減結合

リファレンスの動作

AD9260には、オンボード・バンドギャップ・リファレンスとリファレンス・バッファ・アンプが内蔵されています。オンボード・リファレンスは、ピン・ストラップにより生成電圧の選択が可能です。1 Vまたは2.5 Vを出力します。また、ユーザ側で外付けの抵抗を2つ追加すれば、1 Vおよび2.5 V以外のリファレンス電圧を設定することができます。これとは別に、精度および/またはドリフト性能の強化を必要とする設計を行う場合には、外部リファレンスを使用することもできます。表IVにAD9260のリファレンス構成に関するピン・ストラップのオプションを要約して示しましたので参照してください。ただし、最適ノイズ性能と最適ひずみ性能が2.5 Vのリファレンスを使用したときだけに達成される点に注意が必要です。

図60は、AD9260の内蔵電圧リファレンスを簡略化したモデルを示しています。ピン・ストラップ可能なリファレンス・アンプは、1 Vの固定リファレンスをバッファします。リファレンス・アンプA1からの出力は、VREFピンに現れます。このVREFピンの電圧が、A/Dコンバータのフルスケールの入力スパンを決定します。入力スパンは、次式で表わされます。

$$\text{フルスケール入力スパン} = 1.6 \times \text{VREF}$$

VREFピンに現れる電圧を始め、内蔵リファレンス・アンプA1の状態は、SENSEピンに現れる電圧によって決定されます。この

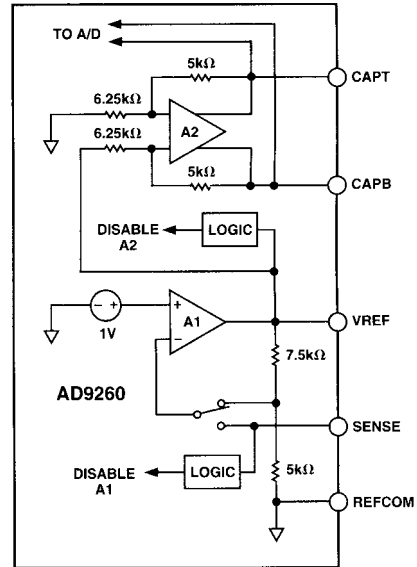


図60 . 簡略化したリファレンス

SENSEピンに現れる電圧をモニタするために、ロジック回路には2つのコンパレータが備わっています。A1のフィードバック・パス内のスイッチのポジションは、セット・ポイントをもっとも低く設定した(約0.3 V)コンパレータによってコントロールされます。SENSEピンがREFCOMに接続されていれば、スイッチが内部の抵抗回路に接続されるので、VREFが2.5 Vになります。SENSEピンとVREFピンを短絡するか抵抗を介して接続すると、スイッチがSENSEピンに接続されます。短絡した場合にはVREFが1.0 Vになりますが、抵抗回路を外付けした場合には、1.0 Vから2.5 VまでのVREFのスパンが得られます。外付けの抵抗回路の具体化には、たとえば抵抗分圧回路があります。この分圧回路は、VREFとSENSEの間に抵抗R1を接続し、SENSEとREFCOMの間に抵抗R2を接続して構成することができます。SENSEピンをAVDDに接続すると、別のコンパレータが内部の回路をコントロールしてリファレンス・アンプをディセーブルします。リファレンス・アンプがディセーブルになれば、外部電圧リファレンスによりVREFピンをドライブすることが可能になります。

リファレンス・バッファ回路は、リファレンスを内部の回路によって使用される適切な同相モード電圧にレベル・シフトします。このオンチップ・バッファは、内部のスイッチ・キャパシタ回路をドライブするために必要な低インピーダンスをもたらし、バッファ・オペアンプを外付けする必要がありません。

AD9260内部の回路で使用される実際のリファレンス電圧は、CAPTピンとCAPBピンに現れます。VREFを2.5 Vに構成していれば、4 Vのフルスケール入力スパンが得られ、CAPTピンとCAPBピンに現れる電圧は、それぞれ3.0 Vと1.0 Vになります。内蔵または外付けのリファレンスを使用しているときは、キャパシタ回路を追加してCAPTピンとCAPBピンの間を減結合する必要があります。図61に、推奨されている減結合回路を示します。このキャパシタ回路は、(1)リファレンス・アンプA2とともに広い周波数範囲にわたって、A/Dの内部回路のドライブに必要な低いソース・インピーダンスを提供し、(2)A2に必要な補償を提供し、さらには(3)リファレンスからもたらされるノイズを帯域制限します。CAPTとCAPBの間にリファレンス電圧が現れるターンオン時間は約15ミリ秒で、パワーダウン・モードの動作では、これを考慮する必要があります。

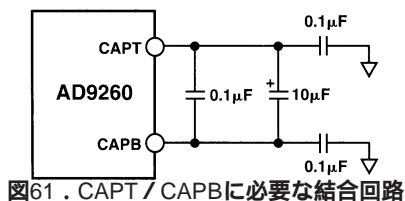


図61 . CAPT / CAPBに必要な結合回路

デジタル入力および出力

デジタル出力

AD9260の出力データは、2の補数フォーマットになります。各種の入力範囲に対応する出力データのフォーマットを表に示します。これにおいてMSBを反転すれば、ストレート・バイナリの出力データ・フォーマットが得られます。

表 . 出力データ・フォーマット(2x、4x、8x デシメーション・モード)

入力(V)	条件(V)	デジタル出力
VINA - VINB	$< -0.8 \times VREF$	1000 0000 0000 0000
VINA - VINB	$= -0.8 \times VREF$	1000 0000 0000 0000
VINA - VINB	$= 0$	0000 0000 0000 0000
VINA - VINB	$= +0.8 \times VREF - 1 \text{ LSB}$	0111 1111 1111 1111
VINA - VINB	$+0.8 \times VREF$	0111 1111 1111 1111

1x デシメーション・モードの出力データ・フォーマットは、2x、4x および8x のデシメーション・モードと異なります。1x デシメーション・モードでは、出力データは2の補数ですが、デジタルの数値が7/128倍にスケールアップされます。この7/128というスケールアップ・ファクタは、アナログ変調回路の内部スケールアップ・ファクタ7/8と、12ビット変調データのLSB桁合わせによって生じるスケールアップ・ファクタ1/16との積です。

CSピンとREADピン

CSピンとREADピンは、AD9260のデータ出力ピン(ビット1~ビット16)の状態をコントロールします。CSピンはアクティブ・ロー、READピンはアクティブ・ハイです。CSピンとREADピンがいずれもアクティブになると、データ出力ピンにADCデータが現れますが、それ以外の場合は、データ出力ピンがハイ・インピーダンス(Hi-Z)状態に維持されます。表は、CSピンおよびREADピンとデータ出力ピン、つまりビット1からビット16までの状態の関係を示しています。

表 . CSピンおよびREADピンの機能

CS	READ	データ出力ピンの状態
ロー	ロー	データ出力ピンはHi-Z状態
ロー	ハイ	データ出力ピンにADCデータ
ハイ	ロー	データ出力ピンはHi-Z状態
ハイ	ハイ	データ出力ピンはHi-Z状態

DAVピン

DAVピンは、AD9260の出力データの有効/無効を表します。このDAVの立ち上がりエッジは、出力データのラッチに使用することができます。図4のタイミング図に示したように、出力データは、DAVの立ち上がりから少なくとも3.6ナノ秒($t_{\text{H}} = 3.6 \text{ ns}$)は有効です。

RESETピン

RESETピンは、アクティブ・ローです。RESETがローになると、デジタル・デシメーション・フィルタ内のクロックがディセーブされ、DAVピンがローに引き込まれ、デジタル・データ出力ピン(ビット1~ビット16)のデータが無効になります。さらにこのRESETピンは、AD9260のアナログ変調回路の状態をリセットし、

デシメーション・フィルタで使用する内蔵クロック分周回路の状態をリセットします。

AD9260の内蔵デシメーション・フィルタの状態は、RESETがローに転じても変更されません。つまり、RESETをローに引き込んでも、アナログ変調回路はリセットされますが、デジタル・フィルタ内のすべてのデータのクリアが行われるわけではありません。フィルタ内のデータは、アナログ変調回路をリセットした結果として変更されます(これによってデジタル・フィルタの入力が突然変化しますが、この変化はA/Dコンバータの入力の信号と無関係です)。このため、RESETピンに対するパルスの印加に続いて、デシメーション・フィルタのデータをフラッシュする必要があります。これらのフィルタは、フィルタの群遅延とコンバータのクロック・レートに等しい長さのメモリを備えています。このメモリ長は、デシメーション・フィルタ内にストアされるサンプル数と同義に解釈することができます。たとえば、8x デシメーション・モードでこの部品を動作させている場合、群遅延は $345/f_{\text{clock}}$ になります。これは、デシメーション・フィルタ内にストアされるサンプル数が345であることに対応します。RESETピンにハイのパルスを印加した後は、再度AD9260のデータを使用するまでの間に、AD9260からこれらの345のサンプルをフラッシュしておかなければなりません。言い換えると、不正なデータをフィルタからフラッシュするために、345サンプル分のAD9260のクロックを与える必要があります。4xもしくは2x デシメーション・モードでこの部品を動作させている場合は、4xもしくは2x のデシメーション・フィルタの群遅延が相対的に小さくなり、それに伴ってフィルタからフラッシュしなければならないサンプル数も少なくなります(それぞれ109サンプルと23サンプル)。

2x、4xもしくは8x のモードにおいては、同一のクロックでクロックされる複数のAD9260をRESETを使用してシンクロさせることができます。AD9260のデシメーション・フィルタは、内蔵のクロック分周回路でクロックします。このクロック分周回路の状態は、出力データを有効にするタイミング(CLKを基準にしたタイミング)を決定します。したがって、同一のクロックでクロックされる複数のAD9260をシンクロさせるためには、それぞれのAD9260のクロック分周回路がすべて同時に同一の状態にリセットされなければなりません。RESETにローのパルスを印加すると、これらのクロック分周回路がクリアされます。クリアされたクロック分周回路は、RESETの立ち上がりエッジに続く次のCLKの立ち上がりエッジでクロックのカウントを開始し、クロックがデシメーション・フィルタに印加されます。

2x、4xもしくは8x のモードでは、内蔵クロック分周回路とアナログ変調回路がともに確実にリセットされるよう、RESETは少なくともCLKまるまる1周期分の間、アサートされる必要があります。RESETのアサートは、CLKの立ち上がりエッジで終了させる必要があります(つまり、RESETの立ち上がりエッジとCLKの立ち上がりエッジを一致させる必要があります)。

OTRピン

OTRピンは、AD9260内でオーバーレンジ状態が発生したことを示します。このオーバーレンジ状態は、AD9260の出力段に備わるロー・パスのデジタル・デシメーション・フィルタに群遅延があることから慎重に対処しなければなりません。入力信号がコンバータのフルスケールの範囲を超過すると、オーバーレンジ状態の持続時間と大きさに応じてAD9260の動作にさまざまな影響が現れます。短時間のオーバーレンジ状態(<<フィルタの群遅延)では、アナログ変調回路にわずかなオーバーレンジが発生するだけで、ロー・パス・デジタル・フィルタのデータがフルスケールを超えないこともあります。実際、アナログ変調回路には、内部でクリッピングを

AD9260

行わなくてもAD9260のフルスケール範囲をわずかに超えた(3%)信号を処理する能力があります。しかし、オーバーレンジ状態が長時間にわたると、デジタル・フィルタのデータがフルスケールを超えてしまいます。これらの理由から、内蔵の2つの独立した範囲外検出回路を用いてOTR信号を生成しています。第1の範囲外検出回路は、アナログ変調回路の出力に備わり、変調回路の出力信号を監視してコンバータのフルスケール範囲の外側3%を基準に範囲の超過の有無を検出します。変調回路の出力信号がフルスケール範囲の外側3%を超えると、デジタル・データのハード・リミット(つまりクリップ)が働き、フルスケールより3%大きな値に強制されます。第2の範囲外検出回路は、第3段のデシメーション・フィルタの出力に備わり、ロー・パス・フィルタ出力を監視してフルスケールを基準に範囲の超過の有無を検出します。ここで範囲の超過が発生すると、フィルタの出力データに対してハード・リミットが働き、フルスケールに強制されます。OTR信号は、これらの2つの内蔵範囲外検出回路の出力の論理和です。いずれかの検出回路が範囲の超過を示すとOTRピンがハイに転じ、データの信頼性が著しく損なわれている可能性があることがわかります。

AD9260を自動利得調整(AGC)を組み込んだシステム内で使用する場合は、OTR信号を使用して信号振幅の抑圧することができます。この方法は、信号に一時的にフルスケールをわずかに超過する高周波成分が含まれる場合に、信号のダイナミック・レンジを最大にする上で極めて効果的です。この反対に、デジタル・フィルタのオーバーレンジを惹き起こす大振幅の低周波成分が信号に含まれている場合は、これによってロー・パス・デジタル・フィルタのオーバーレンジを招く可能性があります。それが発生すると、場合によっては、データの信頼性が著しく損なわれ、デジタル・フィルタのフラッシュが必要になります。デジタル・フィルタのフラッシュに求められる条件については、前述したRESETピンの機能に関する説明を参照してください。

OTRは、CLKの立ち下がりエッジでサンプリングする必要があります。この信号は、CLKがハイの間は無効になります。

MODEの動作

モード・セレクト・ピン(MODE)によりユーザは、4つあるデジタル・フィルタのモードの1つを単一のピンを使用して選択することができます。それぞれのモードでは、内蔵デシメーション・フィルタのデシメーションが1x、2x、4x、あるいは8xに設定されます。表にMODEピンの範囲を示したので参照してください。

モード選択は、図62に示すように、一連の内蔵コンパレータを使用して行われ、それぞれのモードは、MODEピンの入力電圧範囲に対応しています。コンパレータの出力は、エンコーダ・ロジックに印加され、クロックの立ち下がりエッジでコード化されたデータがラッチされます。

表 推奨されるMODEピンの範囲と構成

MODEピンの範囲	代表的なMODEピン	デシメーション・モード
0 V ~ 0.5 V	GND	8 x
0.5 V ~ 1.5 V	VREF/2	2 x
1.5 V ~ 3.0 V	CML	4 x
3.0 V ~ 5.0 V	AVDD	1 x

BIASピンの動作

AD9260を20 MHz未満の周波数でクロックすると消費電力がさらに抑えられます。バイアス・セレクト・ピン(BIAS)は、このように低いクロック・レートでAD9260を動作させることができる場合に、このデバイスの動作に柔軟性を付加します。

これは、図63に示したように、AD9260のバイアス電流をスケールングすることによって達成されます。バイアス・アンプが共通ドレ

インをドライブし、バイアス電流を設定する R_{EXT} の端子間電圧を1Vに強制します。これは、結果的に変調回路のアンプとフラッシュ・プリアンプ内のバイアス電流を調整します。 R_{EXT} の値を大きくすると、内蔵アンプ回路で使用できるバイアス電流が小さくなります。その結果、これらのアンプの安定に必要な時間が長くなり、クロック・レートを下げる必要が生じて消費電力が抑えられます。図41~図48に性能とのトレードオフを示す特性曲線を示したので参照してください。

スケールングは、表IXに示すように、AD9260のBIASピンに適切な抵抗を外付けすることによって行われます。 R_{EXT} には、20 MHzのクロック・レートに対して通常2k が用いられ、クロックレートの逆数でスケールングが行われます。BIASピンが外部接続用のピンであることから、バイアス・ピン・アンプが不安定にならないように、このピンに対する容量を最小にする必要があります。

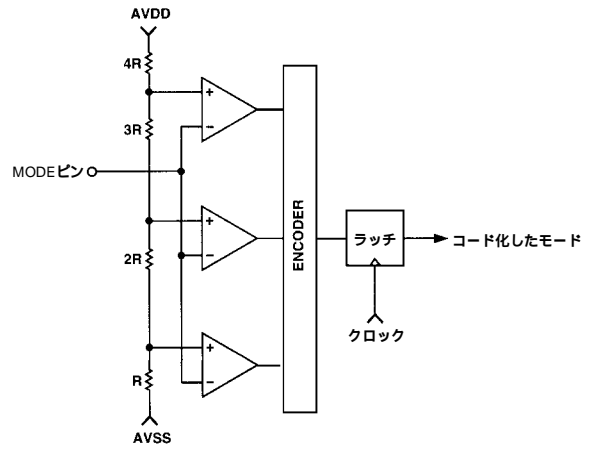


図62 . 簡略化したMODEピン回路

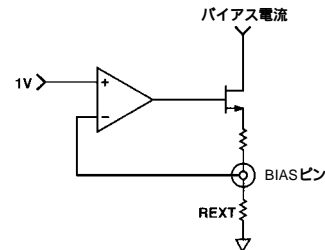


図63 . 簡略化したBIASピン回路

消費電力の考察

AD9260の消費電力は、アプリケーション固有の構成と動作条件に依存します。アナログ消費電力は、図64に示したように、基本的に電力バイアス設定とサンプリング・レートの関数になります。デジタル化する特定の入力波形あるいはデジタル・フィルタのモード設定には影響されません。デジタル消費電力は、基本的にデジタル電源の設定(+3Vから+5Vまでの範囲)とサンプリング・レートの関数になり、わずかながらモード設定と入力波形の影響を受けます。図65aと図65bは、+3Vと+5Vの電源について、デジタル電源(DVDD)とデジタル・ドライバ電源(DRVDD)を「加えた」総合的な消費電力を示したグラフです。ただし、DVDDとDRVDDは、性能的な結果にまったく影響がないことから、通常、同一の電源バスから引き出されます。ここでは、デジタル・フィルタにおいて最大のデジタル処理を確保するために1 MHzのフルスケール正弦波を使用し、デジタル・ドライバは、ファンアウトを1にしました。なお、デジタル電源を+5Vから+3Vに下げることによって、デジタル電源電流の測定結果が半減している点にも注目してください。

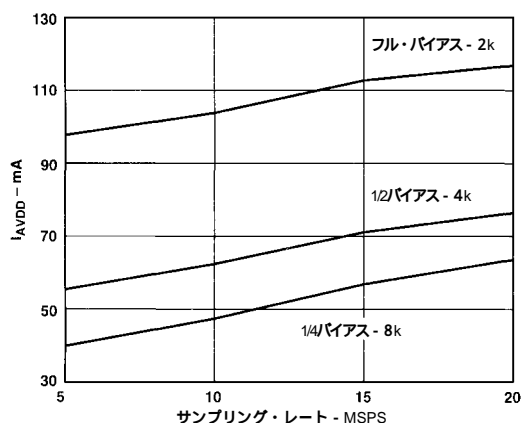


図64 . サンプルング・レートと I_{AVDD} の関係
($AVDD = +5V$, モード $1x \sim 4x$)

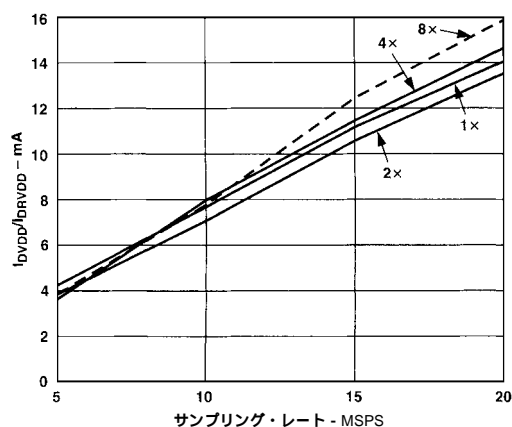


図65a . サンプルング・レートと I_{DVDD}/I_{DRVDD} の関係
($DVDD = DRVDD = 3V$, $f_{IN} = 1MHz$)

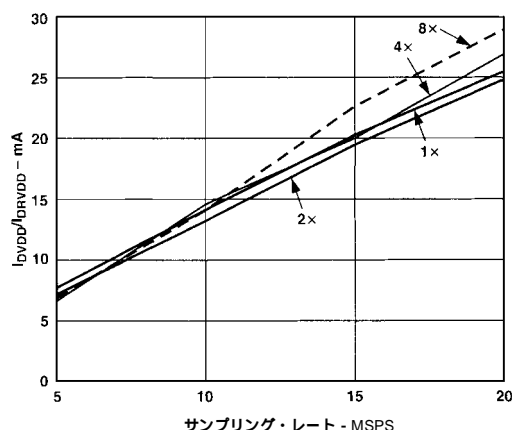


図65b . サンプルング・レートと I_{DVDD}/I_{DRVDD} の関係
($DVDD = DRVDD = 5V$, $f_{IN} = 1MHz$)

デジタル出力ドライバの考察 (DRVDD)

AD9260の出力ドライバは、DRVDDを+5Vにあるいは+3.3Vにセットすることによって、それぞれ+5Vまたは+3.3Vのロジック・ファミリとインターフェースするように構成できます。各モードのAD9260の出力ドライバは、適切なスケールにより各種のロ

ジック・ファミリをドライブする十分な出力電流が得られます。しかしながら、ドライブ電流を大きくすると、電源にグリッチを生じる傾向があり、サイナド比(SINAD)性能に影響が出ることがあります。AD9260による大きな容量性負荷のドライブを必要とするアプリケーションあるいは大きなファンアウトを必要とするアプリケーションでは、DRVDDに減結合キャパシタを追加する必要が生じます。バッファもしくはラッチを外付けすれば、データバスとの効果的な分離を確保しつつ、出力負荷を抑えることができます。

クロック入力および考察

AD9260の内蔵タイミング回路は、クロック入力の両側のエッジを使用して各種の内部タイミング信号を生成しています。クロック入力のハイ・パルス幅およびロー・パルス幅(t_{CH} および t_{CL})は、このデータ・シートの最初にあるスイッチング仕様に示した、このA/Dに指定されたそれぞれの最低値もしくはそれ以上にして定格性能の仕様に適合させなければなりません。この仕様で t_{CH} および t_{CL} の最低値が22.5ナノ秒に指定されていることから、たとえば、20 MSPSで動作するAD9260に対するクロック入力のデューティ・サイクルは45%から55%までの範囲となります。20 MSPSより低いクロック・レートでは、 t_{CH} および t_{CL} の仕様を満足するデューティ・サイクルの選択範囲がこれよりも広がります。

すべての高速高分解能のA/Dは、クロック入力の質の影響を受けやすくなっています。所定のフルスケール入力周波数(f_{IN})におけるアパーチャ・ジッター(t_A)だけを原因とするSNRの低下は、次に示す式から求めることができます。

$$SNR = 20 \log_{10} [1 / (2 f_{IN} t_A)]$$

この式の実効値アパーチャ・ジッター t_A は、クロック入力、アナログ入力信号、およびA/Dのアパーチャ・ジッター仕様を含むすべてのジッター・ソースの二乗和平方根です。たとえば、15 psの総合実効値ジッターを伴うA/Dによって500 kHzのフルスケール正弦波をサンプリングするとき、A/DのSNR性能は86.5 dB以下に制限されます。

アパーチャ・ジッターがAD9260のダイナミック・レンジに影響を及ぼすおそれがある場合、クロック入力をアナログ信号として扱う必要があります。そういった場合は、クロック・ドライバの電源をA/D出力ドライバの電源と分離し、クロック信号がデジタル・ノイズによって変調を受けないようにします。最良のクロック・ソースは、ジッターの小さい水晶発振子制御オシレータです。それ以外のタイプのクロック・ソース(ゲーティング、分周、その他の方法)を使用してクロックを生成する場合は、最終段階でオリジナルのクロックを使用してタイミングの再設定をすることが推奨されます。

接地および減結合

アナログおよびデジタルの接地

高速高分解能のシステムでは、適切な接地が非常に重要です。最適な接地と電源スキームを実現するためには、多層プリント基板(PCB)を使用するとよいでしょう。分離されたグラウンド面と電源面を使用することには明らかな利点があります。

1. 信号とその戻りパスによって囲まれるループ面積が最小になります。
2. グラウンド・バスと電源バスに関連するインピーダンスが最小になります。

AD9260

3. 電源面、PCB絶縁層、およびグラウンド面から構成される分布キャパシタが本来的に存在します。

これらの特長は、電磁障害(EMI)の低減と性能の全体的な向上という結果をもたらします。

レイアウト設計においては、結合により生じるノイズから入力信号を保護することが重要です。デジタル信号と入力信号トレースが並列にならないように配線し、また入力回路から離して配線する必要があります。AD9260は、アナログ・グラウンドとデジタル・グラウンドに個別のピンを備えていますが、この部品はアナログ・コンポーネントとして取り扱う必要があります。AVSSピン、DVSSピン、およびDRVSSピンは、AD9260の直下でまとめてダイレクトに接続しなければなりません。電源とグラウンドの戻り電流を慎重に管理できる場合には、A/Dの下側にソリッド・グラウンド面を使用することができます。管理ができない場合には、A/D下側のグラウンド面にセレーションをほどこし電流を予測可能な方向に制御し、これ以外の方法では回避できないアナログとデジタルの間の交差結合に対処します。図76のAD9260/EBグラウンド・レイアウトは、セレーションを使用するタイプのレイアウトを示しています。アナログとデジタルのグラウンドは、A/D下側でジャンパを用いて接続されます。

アナログ電源とデジタル電源の減結合

AD9260には、アナログ電源、デジタル電源、ドライバ電源、およびグラウンド用に個別のピンが備わり、影響を受けやすいアナログ信号の擾乱を最小化する手段を提供しています。

図66は、AVDD、DVDD、DRVDDに200 mVp-pのリプルを印加した場合について、周波数と電源除去比の関係を示しています。

一般にアナログ電源AVDDは、物理的に可能な限りチップに近い位置でアナログ共通AVSSと減結合する必要があります。図67は、アナログ電源に推奨される減結合を示しています。ここでは、0.1 μFのセラミック・キャパシタを使用して、広い周波数範囲にわたる適切な低インピーダンスを実現しています。なお、AD9260上では、AVDDピンとAVSSピンが近接して配置されているので、減結合キャパシタのレイアウトが単純になり、PCBトレース長を最短にすることができます。図77のAD9260/EBの電源面レイアウトは、多層構造PCBを使用した代表的なレイアウトを示しています。

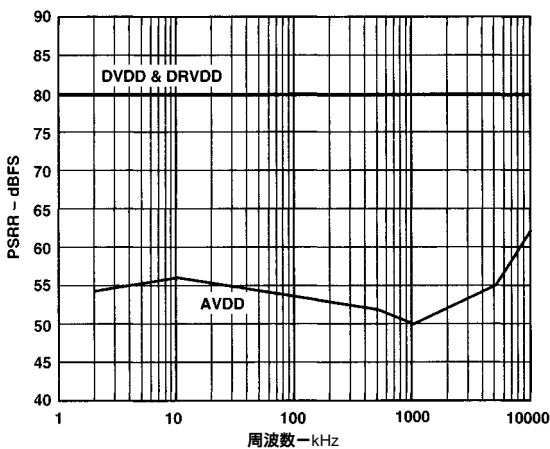


図66 . AD9260における周波数とPSSRの関係 (8 × モード)

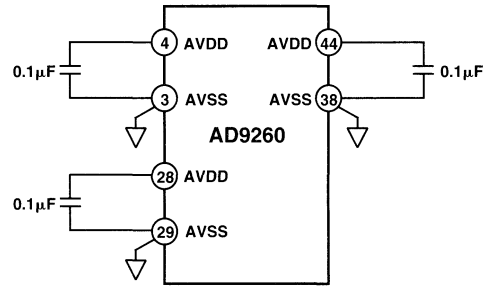


図67 . アナログ電源の減結合

AD9260チップ上でのデジタル活動は、2つのカテゴリに分かれます。つまり、デジタル・ロジックと出力ドライバです。内蔵されたデジタル・ロジックは、主としてクロックが遷移する間に電流のサージを発生します。出力ドライバは、出力ビットが変化するとき大きな電流インパルスを招きます。この電流の大きさと持続時間は、出力ビットの負荷の関数になり、大きな容量性負荷は避けなければなりません。なお、AD9260のデジタル・ロジックはDVDDを、出力ドライバはDRVDDをそれぞれ基準としている点に注意してください。また、AD9260のSNR性能がデジタルおよびドライバ電源の設定と独立していることにも留意が必要です。

デジタル出力上の容量性負荷が妥当 (通常各ピン当たり20 pF) などは、図68に示したような0.1 μFのセラミック・キャパシタを用いた減結合が適しています。これより大きなデジタル負荷を伴うアプリケーションの場合は、それに比例させてデジタル減結合を増加するか、外付けのパッファ/ラッチを使用します。また、これらを併用する方法もあります。

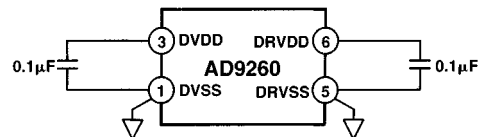


図68 . デジタル電源の減結合

完全な減結合スキームでは、さらに大容量タンタル・キャパシタあるいは電解キャパシタをPCB上に実装して低周波リプルを無視できるレベルまで抑える必要があります。この減結合キャパシタの配置については、AD9260/EBスキームおよび図73 ~ 図77に示したレイアウトを参照してください。

これらとは別のレイアウトおよび減結合のスキームを図69に示します。このレイアウトおよび減結合のスキームは、同一のPCボード上に複数のAD9260が配置されるアプリケーションもしくは、グラウンドがまとめてシステム電源に接続される (つまり星形グラウンド構成) マルチカード・ミックスド・シグナル・システムの一部としてAD9260が用いられるアプリケーション、またはこれらの両方が行われるアプリケーションに適しています。この場合、AD9260がアナログ・コンポーネントとして扱われて、アナログ電源 (AVDD)、デジタル電源 (DVDDおよびDRVDD) がシステムの +5 Vのアナログ電源から引き出され、AD9260のすべてのグラウンド・ピンが、ICの直下にあるアナログ・グラウンド面にダイレクトに接続されます。

図69を参照すると、各電源ピンが0.1 μFのセラミック・チップ・キャパシタによって、それぞれに対応するグラウンド・ピン、つまりアナログ・グラウンド面とダイレクトに減結合されていることが

わかります。AD9260のアナログ電源(AVDD)、デジタル電源(DVDD)およびドライバ電源(DRVDD)を+5Vの電源バスから絶縁するためには、表面実装型フェライト・ビーズが使用されます。このフェライト・ビーズを適切に選択すれば、AD9260の電源ピンから発生する高周波のスイッチング過渡電流との間に40 dBを超える絶縁が確保できます。さらに、図64に示すように、AD9260の本来的な電源変動除去からもノイズ耐性が得られます。消費電力を抑えるために、あるいは3Vのデジタル・ロジックとインターフェースするために、3Vでデジタルを動作させることが望ましい場合は、DVDDおよび/またはDRVDDのドライブに5Vから3Vに変換するリニア・レギュレータを使用することができます。これらのレイアウトおよび減結合のスキームについては、「High Speed Design Techniques(高速設計テクニック)」セミナー・ブックの第7章、7-27ページから7-55ページに詳細な解説があるので参照してください。なお、セミナー・ブックは、次に示すサイトにアップされています。

www.analog.com/support/frames/lin_frameset.html

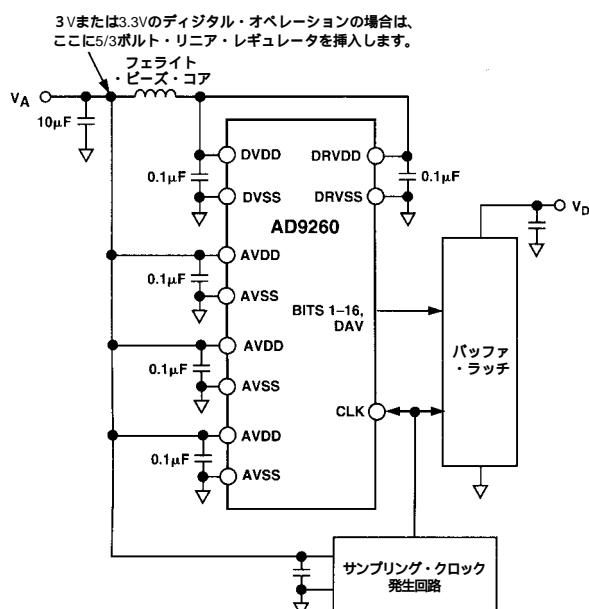


図69 .

AD9260評価ボード

全般説明

AD9260評価ボードは、簡単で柔軟性のあるAD9260の実装方法とデータ・シートの仕様に対する性能の検証のための手段を提供します。この評価ボードは、4層構成になっています。第1層はコンポーネント・レイヤ、第2層はグラウンド・レイヤ、第3層は電源レイヤ、第4層はハンダ付けレイヤです。ボード上は、コンポーネントが容易に識別できるようにラベルがプリントされています。アナログ入力とクロック入力の近くには、信号調整の追加や変更のために広いスペースが設けられています。

機能およびユーザ・コントロール

ジャンパ・コントロール・モード/OSRの選択：モード/OSRの選択は、図71に示したモード/OSRコントロール・ブロックに備わるJP1、JP2、JP3あるいはJP4をジャンプすることによって容

易に変更できます。希望するモードに変更するときは、次に示す表を参照してください。

表 . AD9260評価ボードのモード選択

モード/OSR	ジャンパ接続
1x	JP4
2x	JP2
4x	JP3
8x	JP1

選択可能な電力バイアス：ユーザ側でこのデバイスを低めの周波数で動作させることができる場合には、AD9260の消費電力を下げるのが可能です。図71に示したように、AD9260のBIASピンに接続される抵抗(R2)用にピン・カップが備わっています。希望する消費電力を得るために必要なクロック速度に対応する推奨抵抗値を次の表に示します。

表 . 評価ボードの外付けバイアス抵抗に推奨されている抵抗値

抵抗値	クロック速度(最大)	消費電力
2 k	20 MHz	585 mW
4 k	10 MHz	325 mW
8 k	5 MHz	200 mW
16 k	2.5 MHz	150 mW

データ・インターフェース・コントロール：データ・インターフェース・コントロール(RESETB、CSB、READ、DAV)へは、図71に示したデータ・インターフェース・コントロール・ブロックに備わるSMAコネクタ(J2~J5)を通じてすべてアクセスすることができます。RESETB、CSB、およびREADの接続は、それぞれ2セットの抵抗ピン・カップによって行われ、これによりユーザは、各信号をプル・アップまたはプル・ダウンして一定状態に固定することができます。R5、R6およびR30は、グラウンドに終端しますが、R7、R28およびR29はDRVDDに終端します。また、データ出力コネクタP1にDAV信号およびOTR信号をダイレクトに印加することもできます。なお、すべてのインターフェース・コントロールは、CMOSライン・ドライバ74HC541によりバッファされます。

出力データのバッファ：2の補数出力データは、2基のCMOS非反転バス・トランシーバ(U2およびU3)によってバッファされ、図71に示したデータ出力ブロック内に備わるピン・コネクタP1から使用することができます。

ジャンパ・コントロール・リファレンス・ソース：AD9260用のリファレンスの選択は、図71に示したリファレンス構成ブロック内に備わるジャンパJP5、JP6、JP7、およびJP9を使用して簡単に1.0V、2.5V、または外部に切り替えることができます。リファレンスとジャンパの関係は次の表に示します。

表 . 評価ボードのリファレンス・ピン構成

リファレンス電圧	接続ジャンパ	入力電圧(ピーク・ピークFS)
2.5 V	JP7	4.0 V
1.0 V	JP6	1.6 V
外部	JP5、JP9およびJP10	4.0 V

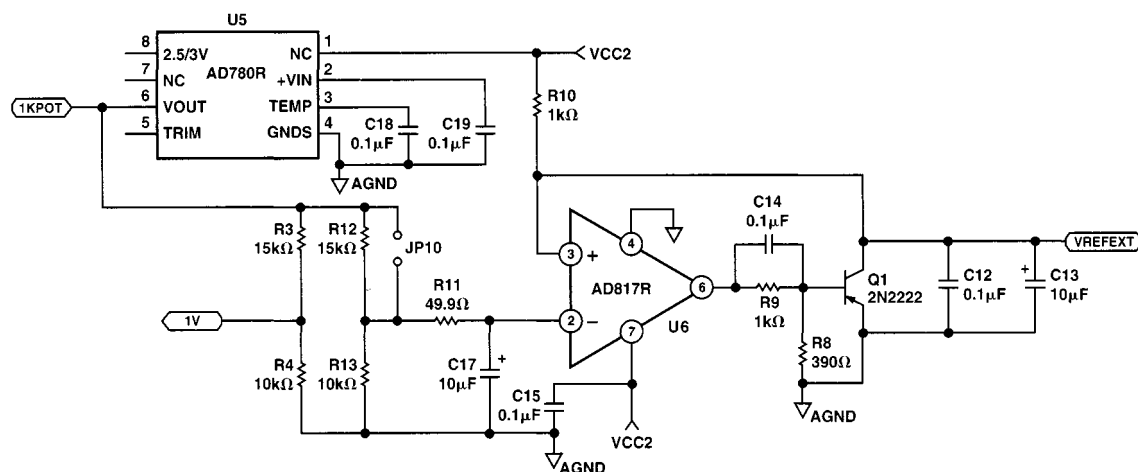


図70．評価ボードの外部リファレンス回路

図70に外部リファレンス回路を示します。JP10を接続または開放することにより、1.0 Vまたは2.5 Vの外部リファレンスを構成することができます。つまり、JP10を接続すれば、外部リファレンスが2.5 Vを供給するように構成されます。また、JP10を開放すると、外部リファレンスが1.0 Vを供給するように構成されます。

柔軟なDCまたはAC結合外部クロック入力：図71に示したように、AD9260評価ボードは、ユーザが外部クロック・ソースの接続方法を選択できる柔軟な設計になっています。また、ボード上には他のクロック・ドライバや水晶発振子を実験するためのエリアも設けられています。

DCまたはAC結合外部クロックの選択：

DC結合：CLKINコネクタを経由して外部からダイレクトにクロックをドライブする場合は、JP11を接続し、JP12を開放します。注意：R27により50 Ω 終端されます。

AC結合：外部クロックのAC結合と中心電源電圧へのレベル・シフトを行う場合は、JP12を接続し、JP11を開放します。注意：R27により50 Ω 終端されます。

柔軟な入力信号構成回路：AD9260評価ボードの入力信号構成ブロックを図72に示します。このブロックは、入力信号加算増幅器(U7)、可変入力信号同相モード・ジェネレータ(U10)および1対のアンプ(U8およびU9)から構成され、入力を差分信号に変換した後、1対の絶縁抵抗を介してAD9260の入力ピンをドライブします。ユーザは、IN-1、IN-2というラベルがプリントされたSMAコネクタ(J6およびJ7)から、シングルまたはデュアルの信号を入力することができます。

このデータ・シートの「入力のドライブ」のセクションにある入力のドライブ方法と推奨されているアンプの条件に関する詳細な説明を必ず参照してください。

シングルまたはデュアルの信号の選択：入力アンプ(U7)は、デュアル入力信号反転加算器として、あるいはシングル・トーン反転バッファとして構成することができます。この場合、2と1のアンプ構成に固有のノイズ・ゲインの差があることから、シングル・トーン・モードのノイズ性能の方がわずかに良くなります。またユーザは、入力信号の帯域外フィルタリングが必要なときは、フィードバック・キャパシタ(C9)を追加できます。

2トーン入力信号の場合：ジャンパ(JP8)を接続し、IN-1およびIN-2(J6およびJ7)を入力信号用のコネクタとして使用します。

シングル・トーン入力信号の場合：ジャンパ(JP8)を開放し、IN-1のみを入力信号用のコネクタとして使用します。

選択可能な入力信号同相モード・レベル・ソース：入力信号の同相モード・レベル(CML)は、AD9260のCMLピンにより設定するか、U10により生成します。

AD9260のCMLピンを使用する場合：ジャンパJP12を接続し、RX4を取り除きます。

U10生成の入力CMLを使用する場合：ジャンパJP12を開放し、抵抗RX3およびRX4を接続します。U10により生成されたCMLは、1 kΩ のトリムポットR35を使用して調整することが可能です。

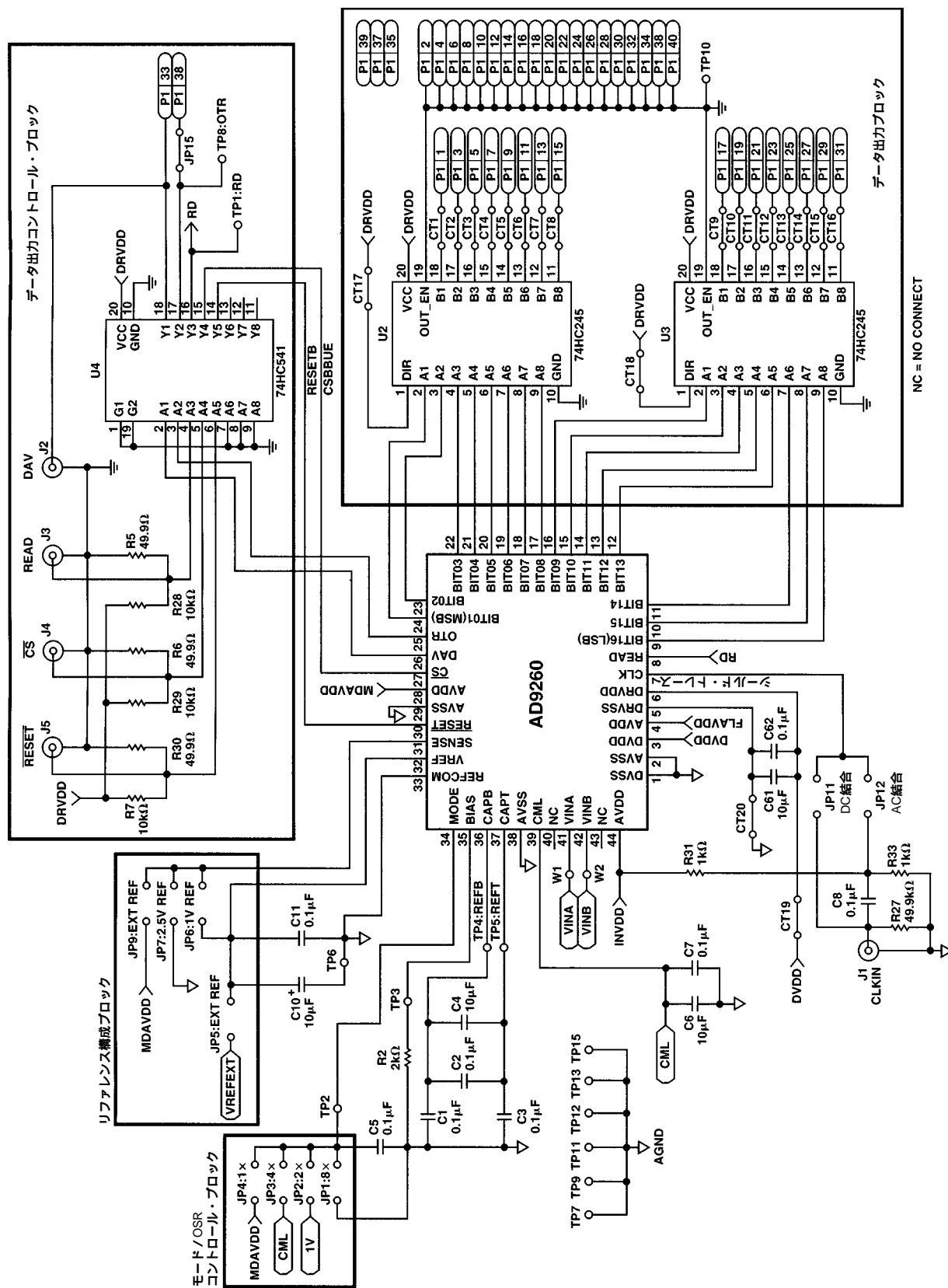


図71. 評価ボードの第1レイヤの回路図

AD9260

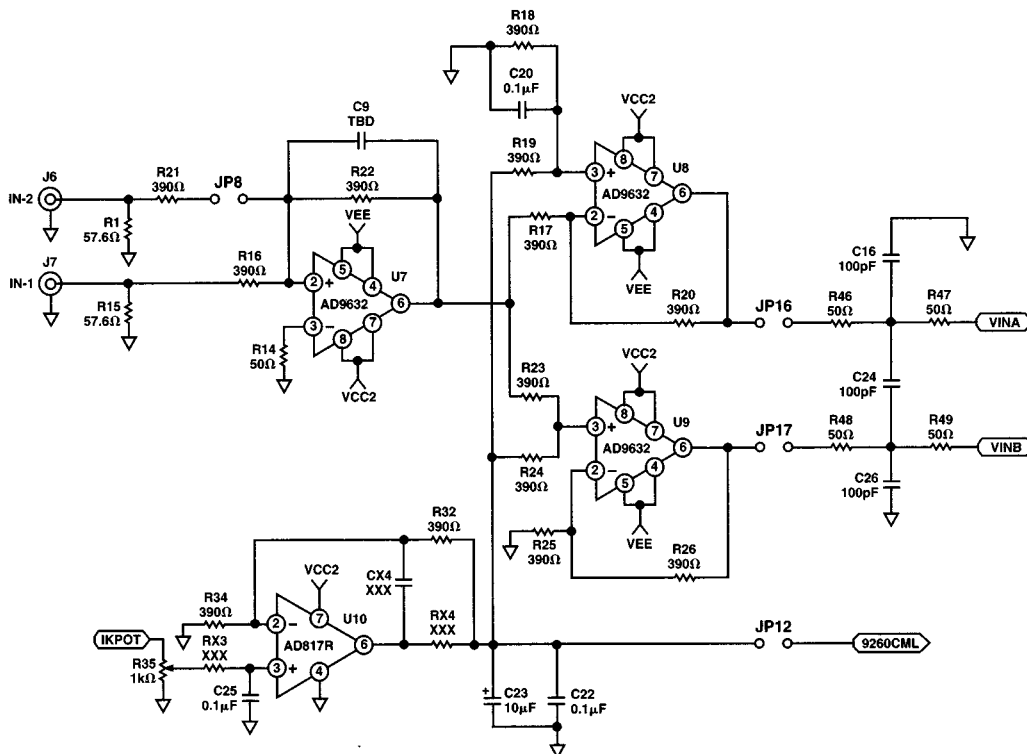


図72. 評価ボードの入力構成ブロック

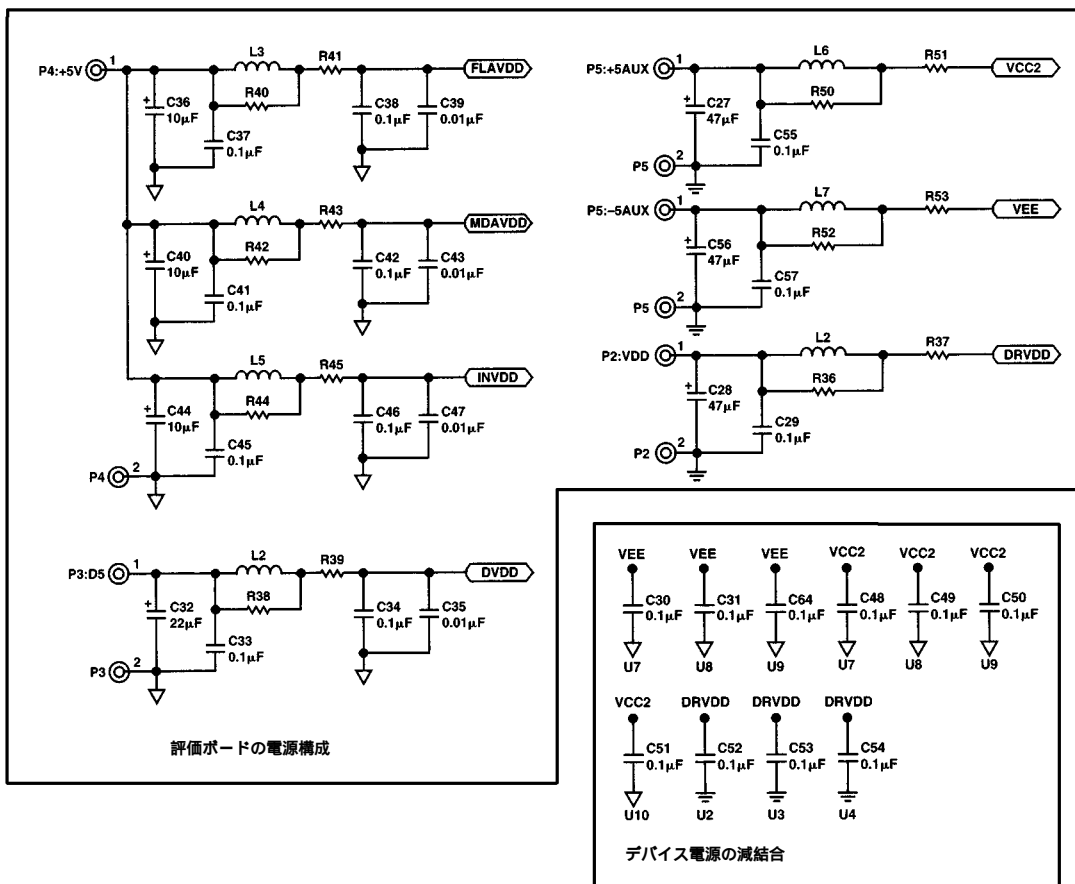


図73. 評価ボードの電源構成と結合

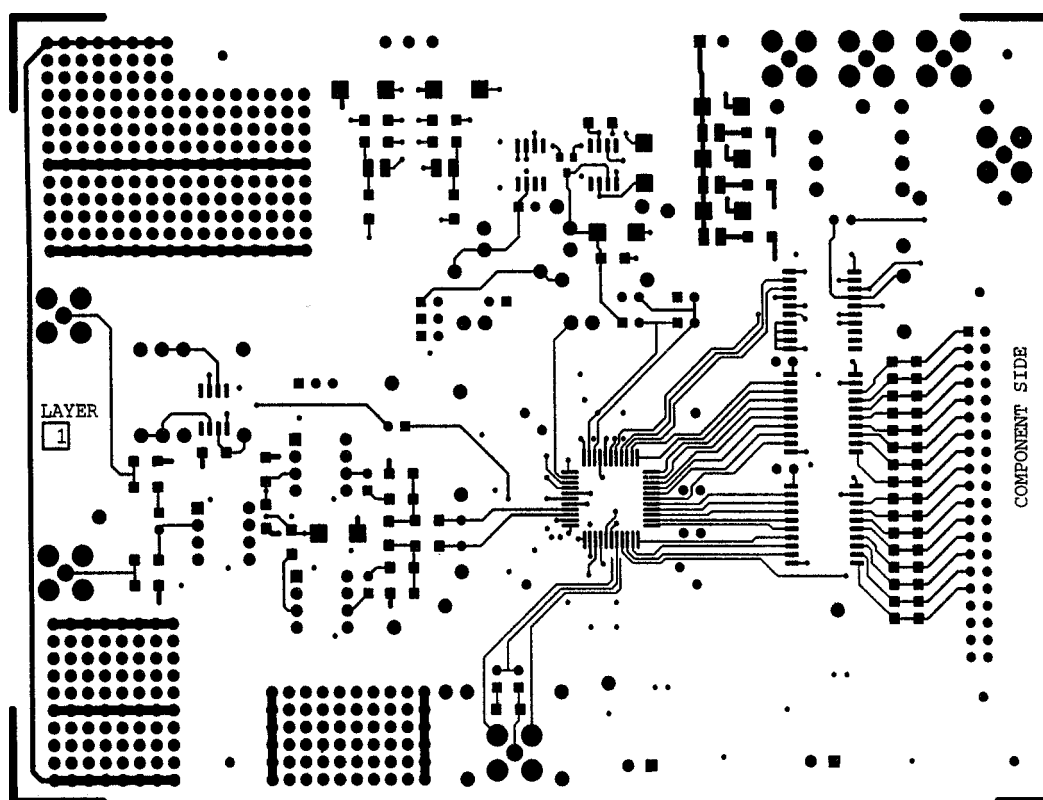


図74．評価ボードのコンポーネント・サイドのレイアウト(実寸ではありません)

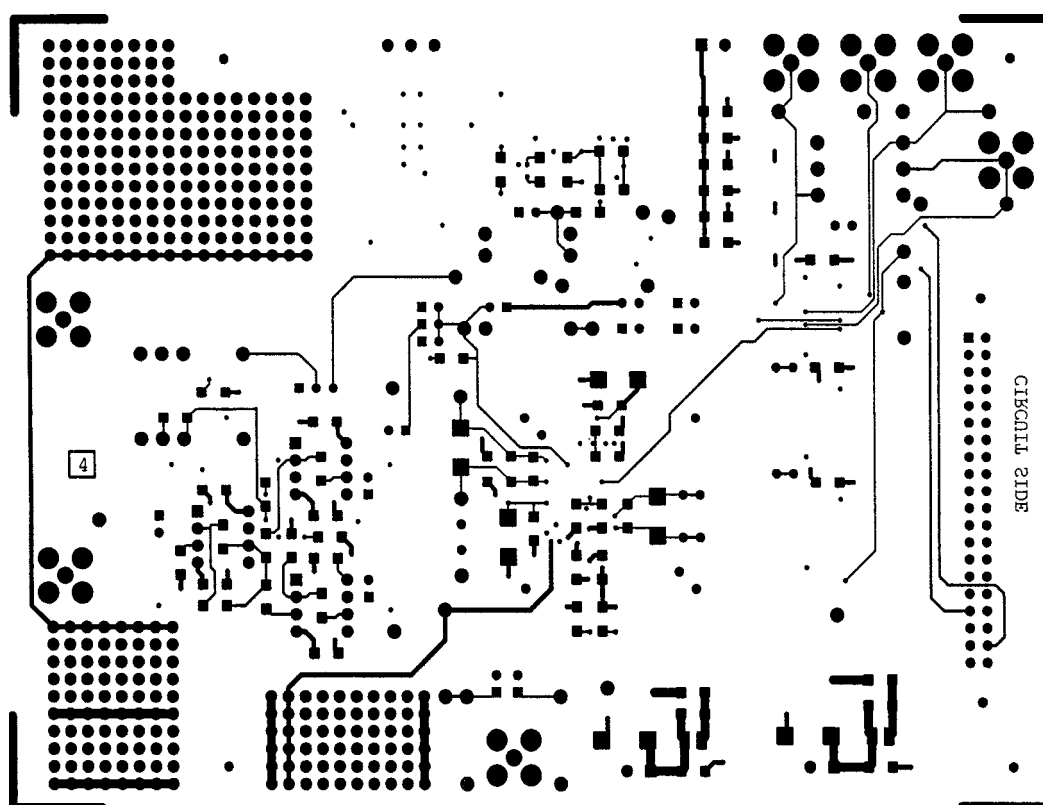


図75．評価ボードのハンダ付けサイドのレイアウト(実寸ではありません)

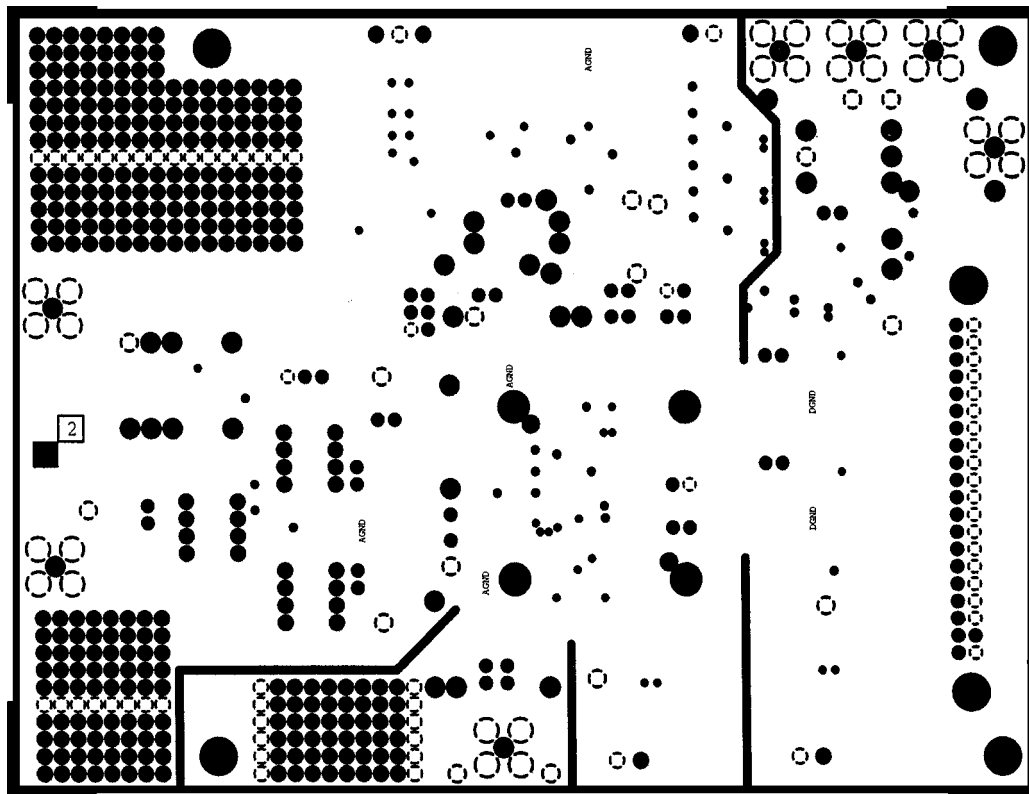


図76. 評価ボードのグラウンド面のレイアウト(実寸ではありません)

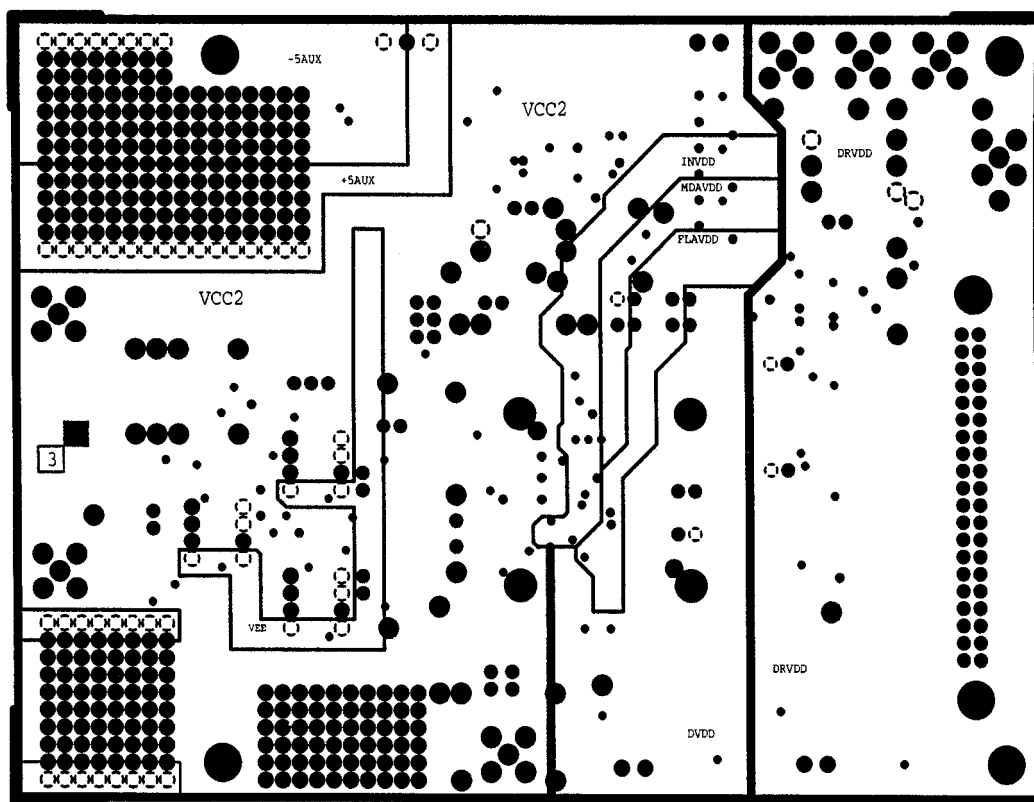


図77. 評価ボードの電源面のレイアウト(実寸ではありません)

出荷時の構成とクイック・セットアップ

AD9260評価ボードは、次の構成で出荷されます。

- 2.5 V外部リファレンス / 4.0 V差分フルスケール入力 : JP5、JP9およびJP10が接続、JP6およびJP7が開放されています。
- 8xモード / OSR : JP1が接続、JP2、JP3およびJP4が開放されています。
- フルスピード電力バイアス : R2 = 2 k が接続されています。
- CSBのロー引き込み : R6 = 49.9 が接続され、R29が外されています。
- RESETBのハイ引き上げ : R7 = 10 k が接続され、R30が外されています。
- READのハイ引き上げ : R28 = 10 k が接続され、R5が外されています。
- シングル・トーン入力 : JP8が開放されて入力がIN-1(J7)経由で印加されます。
- トリムポットR35による2.0 Vの入力信号同相モード・レベル設定 : ジャンパJP12が開放され、抵抗RX4およびRX3が接続されています。
- AC結合クロック : JP12が接続、JP11が開放されています。注意 : R27により50 終端されます。

クイック・セットアップ

- 図22に示したように、必要な電源を評価ボードに接続します。
 - +5 VAの電源をP5に接続 アナログ電源
 - +5 VAの電源をP4に接続 アナログ電源
 - +5 VDの電源をP3に接続 デジタル電源
 - +5 VDの電源をP2に接続 ドライバ電源
- クロック・ソースをCLKIN(J1)に接続します。注意 : R1により50 終端されます。
- 入力信号ソースをIN-1(J7)に接続します。
- 電源を投入します。
- 以上でAD9260評価ボードが使用可能な状態になります。

アプリケーションにおけるテクニック

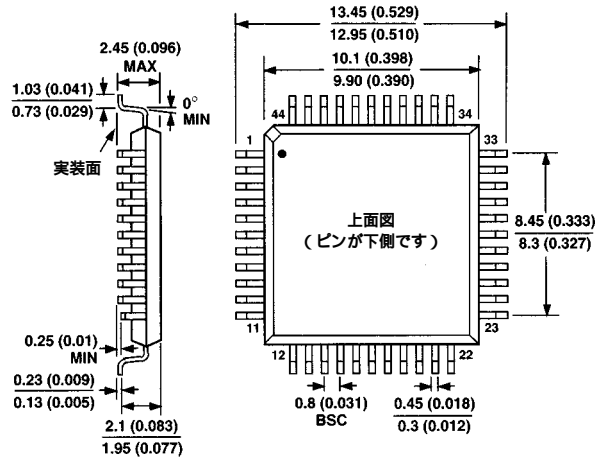
- ADCのアナログ入力は、オーバードライブを避ける必要があります。信号振幅をFSRよりわずかに低くすることによって適度の「ヘッドルーム」が確保され、ノイズあるいはDCオフセット電圧によるADCのオーバーレンジと信号のピークの「ハード・リミット」が回避されます。
- 2 トーン・テストは、FSRを超過する信号包絡線を生成する可能性があります。各テスト信号を -6 dBよりわずかに下げてピークの「ハード・リミット」を回避します。
- SNRテスト、THDテスト、およびIMDテストでは、テスト信号ジェネレータのバンドパス・フィルタリングが不可欠です。AD9260で到達可能なノイズ性能を達成するために、低ノイズ信号ジェネレータとQの高いバンドパス・フィルタが必要になることもあります。

- 正確なSNR測定を行うためには、ノイズ性能が極めて優れたテスト信号ジェネレータを使用しなければなりません。SNRには、良好なジェネレータを5次楕円バンドパス・フィルタとともに使用することが推奨されています。通過帯域の狭いクリスタル・フィルタを使用してジェネレータの広帯域ノイズのフィルタリングを行うこともできますが、高い信号レベルにおける動作についてこれらを慎重にテストする必要があります。
- AD9260のアナログ入力は、適切なフィルタ終端インピーダンス (50 または75)を用いて入力ピンのソケットの位置で終端するか、出力インピーダンスの低いバッファを用いてドライブします。デジタル・ノイズを拾わないようにするために、リードを短くする必要があります。
- 良好なADCの動的性能を得るためには、低ノイズ(ジッター)のクロック信号ジェネレータが必要です。性能の低いジェネレータを使用すると、良好なSNR性能が得られず、特に入力周波数が高くなると劣化が激しくなります。クロック・ソース(たとえば水晶発振子を使用したクロック・ソース)をベースにする高周波ジェネレータが推奨されています。周波数合成によるクロック・ジェネレータは、ジッター性能が低いことから、通常は使用しません。水晶発振子ベースのクロック・ジェネレータをFFTテストの間に使用する場合は、8項を参照してください。ジッターの低いクロックを得る方法としては、高周波クロック・ソースを使用し、低ノイズのクロック分周回路を使用してこの周波数をAD9260の入力CLKまで分周する方法があります。大振幅クロック信号を維持することは、クロック発生回路のデジタル・ゲートにおけるノイズの影響を最小化するためにも非常に有意義です。最後に、AD9260のCLKピンの手前にあるデジタル・ゲートでノイズを拾わないように、特に注意を払う必要があります。速い立ち上がり時間を確保するためには短いリードを使用し、適切な手段でこれらのデジタル・ゲートを減結合し、さらに、これらのデジタル・ゲートの電源をAD9260の内蔵クロック回路の電源と同じ電源に接続します(ピン44およびピン38)。
- 2 トーン・テストを行う場合は、各テスト信号ジェネレータを絶縁して、テスト・ジェネレータ出力回路内のIMD生成を防止する必要があります。
- ジェネレータのフェーズ・ロックと正確な周波数設定が不可能な場合は、非常に低いサイド・ローブ・ウィンドウを使用してFFT演算を行わなければなりません。
- 良好に設計されたクリーンなPCボード・レイアウトを使用すれば、適正な動作とクリーンなスペクトル特性が確保できます。適切な接地とバイパス、短いリード、アナログ信号とデジタル信号の分離、およびグラウンド面の使用は、高周波回路では特に重要になります。最適性能を引き出すためには、多層構造PCボードの使用が推奨されますが、慎重に設計すれば、大型で重い(20 オンス箔)グラウンド面を備えた2サイドPCボードでも優れた結果が得られます。
- プロトタイプ「プラグ・ボード」あるいはワイヤ・ラップ・ボードは、充分とは言えません。

AD9260

外形寸法
サイズはインチと(mm)で示します。

44ピンMQFP
(S-44)



D477-2.7-5/99,1A

