

### 特長

- 4個のADCをワン・パッケージ化
- 最大780MbpsのシリアルLVDSデジタル出力データレート (ANSI-644)
- データ・クロック出力とフレーム・クロック出力を装備
- SNR=69.5dB(ナイキスト周波数まで)
- 優れた直線性
  - DNL=±0.3 LSB (Typ)
  - INL=±0.4 LSB (Typ)
- アナログ・フルパワー帯域幅: 400MHz
- 消費電力
  - 1,350mW@65MSPS
  - 985mW@50MSPS
- 入力電圧範囲: 1~2Vp-p
- 動作電源電圧: 3.0V
- パワーダウン・モード
- タイミング・アライメントを可能にするデジタル・テスト・パターン

### アプリケーション

- 超音波デジタル・ビーム・フォーミング
- ワイヤレスおよびワイヤードのブロードバンド通信
- 通信テスト装置

### 製品の概要

AD9229はサンプル&ホールド回路を内蔵したクワッド12ビット65MSPSのA/Dコンバータ(ADC)で、低消費電力、低価格、小型の使いやすい製品となっています。このデバイスは最大65MSPSの変換レートで動作し、パッケージ・サイズが重要なアプリケーションで優れた動的性能を持つように最適化されています。

AD9229は、3Vの単電源とTTL/CMOS互換のサンプル・レート・クロックがあれば、フル性能で動作します。多くのアプリケーションに対して、外付けのリファレンスやドライバを必要としません。

AD9229は適切なLVDSシリアル・データレートを得るために、サンプル・レート・クロックを自動的に通信倍します。出力上のデータをキャプチャするためのデータ・クロック出力(DCO)と、新しい出力バイトを通知するためのフレーム・クロック出力(FCO)トリガを備えています。パワーダウンもサポートしており、パワーダウン時の消費電力は3mW(Typ)です。

最新のCMOSプロセスで製造されたAD9229は鉛フリーの48ピンLFCSPパッケージを採用し、工業用温度範囲(-40~+85℃)で仕様規定されています。

REV.A

### 機能ブロック図

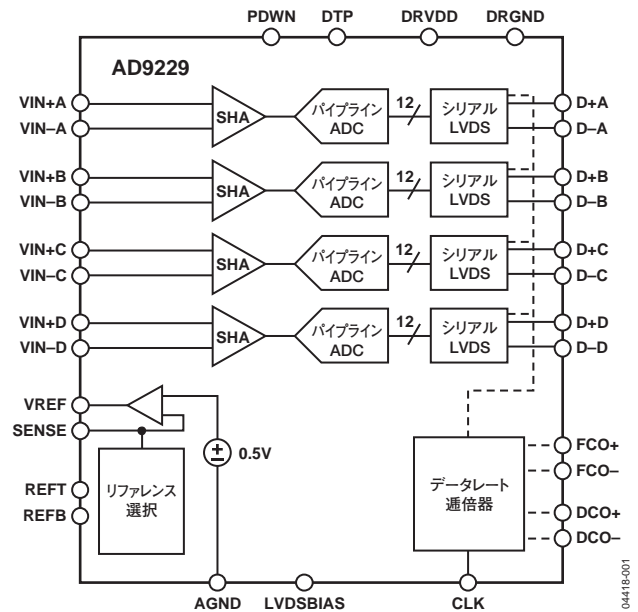


図1

### 製品のハイライト

- 4個のADCを小型の省スペース・パッケージに内蔵
- 最大390MHzで動作し、ダブル・データレート動作(DDR)をサポートするデータ・クロック出力(DCO)を装備
- 各ADCの出力はシリアルLVDSであり、最大780Mbps(12ビット×65MSPS)のデータレートで動作
- 3.0Vの単電源で動作
- 鉛フリーの48ピンLFCSPパッケージを採用
- 内蔵のクロック・デューティサイクル・スタビライザが、広範囲の入力クロック・デューティサイクルに対して性能を維持

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいはその利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。日本語データシートは、REVISIONが古い場合があります。最新の内容については、英語版をご参照ください。©2005 Analog Devices, Inc. All rights reserved.

# AD9229

## 目次

特長	1	代表的な性能特性	11
アプリケーション	1	用語の説明	16
機能ブロック図	1	動作原理	18
概要	1	アナログ入力に対する考慮	18
改定履歴	2	クロック入力の考慮事項	19
仕様	3	評価用ボード	24
AC仕様	4	電源	24
デジタル仕様	5	入力信号	24
スイッチング仕様	6	出力信号	24
タイミング図	7	デフォルト動作の設定とジャンパ選択の設定	25
絶対最大定格	8	その他のアナログ入力駆動の設定	25
検査レベルの説明	8	外形寸法	39
ESDに関する注意	8	オーダー・ガイド	39
ピン配置および機能の説明	9		
等価回路	10		

## 改訂履歴

### 9/05—Rev. 0 to Rev. A

Change to Specifications	3
Changes to Differential Input Configurations Section	19
Changes to Exposed Paddle Thermal Heat Slug Recommendations Section	23
Changes to Evaluation Board Section	24
Changes to Table 11	36

### 3/05—Revision 0: Initial Version

## 仕様

特に指定のない限り、AVDD=3.0V、DRVDD=3.0V、最大変換レート、2V<sub>p-p</sub>差動入力、1.0V内部リファレンス、AIN=-0.5dBFS。

表1

パラメータ	温度	検査レベル	AD9229-50			AD9229-65			単位
			Min	Typ	Max	Min	Typ	Max	
分解能			12			12			ビット
精度			保証			保証			
ノーマル・ミスコード	全範囲	VI	保証			保証			
オフセット誤差	全範囲	VI	±5	±25		±5	±25		mV
オフセット・マッチング	全範囲	VI	±5	±25		±5	±25		mV
ゲイン誤差 <sup>1</sup>	全範囲	VI	±0.3	±2.5		±0.3	±2.5		%FS
ゲイン・マッチング <sup>1</sup>	全範囲	VI	±0.2	±1.5		±0.2	±1.5		%FS
微分非直線性 (DNL)	25℃	V	±0.3			±0.3			LSB
	全範囲	VI	±0.3	±0.6		±0.3	±0.7		LSB
積分非直線性 (INL)	25℃	V	±0.6			±0.4			LSB
	全範囲	VI	±0.6	±1		±0.4	±1		LSB
温度ドリフト			±2			±3			ppm/℃
オフセット誤差	全範囲	V	±2			±3			ppm/℃
ゲイン誤差 <sup>1</sup>	全範囲	V	±12			±12			ppm/℃
リファレンス電圧、VREF=1V	全範囲	V	±16			±16			ppm/℃
リファレンス			±10 ±30			±10 ±30			mV
出力電圧誤差、VREF=1V	全範囲	VI	±10 ±30			±10 ±30			mV
負荷レギュレーション@1.0mA、VREF=1V	全範囲	V	3			3			mV
出力電圧誤差、VREF=0.5V	全範囲	VI	±8 ±17			±8 ±17			mV
負荷レギュレーション@0.5mA、VREF=0.5V	全範囲	V	0.2			0.2			mV
入力抵抗	全範囲	V	7			7			kΩ
アナログ入力			2			2			V <sub>p-p</sub>
差動入力電圧範囲、VREF=1V	全範囲	VI	2			2			V <sub>p-p</sub>
差動入力電圧範囲、VREF=0.5V	全範囲	VI	1			1			V
コモン・モード電圧	全範囲	V	1.5			1.5			V
入力容量 <sup>2</sup>	全範囲	V	7			7			pF
フルパワー・アナログ帯域幅	全範囲	V	400			400			MHz
電源			2.7 3.0 3.6			2.7 3.0 3.6			V
AVDD	全範囲	IV	2.7 3.0 3.6			2.7 3.0 3.6			V
DRVDD	全範囲	IV	2.7 3.0 3.6			2.7 3.0 3.6			V
IAVDD	全範囲	VI	300 330			420 455			mA
DRVDD	全範囲	VI	28 31			29 33			mA
消費電力 <sup>3</sup>	全範囲	VI	985 1083			1350 1465			mW
パワーダウン時消費電力	全範囲	V	3			3			mW
クロストーク <sup>4</sup>	全範囲	V	-95			-95			dB

<sup>1</sup> ゲイン誤差とゲイン温度係数はADCのみに基づきます(固定1.0Vの外部リファレンスおよび2Vのピークtoピーク差動アナログ入力を使用)。

<sup>2</sup> 入力容量とは1つの差動入力ピンとAGND間の有効な容量のことを指します。アナログ入力の等価回路については図4を参照。

<sup>3</sup> 消費電力は定格エンコードと2.4MHzアナログ入力=-0.5dBFSで測定。

<sup>4</sup> 最初のナイキスト・ゾーンでの仕様(Typ)

# AD9229

## AC仕様

特に指定のない限り、AVDD=3.0V、DRVDD=3.0V、最大変換レート、2V<sub>p-p</sub>差動入力、1.0V内部リファレンス、AIN=-0.5dBFS。

表2

パラメータ		温度	検査レベル	AD9229-50			AD9229-65			単位
				Min	Typ	Max	Min	Typ	Max	
信号/ノイズ比 (SNR)	f <sub>IN</sub> =2.4MHz	全範囲	IV	69.5	70.4		69.0	70.2		dB
	f <sub>IN</sub> =10.3MHz	25°C	V		70.4			70.2		dB
	f <sub>IN</sub> =25MHz	全範囲	VI	68.7	69.6					dB
	f <sub>IN</sub> =30MHz	全範囲	VI				68.0	69.5		dB
	f <sub>IN</sub> =70MHz	25°C	V		67.2			67.1		dB
信号/ノイズ+歪み比 (SINAD)	f <sub>IN</sub> =2.4MHz	全範囲	V		70.0			69.8		dB
	f <sub>IN</sub> =10.3MHz	25°C	V		70.0			69.8		dB
	f <sub>IN</sub> =25MHz	全範囲	VI	68.4	69.4					dB
	f <sub>IN</sub> =30MHz	全範囲	VI				67.3	69.0		dB
	f <sub>IN</sub> =70MHz	25°C	V		66.8			66.7		dB
有効ビット数 (ENOB)	f <sub>IN</sub> =2.4MHz	全範囲	V		11.3			11.3		ビット
	f <sub>IN</sub> =10.3MHz	25°C	V		11.3			11.3		ビット
	f <sub>IN</sub> =25MHz	全範囲	VI	11.1	11.2					ビット
	f <sub>IN</sub> =30MHz	全範囲	VI				10.9	11.2		ビット
	f <sub>IN</sub> =70MHz	25°C	V		10.8			10.8		ビット
スプリアスフリー・ダイナミック・レンジ (SFDR)	f <sub>IN</sub> =2.4MHz	全範囲	V		85			85		dBc
	f <sub>IN</sub> =10.3MHz	25°C	V		85			85		dBc
	f <sub>IN</sub> =25MHz	全範囲	VI	76	85					dBc
	f <sub>IN</sub> =30MHz	全範囲	VI				73	85		dBc
	f <sub>IN</sub> =70MHz	25°C	V		78			77		dBc
ワースト高調波 (2次または3次)	f <sub>IN</sub> =2.4MHz	全範囲	V		-85			-85		dBc
	f <sub>IN</sub> =10.3MHz	25°C	V		-85			-85		dBc
	f <sub>IN</sub> =25MHz	全範囲	VI		-85	-76				dBc
	f <sub>IN</sub> =30MHz	全範囲	VI					-85	-73	dBc
	f <sub>IN</sub> =70MHz	25°C	V		-78			-77		dBc
その他のワースト高調波 (2次または3次を除く)	f <sub>IN</sub> =2.4MHz	全範囲	V		-90			-90		dBc
	f <sub>IN</sub> =10.3MHz	25°C	V		-90			-90		dBc
	f <sub>IN</sub> =25MHz	全範囲	VI		-88	-81.7				dBc
	f <sub>IN</sub> =30MHz	全範囲	VI					-88	-79.7	dBc
	f <sub>IN</sub> =70MHz	25°C	V		-85			-83		dBc
2トーン相互変調歪み (IMD) AIN1およびAIN2=-7.0dBFS	f <sub>IN1</sub> =15MHz	25°C	V		-73			-73		dBc
	f <sub>IN2</sub> =16MHz									
	f <sub>IN1</sub> =69MHz	25°C	V		-68.5			-68.5		dBc
	f <sub>IN2</sub> =70MHz									

## デジタル仕様

特に指定のない限り、AVDD=3.0V、DRVDD=3.0V、最大変換レート、2V<sub>p-p</sub>差動入力、1.0V内部リファレンス、AIN=-0.5dBFS。

表3

パラメータ	温度	検査レベル	AD9229-50			AD9229-65			単位
			Min	Typ	Max	Min	Typ	Max	
クロック入力			TTL/CMOS			TTL/CMOS			
ロジック互換性			2.0			2.0			V
入力ハイレベル電圧	全範囲	IV	2.0			2.0			V
入力ローレベル電圧	全範囲	IV				0.8			V
入力ハイレベル電流	全範囲	VI	0.5			0.5			μA
入力ローレベル電流	全範囲	VI	±10			±10			μA
入力容量	25℃	V	2			2			pF
ロジック入力 (PDWN)			2.0			2.0			
ロジック・ハイ電圧	全範囲	IV	2.0			2.0			V
ロジック・ロー電圧	全範囲	IV				0.8			V
入力ハイレベル電流	全範囲	IV	0.5			0.5			μA
入力ローレベル電流	全範囲	IV	±10			±10			μA
入力容量	25℃	V	2			2			pF
デジタル出力 (D+, D-)			LVDS			LVDS			
ロジック互換性			260			260			mV
差動出力電圧	全範囲	VI	440			440			V
出力オフセット電圧	全範囲	VI	1.15			1.15			V
出力コーディング	全範囲	VI	1.25			1.25			
			1.35			1.35			
			オフセット・バイナリ			オフセット・バイナリ			

# AD9229

## スイッチング仕様

特に指定のない限り、AVDD=3.0V、DRVDD=3.0V、最大変換レート、2V<sub>p-p</sub>差動入力、1.0V内部リファレンス、AIN=-0.5dBFS。

表4

パラメータ	温度	検査 レベル	AD9229-50			AD9229-65			単位
			Min	Typ	Max	Min	Typ	Max	
クロック									
最大クロック・レート	全範囲	VI	50			65			MSPS
最小クロック・レート	全範囲	IV			10			10	MSPS
ハイレベルのクロック・ パルス幅 (t <sub>EH</sub> )	全範囲	VI	8	10		6.2	7.7		ns
ローレベルのクロック・ パルス幅 (t <sub>EL</sub> )	全範囲	VI	8	10		6.2	7.7		ns
出力パラメータ									
伝搬遅延 (t <sub>PD</sub> )	全範囲	VI	3.3	6.5	7.9	3.3	6.5	7.9	ns
立上がり時間 (t <sub>R</sub> ) (20~80%)	全範囲	V		250			250		ps
立下がり時間 (t <sub>F</sub> ) (20~80%)	全範囲	V		250			250		ps
FCO伝搬遅延 (t <sub>FCO</sub> )	全範囲	V		6.5			6.5		ns
DCO伝搬遅延 (t <sub>CPD</sub> )	全範囲	V		t <sub>FCO+</sub> (t <sub>SAMPLE/24</sub> )			t <sub>FCO+</sub> (t <sub>SAMPLE/24</sub> )		ns
DCOからDataまでの遅延 (t <sub>DATA</sub> )	全範囲	IV	(t <sub>SAMPLE/24</sub> ) - 250	(t <sub>SAMPLE/24</sub> ) 250	(t <sub>SAMPLE/24</sub> ) + 250	(t <sub>SAMPLE/24</sub> ) - 250	(t <sub>SAMPLE/24</sub> ) 250	(t <sub>SAMPLE/24</sub> ) + 250	ps
DCOからFCOまでの遅延 (t <sub>FRAME</sub> )	全範囲	IV	(t <sub>SAMPLE/24</sub> ) - 250	(t <sub>SAMPLE/24</sub> ) 250	(t <sub>SAMPLE/24</sub> ) + 250	(t <sub>SAMPLE/24</sub> ) - 250	(t <sub>SAMPLE/24</sub> ) 250	(t <sub>SAMPLE/24</sub> ) + 250	ps
Data間スキュー (t <sub>DATA-MAX</sub> ~ t <sub>DATA-MIN</sub> )	全範囲	IV		±100	±250		±100	±250	ps
ウェイクアップ時間	25℃	V		4			4		ms
パイプライン遅延 (レイテンシ)	全範囲	IV		10			10		クロック 周期
アパーチャ									
アパーチャ遅延 (t <sub>A</sub> )	25℃	V		1.8			1.8		ns
アパーチャ不確定性 (ジッタ)	25℃	V		<1			<1		ps rms
アウトオブレンジからの 回復時間	25℃	V		2			2		クロック 周期

## タイミング図

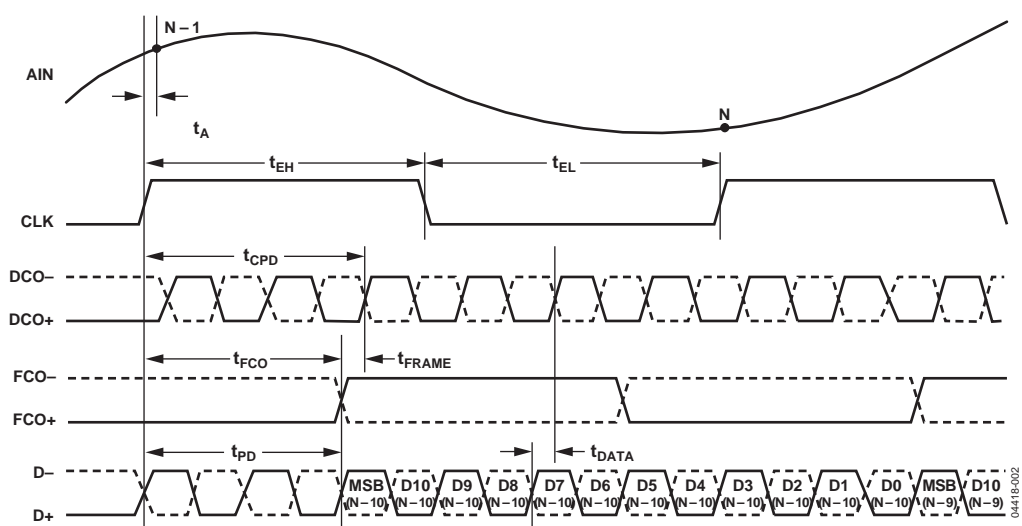


図2. タイミング図

# AD9229

## 絶対最大定格

表5

パラメータ	基準	定格
電気的特性		
AVDD	AGND	-0.3~+3.9V
DRVDD	DRGND	-0.3~+3.9V
AGND	DRGND	-0.3~+0.3V
AVDD	DRVDD	-3.9~+3.9V
デジタル出力 (D+, D-, DCO+, DCO-, FCO+, FCO-)	DRGND	-0.3V~DRVDD
LVDS バイアス	DRGND	-0.3V~DRVDD
CLK	AGND	-0.3V~AVDD
VIN+, VIN-	AGND	-0.3V~AVDD
PDWN, DTP	AGND	-0.3V~AVDD
REFT, REFB	AGND	-0.3V~AVDD
VREF, SENSE	AGND	-0.3V~AVDD
環境特性		
動作温度範囲 (周囲)		-40~+85°C
最大ジャンクション温度		150°C
リード温度 (ハンダ処理10秒)		300°C
保存温度範囲 (周囲)		-65~+150°C
熱抵抗 <sup>1</sup>		25°C/W

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。1つのパラメータでも絶対最大定格を超えるとデバイスに影響を与えます。

### 検査レベルの説明

- I. 出荷前に全数検査を実施
- II. 出荷前に25°Cで全数検査、さらに設計および仕様温度での特性評価により保証
- III. 抜取り検査のみを実施
- IV. 設計および特性評価テストでパラメータを保証
- V. パラメータは代表値のみ
- VI. 出荷前に25°Cで全数検査を実施。工業用温度範囲においては設計および特性評価テストにより保証。

<sup>1</sup> 4層PCボードのしっかりしたグラウンド・プレーンを自然空冷した場合の  $\theta_{JA}$ 。

### 注意

ESD (静電放電) の影響を受けやすいデバイスです。人体や試験機器には4,000Vもの高圧の静電気が容易に蓄積され、検知されなまま放電されることがあります。本製品は当社独自のESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣下や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。





## ピン配置および機能の説明

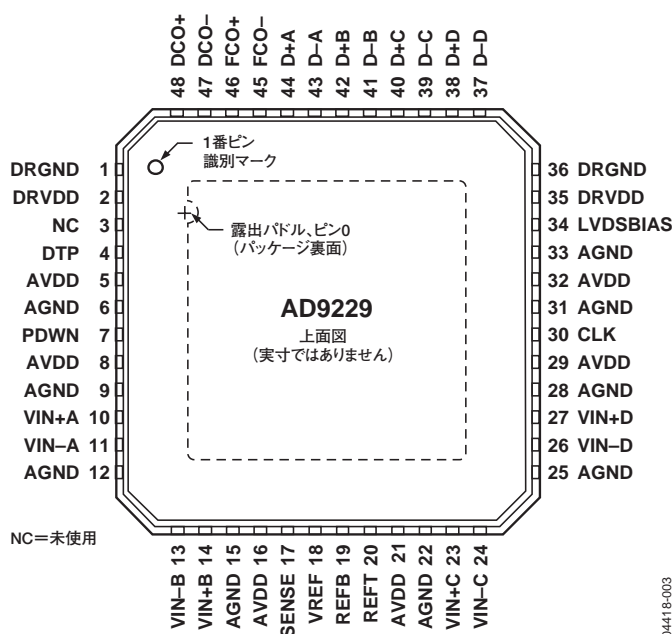


図3. LFCSPの上面図

表6. ピン機能の説明

ピン番号	記号	説明	ピン番号	記号	説明
5、8、16、21、29、32	ADV V	アナログ電源	26	VIN-D	ADC Dチャンネル差動アナログ入力の一側
6、9、12、15、22、25、28、31、33	AGND	アナログ・グラウンド	27	VIN+D	ADC Dチャンネル差動アナログ入力の一側
2、35	DRVDD	デジタル出力電源	30	CLK	入力クロック
1、36	DRGND	デジタル・グラウンド	34	LVDSBIAS	LVDS出力電流設定抵抗ピン
0	AGND	露出パドル／サーマル・ヒート・スラグ (パッケージ裏面)	37	D-D	ADC Dチャンネル差動デジタル出力の一側
3	NC	未使用	38	D+D	ADC Dチャンネル差動デジタル出力の一側
4	DTP	デジタル・テスト・パターン・イネーブル	39	D-C	ADC Cチャンネル差動デジタル出力の一側
7	PDWN	パワーダウン・セレクト (AVDD=パワーダウン)	40	D+C	ADC Cチャンネル差動デジタル出力の一側
10	VIN+A	ADC Aチャンネル差動アナログ入力の一側	41	D-B	ADC Bチャンネル差動デジタル出力の一側
11	VIN-A	ADC Aチャンネル差動アナログ入力の一側	42	D+B	ADC Bチャンネル差動デジタル出力の一側
13	VIN-B	ADC Bチャンネル差動アナログ入力の一側	43	D-A	ADC Aチャンネル差動デジタル出力の一側
14	VIN+B	ADC Bチャンネル差動アナログ入力の一側	44	D+A	ADC Aチャンネル差動デジタル出力の一側
17	SENSE	リファレンス・モード・セレクト	45	FCO-	フレーム・クロック・インジケータ出力の一側
18	VREF	電圧リファレンスの入出力	46	FCO+	フレーム・クロック・インジケータ出力の一側
19	REFB	差動リファレンス(下側)	47	DCO-	データ・クロック出力の一側
20	REFT	差動リファレンス(上側)	48	DCO+	データ・クロック出力の一側
23	VIN+C	ADC Cチャンネル差動アナログ入力の一側			
24	VIN-C	ADC Cチャンネル差動アナログ入力の一側			

## 等価回路

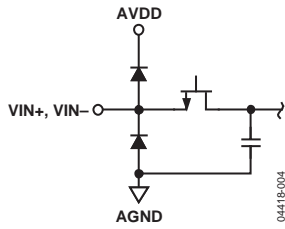


図4. アナログ入力の等価回路

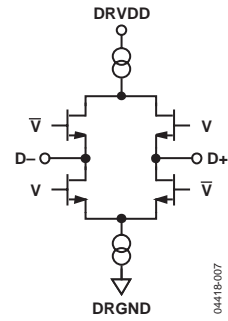


図7. デジタル出力の等価回路

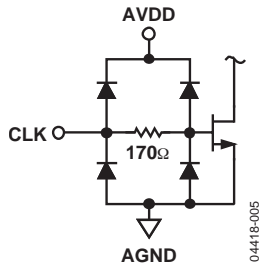


図5. クロック入力の等価回路

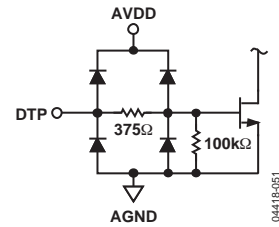


図8. DTP入力の等価回路

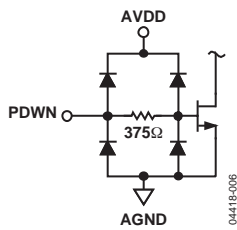


図6. デジタル入力の等価回路

## 代表的な性能特性

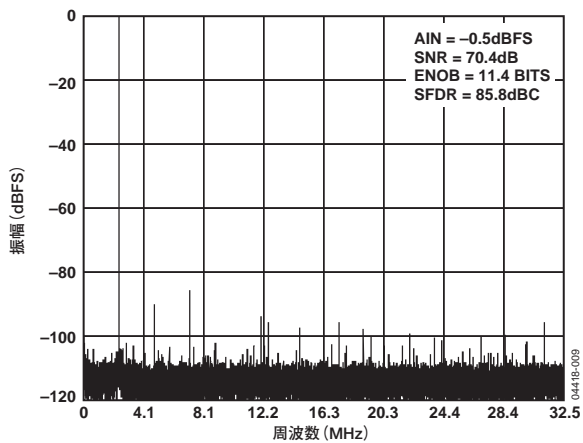


図9. シングルトーン32k FFT ( $f_{IN} = 2.4\text{MHz}$ ,  $f_{SAMPLE} = 65\text{MSPS}$ )

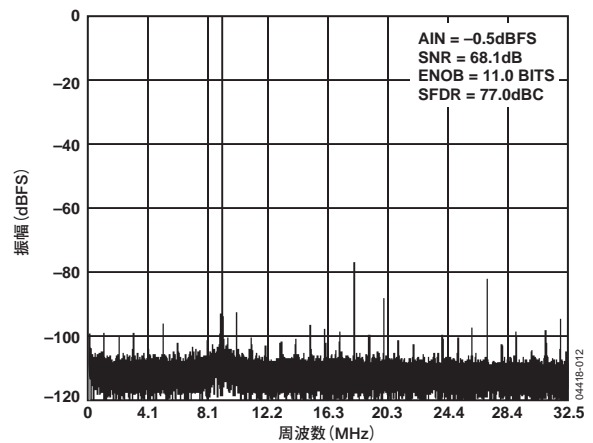


図12. シングルトーン32k FFT ( $f_{IN} = 120\text{MHz}$ ,  $f_{SAMPLE} = 65\text{MSPS}$ )

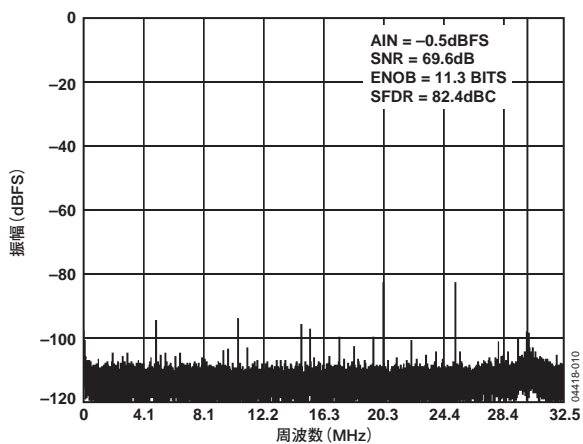


図10. シングルトーン32k FFT ( $f_{IN} = 30\text{MHz}$ ,  $f_{SAMPLE} = 65\text{MSPS}$ )

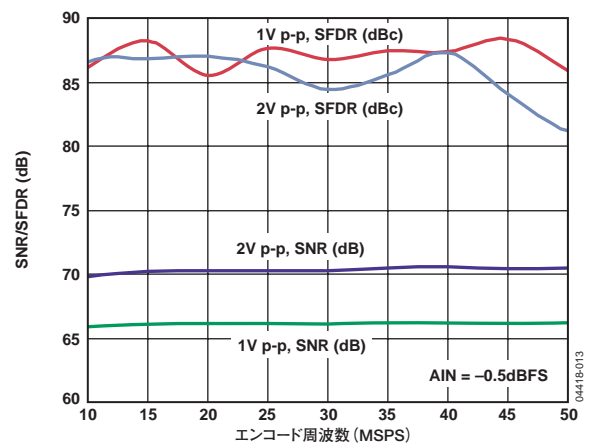


図13. エンコード周波数 対 SNR/SFDR ( $f_{IN} = 10.3\text{MHz}$ , AD9229-50)

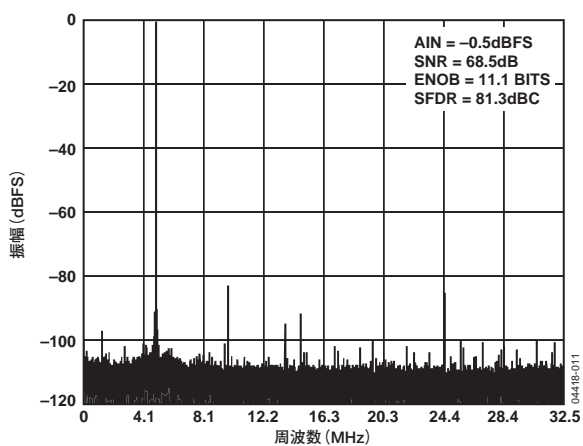


図11. シングルトーン32k FFT ( $f_{IN} = 70\text{MHz}$ ,  $f_{SAMPLE} = 65\text{MSPS}$ )

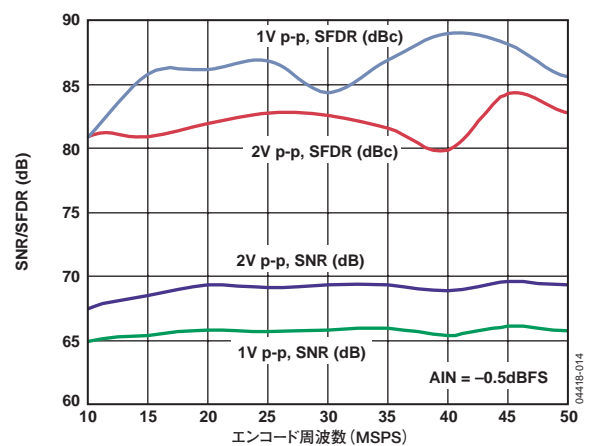


図14. エンコード周波数 対 SNR/SFDR ( $f_{IN} = 25\text{MHz}$ , AD9229-50)

# AD9229

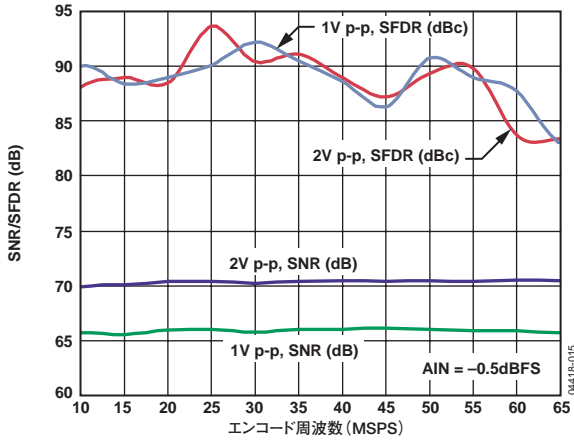


図15. エンコード周波数 対 SNR/SFDR  
( $f_{IN} = 10.3\text{MHz}$ , AD9229-65)

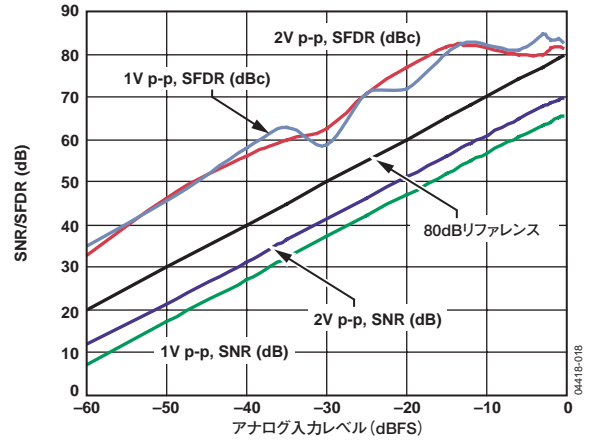


図18. アナログ入力レベル 対 SNR/SFDR  
( $f_{IN} = 25\text{MHz}$ ,  $f_{SAMPLE} = 50\text{MSPS}$ )

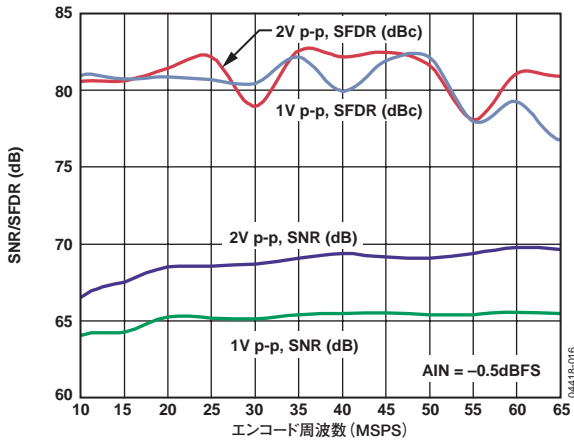


図16. エンコード周波数 対 SNR/SFDR  
( $f_{IN} = 30\text{MHz}$ , AD9229-65)

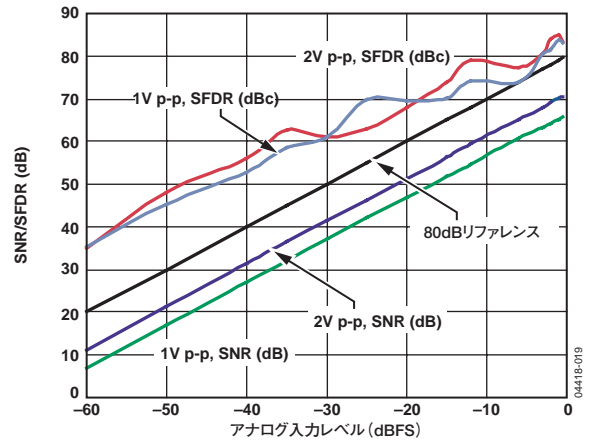


図19. アナログ入力レベル 対 SNR/SFDR  
( $f_{IN} = 10.3\text{MHz}$ ,  $f_{SAMPLE} = 65\text{MSPS}$ )

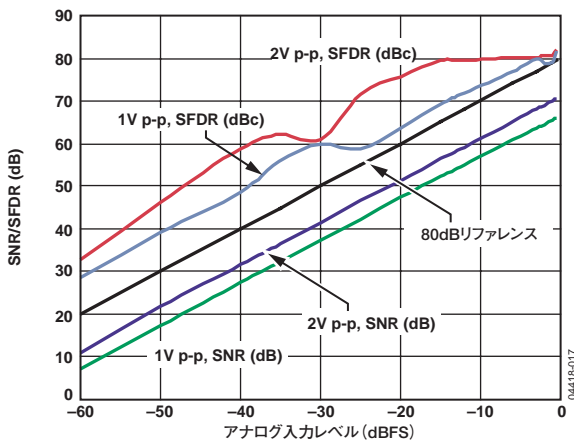


図17. アナログ入力レベル 対 SNR/SFDR  
( $f_{IN} = 10.3\text{MHz}$ ,  $f_{SAMPLE} = 50\text{MSPS}$ )

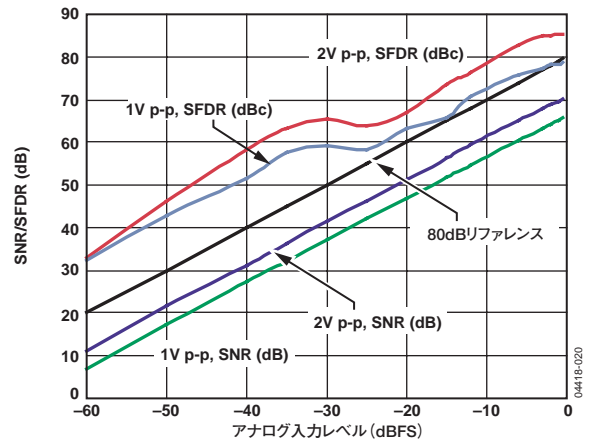


図20. アナログ入力レベル 対 SNR/SFDR  
( $f_{IN} = 30\text{MHz}$ ,  $f_{SAMPLE} = 65\text{MSPS}$ )

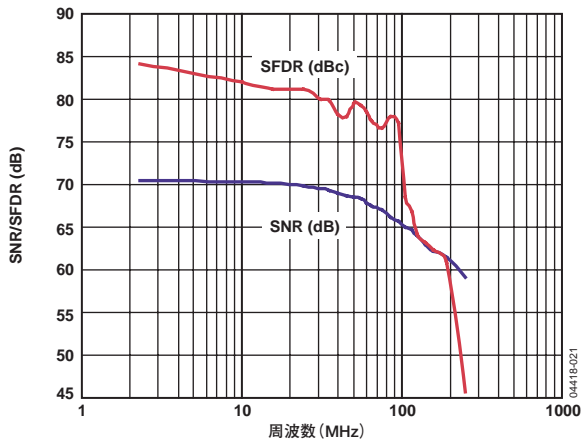


図21. 入力周波数 対 SNR/SFDR(  $f_{\text{SAMPLE}} = 65\text{MHz}$  )

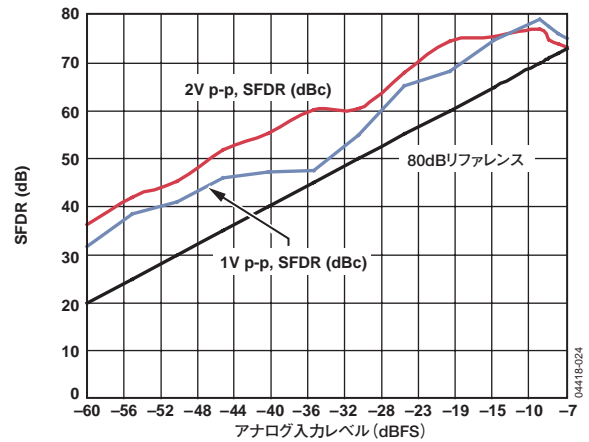


図24. アナログ入力レベル 対 2トーンSFDR(  $f_{\text{IN1}} = 15\text{MHz}$ および  $f_{\text{IN2}} = 16\text{MHz}$ ,  $f_{\text{SAMPLE}} = 65\text{MSPS}$  )

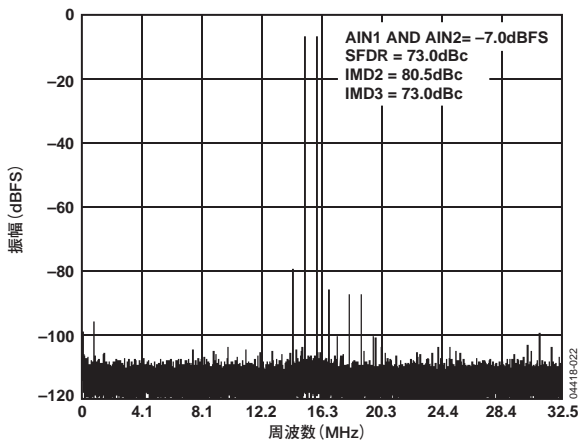


図22. 2トーン32k FFT (  $f_{\text{IN1}} = 15\text{MHz}$ および  $f_{\text{IN2}} = 16\text{MHz}$ ,  $f_{\text{SAMPLE}} = 65\text{MSPS}$  )

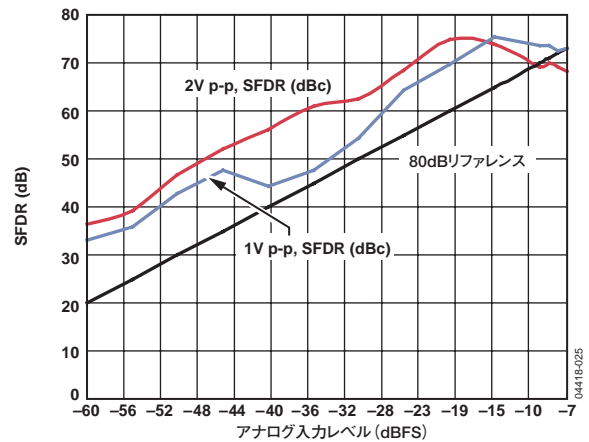


図25. アナログ入力レベル 対 2トーンSFDR(  $f_{\text{IN1}} = 69\text{MHz}$ および  $f_{\text{IN2}} = 70\text{MHz}$ ,  $f_{\text{SAMPLE}} = 65\text{MSPS}$  )

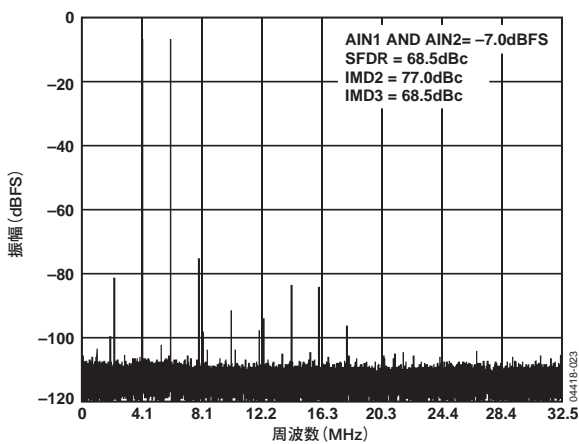


図23. 2トーン32k FFT(  $f_{\text{IN1}} = 69\text{MHz}$ および  $f_{\text{IN2}} = 70\text{MHz}$ ,  $f_{\text{SAMPLE}} = 65\text{MSPS}$  )

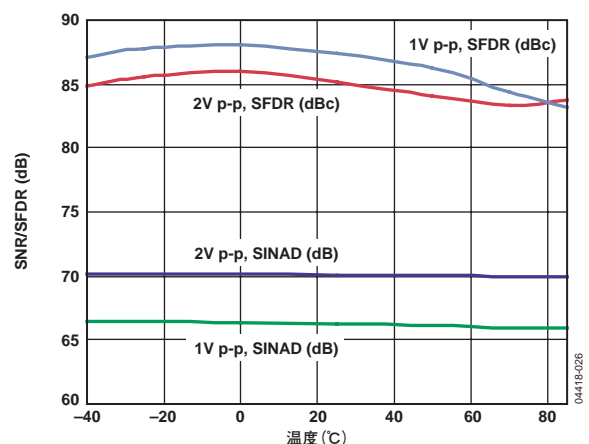


図26. SINAD/SFDRの温度特性(  $f_{\text{IN}} = 10.3\text{MHz}$ ,  $f_{\text{SAMPLE}} = 65\text{MSPS}$  )

# AD9229

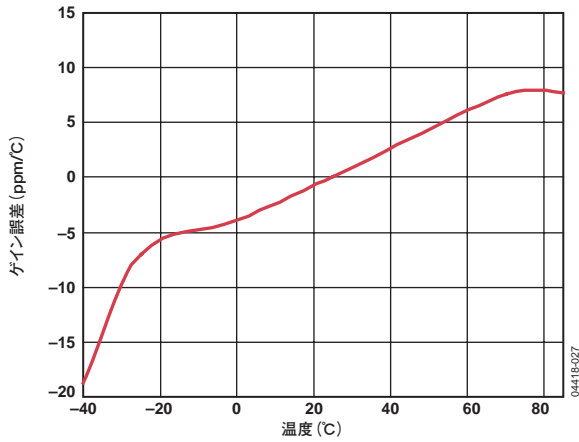


図27. ゲイン誤差の温度特性

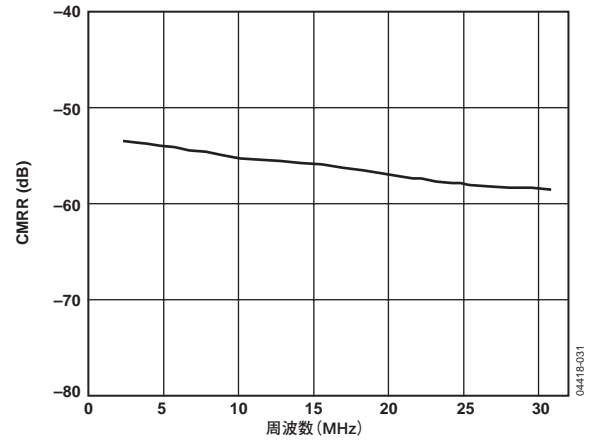


図30. CMRRの周波数特性( $f_{\text{SAMPLE}} = 65\text{MSPS}$ )

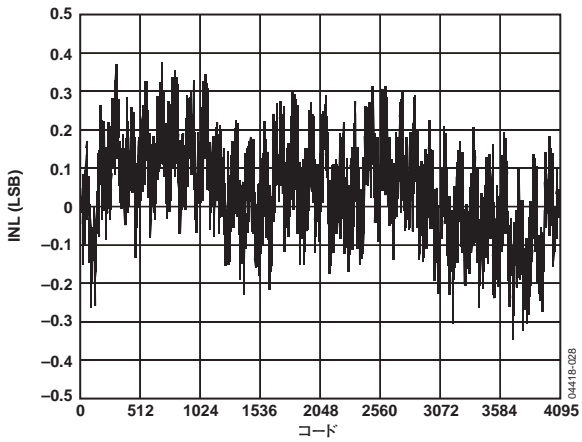


図28. 代表的なINL( $f_{\text{IN}} = 2.4\text{MHz}$ ,  $f_{\text{SAMPLE}} = 65\text{MSPS}$ )

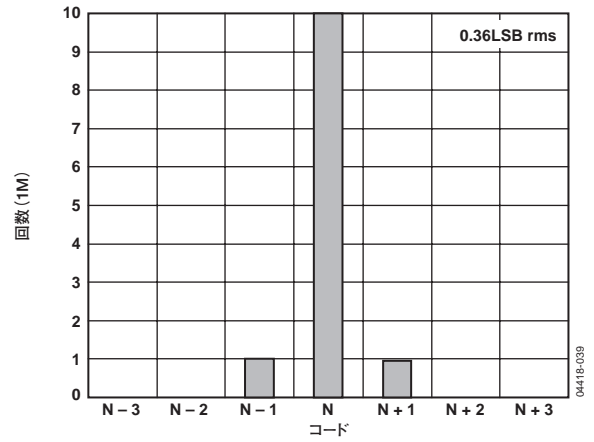


図31. 入力換算ノイズ・ヒストグラム( $f_{\text{SAMPLE}} = 65\text{MSPS}$ )

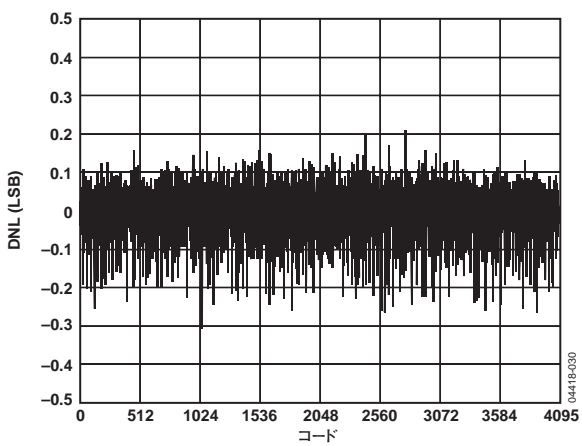


図29. 代表的なDNL( $f_{\text{IN}} = 2.4\text{MHz}$ ,  $f_{\text{SAMPLE}} = 65\text{MSPS}$ )

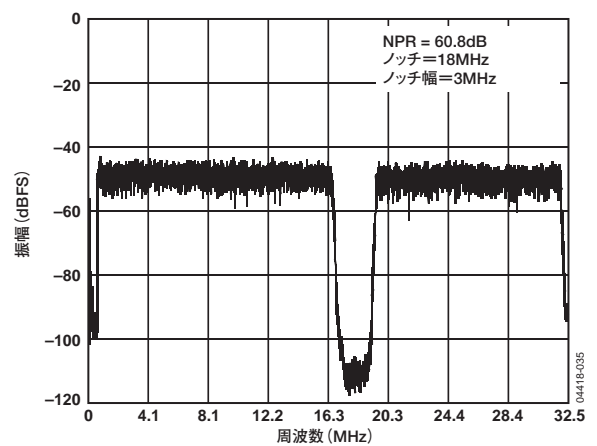


図32. ノイズ・パワー比(NPR)( $f_{\text{SAMPLE}} = 65\text{MSPS}$ )

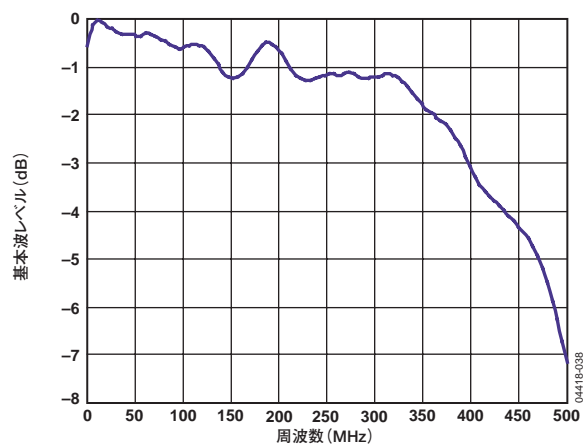


図33. フルパワー帯域幅の周波数特性(  $f_{\text{SAMPLE}} = 65\text{MSPS}$  )

## 用語の説明

### アナログ帯域幅

アナログ帯域幅は、基本周波数 (FFT解析により決定) のスペクトラル・パワーがフルスケールから3dB低下したときのアナログ入力周波数。

### アパーチャ遅延

アパーチャ遅延はサンプル&ホールド・アンプ (SHA) の性能を表し、クロック入力の立上がりエッジ (50%ポイント) から入力信号が変換用にはールドされるまでの時間として測定されます。

### アパーチャ不確定性 (ジッタ)

アパーチャ・ジッタは連続サンプルでのアパーチャ遅延の変動であり、ADC入力での周波数に依存するノイズとして扱うことができます。

### クロック・パルス幅とデューティサイクル

ハイレベル・パルス幅は、定格性能を達成するために、クロック・パルスがロジック「1」状態を維持する必要がある最小時間幅です。ローレベル・パルス幅は、クロック・パルスがローレベル状態を維持する必要がある最小時間幅です。一定のクロック・レートで、これらの仕様が許容クロック・デューティサイクルを決定します。

### 同相ノイズ除去比 (CMRR)

CMRRは、同相信号が入力されたときの差動アナログ入力での減衰量として定義されます。一般に、 $20 \log$  (差動ゲイン/コモン・モード・ゲイン) で表されます。

### クロストーク

クロストークは、1チャンネルのみ静止させ他の全チャンネルをフルスケール信号で駆動しているときに静止チャンネルへ混入するノイズの大きさと定義されます。

### 差動アナログ入力電圧範囲

フルスケール応答を発生させるために、コンバータに入力するピークtoピークの差動電圧。ピーク差動電圧は、差動の片側ピンの電圧から、そのピンと180度位相がずれている差動のもう一方のピンの電圧を減算することにより求めることができます。

### 微分非直線性 (DNL、ノー・ミスコード)

理想的なADCでは、各コード遷移は1 LSBだけ離れた位置で発生します。DNLとは、この理想値からの最大偏差をいいます。ノー・ミスコードでnビット分解能を保証するとは、全動作範囲で $2^n$ コードすべてが出力されることを表します。

### 有効ビット数 (ENOB)

正弦波に対して、SINADはビット数で表されます。次式を使って、有効ビット数Nで表した性能を求めることができます。

$$N = (\text{SINAD} - 1.76) / 6.02$$

### フルパワー帯域幅

フルパワー帯域幅は、測定周波数に対するアナログ・フロントエンド入力の-3dBポイントで測定されます。

### ゲイン誤差

最大ゲイン誤差が既定されており、フルスケール入力電圧範囲の理論値と実測値の差を表します。

### ゲイン・マッチング

%FSRで表されます。次式で計算します。

$$\text{ゲイン・マッチング} = \frac{FSR_{\max} - FSR_{\min}}{\left( \frac{FSR_{\max} + FSR_{\min}}{2} \right)} \times 100\%$$

ここで、FSR<sub>MAX</sub>はADCの正側に生じる最も大きなゲイン誤差、FSR<sub>MIN</sub>はADCの負側に生じる最も大きなゲイン誤差。

### 入力換算ノイズ

入力換算ノイズは、ADCコアにより発生したワイドバンド・ノイズの大きさを意味します。出力コードのヒストグラムは、ADC入力にDC信号を加えて作成します。入力換算ノイズはヒストグラムの標準偏差を使って計算し、LSB rmsで表します。

### 積分非直線性 (INL)

INLは、負側のフルスケールと正側のフルスケールを結ぶ直線と実際のコード出力との誤差として定義されます。負側フルスケールとして使用されるポイントは、最初のコード遷移より1/2 LSBだけ下に存在します。正側フルスケールは、最後のコード遷移より1+1/2 LSBだけ上のレベルと定義されます。偏差は各コードの中央の位置と直線の間の距離として測定されます。

### ノイズ・パワー比 (NPR)

NPRは、ADCに混入するフルスケールrmsノイズ・パワーと注目する帯域の減衰量 (ノッチの深さの測定値) との比を表します。

### オフセット誤差

最大オフセット誤差が規定されており、出力でミッドスケール・コードを発生するアナログ入力電圧の理論値と実測値の差を表します。

### オフセット・マッチング

mVで表されます。次式で計算します。

$$\text{オフセット・マッチング} = \text{OFF}_{\max} - \text{OFF}_{\min}$$

ここで、OFF<sub>MAX</sub>は正側の最も大きなオフセット誤差、OFF<sub>MIN</sub>は負側の最も大きなオフセット誤差。



**アウトオブレンジからの回復時間**

アウトオブレンジからの回復時間とは、正側フルスケールの10%上から負側フルスケールの10%上までの遷移の後、または負側フルスケールの10%下から正側フルスケールの10%下までの遷移の後に、ADCがアナログ入力を再度取り込むために要する時間をいいます。

**出力伝搬遅延**

クロック・ロジックのスレッシュホールドから全ビットが有効ロジック・レベルになるまでの遅延。

**2次および3次高調波歪み**

2次または3次高調波成分のrms値に対する信号振幅rms値の比で、dBcで表します。

**信号／ノイズ+歪み比(SINAD)**

SINADは、測定した入力信号rms値の、ナイキスト周波数より下の全スペクトル成分のrms値総和(DC以外の高調波を含む)に対する比です。SINADは、dB値で表します。

**信号／ノイズ比(S/N比、SNR)**

SNRは、測定した入力信号rms値の、ナイキスト周波数より下の全スペクトル成分のrms値総和(6次までの高調波成分とDC成分を除く)に対する比です。SNRは、dB値で表します。

**スプリアスフリー・ダイナミック・レンジ(SFDR)**

入力信号のrms振幅値とピーク・スプリアス信号との差をいい、dB値で表します。

**温度ドリフト**

オフセット誤差とゲイン誤差の温度ドリフトは、初期値(25°C)からT<sub>MIN</sub>またはT<sub>MAX</sub>における値までの最大変化を規定します。

**2トーンSFDR**

いずれかの入力周波のrms値の、ピーク・スプリアス成分のrms値に対する比。ピーク・スプリアス成分は、IMDから派生する場合とそうでない場合があります。仕様として、入力信号レベルとの比であるdBcまたはコンバータの入力フルスケールに換算したレベルとの比dBFSで記載されます。

## 動作原理

AD9229アーキテクチャは、フロントエンドのスイッチド・キャパシタ型サンプル&ホールド・アンプ(SHA)と、それに続くパイプライン型ADCから構成されています。パイプライン型ADCは、最初の4ビット段、それに続く8個の1.5ビット段、最後の3ビット・フラッシュの3つのセクションに分けられます。各段は、前段のフラッシュ誤差を訂正するように十分重複するようになっています。各段からの量子化出力がデジタル補正ロジック内で最終的に12ビットに結合されます。パイプライン型アーキテクチャにより、新しい入力サンプルに対して最初の段が動作すると同時に、残りの段は先行しているサンプルに対して動作することができます。サンプリングはクロックの立上がりエッジで行われます。

最終段以外のパイプラインの各段は、スイッチド・キャパシタDACに接続された低分解能のフラッシュADCと段間残留アンプ(MDAC)により構成されています。この残留アンプは、再生されたDAC出力とパイプライン内の次の段に対するフラッシュ入力との差を増幅します。各段では冗長な1ビットを使って、フラッシュ誤差のデジタル補正を行います。最終段はフラッシュADCのみで構成されています。

入力段には差動SHAが含まれており、差動モードまたはシングルエンド・モードでACカップリングまたはDCカップリングに設定できます。出力段のブロックで、データのアライメント、誤差補正、出力バッファへのデータの出力が行われます。その後、データはシリアル化され、フレーム・クロックと出力クロックに同期化されます。

## アナログ入力に対する考慮

AD9229のアナログ入力は、差動のスイッチド・キャパシタSHAになっています。このSHAは、差動入力信号を処理する際に最適性能が得られるように設計されています。SHA入力は広いコモン・モード範囲をサポートできるため、優れた性能を維持できます。電源電圧の1/2の電圧を入力信号のコモン・モード電圧にすることで信号依存誤差を最小化し、最適性能を提供します。

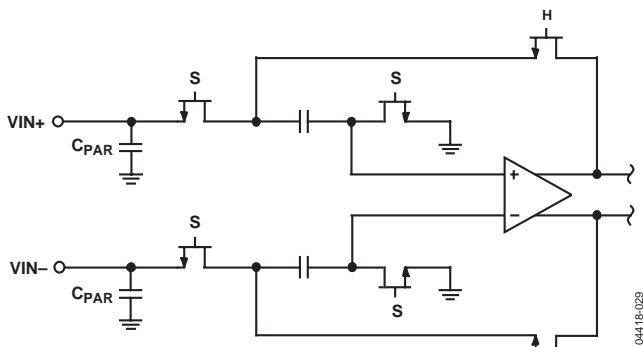


図34. スイッチド・キャパシタSHAの入力

クロック信号により、SHAはサンプル・モードとホールド・モードの間で交互に切り替えられます(図34)。SHAがサンプル・モードに切り替えられると、信号源はサンプル・コンデンサを充電し、クロック・サイクルの1/2以内に安定する必要があります。各入力に小さい抵抗を直列に接続する

と、駆動源側の出力段に必要とされるピーク過渡電流を減少させることができます。また、入力間に小さいコンデンサをシャント接続すると、動的な充電電流を供給できます。この受動回路はADC入力でのローパス・フィルタを構成するため、コンデンサの正確な値はアプリケーションに依存します。

AD9229のアナログ入力は内部でDCバイアスされていません。ACカップリングのアプリケーションでは、ユーザが外部からこのバイアスを与える必要があります。最適性能のためには、 $V_{CM} = AVDD/2$ となるように設定してください。そうすることによって、デバイスは最も広い範囲で適切な性能で機能します(図35と図36参照)。

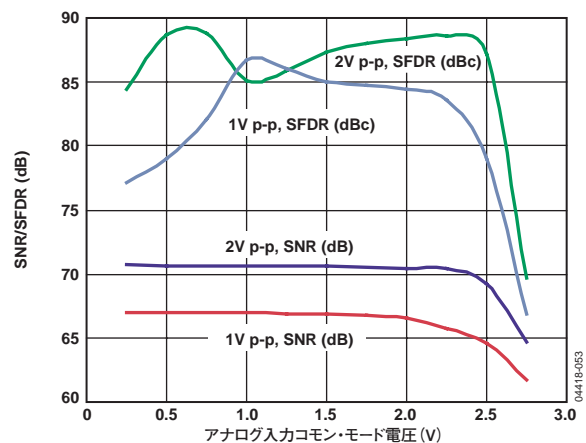


図35. コモン・モード電圧対 SNR, SFDR ( $f_{IN} = 2.4\text{MHz}$ ,  $f_{SAMPLE} = 65\text{MSPS}$ )

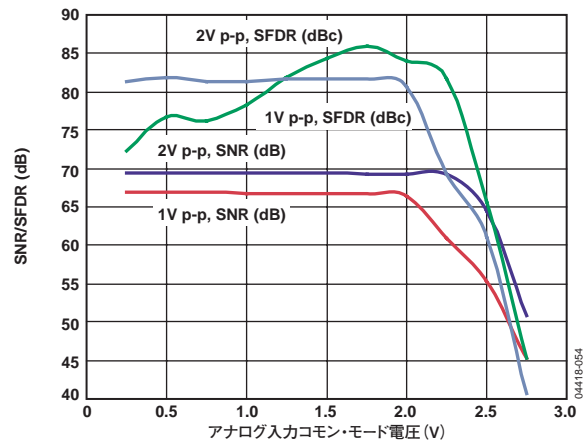


図36. コモン・モード電圧対 SNR, SFDR ( $f_{IN} = 30\text{MHz}$ ,  $f_{SAMPLE} = 65\text{MSPS}$ )

最適な動的性能を得るためには、コモン・モードのセトリング誤差が対称になるように、VIN+とVIN-を駆動するソース・インピーダンスを一致させる必要があります。これによって、これらの誤差はADCの同相ノイズ除去によって軽減されます。

内部リファレンス・バッファは正側と負側のリファレンス電圧(それぞれ REFTとREFB)を発生し、これらの電圧がADCコアのスパンを決定します。リファレンス・バッファの出力コモン・モードは電源電圧の1/2に設定され、REFT電圧、REFB電圧、スパンは次のように決定されます。

$$REFT = 1/2 (AVDD + VREF)$$

$$REFB = 1/2 (AVDD - VREF)$$

$$\text{スパン} = 2 \times (REFT - REFB) = 2 \times VREF$$

REFT電圧とREFB電圧は電源電圧の中央値に対して対称であり、定義により、入力スパンはVREF電圧値の2倍であることが、上の式からわかります。

内部電圧リファレンスは固定値0.5Vまたは1.0Vにピンで接続するか、あるいは「内部リファレンス接続」の項で説明する範囲内に調整することができます。最大のSNR性能は、AD9229を最大入力スパン2V p-pに設定したときに得られます。

SHAは、選択されたリファレンス電圧に対する許容範囲内に信号ピークを維持する信号源から駆動できます。最小および最大のコモン・モード入力レベルは図35と図36で規定されます。

### 差動入力構成

最適性能は、AD9229を差動入力構成で駆動したときに得られます。超音波アプリケーションに対しては、AD8332差動ドライバが優れた性能とADCに対する柔軟なインターフェースを提供します(図37)。

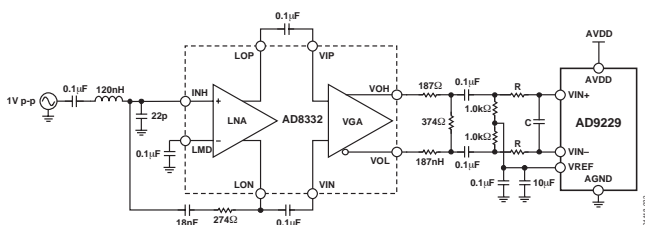


図37. AD8332を使用した差動入力の構成

ただし、AD9229の真の性能を得るためには、大部分のアンプのノイズ性能では不十分です。SNRが重要なパラメータとなるこれらのアプリケーションに対しては、入力構成に差動トランス・カップリングを使用することを推奨します。この例を図38に示します。

どの構成でも、シャント・コンデンサCの値は入力周波数に依存するため、小さくするか、削除する必要があります。

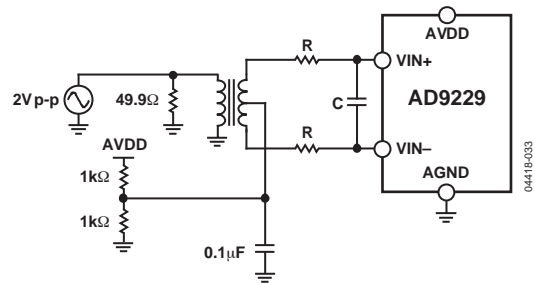


図38. 差動トランス・カップリングの構成

### シングルエンド入力構成

価格に厳しいアプリケーションでは、シングルエンド入力で妥当な性能を得ることが可能です。この構成では、入力コモン・モード振幅が大きいためSFDR性能と歪み性能が低下します。ただし、各入力のソース・インピーダンスを一致させると、SNR性能に対する影響はほとんどなくなるはずですが。図39に、代表的なシングルエンド入力構成を示します。

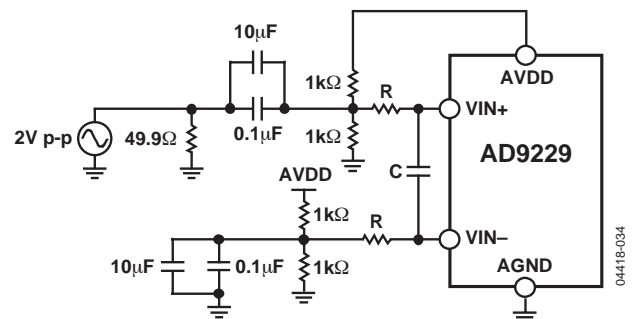


図39. シングルエンド入力構成

### クロック入力の考慮事項

代表的な高速ADCでは両クロック・エッジを使って、さまざまな内部タイミング信号を発生しているため、クロックのデューティサイクルの影響を大きく受けます。一般に、動的性能特性を維持するためにはクロック・デューティサイクルの許容偏差を10%以内にする必要があります。AD9229は、非サンプリング・エッジの再タイミングを行って、公称50%のデューティサイクルを持つ内部クロック信号を発生するクロック・デューティサイクル・スタビライザを内蔵しています。この回路により、比較的広い範囲のデューティサイクルを持つクロックを用いても、AD9229の性能にそれほど影響を与えずに動作させることができます。

内蔵の位相ロック・ループ(PLL)により入力クロック・レートを通倍し、シリアル・データ出力のシフトに使用します。PLLの安定性基準により、ADCの最小サンプル・クロック・レートは10MSPSに制限されています。入力クロックが定常状態にある場合、サンプリング・レートが急に変わると、アウトオブロックの状態が発生して、DCO、FCO、データ出力の各ピンの出力が無効になります。

# AD9229

高速で高分解能ADCは、クロック入力の品質に敏感です。一定のフルスケール入力周波数( $f_A$ )での、アパーチャ・ジッタ( $t_A$ )のみに起因するSNRの低下は、次式で計算されます。

$$\text{SNRの低下} = 20 \times \log_{10} [1/2 \times \pi \times f_A \times t_A]$$

この式で、rmsアパーチャ・ジッタ $t_A$ は、クロック入力、アナログ入力信号、ADCアパーチャ・ジッタ仕様を含む全ジッタ源の2乗和平方根を表します。アンダーサンプリングを必要とするアプリケーションでは、特にジッタに敏感となります。

アパーチャ・ジッタがAD9229のダイナミック・レンジに影響を与えるケースでは、クロック入力はアナログ信号として扱う必要があります。クロック・ドライバの電源はADC出力ドライバの電源と分離し、クロック信号がデジタル・ノイズから変調を受けないようにする必要があります。低ジッタのクリスタル制御オシレータは最適なクロック源です。クロックが別のクロック源(ゲーティング、分周、またはその他の方法)から生成される場合、最終ステップで元のクロックを使って再タイミングする必要があります。

## 消費電力とパワーダウン・モード

図40と図41に示すように、AD9229の消費電力はサンプル・レートに比例します。デジタル消費電力は主にDRVDD電源とLVDS出力ドライバのバイアス電流で決まるため、あまり変わりません。

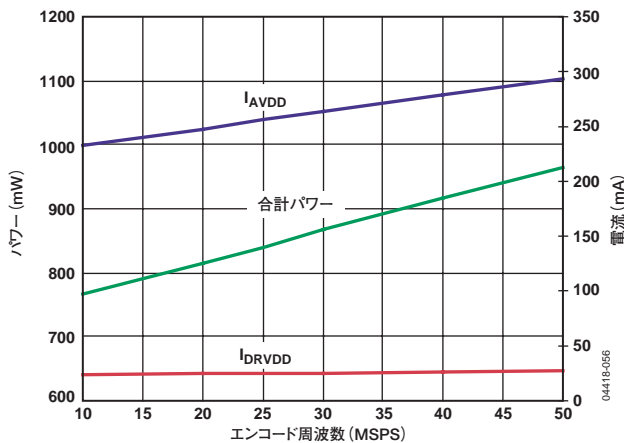


図40. エンコード周波数 対 電源電流( $f_{IN} = 10.3\text{MHz}$ , AD9229-50)

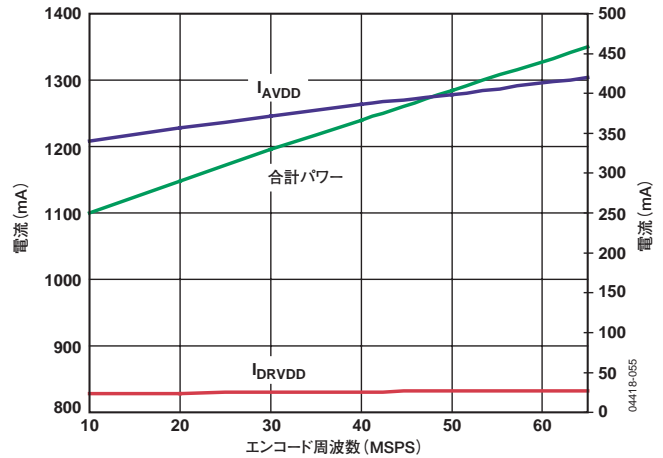


図41. エンコード周波数 対 電源電流( $f_{IN} = 10.3\text{MHz}$ , AD9229-65)

PDWNピンをハイレベルにすると、AD9229はパワーダウン・モードになります。この状態では、ADCの消費電力は3mW (typ)になります。パワーダウン時は、LVDS出力ドライバは高インピーダンス状態になります。PDWNピンをローレベルにすると、AD9229は通常動作モードに戻ります。

パワーダウン・モード時の低消費電力は、リファレンス、リファレンス・バッファ、PLL、バイアス回路をシャットダウンすることにより達成されています。スタンバイ・モードに入ると、REFTとREFBに接続されているデカップリング・コンデンサが放電するため、通常動作モードに戻るときには再充電する必要があります。このため、ウェイクアップ時間はパワーダウン・モードに留まる時間に関係し、サイクルが短いと、それに比例してウェイクアップ時間も短くなります。REFTとREFBに0.1  $\mu\text{F}$ と10  $\mu\text{F}$ の推奨デカップリング・コンデンサを接続した場合、リファレンス・バッファのデカップリング・コンデンサを完全に放電させるためには約1s必要で、動作の完全な回復には4ms必要になります。

## デジタル出力

AD9229の差動出力はANSI-644 LVDS規格に準拠しています。LVDSバイアス電流を設定するときは、グラウンドとLVDSBIASピンとの間に抵抗(RSETの公称値は4.0k $\Omega$ )を接続します。RSET抵抗の電流は内部的に得られ、各出力での出力電流を3.5mA (公称値)に設定します。LVDSレシーバ入力に接続される100 $\Omega$ の差動終端抵抗は、レシーバ側で350mV (公称)の振幅を発生させます。差動信号振幅を調整するときは、表7のように抵抗値を変えるだけで済みます。

表7. LVDSBIASピンの設定

RSET	差動出力振幅
3.7k $\Omega$	375mVp-p
4.0k $\Omega$ (デフォルト)	350mVp-p
4.3k $\Omega$	325mVp-p

AD9229のLVDS出力は、ノイズの多い環境で優れたスイッチング性能を得るためにLVDS機能を持っているカスタムASICやFPGA内にあるLVDSレシーバとのインターフェースを可能にします。100Ωの終端抵抗をできるだけレシーバの近くに接続した1対1回路の使用を推奨します。パターン長を12インチ以下に抑え、差動出力パターンを同じ長さで互いに近く配置することを推奨します。

出力データのフォーマットはオフセット・バイナリです。出力コーディング・フォーマットの例を表8に示します。

表8. デジタル出力のコーディング

コード	(VIN+)-(VIN-), 入力スパン= 2Vp-p(V)	(VIN+)-(VIN-), 入力スパン= 1Vp-p(V)	デジタル出力 オフセット・ バイナリ (D11...D0)
4095	1.000	0.500	1111 1111 1111
2048	0	0	1000 0000 0000
2047	-0.000488	-0.000244	0111 1111 1111
0	-1.00	-0.5000	0000 0000 0000

## タイミング

各ADCからのデータはシリアル化されて別々のチャンネルから出力されます。各シリアル・ストリームのデータレートは等しく12ビット×サンプル・クロック・レートで、最大780 bps (12ビット×65MSPS=780 bps)です。最小変換レートは10MSPS (typ)です。

AD9229からのデータのキャプチャに役立てるため、2個の出力クロックが用意されています。DCOは出力データのクロックとして使われ、サンプリング・クロック(CLK)レートの6倍です。データはAD9229からクロック駆動により出力され、ダブル・データ・レート(DDR)でのキャプチャをサポートするDCOの立上がりエッジと立下がりエッジでキャプチャすることができます。フレーム・クロック出力(FCO)は新しい出力バイトの開始を知らせるために使われ、サンプリング・クロック・レートと等しいレートです。詳細については、図2のタイミング図を参照してください。

## DTPピン

デジタル・テスト・パターン(DTP)ピンは、表9に示す2種類のテスト・パターンのイネーブルに使用します。DTPをAVDD/3に接続すると、すべてのADCチャンネル出力はパターン1000 0000 0000を出力します。DTPを2×AVDD/3に接続すると、全ADCチャンネルはパターン1010 1010 1010を出力します。FCO出力とDCO出力は、全チャンネルがテスト・パターンを出力中でも、通常通りに機能します。このパターンを使うと、FCO、DCO、出力データの間のタイミング・アライメントを行うことができます。通常動作モードでは、このピンをAGNDに接続しておく必要があります。

表9. DTP(デジタル・テスト・パターン)ピンの設定

選択するDTP	DTP電圧	D+とD-の出力	FCOとDCOの出力
通常動作	AGND	通常動作	通常動作
DTP1	AVDD/3	1000 0000 0000	通常動作
DTP2	2×AVDD/3	1010 1010 1010	通常動作
制限	AVDD	—	—

## 電圧リファレンス

AD9229には、安定かつ正確な0.5V電圧リファレンスが内蔵されています。入力範囲は、内部リファレンス電圧または外部リファレンス電圧を使い、AD9229に輸入するリファレンス電圧を変化させることにより調節できます。ADCの入力スパンは、リファレンス電圧の変化に比例して変わります。

デカップリング・コンデンサをVREF、REFT、REFBの各ピンに接続するときは、セラミックの低ESRコンデンサを使用してください。これらのコンデンサは、AD9229と同じPCボードのレイヤのADCピンの近くに配置する必要があります。AD9229リファレンス・ピンに推奨するコンデンサの値と構成を図42と図43に示します。

表10. リファレンスの設定

選択するモード	SENSE電圧	VREF(V)	差動スパン (Vp-p)
外部リファレンス	AVDD	—	2×外部リファレンス
内部、1Vp-p FSR	VREF	0.5	1.0
プログラマブル	0.2V~VREF	0.5× (1+R2/R1)	2×VREF
内部、2Vp-p FSR	AGND~0.2V	1.0	2.0

## 内部リファレンス電圧の接続

AD9229内部のコンバータがSENSEピンの電位を検出し、リファレンスを表10に示す4つの状態のいずれかに設定します。SENSEピンをグラウンドに接続すると、リファレンス・アンプ・スイッチが内部の抵抗デバイダに接続され(図42)、VREFが1Vに設定されます。SENSEピンとVREFピンを接続すると、アンプ出力がSENSEピンに切り替えられ、内部オペアンプ回路が電圧フォロアとして構成されて0.5Vリファレンスが出力されます。図43に示すように外部の抵抗デバイダが接続されると、スイッチは再びSENSEピンに設定されます。これにより、リファレンス・アンプは非反転モードになり、VREF出力は次のように決定されます。

$$VREF = 0.5 \times \left( 1 + \frac{R2}{R1} \right)$$

すべてのリファレンス構成で、REFTとREFBがADCコアの入力スパンを決定します。ADCのアナログ入力フルスケール範囲は内部リファレンスまたは外部リファレンスのいずれを使う場合でも、常にリファレンス・ピンの電圧の2倍に等しくなります。

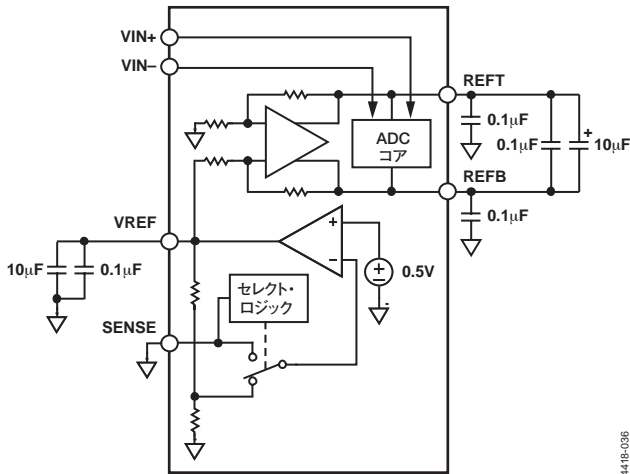


図42. 内蔵リファレンスの構成

0441B-036

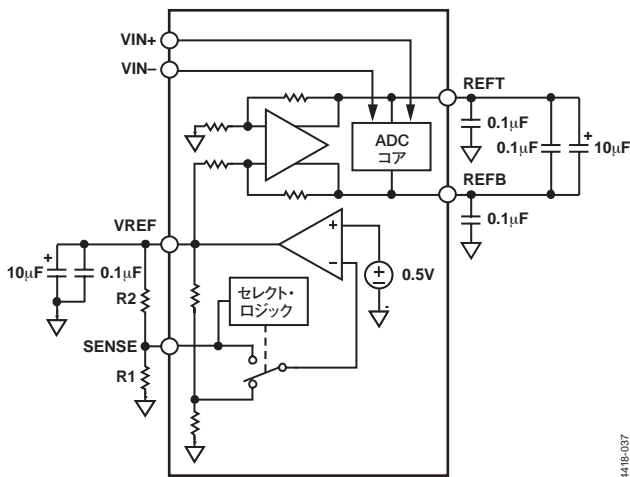


図43. プログラマブルなリファレンス構成

0441B-037

ゲイン・マッチングを改善するために、AD9229の内部リファレンスを使って複数のコンバータを駆動する場合、他のコンバータによるリファレンスへの負荷を考慮する必要があります。図44に、内部リファレンス電圧が受ける負荷の影響を示します。

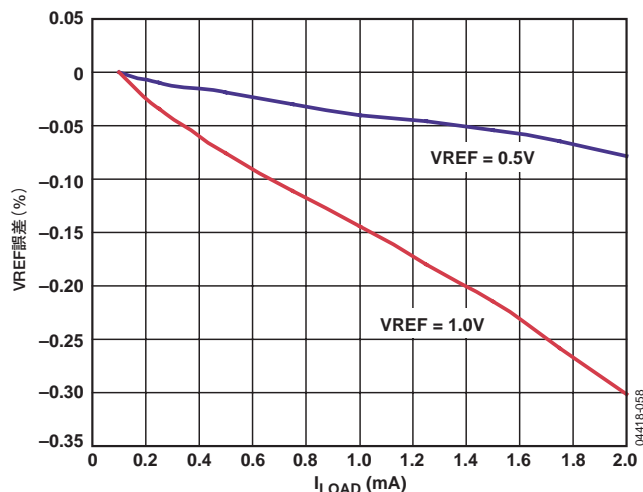


図44. 負荷 対 VREF精度

0441B-038

## 外部リファレンスによる動作

ADCのゲイン精度を向上させる場合または温度ドリフト特性を改善する場合、外部リファレンスの使用が必要となることがあります。図45に、内部リファレンスの標準的なドリフト特性を示します。

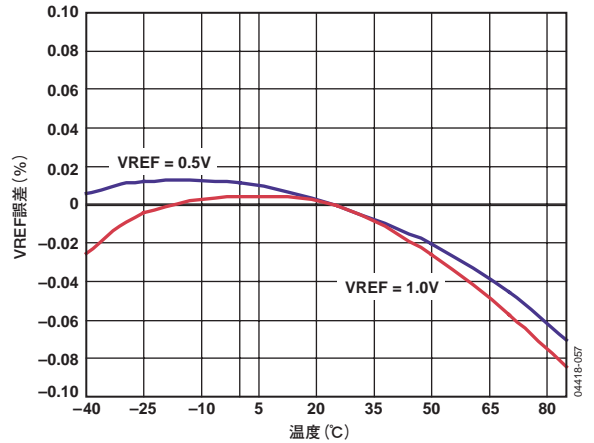


図45. 標準的なVREFドリフト

0441B-039

SENSEピンをAVDDに接続すると、内部リファレンスがディセーブルになり、外部リファレンスの使用が可能になります。外部リファレンスの負荷は7kΩです。内部リファレンス・バッファは、ADCコアに対して正側と負側のフルスケール・リファレンス(REFTとREFB)を発生させます。したがって、外部リファレンスは最大1Vに制限する必要があります。

## 電源とグラウンドの推奨事項

電源をAD9229に接続する際は、2個の3.0V電源を使用することを推奨します。1個はアナログ(AVDD)、もう1個はデジタル(DRVDD)に接続します。電源が1個しかない場合は、先にAVDDに接続し、そこから分岐してデカップリング・コンデンサを接続した後にフェライト・ビーズまたはフィルタ・チョークでアイソレーションする必要があります。複数の異なるデカップリング・コンデンサを使って高周波と低周波をデカップリングすることもできます。これらのコンデンサはPCボード・レベルの入り口の近くで、かつ最短パターンでデバイスの近くに配置する必要があります。

AD9229を使用するときは、PCボードに1層のグラウンド・プレーンで十分です。適切にデカップリングを行い、PCボードのアナログ、デジタル、クロックの各セクションを効率よく分割することにより、最適性能を容易に達成することができます。

### 露出パドルのサーマル・ヒート・スラグの推奨事項

AD9229の最適な電気性能と熱性能を得るためには、ADCの下側の露出パドルをアナログ・グラウンド (AGND) に接続することが必要です。AD9229の露出パドル (ピン0) をPCボードの銅プレーンに直接接触 (ハンダ・マスクなし) させる必要があります。銅プレーンには、PCボード裏面を通しての最小熱抵抗パスを実現するために複数のビアを設ける必要があります。これらのビアは、ハンダで埋めるかプラグを挿入する必要があります。

ADCとPCボードとの接触面積と接着を最大にするため、シルクスクリーンで覆い、PCボードの連続銅プレーンを複数の均一なセクションに分割してください。これにより、リフロー・プロセス時に2つの間で複数の接続点を形成することができます。シルクスクリーン・パーティションのない1枚の連続プレーンを使用すると、ADCとPCボードとの間で接続点が1個だけになってしまいます。図46のPCボードのレイアウト例を参照してください。パッケージとチップ・スケール・パッケージのPCボード・レイアウトの詳細については、[www.analog.com](http://www.analog.com)をご覧ください。

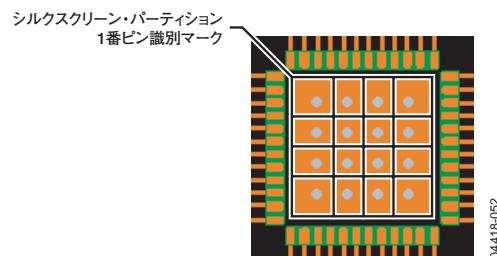


図46. 代表的なPCボードのレイアウト

# AD9229

## 評価用ボード

AD9229評価用ボードは、さまざまなモードと構成でADCを動作させるために必要となるすべてのサポート回路を提供します。このコンバータは、トランス(デフォルト)で、またはAD8332ドライバを用いて、差動で駆動することができます。ADCはシングルエンドで駆動することもできます。AD8332駆動回路からDUTをアイソレーションできるように、別々の電源ピンが用意されています。ジャンパの接続により、各入力構成が選択できます(図48~52参照)。図47に、AD9229のAC性能評価に使用した代表的なセットアップを示します。コンバータの最適性能を実現するためには、アナログ入力とクロックに非常に小さい位相ノイズ(rmsジッタが1ピコ秒未満)を持つ信号源を使うことが不可欠です。仕様のノイズ性能を得るためには、高調波を除去し、かつアナログ入力での総合または広帯域ノイズを小さくするために入力信号を適切にフィルタリングすることも必要です。

完全な回路図とレイアウト図を図47~57に示します。これはシステムレベルで採用できる適切なルーティング方法とグラウンディング方法を示すものです。

### 電源

この評価用ボードには壁コンセントへの取付けが可能なスイッチング電源が付属しており、6V、2Aの最大出力が得られます。電源を47~63Hz、定格100~240VのAC壁コンセントに接続してください。もう片方は内径2.1mmのジャックとなっており、PCボードのP503に接続します。6V電源がPCボード上でヒューズを経由して、後段の3つの低ドロップアウト・リニア・レギュレータに接続できるように調整されています。レギュレータは評価用ボードの各セクションに適切なバイアスを供給します。

非デフォルト状態で評価用ボードを動作させるときは、L504~L506を除去し、スイッチング電源を切断することができます。これにより、ボードの各セクションを個別にバイアスできるようになります。各セクションに異なる

電源を接続する場合は、P501を使用してください。AVDD\_DUTおよびDRVDD\_DUT用に電流容量1Aの3.0V電源が少なくとも1個必要ですが、アナログとデジタルに別々の電源を使うことを推奨します。VGAオプションを使って評価用ボードを動作させるときは、他の3.0V電源に加えて5.0Vのアナログ電源が別に必要となります。5.0V電源すなわち、AVDD\_VGAにも1Aの電流容量が必要です。

### 入力信号

クロック源とアナログ信号源を接続するときは、低位相ノイズのクリーンな信号ジェネレータを使ってください。Rohde&Schwarz SMHUやHP8644信号ジェネレータまたは同等品の使用をお勧めします。評価用ボードへの接続には、長さ1mのシールド付きRG-58、50Ω同軸ケーブルを使用してください。仕様表内の希望の周波数を設定し、振幅を設定します。一般に、当社の多くの評価用ボードは、クロックとして約2.8Vp-pすなわち13dBmのサイン波入力を受け付けます。アナログ入力信号源を接続するときは、50Ω終端付きのナローバンドの多極バンドパス・フィルタの使用を推奨します。当社はTTE、Allen Avionics、K&Lタイプの帯域パス・フィルタを使用しています。可能な場合は、フィルタを評価用ボードに直接接続します。

### 出力信号

デフォルトのセットアップでは、HSC-ADC-FPGA高速非シリアル化ボードを使用してデジタル出力データを非シリアル化し、パラレルCMOSに変換しています。これらの2チャンネルはADIの標準デュアル・チャンネルFIFOデータ・キャプチャ・ボード(HSC-ADC-EVALA-DC)と直接インターフェースできます。このボードを使用すると4チャンネルのうちの2チャンネルが同時に評価することができます。これらのボードのチャンネル設定とオプション設定の詳細については、当社webサイトwww.analog.com/FIFOをご覧ください。

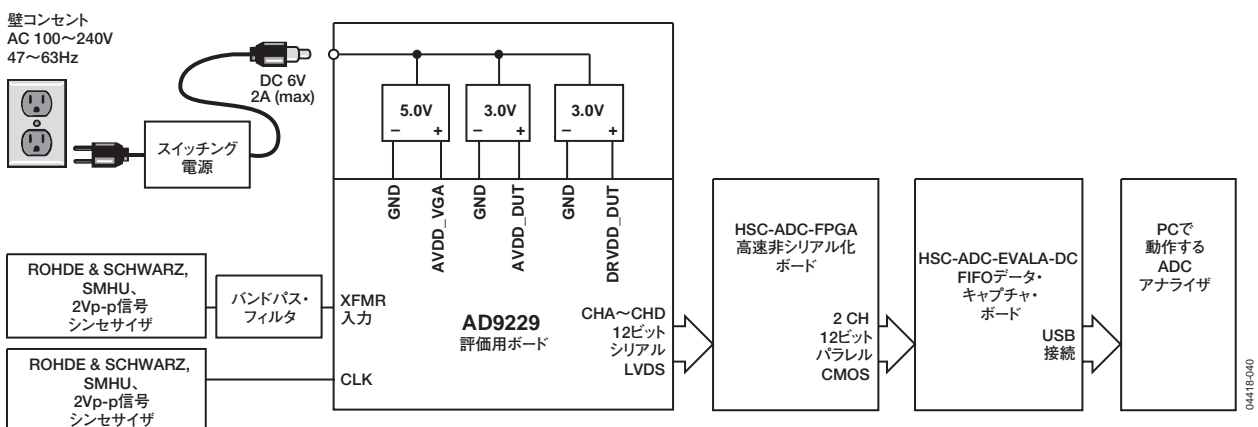


図47. 評価用ボードの接続



## デフォルト動作とジャンパ選択の設定

デフォルトとオプションの設定またはAD9229 Rev C評価用ボードで可能なモードを次に示します。

- **電源**: 評価用キットに同梱されているスイッチング電源を、定格100～240V、47～63HzのAC壁コンセントとP503に接続してください。
- **AIN**: 評価用ボードは、400MHzまで最適50Ωインピーダンス・マッチングのトランス・カップリングされたアナログ入力用にセットアップされています。応答帯域幅を広げるときは、アナログ入力間に接続された2.2pF差動コンデンサを変更するか除去します。アナログ入力のコモン・モードは、トランスまたはAVDD\_DUT/2のセンター・タップから発生します。
- **VREF**: SENSEピンとグラウンドR224を接続することで、VREFは1.0Vに設定されます。これにより、ADCは2.0Vp-pのフルスケール範囲で動作します。1.0Vp-pフルスケール範囲やADR510またはADR520を使った外部リファレンス・オプションなど、評価用ボードにはそのほかにも多くのVREFオプションが用意されています。これらオプションのVREFモードを使用する場合は、R221～R224のジャンパ設定を切り替えてください。VREFオプションの正しい使用方法は、「電圧リファレンス」の項で説明してあります。
- **CLOCK**: クロック入力回路は、高速インバータを使うシンプルなロジック回路から導出されています。この高速インバータはクロック・バスに非常に小さいジッタしか与えません。クロック入力は50Ω終端で、サイン波タイプの入力を扱うためACカップリングされています。発振器を使用する場合、ADCの性能をチェックするのに2種類のフットプリントが用意されています(OSC200～201)。J203およびJ204により、ほとんどの発振器によくあるイネーブル・ピンを柔軟に使用できます。
- **PWDN**: パワーダウン機能をイネーブルするとき、JP201をPWDNピン上のAVDDに接続します。
- **DTP**: ADCのデジタル出力で2つのデジタル・テスト・パターンのうち1つをイネーブルするとき、JP202を使用してください。JP202上の2番ピンと3番ピンが接続されている場合(1.0V信号源)、テスト・パターン1000 0000 0000がイネーブルになります。JP202上の2番ピンと3番ピンが接続されている場合(2.0V信号源)、テスト・パターン1010 1010 1010がイネーブルになります。詳細については、「DTPピン」の項を参照してください。
- **LVDSBIAS**: LVDS出力レベルの振幅を変更するとき、R204の値を変えるだけで済みます。他の推奨値は「デジタル出力」の項に記載してあります。
- **D+、D-**: 図47に示すセットアップに対して別のデータ・キャプチャの方法を使う場合は、高速バックプレーン・コネクタの隣にオプションのレーザー終端R205～R210を実装できます。

## 他のアナログ入力駆動構成

以下に、AD8332デュアルVGAを使用した、他のアナログ入力駆動構成について簡単に説明します。この特別な駆動オプションの実装が必要となることがあります。その場合に必要となるすべての部品を表11に記載します。この表はこのオプション用に評価用ボードを設定するために必要となる設定を記載しています。AD8332デュアルVGA、動作、オプションのピン設定の詳細については、AD8332のデータシートを参照してください。

デフォルトのトランス・オプションの代わりにVGAを駆動するようにアナログ入力を設定するとき、次の部品の除去および/または変更が必要です。

1. デフォルトのアナログ入力バスからR102、R115、R128、R141、T101、T102、T103、T104を取り外します。
2. アナログ入力バスのR101、R114、R127、R140に0Ωの抵抗を実装します。
3. アナログ入力へコモン・モード・レベルを入力するため、R106、R107、R119、R120、R132、R133、R144、R145に10Ωの抵抗を実装します。
4. アナログ入力バスのR105、R113、R118、R124、R131、R137、R151、R43に0Ωの抵抗を実装します。
5. ボード上では信号接続を可能にするため、L305、L312、L405、L412に0Ωの抵抗が実装されていますが、別に必要があればフィルタの設計にこのスペースを使用することができます。

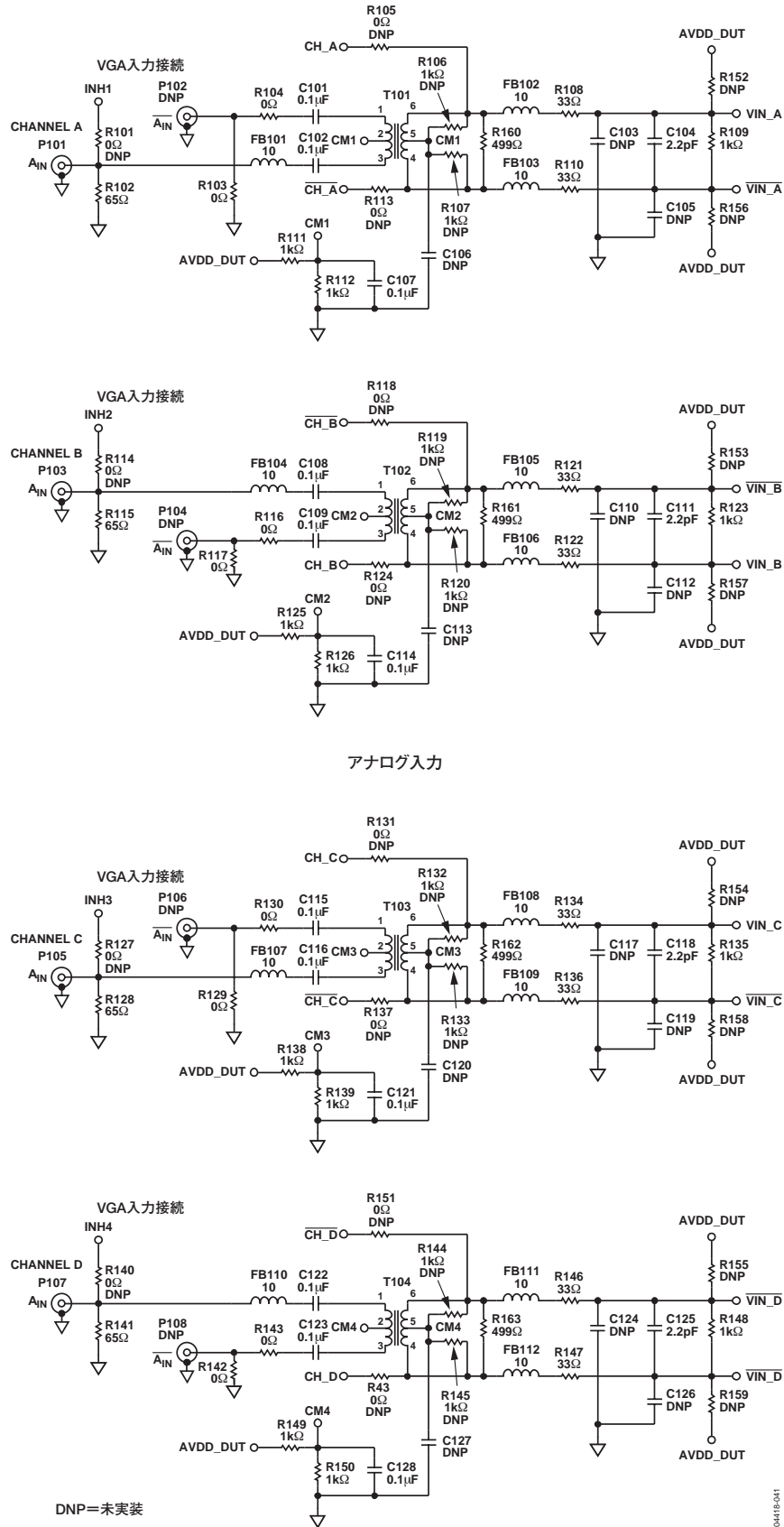
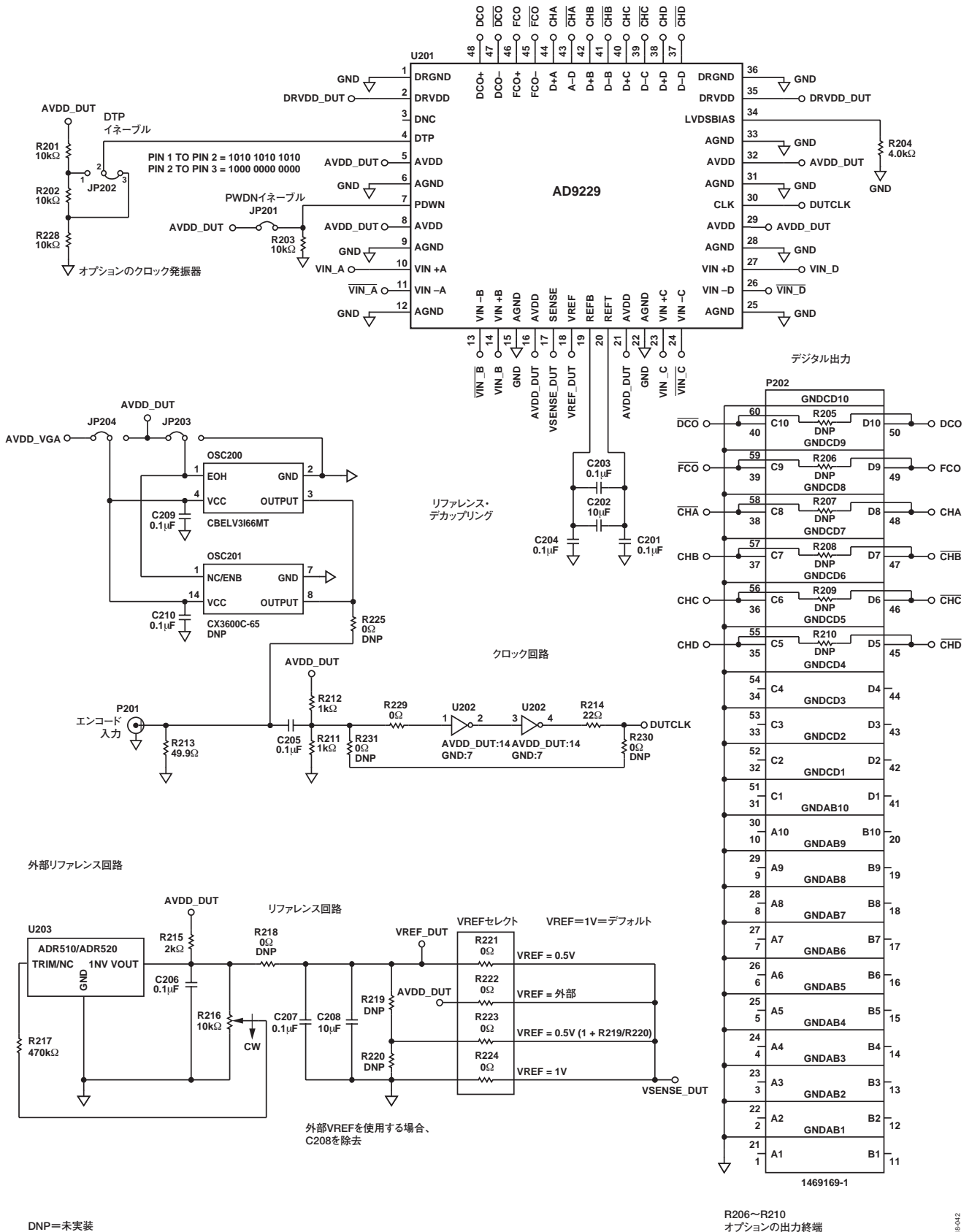


図48. 評価用ボード回路図 - DUTアナログ入力



DNP=未実装

R206~R210  
オプションの出力終端

0416-02

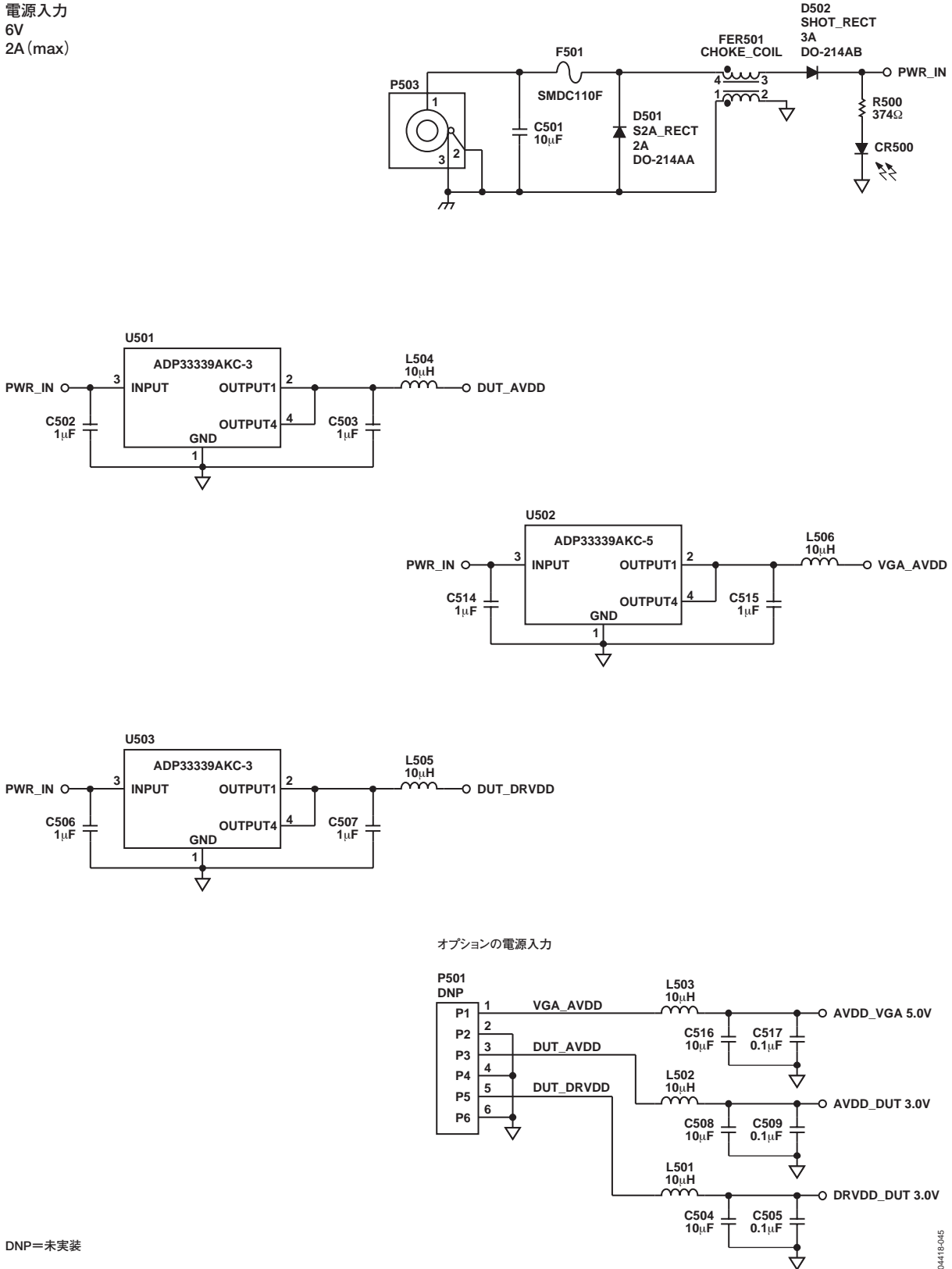
図49. 評価用ボード回路図 - DUT、VREF、クロック入力、デジタル出力インターフェース





# AD9229

電源入力  
6V  
2A (max)

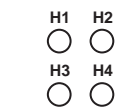
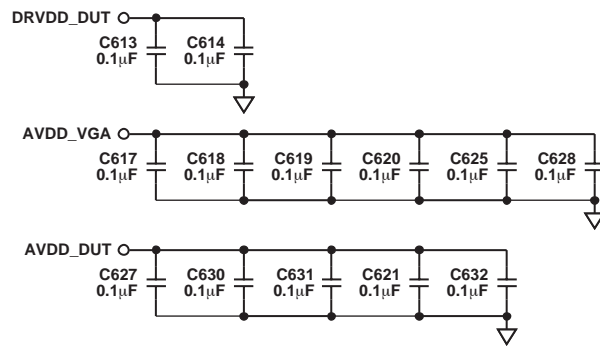


DNP=未実装

04418-045

図52. 評価用ボード回路図 - 電源入力

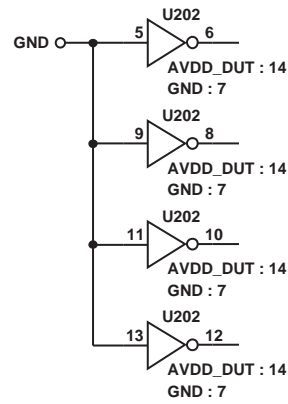
## デカップリング・コンデンサ



グラウンドに接続する  
ホールの取付け

DNP=未実装

## 未使用ゲート



0418-048

図53. 評価用ボード回路図 - デカップリングその他

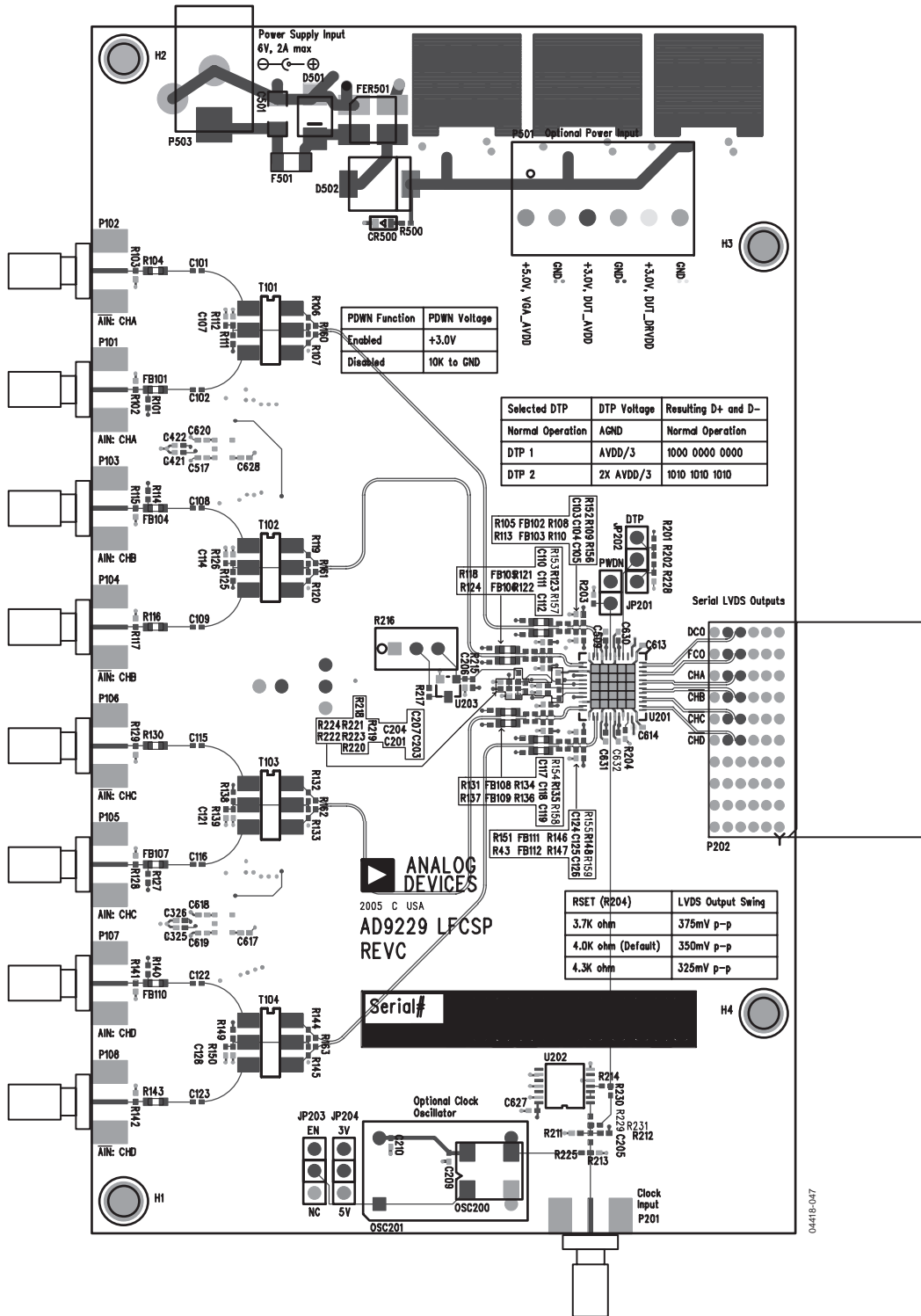


図54. 評価用ボードのレイアウト - 部品面



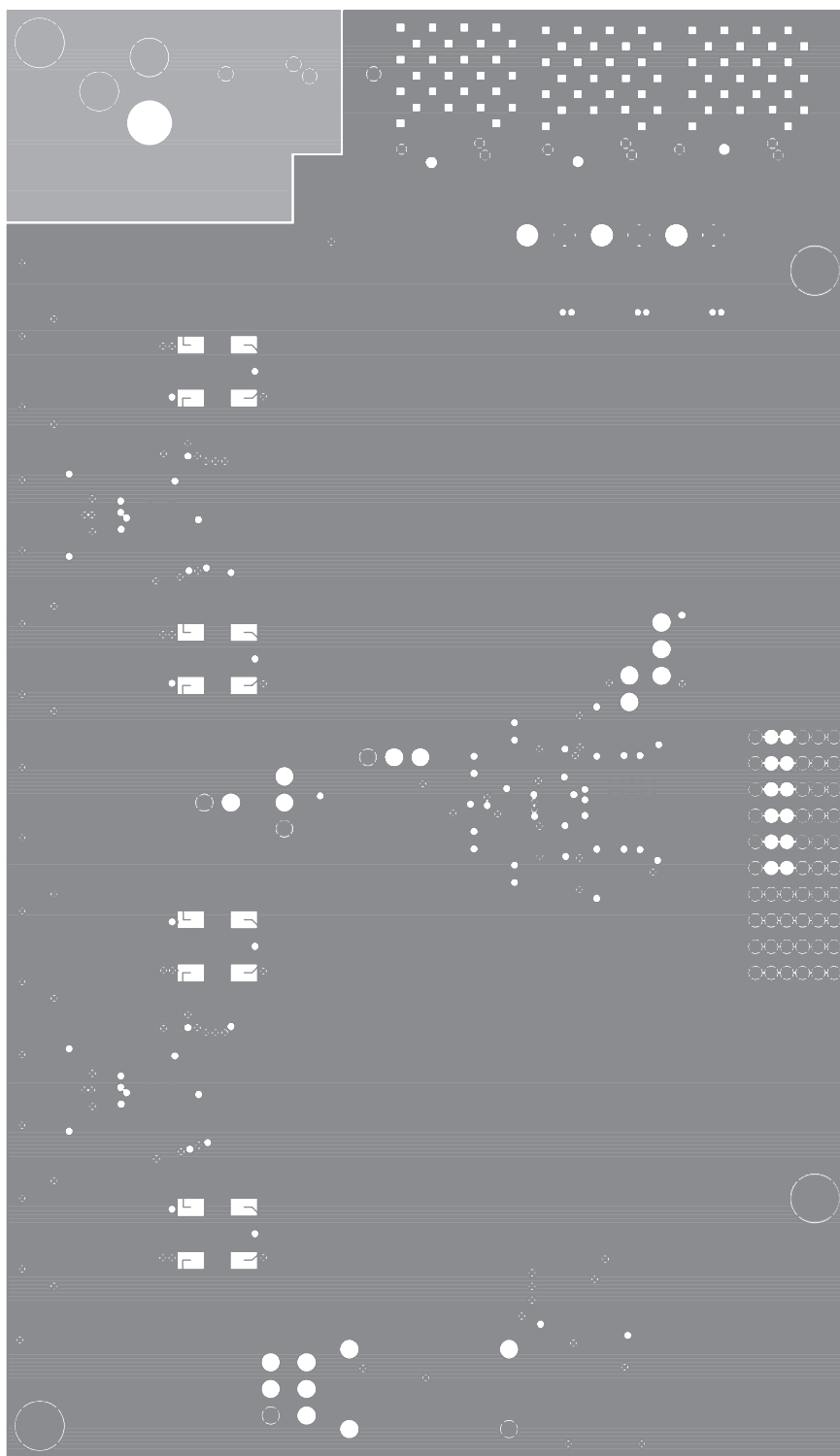
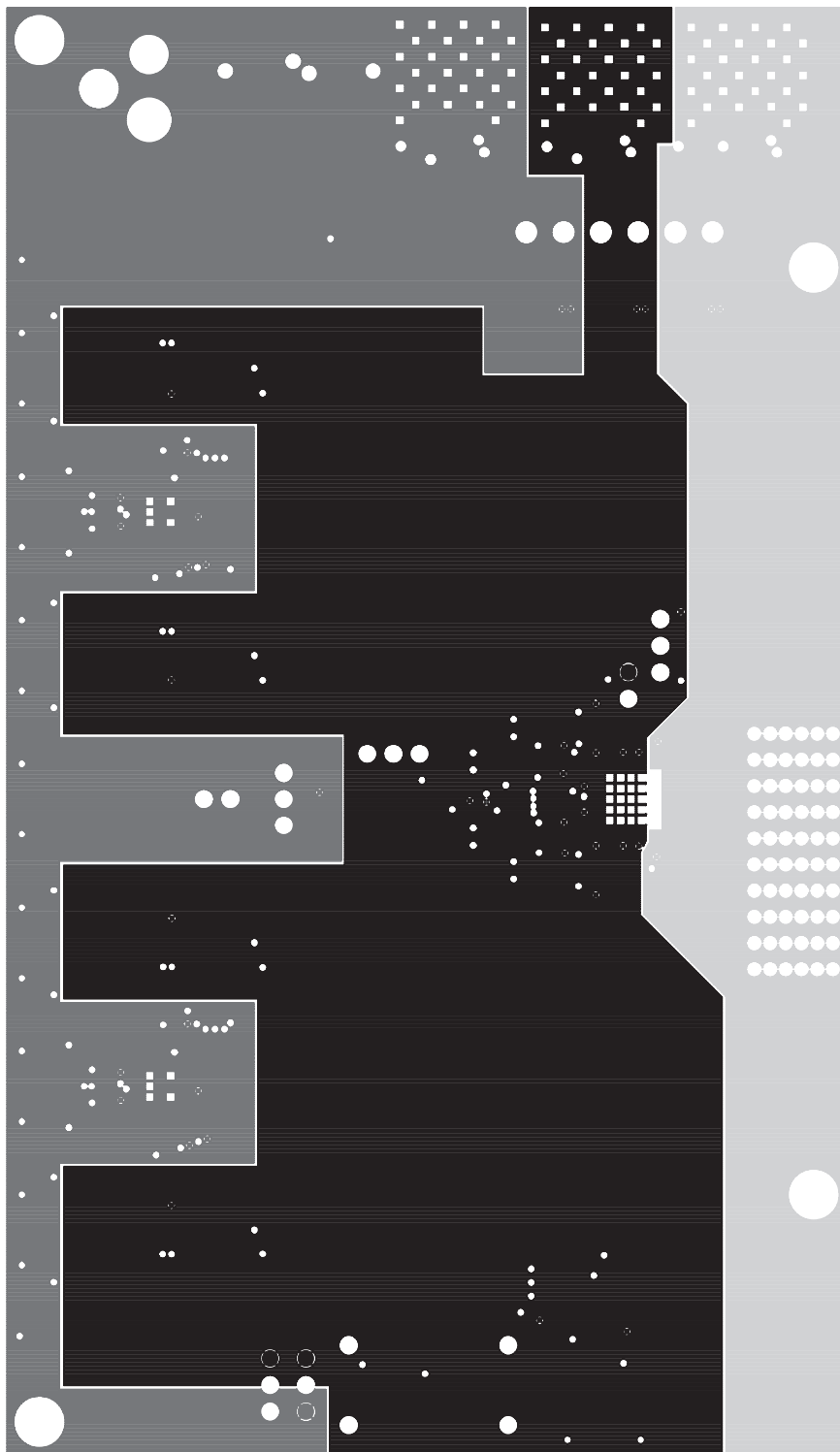


図55. 評価用ボードのレイアウト - グラウンド・プレーン



0418049

図56. 評価用ボードのレイアウト - 電源プレーン

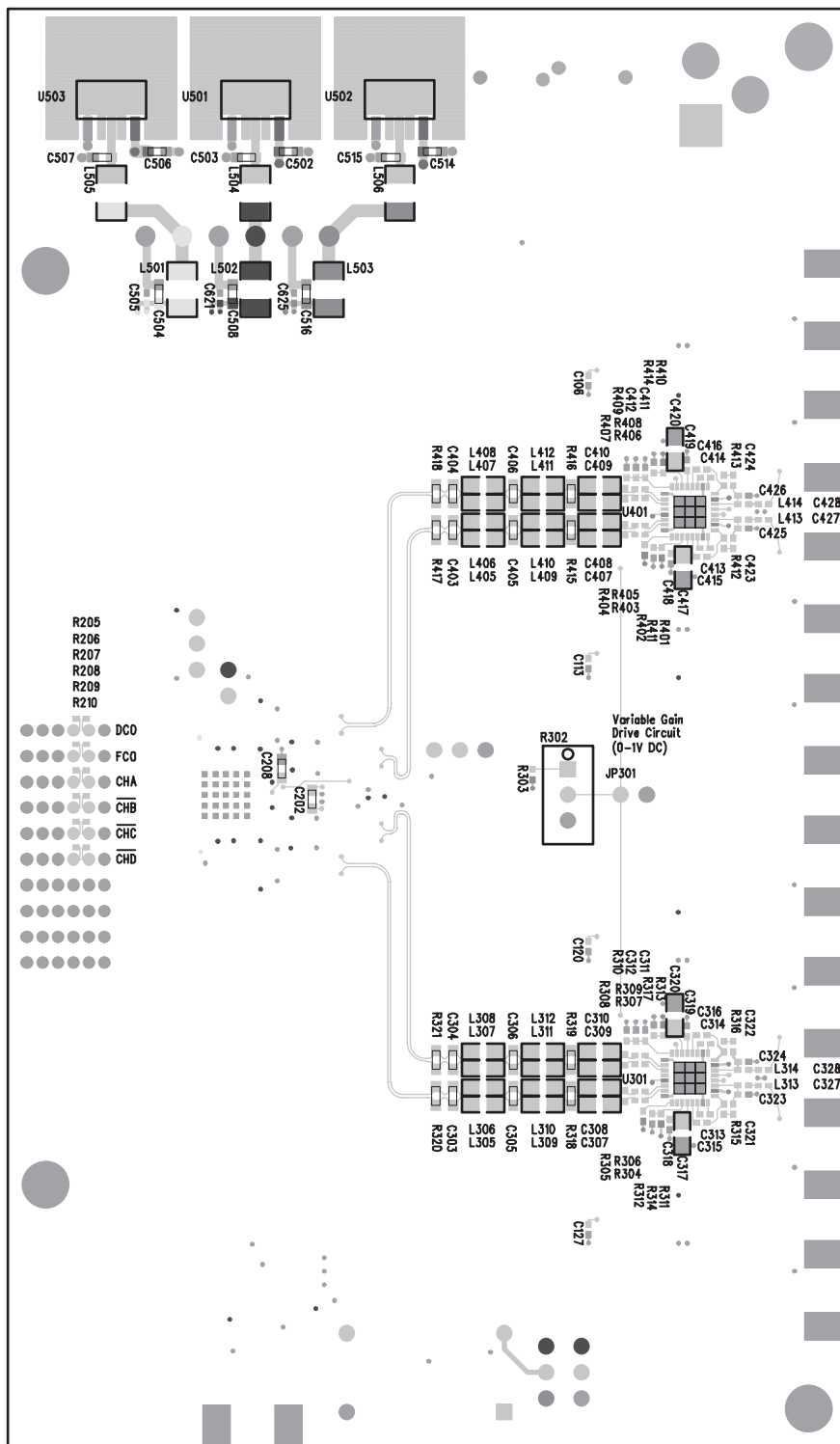


図57. 評価用ボードのレイアウト - 裏面(鏡像)

# AD9229

表11. 評価用ボードのBOM(部品表)

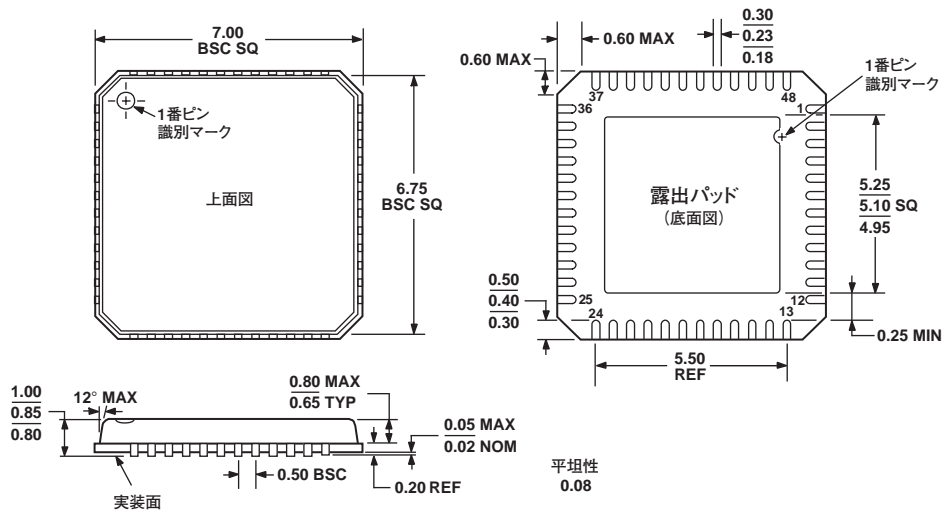
項目	ボード 当たりの 数量	記号	デバイス	パッケージ	値	メーカー	メーカー製品番号
1	1	AD9229LFCSP_REVC	PCボード	PCボード	PCボード		
2	59	C327、C328、C630、C628、 C629、C631、C632、C101、 C102、C107、C108、C109、 C114、C115、C116、C121、 C122、C123、C128、C201、 C203、C204、C205、C206、 C207、C313、C314、C315、 C312、C318、C319、C412、 C316、C325、C326、C413、 C414、C415、C418、C419、 C416、C421、C422、C427、 C428、C505、C509、C517、 C613、C614、C617、C618、 C619、C620、C621、C625、 C209、C210、C627	コンデンサ	402	0.1 $\mu$ F、セラミック、 X5R、10V、10% tol	Panasonic	ECJ-0EB1A104K
3	4	C104、C111、C118、C125	コンデンサ	402	2.2pF、セラミック、 COG、0.25pF tol、 50V	Murata	GRM1555C1H2R2GZ01B
4	9	C202、C208、C317、C320、 C417、C420、C504、C508、 C516	コンデンサ	805	10 $\mu$ F、6.3V $\pm$ 10%、 セラミック、X5R	AVX	08056D106KAT2A
5	8	C307、C308、C309、C310、 C407、C408、C409、C410	コンデンサ	603	0.1 $\mu$ F、セラミック、 X7R、16V、10% tol	Kemet	C0603C104K4RACTU
6	2	C311、C411	コンデンサ	402	1000pF、セラミック、 X7R、25V、10% tol	Kemet	C0402C102K3RACTU
7	4	C321、C322、C423、C424	コンデンサ	402	0.018 $\mu$ F、セラミック、 X7R、16V、10% tol	AVX	0402YC183KAT2A
8	4	C323、C324、C425、C426	コンデンサ	402	22pF、セラミック、 NPO、5% tol、50V	Kemet	C0402C220J5GACTU
9	1	C501	コンデンサ	1206	10 $\mu$ F、タンタル、 16V、10% tol	Kemet	T491B106K016AS
10	6	C502、C503、C506、C507、 C514、C515	コンデンサ	603	1 $\mu$ F、セラミック、 X5R、6.3V、10% tol	Panasonic	ECJ-1VB0J105K
11	1	CR500	LED	603	Green、4V、 5m candela	Panasonic	LNJ314G8TRA
12	1	D502	ダイオード	DO-214AB	3A、30V、SMC	Micro. Commercial Co.	SK33MSCT
13	1	D501	ダイオード	DO-214AA	2A、50V、SMC	Micro Commercial Co.	S2A
14	1	F501	ヒューズ	1210	6.0V、2.2Aトリップ 電流リセット可能な ヒューズ	Tyco/ Raychem	NANOSMDC110F-2
15	1	FER501	フェライト・ ビーズ	2020	10 $\mu$ H、5A、50V、 190 $\Omega$ @100MHz	Murata	DLW5BSN191SQ2L
16	12	FB101、FB102、FB103、 FB104、FB105、FB106、 FB107、FB108、FB109、 FB110、FB111、FB112	フェライト・ ビーズ	603	10 $\Omega$ 、テスト周波数 100MHz、25% tol、 500mA	Murata	BLM18BA100SN1
17	2	JP201、JP301	コネクタ	2ピン	100milヘッダ・ ジャンパ、2ピン	Samtec	TSW-102-07-G-S
18	3	JP204、JP203、JP202	コネクタ	3ピン	100milヘッダ・ ジャンパ、3ピン	Samtec	TSW-103-07-G-S

項目	ボード 当たりの 数量	記号	デバイス	パッケージ	値	メーカー	メーカー製品番号
19	6	L501、L502、L503、L504、 L505、L506	フェライト・ ビーズ	1210	10 $\mu$ H、ビーズコア 3.2 $\times$ 2.5 $\times$ 1.6 SMD、2A	Panasonic- ECG	EXC-CL3225U1
20	4	L313、L314、L413、L414	インダクタ	402	120nH、テスト周波数 100MHz、5% tol、 150mA	Murata	LQG15HNR12J02B
21	12	L305、L306、L307、L308、 L309、L310、L405、L406、 L407、L408、L409、L410、 L311、L312、L411、L412	抵抗	805	0 $\Omega$ 、1/8W、5% tol	Panasonic	ERJ-6GEY0R00V
22	1	OSC200	発振器	SMT	クロック発振器、 66.66MHz、3.3V	CTS REEVES	CB3LV-3C-66M6666-T
23	5	P201、P101、P103、P105、 P107	コネクタ	SMA	ボード厚0.063" 向けサイドマウント SMA	Johnson Components	142-0711-821
24	1	P202	コネクタ	HEADER	1469169-1、正角2対、 25mm、ヘッダ・ アセンブリ	Tyco	1469169-1
25	1	P503	コネクタ	0.1"、PCMT	RAPC722、 電源コネクタ	Switchcraft	SC1153
26	10	R201、R202、R228、R203、 R312、R314、R317、R402、 R411、R414	抵抗	402	10k $\Omega$ 、1/16W、 5% tol	Yageo America	9C04021A1002JLHF3
27	7	R225、R129、R142、R224	抵抗	402	0 $\Omega$ 、1/16W、5% tol	Yageo America	9C04021A0R00JLHF3
28	4	R102、R115、R128、R141	抵抗	402	64.9 $\Omega$ 、1/16W、 1% tol	Panasonic	ERJ-2RKF64R9X
29	4	R104、R116、R130、R143	抵抗	603	0 $\Omega$ 、1/10W、5% tol	Panasonic	ERJ-3GEY0R00V
30	14	R111、R112、R125、R126、 R138、R139、R149、R150、 R211、R212、R109、R123、 R135、R148	抵抗	402	1k $\Omega$ 、1/16W、1% tol	Panasonic	ERJ-2RKF1001X
31	8	R108、R110、R121、R122、 R134、R136、R146、R147	抵抗	402	33 $\Omega$ 、1/16W、5% tol	Yageo America	9C04021A33R0JLHF3
32	4	R160、R161、R162、R163	抵抗	402	499 $\Omega$ 、1/16W、 1% tol	Panasonic	ERJ-2RKF4990X
33	1	R215	抵抗	402	2k $\Omega$ 、1/16W、 5% tol	Yageo America	9C04021A2001JLHF3
34	1	R204	抵抗	402	4.02k $\Omega$ 、1/16W、 1% tol	Panasonic	ERJ-2RKF4021X
35	1	R213	抵抗	402	49.9 $\Omega$ 、1/16W、 0.5% tol	Susumu	RR0510R-49R9-D
36	1	R214	抵抗	402	22 $\Omega$ 、1/16W、 5% tol	Yageo America	9C04021A22R0JLHF3
37	2	R216、R302	ポテンショ メータ	3ピン	10k $\Omega$ 、 Cermetトリマ・ ポテンショメータ、 18turn top adjust、 10%、1/2W	BC Components	CT-94W-103
38	1	R217	抵抗	402	470k $\Omega$ 、1/16W、 5% tol	Yageo America	9C04021A4703JLHF3
39	1	R303	抵抗	402	39k $\Omega$ 、1/16W、 5% tol	Susumu	RR0510P-393-D
40	8	R304、R306、R307、R309、 R403、R405、R406、R408	抵抗	402	187 $\Omega$ 、1/16W、 1% tol	Panasonic	ERJ-2RKF1870X

# AD9229

項目	ボード 当たりの 数量	記号	デバイス	パッケージ	値	メーカー	メーカー製品番号
41	4	R305、R308、R404、R407、 R500	抵抗	402	374Ω、1/16W、 1% tol	Panasonic	ERJ-2RKF3740X
42	4	R315、R316、R412、R413	抵抗	402	274Ω、1/16W、 1% tol	Panasonic	ERJ-2RKF2740X
43	4	T101、T102、T103、T104	トランス	CD542	ADT1-1WT、 1:1インピーダンス比 トランス	Mini- Circuits	ADT1-1WT
44	2	U501、U503	IC	SOT-223	ADP33339AKC-3、 1.5A、3.0V LDO レギュレータ	ADI	ADP33339AKC-3
45	2	U301、U401	IC	LFCSP、 CP-32	AD8332ACP、 超低ノイズ高精度 デュアル VGA	ADI	AD8332ACP
46	1	U502	IC	SOT-223	ADP33339AKC-5	ADI	ADP33339AKC-5
47	1	U201	IC	LFCSP、 CP-48-1	AD9229-65、 クワッド12ビット、 65 MSPS シリアル LVDS 3V ADC	ADI	AD9229BCPZ-65
48	1	U203	IC	SOT-23	ADR510AR、1.0V、 高精度低ノイズ・ シャント電圧 リファレンス	ADI	ADR510AR
49	1	U202	IC	TSSOP	74VHC04MTC、 ヘックス・インバータ	Fairchild	74VHC04MTC
50	4	MP101-104	アセンブリ の一部		CBSB-14-01A-RT、 7/8"高、回路ボード 対応と同等	Richco	CBSB-14-01A-RT
51	4	MP105-108	アセンブリ の一部		SNT-100-BK-G-H、 100milジャンパ	Samtec	SNT-100-BK-G-H
52	4	MP109-112	アセンブリ の一部		5-330808-3、 ピン・ソケット、 OSC200向け クローズ・エンド	AMP	5-330808-3

## 外形寸法



JEDEC規格MO-220-VKKD-2に準拠

図58. 48ピン・フレーム・チップ・スケール・パッケージ[LFCSP]  
(CP-48-1)  
寸法単位:mm

## オーダー・ガイド

モデル	温度範囲	パッケージ	パッケージ・オプション
AD9229BCPZ-65 <sup>1</sup>	-40~+85°C	48ピンLFCSP	CP-48-1
AD9229BCPZRL7-65 <sup>1</sup>	-40~+85°C	48ピンLFCSP	CP-48-1
AD9229BCPZ-50 <sup>1</sup>	-40~+85°C	48ピンLFCSP	CP-48-1
AD9229BCPZRL7-50 <sup>1</sup>	-40~+85°C	48ピンLFCSP	CP-48-1
AD9229-65EB		評価用ボード	

<sup>1</sup> Z = 鉛フリー製品