

特長

3V単電源動作: 2.7V ~ 3.3V

SNR = 58dBc (ナイキスト・レートまで)

SFDR = 77dBc (ナイキスト・レートまで)

低消費電力ADCコア: 90mW@65MSPS

102mW@80MSPS

帯域幅300MHzの差動入力

リファレンス電圧とサンプル/ホールド・アンプを内蔵

DNL = ± 0.25LSB

柔軟なアナログ入力: 1V p-p ~ 2V p-p

オフセット・バイナリまたは2の補数データ・フォーマット

クロック・デューティ・サイクル・スタビライザを内蔵

アプリケーション

超音波装置

通信用レーザでのIFサンプリング

バッテリー駆動の計装機器

ハンドヘルド型スコープメータ

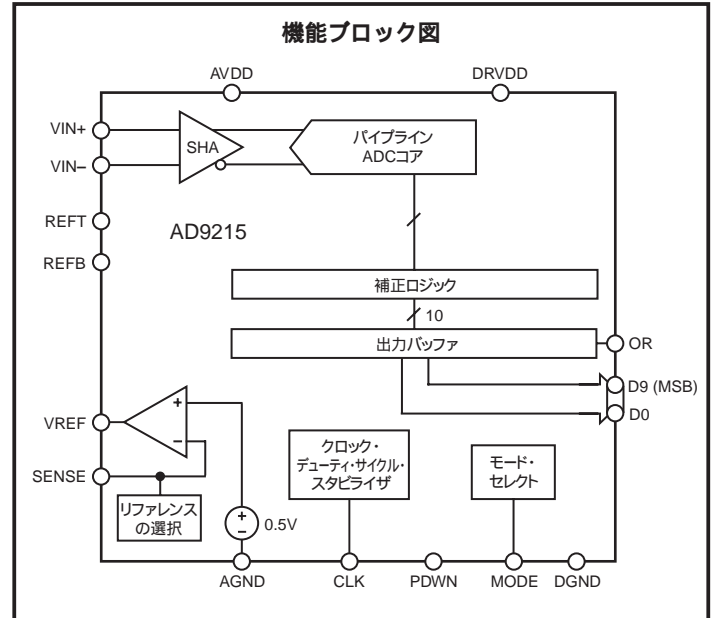
低価格デジタル・オシロスコープ

製品説明

AD9215は、3V単電源動作、65/80MSPSの10ビット・モノリシックA/Dコンバータのファミリーです。このファミリーは、高性能サンプル/ホールド・アンプと電圧リファレンスを内蔵しています。AD9215では、80MSPSのデータ・レートで10ビット精度を提供するとともに、全動作温度レンジでノー・ミスコードを保証するために、出力誤差補正ロジック内蔵の多段差動パイプライン・アーキテクチャを採用しています。

広帯域差動サンプル/ホールド・アンプ(SHA)の採用により、シングルエンド・アプリケーションを含む、ユーザー選択可能な多様な入力レンジとオフセットが可能で、このデバイスは、フル・スケール電圧レベルで隣接チャンネルをスイッチングするマルチプレクス・システム、およびナイキスト・レートをはるかに超える周波数で1つのチャンネル入力をサンプリングするシステムに適しています。これまでのA/Dコンバータに比べて消費電力とコストを削減したAD9215は、通信、画像処理、医用超音波機器などのアプリケーションに最適です。

1本のシングルエンド・クロック入力により、すべての内部変換サイクルが制御されます。デューティ・サイクル・スタビライザは、クロック・デューティ・サイクルの大きな変動を補償して、優れた性能を維持します。デジタル・データは、ストレート・バイナリまたは2の補数のフォーマットで出力されます。オーバーフロー条件を表示するアウト・オブ・レンジ信号も用意され、最上位ビットと組み合わせて使用すると、上側または下側のオーバーフローを識別することができます。



AD9215は最新のCMOSプロセスで製造され、28ピンの表面実装ブラスタック・パッケージおよび32ピンのチップ・スケール・パッケージを採用し、-40 ~ +85 の工業温度レンジで仕様規定されています。

製品のハイライト

1. AD9215は3V単電源で動作します。また、デジタル出力ドライバ用電源が分離されていることで2.5Vおよび3.3Vのロジック・ファミリーに対応できます。
2. AD9215のコアADCの消費電力は、80MSPSで102mW、65MSPSで90mWの低消費です。
3. 特許取得済みのSHA入力は、200MHzまでの入力周波数に対して優れた性能を維持し、シングルエンド動作または差動動作に設定することができます。
4. AD9215は、ピン・コンパチブルな10、12、14ビットの低消費電力A/Dコンバータに属しています。このため、最大80MSPSまでのシステムで、10ビットから12ビットへのアップグレードが容易に行えます。
5. クロック・デューティ・サイクル・スタビライザは、広いレンジのクロック・パルス幅でコンバータ性能を維持します。
6. アウト・オブ・レンジ出力ビット(OR)が、信号が選択した入力レンジを超えたことを表示します。

アナログ・デバイス社が提供する情報は正確で信頼できるものを期していますが、その情報の利用または利用したことにより引き起こされる第三者の特許または権利の侵害に関して、当社はいっさいの責任を負いません。さらに、アナログ・デバイス社の特許または特許の権利の使用を許諾するものでもありません。

*日本語データシートは、REVISIONが古い場合があります。最新の内容については英語版をご参照ください。

AD9215

DC仕様

(特に指定のない限り、AVDD = 3V、DRVDD = 2.5V、サンプル・レート = 80MSPS、2V p-p差動入力、内部リファレンス = 1.0V)

パラメータ	温度	テスト・レベル	AD9215BRU/BCP-65			AD9215BRU/BCP-80			単位
			Min	Typ	Max	Min	Typ	Max	
分解能	全レンジ	VI	10			10			ビット
精度									
ノームス・コード	全レンジ	VI		保証		保証			
オフセット誤差 ¹	全レンジ	VI		±0.3	±2.0	±0.3	±2.0	% FSR	
ゲイン誤差 ¹	全レンジ	VI	0	+1.5	+4.0	+1.5	+4.0	% FSR	
微分非直線性(DNL) ²	全レンジ	VI		±0.5	±1.0	±0.5	±1.0	LSB	
積分非直線性(INL) ²	全レンジ	VI		±0.5	±1.2	±0.5	±1.2	LSB	
温度ドリフト									
オフセット誤差 ¹	全レンジ	V		+15		+15		ppm/	
ゲイン誤差 ¹	全レンジ	V		+30		+30		ppm/	
リファレンス電圧(1Vモード)	全レンジ	V		±230		±230		ppm/	
内蔵リファレンス									
出力電圧誤差(1Vモード)	全レンジ	VI		±2	±35	±2	±35	mV	
1.0mAでの負荷レギュレーション	全レンジ	V		0.2		0.2		mV	
出力電圧誤差(0.5Vモード)	全レンジ	V		±1		±1		mV	
0.5mAでの負荷レギュレーション	全レンジ	V		0.2		0.2		mV	
入力換算ノイズ									
VREF = 0.5V	25	V		0.8		0.8		LSB rms	
VREF = 1.0V	25	V		0.4		0.4		LSB rms	
アナログ入力									
入力スパン、VREF = 0.5V	全レンジ	IV		1		1		V p-p	
入力スパン、VREF = 1.0V	全レンジ	IV		2		2		V p-p	
入力容量 ³	全レンジ	V		2		2		pF	
リファレンス入力抵抗	全レンジ	V		7		7		k	
電源									
電源電圧									
AVDD	全レンジ	IV	2.7	3.0	3.3	2.7	3.0	3.3	V
DRVDD	全レンジ	IV	2.25	2.5	3.6	2.25	2.5	3.6	V
電源電流									
IAVDD ²	全レンジ	VI		30	35	34	39	mA	
IDRVDD ²	25	V		7		8		mA	
PSRR	全レンジ	V		±0.1		±0.1		% FSR	
消費電力									
正弦波入力 ²									
IAVDD ²	全レンジ	VI		90		102		mW	
IDRVDD ²	25	V		18		20		mW	
スタンバイ電力 ⁴	25	V		1.0		1.0		mW	

注

- 1 内部リファレンス = 1.0Vの場合
- 2 $f_n = 2.4\text{MHz}$ 、フル・スケール正弦波、各出力ビットに約5pFの負荷を接続するという条件で測定。
- 3 入力容量とは、1本の差動入力ピンとAGNDとの間の実効容量を意味します。図2の等価アナログ入力構造を参照してください。
- 4 スタンバイ電力は、DC入力、CLKピン = 非アクティブ(すなわちAVDDまたはAGNDに接続)で測定。

AC仕様

(特に指定のない限り、AVDD = 3V、DRVDD = 2.5V、サンプル・レート = 80MSPS、2V p-p差動入力、内部リファレンス = 1.0V、AIN = - 0.5dBFS、DCS オフ)

パラメータ	温度	テスト・レベル	AD9215BRU/BCP-65*			AD9215BRU/BCP-80*			単位
			Min	Typ	Max	Min	Typ	Max	
信号対ノイズ比(SNR) $f_{IN} = 2.4\text{MHz}$ $f_{IN} = \text{ナイキスト}^*$ $f_{IN} = 70\text{MHz}$ $f_{IN} = 100\text{MHz}$	全レンジ 25	VI	56.0	58.5		56.0	58.5		dB
		I	57.0	59.0		57.0	59.0		dB
	全レンジ 25	VI	56.0	58.0		56.0	58.0		dB
		I	56.5	58.5		56.5	58.5		dB
	25	V					58.0		dB
	25	V					57.5		dB
信号対ノイズ比および歪み(SINAD) $f_{IN} = 2.4\text{MHz}$ $f_{IN} = \text{ナイキスト}^*$ $f_{IN} = 70\text{MHz}$ $f_{IN} = 100\text{MHz}$	全レンジ 25	VI	55.8	58.5		55.7	58.5		dB
		I	56.5	59.0		56.8	58.5		dB
	全レンジ 25	VI	55.8	58.0		55.5	58.0		dB
		I	56.3	58.5		56.3	58.5		dB
	25	V					56.0		dB
	25	V					55.5		dB
実効ビット数(ENOB) $f_{IN} = 2.4\text{MHz}$ $f_{IN} = \text{ナイキスト}^*$ $f_{IN} = 70\text{MHz}$ $f_{IN} = 100\text{MHz}$	全レンジ 25	VI	9.1	9.5		9.0	9.5		ビット数
		I	9.2	9.6		9.3	9.5		ビット数
	全レンジ 25	VI	9.1	9.4		9.0	9.4		ビット数
		I	9.1	9.5		9.0	9.5		ビット数
	25	V					9.1		ビット数
	25	V					9.0		ビット数
高調波歪みワースト・ケース(2次または3次) $f_{IN} = 2.4\text{MHz}$ $f_{IN} = \text{ナイキスト}^*$ $f_{IN} = 70\text{MHz}$ $f_{IN} = 100\text{MHz}$	全レンジ 25	VI		- 78	- 64		- 78	- 64	dBc
		I		- 80	- 65		- 80	- 65	dBc
	全レンジ 25	VI		- 77	- 64		- 76	- 63	dBc
		I		- 78	- 65		- 78	- 65	dBc
	25	V					- 70		dBc
	25	V					- 70		dBc
その他のワースト・ケース(2次と3次を除く) $f_{IN} = 2.4\text{MHz}$ $f_{IN} = \text{ナイキスト}^*$ $f_{IN} = 70\text{MHz}$ $f_{IN} = 100\text{MHz}$	全レンジ 25	VI		- 77	- 67		- 77	- 66	dBc
		I		- 78	- 68		- 77	- 68	dBc
	全レンジ 25	VI		- 77	- 67		- 77	- 66	dBc
		I		- 78	- 68		- 77	- 68	dBc
	25	V					- 80		dBc
	25	V					- 80		dBc
2調波SFDR (AIN = - 0.5dBFS) $f_{IN1} = 70.3\text{MHz}$ 、 $f_{IN2} = 71.3\text{MHz}$ $f_{IN1} = 100.3\text{MHz}$ 、 $f_{IN2} = 101.3\text{MHz}$	25	V				73		dBc	
	25	V				72		dBc	
アナログ帯域幅	25	V		300		300		MHz	

* AD9215-65の場合は $f_{IN} = 35\text{MHz}$ で、AD9215-80の場合は $f_{IN} = 39\text{MHz}$ でテスト

仕様は予告なく変更されることがあります。

AD9215

デジタル仕様

パラメータ	温度	テスト・レベル	AD9215BRU/BCP-65			AD9215BRU/BCP-80			単位
			Min	Typ	Max	Min	Typ	Max	
ロジック入力(CLK、PDWN)									
ハイレベル入力電圧	全レンジ	IV	2.0			2.0			V
ローレベル入力電圧	全レンジ	IV			0.8			0.8	V
ハイレベル入力電流	全レンジ	IV	- 650		+ 10	- 650		+ 10	μA
ローレベル入力電流	全レンジ	IV	- 70		+ 10	- 70		+ 10	μA
入力容量	全レンジ	V		2			2		pF
ロジック出力*									
DRVDD=2.5V									
ハイレベル出力電圧	全レンジ	IV	2.45			2.45			V
ローレベル出力電圧	全レンジ	IV			0.05			0.05	V

*出力電圧レベルは、各出力に5pF負荷を接続して測定。

仕様は予告なく変更されることがあります。

スイッチング仕様

パラメータ	温度	テスト・レベル	AD9215BRU/BCP-65			AD9215BRU/BCP-80			単位
			Min	Typ	Max	Min	Typ	Max	
クロック入力パラメータ									
最大変換レート	全レンジ	VI	65			80			MSPS
最小変換レート	全レンジ	V			5			5	MSPS
クロック周期	全レンジ	V	15.4			12.5			ns
データ出力パラメータ									
出力遅延 ¹ (t _{od})	全レンジ	VI	2.5	4.8	6.5	2.5	4.8	6.5	ns
パイプライン遅延(レイテンシ)	全レンジ	V		5			5		サイクル数
アパーチャ遅延	25	V		2.4			2.4		ns
アパーチャ不確定性(ジッタ)	25	V		0.5			0.5		ps rms
ウェイクアップ時間 ²	25	V		7			7		ms
アウト・オブ・レンジからの回復時間	25	V		1			1		サイクル数

注

1 出力遅延は、各出力に5pF負荷を接続して、CLKの50%遷移からDATAの50%遷移までで測定。

2 ウェイクアップ時間は、デカップリング・コンデンサの値に依存します。代表的な値は0.1μFと10μFのコンデンサをREFEとREFBに接続します。

仕様は予告なく変更されることがあります。

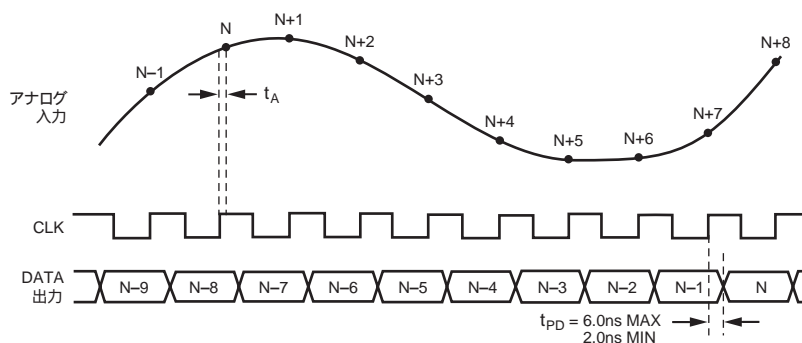


図1. タイミング図

絶対最大定格¹

記号	基準	Min	Max	単位
電気的特性				
AVDD	AGND	- 0.3	+ 3.9	V
DRVDD	DRGND	- 0.3	+ 3.9	V
AGND	DRGND	- 0.3	+ 0.3	V
AVDD	DRVDD	- 3.9	+ 3.9	V
デジタル出力	DRGND	- 0.3	DRVDD + 0.3	V
CLK、MODE	AGND	- 0.3	AVDD + 0.3	V
VIN+、VIN-	AGND	- 0.3	AVDD + 0.3	V
VREF	AGND	- 0.3	AVDD + 0.3	V
SENSE	AGND	- 0.3	AVDD + 0.3	V
REFB、REFT	AGND	- 0.3	AVDD + 0.3	V
PDWN	AGND	- 0.3	AVDD + 0.3	V
環境特性²				
動作温度		- 40	+ 85	
接合温度			150	
ピン温度(10秒)			300	
保存温度		- 65	+ 150	

注

- 1 左記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作セクションに記載する規定値以上のデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとはデバイスの信頼性に影響を与えます。
- 2 28ピンTSSOPの熱インピーダンス(typ値)： $J_A = 67.7 \text{ } ^\circ\text{W}$ 、32ピンLFCSP： $J_A = 32.7 \text{ } ^\circ\text{W}$ ；ヒート・シンクをグラウンド・プレーンにハンダ付け。

テスト・レベルの説明

テスト・レベル

- I. 100%の出荷テストを実施。
- II. 25 で100%の出荷テストおよび指定温度でのサンプル・テストを実施。
- III. サンプル・テストのみを実施。
- IV. パラメータは、設計および特性テストで保証。
- V. パラメータはtyp値のみ。
- VI. 25 で100%の出荷テスト。工業温度レンジは設計および特性テストで保証。ミリタリ・デバイスは限界温度で100%の出荷テストを実施。

オーダー・ガイド

製品モデル	温度レンジ	パッケージ	パッケージ・オプション
AD9215BRU-65	- 40 ~ + 85	28ピン薄型シュリンクSOP(TSSOP)	RU-28
AD9215BRU-80	- 40 ~ + 85	28ピン薄型シュリンクSOP(TSSOP)	RU-28
AD9215BCP-65	- 40 ~ + 85	32ピン・リード・フレーム・チップ・スケール・パッケージ(LFCSP)	CP-32
AD9215BCP-80	- 40 ~ + 85	32ピン・リード・フレーム・チップ・スケール・パッケージ(LFCSP)	CP-32
AD9215BRU-65EB	25	AD9215BRU-65評価ボード(TSSOP)	RU-28
AD9215BRU-80EB	25	AD9215BRU-80評価ボード(TSSOP)	RU-28
AD9215BCP-65EB	25	AD9215BCP-65評価ボード(LFCSP)	CP-32
AD9215BCP-80EB	25	AD9215BCP-80評価ボード(LFCSP)	CP-32

注意

ESD（静電放電）の影響を受けやすいデバイスです。4000Vにおよぶ高圧の静電気が人体やテスト装置に容易に帯電し、検知されことなく放電されることがあります。本製品には当社独自のESD保護回路を備えていますが、高エネルギーの静電放電を受けたデバイスには回復不可能な損傷が発生することがあります。このため、性能低下や機能喪失を回避するために、適切なESD防止措置をとるようお奨めします。



AD9215

ピン機能の説明

TSSOPピン番号	LFCSPピン番号	記号	説明
1	21	OR	アウト・オブ・レンジの表示
2	22	MODE	データ・フォーマットおよびクロック・デューティ・サイクル・スタビライザ(DCS)モードの選択
3	23	SENSE	リファレンス・モードの選択
4	24	VREF	リファレンス電圧の入力 / 出力
5	25	REFB	差動リファレンス(負側)
6	26	REFT	差動リファレンス(正側)
7、12	27、32	AVDD	アナログ電源
8、11	28、31	AGND	アナログ・グラウンド
9	29	VIN+	アナログ入力ピン(+)
10	30	VIN-	アナログ入力ピン(-)
13	2	CLK	クロック入力ピン
14	4	PDWN	パワーダウン機能の選択(アクティブ・ハイ)
15~16	1、3、5~8	DNC	未接続、このピンは解放状態のままにしてください。
17~22、25~28	9~14、17~20	D0 (LSB) ~ D9 (MSB)	データ出力ビット
23	15	DGND	デジタル出力グラウンド
24	16	DRVDD	デジタル出力ドライバ電源。最小0.1 μ FのコンデンサでDRGNDにデカップリングする必要があります。0.1 μ Fと10 μ Fの並列接続によるデカップリングが推奨されます。

TSSOP (RU-28)

DNC = 未接続

ピン配置

LFCSP (CP-32)

DNC = 未接続

図2. アナログ入力の等価回路

図4. デジタル出力の等価回路

図3. MODE入力の等価回路

図5. デジタル入力の等価回路

仕様の定義

アパーチャ遅延

アパーチャ遅延はサンプル / ホールド・アンプ(SHA)の性能を表し、クロック入力の立ち上がりエッジから入力信号が変換用にホールドされるまでの時間として測定されます。

アパーチャ・ジッタ

アパーチャ・ジッタは連続サンプルに対するアパーチャ遅延の変動であり、ADコンバータ入力での周波数依存ノイズとして表すことができます。

クロック・パルス幅とデューティ・サイクル

ハイレベル・パルス幅は、定格性能を達成するために、クロック・パルスがロジック「1」状態を維持する必要がある最小時間幅です。ローレベル・パルス幅は、クロック・パルスがローレベル状態を維持する必要がある最小時間幅です。これらの仕様が、与えられたクロック・レートで許容クロック・デューティ・サイクルを決定します。

微分非直線性(DNL、ノーマス・コード)

理想的なコンバータでは、各コード遷移は1 LSBだけ離れた位置で発生します。DNLとは、この理想値からの最大偏差をいいます。ノーマス・コードで10ビット分解能を保証するとは、全動作レンジで1024コードすべてが出力されることを表します。

実効ビット数(ENOB)

正弦波では、SINADはビット数で表すことができます。次式を使い、

$$N = (\text{SINAD} - 1.76) / 6.02$$

実効ビット数Nで表した性能を求めることができます。

したがって、与えられた入力周波数の正弦波入力に対するデバイスの実効ビット数は、SINADの測定値から直接計算することができます。

ゲイン誤差

最初のコード遷移は、負側フル・スケールより1/2 LSBだけ大きいアナログ値で発生します。最後の遷移は、正側フル・スケールより1.5 LSBだけ小さいアナログ値で発生します。ゲイン誤差は、最初と最後のコード遷移に関する、理想と実際との偏差をいいます。

積分非直線性(INL)

INLは、「負側のフル・スケール」と「正側のフル・スケール」を結ぶ直線の、実際のコード出力からの偏差として定義されます。「負側フル・スケール」として使用されるポイントは、最初のコード遷移より1/2 LSBだけ下に存在します。「正側フル・スケール」は、最後のコード遷移より1.5 LSBだけ上のレベルと定義されます。偏差は各コードの中央の位置から直線までの距離として測定されます。

最大変換レート

パラメータ・テストが実施されるクロック・レート。

最小変換レート

最小周波数のアナログ信号のSNRが保証規定値より3dBだけ低下するクロック・レート。

オフセット誤差

VIN+ = VIN- より1/2 LSB小さいアナログ値で主キャリア変化が発生します。ゼロ誤差は、そのポイントと実際の変化の偏差と定義されません。

アウト・オブ・レンジ回復時間

アウト・オブ・レンジ回復時間とは、正側フル・スケールの10%上から負側フル・スケールの10%上までの変化の後、または負側フル・スケールの10%下から正側フル・スケールの10%下までの変化の後に、ADコンバータがアナログ入力を再度取り込むのに要する時間をいいます。

出力伝搬遅延

クロック・ロジックの閾値から全ビットが有効ロジック・レベルになるまでの遅延。

電源除去比

この仕様は、電源が最小規定値から最大規定値に変化したときのフル・スケール値の最大変化を表します。

信号対ノイズおよび歪み(SINAD)比

SINADは、測定した入力信号rms値の、ナイキスト周波数より下の全スペクトル成分のrms値総和(DC以外の高調波を含む)に対する比です。SINADは、デシベル値で表されます。

信号対ノイズ比(SNR)

SNRは、測定した入力信号rms値の、ナイキスト周波数より下の全スペクトル成分のrms値総和から6次までの高調波成分とDCを除いた値に対する比です。SNRは、デシベル値で表されます。

スプリアス・フリー・ダイナミック・レンジ(SFDR)

入力信号のrms振幅値とピーク・スプリアス信号との差をいひ、dB値で表します。

温度ドリフト

ゼロ誤差とゲイン誤差の温度ドリフトは、初期値(25)からTMINまたはTMAXでの値までの最大変化を規定します。

$$T_{\text{MIN}} \text{ or } T_{\text{MAX}}$$

全高調波歪み(THD)

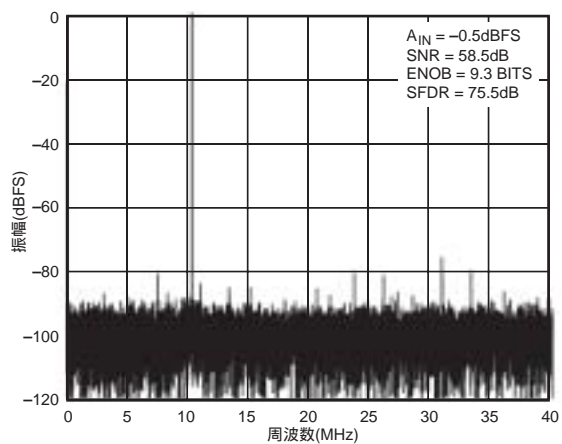
THDとは、6次高調波成分までのrms値の総和の、入力信号のrms値に対する比をいひ、パーセント値またはデシベル値で表します。

2調波SFDR

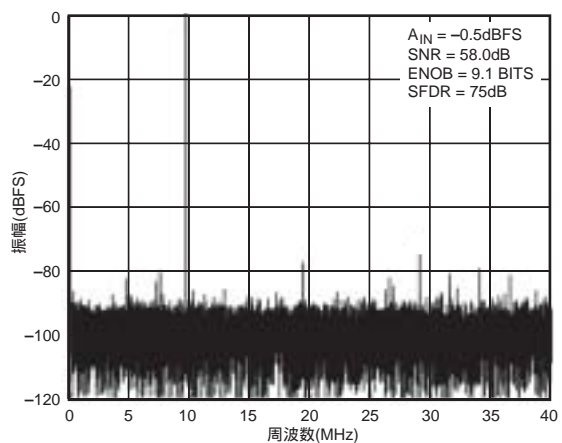
いずれかの入力調波のrms値の、ピーク・スプリアス成分のrms値に対する比。ピーク・スプリアス成分は、IMD積の場合とそうでない場合があります。dBc (信号レベルを小さくした場合の劣化)またはdBFS (コンバータのフル・スケールに換算)で表されます。

AD9215 代表的な性能特性

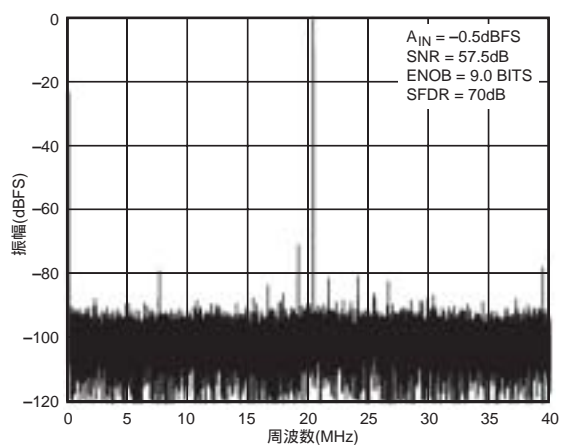
(特に指定のない限り、AVDD = 3.0V、DRVDD = 2.5V、DCSイネーブル、 $T_A = 25$ 、2V差動入力、 $A_{IN} = -0.5\text{dBFS}$ 、 $V_{REF} = 1.0\text{V}$)



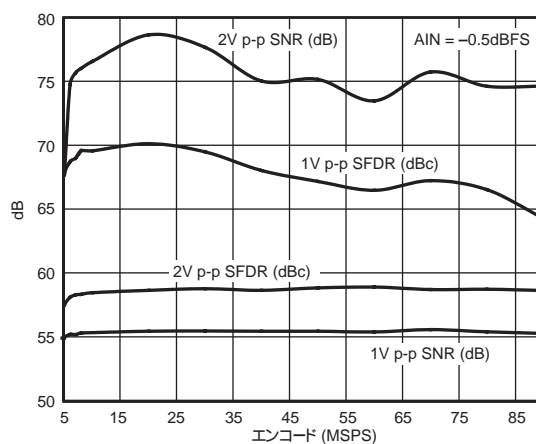
特性 1. 単調波32kのFFT、 $f_{IN} = 10.3\text{MHz}$ 、 $f_{SAMPLE} = 80\text{MSPS}$



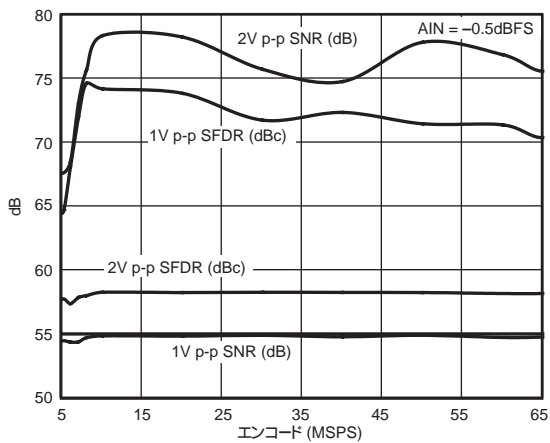
特性 2. 単調波32kのFFT、 $f_{IN} = 70.3\text{MHz}$ 、 $f_{SAMPLE} = 80\text{MSPS}$



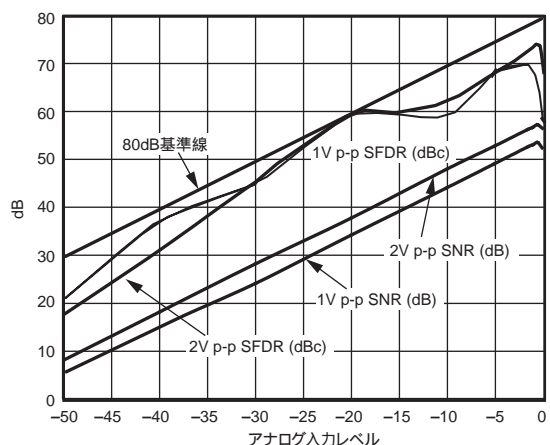
特性 3. 単調波32kのFFT、 $f_{IN} = 100.3\text{MHz}$ 、 $f_{SAMPLE} = 80\text{MSPS}$



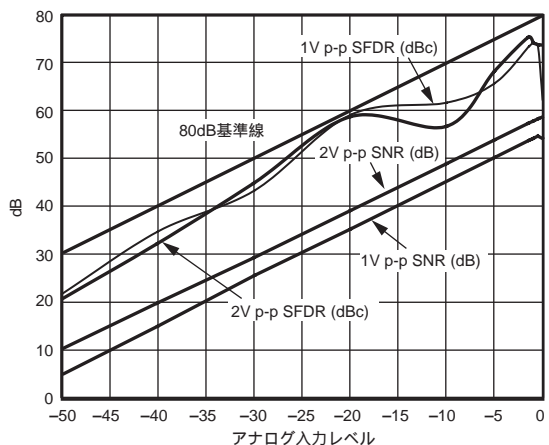
特性 4. AD9215-80のSNR/SFDR対 f_{SAMPLE} 、 $f_{IN} = 10.3\text{MHz}$



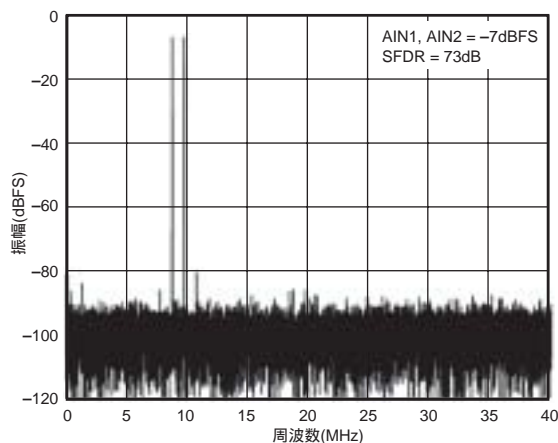
特性 5. AD9215-65のSNR/SFDR対 f_{SAMPLE} 、 $f_{IN} = 10.3\text{MHz}$



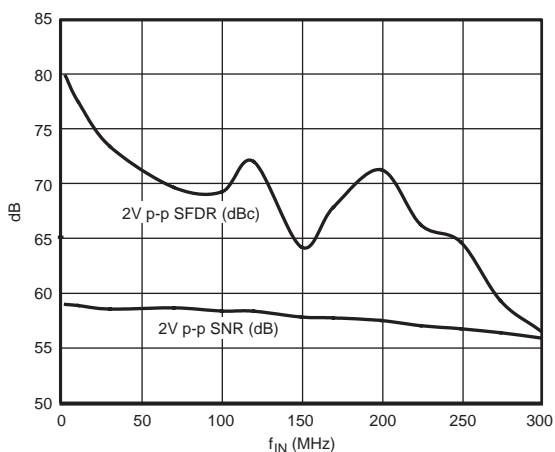
特性 6. AD9215-80のSNR/SFDR対アナログ入力駆動レベル、 $f_{SAMPLE} = 80\text{MSPS}$ 、 $f_{IN} = 39.1\text{MHz}$



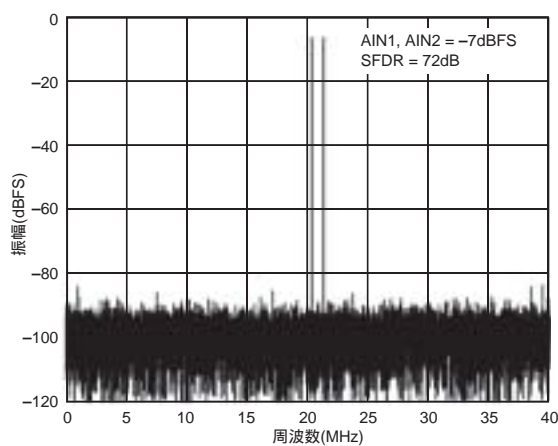
特性 7. AD9215-65のSNR/SFDR対アナログ入力駆動レベル、
 $f_{\text{SAMPLE}} = 65\text{MSPS}$ 、 $f_{\text{IN}} = 30.3\text{MHz}$



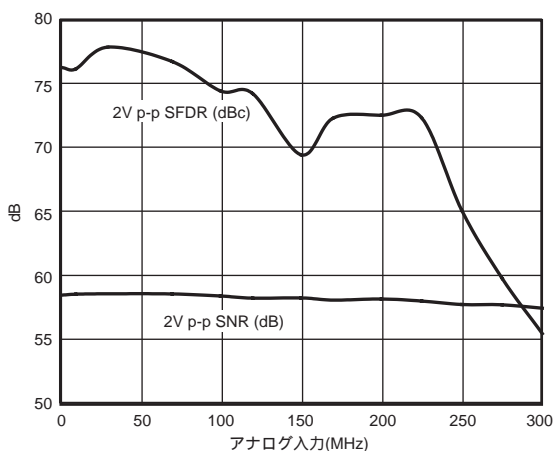
特性 10. 2調波32kのFFT、 $f_{\text{IN1}} = 70.3\text{MHz}$ 、
 および $f_{\text{IN2}} = 71.3\text{MHz}$ 、 $f_{\text{SAMPLE}} = 80\text{MSPS}$



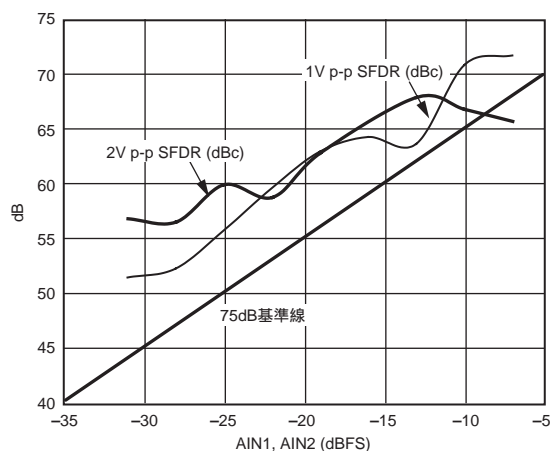
特性 8. AD9215-80のSNR/SFDR対 f_{IN} 、 $A_{\text{IN}} = -0.5\text{dBFS}$ 、
 $f_{\text{SAMPLE}} = 80\text{MSPS}$



特性 11. 2調波32kのFFT、 $f_{\text{IN1}} = 100.3\text{MHz}$ 、
 および $f_{\text{IN2}} = 101.3\text{MHz}$ 、 $f_{\text{SAMPLE}} = 80\text{MSPS}$

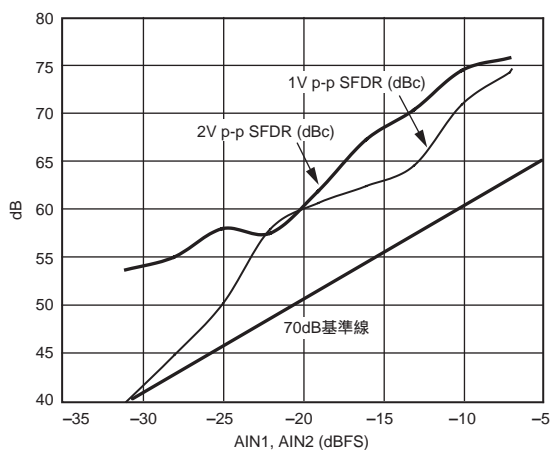


特性 9. AD9215-65のSNR/SFDR対 f_{IN} 、 $A_{\text{IN}} = -0.5\text{dBFS}$ 、
 $f_{\text{SAMPLE}} = 65\text{MSPS}$

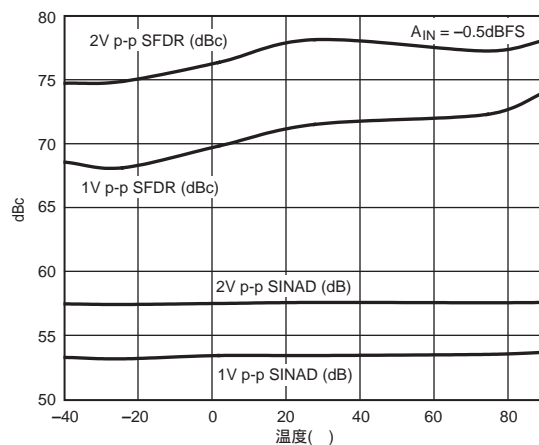


特性 12. AD9215-80の2調波SFDR対 A_{IN} 、 $f_{\text{IN1}} = 69.3\text{MHz}$ 、
 および $f_{\text{IN2}} = 70.3\text{MHz}$ 、 $f_{\text{SAMPLE}} = 80\text{MSPS}$

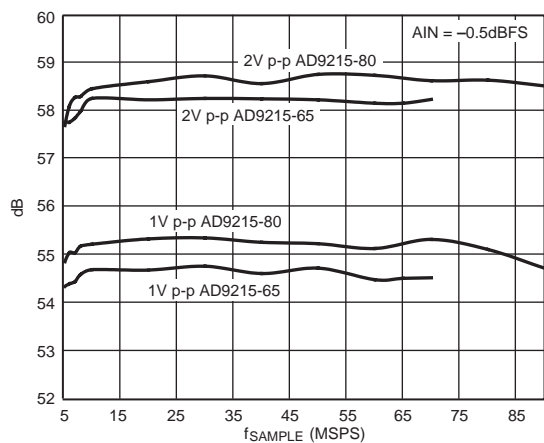
AD9215



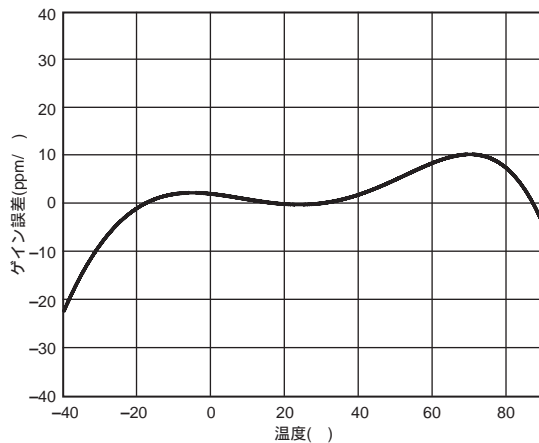
特性 13. AD9215-80の2調波SFDR対 A_{IN} 、 $f_{IN1} = 100.3\text{MHz}$ 、
および $f_{IN2} = 101.3\text{MHz}$ 、 $f_{SAMPLE} = 80\text{MSPS}$



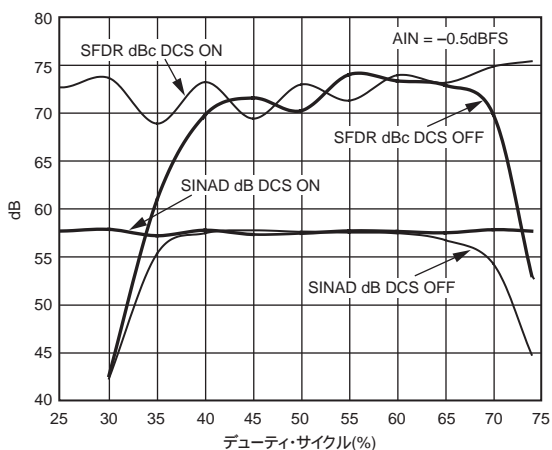
特性 16. SINAD、SFDRの温度特性、 $f_{IN} = 39\text{MHz}$



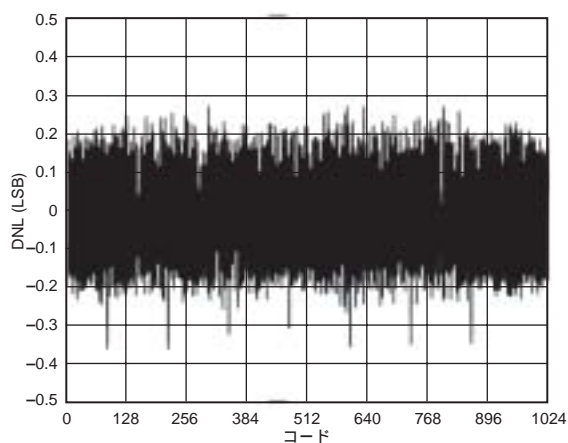
特性 14. SINAD対 f_{SAMPLE} 、 $f_{IN} = 40.9\text{MHz}$



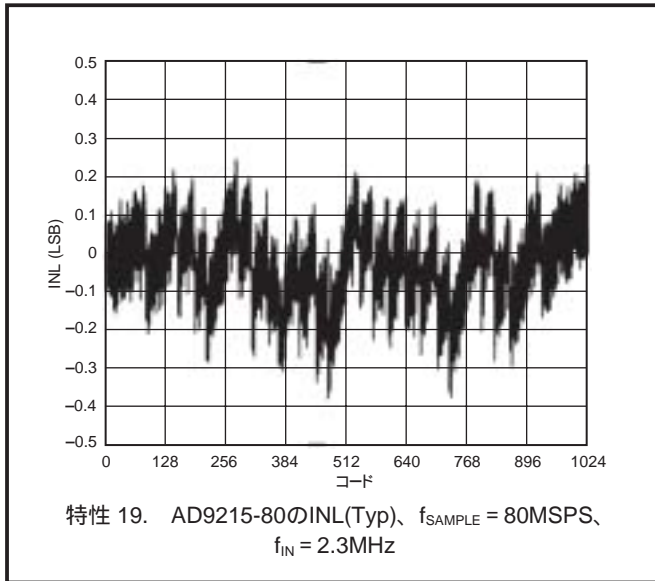
特性 17. ゲイン誤差の温度特性、外部リファレンス = 1V



特性 15. SINAD、SFDR対クロック・デューティ・サイクル、
 $f_{SAMPLE} = 80\text{MSPS}$ 、 $f_{IN} = 40.9\text{MHz}$



特性 18. AD9215-80のDNL(Typ)、 $f_{SAMPLE} = 80\text{MSPS}$ 、
 $f_{IN} = 2.3\text{MHz}$



AD9215の応用

動作原理

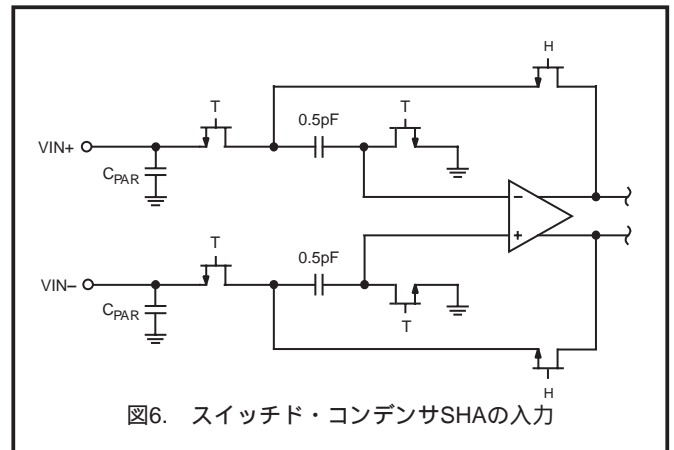
AD9215アーキテクチャは、フロントエンドのサンプル/ホールド・アンプ(SHA)と、それに続くパイプライン化されたスイッチド・コンデンサA/Dコンバータから構成されています。各段は、前段のフラッシュ誤差を訂正するように、十分にオーバーラップしています。各段からの量子化出力は最終的な10ビットに組み立てられて、デジタル補正ロジック内に出力されます。パイプライン化されたアーキテクチャにより、最初の段が新しい入力サンプル扱うのと同時に、残りの段はそれ以前のサンプルを処理することができます。サンプリングはクロックの立ち上がりエッジで行われます。

入力段は差動SHAを含んでおり、差動モードまたはシングルエンド・モードでAC結合またはDC結合に設定することができます。パイプラインの最終段以外の各段は、低い分解能のフラッシュA/Dで構成され、これらのフラッシュA/Dはスイッチド・コンデンサDACと段間残留アンプ(MDAC)に接続されています。この残留アンプは、再生されたDAC出力とパイプライン内の次の段に対するフラッシュ入力の差を増幅します。各段は、冗長な1ビットを使って、フラッシュ誤差のデジタル補正を行っています。

出力段のブロックではデータの整理、誤差補正の搬送、出力バッファへのデータの出力が行われます。出力バッファの電源は分離されているため、出力電圧振幅を調整することができます。パワーダウン時には、出力バッファは高インピーダンス状態になります。

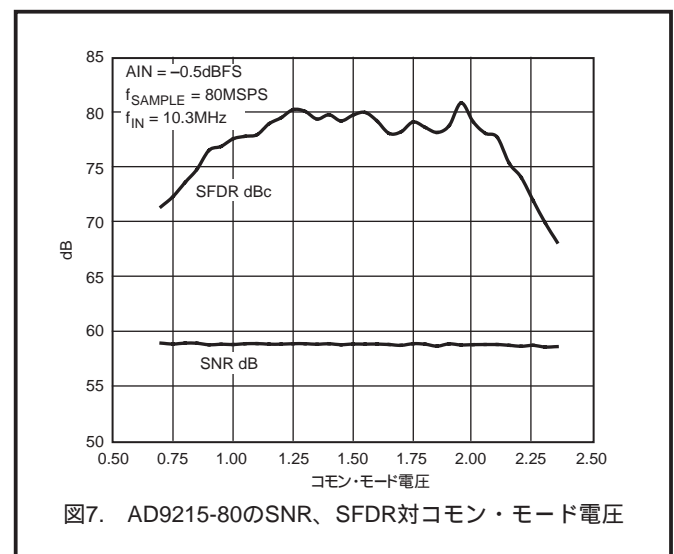
アナログ入力トリファレンスの概要

AD9215のアナログ入力は、差動のスイッチド・コンデンサSHAになっており、差動入力信号を処理する際に最適性能が得られるようにデザインされています。このSHA入力は、広いコモン・モードレンジをサポートことができ、優れた性能を維持します(図7)。電源の1/2の入力コモン・モード電圧で、信号に依存する誤差が最小になり、最適性能が得られます。



SHAはクロック信号によりサンプル・モードとホールド・モードが交互に切替わります(図6)。SHAがサンプル・モードに切替わると、信号ソースはサンプル・コンデンサを充電します。この値はクロック・サイクルの1/2以内で安定する必要があります。各入力に小さい抵抗を直列に接続すると、駆動源側の出力段に必要なピーク過渡電流を減少させるのに役立ちます。また、入力間に小さいコンデンサをシャント接続すると、動的な充電電流を供給できます。これらの受動回路はA/Dの入力でローパス・フィルタを構成するため、正確な値はアプリケーションに依存します。IFアンダーサンプリング・アプリケーションの場合は、シャント・コンデンサを削除する必要があります。これらと駆動源インピーダンスとの組み合わせにより、入力帯域幅が制限されます。

AD9215のアナログ入力は内部でDCバイアスされていません。AC結合のアプリケーションでは、ユーザーが外部からこのバイアスを与える必要があります。最適性能を得るには $V_{\text{CM}} = AV_{\text{DD}}/2$ が推奨されますが、広いレンジで適切な性能で機能します(図7)。



最適なダイナミック性能を得るには、コモン・モードのセトリング誤差が対称になるように、 $V_{\text{IN}+}$ と $V_{\text{IN}-}$ を駆動するソース・インピーダンスが一致している必要があります。これらの誤差は、A/Dのコモン・モード除去比により小さくなります。

AD9215

内部差動リファレンス・バッファは正側と負側のリファレンス電圧 (REFTとREFB)を発生し、A/Dコアのスパンを決定しています。リファレンス・バッファの出力コモン・モードは電源電圧の1/2に設定され、REFT電圧、REFB電圧、スパンは、次のように決定されます。

$$REFT = 1/2 (AVDD + VREF)$$

$$REFB = 1/2 (AVDD - VREF)$$

$$\text{Span} = 2 \times (REFT - REFB) = 2 \times VREF$$

REFT電圧とREFB電圧は電源電圧の1/2に関して対称であり、定義により、入力スパンはVREF電圧値の2倍であることが、上の式から分かります。

内部リファレンス電圧は固定値0.5Vまたは1.0Vにピンで接続するか、あるいは「内部リファレンス接続」で説明するレンジに調整することができます。最大SNR性能は、AD9215を最大入力スパンの2V p-pに設定したときに得られます。2V p-pモードから1V p-pモードに変更すると、相対的なSNRの低下は3dBになります。

SHAは、選択されたリファレンス電圧の許容レンジ内に信号ピークを維持するソースで駆動することができます。最小および最大コモン・モード入力レベルは、次式で与えられます。

$$VCM_{MIN} = VREF / 2$$

$$VCM_{MAX} = (AVDD + VREF) / 2$$

最小コモン・モード入力レベルにより、AD9215がグラウンド基準の入力を受け付けることが可能になります。

最適性能は差動入力時に得られますが、シングルエンド・ソースがVIN+またはVIN-を駆動することもできます。この構成では、一方の入力で信号を受取り、反対側の入力は適切なリファレンス・レベルに接続することにより、スケールの中心値に設定します。たとえば、2V p-p信号をVIN+に入力したら、1Vのリファレンス電圧をVIN-に入力します。そうすると、AD9215は2V ~ 0Vで変化する信号を受け取ることができます。シングルエンド構成では、差動の場合に比べて歪み性能が著しく低下します。ただし、低い入力周波数では影響が目立たなくなります。

差動入力構成

すでに詳しく説明したように、最適性能はAD9215を差動入力構成で駆動する場合に得られます。ベースバンド・アプリケーションに対しては、AD8138差動ドライバが優れた性能とA/Dコンバータに対する柔軟なインターフェースを提供します。AD8138の出力コモン・モード電圧は容易にAVDD/2に設定でき、ドライバは入力信号の帯域制限用Sallen Keyフィルタ・トポロジで構成することができます。

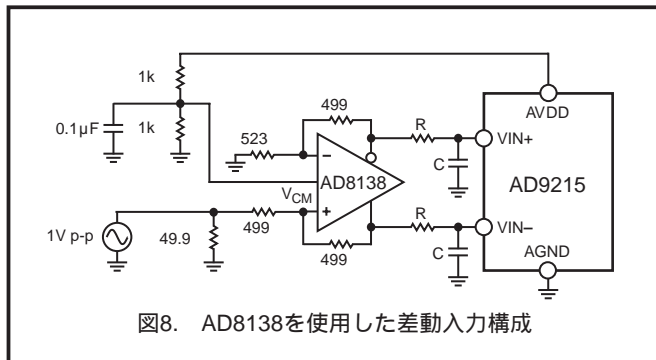


図8. AD8138を使用した差動入力構成

第2ナイキスト領域およびそれ以上の入力周波数では、AD9215の真の性能を得るには、大部分のアンプの性能では不十分です。このことは、70MHz ~ 200MHzの周波数をサンプリングするIFアンダー・サンプリング・アプリケーションの場合に特に当てはまります。これらのアプリケーションに対しては、入力構成に差動トランス結合を使用することが推奨されます。シャント・コンデンサの値は入力周波数とソース・インピーダンスに依存しており、小さくするか、削除する必要があります。この例を図9に示します。

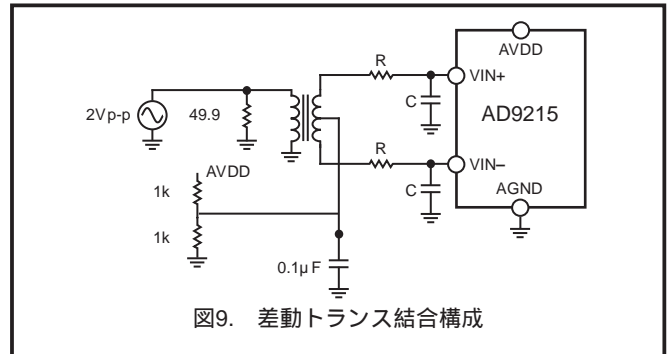


図9. 差動トランス結合構成

トランスを選択するときは、信号特性を考慮する必要があります。多くのRFトランスは数MHzより低い周波数で飽和します。また大きな信号電力でもコアの飽和が発生して、歪み発生の原因になります。

シングルエンド入力構成

価格に厳しいアプリケーションでは、シングルエンド入力で妥当な性能を得ることが可能です。この構成では、入力コモン・モード振幅が大きいためSFDR性能と歪み性能が低下します。ただし、各入力ソース・インピーダンスを一致させると、SNR性能に対する影響は小さくなります。図10に、代表的なシングルエンド入力構成を示します。

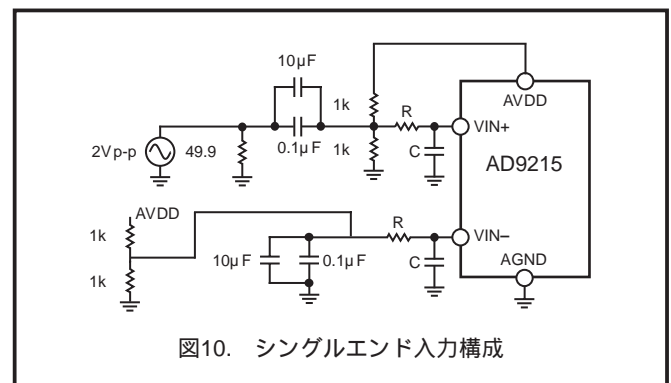


図10. シングルエンド入力構成

クロック入力および考慮事項

代表的な高速A/Dコンバータは両方のクロック・エッジを使って、さまざまな内部タイミング信号を発生しているため、クロックのデューティ・サイクルの影響を大きく受けます。一般に、ダイナミック性能特性を維持するにはクロック・デューティ・サイクルの許容偏差は5%以内が求められます。AD9215は、非サンプリング・エッジの再タイミングを行って、公称50%のデューティ・サイクルの内部クロック信号を発生するクロック・デューティ・サイクル・スタビライザ内蔵しています。この回路により、AD9215の性能に影響を与えずに広レンジなクロック入力のデューティ・サイクルを許容できます。特性15に示すように、ノイズ性能と歪み性能はデューティ・サイクルの50%レンジでほぼ平坦です。

デューティ・サイクル・スタビライザは、遅延ロック・ループ(DLL)を使って非サンプリング・エッジを再生しています。そのため、サンプリング周波数が変化すると、DLLが新しいレートにロックするために約100クロック・サイクルを必要とします。

表 I. リファレンス構成の一覧

選択するモード	外部SENSEの接続	内部オペアンプの構成	VREF (V)	差動スパン(V p-p)
外部リファレンス	AVDD			外部リファレンス×2
0.5Vの内部リファレンス	VREF	電圧フォロア(G=1)	0.5	1.0
外部設定の変可リファレンス	外部デバイダ	非反転(1 < G < 2)	0.5×(1+R2/R1)	VREF×2
内部設定の1Vリファレンス	AGND ~ 0.2V	内部デバイダ	1.0	2.0

表 II. デジタル出力コーディング

コード	VIN+ - VIN- 入力、 スパン = 2V p-p (V)	VIN+ - VIN- 入力、 スパン = 1V p-p (V)	デジタル出力オフセット・ バイナリ(D9.....D0)	デジタル出力2の補数 (D9.....D0)
1023	1.000	0.500	11 1111 1111	01 1111 1111
512	0	0	10 0000 0000	00 0000 0000
511	- 0.00195	- 0.000978	01 1111 1111	11 1111 1111
0	- 1.00	- 0.5000	00 0000 0000	10 0000 0000

高速高分解能のA/Dは、クロック入力の品質に敏感です。所与のフル・スケール入力周波数(f_{INPUT})での、アパーチャ・ジッタ(t_A)のみに起因するSNRの低下は、次式で計算されます。

$$\text{SNRの低下} = 20 \times \log_{10} [2 \times \times f_{\text{INPUT}} \times t_A]$$

この式で、rmsアパーチャ・ジッタ t_A は、クロック入力、アナログ入力信号、A/Dアパーチャ・ジッタ仕様を含む全ジッタ・ソースの2乗和平方根を表します。アンダーサンプリングのアプリケーションは、特にジッタに敏感です。

アパーチャ・ジッタがAD9215のダイナミックレンジに影響を与えるケースでは、クロック入力はアナログ信号として扱う必要があります。クロック・ドライバの電源はA/D出力ドライバの電源と分離して、クロック信号がデジタル・ノイズから変調を受けないようにする必要があります。ロー・ジッタのクリスタル制御オシレータは最適なクロック源です。クロックが別のタイプのソース(ゲーティング、分周、その他の方法)から発生される場合、最終ステップで元のクロックを使って再タイミングする必要があります。

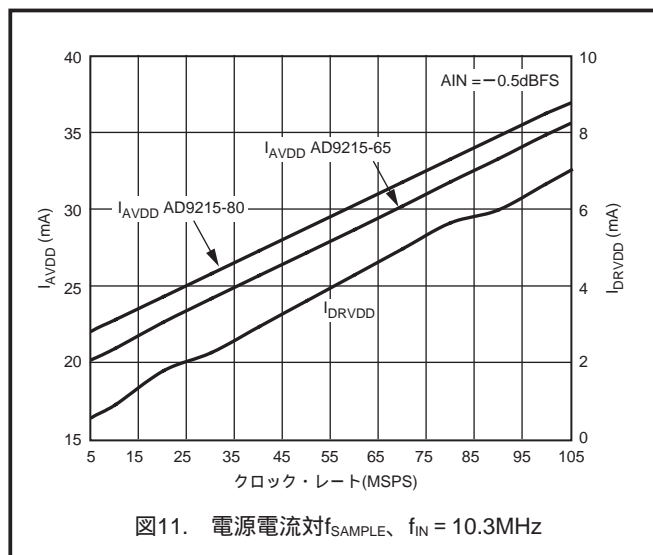
消費電力とスタンバイ・モード

図11に示すように、AD9215で消費される電力はサンプル・レートに比例します。デジタル消費電力は主にデジタル・ドライバの強さと各出力ビットの負荷で決まるため、3つのスピード・グレード間で大きな違いはありません。最大DRVDD電流は次のように計算されます。

$$I_{\text{DRVDD}} = V_{\text{DRVDD}} \times C_{\text{LOAD}} \times f_{\text{CLOCK}} \times N$$

ここで、Nは出力ビット数で、AD9215の場合は10になります。この最大電流は、各出力ビットが各クロック・サイクルでスイッチングする条件に対するもので、この条件はナイキスト周波数 $f_{\text{CLOCK}}/2$ のフル・スケール方形波に対してのみ発生します。実用的には、DRVDD電流はスイッチングしている出力ビット数の平均値で計算します。出力ビット数の平均値は、エンコード・レートとアナログ入力信号の特性によって決定されます。

デジタル消費電力は出力ドライバの容量負荷を小さくすることで、小さくすることができます。図11に示すデータは、各出力ドライバに5pF負荷を接続して取得したものです。

図11. 電源電流対 f_{SAMPLE} 、 $f_{\text{IN}} = 10.3\text{MHz}$

アナログ回路は、各スピード・グレードが優れた性能を提供すると同時に消費電力を小さくできるように、最適バイアスされています。各スピード・グレードは低いサンプル・レートで基礎電力を消費します。この基礎電力はクロック周波数に比例します。

PDWNピンをハイレベルにすると、AD9215はスタンバイ・モードになります。この状態では、CLKとアナログ入力に静止している場合、A/Dの消費電力は1mW(typ)です。スタンバイ時は、出力ドライバは高インピーダンス状態になります。PDWNピンをローレベルにすると、AD9215は通常動作モードに戻ります。

スタンバイ・モードでの低消費電力は、リファレンス、リファレンス・バッファ、バイアス回路をシャットダウンすることで達成されています。スタンバイ・モードに入ると、REFTとREFBに接続されているデカップリング・コンデンサが放電するため、通常動作に戻る際には再充電する必要があります。このため、ウェイクアップ時間はスタンバイ・モード状態の長さに関係し、スタンバイ・サイクルが短いと、それに比例してウェイクアップ時間も短くなります。REFTとREFBに0.1 μF と10 μF の推奨デカップリング・コンデンサを接続した場合、リファレンス・バッファのデカップリング・コンデンサを完全に放電するのに約1s必要で、動作を再開するには7msが必要です。

AD9215

デジタル出力

AD9215の出力ドライバは、DRVDDをインターフェース・ロジックの電源と一致させることにより、2.5Vまたは3.3Vロジック・ファミリーとインターフェースするように設定することができます。出力ドライバは、さまざまなロジック・ファミリーを駆動するのに十分な出力電流を提供するようにデザインされています。ただし、多くの駆動電流は電源に電流グリッチを生じさせる傾向を持ち、コンバータ性能に影響を与えます。ADCが大きな容量負荷や多くのファンアウトを駆動することが必要なアプリケーションでは、外付けバッファまたはラッチが必要となることがあります。

タイミング

AD9215は、5クロック・サイクルのパイプライン遅延を持つラッチされたデータを出力します。データ出力は、クロック信号の立ち上がりエッジから1伝搬遅延(t_{ob})後に出力されます。詳しいタイミングについては、図1を参照してください。

出力データ・ラインの長さ、それに接続された負荷を最小化して、AD9215内部での過渡電圧を抑える必要があります。過渡電圧はコンバータのダイナミック性能を低下させることがあります。

AD9215の最小変換レートは5MSPS(typ)です。5MSPSより低いクロック・レートでは、ダイナミック性能が低下することがあります。

リファレンス電圧

AD9215は、安定かつ正確な0.5V電圧リファレンスで内蔵しています。入力レンジは、内部リファレンスまたは外部入力リファレンス電圧を使ってAD9215に入力するリファレンス電圧を変化させることで調節することができます。A/Dの入力スパンは、リファレンス電圧の変化に比例して追従します。

内部リファレンスの接続

AD9215内部のコンパレータがSENSEピンの電位を検出して、リファレンスを表IIに示す4つの状態のいずれかに設定します。SENSEをグラウンドに接続すると、リファレンス・アンプ・スイッチは内部抵抗デバイダに接続され(図12)、VREFが1Vに設定されます。SENSEピンとVREFピンを接続すると、アンプ出力がSENSEピンに切替えられ、内部オペアンプ回路が電圧フォロアに構成されて、0.5Vリファレンスが出力されます。図13に示すように外部抵抗デバイダが接続されると、スイッチは再びSENSEピンに設定されます。これにより、リファレンス・アンプは非反転モードになり、VREF出力は次のように決定されます。

$$V_{REF} = 0.5 \times \left(1 + \frac{R_2}{R_1}\right)$$

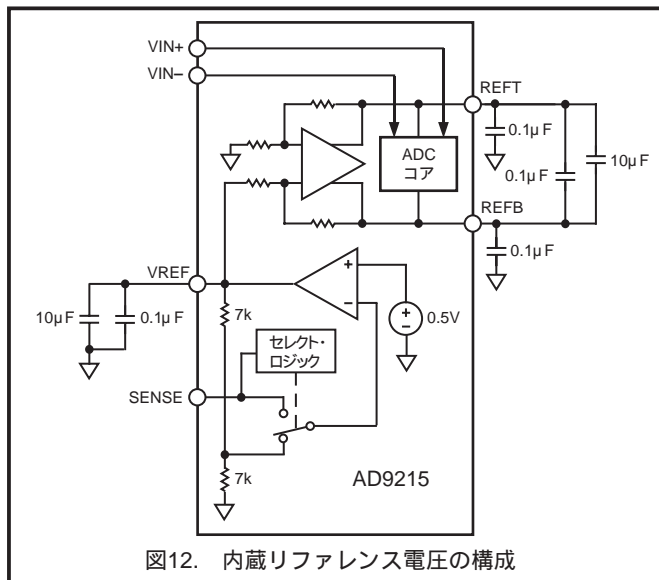


図12. 内蔵リファレンス電圧の構成

すべてのリファレンス構成で、REFTとREFBがA/D変換コアを駆動し、入力スパンを決定します。A/Dの入力レンジは内部リファレンスまたは外部リファレンスのどちらを使う場合でも、常にリファレンス・ピンの電圧の2倍に等しくなります。

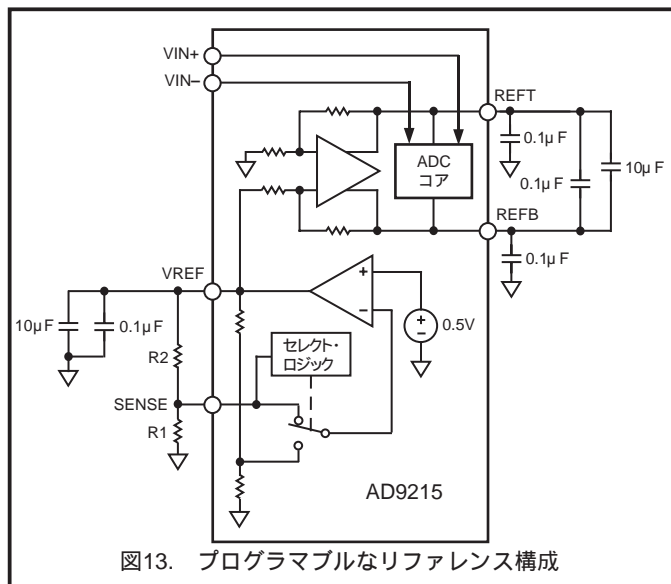


図13. プログラマブルなリファレンス構成

ゲイン・マッチングを改善するために、AD9215の内部リファレンスを使って複数のコンバータを駆動する場合、他のコンバータによるリファレンスへの負荷を考慮する必要があります。図14に、内部リファレンス電圧が受ける負荷の影響を示します。

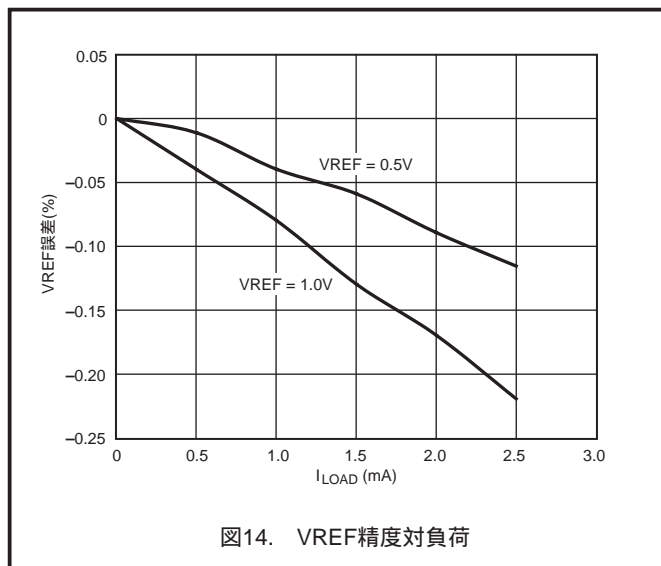
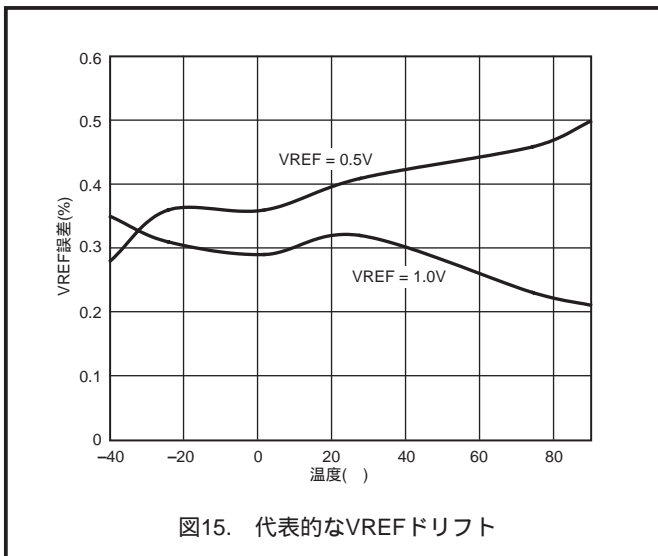


図14. VREF精度対負荷

外部リファレンスによる動作

A/Dのゲイン精度を向上させる場合や温度ドリフト特性を改善する場合、外部リファレンスの使用が必要となることがあります。また、複数のA/Dを互いに連係させて使用する際、1つのリファレンス(内部または外部)を用いてゲイン・マッチング誤差を許容レベルまで減少させることが必要となることがあります。ゲインとオフセットの温度ドリフトを小さくするには、高精度の外部リファレンスを選択することが必要です。図15に、1Vモードと0.5Vモードの代表的な内部リファレンスのドリフト特性を示します。



SENSEピンをAVDDに接続すると、内部リファレンスがディスエーブルされて、外部リファレンスの使用が可能になります。内部リファレンス・バッファは、外部リファレンスに対して7k Ω の等価負荷となります。この場合も内部バッファはA/Dコアに対して正側と負側のフルスケール・リファレンス(REFTとREFB)を発生します。入力スパンは常にリファレンス電圧値の2倍になるため、外部リファレンスは最大1Vに制限する必要があります。

動作モードの選択

すでに説明したように、AD9215はデータをオフセット・バイナリまたは2の補数のフォーマットで出力できます。また、クロック・デューティ・

サイクル・スタビライザ(DCS)をイネーブルまたはディスエーブルすることもできます。MODEピンは、データ・フォーマットとDCS状態を制御するマルチレベル入力ピンです。入力閾値と対応するモード選択を表IIIに示します。

表IIIに示すように、データ・フォーマットとしては、オフセット・バイナリまたは2の補数を選択することができます。

表 III. モードの選択

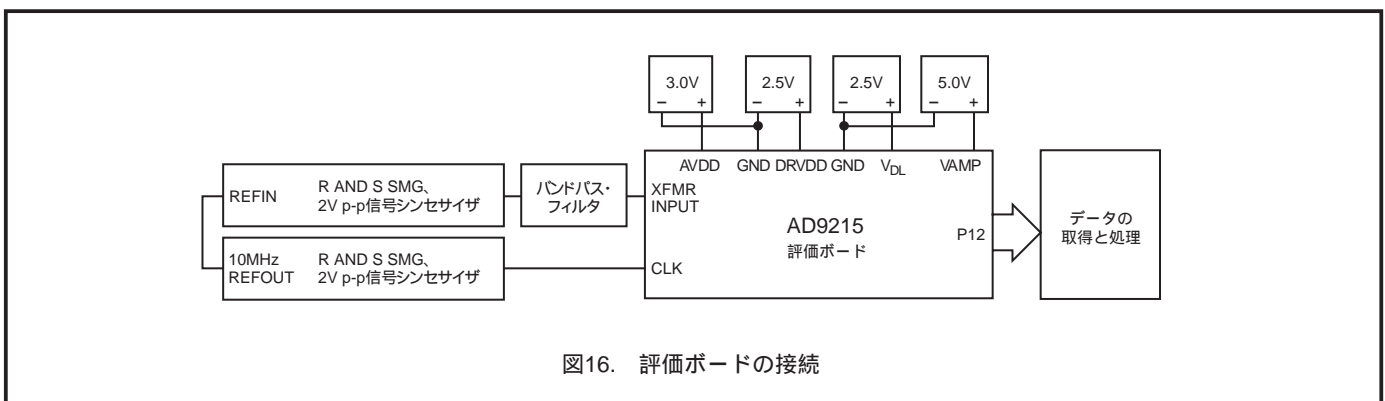
MODEの電圧	データ・フォーマット	デューティ・サイクル・スタビライザ
AVDD	2の補数	ディスエーブル
2/3 AVDD	2の補数	イネーブル
1/3 AVDD	オフセット・バイナリ	イネーブル
AGND (デフォルト)	オフセット・バイナリ	ディスエーブル

MODEピンは、20k Ω の抵抗を介してAGNDに内部でプルダウンされています。

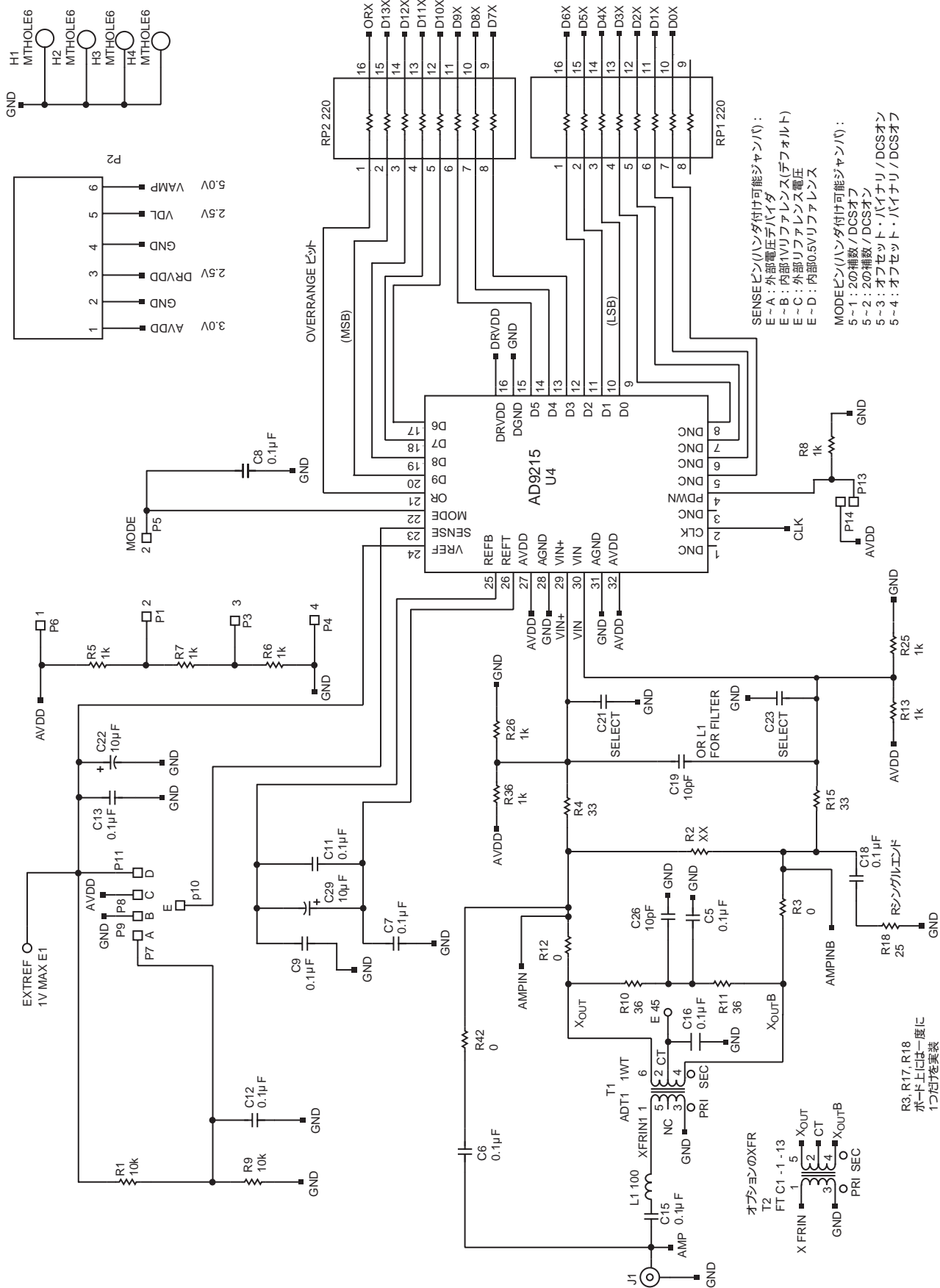
評価ボード

AD9215評価ボードは、A/Dをさまざまなモードと構成で動作させるのに必要なすべてのサポート回路を提供します。コンバータは、AD8351ドライバまたはトランスを使った差動、またはシングルエンドで駆動することができます。DUTをサポート回路から絶縁できるように、別々の電源ピンが用意されています。ジャンパの接続により、各入力構成が選択できます(回路図参照)。図16に、AD9215の性能評価に使用した代表的なベンチでの特性評価接続を示します。コンバータのベストな性能を実現するには、非常に小さいフェーズノイズ(rmsジッタが1ピコ秒未満)を持つ信号ソースを使うことが不可欠です。仕様のノイズ性能を得るには、高調波を除去し、かつ入力での総合ノイズを小さくするための入力信号の適切なフィルタリングも必要です。

完全な回路図とレイアウト図を次に示します。これはシステム・レベルで採用できる適切なルーティングおよびグラウンディングの方法を示しています。



AD9215



SENSEピン(ハンダ付け可能ジャンパ):
 E-A: 外部電圧ハイダ
 E-B: 内部1Vリファレンス(デフォルト)
 E-C: 外部リファレンス電圧
 E-D: 内部0.5Vリファレンス

MODEピン(ハンダ付け可能ジャンパ):
 5-1: 2の補数/DCSオフ
 5-2: 2の補数/DCSオン
 5-3: オフセット・バイナリ/DCSオン
 5-4: オフセット・バイナリ/DCSオフ

図17. LFCSP評価ボード回路図のアナログ入力とDUT

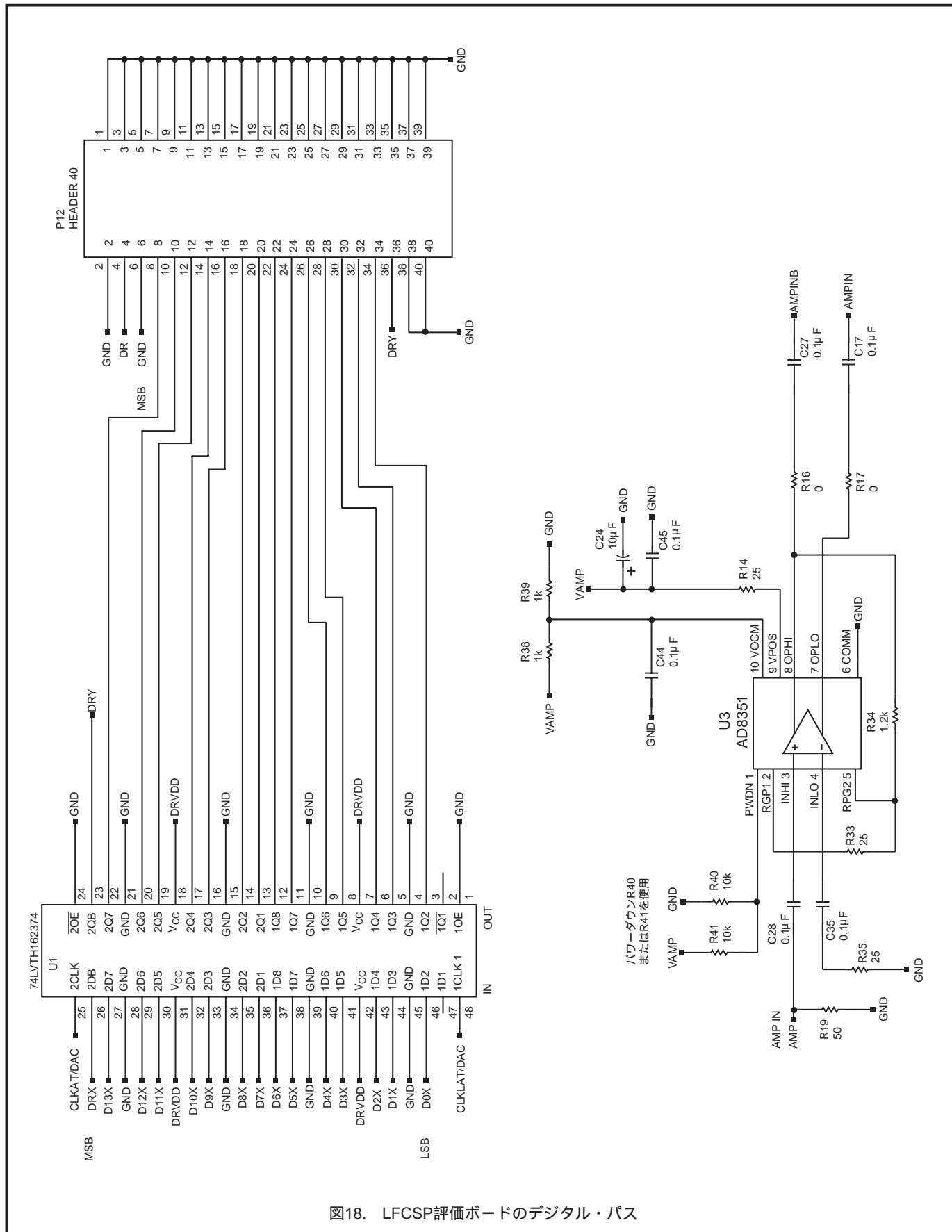


図18. LFCSP評価ボードのデジタル・バス

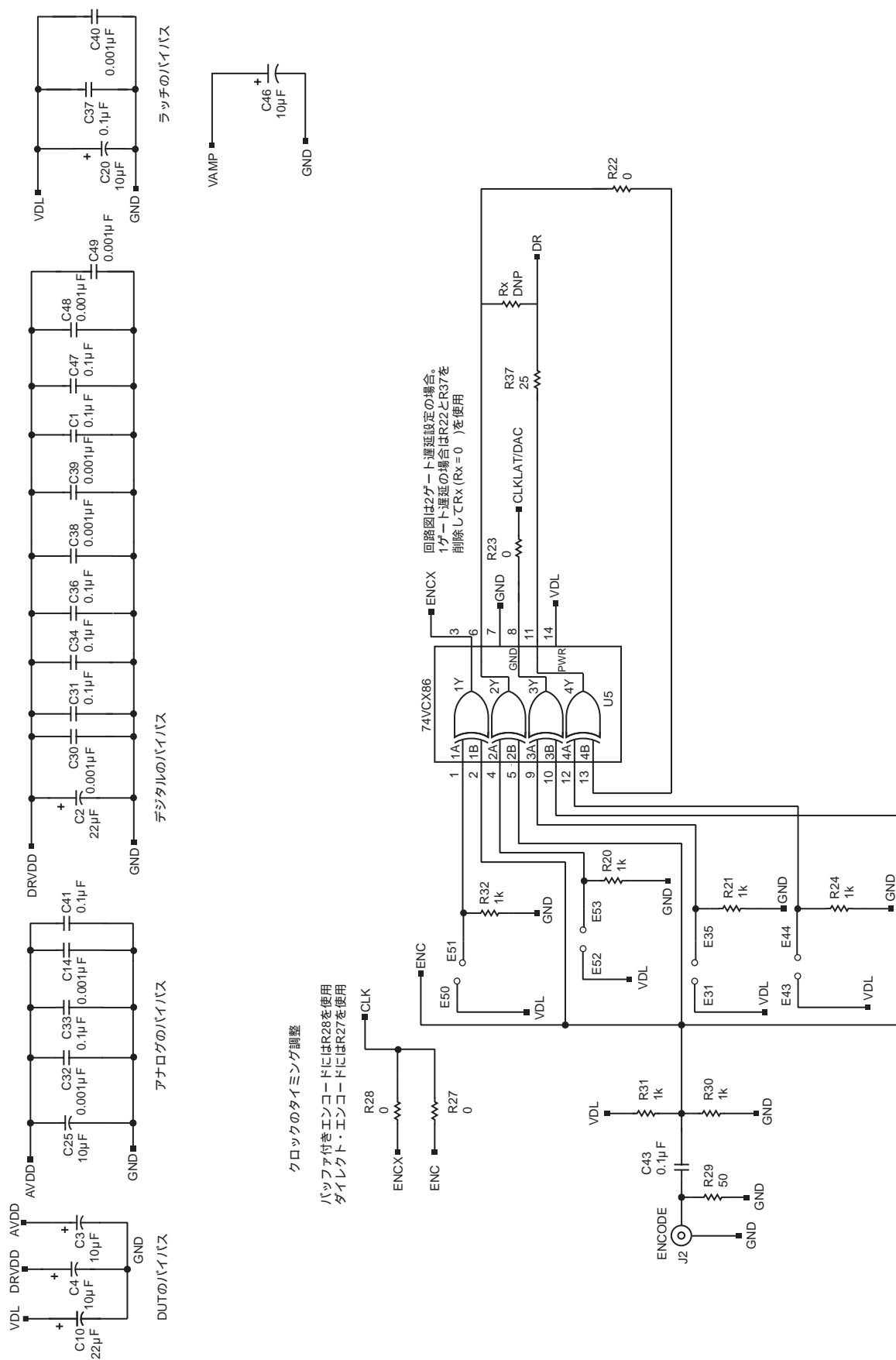


図19. LFCSP評価ボード回路図のクロック入力

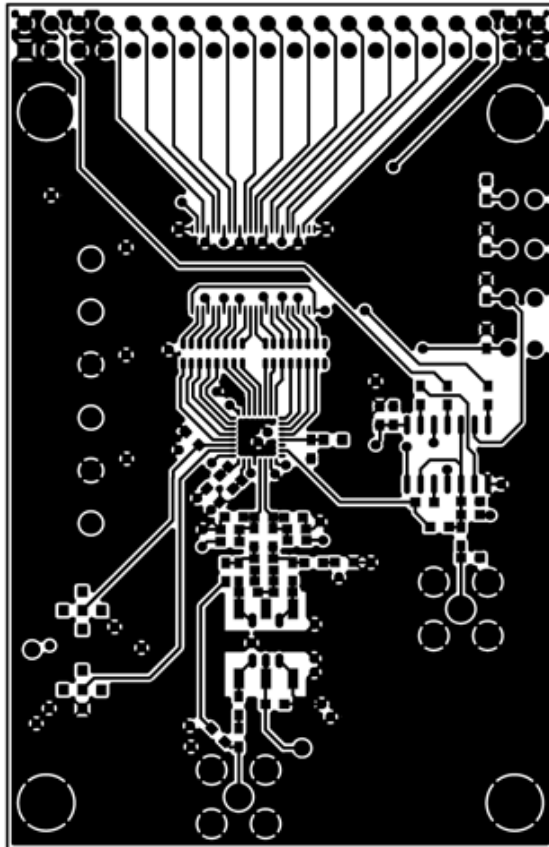


図20. LFCSP評価ボード・レイアウト、プライマリ側

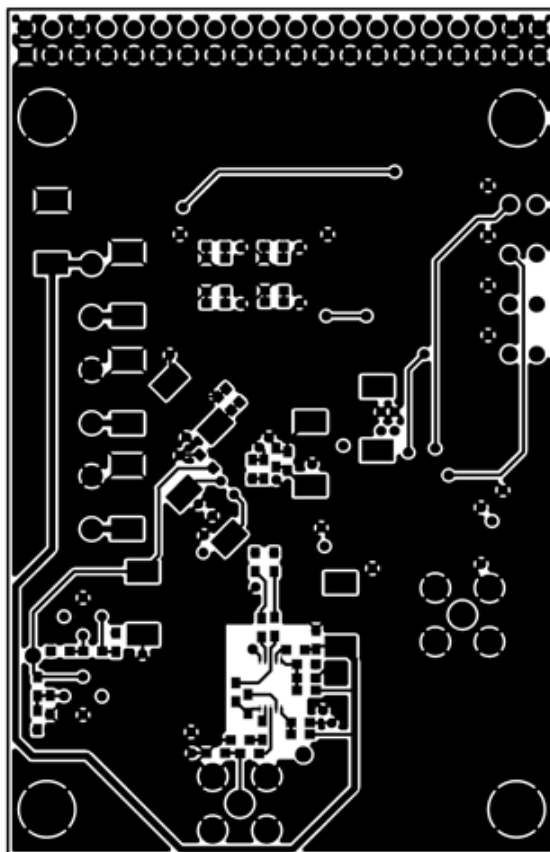


図21. LFCSP評価ボード・レイアウト、セカンダリ側

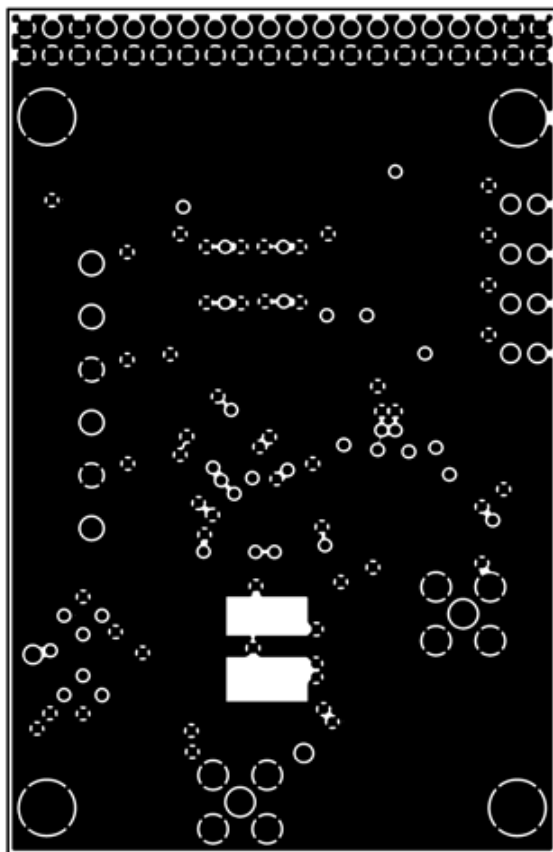


図22. LFCSP評価ボード・レイアウト、グラウンド・プレーン

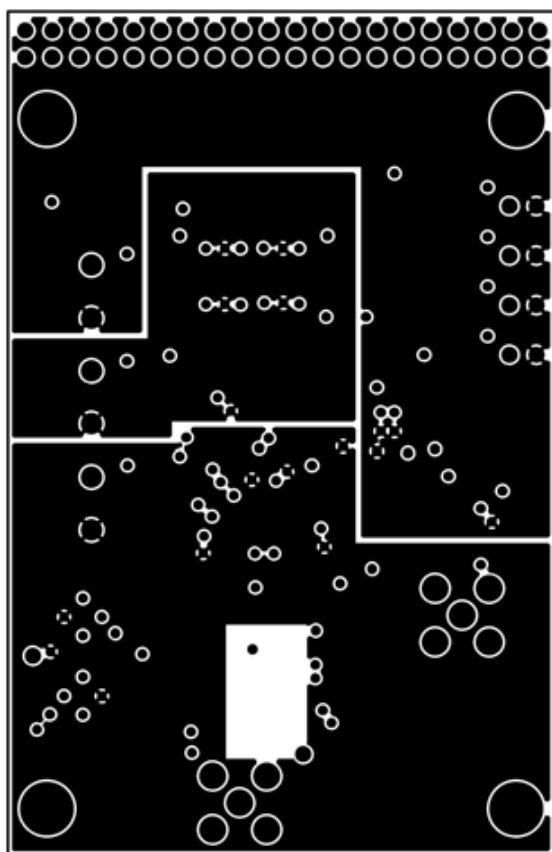


図23. LFCSP評価ボード・レイアウト、電源プレーン

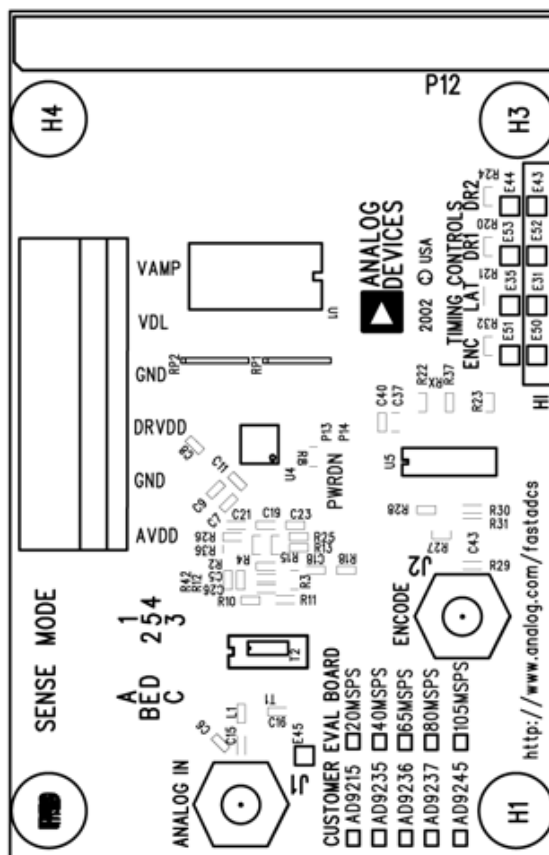


図24. LFCSP評価ボード・レイアウト、プライマリ側シルクスクリーン

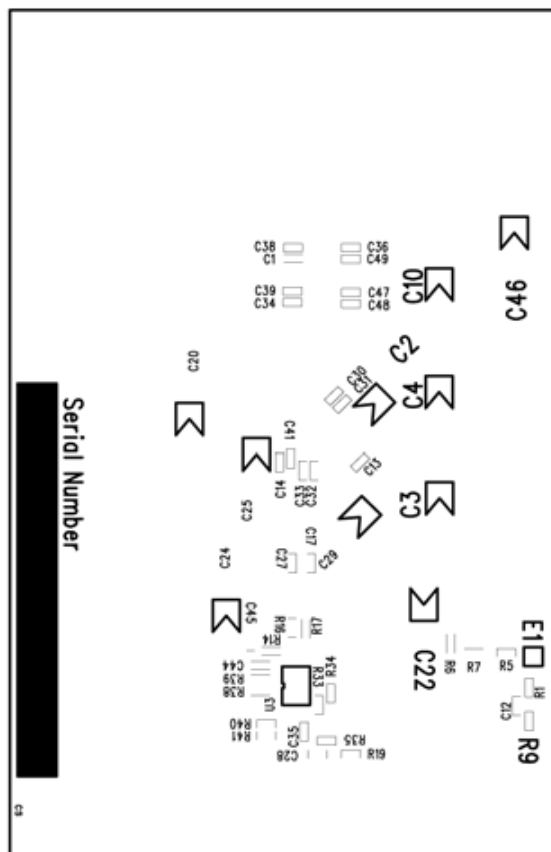


図25. LFCSP評価ボード・レイアウト、セカンダリ側シルクスクリーン

AD9215

LFCSP評価ボードの部品表(BOM)

項目	数量	未実装 ¹	番号	デバイス	パッケージ	値	推奨される 製品番号
1		18	C1, C5, C7, C8, C9, C11, C12, C13, C15, C16, C31, C33, C34, C36, C37, C41, C43, C47	チップ・コンデンサ	0603	0.1 μ F	
		8	C6, C18, C27, C17, C28, C35, C45, C44				
2	8		C2, C3, C4, C10, C20, C22, C25, C29	タンタル・コンデンサ	TAJD	10 μ F	
		2	C46, C24,				
3	8		C14, C30, C32, C38, C39 C40, C48, C49,	チップ・コンデンサ	0603	0.001 μ F	
4	1		C19	チップ・コンデンサ	0603	10 pF	
		2	C21, C23				
5	1		C26	チップ・コンデンサ	0603	10 pF	
6	9		E31, E35, E43, E44, E50 E51, E52, E53	ヘッダー	EHOLE		ジャンパ・ブロック
		2	E1, E45				
7	2		J1, J2	SMAコネクタ / 50	SMA		
8	1		L1	インダクタ	0603	10 nH	Coilcraft/0603CS-10NXGBU
9	1		P2	ピン・ブロック	TB6		Wieland/25.602.2653.0 z5-530-0625-0
10	1		P12	ヘッダー・デュアル 20ピンRTアンゲル	HEADER40		Digi-Key S2131-20-ND
11	5		R3, R12, R23, R18, RX	チップ抵抗	0603	0	
		6	R37, R22, R42, R16, R17, R27				
12	2		R4, R15	チップ抵抗	0603	33	
13	14		R5, R6, R7, R8, R13, R20, R21, R24, R25, R26, R30, R31, R32, R36	チップ抵抗	0603	1	
14	2		R10, R11	チップ抵抗	0603	36	
15	1		R29	チップ抵抗	0603	50	
		1	R19				
16	2		RP1, RR2	抵抗パック	R_742	220	Digi-Key CTS/742C163220JTR
17	1		T1	ADT1-1WT	AWT1-T1		Mini-Circuits
18	1		U1	74LVTH162374 CMOS レジスタ	TSSOP-48		
19	1		U4	AD9215BCP ADC (DUT)	CSP-32		Analog Devices, Inc.
20	1		U5	74VCX86M	SOIC-14		Fairchild
21	1		PCB	AD9XXBCP/PCB	PCB		Analog Devices, Inc.
22		1	U3	AD8351 オペアンプ	MSOP-8		Analog Devices, Inc.
23		1	T2	MACOMトランス	ETC1-1-13	1-1 TX	MACOM/ETC1-1-13
24		5	R9, R1, R2, R38, R39	チップ抵抗	0603	Select	
25		3	R18, R14, R35	チップ抵抗	0603	25	
26		2	R40, R41	チップ抵抗	0603	10 k	
27		1	R34	チップ抵抗		1.2 k	
28		1	R33	チップ抵抗		110	
合計	78	20					

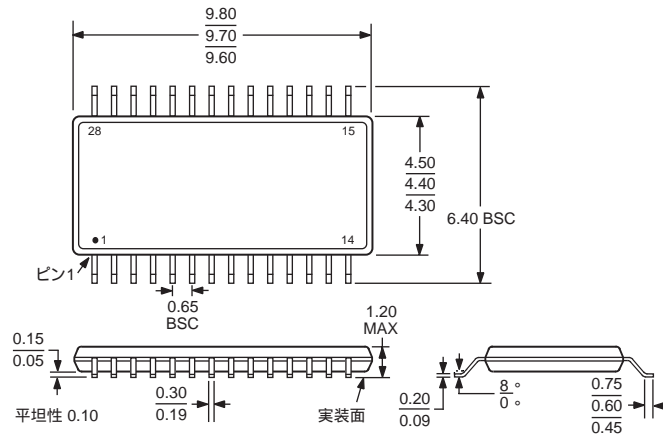
1. PCBデザインには含まれますが実装されていません。

外形寸法

28ピン薄型シュリンクSOP[TSSOP]

(RU-28)

寸法表示：mm

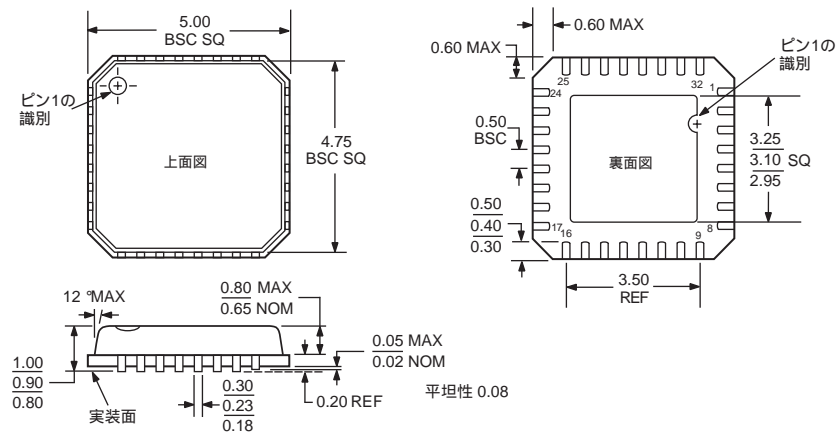


JEDEC標準MO-153AEに準拠

32ピン・リード・フレーム・チップ・スケール・パッケージ[LFCSP]

(CP-32)

寸法表示：mm



JEDEC標準MO-220-VHHD-2に準拠

注：
LFCSPパッケージの場合、露出しているパドルをグラウンド・プレーンにハンダ付けすることを推奨します。露出しているパドルをボードにハンダ付けすると、ハンダ接続の信頼性が高くなり、パッケージの最大熱性能が得られます。

AD9215

TDS11/2003/500

PRINTED IN JAPAN



このデータシートはエコマーク認定の再生紙を使用しています。