

### 特長

CMOS、10ビット、40MSPSサンプリングのA/Dコンバータ

消費電力：74mW（3V電源、40MSPS）

17mW（3V電源、5MSPS）

動作電源範囲：2.7～3.6V

微分非直線性：±0.25LSB

パワーダウン（スタンバイ）モード：0.65mW

ENOB：9.55@ $f_{IN} = 20\text{MHz}$

範囲外指標

調整可能な内蔵リファレンス

$f_{IN} = 130\text{MHz}$ までのIFアンダーサンプリング

入力範囲：1～2Vp-pの差動またはシングルエンド

調整可能な消費電力

内部クランプ回路

### アプリケーション

CCD撮像

ビデオ

携帯計装機器

IF及びベースバンド通信

ケーブルモデム

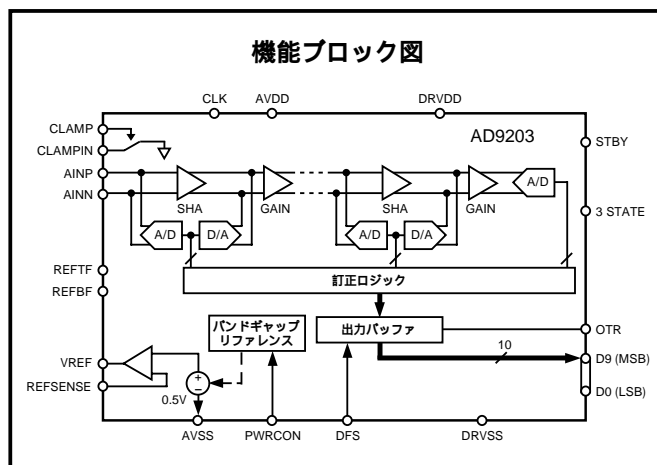
医療用超音波

### 概要

AD9203は、リファレンス内蔵のモノリシック低電力、単電源、10ビット、40MSPSのA/Dコンバータです。AD9203はマルチステージ差動パイプライン・アーキテクチャを使用し、全動作温度範囲でノーマスコードを保証しています。入力範囲は1～2Vp-pで調整できます。

AD9203は、プログラム可能リファレンスを内蔵しています。アプリケーションのDC精度と温度ドリフト要求基準に合わせて、外部リファレンスを選ぶこともできます。

低速サンプリング動作時には、消費電力を下げるために外部抵抗を使用できます。最高サンプリング速度を必要としないユーザーには節電効果があり、特に40MSPS未満のサンプリング速度で役立ちます。消費電力を下げて、優れた性能は変わりません。たとえば、5MHzクロック時で9.7ENOB（有効ビット数）の性能を、わずか17mWで実現できます。



全内部変換サイクルを制御するのに、1回のクロック入力を用います。デジタル出力データはDFSピンによって、ストレートバイナリまたは2の補数出力フォーマットで提供されます。範囲外信号（OTR）は、範囲より上か下かを判定するために最上位ビットと一緒に使用できるオーバフロー条件を知らせます。

AD9203は2.7～3.6Vの電源で動作できるので、高速携帯機器での低電力動作に適しています。

AD9203は、工業用温度範囲（-40～+85）で仕様規定され、28ピンTSSOPパッケージが用意されています。

### 製品のハイライト

#### 低電力

AD9203は、40MSPS動作で74mW@3Vを消費します。スタンバイモードでは、0.65mWまで下がります。

#### 高性能

DCからナイキストまで、40MSPS入力信号で9.55ENOB以上を維持します。

#### 超小型パッケージ

AD9203は、28ピンTSSOPで提供されています。

#### プログラム可能電力

低速サンプリング時には、外部抵抗を用いて消費電力をさらに下げることができます。

#### 内蔵クランプ機能

映像信号のDC復元が可能。

# AD9203—仕様

(特に指定のない限り、AVDD = +3V、DRVDD = +3V、Fs = 40MSPS、入力スパン 0.5~2.5V、内部1Vリファレンス、PWRCON = AVDD、50%クロック・デューティサイクル、T<sub>MIN</sub> ~ T<sub>MAX</sub>)

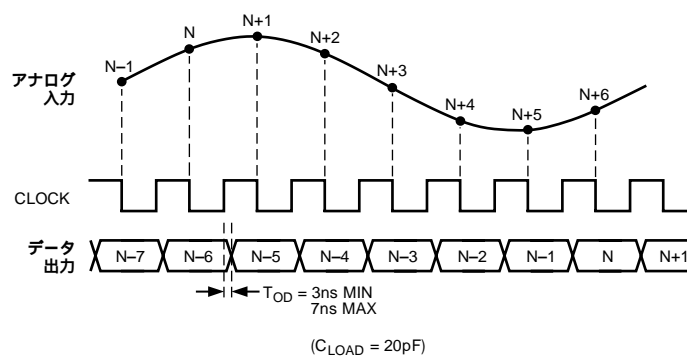
パラメータ	記号	Min	Typ	Max	単位	条件
分解能			10		ビット	
最高変換速度	Fs	40			MSPS	
パイプライン遅延				5.5	クロック・サイクル	
DC精度						
微分非直線性	DNL		±0.25	±0.7	LSB	
積分非直線性	INL		±0.65	±1.4	LSB	
オフセット誤差	E <sub>ZS</sub>		±0.6	±2.8	%FSR	
ゲイン誤差	E <sub>FS</sub>		±0.7	±4.0	%FSR	
アナログ入力						
入力電圧範囲	A <sub>IN</sub>	1		2	Vp-p	スイッチ切り換え、シングルエンド
入力容量	C <sub>IN</sub>		1.4		pF	
アパーチャ遅延	T <sub>AP</sub>		2.0		ns	
アパーチャ不確実性 (ジッター)	T <sub>AJ</sub>		1.2		ps rms	
入力帯域幅 ( -3dB )	BW		390		MHz	
入力基準ノイズ			0.3		mV	
内部リファレンス						
出力電圧 (0.5Vモード)	VREF		0.5		V	REFSENSE = VREF
出力電圧 (1Vモード)	VREF		1		V	REFSENSE = GND
出力電圧公差 (1Vモード)			±5	±30	mV	1.0mA負荷
負荷レギュレーション			0.65	1.2	mV	
電源						
動作電圧	AVDD	2.7	3.0	3.6	V	f <sub>IN</sub> = 4.8MHz、出力バス負荷 = 10pF f <sub>IN</sub> = 20MHz、出力バス負荷 = 20pF f <sub>IN</sub> = 4.8MHz、出力バス負荷 = 10pF f <sub>IN</sub> = 20MHz、出力バス負荷 = 20pF
	DRVDD	2.7	3.0	3.6	V	
アナログ電源電流	I <sub>AVDD</sub>		20.1	22.0	mA	
デジタル電源電流	I <sub>DRVDD</sub>		4.4	6.0	mA	
			9.5	14.0	mA	
消費電力			74	84.0	mW	
			88.8	108.0	mW	
パワーダウン	P <sub>D</sub>		0.65	1.2	mW	
電源除去比	PSRR		0.04	±0.25	%FS	
ダイナミック性能 ( A <sub>IN</sub> = 0.5dBFS )						
信号 / ノイズ比と歪み	SINAD					注1
f = 4.8MHz			59.7		dB	
f = 20MHz		57.2	59.3		dB	
有効ビット	ENOB					注1
f = 4.8MHz			9.6		ビット	
f = 20MHz		9.2	9.55		ビット	
信号 / ノイズ比	SNR					注1
f = 4.8MHz			60.0		dB	
f = 20MHz		57.5	59.5		dB	
全高調波歪み	THD					注1
f = 4.8MHz			-76.0		dB	
f = 20MHz			-74.0	-65.0	dB	
スプリアスフリー・ダイナミック範囲	SFDR					注1
f = 4.8MHz			80.0		dB	
f = 20MHz		67.8	78		dB	
2トーン相互変調歪み	IMD		68		dB	f=44.49MHzおよび45.52MHz NTSC 40 IREランプ
差動位相	DP		0.2		度	
差動ゲイン	DG		0.3		%	
デジタル入力						
高入力電圧	V <sub>IH</sub>	2.0			V	
低入力電圧	V <sub>IL</sub>			0.4	V	
クロックパルス幅ハイ		11.25			ns	
クロックパルス幅ロー		11.25			ns	
クロック周期 <sup>2</sup>			25		ns	

パラメータ	記号	Min	Typ	Max	単位	条件
デジタル出力						
ハイZ漏洩	$I_{OZ}$			$\pm 5.0$	$\mu A$	出力 = 0 ~ DRVDD
データ有効遅延	$t_{OD}$		5		ns	$C_L=20pF$
データイネーブル遅延	$t_{DEN}$		6		ns	$C_L=20pF$
データハイZ遅延	$t_{DHZ}$		6		ns	$C_L=20pF$
ロジック出力 (DRVDD = 3V)						
ハイレベル出力電圧 ( $I_{OH} = 50 \mu A$ )	$V_{OH}$	+ 2.95			V	
ハイレベル出力電圧 ( $I_{OH} = 0.5mA$ )	$V_{OH}$	+ 2.80			V	
ローレベル出力電圧 ( $I_{OL} = 1.6mA$ )	$V_{OL}$			+ 0.3	V	
ローレベル出力電圧 ( $I_{OL} = 50 \mu A$ )	$V_{OL}$			+ 0.05	V	

注：

1. 差動入力 (2Vp-p)
2. AD9203は、最低20kHzまでのクロック速度で変換可能

仕様は、予告なく変更することがあります。



# AD9203

## 絶対最大定格\*

パラメータ	対象	Min	Max	単位
AVDD	AVSS	-0.3	+3.9	V
DRVDD	DRVSS	-0.3	+3.9	V
AVSS	DRVSS	-0.3	+0.3	V
AVDD	DRVDD	-3.9	+3.9	V
REFCOM	AVSS	-0.3	+0.3	V
CLK	AVSS	-0.3	AVDD+0.3	V
デジタル出力	DRVSS	-0.3	DRVDD+0.3	V
AINP	AINN	AVSS-0.3	AVDD+0.3	V
VREF	AVSS	-0.3	AVDD+0.3	V
REFSENSE	AVSS	-0.3	AVDD+0.3	V
REFTF, REFBF	AVSS	-0.3	AVDD+0.3	V
STBY	AVSS	-0.3	AVDD+0.3	V
CLAMP	AVSS	-0.3	AVDD+0.3	V
CLAMPIN	AVSS	-0.3	AVDD+0.3	V
PWRCON	AVSS	-0.3	AVDD+0.3	V
DFS	AVSS	-0.3	AVDD+0.3	V
3-STATE	AVSS	-0.3	AVDD+0.3	V
接合温度			+150	
保管温度		-65	+150	
ピン温度 (10秒)			+300	

## 注記

\* 上記の絶対最大定格を超えるストレスを加えると、デバイスに永久的な損傷を与えることがあります。この定格はストレス定格の規定のみを目的とするものであり、この仕様の動作セクションに記載する規定値以上のデバイス動作を定めたものではありません。デバイスを長期間絶対最大定格条件に置くと、デバイスの信頼度に影響を与えることがあります。

## 注意

ESD (静電放電) の影響を受けやすいデバイスです。4000Vもの高圧の静電気が人体やテスト装置に容易に帯電し、検知されることなく放電されることがあります。本製品には当社独自のESD保護回路を備えていますが、高エネルギーの静電放電を受けたデバイスには回復不可能な損傷が発生することがあります。このため、性能低下や機能喪失を回避するために、適切なESD予防措置をとるようお奨めします。

## 温度特性

28ピンTSSOP

JA = 97.9 /W

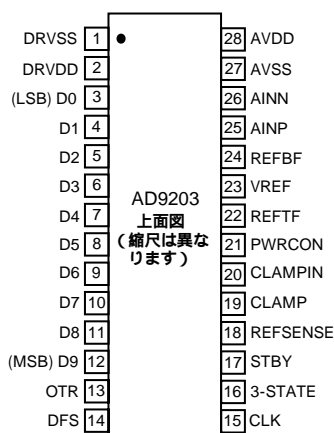
JC = 14.0 /W

## オーダー・ガイド

モデル	温度範囲	パッケージ	パッケージ・オプション
AD9203ARU	-40 ~ +85	28ピンTSSO	RU-28
AD9203-EB		評価ボード	



## ピン配置



## ピン機能の説明

ピン番号	名称	内容
1	DRVSS	デジタル・グランド
2	DRVDD	デジタル電源
3	D0	ビット0、最下位ビット
4	D1	ビット1
5	D2	ビット2
6	D3	ビット3
7	D4	ビット4
8	D5	ビット5
9	D6	ビット6
10	D7	ビット7
11	D8	ビット8
12	D9	ビット9 最上位ビット
13	OTR	範囲外指標
14	DFS	データフォーマット選択 (HI : 2の補数。LO : ストレートバイナリ)
15	CLK	クロック入力
16	3-STATE	HI : ハイインピーダンス状態出力。LO : アクティブ・デジタル出力駆動
17	STBY	HI : パワーダウン・モード。LO : 通常動作
18	REFSENSE	リファレンス選択
19	CLAMP	HI : イネーブル・クランプ。LO : オープン・クランプ
20	CLAMPIN	クランプ信号入力
21	PWRCON	パワー制御入力
22	REFTF	上部リファレンス・デカップリング
23	VREF	リファレンス入出力
24	REFBF	下部リファレンス・デカップリング
25	AINP	非反転アナログ入力
26	AINN	反転アナログ入力
27	AVSS	アナログ・グランド
28	AVDD	アナログ電源

# AD9203

## 仕様の定義

### 積分非直線性誤差 (INL)

直線性誤差は、「負のフルスケール」から「正のフルスケール」まで引いた線からの、個別のコードの偏差を表します。「負のフルスケール」に用いられる地点は、最初のコード遷移の1/2LSB下で発生します。「正のフルスケール」は、最後のコード遷移より1 1/2LSB上のレベルとして定義されます。偏差は、各コードの中央から実際の直線までを測定します。

### 微分非直線性誤差 (DNL、ノーマスコード)

理想的なA/Dコンバータは、正確に1LSB離れてコード遷移を行います。DNLは、この理想値からの偏差です。10ビット分解能までのノーマスコード保証とは、1024のコードすべてが動作範囲全体で存在することを示します。

### 信号対ノイズ+歪み (S/N + D、SINAD) 比率

S/N + Dは、計測入力信号のrms値の、ナイキスト周波数未満の他のスペクトル成分すべてのrms合計に対する比率です。スペクトル成分は高調波を含みますが、直流は含みません。S/N+Dの値は、デシベル単位で表します。

### 有効ビット数 (ENOB)

サイン波では、SINADはビット数を用いて表すことができます。次式を用います。

$$N = (\text{SINAD} - 1.76) / 6.02$$

Nで表される、有効ビット数の測定が可能です。

従って、所与の入力周波数におけるサイン波入力での有効ビット数は、SINAD測定値から直接計算できます。

### 全高調波歪み (THD)

THDは、測定された入力信号のrms値に対する、最初の6つの高調波成分のrms合計の比であり、パーセントまたはデシベルで表現されます。

### 信号対ノイズ比 (SNR)

SNRは、計測入力信号のrms値の、ナイキスト周波数未満の他のスペクトル成分すべてのrms合計に対する比率です。スペクトル成分は高調波及び直流を含みません。SNRの値は、デシベル単位で表します。

### スプリアス・フリー・ダイナミック・レンジ (SFDR)

入力信号のrms振幅とピーク・スプリアス信号間の差で、dB単位で表します。

### オフセット誤差

最初の遷移は、-フルスケールより1/2LSB上のアナログ値で発生することになっています。その地点からの実際の遷移の偏差が、オフセット誤差として定義されます。

### ゲイン誤差

最初のコード遷移は、-フルスケールより1/2LSB上のアナログ値で発生することになっています。最後の遷移は、+フルスケールより1 1/2LSB下のアナログ値で発生することになっています。ゲイン誤差は、最初と最後のコード遷移間の実際の差と、最初と最後のコード遷移間の理想の差の偏差です。

### 電源除去比

仕様は、最小電源値から最大電源値までの、フルスケールの最大変化を表します。

### アパーチャ・ジッター

アパーチャ・ジッターは、連続サンプルにおけるアパーチャ遅延のばらつきであり、A/D入力に対するノイズとして表現されます。

### アパーチャ遅延

アパーチャ遅延は、サンプル&ホールド・アンプ (SHA) 性能の測定値であり、クロック入力の立ち上がりエッジから変換のために入力信号をホールドするまでを測定します。

### パイプライン遅延 (待ち時間)

変換開始から対応する出力データが得られるまでのクロックサイクル数です。立ち上がりエッジごとに、新しい出力データを供給します。

# 代表的性能特性 - AD9203

(特に指定しない限り、AVDD = +3V、DRVDD = +3V、 $F_s=40\text{MSPS}$ 、1V内部リファレンス、PWRCON = AVDD、50%デューティ・サイクル)

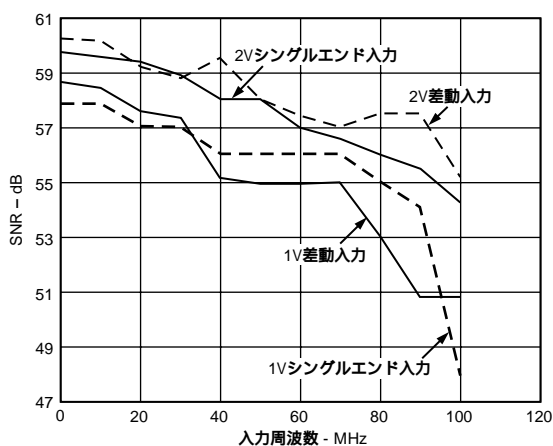


図2. SNR対入力周波数と設定

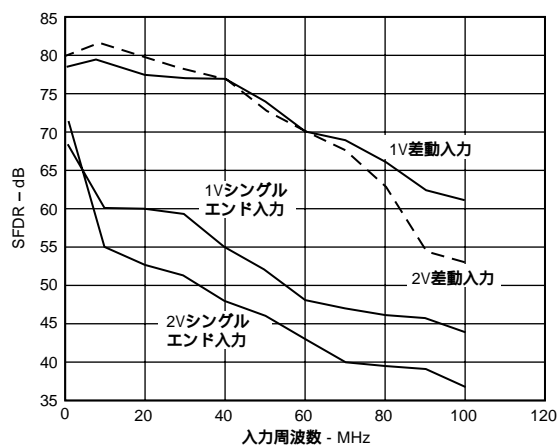


図5. SFDR対入力周波数と設定

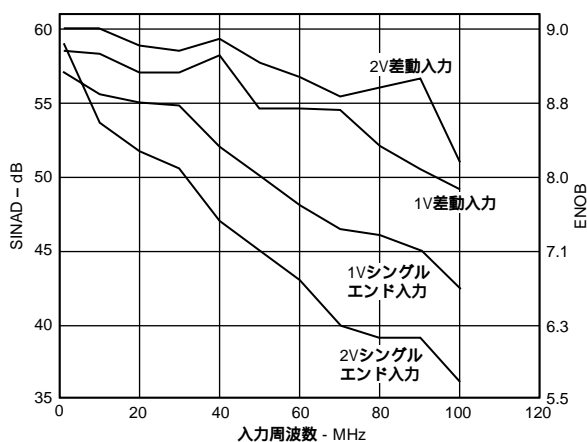


図3. SINAD対入力周波数と設定

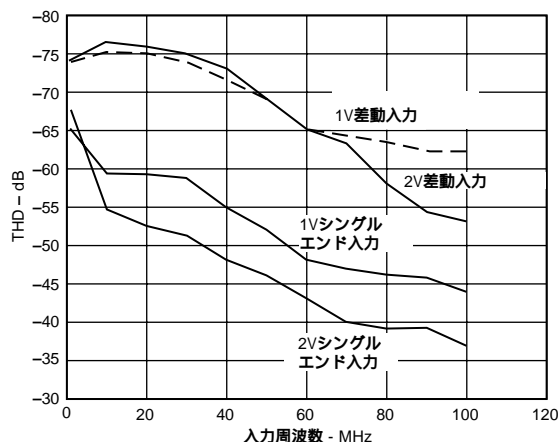


図6. THD対入力周波数と設定

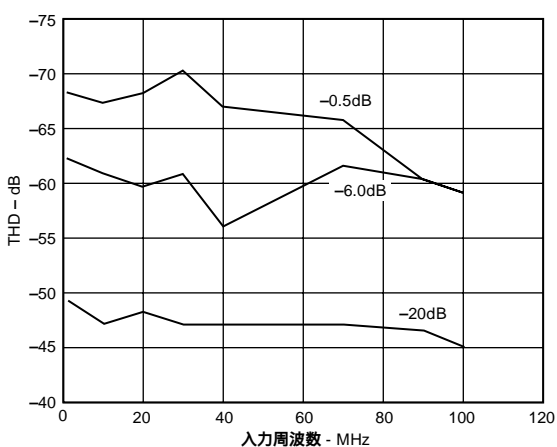


図4. THD対入力周波数と振幅 (差動入力VREF = 0.5V)

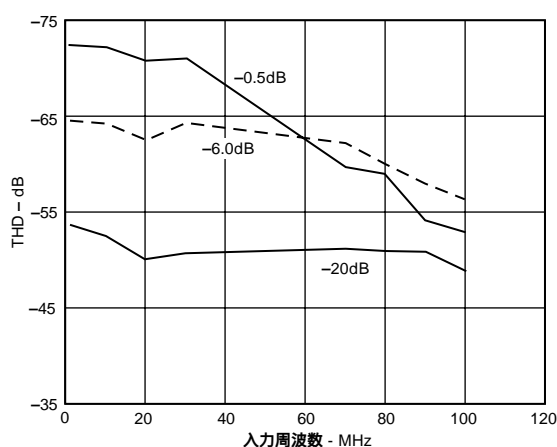


図7. THD対入力周波数と振幅 (差動入力VREF = 1V)

# AD9203

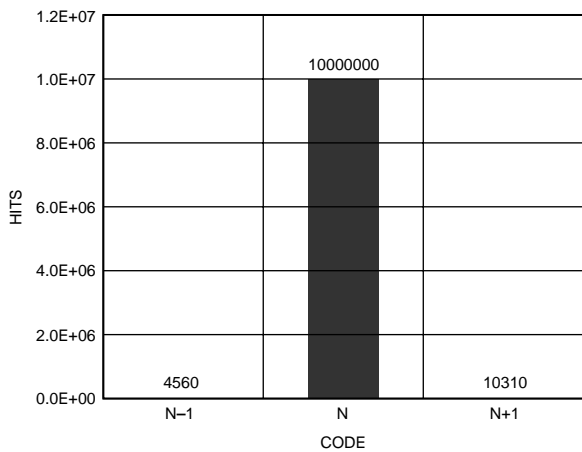


図8 . グランド入力ヒストグラム

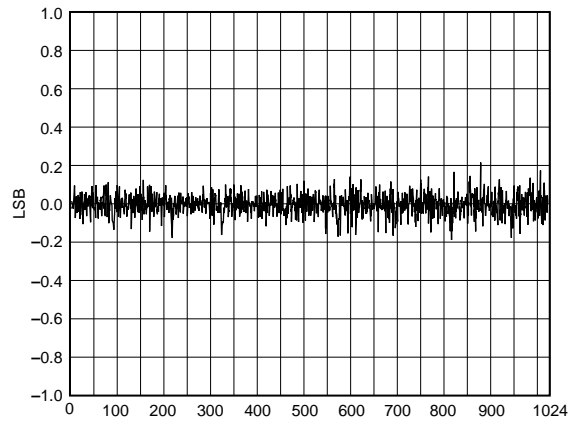


図11 . 代表的なDNL性能

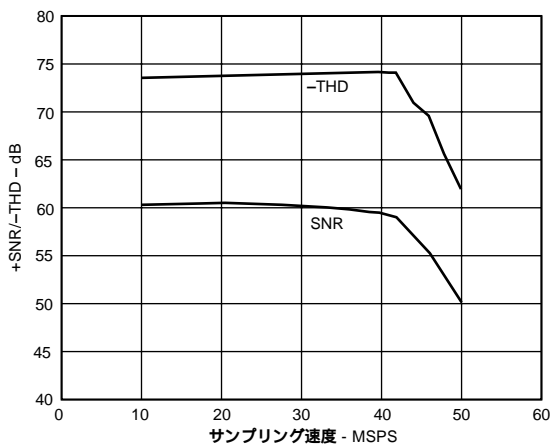


図9 . SNRとTHD対サンプリング速度 ( $f_{IN} = 20\text{MHz}$ )

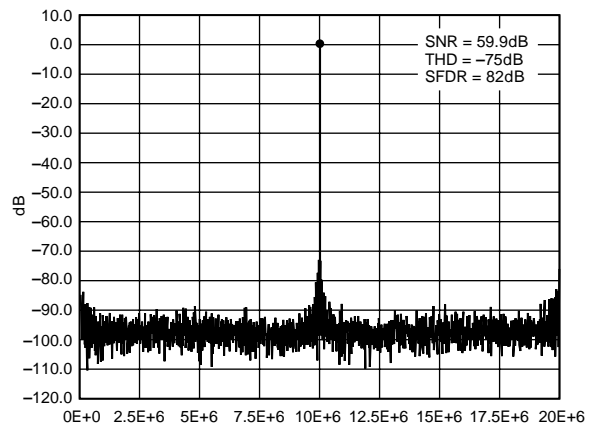


図12 . シングルトーン周波数領域性能  
(入力周波数 = 10MHz、サンプリング速度 = 40MSPS、  
2V差動入力、8192ポイントFFT)

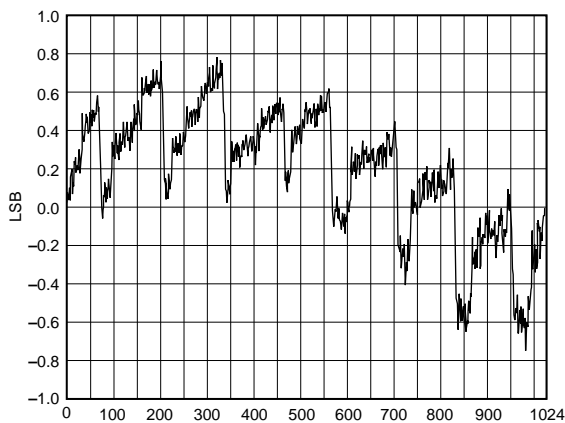


図10 . 代表的なINL性能

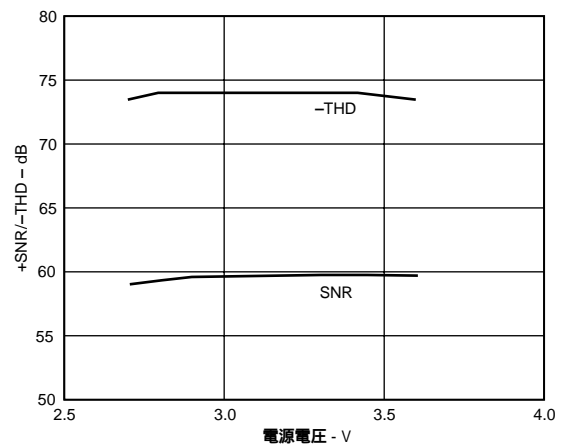


図13 . THD対電源 ( $f_{IN} = 20\text{MHz}$ 、  
サンプリング速度 = 40MSPS)



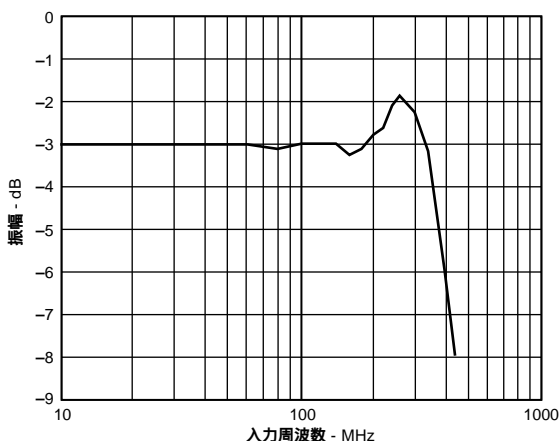


図14．フルパワー帯域幅

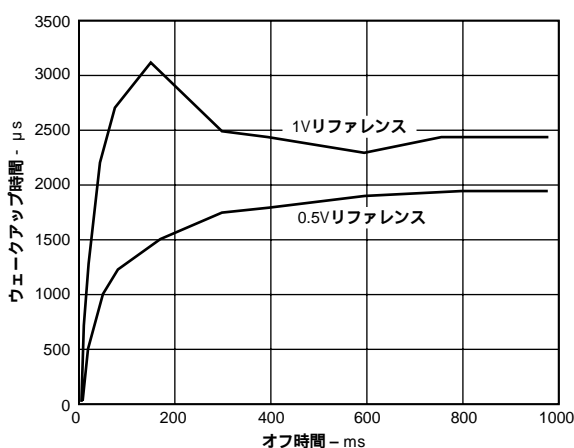
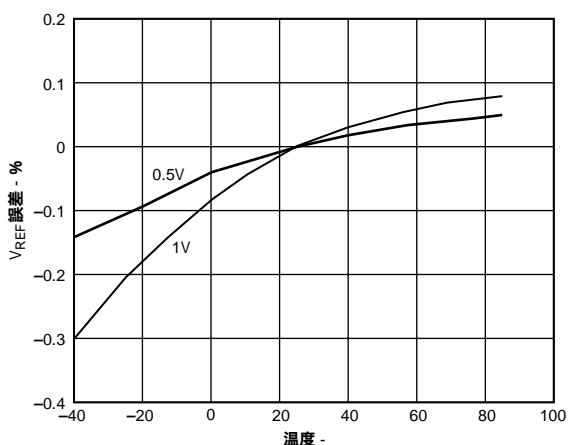
図15．ウェイクアップ時間対オフ時間  
( $V_{REF}$ デカップリング =  $10\mu F$ )

図16．リファレンス対温度

## AD9203の利用

### 動作理論

AD9203は、パイプライン・マルチステージ・アーキテクチャにより、低電力消費で高速サンプリングを実現しています。AD9203は変換を、いくつかの小さなA/Dサブブロックに分割し、ステージからステージへ結果を送るごとに高精度な変換を行います。分割して変換した結果として、AD9203は従来の10ビット・フラッシュ型A/Dで使用された1023コンパレータの一部分を必要とするだけです。各ステージ内のサンプル&ホールド機能は、第1ステージは新しい入力サンプルを処理しますが、残りのステージは前のサンプルを処理します。

パイプラインの各ステージは最後を除いて、スイッチド・キャパシタD/Aコンバータに接続された低分解能フラッシュA/Dとステージ間剰余アンプ(MDAC)で構成されています。剰余アンプは、再構成したD/Aコンバータ出力とパイプラインの次のステージへのフラッシュ入力の差を乗算します。フラッシュ誤差のデジタル修正を容易にするために、各ステージごとに剰余の1ビットが使われます。最後のステージは、フラッシュA/Dだけで構成されています。AD9203の入力は、入力サンプル&ホールドアンプ(SHA)と第1パイプラインの剰余アンプを1つの、コンパクトなスイッチド・キャパシタ回路に統合する新構造を採用しています。この構造はパイプラインのアンプを1つ削除できるため、別々のアンプを使用する従来の構造に比べ、ノイズと消費電力をかなり削減できます。入力SHAのサンプリングネットワークを第1ステージのフラッシュA/Dと一致させることで、AD9203は性能の劣化なしに、ナイキスト周波数を超える入力を良好にサンプリングできます。

サンプリングは、クロックの立ち下がりがエッジで発生します。

### 動作モード

AD9203は、数種類の入力設定で接続できます(表 )。

AD9203は、信号のピークを電源レール内に保つソースによって差動で駆動することができます。

代わりに、シングルエンド・ソースから、AINPまたはAINNへ入力を駆動することもできます。入力スパンは設定されたリファレンスの2倍になります。1つの入力が信号を受け入れると、反対側の入力は内部または外部リファレンスに接続することで、目盛りの中央にセットされます。たとえば、1VリファレンスをAINNに加えながら、2Vp-p信号をAINPに加えることができます。次にAD9203は、2Vと0Vの間で変化する信号を受け取ります。詳しくは、図17、18、19を参照。

AD9203のシングルエンド(交流結合)入力は、AD9203の内部クランプスイッチによって、グランドにクランプすることもできます。CLAMPピンをAINNまたはAINPに接続すると、クランプできます。デジタル出力フォーマットは、DFSピンの電位によってバイナリと2の補数で設定できます。データは、ピンをロジック「0」に設定するとストレート・バイナリ・フォーマットに、ピンをロジック「1」に設定すると2の補数フォーマットになります。

消費電力は、PWRCONとAVSSの間に抵抗を入れると低減できます。高速アナログ入力周波数のエンコードや最高変換速度でのサンプリングを行わないとき、電力を節約することができます。電源制御の項を参照。

# AD9203

表1. モード

名称	図の番号	特長
1V差動	図26 VREFをREFSENSEに接続	差動モードが最高のダイナミック性能を生み出します。
2V差動	図26 REFSENSEをAGNDに接続	差動モードが最高のダイナミック性能を生み出します。
1Vシングルエンド	図18	映像と、クランプが必要なアプリケーションは、シングルエンド入力が必要です。
2Vシングルエンド	図17	映像と、クランプが必要なアプリケーションは、シングルエンド入力が必要です。

## 入力とリファレンスの概要

フラッシュA/Dコンバータで抵抗ラダーの一番上に加えらる電圧と同様に、VREFの値がA/Dコアへの最高入力電圧を決定します。A/Dコアへの最低入力電圧は、自動的に -VREFに決定されます。

差動入力構造を追加すると、従来のフラッシュ・コンバータでは不可能な高レベルのフレキシビリティが得られます。入力ステージでは、シングルエンド動作または差動動作の入力を、ユーザーが容易に設定できます。A/Dの入力構造により、入力信号のdcオフセットを、コンバータの入力スパンと切り離して変化させることができます。明らかに、A/Dコアへの入力はAINPとAINN入力ピンに加わる電圧の差となります。そのため、次の等式

$$V_{CORE} = AINP - AINN \quad (1)$$

は、差動入力ステージの出力を決定し、A/Dコアへの入力を供給します。

電圧 $V_{CORE}$ は、以下の条件を満足する必要があります。

$$-VREF < V_{CORE} < VREF \quad (2)$$

ここで、VREFはVREFピンの電圧です。

A/Dコンバータの実際のスパン ( $AINP - AINN$ ) は、 $\pm VREF$ となります。

等式2を満たすAINP及びAINN入力の組み合わせは無数ありますが、入力にはAD9203の電源電圧による別の制限が加えられます。電源は、以下の条件でAINPとAINNの有効動作範囲を限定します。

$$\begin{aligned} AVSS - 0.3V < AINP < AVDD + 0.3V \\ AVSS - 0.3V < AINN < AVDD + 0.3V \end{aligned} \quad (3)$$

ここでAVSSは公称0V、AVDDは公称+3Vです。AINP及びAINNの有効入力範囲は、等式2と3の両方を満たす任意の組合せになります。

## 内部リファレンスの接続

AD9203内部のコンパレータは、VREFピンの電位を検知します。REFSENSEを接地すると、リファレンス・アンプ・スイッチは抵抗分割器に接続し (図17参照) VREFは1Vに等しくなります。VREF、REFSENSE、グラウンドの間に抵抗を入れると、スイッチはREFSENSEの位置に接続され、リファレンス振幅は外部のプログラミング抵抗で決まります (図19)。REFSENSEをVREFに結合するとスイッチもREFSENSEに接続され、リファレンスは0.5Vとなります (図18)。REFTFとREFBFはA/Dコンバータ・コアを駆動し、最高と最低のスパンを決定します。A/Dコンバータの範囲は、内部/外部リファレンス両方ともリファレンス・ピンの電圧の2倍となります。

図17は、1Vリファレンスの入力設定を示します。AD9203のシングルエンド入力は2Vスパン ( $2 \times VREF$ ) にセットされます。この例では、AINN入力が1VのVREFに結合されており、AD9203は1Vを中心に2V入力を受け入れるように設定されます。

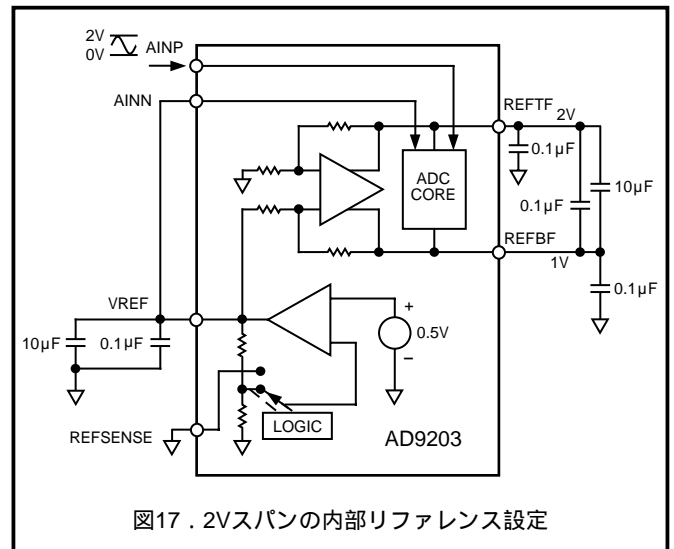


図17. 2Vスパンの内部リファレンス設定

図18は、0.5Vリファレンスでの入力設定を表します。A/Dコンバータのシングルエンド入力は1Vスパン ( $2 \times VREF$ ) にセットされます。AINN入力は0.5V VREFに結合されており、AD9203は0.5Vを中心に1V入力を受け入れるよう、設定されます。

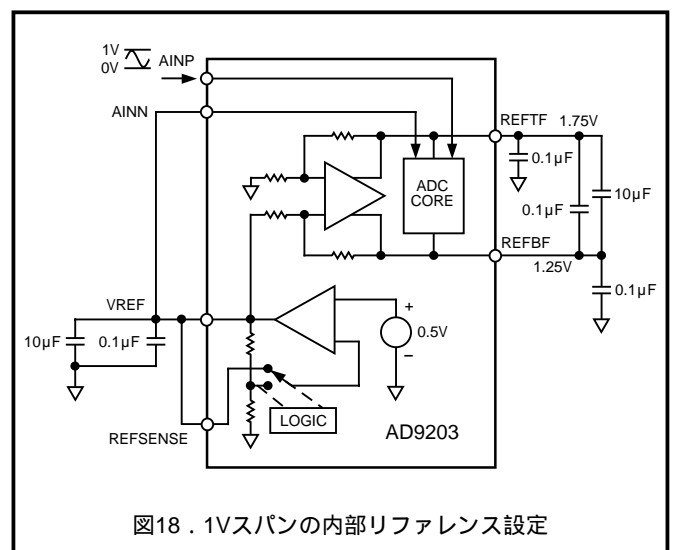


図18. 1Vスパンの内部リファレンス設定

図19は、外部抵抗によって0.75Vにプログラムされたリファレンスを示します。A/Dコンバータは、0.75Vを中心に1.5Vスパンを受け入れるように設定されます。リファレンスは、アルゴリズムにわたってプログラムされます。

$$VREF = 0.5V \times [1 + (RA/RB)]$$

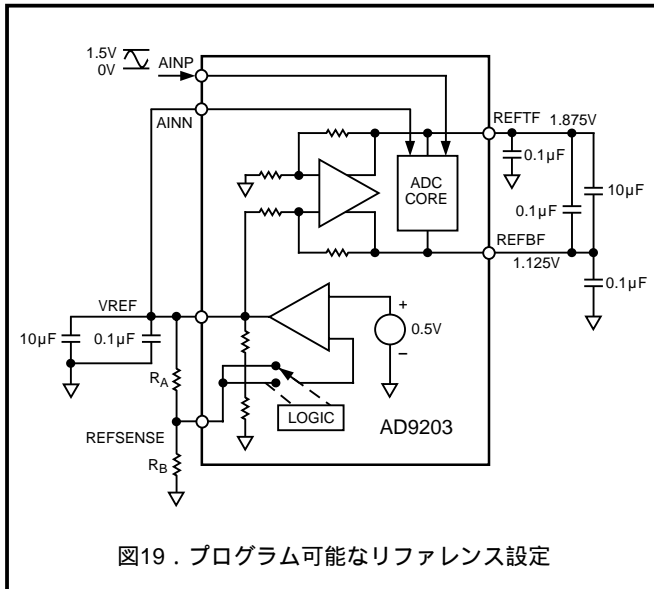


図19 . プログラム可能なリファレンス設定

### 外部リファレンス動作

図20は、外部リファレンスの使用例です。数々の理由で、外部リファレンスが必要となります。厳しいリファレンス公差は、A/Dコンバータの精度を向上させ、より低い温度ドリフト性能が得られます。複数のA/Dコンバータが互いにリンクしているときは、単一のリファレンス(内部または外部)が必要となります。外部リファレンスを用いると、AD9203は低消費電力になります。

REFSENSEピンをAVDDに結合すると、内部リファレンスは無効となり、外部リファレンスを使用できます。

AD9203はリファレンス・バッファを内蔵しており、外部リファレンスに10k の等価負荷をかけます。内部バッファは、A/Dコンバータ・コアに正と負のフルスケール・リファレンスを生成します。

図20では、外部リファレンスを用いて、シングルエンド用に中央セットポイントが設定されています。同時に、抵抗分割器を通じて入力電圧スパンをセットしています。トランスを通じてA/Dコンバータを差動で駆動している場合、外部リファレンスは中央タップをセットすることができます(同相モード電圧)。

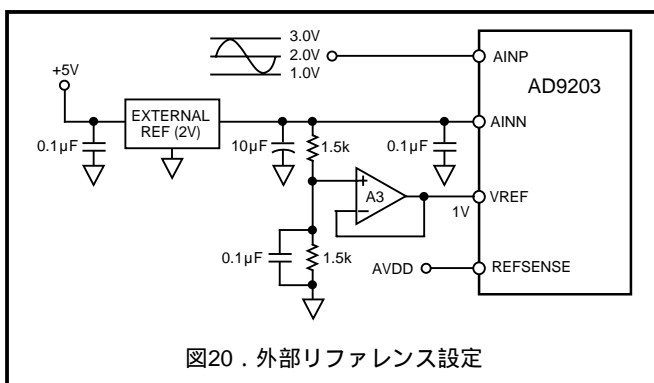


図20 . 外部リファレンス設定

### クランプ動作

AD9203には内部クランプが備えられており、シングルエンド入力モードで使用できます。AD9203のクランプは、NTSC及びPAL映像信号をグラウンドにクランプする場合、きわめて有用です。クランプは差動入力モードでは使用できません。

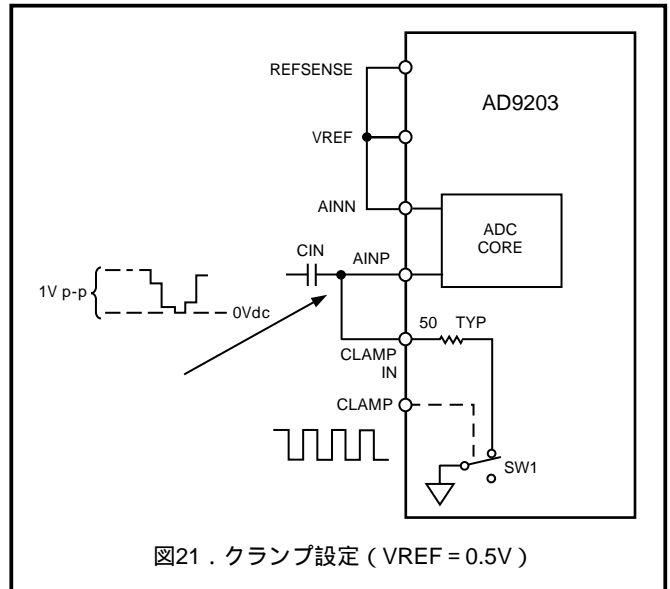


図21 . クランプ設定 (VREF = 0.5V)

図21は、クランプ動作に必要な内部クランプ回路と外部制御信号を示します。クランプを有効にするには、CLAMPピンにロジックハイ「1」を加えます。これで、内部スイッチSW1が閉じます。SW1は、CLAMPピンをロー「0」でアサートすることで開きます。コンデンサは、次のインターバルまでCIN両側の電圧を一定に保持します。コンデンサの電荷は、入力バイアス電流の関数として漏洩します(図22)。

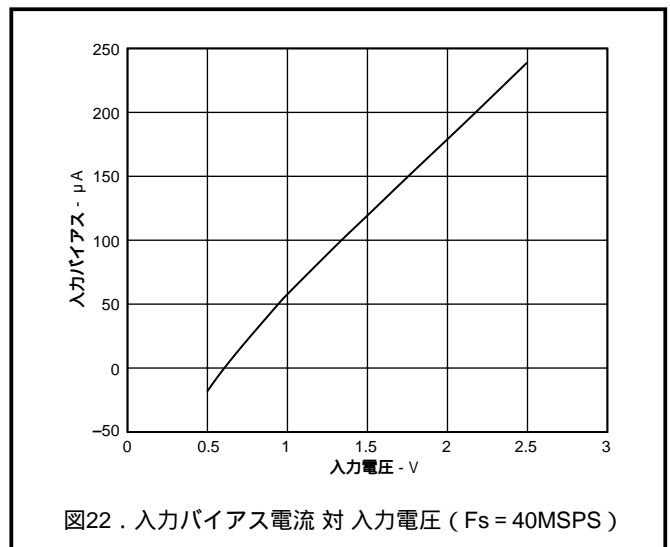


図22 . 入力バイアス電流 対 入力電圧 (Fs = 40MSPS)

# AD9203

## アナログ入力の駆動

図23は、AD9203の等価アナログ入力を表します(スイッチド・キャパシタ入力)。CLKをロジックハイにすると、S3が開き、S1とS2は閉じます。入力ソースはAINに接続され、この間にコンデンサC<sub>H</sub>を充電しなければなりません。CLKをロジックローにすると、S2が開き、次にS1が開いた後、S3が閉じます。これで入力はホールドモードになります。

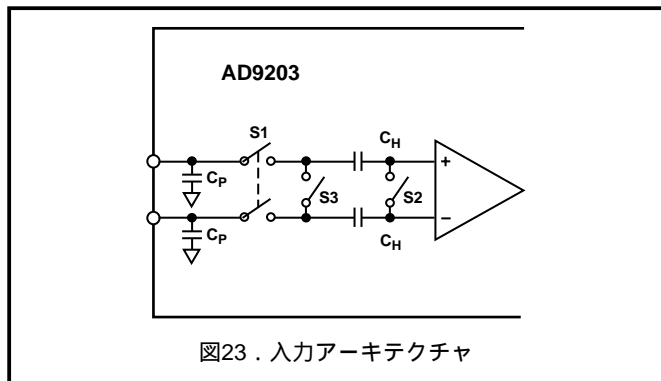


図23 . 入力アーキテクチャ

入力SHAの構造上、入力駆動ソースには、ある要求基準が課されます。ピン容量C<sub>p</sub>とホールド容量C<sub>H</sub>の組合せは、一般的には5pF未満です。入力ソースは、この容量をクロックサイクルの半分の速さと10ビットの精度で充 / 放電できなければなりません。SHAがトラックモードに入ると、入力ソースはコンデンサC<sub>H</sub>を、すでにC<sub>H</sub>に貯えた電圧から新しい電圧に充電または放電する必要があります。最悪の場合、入力ソースのフルスケール電圧ステップは、スイッチ1のR<sub>ON</sub> (100 Ω 経由で充電電流を供給し、すばやく CLK周期の1/2以内) 安定させなければなりません。この状況は、低入力インピーダンスの駆動に当たります。信号ソース出力とAINピンの間に直列抵抗をつけると、信号ソースに求められる駆動要求が小さくなります。図24は、この設定を示しています。ある種のアプリケーションの帯域幅は、この抵抗のサイズを制限します。データシートの仕様の性能を保つには、抵抗は50 Ω 未満に制限されます。ドライバをAD9203のスイッチド・キャパシタ入力から分離するのに、直列入力抵抗を使用できます。AD9203への帯域幅を制限するのに、外部コンデンサを選ぶこともできます。差動入力駆動方式を均衡させるため、2つの入力RCネットワークを用います(図24)。

AD9203の入力スパンは、リファレンス電圧の関数です。入力範囲の詳細は、データシートの内部 / 外部リファレンスの項をご覧ください。

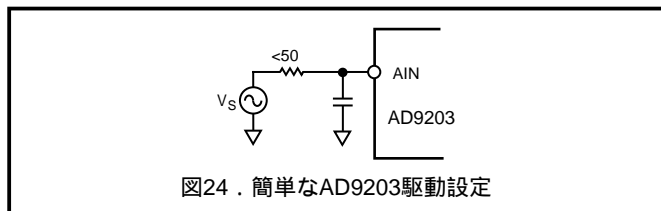


図24 . 簡単なAD9203駆動設定

多くのケース、とくに単電源動作では、アナログ入力信号を適切な信号範囲にバイアスするのに、交流結合が便利です。図25は、AD9203にアナログ入力信号を交流結合する代表的な設定です。データシートに記載された仕様を維持するには、コンポーネントの値を慎重に選ばねばなりません。最重要なのは、R2及びC1とC2の並列結合の関数であるf<sub>3dB</sub>ハイパスコーナー周波数です。

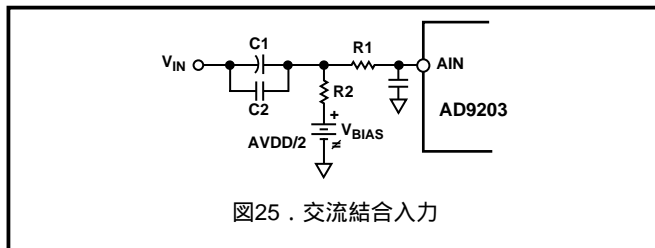


図25 . 交流結合入力

f<sub>3dB</sub>ポイントは、次式で近似値を求められます。

$$f_{3dB} = 1 / (2 \times [R2] \times C_{EQ})$$

ここでC<sub>EQ</sub>はC1とC2の並列結合です。一般的にC1は、高周波数で誘導性になる、大電解またはタンタルのコンデンサであることに注意してください。広い周波数範囲で低インピーダンスを保ちながら、高周波数での誘導性を無視できる、小セラミックまたはポリスチレンの小型コンデンサ(0.01 μF程度)を追加してください。

交流結合入力の抵抗値を選ぶには、さらに別の考慮事項があります。交流結合コンデンサは、AD9203の入力でのスイッチ過渡電流を統合し、正味の直流バイアス電流IBを入力に流入させます。バイアス電流の規模は、信号が変化し、クロック周波数が増大するとともに増大します。バイアス電流によって、オフセット誤差(R1+R2)×IBが生まれます。この誤差を補償する必要があるときは、生じたオフセットを補えるVBIASの修正を考慮する必要があります。交流結合を使わなければならないシステムでは、オペアンプを使ってグラウンド基準信号をレベルシフトし、AD9203の入力要求基準を満たしてください。

## オペアンプのセレクション・ガイド

AD9203のオペアンプ選択は、アプリケーションによって大きく異なります。一般に、あるアプリケーションの性能要求基準は、時間領域か周波数領域の制約によって決められます。いずれの場合も、A/Dの性能を維持するオペアンプを慎重に選んでください。消費電力やコストなど、他のシステムレベルの要求基準と合わせてAD9203の性能を考えると、選択はやりがいがあります。

最適なオペアンプの選択は、使用電源が制限されること及び / または、所望のオペアンプが受け入れる電源が制限されることなどにより、さらに複雑になります。新しい、高性能なオペアンプは、一般に低電源電圧に対応しているため入出力範囲が限られています。従って、交流結合が可能なシステムでは、他のオペアンプの方がより適切と言えます。直流結合が必要な場合、オペアンプの余裕制約(レールtoレールのオペアンプなど)や、大きい電源を使用できるオペアンプなどを検討する必要があります。

以下に、現在、当社から入手できるオペアンプをいくつかご紹介いたします。最新のアンプ製品については、当社または販売代理店にお問い合わせください。

AD8051 : f<sub>3dB</sub> = 110MHz

低価格。シングルエンド、交流結合構成の駆動に最適。3V電源レベルで動作します。

AD8052 : 上記アンプのデュアル・バージョン。

AD8138は、AD8131の高性能バージョンです。ゲインはプログラム可能で、14ビット性能を発揮します。

## 差動モード動作

すべてのアプリケーションが差動動作向けに信号調整しているわけではないので、しばしば、シングルエンドから差動への変換を行う必要があります。直流入力が必要ないシステムでは、センタータップを備えるRFトランスが、AD9203に20MHz以上の差動入力を生成する方法になります。この方法は、別のノイズや歪みを発生させることなく、A/Dを差動モードで動作できるという利点を備えています。RFトランスは、信号ソースとA/Dの間を絶縁するという利点も持っています。

AD9203を差動モードで動作させると、THDとSFDRの性能が向上します。差動モードとシングルエンドモードの間での性能の向上は、入力周波数がナイキスト周波数（すなわち  $f_{IN} > F_s/2$ ）に近づき、超えるとき、最も顕著になります。

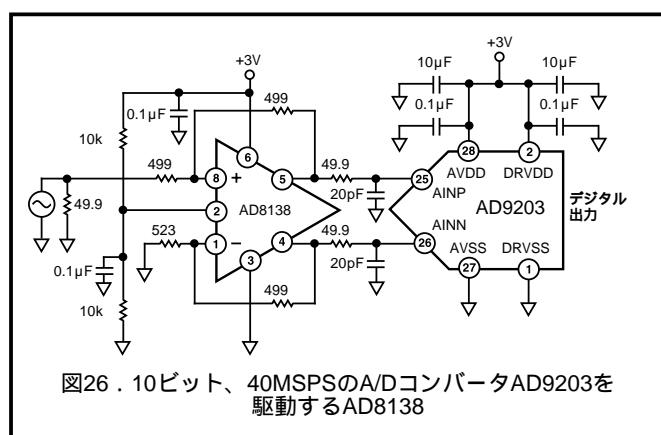


図26 . 10ビット、40MSPSのA/DコンバータAD9203を駆動するAD8138

AD8138は、シングルエンド信号を差動信号に変換する便利な方法を提供します。AD9203に直接結合信号を生成する理想的な方法です。AD8138は信号を受け入れ、外部の同相モードレベルに移行させます。AD8138の構成を、図26に示します。

図27は、推奨トランス回路の略図です。回路には、インピーダンス比4（ターン比2）型式番号T4-1TのMinicircuits RFトランスが使用されています。

トランスのセンタータップは、入力信号を所望の同相モード電圧にレベルシフトする便利な方法を提供します。図28は、広範囲の同相モードレベルにおける、AD9203の性能を表しています。

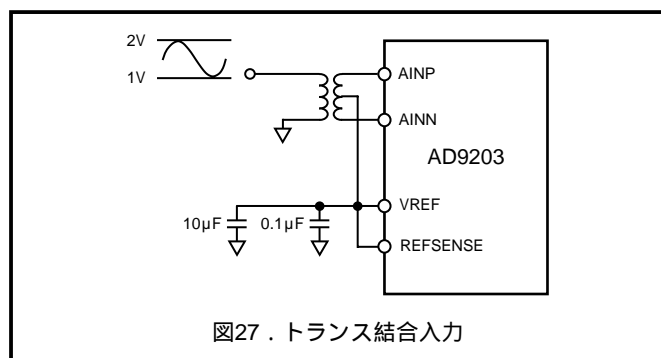


図27 . トランス結合入力

所与のアプリケーションの性能を最適化するため、他のターン比のトランスを選ぶこともできます。たとえば、インピーダンス比が高いトランス（インピーダンス比16のMinicircuits T16-6Tなど）を選ぶと、信号の振幅が効果的に「ステップアップ」されるので、信号ソースに対する駆動要求基準を下げることができます。

AD9203は、内部リファレンスの設定により、1Vp-p入力スパンまたは2Vp-p入力スパンに容易に設定できます。他の入力スパンは、データシートの図19に示す2つの外部ゲイン設定抵抗により実現することができます。図32と33は、大半の通信アプリケーションで求められる広範囲な振幅でのSNR及びSFDR性能を表します。

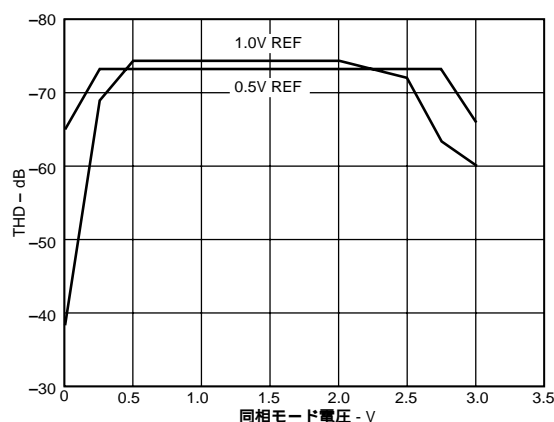


図28 . THD対同相モード電圧対THD (AIN = 2V差動) ( $f_{IN} = 5\text{MHz}$ ,  $f_s = 40\text{MSPS}$ )

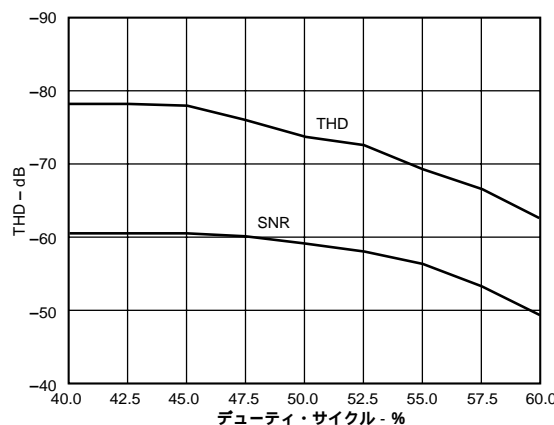


図29 . THDとSNR対クロック・デューティ・サイクル ( $f_{IN} = 5\text{MHz}$ 差動、クロック = 40MSPS)

# AD9203

表 電力プログラミング抵抗

クロック MHz	f <sub>IN</sub> MHz	THD dB	SNR dB	SINAD dB	SFDR dB	IAVDD mA	IDRVDD mA	5 pF負荷へ入る 総電力 mW	電力制御 抵抗 k
5	2.5	-72	60.6	59.9	77.9	5.0	0.86	17	37
10	2.5	-74.3	60.7	60.4	77.8	5.9	1.2	21.3	37
15	2.5	-74	60.1	59.9	77.7	6.7	1.8	25	37
20	5	-75.1	53.4	53.2	78.9	7.8	2.4	30	50
30	5	-75	59.5	59.4	74.8	10	4.0	42	50

## 電力制御

AD9203の消費電力は、PWRCONピンとグラウンドの間に抵抗を入れると低減できます。この機能は、AD9203の高速変換より低電力消費を求めるユーザーには貴重です。外部抵抗は、アナログ電流ミラーのプログラミングをセットします。表は、プログラム電力と性能の関係を示します。

低いクロック速度では、AD9203のアナログ部分に要する電力は少なくなります。PWRCONピンに外部抵抗を入れると、制御電流を電流ミラーの一部から逸らすことができ、A/Dコンバータは極めて低い消費電力でデータを低速変換できます。

## 5Vシステムとのインターフェース

AD9203は+5Vシステムに組み込むことができます。リニアレギュレータAD3307-3経由で、5Vアナログ電源ラインから3Vの供給電源を引き出すことで可能になります。

ロジック入力仕様の最大値を超えないように、注意が必要です。

## クロック入力と考慮事項

AD9203内部タイミングは、クロック入力の2つのエッジを用いて、各種の内部タイミング信号を生成します。サンプリングは立ち上がりエッジで発生します。40MSPSで動作するAD9203へのクロック入力は、t<sub>CH</sub>とt<sub>CL</sub>の最小値が11.25nsなので、タイミング条件を満たすため45~55%のデューティサイクルになります。40MSPS未満のクロック速度では、t<sub>CH</sub>とt<sub>CL</sub>の両方が満たされる範囲で、デューティサイクルが逸れることがあります。ダイナミクス対デューティサイクルについては、図29参照。

高速高分解能A/Dはクロック入力の質に敏感です。与えられたフル

スケール入力周波数(f<sub>IN</sub>)でのアパーチャ・ジッター(t<sub>A</sub>)のみに起因するSNRの劣化は、次式で計算できます。

$$\text{SNRの劣化} = 20 \log_{10} [1/2 \cdot f_{IN} t_A]$$

この式で、rmsアパーチャ・ジッターt<sub>A</sub>は全ジッターソースの自乗平均を表します。この全ジッターソースには、クロック入力、アナログ入力信号、A/Dアパーチャ・ジッター仕様が含まれます。アンダーサンプリング・アプリケーションは、特にジッターに敏感です。

アパーチャ・ジッターがAD9203のダイナミックレンジに影響する場合、クロック入力はアナログ信号として扱う必要があります。クロックドライバの電源は、クロック信号をデジタルノイズで変調しないように、A/D出力ドライバ電源から分離します。低ジッターの水晶制御発振器は、最良のクロックソースになります。クロックを他のタイプのソース(ゲート制御、分周、その他の方法)から生成する場合、最後のステップで、オリジナルクロックによってリタイムする必要があります。

クロック入力はアナログ電源を基準にし、ロジックしきい値はAVDD/2です。

## デジタル入力と出力

AD9203のデジタル制御入力、3-STATE、DFS、STBYは、アナログ・グラウンドを基準とします。CLKも、アナログ・グラウンドを基準とします。STBY = HIGHでAD9203の静止電力が0.65mWに低下する、低電力モード機能を備えています。

DFSピンをハイでアサートすると、MSBピンを反転し、データを2の補数フォーマットに変更します。

AD9203はOTR(範囲外)機能を備えています。入力電圧がフルスケールより1LSB上回るか下回ると、OTRフラグがハイになります。図30参照。

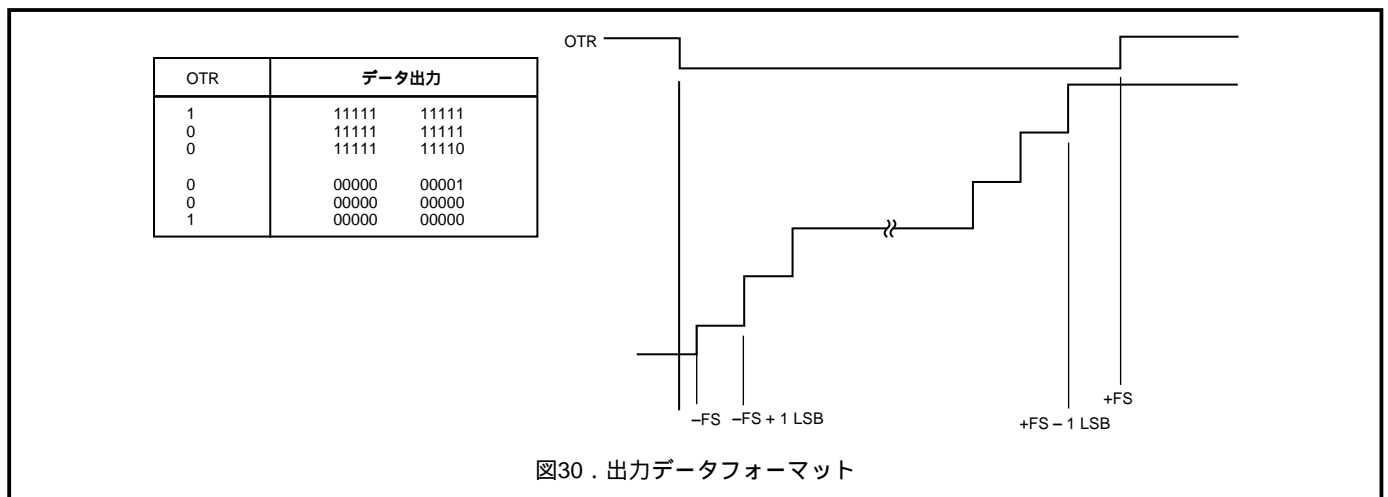


図30 . 出力データフォーマット

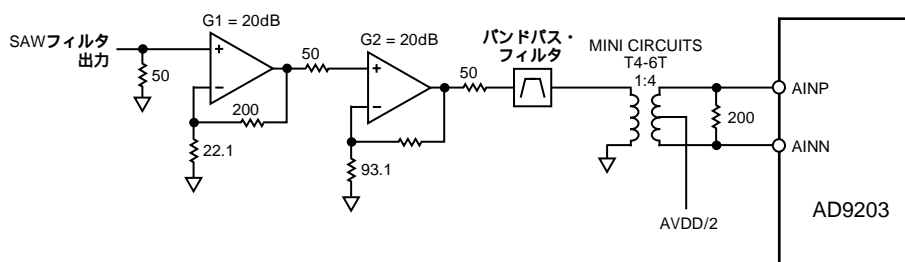


図31 . 簡略化したIFサンプリング回路

## アプリケーション

### AD9203を用いたダイレクトIFダウン変換

A/Dコンバータのベースバンド領域 (すなわち  $dc \sim FS/2$ ) を超えるIF信号をサンプリングするのは、通信アプリケーションではますます一般的になっています。このプロセスは、ダイレクトIFダウン変換またはアンダーサンプリングと呼ばれます。狭帯域または広帯域IF信号のエイリアシング (すなわち混合) にA/Dコンバータを用いることには、いくつかの潜在的利点があります。第1に、アンプやフィルタを用いた完全なミキサー段が不要なので、コストと消費電力を下げることができます。第2は、フィルタリング、チャンネル選択、直交復調、データ低減、検知などの機能を行う各種のDSP技術を利用できることです。この技術をデジタル受信機で利用する際の詳細は、アナログ・デバイス・アプリケーションノートAN-301とAN302に掲載されています。ダイレクトIFダウン変換アプリケーションでは、A/Dコンバータ固有のサンプリング・プロセスを活用し、ベースバンド領域外にあるIF信号を、IF信号をダウン変換するミキサーに類似した方法でベースバンド領域にエイリアシングすることができます。ミキサーのトポロジーと同じく、他の潜在的干渉信号がA/Dコンバータのベースバンド領域にエイリアシングで戻るのが制限するため、イメージ除去フィルタが必要です。イメージ除去フィルタの複雑度と、A/Dコンバータのサンプリング速度及びダイナミックレンジは、二者択一の関係になります。

AD9203は、各種IFサンプリング・アプリケーションに好適です。AD9203の低歪み入力SHAは最大130MHzまでのフルパワー帯域幅を備え、多くの一般的なIF周波数に対応できます。20MHzを超えるアンダーサンプリングには、2Vスパンのみを用います。±0.25LSBのDNLと低い温度入力基準ノイズとの組み合わせにより、AD9203は2Vスパンで、ベースバンド入力サイン波に59dB以上のSNRを提供できます。また、1.2ps rmsの低アパーチャ・ジッターは、高IF周波数でのSNRの低下を最小にします。実際、AD9203は2V入力スパン、70MHzのIFでも58dBのSNRを保つことができます。

歪み性能を最大にするには、トランスを用いてAD9203を2Vスパンの差動モードで設定します。トランスのセンタータップは、AD9203のリファレンス出力にバイアスされます。AD9203とトランスの前段に、オプションのバンドパス・フィルタとゲイン段があります。AD9203の390MHz帯域幅に存在する帯域外歪みとノイズを下げるのに、低Q受動バンドパス・フィルタを挿入することができます。チャンネル選択とイメージ除去に用いられたSAWフィルタの高い挿入損失を補うため、大ゲイン段が必要となることが多くあります。ゲイン段は、AD9203のスイッチド・キャパシタ入力段に関連したチャージ「キックバック」電流からSAWフィルタを十分に絶縁することができます。

狭帯域IFサンプリング・アプリケーションでA/Dコンバータを評価する際、所与のIF周波数におけるA/Dコンバータの歪み及びノイズ性能

は特に重要です。シングルトーンとデュアルトーンの両方のSFDR対振幅の関係は、A/Dコンバータのダイナミック及びスタティック非直線性を評価するのにきわめて有用です。与えられたIFにおけるSNR対振幅性能の関係は、アパーチャ・ジッターに起因するA/Dコンバータのノイズ性能とノイズ寄与を評価するのに役立ちます。どのアプリケーションでも、あるデバイスに対するアプリケーションの鋭敏性を評価するため、同じデバイスを数基、同じ条件で試験することを奨めます。図32と33は、70MHzと130MHzのIF周波数での、デュアルトーンSFDR及びシングルトーンSFDRとSNRの性能を一緒に示しています。SFDR対振幅のデータはdBFSを基準とし、シングルトーンSNRのデータはdBcを基準としていることに注意してください。図中の性能特性は、先行ゲイン段のないAD9203を表しています。AD9203は、2Vスパン、サンプリング速度40MSPSの差動モード (トランスを経由) で動作させました。アナログ電源 (AVDD) とデジタル電源 (DRVDD) は、3.0Vにセットしました。

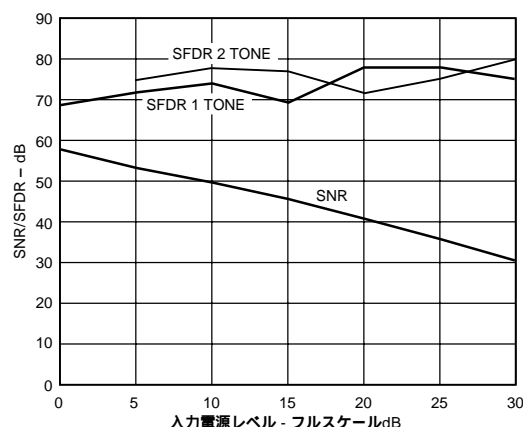


図32 . 70MHzのIFのSNR/SFDR (クロック = 40MSPS)

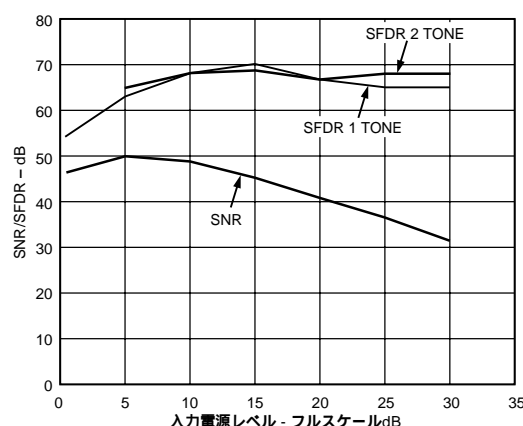


図33 . 130MHzのIFのSNR/SFDR (クロック = 40MSPS)

# AD9203

## 超音波アプリケーション

AD9203は、10ビットの超音波アプリケーションで優れた性能を發揮します。これは、最高ナイキストまでのアナログ入力周波数での高いSNRによって実証されます。基本周波数ピンのベース付近にスパークがあることは、図35に示されています。ノイズフロア付近のスパークが $f_{IN}$ より80dB以上低いことに注意してください。これは、基本周波数からのズレが少ないことが重要な、ドップラー超音波アプリケーションでは特に貴重です。

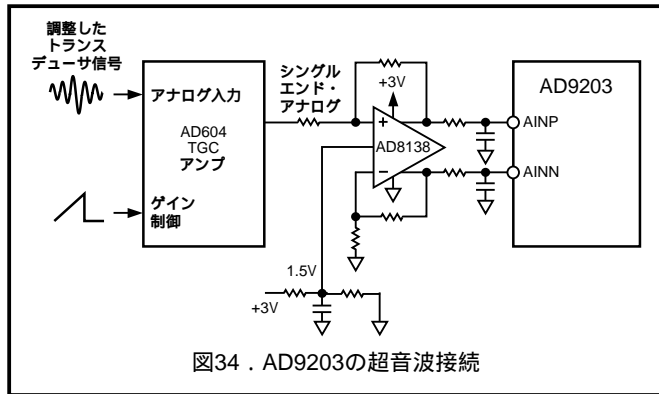


図34 . AD9203の超音波接続

図34は、AD604可変ゲインアンプの時間ゲイン補償 (TGC) 用設定を表しています。低電力のAD9203は3V電源レールから電源を取り、一方、高性能のAD604は5V電源レールから電源を取っています。AD9203を駆動するのにAD8138を用

います。これは、同相モード・ノイズと入力異常を消去する差動駆動技術によって実現しています。

74mWの消費電力で40MSPSのAD9203は、旧世代製品に比べ桁違いの向上を実現しています。

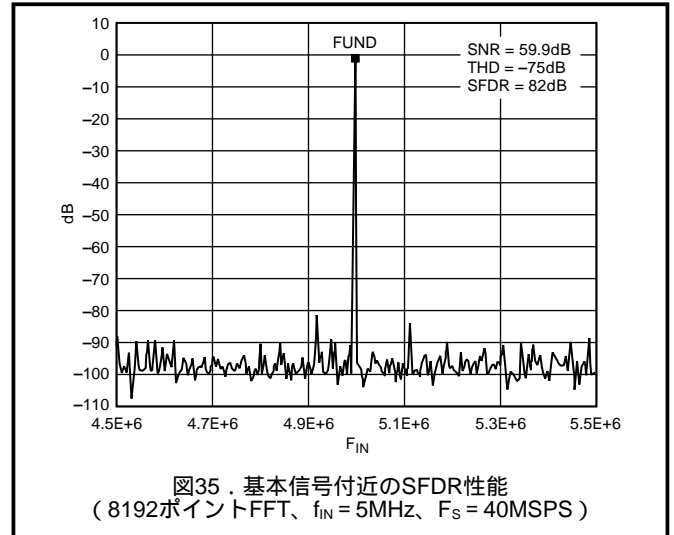


図35 . 基本信号付近のSFDR性能 (8192ポイントFFT、 $f_{IN} = 5\text{MHz}$ 、 $F_s = 40\text{MSPS}$ )

## 評価ボード

AD9203の評価ボードは、2V差動動作の配線で出荷されています。ボードは、電源及びテスト部品と、図36に示すように接続します。シングルエンド及び差動動作、1V及び2Vスパンに、容易に設定できます。次頁の回路図を参照。

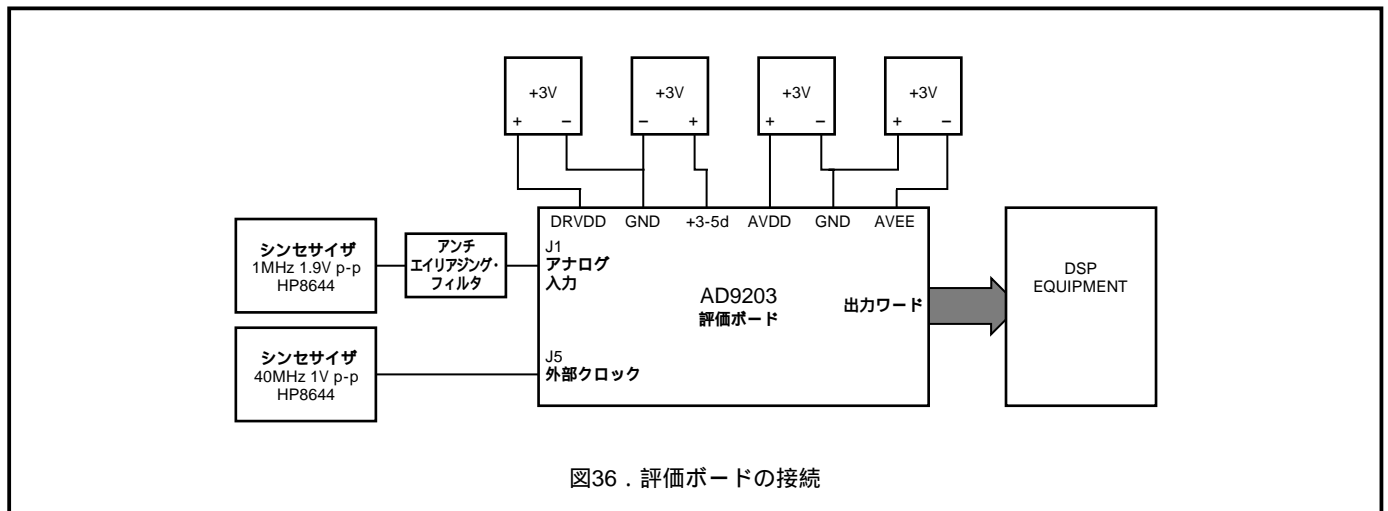


図36 . 評価ボードの接続



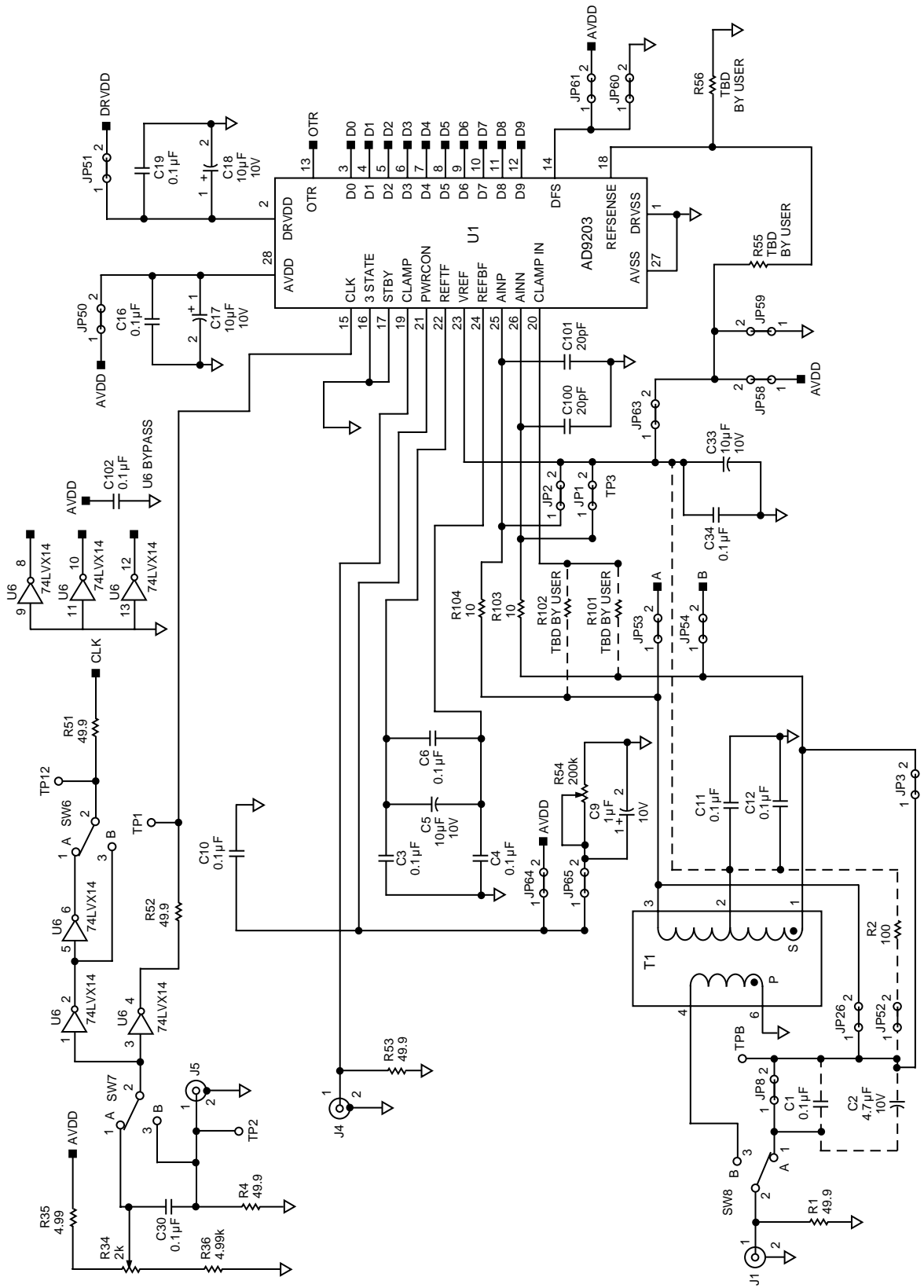


図37. 評価ボード (Rev. C)

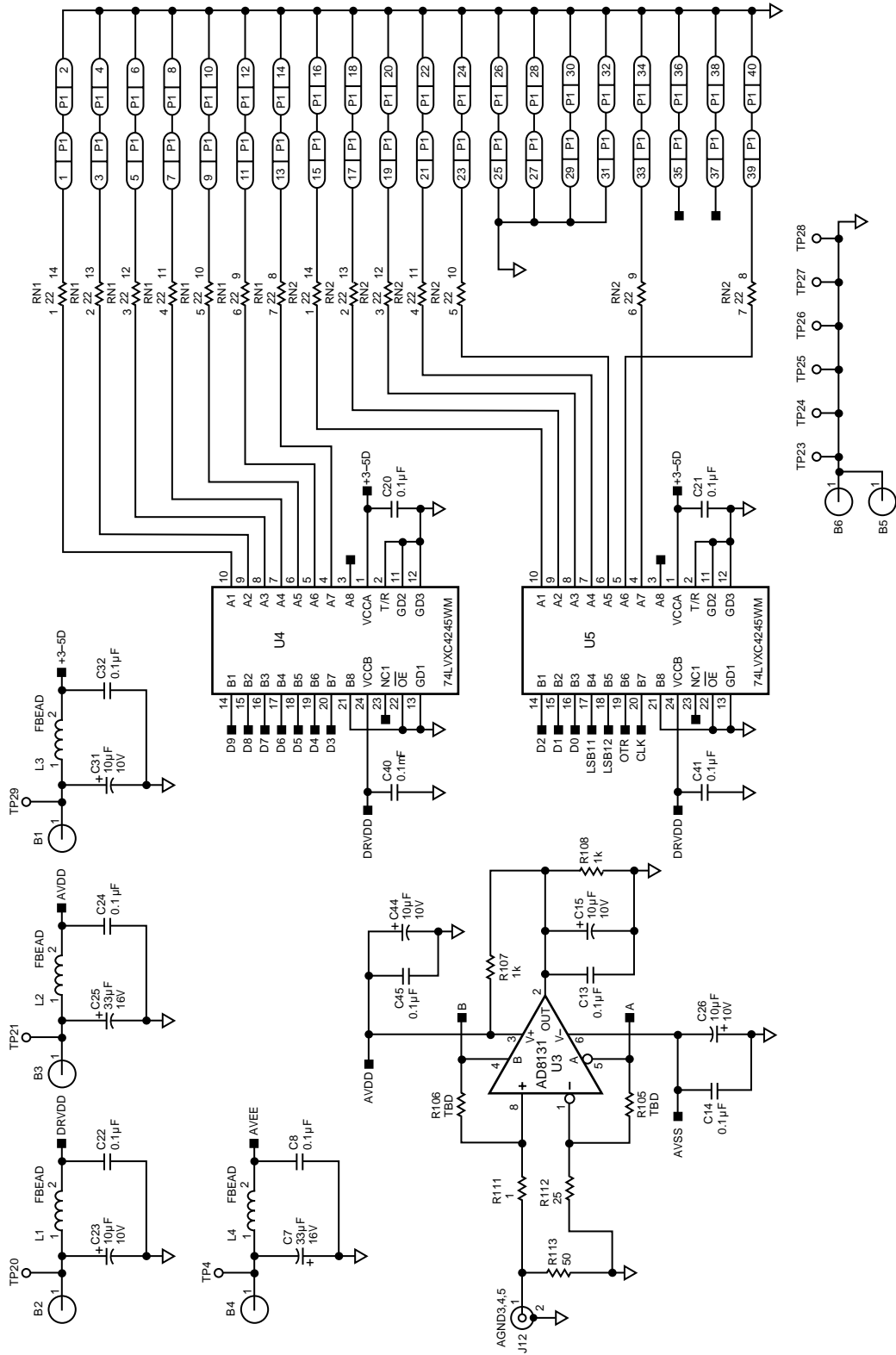
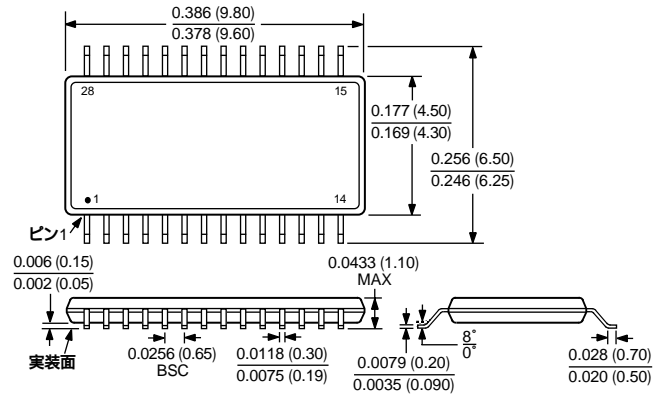


图38. 评估板-7c (Rev. C)

## 外形寸法

サイズはインチと (mm) で示します。

### 28ピンTSSOP (RU-28)



# AD9203

D4146-2.7-12/99,1A

PRINTED IN JAPAN



このデータシートはエコマーク認定の再生紙を使用しています。