

AD9201

特長

完全デュアル整合 A/DC

低消費電力 : 215 mW (+3 V 電源使用時)

単電源 : 2.7 ~ 5.5 V

微分非直線性誤差 : 0.4 LSB

アナログ入力バッファ内蔵

リファレンス内蔵

S/N比 : 57.8 dB

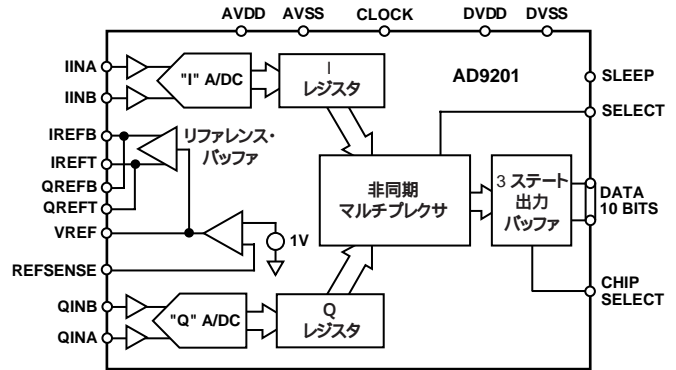
有効ビット数 : 9 ビット超

スプリアス・フリー・ダイナミック・レンジ : -73 dB

ノー・ミッシング・コード保証

28ピン SSOP

機能ブロック図



概要

AD9201 は、完全デュアル・チャンネル、20 MSPS、10 ビットの CMOS A/DC です。この AD9201 は、特に、2 つの A/DC の間で高い整合性が求められるアプリケーション(たとえば、通信アプリケーションにおける I/Q チャンネル)用に最適化されています。20 MHz のサンプリング・レートと広い入力帯域幅は、狭帯域チャンネルおよび拡散スペクトラム・チャンネルをとともにカバーします。AD9201 は、10 ビット、20 MSPS の A/DC × 2、入力バッファ・アンプ × 2、内蔵の電圧リファレンスおよび、多重デジタル出力バッファを備えています。

それぞれの A/DC の入力には、同時サンプリングのサンプル/ホールド・アンプが組み込まれています。アナログ入力はバッファされるので、ほとんどのアプリケーションにおいては、入力バッファ・オペアンプを外部接続する必要がありません。これらの A/DC は、多段パイプライン構造を用いて、高精度とノー・ミッシング・コード保証を実現します。各 A/DC の出力は、多重デジタル出力バッファにポートされます。

AD9201 は、先端の低コスト CMOS プロセスを使用して製造され、2.7 ~ 5.5 V の単電源で動作し、215 mW (+3 V 電源使用時)しか電力を消費しません。AD9201 は、シングルエンド信号または差動信号が入力可能で、10 MHz のナイキスト入力周波数まで、さらにはそれを超える周波数において優れたダイナミック特性が得られます。

特長

1. デュアル 10 ビット、20 MSPS A/DC

I および Q チャンネル、あるいはダイバーシティ・チャンネル等の情報をエンコードするための、スプリアス・フリー・ダイナミック特性を得るために最適化された、高性能 20 MSPS A/DC を備えています。

2. 低消費電力

完全 CMOS デュアル A/DC 機能は、単電源で動作し、わずか 215 mW しか電力を消費しません (+3 V 電源使用時)。AD9201 は、2.7 ~ 5.5 V 電源で動作します。

3. 内蔵電圧リファレンス

AD9201 は、ピン経由で 1 V または 2 V にプログラムできる補償バンドギャップ電圧リファレンスを内蔵しています。

4. アナログ入力バッファを内蔵しており、ほとんどのアプリケーションにおいては外付けオペアンプが不要です。

5. 単一の 10 ビット・デジタル出力バス

AD9201 の A/DC 出力は、単一の出力バスにインターリーブされるので、ボード・スペースとデジタル・ピンの数を節減できます。

6. コンパクトなパッケージ

AD9201 は、コンパクトな 28 ピン SSOP パッケージに機能を完全に統合しています。

7. 製品ファミリー

デュアル A/DC AD9201 は、デュアル 8 ビット A/DC (AD9281) とピン・コンパチブルで、デュアル D/AC の姉妹製品としては、AD9761 があります。

AD9201 仕様

(特に指定のない限り、AVDD = +3 V、DVDD = +3 V、 $F_{SAMPLE} = 20$ MSPS、VREF = 2 V、INB = 0.5 V、温度範囲 = $T_{MIN} \sim T_{MAX}$ 、内蔵リファレンス使用、差動入力信号使用とします)

パラメータ	記号	Min	Typ	Max	単位	条件
分解能			10		ビット	
変換レート	F_s			20	MHz	
DC 精度						
微分非直線性	DNL		± 0.4		LSB	REFT = 1 V, REFB = 0 V
積分非直線性	INL		1.2		LSB	
微分非直線性(SE)	DNL		± 0.5	± 1	LSB	REFT = 1 V, REFB = 0 V
積分非直線性(SE)	INL		± 1.5	± 2.5	LSB	
ゼロ・スケール誤差, オフセット誤差	E_{ZS}		± 1.5	± 3.8	% FS	
フルスケール誤差, ゲイン誤差	E_{FS}		± 3.5	± 5.4	% FS	
ゲイン整合			± 0.5		LSB	
オフセット整合			± 5		LSB	
アナログ入力						
入力電圧範囲	A _{IN}	- 0.5		ADV _V /2	V	
入力キャパシタンス	C _{IN}		2		pF	
アパーチャ遅延	t _{AP}		4		ns	
アパーチャの不確定性(ジッター)	t _{AJ}		2		ps	
アパーチャ遅延整合			2		ps	
入力帯域幅(- 3 dB)	BW					
小信号(- 20 dB)			240		MHz	
フルパワー(0 dB)			245		MHz	
内蔵リファレンス						
出力電圧(1 V モード)	VREF		1		V	REFSENSE = VREF
出力電圧誤差(1 V モード)			± 10		mV	
出力電圧(2 V モード)	VREF		2		V	REFSENSE = GND
出力電圧誤差(2 V モード)			± 15		mV	
負荷レギュレーション(1 V モード)				± 28	mV	負荷電流 = 1 mA
負荷レギュレーション(2 V モード)			± 15		mV	負荷電流 = 1 mA
電源						
動作電圧	AVDD	2.7	3	5.5	V	AVDD - DVDD ≤ 2.3 V
	DRVDD	2.7	3	5.5	V	
電源電流	I _{AVDD}		71.6		mA	AVDD = 3 V
	I _{DRVDD}		0.1		mA	
消費電力	P _D		215	245	mW	AVDD = DVDD = 3 V
パワーダウン			15.5		mW	STBY = AVDD, クロック = AVSS
電源変動除去比	PSR		0.8	1.3	%FS	
ダイナミック特性¹						
信号対ノイズおよびひずみ比	SINAD					
f = 3.58 MHz		55.6	57.3		dB	
f = 10 MHz			55.8		dB	
S/N比	SNR					
f = 3.58 MHz		55.9	57.8		dB	
f = 10 MHz			56.2		dB	
総合高調波ひずみ	THD					
f = 3.58 MHz			- 69	- 63.3	dB	
f = 10 MHz			- 66.3		dB	
スプリアス・フリー・ダイナミック・レンジ	SFDR					
f = 3.58 MHz		- 66	- 73		dB	
f = 10 MHz			- 70.5		dB	
2トーン相互変調ひずみ ²	IMD		- 62		dB	f = 44.49 MHz、45.52 MHz
微分位相	DP		0.2		度	NTSC 40 IRE 変調勾配
微分ゲイン	DG		1		%	$F_s = 14.3$ MHz
クロストーク除去比			68		dB	

パラメータ	記号	Min	Typ	Max	単位	条件
ダイナミック特性(SE)³						
信号対ノイズおよびひずみ比 f = 3.58 MHz	SINAD		52.3		dB	
S/N比 f = 3.58 MHz	SNR		55.5		dB	
総合高調波ひずみ f = 3.58 MHz	THD		- 55		dB	
スプリアス・フリー・ダイナミック・レンジ f = 3.58 MHz	SFDR		- 58		dB	
デジタル入力						
High入力電圧	V _{IH}	2.4			V	
Low入力電圧	V _{IL}			0.3	V	
DC リーク電流	I _{IN}		± 6		μA	
入力キャパシタンス	C _{IN}		2		pF	
ロジック出力(DVDD = 3 V)						
Highレベル出力電圧 (I _{OH} = 50 μA)	V _{OH}		2.88		V	
Lowレベル出力電圧 (I _{OL} = 1.5 mA)	V _{OL}		0.095		V	
ロジック出力(DVDD = 5 V)						
Highレベル出力電圧 (I _{OH} = 50 μA)	V _{OH}		4.5		V	
Lowレベル出力電圧 (I _{OL} = 1.5 mA)	V _{OL}		0.4		V	
データ有効までの遅延時間	t _{OD}		11		ns	C _L = 20 pF, 出力レベルが最終値の90%になるまで
MUX 選択までの遅延時間	t _{MD}		7		ns	
データ・イネーブルまでの遅延時間	t _{ED}		13		ns	
データHigh Z 遅延	t _{DHZ}		13		ns	
クロック						
クロック・パルス幅High	t _{CH}	22.5			ns	
クロック・パルス幅Low	t _{CL}	22.5			ns	
パイプライン待ち時間			3.0		サイクル	

- 注
 1 AIN は 2 V_{pp} の差動入力, REFT = 1.5 V, REFB = - 0.5 V。
 2 IMD は、2 つの入力信号のうち大きい方を参照します。
 3 SE は、シングルエンド入力, REFT = 1.5 V, REFB = - 0.5 V。

仕様は、予告なく変更されることがあります。

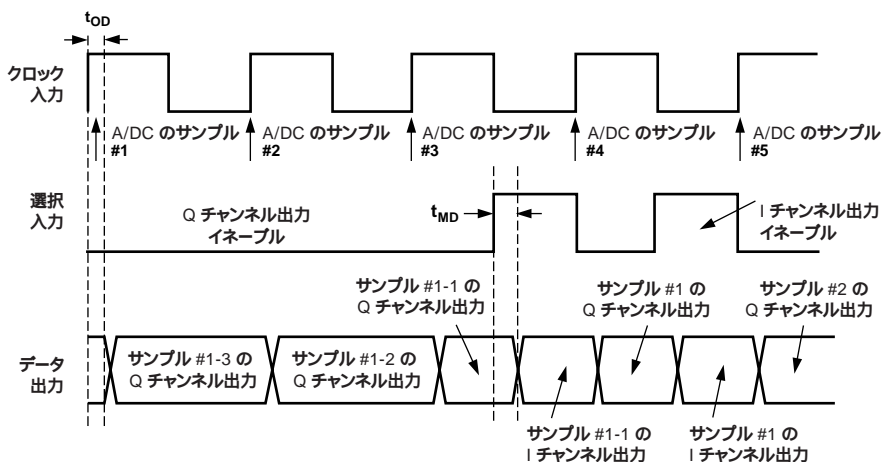


図 1. A/D のタイミング図

AD9201

最大絶対定格*

パラメータ	基準	Min	Max	単位
AVDD	AVSS	- 0.3	+ 6.5	V
DVDD	DVSS	- 0.3	+ 6.5	V
AVSS	DVSS	- 0.3	+ 0.3	V
AVDD	DVDD	- 6.5	+ 6.5	V
CLK	AVSS	- 0.3	AVDD + 0.3	V
デジタル出力	DVSS	- 0.3	DVDD + 0.3	V
AINA, AINB	AVSS	- 1.0	AVDD + 0.3	V
VREF	AVSS	- 0.3	AVDD + 0.3	V
REFSENSE	AVSS	- 0.3	AVDD + 0.3	V
REFT, REFB	AVSS	- 0.3	AVDD + 0.3	V
接合温度			+ 150	
保管温度		- 65	+ 150	
リード温度			+ 300	
10 秒				

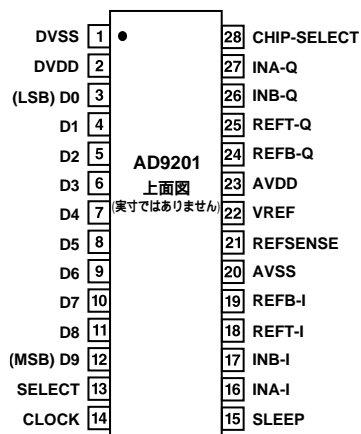
* 上記の絶対最大定格を超えるストレスは、デバイスに永久的なダメージを与えることがあります。このリストはストレス定格を示すことだけを目的とし、これらの条件もしくは、本仕様書の動作に関するセクションに示した以外の条件におけるこのデバイスの機能的な動作を意味するものではありません。長時間にわたって絶対最大定格条件で使用すると、デバイスの信頼性に影響が現れることがあります。

オーダー・ガイド

モデル	動作温度範囲	パッケージ説明	パッケージ・オプション*
AD9201ARS	- 40 ~ + 85	28ピン SSOP	RS-28
AD9201-EVAL		評価ボード	

*RS: シュリンク・スモール・アウトライン

ピン構成



ピン機能の説明

ピン番号	名称	説明
1	DVSS	デジタル・グラウンド
2	DVDD	デジタル電源
3	D0	ビット 0 (LSB)
4	D1	ビット 1
5	D2	ビット 2
6	D3	ビット 3
7	D4	ビット 4
8	D5	ビット 5
9	D6	ビット 6
10	D7	ビット 7
11	D8	ビット 8
12	D9	ビット 9 (MSB)
13	SELECT	High: I チャンネル出力, Low: Q チャンネル出力
14	CLOCK	クロック
15	SLEEP	High: パワーダウン, Low: 通常動作
16	INA-I	I チャンネル A 入力
17	INB-I	I チャンネル B 入力
18	REFT-I	最大リファレンスのデカップリング, I チャンネル
19	REFB-I	最小リファレンスのデカップリング, I チャンネル
20	AVSS	アナログ・グラウンド
21	REFSENSE	リファレンス選択
22	VREF	内部リファレンス出力
23	AVDD	アナログ電源
24	REFB-Q	最小リファレンスのデカップリング, Q チャンネル
25	REFT-Q	最大リファレンスのデカップリング, Q チャンネル
26	INB-Q	Q チャンネル B 入力
27	INA-Q	Q チャンネル A 入力
28	CHIP-SELECT	High: 高インピーダンス, Low: 通常動作

仕様の定義

積分非直線性 (INL)

INLは、"0" と "フルスケール" を結んだ直線からの各個別のコードの偏差を言います。"0" として使用するポイントは、最初のコード遷移の 1/2 LSB手前とします。また "フルスケール" は、最後のコード遷移を 1 + 1/2 LSB 超えたレベルとして定義されます。偏差は、この真の直線と特定の各コードの midpoint の距離から測定します。微分非直線性 (DNL、ノーマリッシング・コード)

理想的な A/DC のコード遷移は、正確に 1 LSB 間隔になります。DNL は、この理想的な値からの偏差を言います。DNL は、ノーマリッシング・コード (NMC) が保証される分解能として仕様規定されることもあります。

注意

ESD (静電放電) の影響を受けやすいデバイスです。4000 V もの高圧の静電気が人体やテスト装置に容易に帯電し、検知されることなく放電されることもあります。この AD9201 には当社独自の ESD 保護回路が備えられていますが、高エネルギーの静電放電にさらされたデバイスには回復不能な損傷が残ることもあります。したがって、性能低下や機能喪失を避けるために、適切な ESD 予防措置をとるようお奨めします。



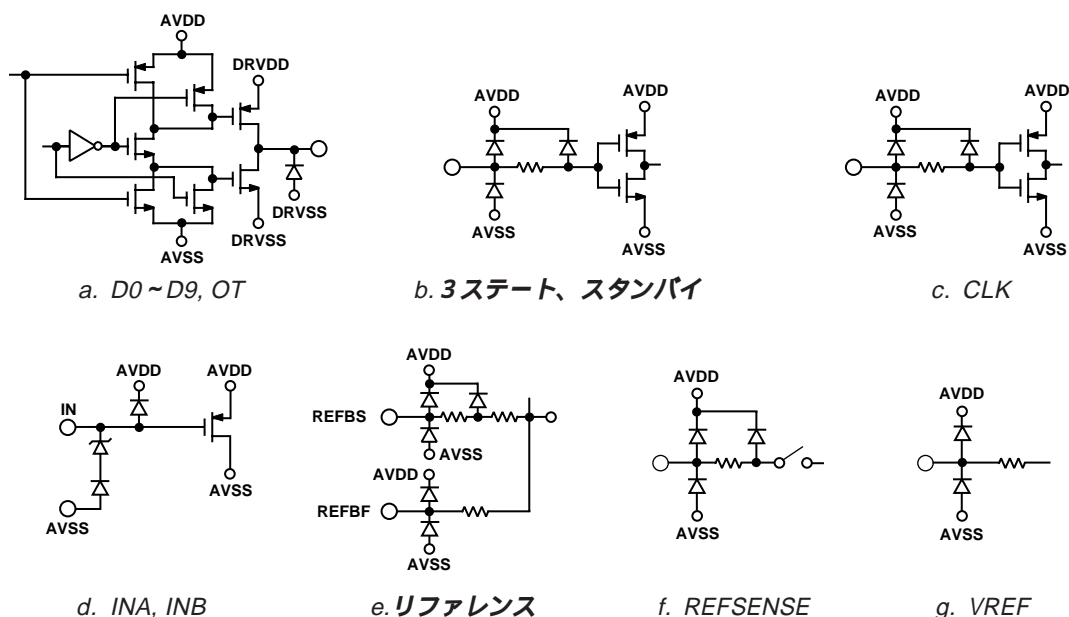


図2. 等価回路

オフセット誤差

最初の遷移は、“0”より1 LSB だけ高いレベルで生じる必要があります。オフセットは、実際に最初のコード遷移が発生したポイントとこのポイントとの偏差として定義されます。

オフセット整合

IチャンネルとQチャンネルのオフセット誤差の変化を言います。

有効ビット数(ENOB)

サイン波の場合、SINAD をビット数として表わすことができます。次の式

$$N = (\text{SINAD} - 1.76) / 6.02$$

を使用すると、性能をNで表わして測定することができます。このNが有効ビット数です。

つまり、所定の入力周波数におけるサイン波入力に対するデバイスの有効ビット数は、SINADの測定値から計算によりダイレクトに求めることができます。

総合高調波ひずみ(THD)

THD は、入力信号の測定値の実行値と、第6高調波以下の高調波成分の和の実行値の比を言い、パーセンテージまたはデシベル値で示されます。

S/N比(SNR)

SNRは、ナイキスト周波数以下のスペクトル成分から、第6高調波までの高調波成分およびDC成分を除いた残りのスペクトル成分の和の実行値に対する、入力信号の測定値の実行値の比を言います。SNRの値はデシベルで示されます。

スプリアス・フリー・ダイナミック・レンジ(SFDR)

SFDRは、入力信号の振幅の実行値とピークのスプリアス信号の差をデシベルで表した値です。

ゲイン誤差

最初のコード遷移は、定格の負のフルスケールの上側1 LSBに相当するアナログ値で発生する必要があります。また、最後のコード遷移は、フルスケールの下側1 LSBに相当するアナログ値で発生

する必要があります。ゲイン誤差は、最初と最後のコード遷移の差の理想値に対する、最初と最後のコード遷移の差の実測値の偏差を言います。

ゲイン整合

IチャンネルとQチャンネルのゲイン誤差の変化を言います。

パイプライン遅延(待ち時間)

変換の開始から対応する出力が処理可能となるまでのクロック数を言います。新しい出力データは、各クロック・サイクルの立ち上がりエッジで取り出すことができます。

MUX 選択遅延

SELECT ピンのデータ・レベルの変化から出力ピンに有効なデータが現れるまでの遅延時間を言います。

電源変動除去比

この仕様は、電源電圧のmin値で得られる値から、電源電圧のmax値で得られる値までの最大変化をフルスケールに対する比で示します。

アパーチャ・ジッター

アパーチャ・ジッターは、連続サンプルに関するアパーチャ遅延の変動を言い、A/D への入力に含まれるノイズとして顕在化します。

アパーチャ遅延

アパーチャ遅延は、クロック入力の立ち上がりエッジから、変換のための入力信号のラッチまでの測定値を言い、サンプル/ホールド・アンプ(SHA)の性能の尺度になります。

信号対ノイズおよびひずみ比(S/N+D, SINAD 比)

S/N+D は、ナイキスト周波数以下の入力信号以外のスペクトル成分の和の実行値に対する、入力信号の測定値の実行値の比を言います。入力信号以外のスペクトル成分には、高調波も含まれますが、直流成分は除かれます。S/N+Dの値はデシベルで示されます。

AD9201 標準特性曲線

(特に指定のない限り、 $AVDD = +3V$, $DVDD = +3V$, $F_S = 20\text{ MHz}$ (デューティ・サイクル=50%), 入カスパン = $-0.5 \sim +1.5V$ までの2V, リファレンス: 2Vの内部リファレンス)

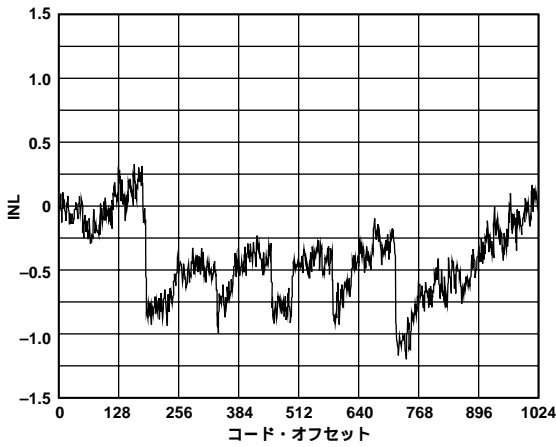


図3. 代表的な INL(1V 内蔵リファレンス)

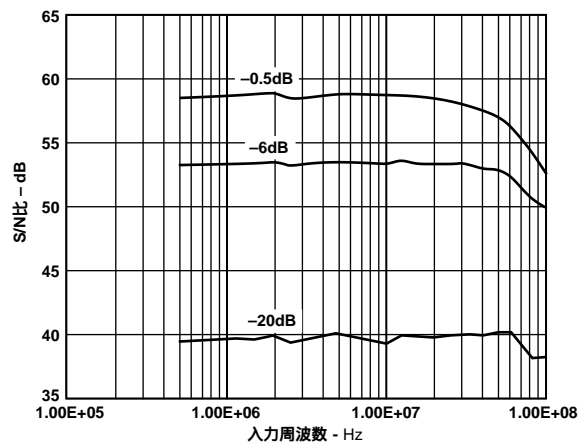


図6. 入力周波数とS/N比の関係

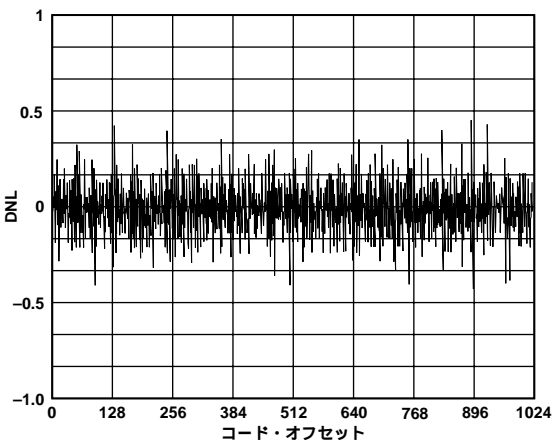


図4. 代表的な DNL(1V 内蔵リファレンス)

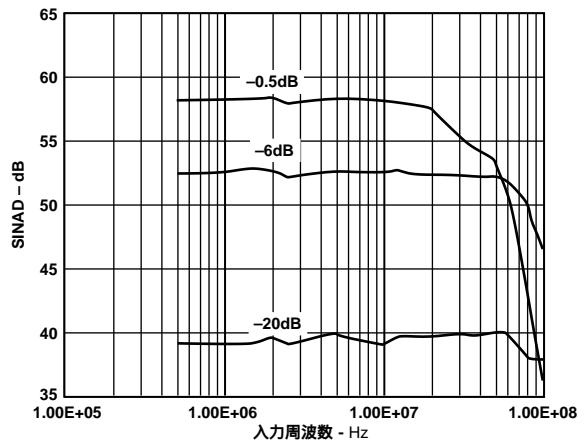


図7. 入力周波数とSINADの関係

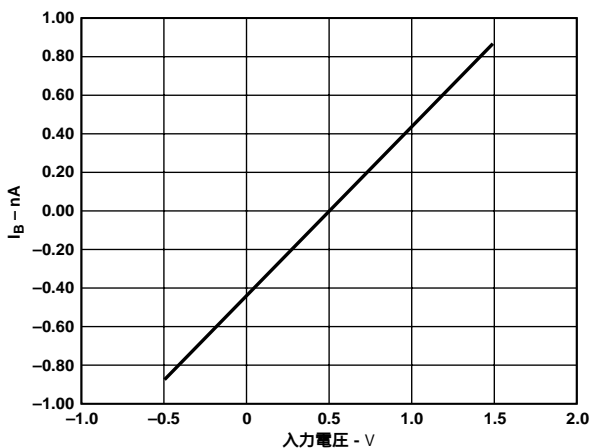


図5. 入力電圧と入力バイアス電流の関係

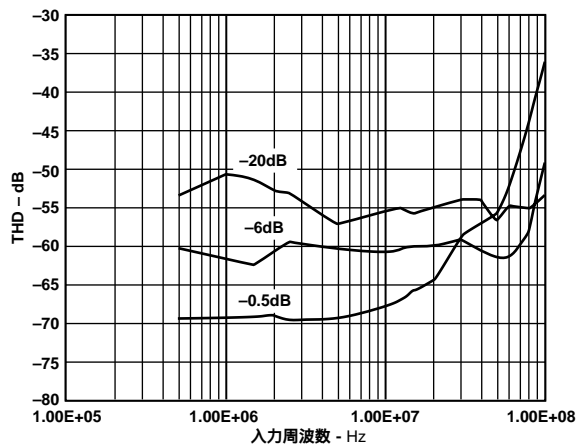


図8. 入力周波数とTHDの関係

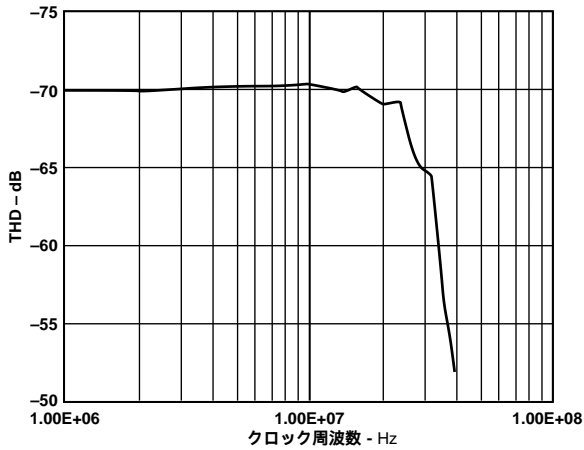


図 9. クロック周波数と THD の関係 ($f_{IN} = 1\text{MHz}$)

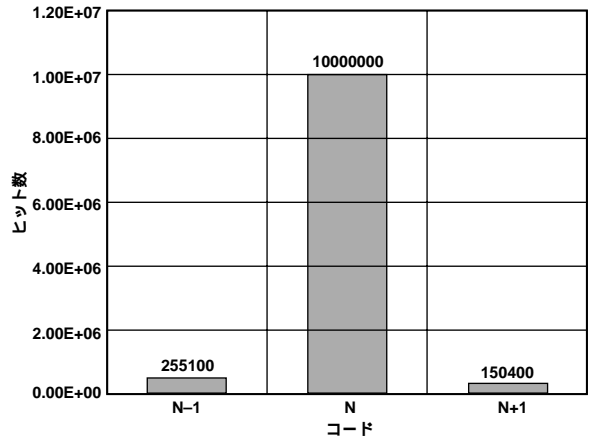


図 12. 実測に基づくヒストグラム

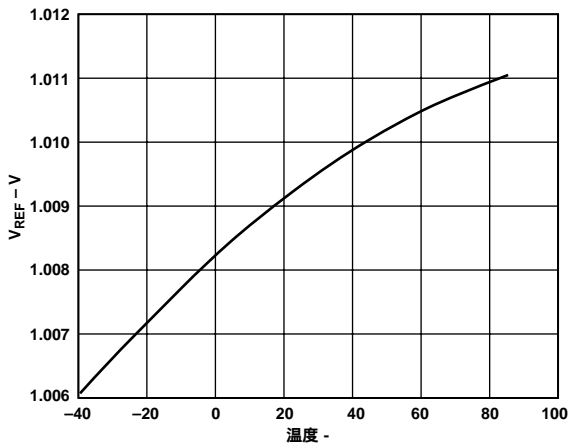


図 10. 温度と電圧リファレンス誤差の関係

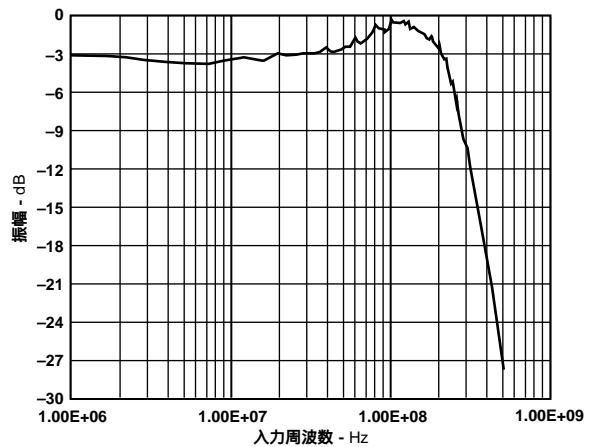


図 13. フルパワー帯域幅

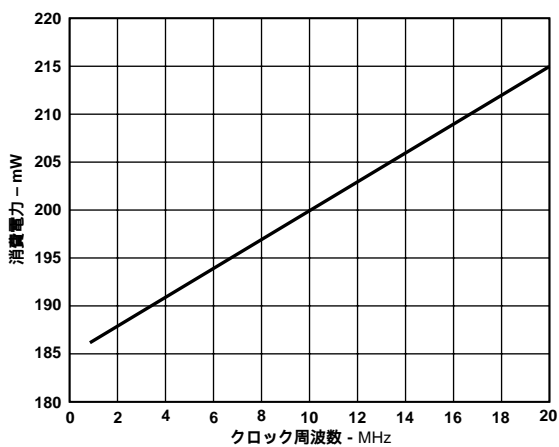


図 11. クロック周波数と消費電力の関係

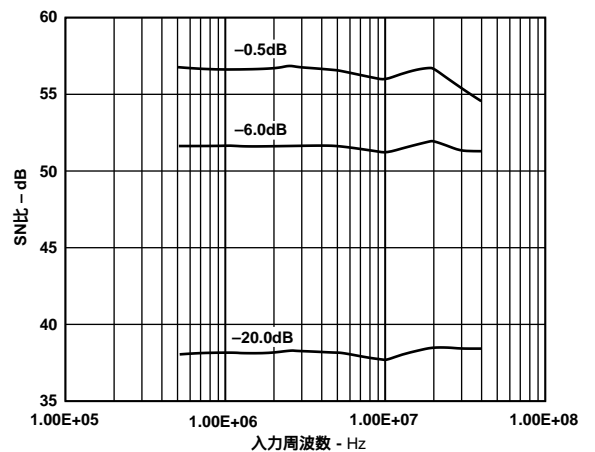


図 14. 入力周波数(シングルエンド)と S/N比の関係

AD9201

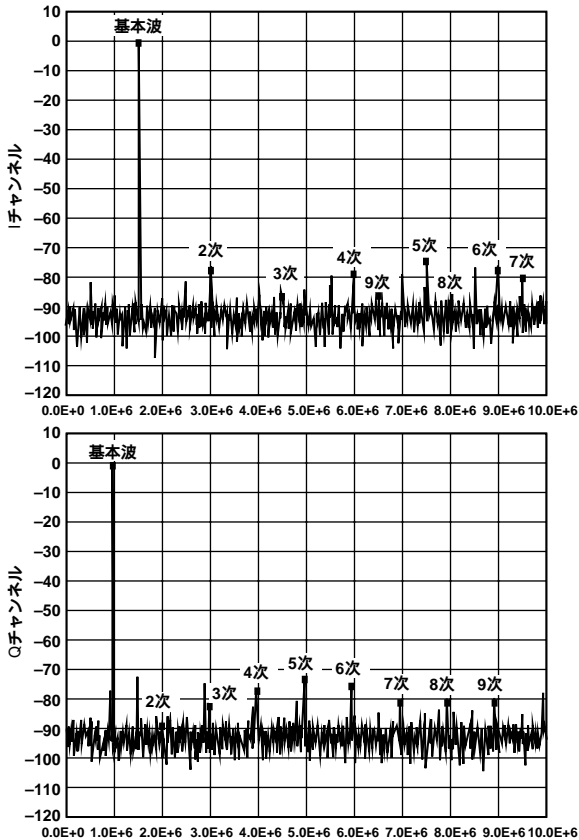


図 15. IチャンネルとQチャンネルの同時オペレーション (差動入力)

動作原理

AD9201には、A/Dコンバータ×2、アナログ入力バッファ×2、内蔵リファレンス、リファレンス・バッファ×1、および出力マルチプレクサ×1が備わっています。このデータ・シートでは、説明を明確にするために、2つのコンバータを"IチャンネルおよびQチャンネルと呼んで区別することにします。これら2つのA/Dコンバータは、入力クロックの立ち上がりエッジにおいて、それぞれの対応する入力から同時にサンプリングを行います。2つのコンバータは、変換オペレーションを複数のより小さいA/Dサブブロックに分配し、精度は、各段に結果を渡すごとに順次高められます。この分散変換を採用した結果、各コンバータが必要とするコンパレータの数が、従来のフラッシュ・タイプの10ビットA/DCで使用されていた1023個から劇的に少なくなりました。各段にサンプル/ホールド機能が備わるので、初段で新しい入力のサンプリングを行いながら、第2段以降でそれ以前のサンプルの処理を継続することが可能です。これにより、入力のサンプリングを行ってから3クロック周期の待ち時間で、それに対応するA/DC出力により出力レジスタが更新される"パイプライン処理"を実現しています。

AD9201は、コンバータのアナログ入力のドライブ用に入力バッファ・アンプを備えているため、ほとんどのアプリケーションにおいて、入力信号用の外付けオペアンプが必要ありません。入力構成は完全差動ですが、シングルエンド入力信号および差動入力信号のいずれも容易に扱えるように、SHAのコモン・モード応答特性が設

計されています。この差動構成によって、広範囲な入力信号が扱えます。

AD9201は、さらにオンチップのバンドギャップ・リファレンスおよびリファレンス・バッファを備えています。リファレンス・バッファは、グラウンド基準のリファレンスを、コンバータの内部回路によって、使用により適したレベルにシフトします。2つのコンバータは、同じリファレンスとリファレンス・バッファを共有します。この方法は、コンバータ間の最大可能ゲイン整合を実現すると同時に、チャンネル間のクロストークを最小化します(図16参照)。

それぞれのA/Dコンバータには、固有の出力ラッチがあり、入力クロックの立ち上がりエッジで更新されます。デジタル出力ピンに渡すチャンネルは、SELECTピンを通じてコントロールされるロジック・マルチプレクサによって決定されます。出力ドライバは、それぞれ固有の電源(DVDD)を備えているので、各種のロジック・ファミリーとのインターフェースが得られます。なお、CHIP-SELECTピンを使用すれば、出力を高インピーダンス状態に設定することができます。

AD9201は、電源電圧に関して高い柔軟性を持っています。アナログおよびデジタル電源には、2.7 ~ 5.5Vまでの範囲の電源を独立、あるいは共通して使用することができます。

アナログ入力

図16は、2つあるA/Dコンバータの一方のアナログ入力の等価回路です。PMOSソース・フォロワが、アナログ入力ピンをバッファし、一般にスイッチ・キャパシタA/Dコンバータ入力構成に関連して生じるチャージ・キックバック問題を緩和します。これによりデバイスの入力インピーダンスが非常に高くなり、ハイ・インピーダンス・ソースからの効果的なドライブが可能になります。従って、AD9201は受動アンチエイリアス・フィルタからのダイレクトな駆動も可能です。

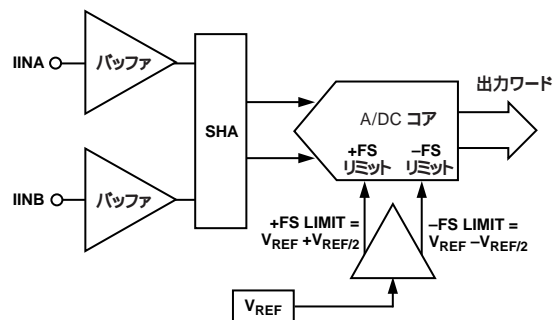


図 16. AD9201のアナログ入力の等価回路

バッファ内のソース・フォロワには、さらに約1Vのレベル・シフト機能があるので、AD9201はグラウンド、もしくはそれ以下の電位の入力を扱うことができます。しかし、このため、アナログ入力に正の電源に達するとひずみを生じます。高周波ひずみ特性を最適化するためには、図29に従ってアナログ入力をセンタリングする必要があります。

アナログ入力ピンの容量性負荷は、アナログ電源(AVSS、AVDD)に対して4pFです。

フルスケールのセットポイントは、次に示す計算式から求めることができます (V_{REF} は、内部または外部で生成したものを使用します)。

$$-FS = (V_{REF} - V_{REF}/2)$$

$$+FS = (V_{REF} + V_{REF}/2)$$

$$V_{SPAN} = V_{REF}$$

AD9201 では、1 ~ 2 V の範囲の各種の入力スパンを扱うことができます。1 V に満たないスパンについては、それに比例した S/N 比の低下が予測されます。2 V のスパンを使用すれば、最高のノイズ特性が得られます。3 V のアナログ電源を使用する場合は、1 V のスパンでひずみがより低くなります。より大きなフルスケールでこのデバイスを使用する場合には、5 V のアナログ電源 (AVDD) の使用が推奨されています。

シングルエンド入力：シングルエンド入力信号を使用するときは、信号を一方の入力ピンに印加し、他方の入力ピンを中心スケール電圧に固定します。入力信号のフルスケール・スパンは、この中心スケール電圧によって決定されます。

例：0 ~ 1 V の範囲のシングルエンド入力を IINA に印加する場合は、コンバータを 1 V リファレンス用に構成し (図 17 参照)、IINB に 0.5 V を印加します。

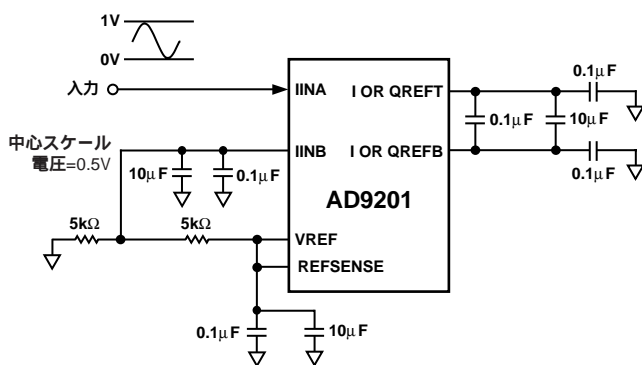


図 17. 0 ~ 1 V シングルエンド入力信号用の構成例

なお、入力が高インピーダンスであることから、抵抗値の大きい抵抗分圧回路 (消費電力を抑えるため) を使用してこのリファレンス・レベルを生成することができます。また、このピンへの高周波ノイズ結合を最小にするため、この入力に対しては、デカップリング・キャパシタの使用が推奨されています。デカップリングは、A/DC の直近で行います。

差動入力

差動入力信号を使用すれば、入力範囲とバイアス・ポイントにより大きな柔軟性が得られるだけでなく、ひずみ特性、特に高周波入力信号に対するひずみ特性が改善できます。差動入力信号を使用するユーザーは、差動入力構成の利点を活用できます。

AC 結合入力

対象となる信号に DC 成分が含まれていない場合は、AC 結合を使用して最適バイアス・ポイントを容易に設定することができます。推奨構成の一例を図 18 に示します。DC バイアス・ポイント用に選択した電圧 (この場合は 1 V のリファレンス) を、1 kΩ の抵

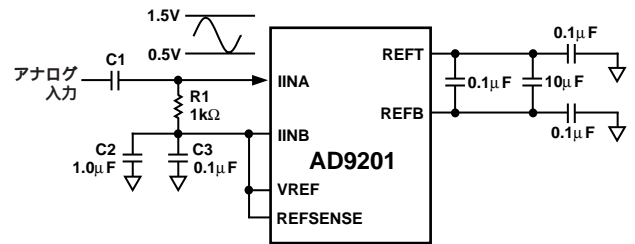


図 18. 0.5 ~ 1.5 V AC 結合シングルエンド入力用の構成例

抗 ($R1$ および $R2$) を介して IINA と IINB の両方に印加します。IINA は、キャパシタ $C1$ を介して入力信号ラインと結合し、IINB は、キャパシタ $C2$ および $C3$ を介してグラウンドとデカップリングします。**トランス結合入力**

入力を AC 結合する別の方法は、トランスを使用する方法です。これは、DC 成分が除去できるだけでなく、AD9201 のアナログ入力の真の差動ドライブを可能にして、最適ひずみ特性をもたらします。図 19 に、トランス入力ドライブ構成の推奨例を示します。抵抗 $R1$ および $R2$ は、トランス結合の終端インピーダンスを決定します。トランスの 2 次巻線のセンター・タップは、コモン・モード・リファレンスに接続され、アナログ入力のバイアス・ポイントを設定します。

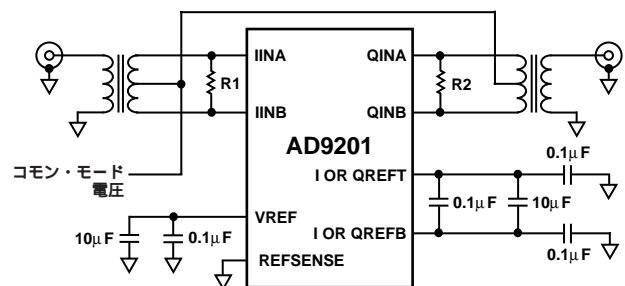


図 19. トランス結合入力用の構成例

クロストーク

AD9201 のピンアウトを始め、その内部レイアウトは、入力信号間のクロストークが最小になるように構成されています。高周波のクロストークを最小にする必要がある場合には、入力ピンに対して可能な限り良好なデカップリングを行う必要があります (図 20 参照)。R および C の値は、アンチエイリス処理の必要条件に応じてポールを形成します。また、リファレンス・ピンおよび電源にもデカップリングが必要です (図 21 参照)。

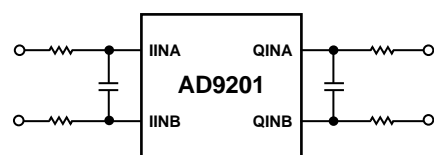


図 20. 入力負荷

AD9201

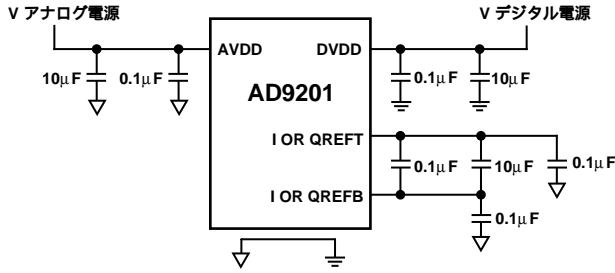


図 21. リファレンスおよび電源のデカップリング

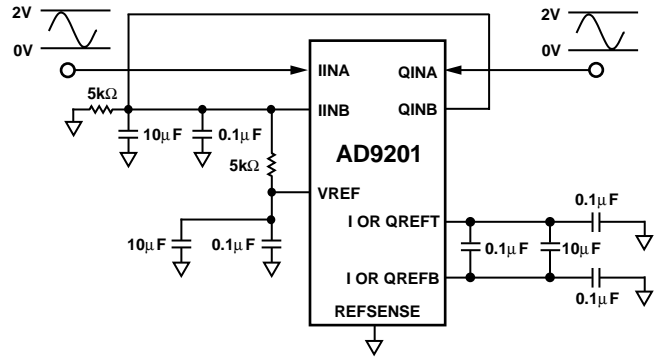


図 23. 0 ~ 2V 入力

リファレンスおよびリファレンス・バッファ

AD9201 に備わるリファレンスとバッファの回路は、最大の利便性と柔軟性が引き出せるように構成されています。このリファレンスの等価回路を図 26 に示します。5つのリファレンス・モードが用意され、所定のピンをストラップすることによってその1つを選択することができます(表1参照)。このピンをストラップすると、対応する動作モード用に内部の回路が自動的に再構成されます。

表 1. モード表

モード	入力スパン	REFSENSE ピン	図
1V	1V	VREF	22
2V	2V	AGND	23
プログラマブル 外付け	$1 + (R1/R2)$ = 外付けリファレンス	図面参照 AVDD	24 25

1V モード(図 22) 1V モードでは、リファレンスが1V、入力フルスケールが1Vになります。高周波特性の最適化が求められるアプリケーション、あるいは電源電圧が4V未満の回路に適しています。このモードを設定するときは、REFSENSE ピンと VREF ピンを短絡します。

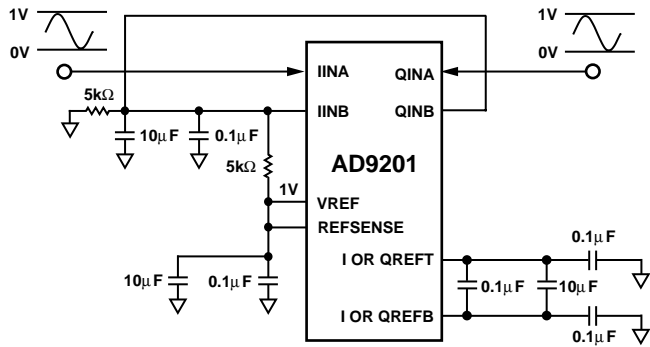


図 22. 0 ~ 1V 入力

2V モード(図 23) 2V モードでは、リファレンスが2V、入力フルスケールが2Vになります。5V 電源を使用する、ノイズの影響を受けやすいアプリケーションに適しています。このモードを設定するときは、REFSENSE ピンをグラウンドに接続(AVSS と短絡)します。

外付け電圧設定モード(図 24) このモードでは、内蔵リファレンスを使用しますが、外部の抵抗分圧回路を使用して、正確なリファレンス・レベルのスケリングを行います。抵抗分圧回路の一端に VREF を印加し、抵抗分圧回路のタップ・ポイントと REFSENSE を接続します。リファレンス・レベル(および入力フルスケール)は、 $1V \times (R1 + R2)/R1$ に等しくなります。この方法は、0.7 ~ 2.5V までの範囲の電圧レベルに使用することができます。

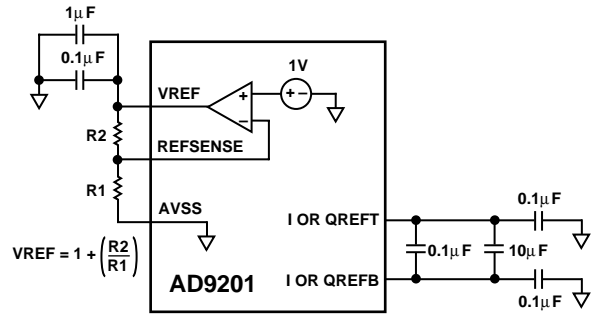


図 24. プログラマブル・リファレンス

外付けリファレンス・モード(図 25) このモードでは、内蔵リファレンスがディスエーブルになり、外付けリファレンスが VREF ピンに印加されます。このモードを設定するときは、REFSENSE ピンを AVDD に接続します。

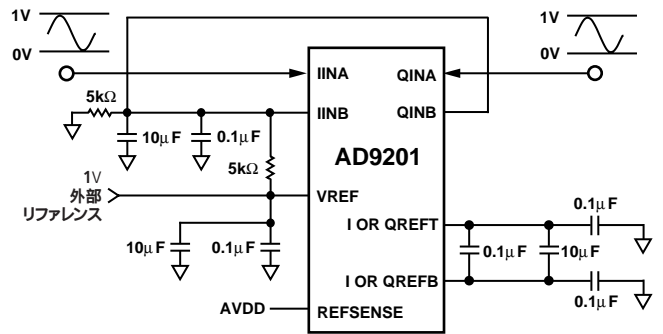


図 25. 外付けリファレンス

リファレンス・バッファ リファレンス・バッファ構造は、2つのA/Dコンバータ内の各種のサブブロックによる使用に適するように、VREFピンの電圧のレベル・シフトとバッファを行います。これら2つのコンバータは、同一のリファレンス・バッファ・アンプを共有し、互い間のゲイン整合を可能な限り最良に維持します。高周波クロストークの最小化が重要事項となる場合は、図26に示すように、2つのコンバータ用にバッファしたリファレンスを、IREFTピン、IREFTピン、QREFTピン、およびQREFTピンにおいて個別にデカップリングします。

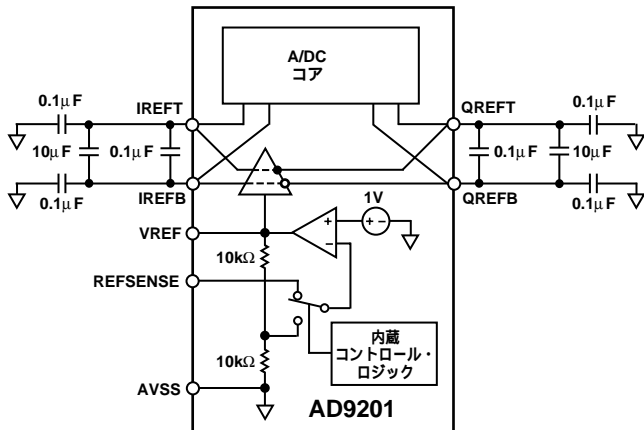


図26. リファレンス・バッファの等価回路
および推奨外部デカップリング

ノイズの抑圧とクロストークに対する耐性に関して最良の結果を得るためには、図26に示すような4つのキャパシタを用いたバッファのデカップリング構成が効果的です。このデカップリングでは、コンバータICの近くにチップ・キャパシタを配置します。キャパシタの接続は、IREFT/IREFBまたはQREFT/QREFBのいずれかで行います。両側で接続を行う必要はありません。

AD9201のドライブ

図27に、AD8051を使用してAD9201をドライブする構成を示します。AD8051は、3Vと5Vで仕様が規定されていますが、±5Vにおいて最良の結果が得られます。この場合のA/DCの入力スパンは2Vとします。

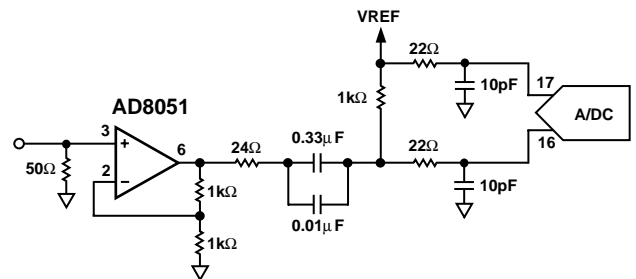


図27.

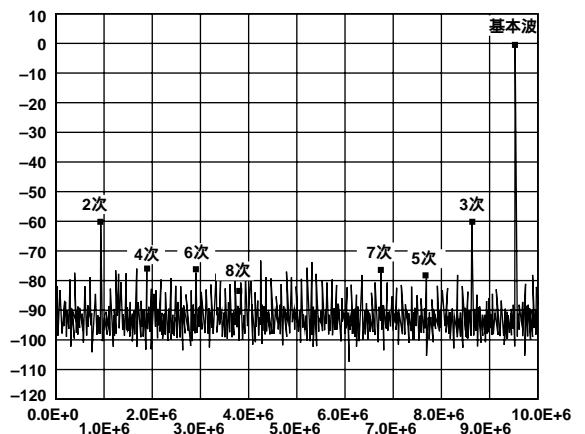


図28. AD8051/AD9201の特性

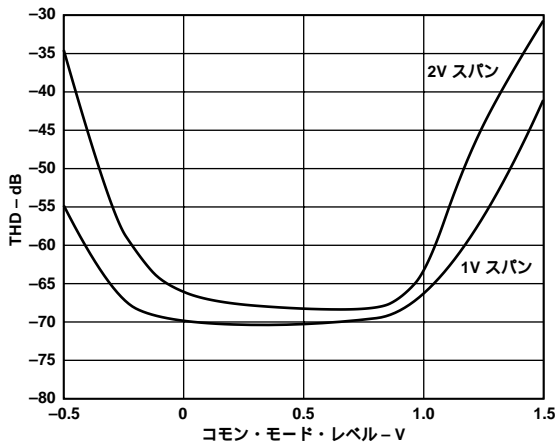
AD9201

コモン・モード特性

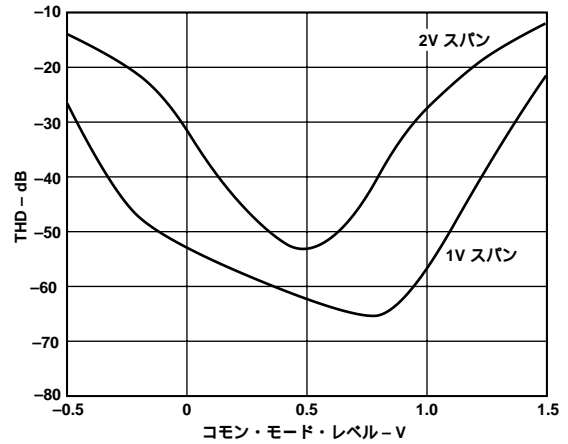
アナログ入力電圧のコモン・モード・ポイントに注意すると、AD9201 の性能を向上することができます。図 29 は、コモン・モード電圧(アナログ入力スパンの中心)および電源電圧の関数として THD を表わしたグラフです。

これらのグラフを観察すると、次のような結論が導かれます。

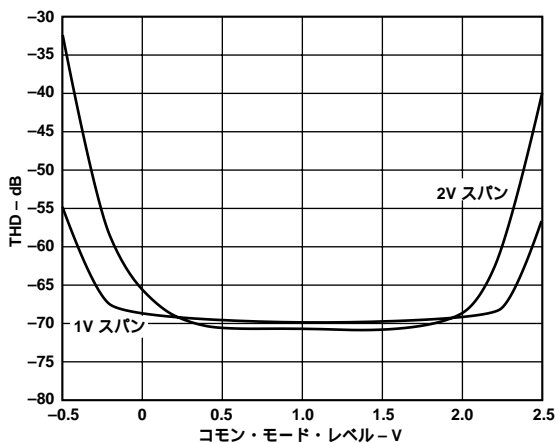
1. AD9201 の使用は、AVDD = 5V とするともっとも容易になります。
2. 差動入力、シングルエンド入力よりコモン・モード電圧の変動に対して耐性があります。
3. AVDD = 3V とし、シングルエンド入力で AD9201 を動作させる場合には、スパンを 1V、同相モード電圧を 0.75V にします。



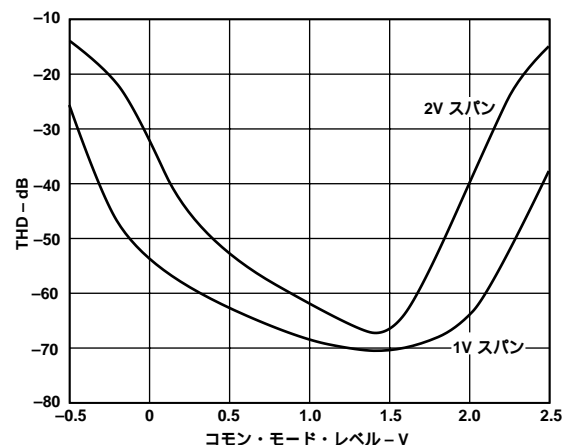
a. 差動入力, 3V 電源



c. シングルエンド入力, 3V 電源



b. 差動入力, 5V 電源



d. シングルエンド入力, 5V 電源

図 29. CML 入力スパンおよび電源電圧と THD の関係(アナログ入力 = 1 MHz)

デジタル入力および出力

AD9201 のデジタル・コントロール入力、CHIP-SELECT、CLOCK、SELECT および SLEEP は、すべて AVDD と AVSS を基準にしています。スイッチング・スレッショルドは、AVDD/2 になります。

デジタル出力のフォーマットは、ストレート・バイナリです。低消費電力モード機能も備わり、STBY を High にすると、クロックがディスエーブルになり、AD9201 の無負荷電力が 22 mW 未満に抑えられます。

クロック入力

AD9201 のクロックは、AVDD ピンから電圧供給されるインバータによって内部でバッファされます。この機能により AD9201 は、定格 AVDD/2 の CLK ピンの入力スレッショルドを用いて、+5 V または +3.3 V の CMOS ロジック入力信号のスイングを処理することができます。

AD9201 のパイプライン構造は、入力クロックの立ち上がりエッジおよび立ち下がりエッジの両方で動作します。デューティ・サイクルの変動を最小に抑えるためには、クロック入力のドライブに高速もしくは高機能の CMOS (HC/HCT、AC/ACT) ロジック・ファミリーの使用が推奨されます。CMOS ロジックからは、対称電圧スレッショルド・レベルとともに、20 MSPS の動作のサポートに十分な立ち上がり、立ち下がり時間が得られます。性能レベルは下がりますが、わずかに高いクロック・レートでこのデバイスを動作させることも可能です。逆に、低いクロック・レートで AD9201 をクロックすると、性能のわずかな向上が見られることがあります。

出力バッファが消費する電力は、クロック周波数に概ね比例し、低いクロック・レートをいれれば、消費電力も下がります。

デジタル出力

AD9201 の各出力ビット (D0 ~ D9) 用に備わるオンチップ・バッファは、それぞれ DVDD 電源ピンから電圧供給され、AVDD とは分離されています。出力ドライバは、標準化により各種のロジック・ファミリーとの互換性が確保され、さらにグリッチ・エネルギーの発生量は、最小になっています。また、どのような状況においても、出力データ・ビットの容量性負荷を 20 pF の仕様レベルより低く抑えるために、等しいファンアウトが推奨されます。

DVDD = 5 V を使用するときの AD9201 の出力信号スイングは、高速 CMOS ロジック・ファミリーおよび TTL ロジック・ファミリーの両方と互換性があります。TTL については、複数種類の高速 TTL ファミリー (F、AS、S) をサポートできるように AD9201 のオンチップ出力ドライバが設計されています。クロック・レートが 20 MSPS 未満のアプリケーションにおいては、これ以外の TTL ファミリーが適当となることもあります。低い電圧の CMOS ロジックとインターフェースする場合には、AD9201 において DVDD = 3 V とし、20 MSPS の動作を維持することができます。いずれの場合でも、使用予定のロジック・ファミリーのデータ・シートを参照し、AD9201 の仕様との互換性をチェックしてください。

なお、1 出力ライン当たりのロジック負荷を 5 pF に制限すれば、出力の遅延を 2 ns だけ短縮することができます。

3 ステート出力

AD9201 の CHIP-SELECT ピンを High にセットすると、デジタル出力が高インピーダンスになります。この機能は、回路内テストまたは評価を容易にするために備わっています。

選択

SELECT ピンを Low に保持しているときは、出力ワードが "Q" レベルを表わします。この SELECT ピンを High に維持しているときは、出力ワードが "I" レベルを表わします (図 1 参照)。

AD9201 の SELECT ピンおよび CLK ピンは、共通の信号ソースからドライブすることができます。データは、入力パルスの 5 ~ 11 ns 後に変化します。この場合、インターフェース・ラッチが、AD9201 の遅延時間に見合う十分なホールド時間を有していることを確認する必要があります (図 30 参照)。

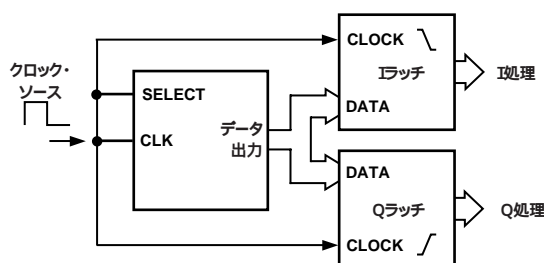


図 30. 代表的なディマルチプレクス接続

アプリケーション

QAM 復調における AD9201 の使用

QAM は、デジタル通信システムにもっと広く使用されているデジタル変調方式の 1 つです。この変調テクニックは、FDMA をはじめ、スペクトル拡散 (CDMA) ベースのシステムにも見ることができます。QAM 信号では、搬送波の振幅変調 (AM 変調) および位相変調 (PM 変調) が行われます。送信機においては、位相が 90° 異なる同一周波数の 2 つの搬送波を独立に変調することによって、この信号を生成します。この結果、同相 (I : inphase) 搬送波成分と、この I 成分と 90° の位相差を持つ直交 (Q : quadrature) 搬送波成分が作られます。その後、I 成分と Q 成分が合成されて、所定のキャリア周波数、つまり IF 周波数を持った QAM 信号が生成されます。図 31 は、2x の補間を有する 10 ビット D/AC AD9761 を使用し、QAM 変調回路をアナログ的に具体化する方法を示しています。デジタル領域において QAM 信号を合成することも可能であり、その場合は、QAM 信号を再構成するための D/AC が 1 つ必要になります。完全 (つまり、D/AC 内蔵) デジタル QAM モジュレータの一例として AD9853 が挙げられます。

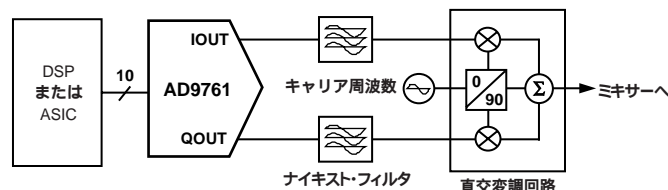


図 31. 代表的なアナログ QAM 変調回路の構成

AD9201

受信機においては、QAM 信号を元の I 成分と Q 成分に分離しますが、そのプロセスは、基本的に先述の変調プロセスを逆順にたどる形になります。従来から使用されている一般的な QAM 復調回路の構成を図 32 に示します。この例を参照すると、デュアル整合 A/DC および直交復調回路を使用してアナログ領域において復調が行われ、I および Q のベースバンド信号の復元とデジタル化が行われていることがわかります。直交復調回路は、一般に、2 つのミキサーと、I および Q の局発 (LO) の間に 90° の位相シフトを生じさせるために必要な回路を含むシングル IC です。ミキシングによりベースバンドまで下げた I 信号と Q 信号を A/DC によりデジタル化する前に、整合アナログ・フィルタを用いてフィルタ処理を行います。これらのフィルタは、しばしばナイキスト・フィルタまたは波形整形フィルタと呼ばれ、混合プロセスにより生じた虚像 (イメージ) および帯域外信号を除去します。整合ナイキスト・フィルタの特性は、最適な S/N 比を提供し、記号間干渉を最小化できる明確な境界を有するものとします。通常、各 A/DC は、QAM の記号レートにおいて、より一般的には A/DC 出力をデジタル・フィルタにより処理することを前提として、QAM の記号レートの整数倍のレートにおいて、それぞれに対応する入力を同時にサンプリングします。オーバーサンプリングおよびデジタル・フィルタリングを用いれば、アナログ・フィルタの実現が容易になり、複雑性を回避できます。またそれにより、キャリアおよび記号の復元とチューニングのために行うデジタル処理を向上することも可能になります。これにおいて、AD9201 等のデュアル A/DC を用いれば、優れたゲイン、オフセット、および I チャンネルと Q チャンネル間の整合が確保されます。

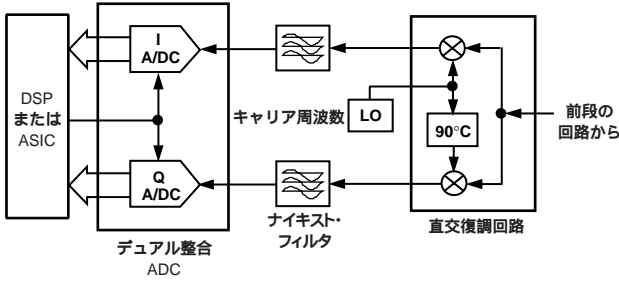


図 32. 代表的なアナログ QAM 復調回路

接地およびレイアウトの規則

高性能デバイスの場合、最適性能を達成する上で、適切な接地とレイアウトのテクニックが非常に重要になります。AD9201 のアナログ・グラウンドおよびデジタル・グラウンドは、システムにおける折り返し電流の管理を最適化するために、分離されています。グラウンドとの接続は、A/DC の近くで行う必要があります。ここでは、AD9201 を備えるプリント回路基板 (PCB) として、グラウンド面および電源面を備えた少なくとも 4 つの層を備えた構造の基板を推奨しています。グラウンド面と電源面を使用すると、次のような顕著な利点が得られます。

1. 信号バスおよびリターン・パスによって囲まれるループ面積が最小になります。
2. グラウンド・パスおよび電源パスに関連するインピーダンスが最小になります。
3. 電源面、PCB の絶縁層、およびグラウンド面によって、本質的な分布容量が形成されます。

こういった特性は、電磁妨害雑音 (EMI) を抑え、全体的な性能を向上させます。

レイアウトの設計において重要なことは、入力信号とノイズの結合を防止することです。デジタル信号を入力信号トレースと平行にすることなく、またそれを入力回路から離して配線します。個別に設けたアナログ・グラウンドとデジタル・グラウンドは、AD9201 直下の固定グラウンド面で互いに直接接続します。電源とグラウンドの折り返し電流は、慎重な管理が必要です。一般則として、ミックスド・シグナルのレイアウトにおいては、重要なアナログ回路内にデジタル回路からの折り返し電流を通過させてはなりません。

AVSS および DVSS の過渡状態は、A/DC の性能を著しく低下させます。

アナログ・グラウンドとデジタル・グラウンドを A/DC の直下で接続できない場合は、図 33 に示した構成の可能性を検討します。

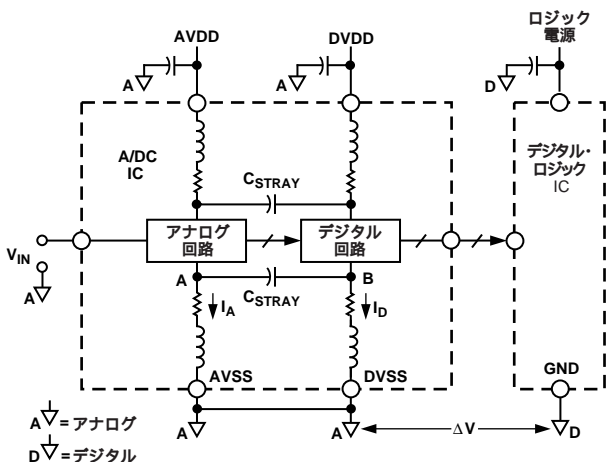


図 33. グラウンドおよび電源に関する考察

以上とは別の入力および接地のテクニックを図 34 に示します。RF 用のグラウンド面を分離していますが、これを行わないと信号の処理が困難になります。これらの信号は、差動またはシングルエンドで A/DC に配線されます (つまり、いずれの場合もドライブもしくは RF グラウンドに接続することができます)。A/DC は、RF と A/DC のアナログ・グラウンドの間に数百 mV のノイズまたは信号があっても、良好に機能します。

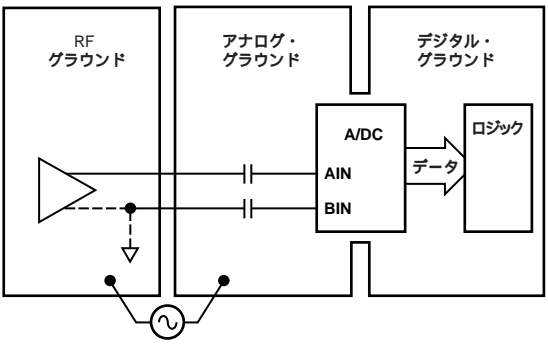


図 34. RF 接地スキーム

評価ボード

AD9201 の評価ボードは、"そのまま使用できる" 形で出荷されます。電源およびシグナル・ジェネレータは、図 35 に示すとおり接続します。このように接続すれば、Q チャンネルの特性を観察することができます。I チャンネルを観察する場合は、JP22 のピン 1 とピン 2 をジャンパにより接続します。また、I チャンネルと Q チャンネルをトグルする場合は、適切なジャンパ接続を行った後、CMOS レベルのパルス列を "ストロープ" ジャックに印加します。

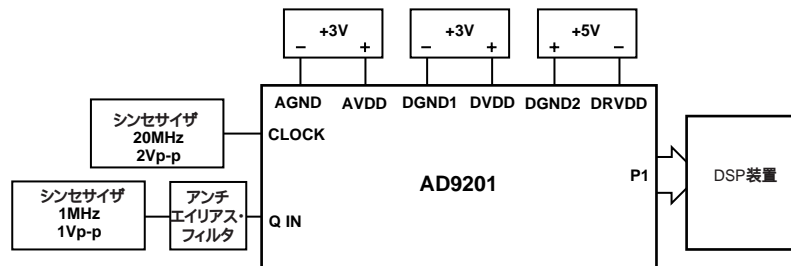
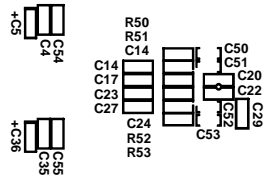
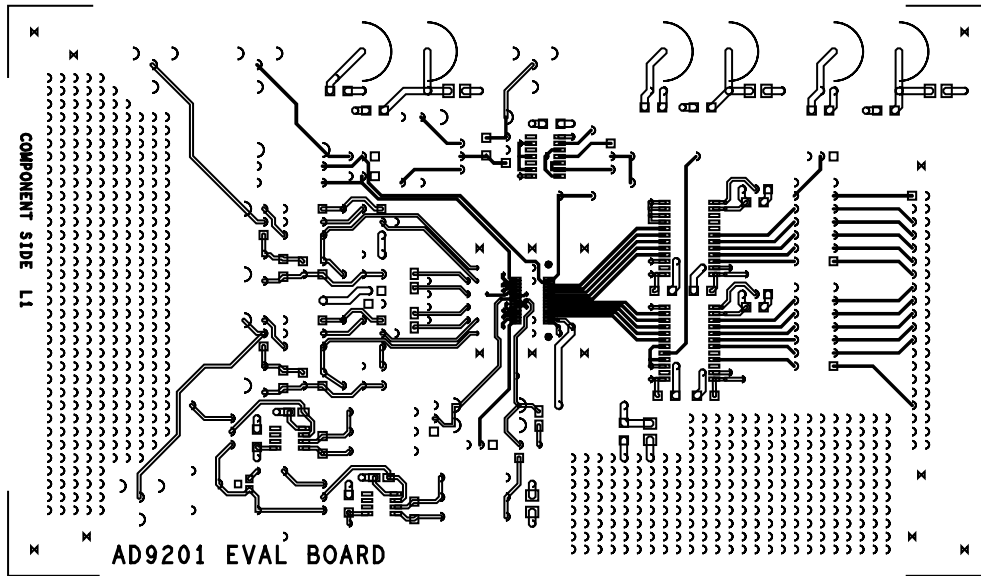


図 35. 評価ボードの接続



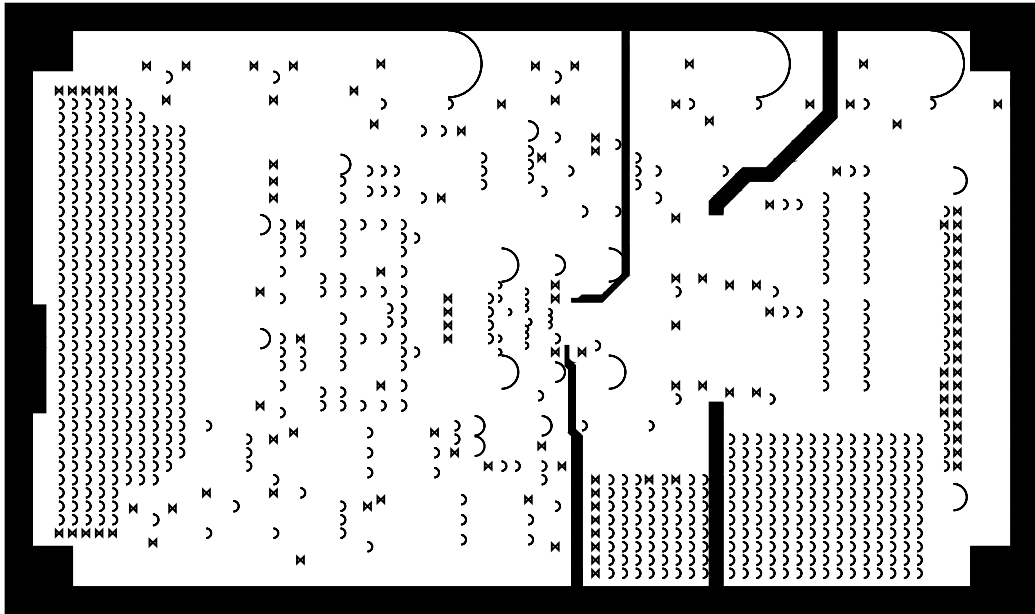
(実寸ではありません)

図 36. 評価ボードのソルダー側シルクスクリーン



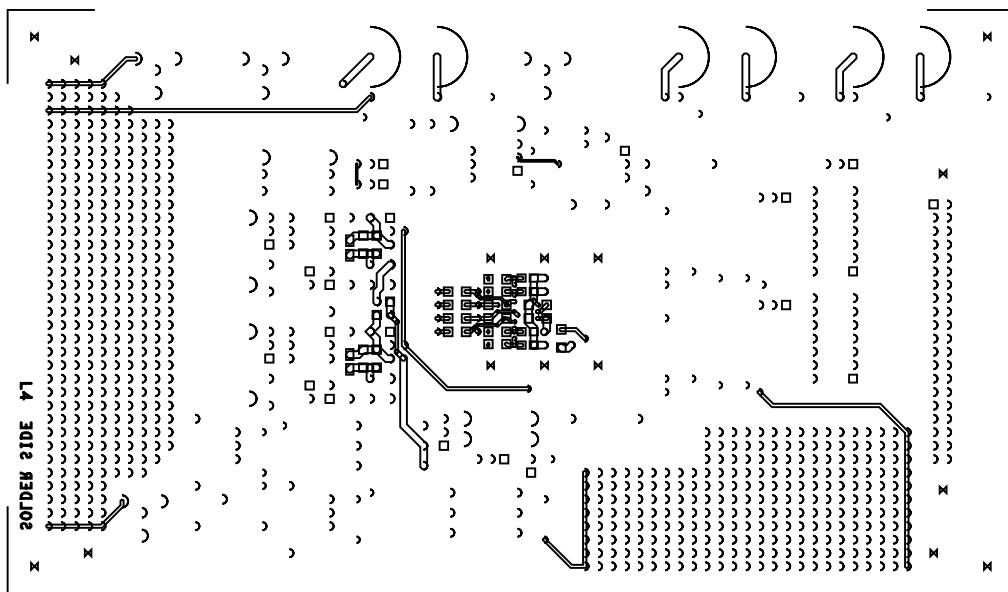
(実寸ではありません)

図 37. 評価ボードのコンポーネント側レイアウト



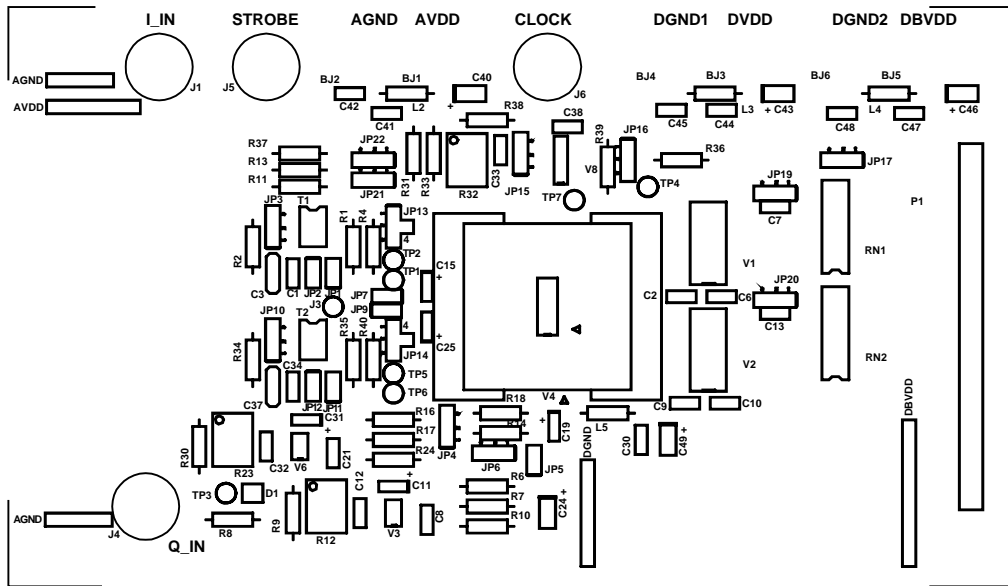
(実寸ではありません)

図 38. 評価ボードのグラウンド面レイアウト



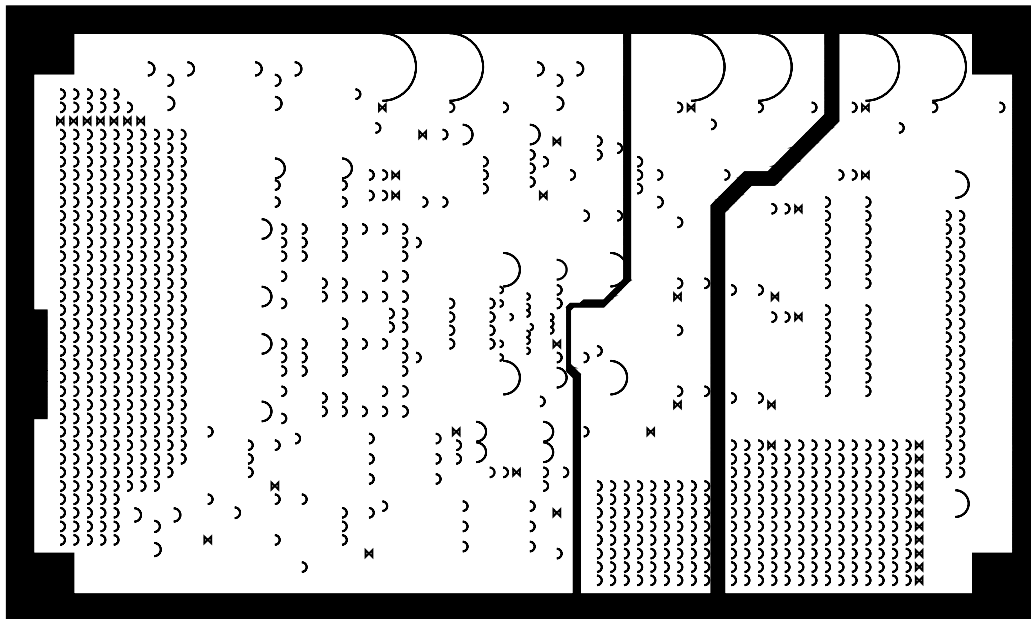
(実寸ではありません)

図 39. 評価ボードのソルダー側レイアウト



(実寸ではありません)

図 40. 評価ボードのコンポーネント側シルクスクリーン



(実寸ではありません)

図 41. 評価ボードの電源面のレイアウト

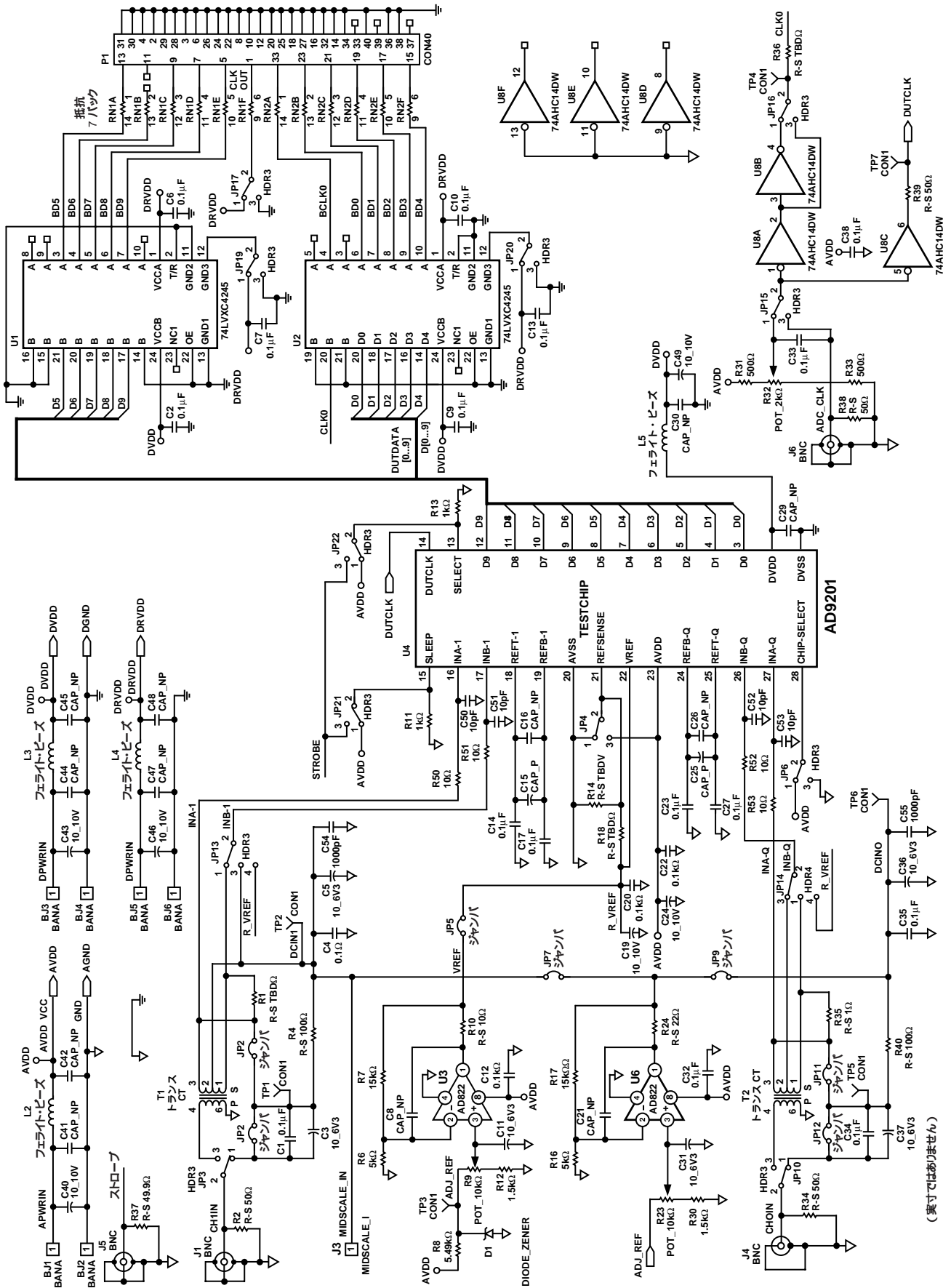


図 4.2 評価キット

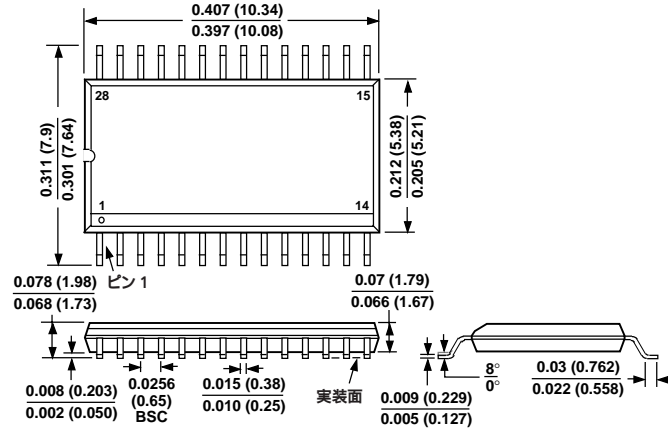
(実寸ではありませぬ)

AD9201

外形寸法

サイズはインチと(mm)で示します。

28ピン・シュリンク・スモール・アウトライン・パッケージ(SSOP)
(RS-28)



D4118-2.7-10/99,1A

