

AD9200

特長

CMOS 10ビット、20MSPSサンプリングのA/Dコンバータ
AD876とピン互換
低消費電力：80 mW(3V電源)
2.7 V ~ 5.5 V電源で動作
差動非直線性：0.5LSB
電源断(スリープ)モード
3ステート出力
範囲外(OTR)インジケータ
組込みクランプ機能(DCリストア)
調整可能オンチップ電圧リファレンス
135 MHzまでのIFアンダーサンプリング

概要

AD9200はモノリシックの単電源、10ビット、20MSPSのアナログ・デジタル・コンバータで、オンチップのサンプル・アンド・ホールド型のアンプと電圧リファレンスが付いています。AD9200は20MSPSのデータ速度でマルチ・ステージの差動パイプライン機構を使用し、すべての温度範囲でノーミス・コードを保証します。

AD9200の入力はイメージ化の開発および通信システムの開発を両方とも容易にするために設計されました。ユーザーは様々な入力範囲とオフセットから選択し、シングル・エンドまたは差動で入力を駆動されます。

サンプル・アンド・ホールド型(SHA)のアンプは連続するチャンネルでフル・スケールの電圧レベルを切り替える多重化システム、ならびにナイキストレートおよびそれを超える周波数でのサンプリング単チャンネル入力の両方に同じように適しています。AC結合の入力信号はオンボードのクランプ回路(AD9200ARS、AD9200KST)を使って、あらかじめ決められたレベルまでシフトできます。動的性能は優秀です。

AD9200にはオンボードのプログラム可能なリファレンスがあります。アプリケーションのdc精度および温度ドリフトの仕様に合わ

せて外部リファレンスを選ぶこともできます。

内部の全変換サイクルを制御するために1個のクロック入力を使用されます。デジタルの出力データがストレートのバイナリ出力フォーマットとして現れます。アウト・オブ・レンジ信号(OTR)はオーバフロー状態にあることを示し、最上位ビットでハイかローのどちら側のオーバフローかどうかがわかります。

AD9200は2.7 V ~ 5.5 Vの範囲の電源で動作し、高速でポータブルのアプリケーションに対して低電力で動作するにはうってつけです。

AD9200の温度範囲は産業用で - 40 ~ + 85、民生用で0 ~ + 70 です。

製品のハイライト

低電力

3 V電源においてAD9200の消費電力は80 mWです(リファレンス電力を除く)。スリープ・モードでは電力は5 mW未満に落ちます。超小型のパッケージ

AD9200には28ピンのSSOPパッケージと48ピンのTQFPパッケージがあります。

AD876とピン交換

AD9200はAD876とピンに互換性があり、設計済みの旧モデルを低電源電圧に移行することができます。

300 MHzのオンボード型サンプル・アンド・ホールド

万能のSHA入力はシングル・エンドあるいは差動入力のいずれかに設定できます。

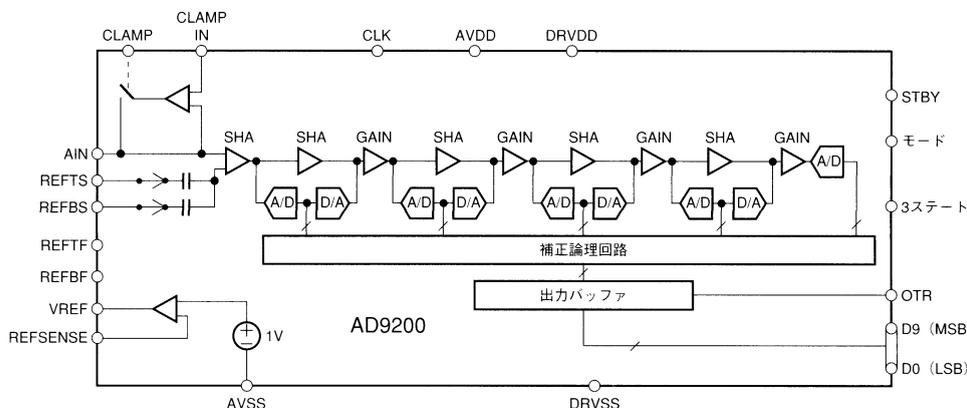
アウト・オブ・レンジ・インジケータ

OTRの出力ビットによって入力信号がAD9200の入力範囲を超えたことがわかります。

組込みクランプ機能

AD9200ARSとAD9200KSTを使ってビデオ信号のdc信号化が可能です。

機能ブロック図



アナログ・デバイセズ社が提供する情報は正確で信頼できるものを期していますが、当社はその情報の利用、また利用したことにより引き起こされる第三者の特許または権利の侵害に関して一切の責任を負いません。さらにアナログ・デバイセズ社の特許または特許の権利の使用を許諾するものでもありません。

AD9200 仕様

(特に指定のない限り、AVDD = +3 V、DRVDD = +3 V、F_S = 20 MHz(デューティサイクル50%)、モード = AVDD、0.5 V ~ 2.5 Vの2 V入力スパン、外部リファレンス、T_{MIN} ~ T_{MAX})

パラメータ	シンボル	最小	標準	最大	単位	条件
解像度			10		ビット	
変換速度	F _S			20	MHz	
DC精度						
差動非直線性	DNL		± 0.5	± 1	LSB	REFTS = 2.5 V、REFBS = 0.5 V
積分非直線性	INL		± 0.75	± 2	LSB	
オフセット・エラー	E _{ZS}		0.4	1.2	%FSR	
ゲイン・エラー	E _{FS}		1.4	3.5	%FSR	
リファレンス電圧						
上部リファレンス電圧	REFTS	1		AVDD	V	
下部リファレンス電圧	REFBS	GND		AVDD - 1	V	
差動リファレンス電圧			2		V _{p-p}	
リファレンス入力抵抗 ¹			10		k	
			4.2		k	REFTS、REFBS: モード = AVDD REFTSとREFBSの間: モード = AVSS
アナログ入力						
入力電圧範囲	A _{IN}	REFBS		REFTS	V	最小REFBS = GND: 最大REFTS = AVDD
入力静電容量	C _{IN}		1		pF	切り替え
アパチャ・ディレイ	t _{AP}		4		ns	
アパチャ不確実性(ジッター)	t _{AJ}		2		ps	
入力帯域幅(-3dB)	BW				MHz	
最大電力(0dB)			300		MHz	
DCリーク電流			23		μA	入力 = ±FS
内部リファレンス						
出力電圧(1 Vモード)	VREF		1		V	REFSENSE = VREF
出力電圧許容値(1 Vモード)			± 10	± 25	mV	
出力電圧(2 Vモード)	VREF		2		V	REFSENSE = GND
負荷電圧変動範囲(1 Vモード)			0.5	2	mV	1 mA負荷電流
電源						
動作電圧	AVDD	2.7	3	5.5	V	
	DRVDD	2.7	3	5.5	V	
電源電流	I _{AVDD}		26.6	33.3	mA	AVDD = 3V、MODE = AVSS
電力消費	P _D		80	100	mW	AVDD = DRVDD = 3V、MODE = AVSS
電源断			4		mW	STBY = AVDD、MODE = AVSS
ゲイン・エラー電源リジェクション	PSRR		1		%FS	
ダイナミック性能(A _{IN} = 0.5dBFS)						
信号対雑音と歪み	SINAD					
f = 3.58 MHz		54.5	57		dB	
f = 10 MHz			54		dB	
有効ビット						
f = 3.58 MHz			9.1		ビット	
f = 10 MHz			8.6		ビット	
信号対雑音	SNR					
f = 3.58 MHz		55	57		dB	
f = 10 MHz			56		dB	
全ハーモニク歪み	THD					
f = 3.58 MHz		- 59	- 66		dB	
f = 10 MHz			- 58		dB	
スプリアス・フリー・ダイナミック・レンジ	SFDR					
f = 3.58 MHz		- 61	- 69		dB	
f = 10 MHz			- 69		dB	
2トーン相互変調歪み	IMD		68		dB	f = 44.49 MHz & 45.52 MHz
差動位相	DP		0.2		度	NTSC 40 IRE Mod Ramp
差動ゲイン	DG		1		%	

AD9200

パラメータ	シンボル	最小	標準	最大	単位	条件
デジタル入力						
高入力電圧	V_{IH}	2.4			V	
低入力電圧	V_{IL}			0.3	V	
デジタル出力						
ハイ・リーク出力	I_{OZ}	- 10		+ 10	μA	出力 = GND ~ VDD $C_L = 20pF$
データ有効ディレイ	t_{OD}		25		ns	
データ・イネーブル・ディレイ	t_{DZL}		25		ns	
データ・ハイ・Zディレイ	t_{DZH}		13		ns	
論理回路出力 (DRVDD = 3 V)						
ハイ・レベル出力電圧 ($I_{OH} = 50 \mu A$)	V_{OH}	+ 2.95			V	
ハイ・レベル出力電圧 ($I_{OH} = 0.5 mA$)	V_{OH}	+ 2.80			V	
ロー・レベル出力電圧 ($I_{OL} = 1.6 mA$)	V_{OL}			+ 0.4	V	
ロー・レベル出力電圧 ($I_{OL} = 50 \mu A$)	V_{OL}			+ 0.05	V	
論理回路出力 (DRVDD = 5 V)						
ハイ・レベル出力電圧 ($I_{OH} = 50 \mu A$)	V_{OH}	+ 4.5			V	
ハイ・レベル出力電圧 ($I_{OH} = 0.5 mA$)	V_{OH}	+ 2.4			V	
ロー・レベル出力電圧 ($I_{OL} = 1.6 mA$)	V_{OL}			+ 0.4	V	
ロー・レベル出力電圧 ($I_{OL} = 50 \mu A$)	V_{OL}			+ 0.1	V	
クロック						
クロック・パルス幅ハイ	t_{CH}	22.5			ns	
クロック・パルス幅ロー	t_{CL}	22.5			ns	
パイプライン待ち時間			3		Cycles	
クランプ ²						
クランプ・エラー電圧	E_{OC}		± 20	± 40	mV	CLAMPIN = 0.5 V - 2.7 V, $R_{IN} = 10$ $C_{IN} = 1 \mu F$ (時間 = 63.5 μs)
クランプ・パルス幅	t_{CPW}		2		μs	

注

¹ 図1aと1bを参照してください。

² AD9200ARSとAD9200KSTでのみ適用。

仕様は予告なしに変更される場合があります。

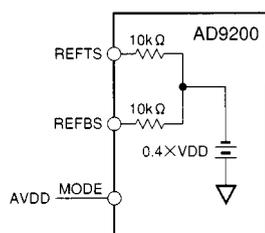


図1a

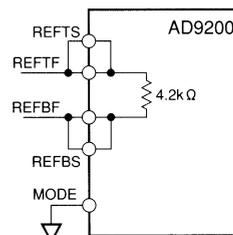


図1b

AD9200

絶対最大定格*

パラメータ	~に対して	最小	最大	単位
AVDD	AVSS	- 0.3	+ 6.5	V
DRVDD	DRVSS	- 0.3	+ 6.5	V
AVSS	DRVSS	- 0.3	+ 0.3	V
AVDD	DRVDD	- 6.5	+ 6.5	V
MODE	AVSS	- 0.3	AVDD + 0.3	V
CLK	AVSS	- 0.3	AVDD + 0.3	V
デジタル出力	DRVSS	- 0.3	DRVDD + 0.3	V
AIN	AVSS	- 0.3	AVDD + 0.3	V
VREF	AVSS	- 0.3	AVDD + 0.3	V
REFSENSE	AVSS	- 0.3	AVDD + 0.3	V
REFTF, REFTB	AVSS	- 0.3	AVDD + 0.3	V
REFTS, REFBS	AVSS	- 0.3	AVDD + 0.3	V
ジャンクション温度			+ 150	
保存温度		- 65	+ 150	
リード線温度			+ 300	
10秒間				

* 絶対最大定格の項にある値を超えた負荷を入力すると、素子に致命的な損傷を与える場合があります。ここにあるのはストレス定格値のみであって、これらの条件あるいは仕様書の操作編にない条件でデバイスが機能するとの意味ではありません。絶対最大定格の条件で、長時間その状態が続くと素子の信頼性に影響を与えます。

オーダー・ガイド

型式	温度範囲	パッケージの仕様	パッケージのオプション*
AD9200JRS	0 ~ +70	28ピンSSOP	RS-28
AD9200ARS	- 40 ~ +85	28ピンSSOP	RS-28
AD9200JST	0 ~ +70	48ピンTQFP	ST-48
AD9200KST	0 ~ +70	48ピンTQFP	ST-48
AD9200JRSRL	0 ~ +70	28ピンSSOP(Reel)	RS-28
AD9200ARSRL	- 40 ~ +85	28ピンSSOP(Reel)	RS-28
AD9200JSTRL	0 ~ +70	48ピンTQFP(Reel)	ST-48
AD9200KSTRL	0 ~ +70	48ピンTQFP(Reel)	ST-48

* RS = Shrink Small Outline ; ST = Thin Quad Flatpack

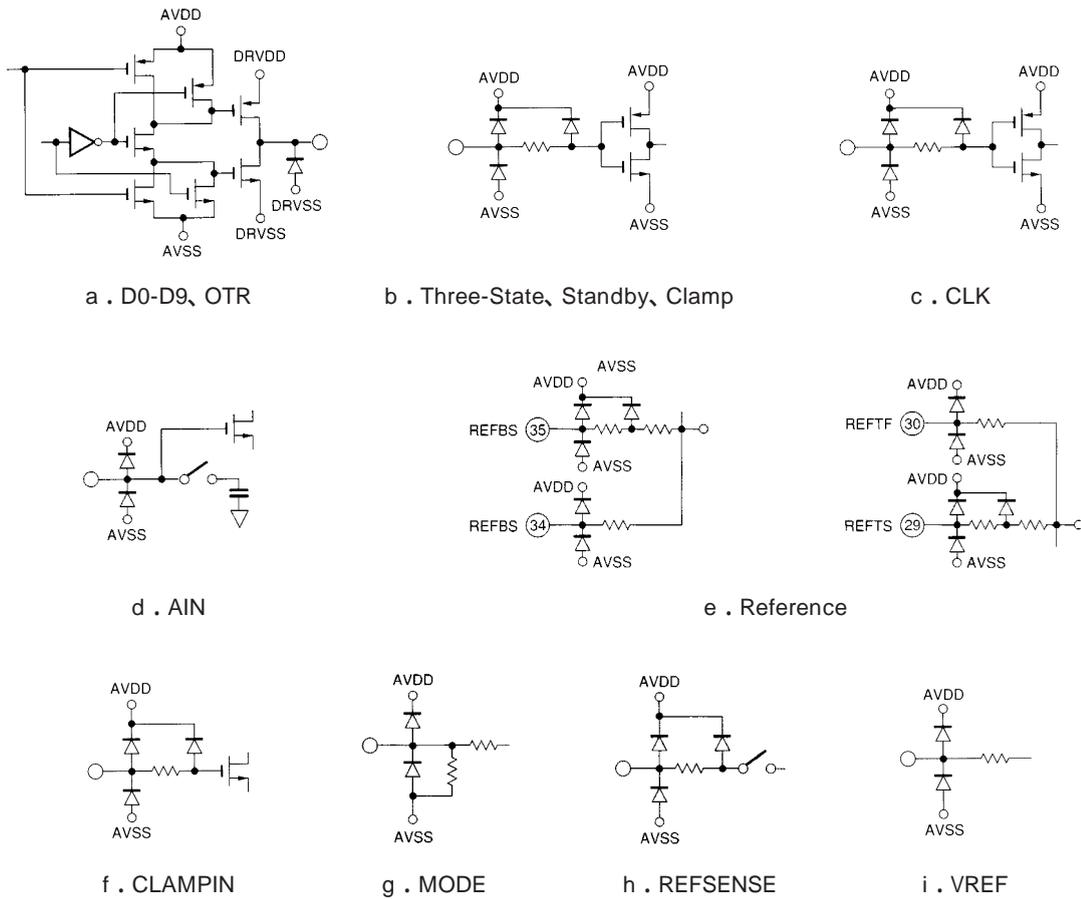


図2. 等価回路

注意

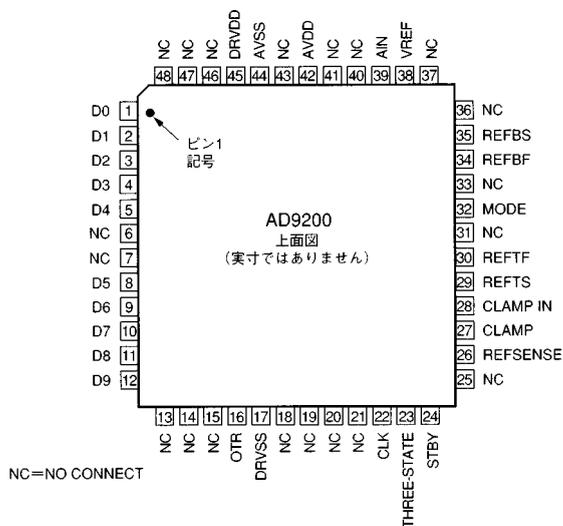
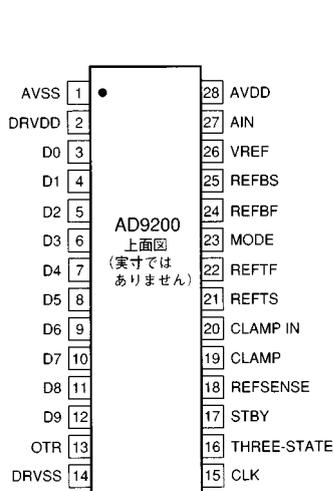
ESD (静電放電) の影響を受けやすいデバイスです。4000 V もの高圧の静電気が人体やテスト装置に容易に帯電し、検知されことなく放電されることもあります。このAD9200には当社独自のESD保護回路を備えていますが、高エネルギーの静電放電にさらされたデバイスには回復不能な損傷が残ることもあります。したがって、性能低下や機能喪失を避けるために、適切なESD予防措置をとるようお奨めします。



ピン構成

28リード線ワイド・ボディ(SSOP)

48端子プラスチック・シン・クウォド・フラットバック(TQFP)



ピン構成の説明

SSOP ピンNo.	TQFP ピンNo.	名称	説明
1	44	AVSS	アナログ・アース
2	45	DRVDD	デジタル・ドライバ電源
3	1	D0	ビット0、最下位ビット
4	2	D1	ビット1
5	3	D2	ビット2
6	4	D3	ビット3
7	5	D4	ビット4
8	8	D5	ビット5
9	9	D6	ビット6
10	10	D7	ビット7
11	11	D8	ビット8
12	12	D9	ビット9、最上位ビット
13	16	OTR	アウト・オブ・レンジ・インジケータ
14	17	DRVSS	デジタル・アース
15	22	CLK	クロック入力
16	23	THREE-STATE	HI: ハイ・インピーダンス状態。LO: 通常動作
17	24	STBY	HI: 電源断(スリープ)モード。LO: 通常動作
18	26	REFSENSE	リファレンス選択
19	27	CLAMP	HI: イネーブル・クランプ・モード。LO: クランプなし
20	28	CLAMPIN	クランプ・リファレンス入力
21	29	REFTS	上部リファレンス
22	30	REFTF	上部リファレンスデカップリング
23	32	MODE	モード選択
24	34	REFBF	下部リファレンスデカップリング
25	35	REFBS	下部リファレンス
26	38	VREF	内部リファレンス出力
27	39	AIN	アナログ入力
28	42	AVDD	アナログ電源

AD9200

仕様の定義

積分非直線性(INL)

積分非直線性とは“ゼロ”から“フル・スケール”を結ぶラインからの個々のコードの偏差のことを指します。“ゼロ”として使う点は最初のコード遷移の前1/2LSBのポイントです。“フル・スケール”とは最後のコード遷移を超えた1 1/2LSBのレベルと定義します。偏差は各個別のコードの中心から本当の直線までを測定します。

差動非直線性(DNL、ノームス・コード)

理想的なA/Dコンバータ出力はぴったり1LSB離れたコード遷移を示します。DNLはこの理想的な値からの偏差です。これはノームス・コード(NMC)を保証という簡単な仕様として規定することがよくあります。

オフセット・エラー

最初の遷移は“ゼロ”より1/2LSB上のレベルで起こります。オフセットとはこの点から実際の最初のコード遷移の偏差と定義します。

ゲイン・エラー

最初のコード遷移は定格の負のフル・スケールより1/2LSB上のアナログ値で起こります。最後のコード遷移は定格の正のフル・スケールより1 1/2LSB下のアナログ値で起こります。ゲイン・エラーとは実際の最初と最後の遷移の差と、理想の最初と最後のコード遷移の差の偏差のことです。

パイプライン・ディレイ(待ち時間)

変換の開始とそれによって生成される出力データが利用可能になるまでの間のクロック・サイクルの数です。新しい出力データがクロックの立ち上がりごとに出力されます。

代表的な特性曲線(特に指定のない限りAVDD = +3 V、DRVDD = +3 V、 $F_s = 20$ MHz(デューティサイクル50%)、モード = AVDD、0.5 V ~ 2.5 Vの2 V入カスパン、外部リファレンス)

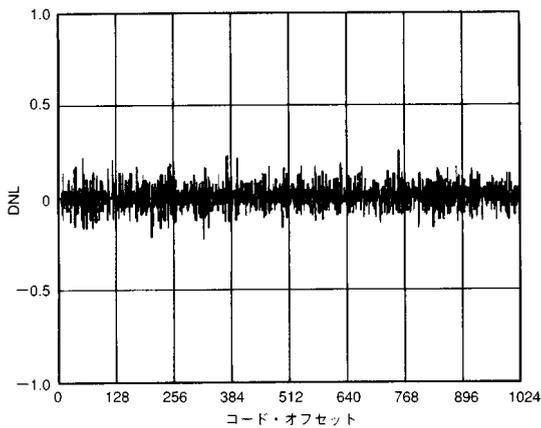


図3. 代表的なDNL

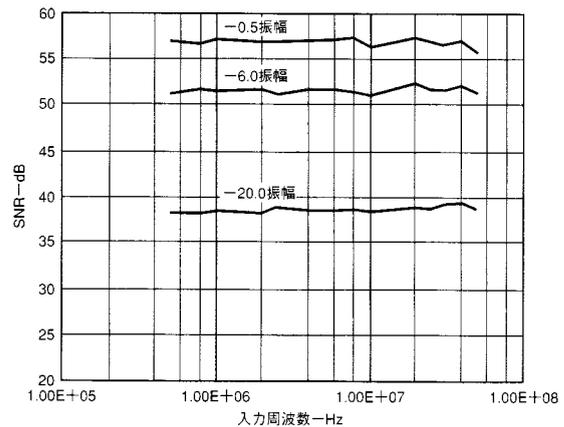


図5. SNRと入力周波数

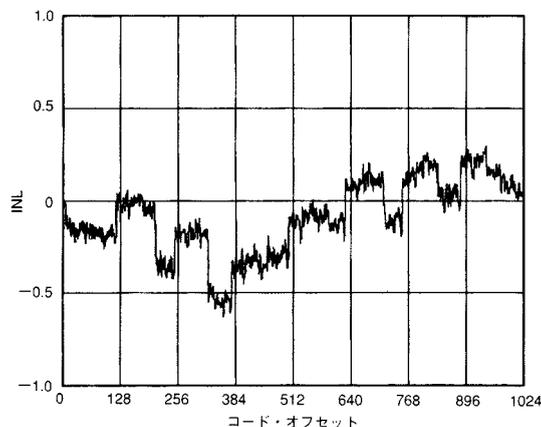


図4. 代表的なINL

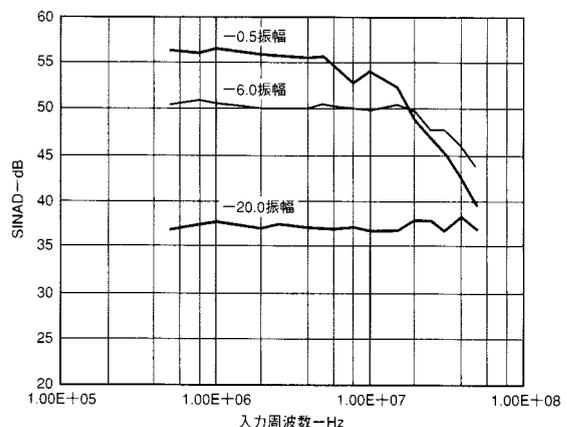


図6. SINADと入力周波数

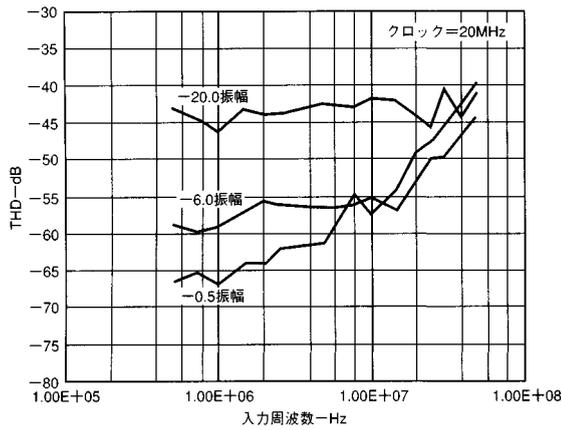


図7. THDと入力周波数

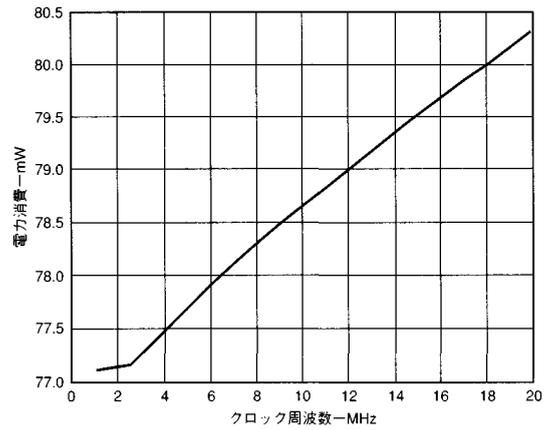


図10. 電力消費とクロック周波数(モード=AVSS)

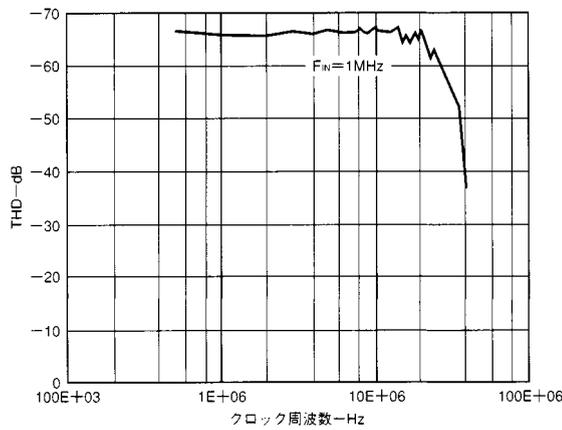


図8. THDとクロック周波数

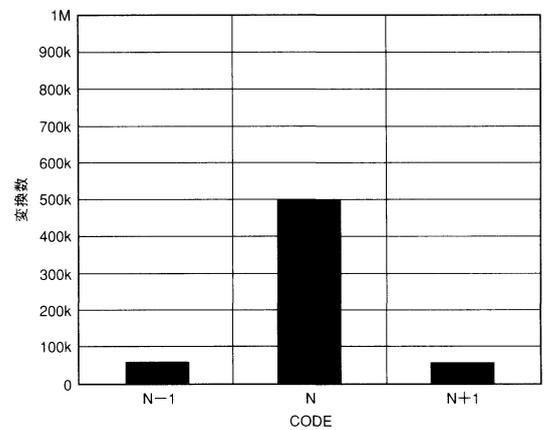


図11. アースされた入力ヒストグラム

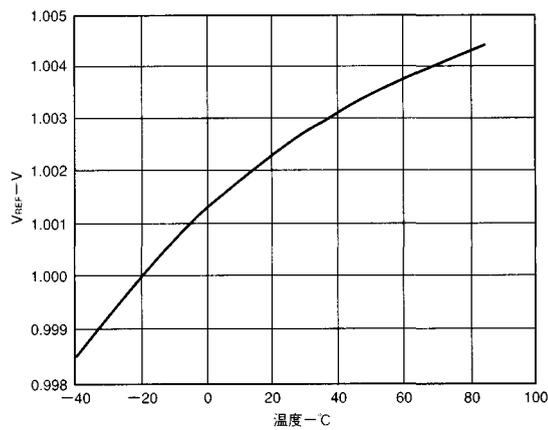


図9. 電力リファレンス・エラーと温度

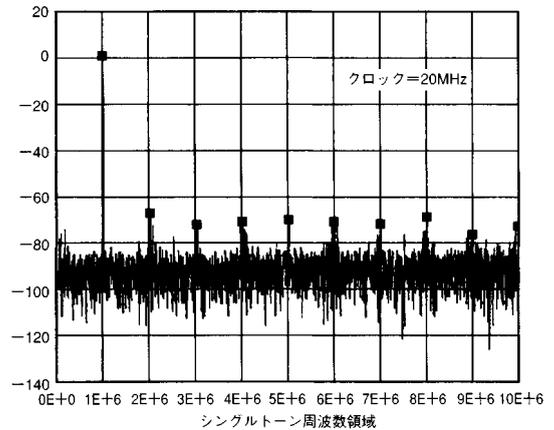


図12. シングルトーン周波数領域

AD9200

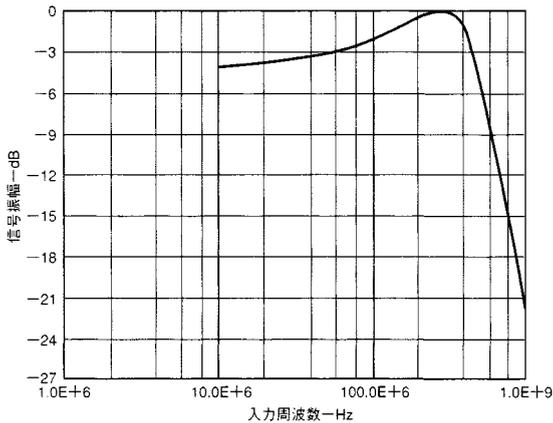


図13．全電力帯域幅

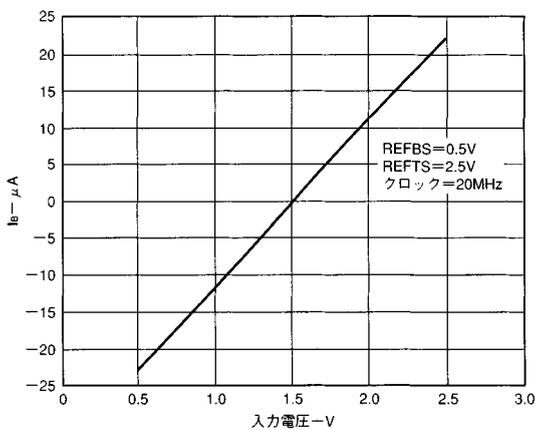


図14．入力バイアス電流と入力電圧

AD9200の運用

動作原理

AD9200はパイプラインのマルチステージ構造を備えていますから、低い電力で高いサンプル速度が実現されています。AD9200はいくつかの小型A/Dコンバータのサブブロックで変換を分配し、ステージからステージへ出力を渡すときに飛躍的な高精度で変換を改善します。この分配した変換の結果、AD9200には従来のフラッシュ型のA/Dコンバータに使用する1023コンパレータのわずかだけが必要になります。各ステージでのサンプル・アンド・ホールド機能により、最初の段は新しい入力サンプルで動作し、一方2、3、4番目の段は前の3回のサンプルで動作します。

動作モード

AD9200は画像化や通信、計装のような多様な分野で最高の性能ができるように設計されており、AD876、A/Dコンバータともピンの互換性があります。この柔軟性を実現するために、AD9200の内部スイッチを使って回路を異なるモードに再設定します。これらの設定はピンを正しくつないで選択します。この性質の影響を受ける回路部品は3個あります。電圧リファレンス、リファレンス・バッファ、アナログ入力の3個です。アプリケーションの性質により、どのモードが適切かが決まります。希望のモードを選ぶ際には次の章にある記述や表Iが役に立ちます。

表I．モードの選定

モード	入力の接続	入力スパン	モード・ピン	リファレンス・ピン	REF	REFTS	REFBS	図
TOP/BOTTOM	AIN	1 V	AVDD	REFSENSE、REFTS、VREFをいっしょに短絡			AGND	18
	AIN	2 V	AVDD	AGND	REFTSとVREFをいっしょに短絡		AGND	19
CENTER SPAN	AIN	1 V	AVDD/2	VREFとREFSENSEをいっしょに短絡		AVDD/2	AVDD/2	20
	AIN	2 V	AVDD/2	AGND	接続なし	AVDD/2	AVDD/2	
差動	AINを入力1、REFTSとREFBSをともに入力2に短絡	1 V	AVDD/2	VREFとREFSENSEをいっしょに短絡		AVDD/2	AVDD/2	29
		2 V	AVDD/2	AGND	接続なし	AVDD/2	AVDD/2	
外部リファレンス	AIN	2 Vmax	AVDD	AVDD	接続なし	スパン = REFTS - REFTB(最大2 V)		21、22
			AGND			VREFTFに短絡	VREFBFに短絡	23
AD876	AIN	2 V	Float or AVSS	AVDD	接続なし	VREFTFに短絡	VREFBFに短絡	30

モードのまとめ

電圧リファレンス

1 Vモード

内部リファレンスはREFSENSEとVREFをいっしょに接続することで1 Vに設定できます。

2 Vモード

内部リファレンスはREFSENSEをアナログ・アースに接続することで2 Vに設定できます。

外部ディバイダ・モード

内部リファレンスは外部抵抗を追加することで1 V~2 Vの間のことかこの点に設定できます。図16fを参照してください。

外部リファレンス・モードによってユーザはREFTS、REFBS、VREFピンに外部リファレンスをかけることができます。このモードはREFSENSEをVDDにつないで行います。

リファレンス・バッファ

中心スパン・モードの中間スケールはREFTSとREFBSをいっしょに短絡し、その点に中間スケールの電圧をかけて設定します。このMODEピンはAVDD/2に設定します。アナログ入力はほぼその中間スケールの点でスイングします。

上部/下部モードは2点の間に入力範囲を設定します。この2点の電位差は1 V~2 Vです。上部/下部モードはMODEピンをAVDDにつないでイネーブルにします。

アナログ入力

差動モードはAINピンを1つの差動入力として駆動し、REFTSとREFBSをいっしょに短絡し、さらにそれを2番目の差動入力として駆動することによって行います。MODEピンはAVDD/2につなぎます。歪み性能を重視するときはこのモードにしてください。

シングル・エンドはREFTSピンとREFBSピンをdcポイントに保持している間にAINピンを駆動することによって行います。MODEピンはAVDDにつなぎます。

シングル・エンド/クランプ(AC結合)

入力をac結合することによって入力はあるdcレベルにクランプされます。これはCLAMPINピンをあるdcポイントにつなぎ、CLAMPピンにパルスをかけることによって行います。MODEピンはAVDDにつなぎます。

特殊

AD876モードによってAD876のユーザはAD9200をそのままソケットに挿入することができます。このモードはMODEピンを開放するか、アースに落として行います。

入力とリファレンスの概要

図16はAD9200を単純化したモデルで、アナログ入力AINとリファレンス電圧REFTS、REFBS、VREFの関係について強調しています。フラッシュA/Dコンバータの抵抗ラダーにかかる電圧のように、REFTSとREFBSはA/Dに対する最大および最小の入力電圧を規定します。

入力段は通常シングル・エンド動作として設定しますが、REFTSとREFBSをいっしょに短絡することで差動操作は2番目の入力として使用できるようになります。

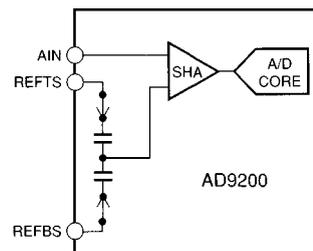


図15 . AD9200の等価機能入力回路

シングル・エンド動作では、入力スパンの範囲は以下のとおりです。

$$REFBS \quad AIN \quad (REFTS)$$

ここでREFBSはGNDに、REFTSはVREFに接続できます。ユーザが別のリファレンス範囲を必要な場合は、REFBSとREFTSは本の電源レールの差が1 V~2 Vの間の任意の電圧にできます。

差動動作ではREFTSとREFBSはいっしょに短絡し、入力スパンは次のようにVREFで決まります。

$$(REFTS - VREF/2) \quad AIN \quad (REFTS + VREF/2)$$

ここでVREFは内部リファレンスあるいはユーザーの外部からの供給で決定します。

ノイズ性能はAD9200を2 Vの入力範囲で動作させることで最高の結果が得られます。歪み性能はAD9200を1 Vの入力範囲で動作させることで最高の結果が得られます。

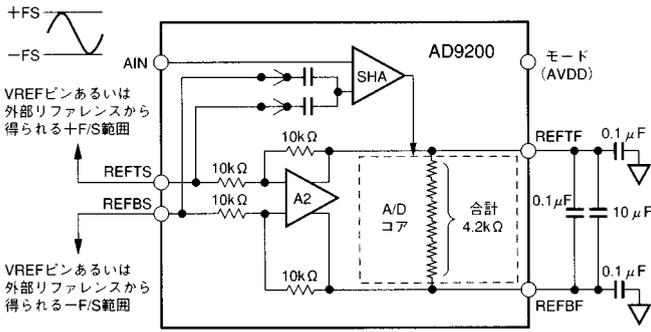
リファレンス動作

AD9200は様々なリファレンス・トポロジーで構成できます。もっとも簡単な構成はAD9200のオンボードのバンドキャップ・リファレンスを使用する方法で、これによってピンに接続可能なオプションを利用でき、1 Vか2 Vの出力が生成されます。ユーザがこの2種類以外のリファレンス電圧を必要な場合は、VREF、REFSENSE、アナログ・アースの間に外部抵抗ディバイダをつけて1 V~2 Vの間の任意の電位を生成できます。もう1つの選択肢は、より高い精度やドリフト性能が必要な設計に対して外部リファレンスを使用する方法です。3番目の選択肢は、上部と下部のリファレンスを導入して、VREFをいっしょにバイパスする方法です。

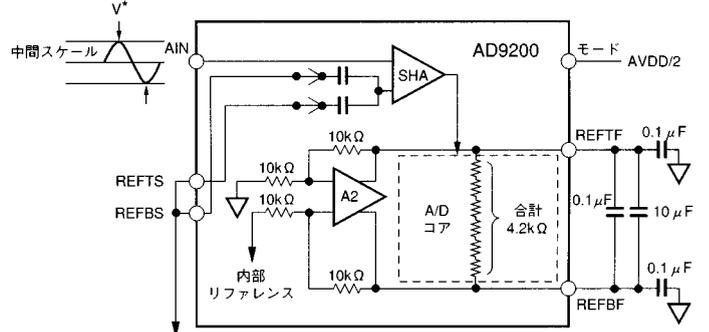
図16d、16e、16fにAD9200のリファレンスと入力構造を示します。希望の回路に合わせる際には、ユーザは駆動回路に合うように入力構成を選ぶことができます。そこで下の図にあるリファレンス・モードに移し、リファレンス回路を選んでフル・スケール信号のオフセットと振幅を調節します。

表1にユーザーの要件に合わせるためのピン構成の概要を示します。

AD9200



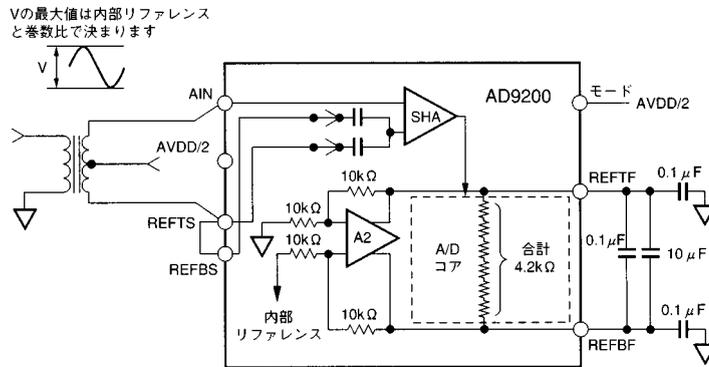
a. 上部/下部モード



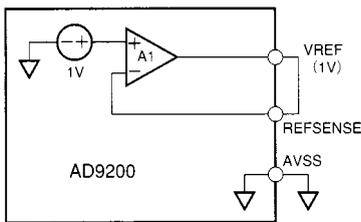
中間スケールのオフセット電圧は内部リファレンスあるいは外部リファレンスからきます

*Vの最大値は内部リファレンスで決まります

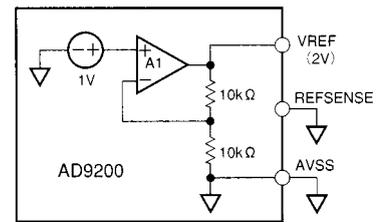
b. 中心スパン・モード



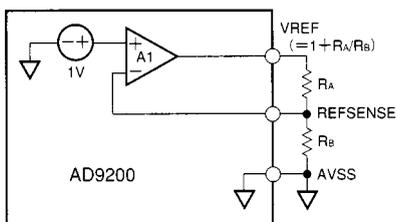
c. 差動モード



d. 1Vリファレンス

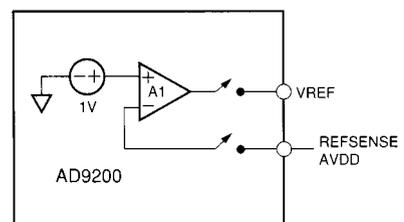


e. 2Vリファレンス



内部の10Kのリファレンス抵抗は R_a と R_e があるとオープンに切り替わります。

f. 可変リファレンス(1V~2Vの間)



g. 内部リファレンス・ディスエーブル(電力低減)

図16

AD9200の内部回路で使う実際のリファレンス電圧はREFTFとREFBFに現れます。

動作を正しく行うには、これらのピンをデカップリングするためにコンデンサ・ネットワークを追加する必要があります。REFTFとREFBFは図17に示すようにすべての内部と外部の構成に対してデカップリングします。

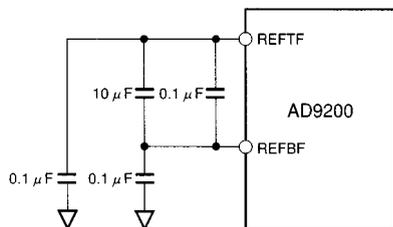


図17. リファレンスデカップリングネットワーク

- 注： REFTF = リファレンス・上部、強制
 REFBF = リファレンス・下部、強制
 REFTS = リファレンス・上部、検知
 REFBS = リファレンス・下部、検知

内部リファレンスの動作

AD9200の内部リファレンス接続実例のうち、もっとも一般的な構成を図18、19、20に示します。(図18、19に上部/下部モードを示し、図20に中心スパン・モードを示します。)図29に1 Vp-pの差動操作のときのAD9200の接続方法を示します。VREFピンをREFSENSEピンに直接短絡すると、内部リファレンス・アンプA1はユニティ・ゲイン・モードになり、結果のリファレンス出力は1 Vになります。図18ではREFBSは入力範囲が0 V ~ 1 Vになるようにアースされています。これらのモードは電源が+3 Vあるいは+5 Vのときに選択できます。VREFピンはAVSS(アナログ・アース)にバイパスします。このとき1.0 µFのタンタル製コンデンサをインダクタンスが低く、ESRの低い10.1 µFのセラミック製コンデンサと並列に接続します。

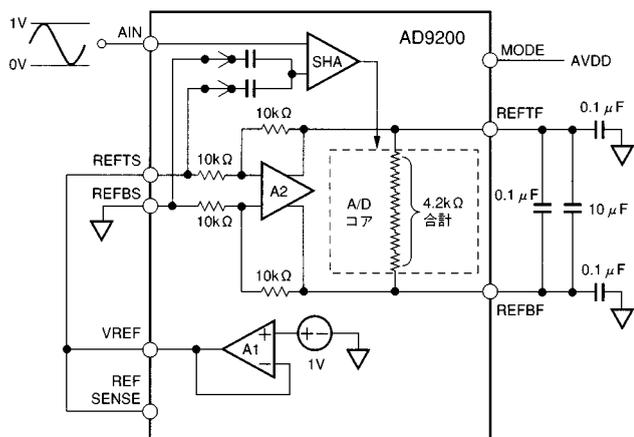


図18. 内部リファレンス - 1Vp-p入カスパン(上部/下部モード)

図19に2 Vp-p動作のシングル・エンドの構成を示します。REFSENSEはGNDに接続し、2 Vのリファレンス出力となります。

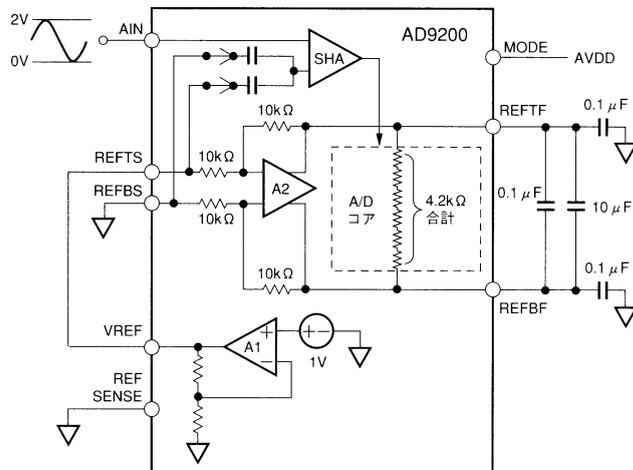


図19. 内部リファレンス、2 Vp-p入カスパン(上部/下部モード)

図20に良好な高周波ダイナミック特性(SINAD、SFDR)を示すシングル・エンドの構成を示します。最高のダイナミック特性を發揮するには、アナログ入力のコモン・モード電圧の中心を約1.5 Vにします。短絡してあるREFTSとREFBSの入力を低インピーダンスの1.5 V源につなぎます。この構成では、MODEピンは電源の半分(AVDD/2)の電圧にします。

最大のリファレンス・ドライブは1 mAです。さらに負荷が重い場合は外部バッファが必要です。

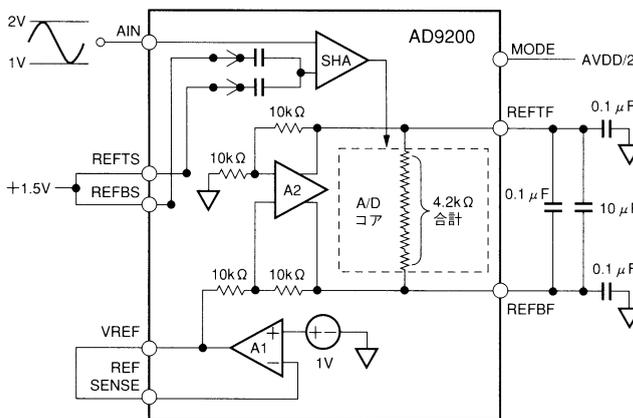


図20. 内部リファレンス1 Vp-p入カスパン(中心スパン・モード)

外部リファレンスの動作

外部リファレンスを使用すると柔軟性が増し、ドリフトと精度が良くなります。外部リファレンスをAD9200と組み合わせて使用方法の例を図21 ~ 23に示します。外部リファレンスを使用するときは、ユーザーはREFSENSEピンをAVDDにつないで内部リファレンス・アンプを無効にしておきます。

AD9200

ユーザーはここでVREFピンを駆動するか、REFTSピンとREFBSピンを駆動するかを選択できます。

AD9200には内部リファレンス・バッファ(A2)があって、外部リファレンスを駆動するための要件が簡単になっています。外部リファレンスは10k の負荷を単純に駆動できなければなりません。

図21にユーザーが駆動する上部および下部リファレンスの例を示します。REFTSは低インピーダンスの2V源、REFBSは低インピーダンスの1V源に接続します。REFTSとREFBSはその間の電位差が1V~2Vの場合、電源の範囲の任意の電圧になります。

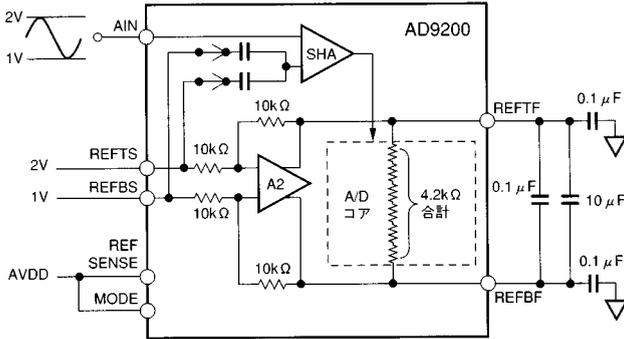


図21 . 外部リファレンス・モード - 1 Vp-p入力スパン

短絡されたREFTS入力とREFBS入力において2.5Vを生成する外部リファレンスの例を図22に示します。この例では、REF43の2.5VリファレンスがREFTSとREFBSを駆動します。抵抗ディバイダはA3でバッファされる1VのVREF信号を生成します。A3は10k の容量負荷を駆動できなければなりません。ノイズと精度の仕様にもとづいてこのオペアンプを選択してください。

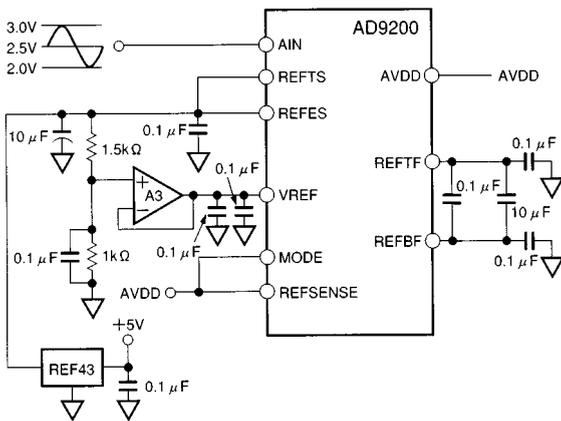


図22 . 外部リファレンス・モード - 1 Vp-p入力スパン2.5 V_{CM}

AD876と互換性のあるREFTFピンとREFBFピンを駆動する外部リファレンスの例を図23aに示します。REFTSはREFTFに短絡し、外部の4Vの低いインピーダンス源で駆動します。REFBSはREFBFに短絡し、2V源で駆動します。この構成ではMODEピンはGNDにつなぎます。

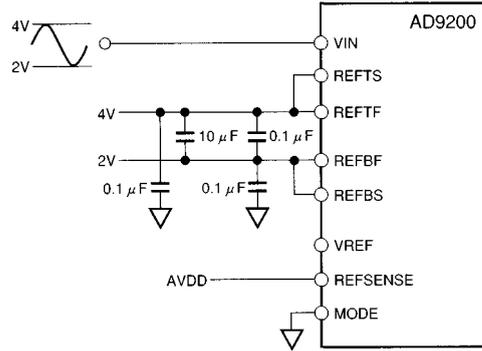


図23a . 外部リファレンス~2 Vp-p入力スパン

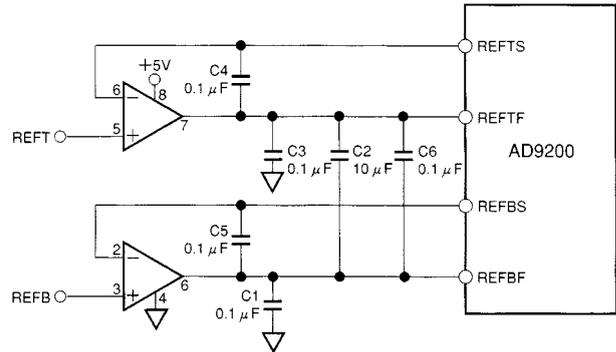


図23b . AD9200を使ったケルビン接続のリファレンス

クランプ動作

AD9200ARSとAD9200KSTは、ビデオのdc復元信号をあるいはac結合信号用のオプションのクランプ回路が特徴です。図24にクランプ動作に必要な内部クランプ回路と外部制御信号を示します。クランプを有効にするには、CLAMPピンに論理ハイの信号をかけます。これによってスイッチSW1がクローズになります。

クランプ・アンプはここでAINピンの電圧がCLAMPINピンにかかるクランプ電圧に等しくなるように制御します。希望のクランプ・レベルになった後、CLAMPを論理ローに戻すことによってSW1はオープンになります。入力バイアス電流によって引き起こされるドループを無視しながら、入力コンデンサC_{IN}は次のクランプ間隔になるまでdc電圧をAINで一定に保持します。入力抵抗R_{IN}の最低推奨値は10 Ωで、クランプ・アンプのクローズド・ループ安定性が維持されています。

CLAMPINにかけることが許される電圧の範囲は内部クランプ・アンプの動作上の制限に依存します。3V電源以外で操作するとき、推奨するクランプ範囲は0.5V~2.0Vです。

入力コンデンサはCLAMP間隔内でAINにおけるクランプ電圧の取り込み時間が十分与えられるように大きさを決めますが、またクランプ間隔内でドループを最小にするように大きさを決めます。特に、スイッチを閉じたときのアクジション時間は次のようになります。

$$T_{ACQ} = R_{IN} C_{IN} \ln \left(\frac{V_C}{V_E} \right)$$

ここで、 V_C は C_{IN} の両端に必要な電圧変化、 V_E はエラー電圧です。 V_C はクランプ間隔の開始点での初めの入力dcレベルとCLAMPINに供給されるクランプの電圧の差をとって計算されます。 V_E はシステムに依存するパラメータで、 V_C からの最大許容偏差と同じです。たとえば2 Vの入力レベルをAD9200の入力において1 Vで10 mV以内にクランプする必要があるときは、 V_C は2 - 1 V即ち1 Vで、 V_E は10 mVになります。入力側で一旦適切なクランプ・レベルが達成されると、ドループを修正するためにごくわずかの電圧変化で十分です。

電圧ドループは次の式で計算します。

$$dV = \frac{I_{BIAS}}{C_{IN}}(t)$$

ここでtはクランピング間隔の時間です。

AD9200のバイアス電流はサンプリング速度 F_S に依存します。スイッチドコンデンサ入力AINはある時間抵抗成分になり、 $1/C_S F_S$ に等しい入力抵抗になります。20MSPSのサンプリング速度と1pFの入力コンデンサの場合だと、入力抵抗は50 k Ω です。この入力の抵抗は入力範囲の中間スケール電圧で終端されます。最悪の場合、入力信号が入力範囲の終端、すなわち中間スケール電圧レベルからもっとも遠いところにあるとき、このようにしてバイアス電流が発生します。1Vの入力範囲では、最大バイアス電流は ± 0.5 V割る50 k Ω で ± 10 μ Aです。

ドループが重要なパラメータの場合、 C_{IN} の最小値はドループの条件にもとづいて最初に計算します。取り込み時間(CLAMPパルスの幅)は一旦最小のコンデンサ値が選ばれると、それに応じて調整できます。ドループと取り込み時間、あるいはエラー電圧 V_E の間でたびたびトレードオフを行う必要がでてきます。

クランプ回路の例

単電源のビデオ・アンプは2~3 Vにレベル・シフトされたビデオ信号を次のパラメータで出力します。

水平時間 = 63.56 μ s

水平同期間隔 = 10.9 μ s

水平同期パルス = 4.7 μ s

同期振幅 = 0.3 V

ビデオ振幅 = 0.7 V

リファレンス・ブラック・レベル = 2.3 V

ビデオ信号は2~3 Vの範囲から1~2 Vの範囲までdc復元しなければなりません。AD9200を1~2 Vの入力範囲で1 Vの入力スパン用に設定し(図24参照) 外部電圧を使うかあるいはREFBSに直接つなぐことによってCLAMPIN電圧は1 Vに設定できます。SYNCパルスの間あるいはバック・ポーチ(複合画像信号)の間に、SYNCをAD9200の最小の入力電圧よりも下げるためにCLAMPパルスを出します。 $C_{IN} = 1$ μ F、 $R_{IN} = 20$ Ω だと、入力dcレベルを1 mVの精度で1 Vに設定するために必要な取り込み時間は、 V_C を最大の1 Vと仮定すると約140 μ sです。

1 μ Fの入力結合コンデンサを使った場合、1個の水平の前後のドループは次のように計算できます。

I_{BIAS} は10 μ A、 $T = 63.5$ μ sですから、 $dV = 0.635$ mVで、これはLSB1個より少なくなります。

入力コンデンサを最初に充電した後は、クランプ・パルス幅はドループのような小さな電圧エラーを修正できるだけの幅で十分で

す。クランプ回路のこまなスケール安定特性を表IIに示します。

要求される精度にもよりますが、ほとんどのアプリケーションで1 μ s~3 μ sのCLAMPパルス幅となります。OFFSET値はクランプ・アンプからのオフセットの結果を無視し、もっと長いCLAMPパルス時間で測定した“最終値”を使って単純に出力コードと比較します。

表II

クランプ	オフセット
10 μ s	< 1LSB
5 μ s	5LSBs
4 μ s	7LSBs
3 μ s	11LSBs
2 μ s	19LSBs
1 μ s	42LSBs

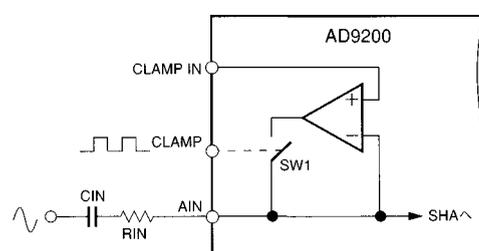


図24a . クランプ操作

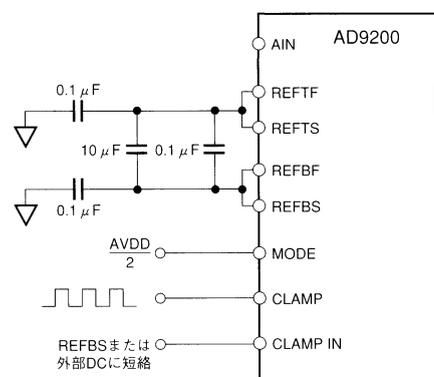


図24b . ビデオ・クランプ回路

アナログ入力の駆動

サンプル・アンド・ホールド型のアンプ(スイッチドコンデンサ入力SHA)であるAD9200の等価アナログ入力を図25に示します。CLKを論理ロー・レベルにするとスイッチ1と2はクローズし、スイッチ3はオープンになります。AINにつないだ入力減はこの時間間にコンデンサCHを充電しなければなりません。CLKが論理“ロー”から論理“ハイ”に移ると、スイッチ1と2はオープンになり、SHAはホールド・モードになります。ここでスイッチ3がクローズし、オプ・アンプの出力はCHに蓄積されると電圧と同じになります。CLKが論理“ハイ”から論理“ロー”に移ると、スイッチ3が最初にオープンになります。

スイッチ1と2はクローズし、SHAはトラック・モードになります。

AD9200

入力SHAの構成によって、入力駆動源にある条件があります。ピン・コンデンサCPとホールド・コンデンサCHを組み合わせると、通常5pFより小さくなります。入力源はこの静電容量を充電あるいは放電し、クロック・サイクルの半分で10ビットの精度にできなければなりません。SHAがトラック・モードになると、すでにCHに蓄積されている電圧から新しい電圧になるように、コンデンサCHを充電あるいは放電しなければなりません。最悪の場合、入力にかかるフル・スケールの電圧ステップと入力源はスイッチ1の R_{ON} (50 Ω) を通って充電電流を供給し、(CLKの半分以内の時間で)素早く安定しなければなりません。この状況は低い入力インピーダンスの駆動に対応します。一方、電源電圧が前にCHに蓄積された値に等しいときは、ホールド・コンデンサには入力電流は不要で、等価の入力インピーダンスはきわめて高くなります。

電源の出力側とAINピンの間に直列に抵抗を入れると、駆動源に対する要件が減ります。図26にこの構成を示します。特定のアプリケーションの帯域幅ではこの抵抗の大きさは制限されます。このデータ・シートの仕様にある性能を維持するには、抵抗は20 Ω 以下に制限します。信号帯域幅が10 MHz未満のアプリケーションでは、ユーザーは直列抵抗の大きさを比例的に増やせます。あるいは、AINピンとアナログ・アースの間に分岐の静電容量を追加してac負荷インピーダンスを下げるすることができます。この静電容量の値は駆動源抵抗と必要な信号帯域幅に依存します。

AD9200の入力スパンはリファレンス電圧の関数です。入力範囲の詳細についてはデータ・シートの内部と外部のリファレンスの章を参照してください。

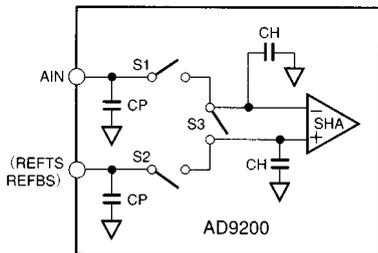


図25 . AD9200の等価入力構造

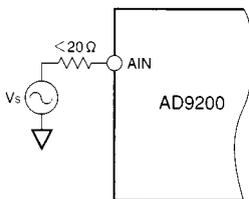


図26 . 単純なAD9200の駆動構成

多くの場合、特に単電源動作では、ac結合によって適切な信号範囲でアナログ入力信号にバイアスをかける便利な方法が提供されます。AD9200のアナログ入力信号にac結合するための代表的な構成を図25に示します。このデータ・シートの仕様にある性能を維持するには、各部品値の選定には十分な注意が必要です。もっとも重要なのは f_{-3dB} のハイパス・コーナー周波数です。これは $R2$ および $C1$ と $C2$ の並列の組み合わせです。この f_{-3dB} の点は次の式で近似できます。

$$f_{-3dB} = 1 / (2 \times \pi \times [R2] \times C_{EQ})$$

ここで、 C_{EQ} は $C1$ と $C2$ を並列に組み合わせたものです。 $C1$ は通常、高周波で誘導性になる電解がタantal製のコデンサであることに注意してください。高い周波数までは誘導性にならない10.01 μ Fオーダの小さいセラミック製やポリスチレン製のコデンサを入れると、広い周波数の範囲にわたって低いインピーダンスが維持されます。

注：AC結合された入力信号はAD9200の内部クランプを使って希望のレベルまでシフトすることもできます。クランプの動作の項を参照してください。

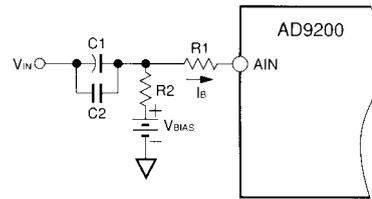


図27 . AC結合された入力

抵抗値を決める際に考慮する点がさらにあります。ac結合コンデンサはAD9200の入力側にあらわれる切り替え過渡電圧を積分し、入力側に流れ込むネットdcバイアス電流 I_B が発生します。信号の大きさがV中間スケールから外れ、クロック周波数が増えるのにしたがって、バイアス電流の大きさは増えていきます。すなわち最小のバイアス電流はAINがV中間スケールのときに流れます。このバイアス電流によって $(R1 + R2) \times I_B$ のオフセット・エラーが発生します。このエラーを補正する必要があるときは、 $R2$ を無視できるほど小さくするか $VBIAS$ を変更してオフセットを小さくすることを考えてください。

dc結合を使う必要のあるシステムでは、オペアンプを使ってAD9200の入力条件に合うようにアースを基準にした信号をレベル・シフトします。図28に非反転モードで構成したAD8041を示します。

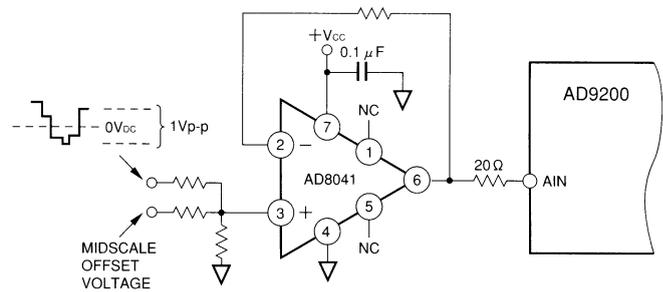


図28 . バイポーラ・レベル・シフト

差動入力の動作

AD9200は差動入力信号を受けることができます。この機能はREFTSとREFBSを短絡し、それらを差動信号の1つの入力として使います(上部の入力はAINに入ります)。下の構成ではAD9200は1Vp-p信号を受けています。図29を参照してください。

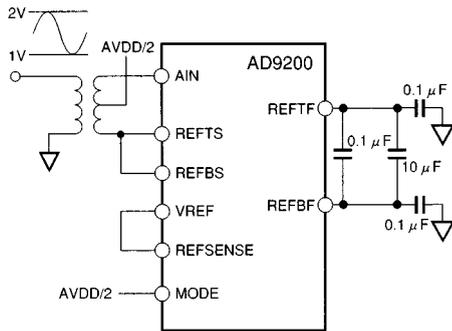


図29．差動入力

AD876モードの動作

AD9200はAD876のソケットに挿入する場合があります。これによってAD876のユーザーは3.0Vのアナログ電源でAD9200を動かして削減された電力消費を利用することができます。

図30にAD876とAD9200のピンの機能を示します。アースされたREFSENSEピンと開放されたMODEピンにより、AD9200は外部リファレンス・モードになります。AD876の外部リファレンス入力はこちらでAD9200のリファレンス・ピンにかかります。

クランプ制御はAD876のソケットによってアースされます。AD9200にはクロック・サイクル・ディレイが3回あり、一方AD876には3.5回のサイクルディレイがあります。

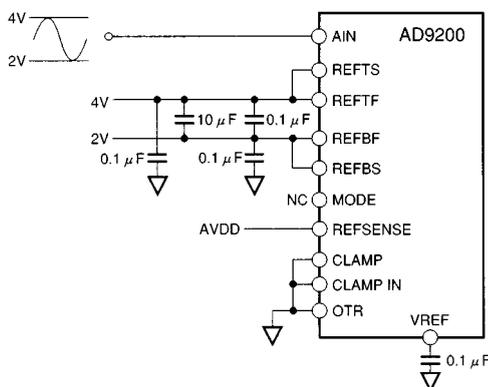


図30．AD876モード

クロック入力

AD9200のクロック入力はAVDDピンから電源を供給されるインバータで内部バッファされます。この特徴によって、CMOS論理回路入力の信号は定格AVDD/2のCLKピンに対する入力しきい値で+5Vか+3.3Vのどちらにでも適合することができます。

パイプラインになったAD9200の構造は入力クロックの立ち上がりおよび立ち下りの両方で動作します。デューティサイクルの変化を最小にするために、クロック入力を駆動するための論理回路ファミリアとしては高速あるいは最新のCMOS(HC/HCT、AC/ACT)論理回路を推奨します。CMOS論理回路によって対称の電圧しきい値レベル、および20MSPS動作をサポートするための十分な上昇・下降時間の両方が得られます。AD9200は20MSPSの変換速度をサポートするように設計されており、やや遅いクロック速度で部品を動かすことはできますが、性能のレベルは落ちます。反対

に、遅いクロック速度でAD9200を測定すると性能はわずかに改善します。

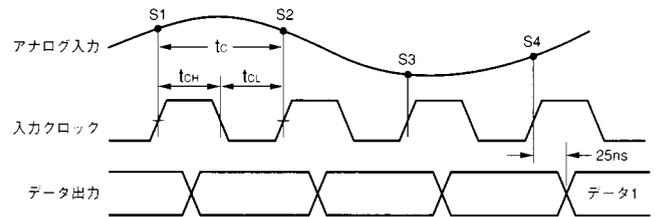


図31．タイミング図

出力バッファで消費される電力はクロック周波数にだいたい比例しますから、低いクロック周波数で動かすと電力の消費は減ります。

デジタル出力

AD9200のデジタル制御入力であるTHREE-STATEとSTBYはそれぞれアナログ・アース基準になります。クロックも同様にアナログ・アース基準になります。

デジタル出力のフォーマットはストレートバイナリです(図32を参照)。STBYがHIGHで、クロックをディスエーブルにすると、AD9200の静的な電力が5mW未満に下がるように、低電力モードが用意されています。

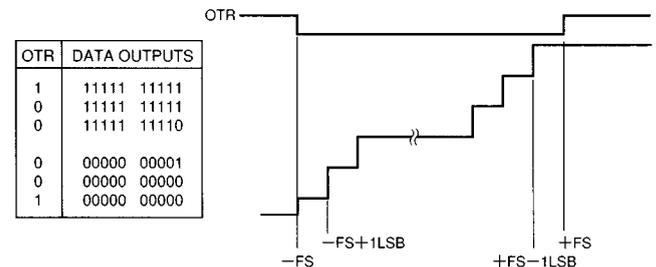


図32．出力データ・フォーマット

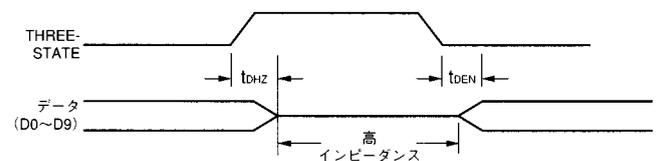


図33．Three-Stateのタイミング図

アプリケーション

AD9200を使った直接IFダウン変換

A/Dコンバータのベースバンド領域(つまりdc~Fs/2)の上のサンプリングIF信号は、通信分野のアプリケーションで人気が出てきています。このプロセスは直接IFダウン変換あるいはアンダーサンプリングと呼ばれることがよくあります。狭帯域あるいは広帯域のIF信号を変換(または混合)処理するためにA/Dコンバータを使うメリットはいくつかあります。1つ目で最大のメリットはミキサ一段全体と関連するアンプとフィルタを取り除き、コストと電力消費を削減することです。2つ目はフィルタリング、チャンネル選

AD9200

折、直角位相復調、データ削減、検出などのような機能を行う様々なDSP技術を応用できることです。この技術をデジタル・レシーバに応用した例がアナログ・デバイセズ社のアプリケーション・ノートAN-301およびAN-302に詳しく説明されています。

直接IFダウン変換を使ったアプリケーションの中には、A/Dコンバータの固有のサンプリング・プロセスを利用したものがあり、ここでベースバンドの領域外にあるIF信号はミキサーがIF信号をダウン変換するのと同じような方法でそのベースバンド領域に戻すことができます。ミキサーのトポロジーと同様、イメージ・リジェクション・フィルタは他の妨害信号が元のA/Dコンバータのベースバンド領域に戻ることを制限するために必要です。トレードオフはA/Dコンバータのダイナミック・レンジと複雑なイメージ・リジェクション・フィルタとサンプル速度の間に存在します。

AD9200は様々な狭帯域のIFサンプリング・アプリケーションに最適です。AD9200の歪みの低い入力SHAには300 MHzまで広がる高電力帯域幅がありますから、一般的なIF周波数をたくさんカバーしています。±0.5LSB(標準)のDNLを低サーマル入力変換ノイズと組み合わせると、2 VスパンのAD9200はベースバンド入力正弦波に対して60dBのSNRを実現できるようになります。また、2ps二乗平均という低いアパチャー・ジッターによって高いIF周波数におけるSNR劣化は最小になります。実際、AD9200は依然として1 V(つまり4dBm)の入力スパンで135 MHzのIFにおいて56dBのSNRを維持することができます。AD9200は2 Vスパン用に設定したときにSNRは通常3~4dB改善しますが、1 Vスパンによって最高のフル・スケールの歪み特性が得られることに注意してください。さらに1 Vスパンによって入力ドライバ回路の性能の要求は減りますから、システムの実行はさらに実用的になります。

IFサンプリング・アプリケーションで構成したAD9200の簡略図を図34に示します。多くの直角位相復調のアプリケーションで使われているデジタル復調器の複雑さを減らすためには、帯域制限されたIF信号がA/Dコンバータのベースバンド領域の中心(つまり $F_s/4$)に変換されるように、IF周波数やサンプル速度を選択します。たとえば、中心が45 MHzのIF信号が20MSPSでサンプリングされると、このIF信号のイメージはサンプル速度の1/4(つまり $F_s/4$)に対

応する5.0 MHzに戻るように変換します。この復調技術によって、A/Dコンバータの後ろにあるデジタル復調器ASICの複雑さは緩和されます。

この歪み特性を最大にするには、AD9200を変圧器を使って1Vスパンで差動モードに構成します。変圧器の真ん中のタップは抵抗ディバイダで中間電源にバイアスをかけます。AD9200の前には帯域フィルタと32dBのゲイン段があります。イメージ・リジェクションに使うSAWフィルタの大きな挿入損失を補うには、大きなゲイン段が必要になります。またゲイン段によって、SAWフィルタをAD9200の入力段で発生するチャージ・キック・バック電流から隔離されるようになります。

ゲイン段はカスケード接続されたAD8009オペアンプを1~2個使って実現できます。AD8009は低コストで1 GHzの電流フィードバック用オペアンプで、最大250 MHzまで3次のインターセプト特性がのびます。AD8009の後ろにある受動的帯域フィルタによって、たくさんある2次の歪み成分は減衰します。そうしないと歪みはAD9200のベースバンド領域に戻ってしまいます。また、AD9200の220+ MHzのノイズ帯域幅によって変換されてくる帯域外のノイズも削減します。帯域フィルタの仕様はアプリケーションによって異なり、この回路の歪みの合計とノイズ性能の両方に影響を与えることに注意してください。

あるIF周波数におけるA/Dコンバータの歪みとノイズ性能は、狭帯域のIFサンプリングにA/Dコンバータを利用するとき重要な問題です。シングルトーンと2トーン両方のSFDR対振幅はA/Dコンバータのノイズ性能とアパチャー・ジッターによるノイズを評価するのに非常に役立ちます。どんなアプリケーションでも同じ条件で同じ装置のユニットをいくつか試験して、特定のデバイスに対するアプリケーションの適性を評価することを推奨します。

図35~38は2トーンのSFDRとシングルトーンのSFDR、SNR特性をまとめたものです。IF周波数はそれぞれ45 MHz、70 MHz、85 MHz、135 MHzです。SFDR対振幅データがdBFSで表されるのに対して、シングルトーンのSNRデータはdBcで表されることに注意してください。これらの図の性能特性はAD8009の付かないAD9200を代表するものです。

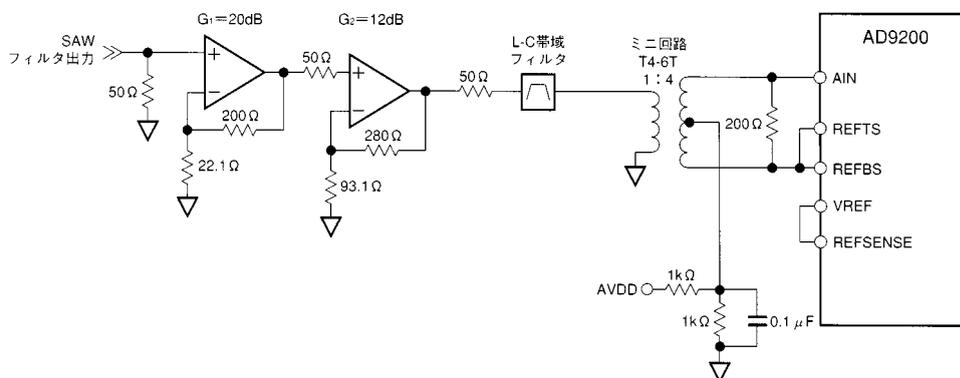


図34 . AD9200のIFサンプリング回路の簡略図

AD9200は20MSPSの1Vスパンにおいて(変圧器を経由して)差動モードで動作させました。アナログ電源(AVDD)とデジタル電源(DRVDD)はそれぞれ+5Vと3.3Vに設定しました。

ここには表現されていませんが、データは信号バス内に32dBのAD8009ゲイン段を挿入して収集しました。45MHz、70MHz、

85MHzのIFでは2トーンのSFDR対振幅は低下していません。しかし135MHzでは、2個の入カトーンがフル・スケール・レベル-6.5dBFSから-15dBFSに下がるまでの間、AD8009は歪み性能を制限する要因になっています。注意：各SNR性能はAD8009のインバンドのノイズのために約0.5dB低下します。

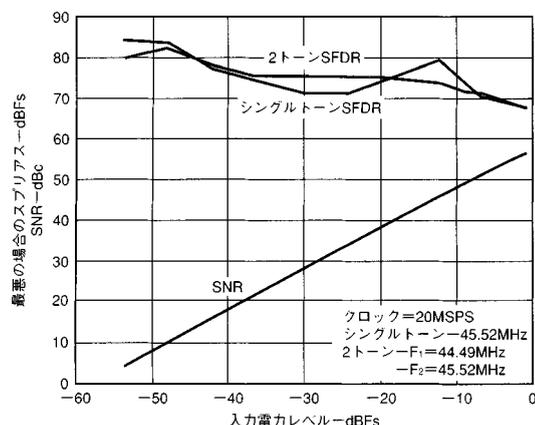


図35 . SNR/SFDR (IF : 45MHz)

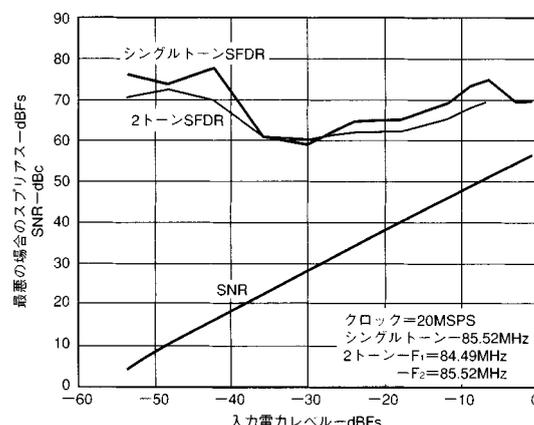


図37 . SNR/SFDR (IF : 85MHz)

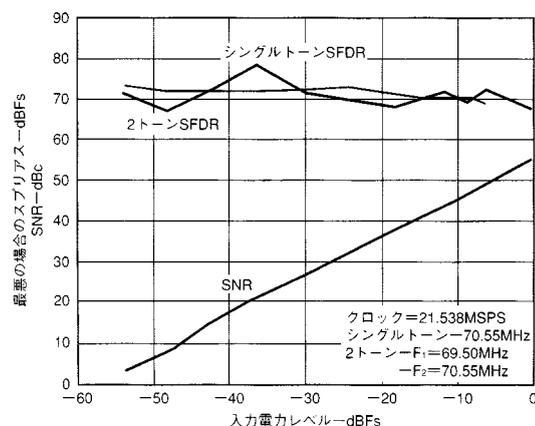


図36 . SNR/SFDR (IF : 70MHz)

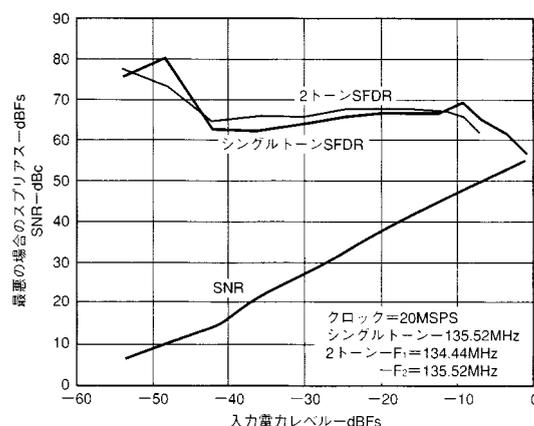


図38 . SNR/SFDR (IF : 135MHz)

AD9200

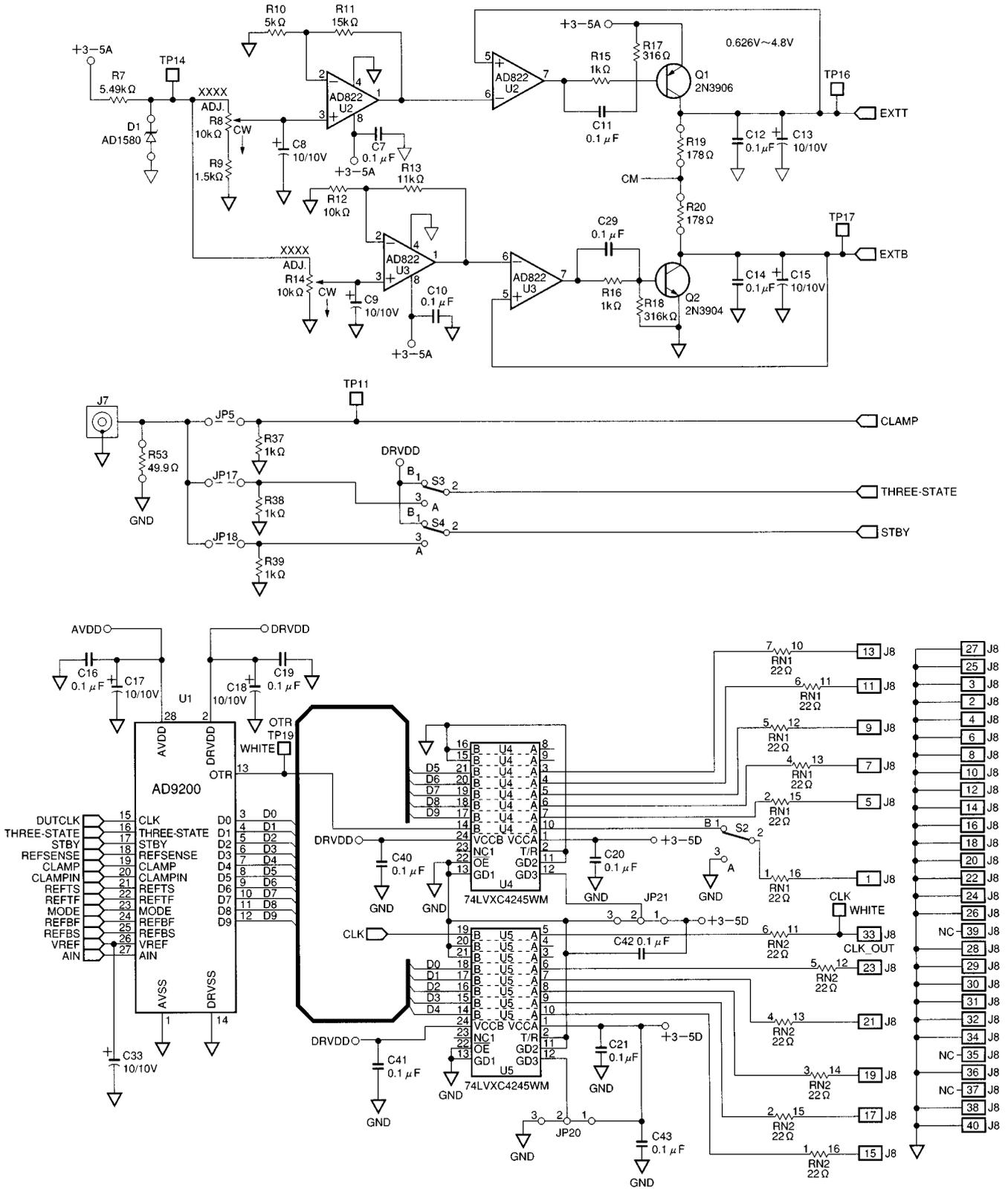


図39a . 評価ボード回路図

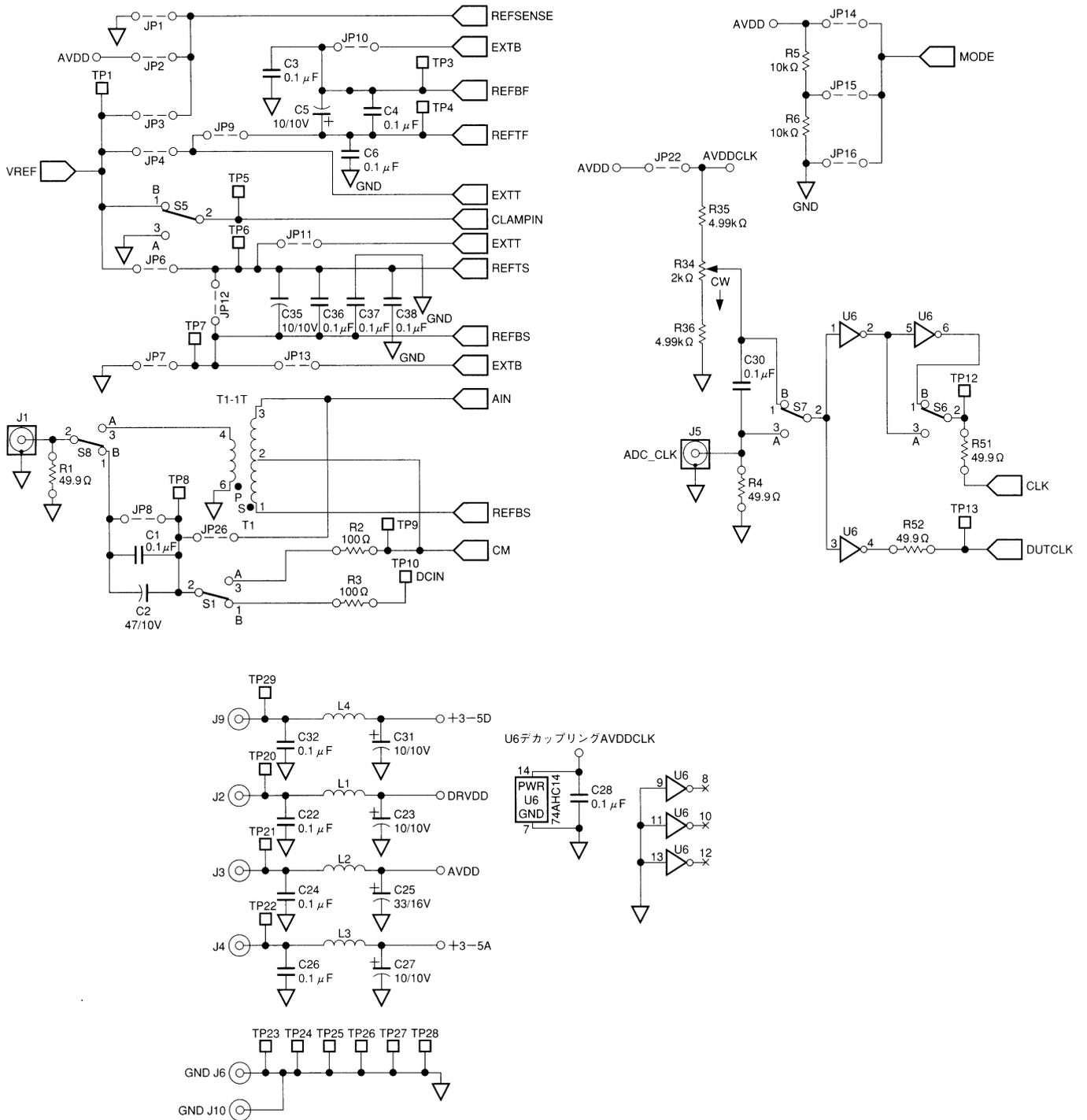


図39b. 評価ボード回路図

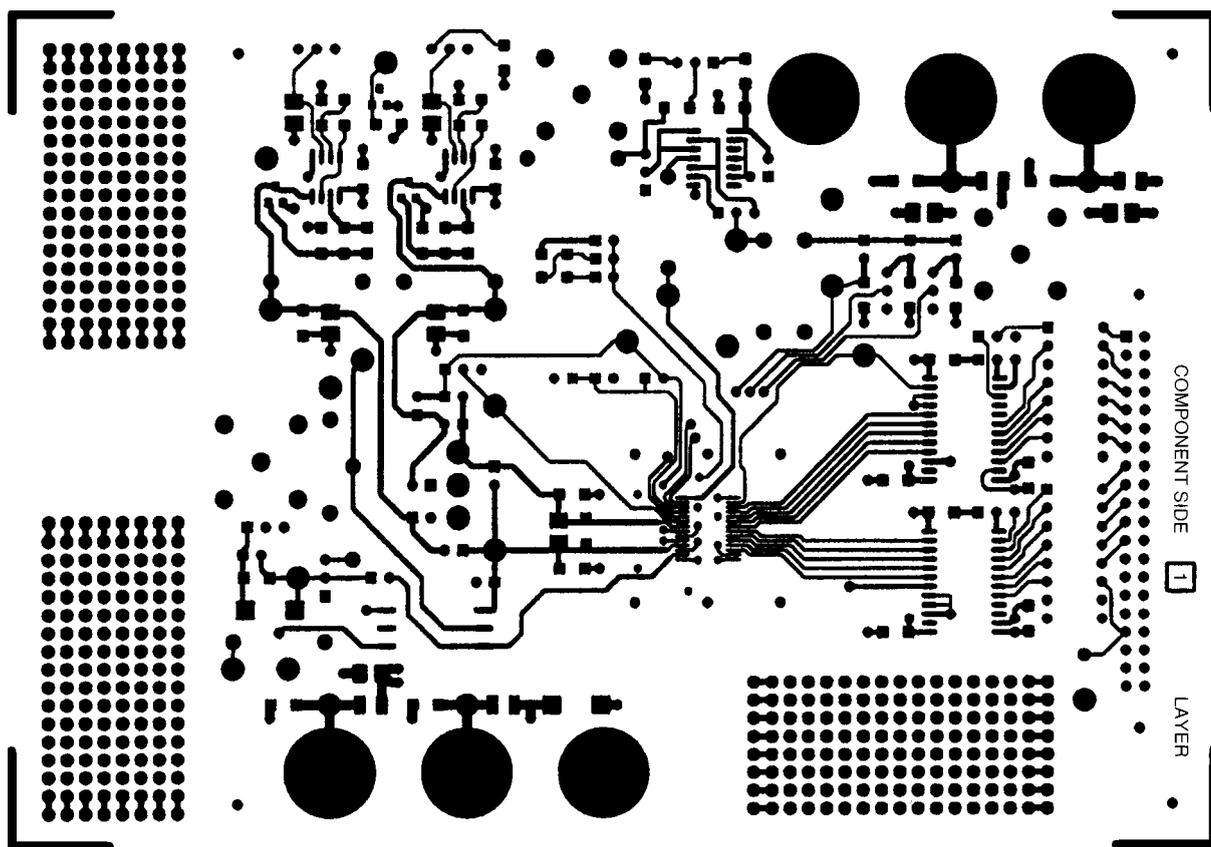


図40a . 評価ボードの部品面(スケール比にあらず)

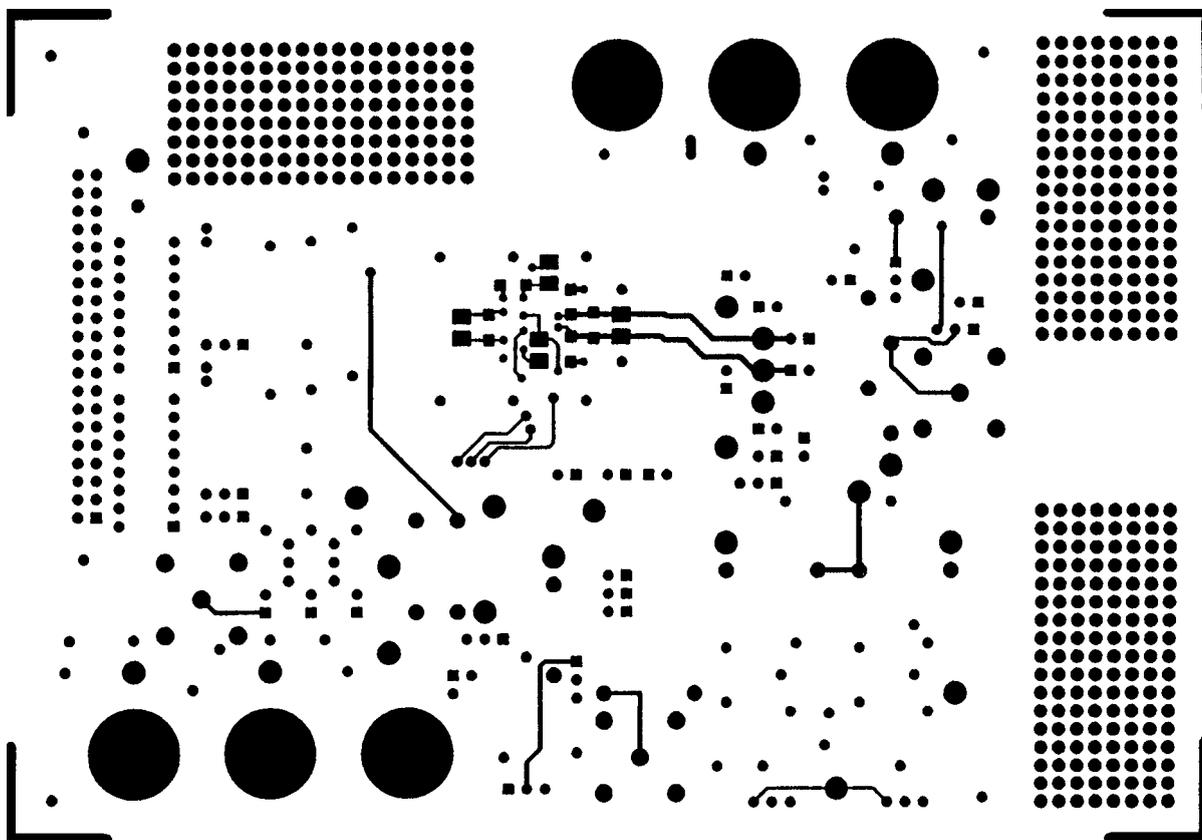


図40b . 評価ボードのはんだ面(スケール比にあらず)

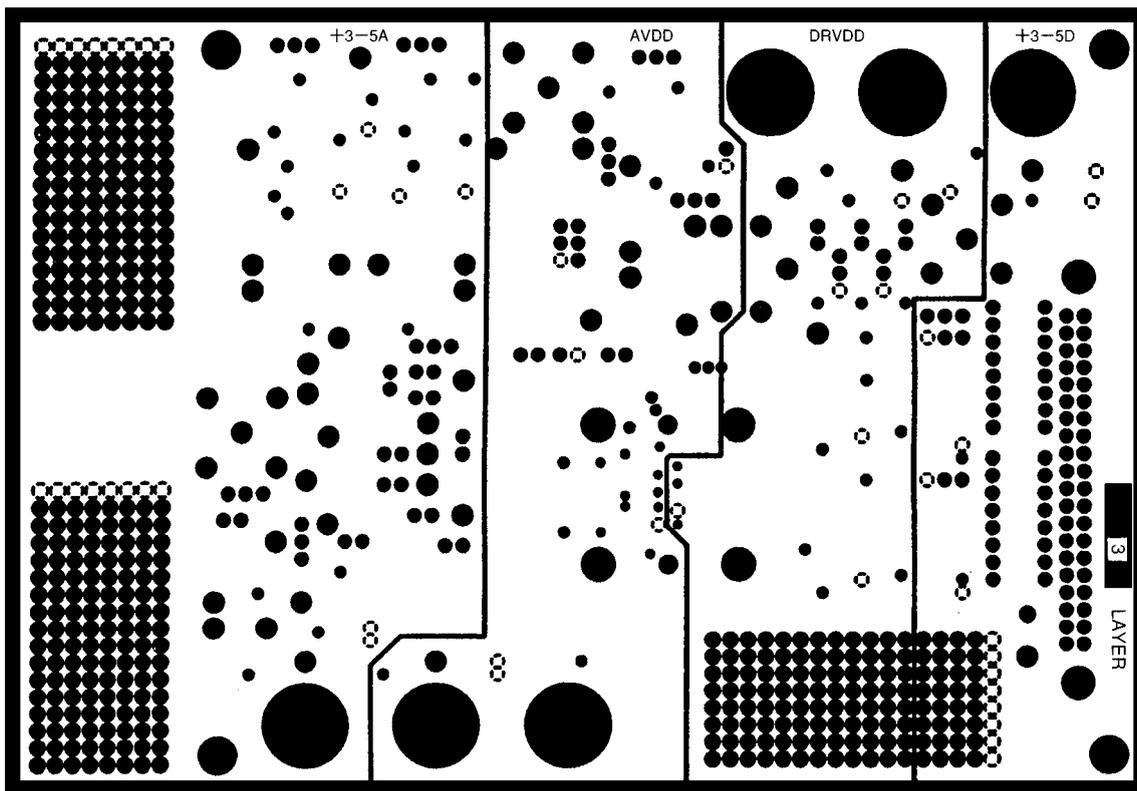


図40c . 評価ボードの電源面(スケール比にあらず)

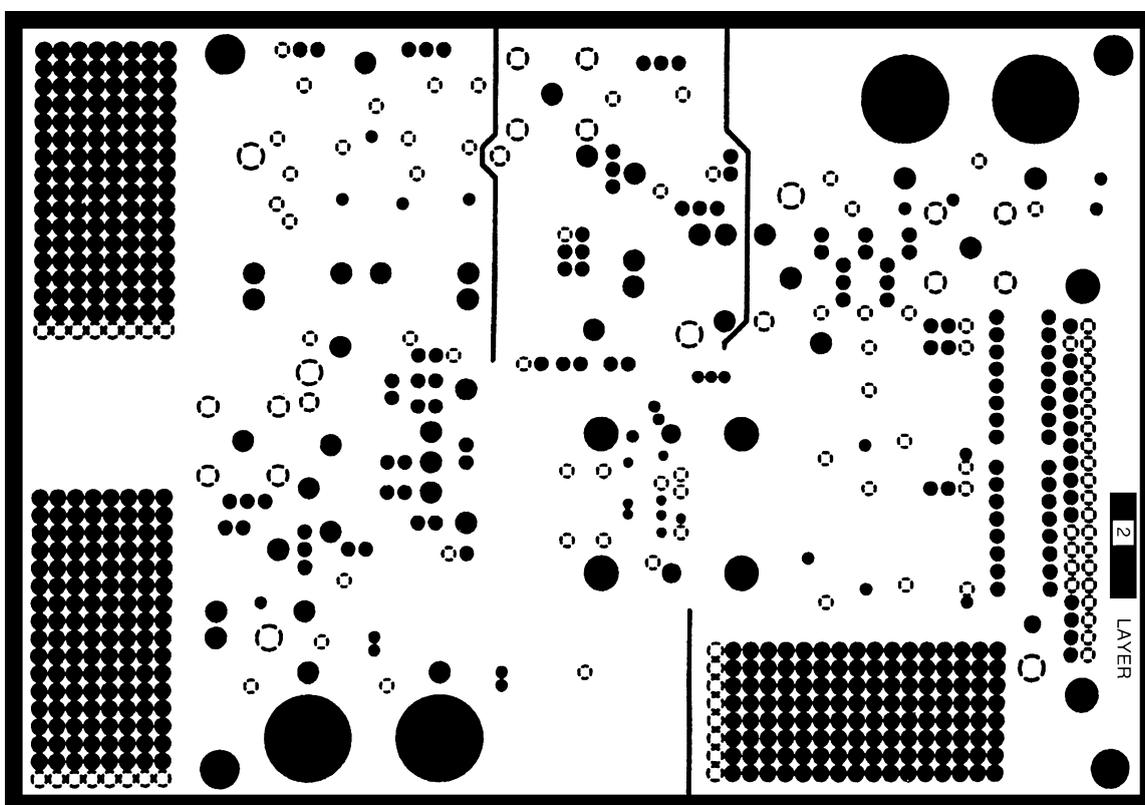


図40d . 評価ボードのアース面(スケール比にあらず)

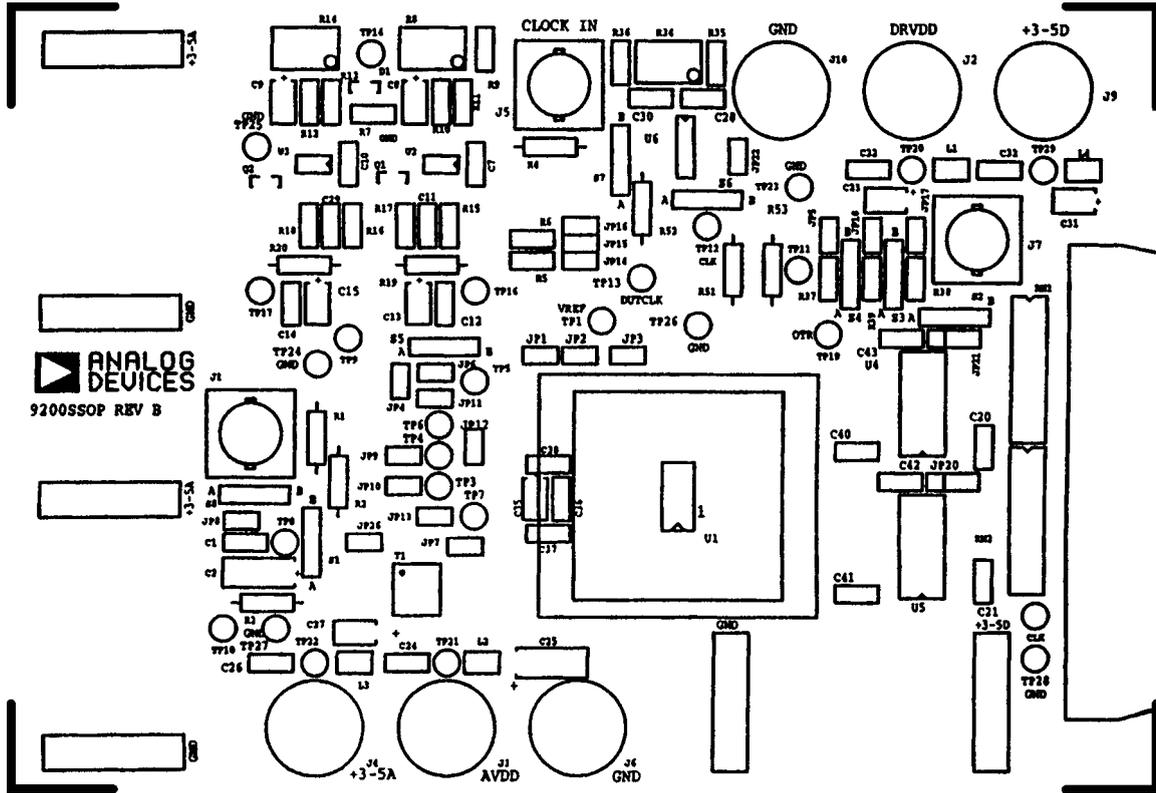


図40e . 評価ボードの部品面シルク (スケール比にあらず)

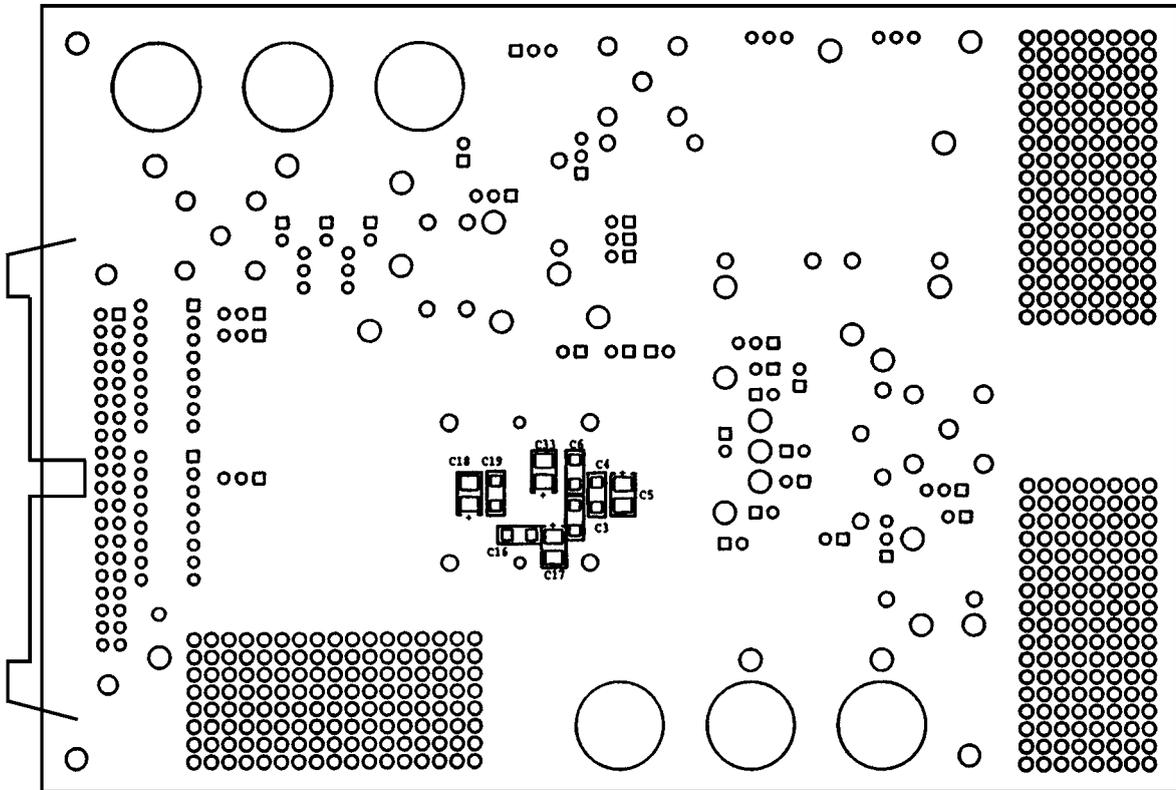


図40f . 評価ボードのはんだ面シルク (スケール比にあらず)

アースと部品配置に関する規制

どの高性能のデバイスでもそうですが、アースと部品配置を正しく行う技術は最高の性能を発揮する上できわめて重要です。AD9200のアナログ・アースとデジタル・アースはシステムの戻り電流をうまく流すために分けています。アースはA/Dコンバータの近くにつなぎます。AD9200にはアース板と電源板を採用した4層以上のプリント基板(PCB)を使うことを推奨します。アース板と電源板を使うと、以下のような明確な利点があります。

1. 信号とその戻りパスの周辺のループ領域が最小になります。
2. アースと電源バスに関するインピーダンスが最小になります。
3. 電源板、PCB絶縁、アース板から成る固有分配コンデンサが形成されます。

これらの特性によって電磁妨害(EMI)が削減され、全体的に性能が向上します。

ノイズが入力信号に結合しないように配置を設計することは重要です。デジタル信号は入力信号ラインと平行して流してはなりませんし、入力回路から離して配線しなければなりません。別々のアナログ・アースとデジタル・アースは広いアース板にAD9200の下で直接いっしょにつなぎます。電源とアースの戻り電流は慎重に取り扱います。混合した信号の配置に対する一般的な経験によると、デジタル回路からの戻り電流は重要なアナログ回路のそばを通してはいけないことになっています。

デジタル出力

AD9200の出力ビット(D0~D9)用のオンチップ・バッファは、AVDDから切り離されたDRVDDの電源ピンからそれぞれ電力を供給します。出力ドライバは様々な論理回路ファミリを扱うために大きさを決め、グリッチ・エネルギーの量をできるだけ抑えます。いずれの場合も、1個のファン・アウトによる出力データ・ビットの静電容量負荷を規定の20pFレベル未満に抑えておくことを推奨します。

DRVDD = 5 Vの場合、AD9200の出力信号スイングは高速CMOSとTTL論理回路ファミリの両方と互換性があります。TTLの場合、高速TTLファミリ(F、AS、S)をサポートするためにAD9200のオンチップの出力ドライバが設計されています。

クロック速度が20MSPS未満のアプリケーションでは他のTTLファミリを使えます。低電圧のCMOS論理回路と接続する場合、AD9200はDRVDD = 3 Vで20MSPSの動作を維持します。いずれの場合も、論理回路ファミリのデータ・シートを参照し、AD9200のデジタル仕様の項の表で互換性を確認してください。

3ステート出力

AD9200のデジタル出力はTHREE-STATEピンをHIGHに設定することで、高いインピーダンスの状態にしておくことができます。この特長は通電したままの試験や評価をするために用意されています。

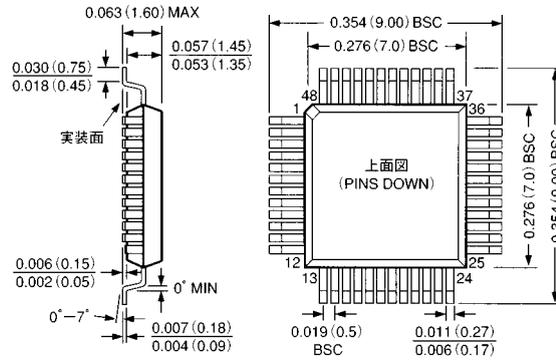
AD9200

外形寸法

サイズはインチと(mm)で示します。

ST-48

48ピンプラスチック・シン・クウォド・フラットバック(TQFP)



RS-28

28ピン線超小型アウトライン・パッケージ(SSOP)

