



# 低消費電力 14ビット 180 MSPSの D/Aコンバータおよび波形ジェネレータ

データシート

AD9102

## 特長

- 4096 × 14 ビットのパターン・メモリを内蔵
- DDS を内蔵
- 消費電力: 3.3 V で出力 4 mA  
180 MSPS で 96.54 mW
- スリープ・モード: 3.3 V で 5 mW 以下
- 電源電圧: 1.8 V ~ 3.3 V
- ナイキスト周波数までの SFDR  
10 MHz 出力で 87 dBc
- 1 kHz オフセット、180 MSPS、8 mA での位相ノイズ: -150 dBc/Hz
- 差動電流出力: 3.3 V で最大 8 mA
- 3.6 mm × 3.6 mm エクスポーズド・パッド付き、鉛フリー小型フットプリント 32 ピン 5 mm × 5 mm LFCSP パッケージを採用

## アプリケーション

- 医療計測機器
- ポータブル計装機器
- 信号ジェネレータ、任意波形ジェネレータ
- 車載レーダー

## 概要

AD9102 TxDAC®および波形ジェネレータは、複素波形発生用パターン・メモリとダイレクト・デジタル・シンセサイザ (DDS) を内蔵する高性能 D/A コンバータ (DAC) です。

DDS は最大 180 MSPS の 14 ビット出力マスター・クロック正弦波ジェネレータで、10.8 Hz/LSB の周波数分解能を可能にする 24 ビットのチューニング・ワードを持っています。

SRAM データには、直接発生する保存波形、DDS 出力に供給する振幅変調パターン、または DDS 周波数チューニング・ワードなどがあります。

内部パターン制御ステート・マシンを使うと、DAC のパターン周期を設定することができ、さらに DAC 信号出力パターン周期内の開始遅延も設定することができます。

SPI インターフェースは、デジタル波形ジェネレータを設定するとき、およびパターンを SRAM へロードするときに使います。

DAC へ入力される前のデジタル信号にゲイン調整ファクタとオフセット調整が適用されます。

AD9102 は極めて優れた AC 性能と DC 性能を提供し、最大 180 MSPS の DAC サンプリング・レートをサポートします。

AD9102 は、1.8 V ~ 3.3 V の柔軟な電源動作範囲と低消費電力を持つため、ポータブルおよび低消費電力アプリケーションに最適です。

## 製品のハイライト

- 高集積度。  
DDS と 4096 × 14 のパターン・メモリを内蔵
- 低消費電力。  
パワーダウン・モードで低消費電力アイドル周期を提供。

## 機能ブロック図

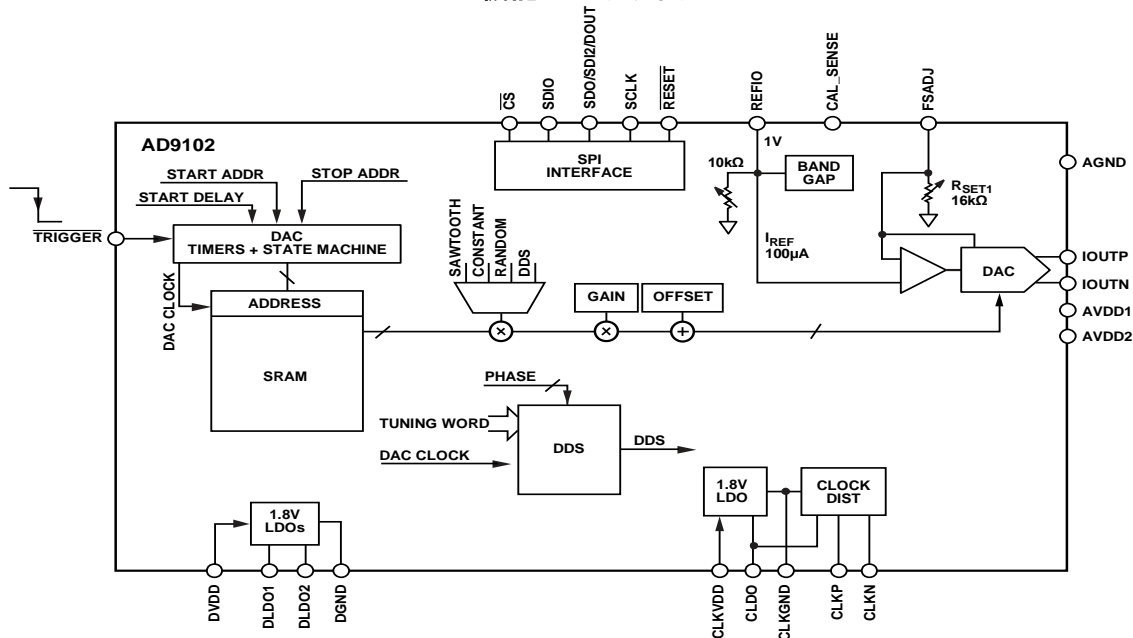


図 1.

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. 0

©2013 Analog Devices, Inc. All rights reserved.

## 目次

特長.....	1	アナログ電流出力.....	19
アプリケーション.....	1	DAC ゲイン(I <sub>OUTFS</sub> )の設定.....	19
概要.....	1	I <sub>OUTFS</sub> の自動キャリブレーション.....	19
製品のハイライト.....	1	クロック入力.....	20
機能ブロック図.....	1	DAC 出力クロックのエッジ.....	21
改訂履歴.....	2	信号パターンの生成.....	21
仕様.....	3	パターン・ジェネレータの設定.....	21
DC 仕様(3.3 V).....	3	DAC 入力データ・パス.....	22
DC 仕様(1.8 V).....	4	DOUT の機能.....	22
デジタル・タイミング仕様 (3.3 V).....	4	ダイレクト・デジタル・シンセサイザ (DDS).....	23
デジタル・タイミング仕様 (1.8 V).....	5	SRAM.....	23
入/出力信号仕様.....	5	鋸波ジェネレータ.....	23
AC 仕様 (3.3 V).....	6	擬似ランダム信号ジェネレータ.....	24
AC 仕様 (1.8 V).....	6	DC 固定電流.....	24
入力電源電圧と消費電力.....	7	電源の注意事項.....	24
絶対最大定格.....	8	パワーダウン機能.....	24
熱抵抗.....	8	アプリケーション.....	25
ESD の注意.....	8	信号生成例.....	25
ピン配置およびピン機能説明.....	9	レジスタ・マップ.....	26
代表的な性能特性.....	11	レジスタの説明.....	28
用語.....	16	外形寸法.....	36
動作原理.....	17	オーダー・ガイド.....	36
SPI ポート.....	18		
DAC の伝達関数.....	19		

## 改訂履歴

1/13—Revision 0: Initial Version

## 仕様

## DC仕様(3.3 V)

特に指定がない限り、 $T_{MIN} \sim T_{MAX}$ ; AVDD = 3.3 V; DVDD = 3.3 V; CLKVDD = 3.3 V; 内部 CLDO、DLDO1、DLDO2 を使用;  $I_{OUTFS} = 8 \text{ mA}$ ; 最大サンプル・レート。

表 1.

Parameter	Min	Typ	Max	Unit
RESOLUTION		14		Bits
ACCURACY @ 3.3 V				
Differential Nonlinearity (DNL)		$\pm 1.4$		LSB
Integral Nonlinearity (INL)		$\pm 2.0$		LSB
DAC OUTPUT				
Offset Error		$\pm 0.00025$		% of FSR
Gain Error Internal Reference—No Automatic $I_{OUTFS}$ Calibration	-1.0		+1.0	% of FSR
Full-Scale Output Current				
3.3 V	2	4	8	mA
Output Resistance		200		$M\Omega$
Output Compliance Voltage	-0.5		+1.0	V
DAC TEMPERATURE DRIFT				
Gain with Internal Reference		$\pm 251$		ppm/ $^{\circ}\text{C}$
Internal Reference Voltage		$\pm 119$		ppm/ $^{\circ}\text{C}$
REFERENCE OUTPUT				
Internal Reference Voltage with AVDD = 3.3 V	0.8	1.0	1.2	V
Output Resistance		10		$k\Omega$
REFERENCE INPUT				
Voltage Compliance	0.1		1.25	V
Input Resistance External Reference Mode		1		$M\Omega$

**DC仕様(1.8 V)**

特に指定がない限り、 $T_{MIN} \sim T_{MAX}$ ; AVDD = 1.8 V; DVDD = DLDO1 = DLDO2 = 1.8 V; CLKVDD = CLDO = 1.8 V;  $I_{OUTFS} = 4$  mA; 最大サンプル・レート。

表 2.

Parameter	Min	Typ	Max	Unit
RESOLUTION		14		Bits
ACCURACY @ 1.8 V				
Differential Nonlinearity (DNL)		$\pm 1.5$		LSB
Integral Nonlinearity (INL)		$\pm 1.4$		LSB
DAC OUTPUTS				
Offset Error		$\pm 0.00025$		% of FSR
Gain Error Internal Reference—No Automatic $I_{OUTFS}$ Calibration	-1.0		+1.0	% of FSR
Full-Scale Output Current				
$V_{CC} = 1.8$ V	2	4	4	mA
Output Resistance		200		M $\Omega$
Output Compliance Voltage	-0.5		+1.0	V
DAC TEMPERATURE DRIFT				
Gain		$\pm 228$		ppm/ $^{\circ}$ C
Reference Voltage		$\pm 131$		ppm/ $^{\circ}$ C
REFERENCE OUTPUT				
Internal Reference Voltage with AVDD = 1.8 V	0.8	1.0	1.2	V
Output Resistance		10		k $\Omega$
REFERENCE INPUT				
Voltage Compliance	0.1		1.25	V
Input Resistance External Reference Mode		1		M $\Omega$

**デジタル・タイミング仕様 (3.3 V)**

特に指定がない限り、 $T_{MIN} \sim T_{MAX}$ ; AVDD = 3.3 V; DVDD = 3.3 V; CLKVDD = 3.3 V; 内部 CLDO、DLDO1、DLDO2 を使用;  $I_{OUTFS} = 8$  mA; 最大サンプル・レート。

表 3.

Parameter	Min	Typ	Max	Unit
DAC CLOCK INPUT (CLKIN)				
Maximum Clock Rate	180			MSPS
SERIAL PERIPHERAL INTERFACE				
Maximum Clock Rate (SCLK)	80			MHz
Minimum Pulse Width High		6.25		ns
Minimum Pulse Width Low		6.25		ns
Setup Time SDIO to SCLK	4.0			ns
Hold Time SDIO to SCLK	5.0			ns
Output Data Valid SCLK to SDO/SDI2/DOOUT or SDIO		6.2		ns
Setup Time $\overline{CS}$ to SCLK	4.0			ns

## デジタル・タイミング仕様 (1.8 V)

特に指定がない限り、 $T_{MIN} \sim T_{MAX}$ ; AVDD = 1.8 V; DVDD = DLDO1 = DLDO2 = 1.8 V; CLKVDD = CLDO = 1.8 V; I<sub>OUTFS</sub> = 4 mA; 最大サンプル・レート。

表 4.

Parameter	Min	Typ	Max	Unit
DAC CLOCK INPUT (CLKIN)				
Maximum Clock Rate	180			MSPS
SERIAL PERIPHERAL INTERFACE				
Maximum Clock Rate (SCLK)	80			MHz
Minimum Pulse Width High		6.25		ns
Minimum Pulse Width Low		6.25		ns
Setup Time SDIO to SCLK	4.0			ns
Hold Time SDIO to SCLK	5.0			ns
Output Data Valid SCLK to SDO/SDI2/DOUT or SDIO		8.8		ns
Setup Time $\overline{CS}$ to SCLK	4.0			ns

## 入／出力信号仕様

表 5.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
CMOS INPUT LOGIC LEVEL (SCLK, $\overline{CS}$ , SDIO, SDO/SDI2/DOUT, RESET, TRIGGER)					
Input V <sub>IN</sub> Logic High	DVDD = 1.8 V	1.53			V
	DVDD = 3.3 V	2.475			V
Input V <sub>IN</sub> Logic Low	DVDD = 1.8 V			0.27	V
	DVDD = 3.3 V			0.825	V
CMOS OUTPUT LOGIC LEVEL (SDIO, SDO/SDI2/DOUT)					
Output V <sub>OUT</sub> Logic High	DVDD = 1.8 V	1.79			V
	DVDD = 3.3 V	3.28			V
Output V <sub>OUT</sub> Logic Low	DVDD = 1.8 V			0.25	V
	DVDD = 3.3 V			0.625	V
DAC CLOCK INPUT (CLKP, CLKN)					
Minimum Peak-to-Peak Differential Input Voltage, V <sub>CLKP</sub> /V <sub>CLKN</sub>			150		mV
Maximum Voltage at V <sub>CLKP</sub> or V <sub>CLKN</sub>			V <sub>DVDD</sub>		V
Minimum Voltage at V <sub>CLKP</sub> or V <sub>CLKN</sub>			V <sub>DGND</sub>		V
Common-Mode Voltage	Generated on Chip		0.9		V

## AC仕様 (3.3 V)

特に指定がない限り、 $T_{MIN} \sim T_{MAX}$ ; AVDD = 3.3 V; DVDD = 3.3 V、CLKVDD = 3.3 V; 内部 CLDO、DLDO1、DLDO2 を使用;  $I_{OUTFS} = 8$  mA; 最大サンプル・レート。

表 6.

Parameter	Min	Typ	Max	Unit
SPURIOUS FREE DYNAMIC RANGE				
$f_{DAC} = 180$ MSPS, $f_{OUT} = 10$ MHz		87		dBc
$f_{DAC} = 180$ MSPS, $f_{OUT} = 50$ MHz		67		dBc
TWO-TONE INTERMODULATION DISTORTION (IMD)				
$f_{DAC} = 180$ MSPS, $f_{OUT} = 10$ MHz		88		dBc
$f_{DAC} = 180$ MSPS, $f_{OUT} = 50$ MHz		68		dBc
NSD				
$f_{DAC} = 180$ MSPS, $f_{OUT} = 50$ MHz		-163		dBm/Hz
PHASE NOISE @ 1 kHz FROM CARRIER				
$f_{DAC} = 180$ MSPS, $f_{OUT} = 10$ MHz		-150		dBc/Hz
DYNAMIC PERFORMANCE				
Output Settling Time, Full-Scale Output Step (to 0.1%) <sup>1</sup>		31.2		ns
Trigger to Output Delay, $f_{DAC} = 180$ MSPS <sup>2</sup>		96		ns
Rise Time, Full-Scale Swing <sup>1</sup>		3.25		ns
Fall Time, Full-Scale Swing <sup>1</sup>		3.26		ns

<sup>1</sup> DAC 出力ピンとグラウンドの間に 85  $\Omega$  抵抗を使用。

<sup>2</sup> 開始遅延 = 0  $f_{DAC}$  クロック・サイクル。

## AC仕様 (1.8 V)

特に指定がない限り、 $T_{MIN} \sim T_{MAX}$ ; AVDD = 1.8 V; DVDD = DLDO1 = DLDO2 = 1.8 V; CLKVDD = CLDO = 1.8 V;  $I_{OUTFS} = 4$  mA; 最大サンプル・レート。

表 7.

Parameter	Min	Typ	Max	Unit
SPURIOUS FREE DYNAMIC RANGE (SFDR)				
$f_{DAC} = 180$ MSPS, $f_{OUT} = 10$ MHz		84		dBc
$f_{DAC} = 180$ MSPS, $f_{OUT} = 50$ MHz		73		dBc
TWO-TONE INTERMODULATION DISTORTION (IMD)				
$f_{DAC} = 180$ MSPS, $f_{OUT} = 10$ MHz		91		dBc
$f_{DAC} = 180$ MSPS, $f_{OUT} = 50$ MHz		86		dBc
NSD				
$f_{DAC} = 180$ MSPS, $f_{OUT} = 50$ MHz		-163		dBm/Hz
PHASE NOISE @ 1kHz FROM CARRIER				
$f_{DAC} = 180$ MSPS, $f_{OUT} = 10$ MHz		-150		dBc/Hz
DYNAMIC PERFORMANCE				
Output Settling Time (to 0.1%) <sup>1</sup>		31.2		ns
Trigger to Output Delay, $f_{DAC} = 180$ MSPS <sup>2</sup>		96		ns
Rise Time <sup>1</sup>		3.25		ns
Fall Time <sup>1</sup>		3.26		ns

<sup>1</sup> DAC 出力ピンとグラウンドの間に 85  $\Omega$  抵抗を使用。

<sup>2</sup> 開始遅延 = 0  $f_{DAC}$  クロック・サイクル。

## 入力電源電圧と消費電力

表 8.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
ANALOG SUPPLY VOLTAGES					
AVDD1, AVDD2		1.7		3.6	V
CLKVDD		1.7		3.6	V
CLDO	On-chip LDO not in use	1.7		1.9	V
DIGITAL SUPPLY VOLTAGES					
DVDD		1.7		3.6	V
DLDO1, DLDO2	On-chip LDO not in use	1.7		1.9	V
POWER CONSUMPTION					
$f_{DAC} = 180$ MSPS, Pure CW Sine Wave	AVDD = 3.3 V, DVDD = 3.3 V, CLKVDD = 3.3 V, internal CLDO, DLDO1, AND DLDO2 12.5 MHz (DDS only)		96.54		mW
$I_{AVDD}$			7.67		mA
$I_{DVDD}$					
DDS Only	CW sine wave output		17.73		mA
RAM Only	50% duty cycle FS pulse output		11.31		mA
DDS and RAM Only	50% duty cycle sine wave output		14.6		mA
$I_{CLKVDD}$			3.85		mA
Power-Down Mode	REF on, DACs sleep, CLK power down, external CLK and supplies on		4.73		mW
POWER CONSUMPTION					
$f_{DAC} = 180$ MSPS, Pure CW Sine Wave	AVDD = 1.8 V, DVDD = DLDO1 = DLDO2 = 1.8 V, CLKVDD = CLDO = 1.8 V 12.5 MHz (DDS only)		51.33		mW
$I_{AVDD}$			7.54		mA
$I_{DVDD}$			0.15		mA
$I_{DLDO2}$					
DDS Only	CW sine wave output		16.03		mA
RAM Only	50% duty cycle FS pulse output		10.07		mA
DDS and RAM Only	50% duty cycle sine wave output		13.26		mA
$I_{DLDO1}$			1.129		mA
$I_{CLKVDD}$			0.0096		mA
$I_{CLDO}$			3.65		mA
Power-Down Mode	REF on, DACs sleep, CLK power down, external CLK and supplies on		1.49		mW

## 絶対最大定格

表 9.

Parameter	Rating
AVDD1, AVDD2, DVDD to AGND, DGND, CLKGND	-0.3 V to +3.9 V
CLKVDD to AGND, DGND, CLKGND	-0.3 V to +3.9 V
CLDO, DLDO1, DLDO2 to AGND, DGND, CLKGND	-0.3 V to 2.2 V
AGND to DGND, CLKGND	-0.3 V to +0.3 V
DGND to AGND, CLKGND	-0.3 V to +0.3 V
CLKGND to AGND, DGND	-0.3 V to +0.3 V
$\overline{CS}$ , SDIO, SCLK, SDO/ SDI2/DOUT, RESET, TRIGGER to DGND	-0.3 V to DVDD + 0.3 V
CLKP, CLKN to CLKGND	-0.3 V to CLKVDD + 0.3 V
REFIO to AGND	-1.0 V to AVDD + 0.3 V
IOUTP, IOUTN to AGND	-0.3 V to DVDD + 0.3 V
FSADJ, CAL_SENSE to AGND	-0.3 V to AVDD + 0.3 V
Junction Temperature	125°C
Storage Temperature Range	-65°C to +150°C

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

## 熱抵抗

$\theta_{JA}$  はワーストケース条件で規定。すなわち表面実装パッケージの場合、デバイスを標準回路ボードにハンダ付けした状態で規定。 $\theta_{JC}$  は、パッケージ・ハンダ面(底部)で測定。

表 10.熱抵抗

Package Type	$\theta_{JA}$	$\theta_{JB}$	$\theta_{JC}$	Unit
32-Lead LFCSP with Exposed Paddle	30.18	6.59	3.84	°C/W

## ESD の注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。



## ピン配置およびピン機能説明

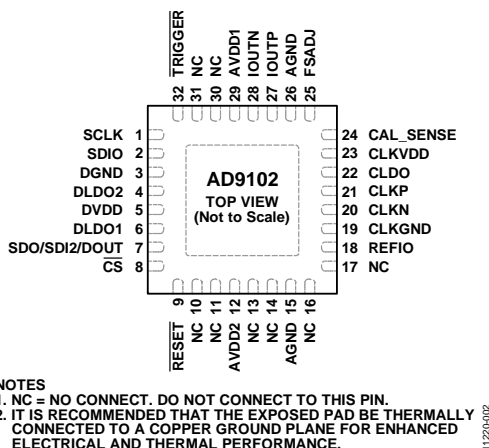


図 2. ピン配置

表 11. ピン機能の説明

ピン番号	記号	説明
1	SCLK	SPI クロック入力。
2	SDIO	SPI データ入力/出力。SPI ポートのプライマリ双方向データ・ライン。
3	DGND	デジタル・グラウンド。
4	DLDO2	1.8 V の内蔵デジタル LDO1 出力。内蔵デジタル LDO1 をイネーブ爾する場合、このピンは 0.1 $\mu$ F のコンデンサでバイパスしてください。
5	DVDD	3.3 V の外付けデジタル電源。DVDDは、AD9102デジタル・インターフェース (SPI インターフェース)のレベルを決定します。
6	DLDO1	1.8 V の内蔵デジタル LDO2 出力。内蔵デジタル LDO2 をイネーブ爾する場合、このピンは 0.1 $\mu$ F のコンデンサでバイパスしてください。
7	SDO/SDI2/DOUT	デジタル I/O ピン。 4 線式 SPI モード (SDO)では、このピンは SPI のデータ出力になります。 ダブル SPI モード (SDI2)では、このピンは SRAM の書込みに使われる SPI ポートの 2 つ目のデータ入力ラインになります。 データ出力モード (DOUT)では、このピンはプログラマブルなパルス出力になります。
8	$\overline{\text{CS}}$	SPI ポートのチップ・セレクト、アクティブ・ロー。
9	RESET	アクティブ・ローのリセット・ピン。各レジスタをデフォルト値にリセットします。
10	NC	未接続。このピンは接続しないでください。
11	NC	未接続。このピンは接続しないでください。
12	AVDD2	1.8 V~3.3 V の電源入力。
13	NC	未接続。このピンは接続しないでください。
14	NC	未接続。このピンは接続しないでください。
15	AGND	アナログ・グラウンド。
16	NC	未接続。このピンは接続しないでください。
17	NC	未接続。このピンは接続しないでください。
18	REFIO	DAC リファレンス電圧入力/出力。
19	CLKGND	クロック・グラウンド。
20	CLKN	クロック入力、負側。
21	CLKP	クロック入力、正側。
22	CLDO	クロック電源出力 (内蔵レギュレータ使用時)、クロック電源入力 (内蔵レギュレータをバイパス時)。
23	CLKVDD	クロック電源入力。
24	CAL_SENSE	$I_{\text{OUTFS}}$ 自動キャリブレーションの検出入力。
25	FSADJ	DAC の外部フルスケール電流出力調整、または $I_{\text{OUTFS}}$ 自動キャリブレーションのフルスケール電流出力調整リファレンス。
26	AGND	アナログ・グラウンド。
27	IOUTP	DAC 電流出力、正側。
28	IOUTN	DAC 電流出力、負側。

ピン番号	記号	説明
29	AVDD1	1.8 V~3.3 V の DAC 用電源入力。
30	NC	未接続。このピンは接続しないでください。
31	NC	未接続。このピンは接続しないでください。
32	$\overline{\text{TRIGGER}}$	パターン・トリガ入力。
	EPAD	エクスポーズド・パッド。電気および熱性能強化のために、エクスポーズド・パッドを銅グランド・プレーンへ熱的に接続することが推奨されます。

## 代表的な性能特性

AVDD = 3.3 V、DVDD = 3.3 V、CLKVDD = 3.3 V、内蔵 CLDO、DLDO1、DLDO2。

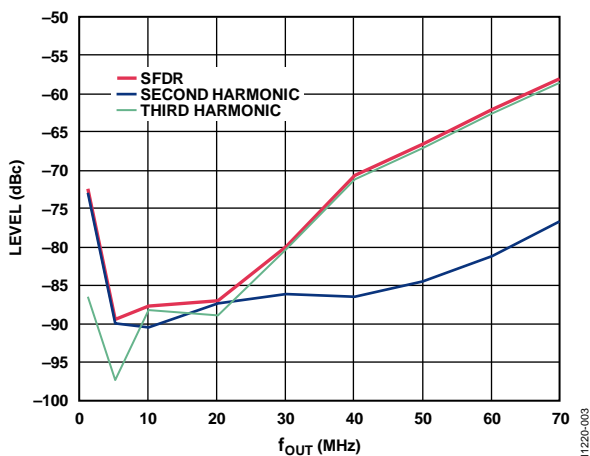


図 3.  $f_{OUT}$  対 SFDR、2 次高調波、3 次高調波、 $I_{OUTFS} = 8 \text{ mA}$

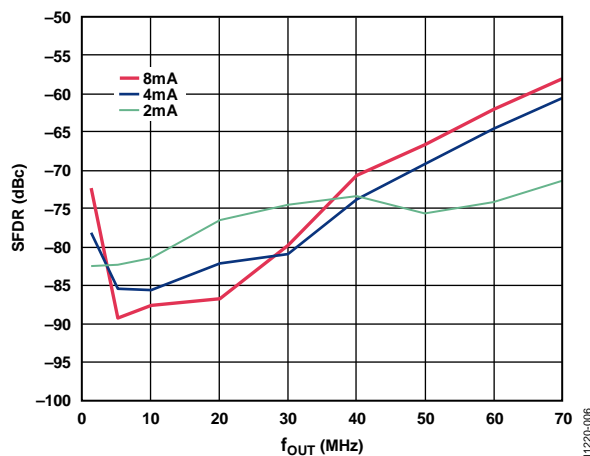


図 6. 様々な  $I_{OUTFS}$  値での  $f_{OUT}$  対 SFDR

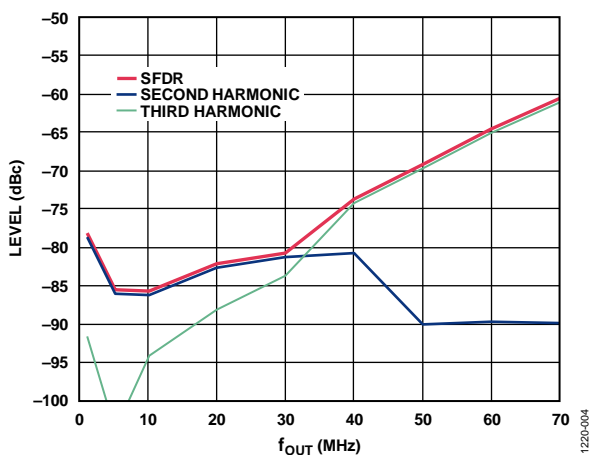


図 4.  $f_{OUT}$  対 SFDR、2 次高調波、3 次高調波、 $I_{OUTFS} = 4 \text{ mA}$

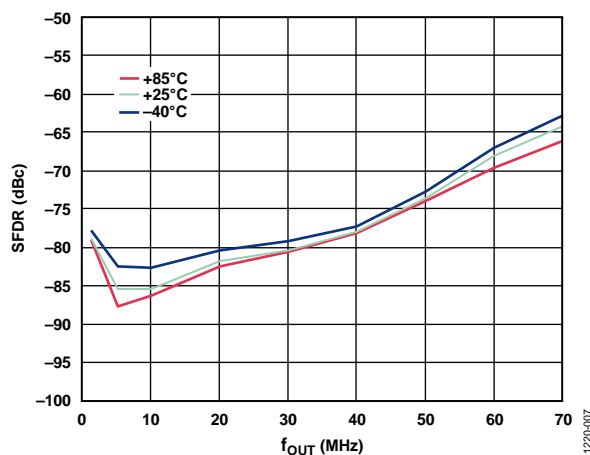


図 7. 様々な温度での  $f_{OUT}$  対 SFDR

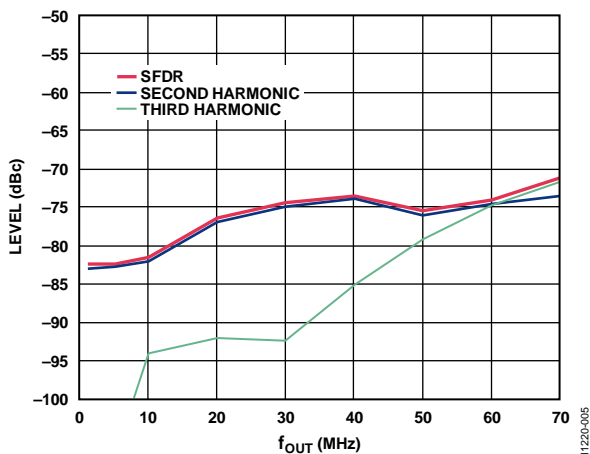


図 5.  $f_{OUT}$  対 SFDR、2 次高調波、3 次高調波、 $I_{OUTFS} = 2 \text{ mA}$

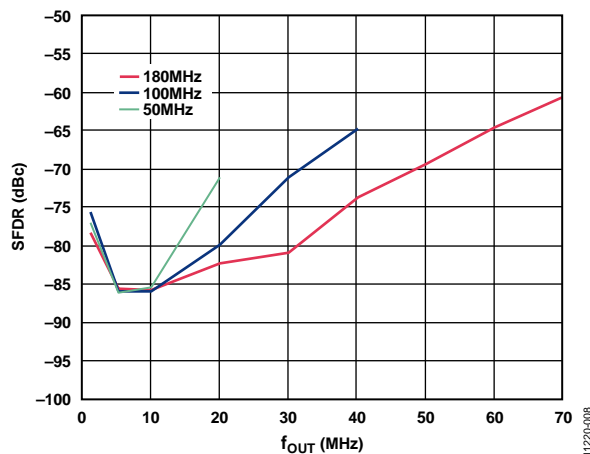


図 8. 様々な  $f_{DAC}$  値での  $f_{OUT}$  対 SFDR

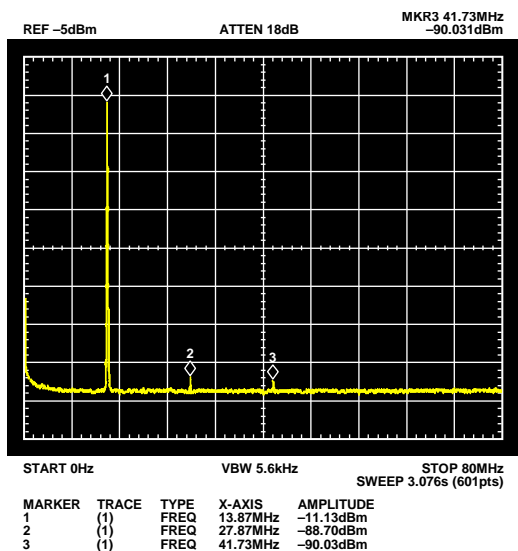


図 9. 出力スペクトル、 $f_{OUT} = 13.87$  MHz

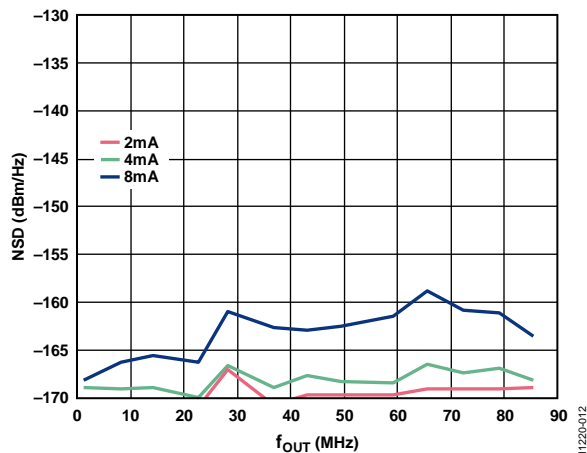


図 12. 様々な  $I_{OUTFS}$  値での  $f_{OUT}$  対 NSD

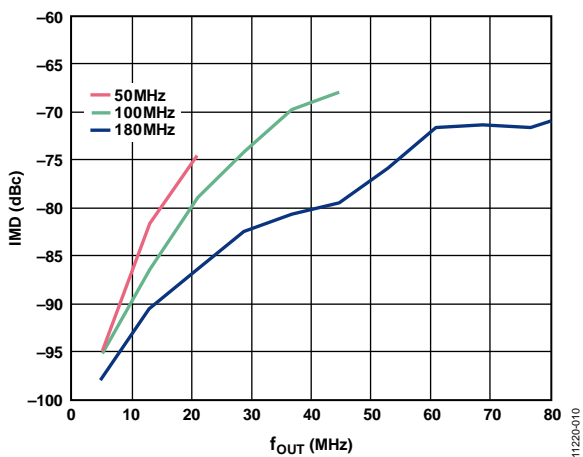


図 10. 様々な  $f_{DAC}$  値での  $f_{OUT}$  対 IMD

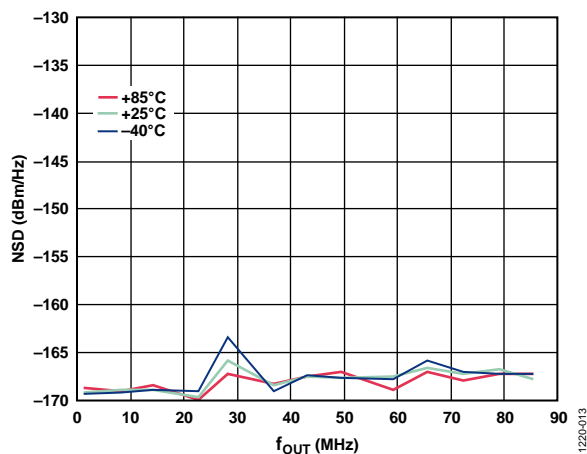


図 13. 様々な温度での  $f_{OUT}$  対 NSD

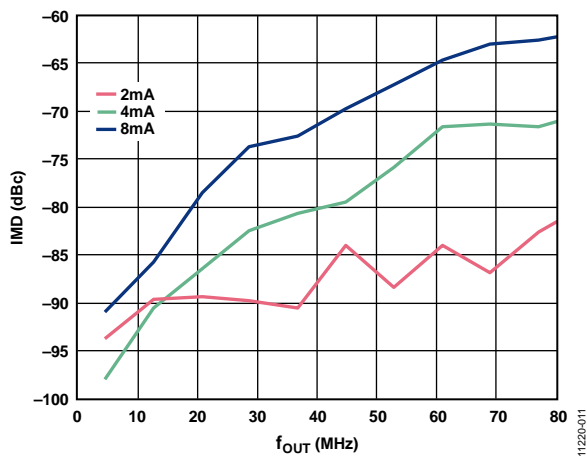


図 11. 様々な  $I_{OUTFS}$  値での  $f_{OUT}$  対 IMD

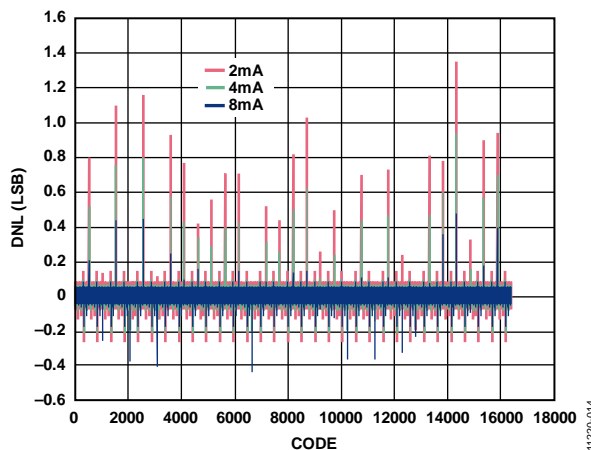


図 14. 様々な  $I_{OUTFS}$  値での DNL

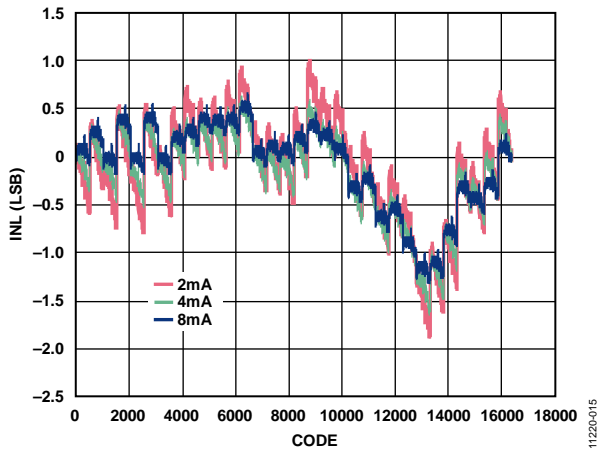


図 15.様々な  $I_{OUTFS}$  値での INL

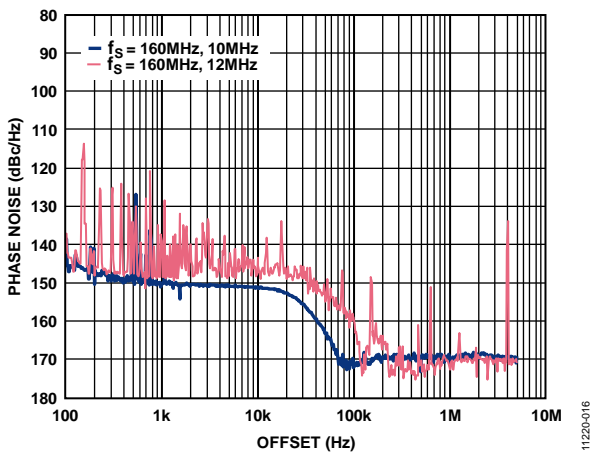


図 16.オフセット対位相ノイズ

AVDD = 1.8 V, DVDD = DLDO1 = DLDO2 = 1.8 V, CLKVDD = CLDO = 1.8 V

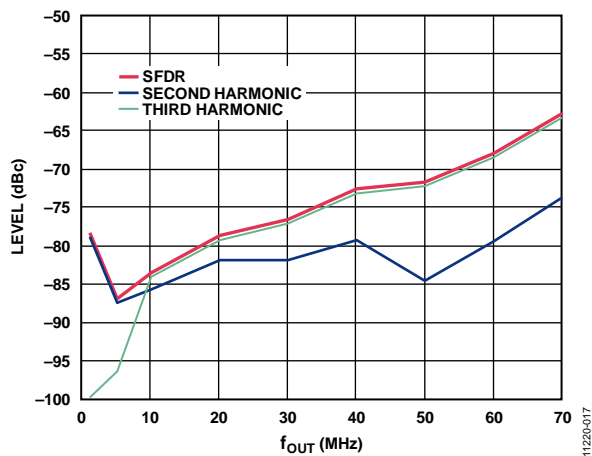


図 17.  $f_{OUT}$  対 SFDR、2 次高調波、3 次高調波、 $I_{OUTFS} = 4 \text{ mA}$

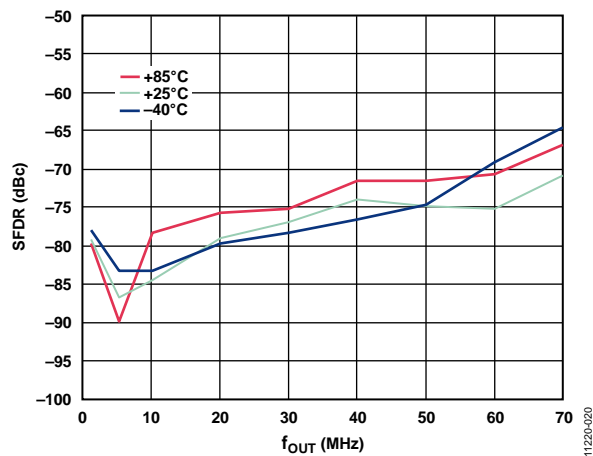


図 20. 様々な温度での  $f_{OUT}$  対 SFDR

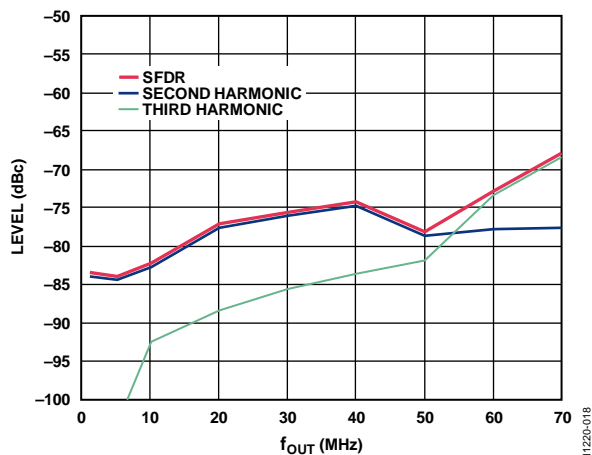


図 18.  $f_{OUT}$  対 SFDR、2 次高調波、3 次高調波、 $I_{OUTFS} = 2 \text{ mA}$

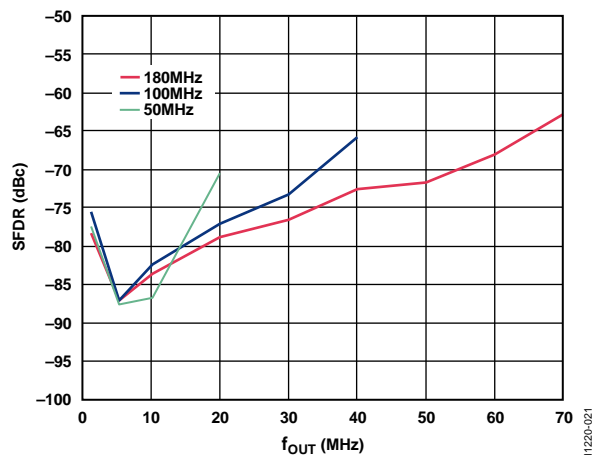


図 21. 様々な  $f_{DAC}$  値での  $f_{OUT}$  対 SFDR

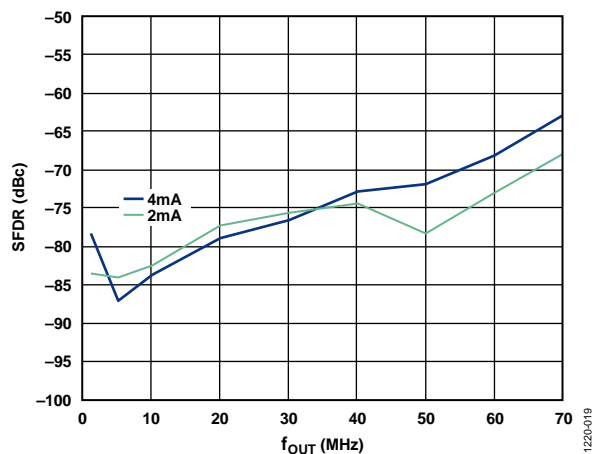


図 19. 様々な  $I_{OUTFS}$  値での  $f_{OUT}$  対 SFDR

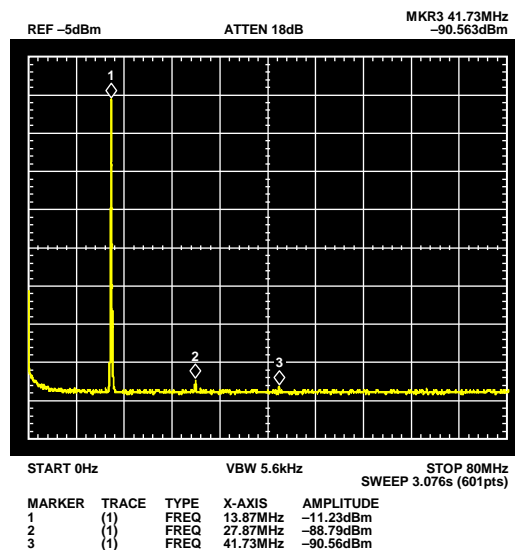


図 22. 出力スペクトル、 $f_{OUT} = 13.87 \text{ MHz}$

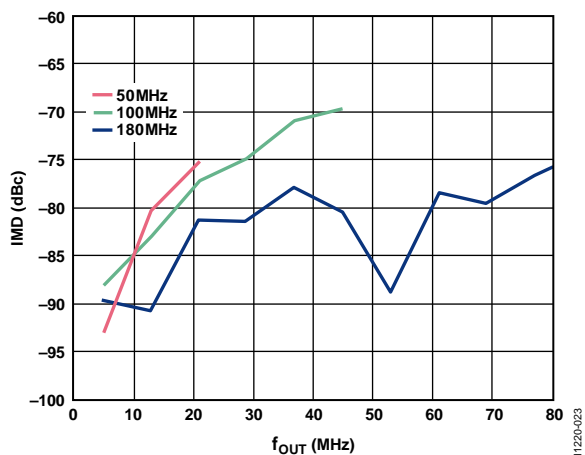


図 23.様々な  $f_{OUT}$  値での  $f_{OUT}$  対 IMD

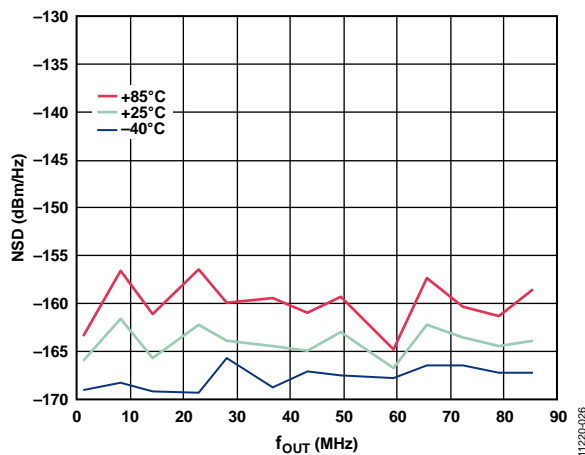


図 26.様々な温度での  $f_{OUT}$  対 NSD

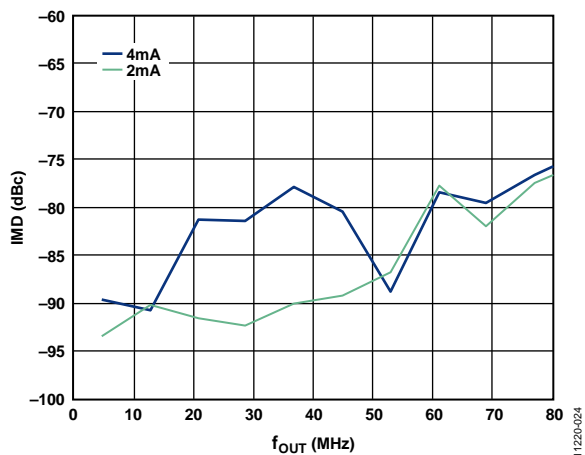


図 24.様々な  $I_{OUTFS}$  値での  $f_{OUT}$  対 IMD

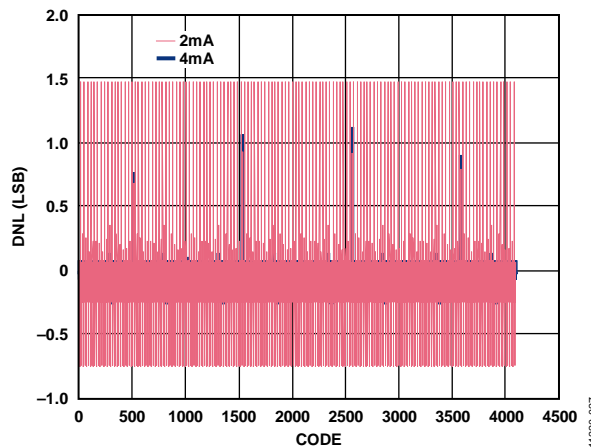


図 27.様々な  $I_{OUTFS}$  値での DNL

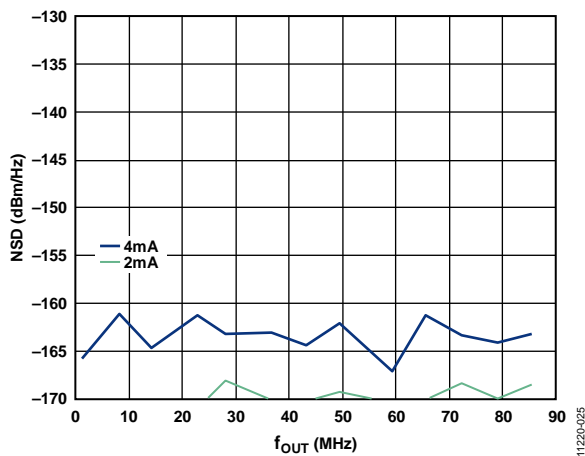


図 25.様々な  $I_{OUTFS}$  値での  $f_{OUT}$  対 NSD

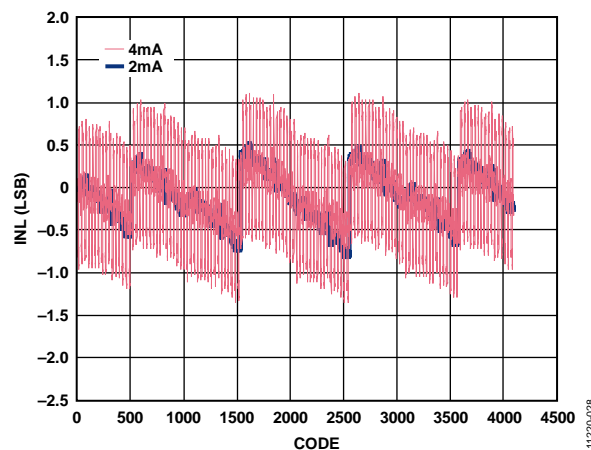


図 28.様々な  $I_{OUTFS}$  値での INL

## 用語

### 直線性誤差(積分非直線性 INL)

INL は、ゼロとフルスケールを結ぶ直線により決定される理論出力と実際のアナログ出力との最大誤差として定義されます。

### 微分非直線性(DNL)

DNL は、デジタル入力コードでの 1 LSB の変化に対応するアナログ値の変化の測定値で、フルスケールで正規化したものです。

### 単調性

デジタル入力が増加したとき、出力が増加するか不変である場合に、D/A コンバータは単調であるといえます。

### オフセット誤差

出力電流と理論ゼロとの差をオフセット誤差と呼びます。IOUTA に対しては、全入力ビットが 0 の場合、0 mA 出力が期待されます。全入力ビットが 1 の場合、IOUTN=0 mA の出力が期待されます。

### ゲイン誤差

理論出力範囲と実際の出力範囲の差をいいます。実際の出力スパンは、全入力ビットが 1 に設定されたときの出力から全入力ビットが 0 に設定されたときの出力を減算したときの差として定義されます。理想ゲインは  $V_{REF}$  の測定値を使って計算されません。したがって、ゲイン誤差にはリファレンスの影響は含まれません。

### 出力コンプライアンス電圧

出力コンプライアンス電圧は、電流出力型 DAC の出力における許容電圧範囲です。最大コンプライアンス値を超えて動作させると、出力段の飽和またはブレークダウンにより非直線性性能が発生することがあります。

### 温度ドリフト

温度ドリフトは、周囲温度(25°C)時の値から  $T_{MIN}$  または  $T_{MAX}$  時の値までの最大変化として規定されます。オフセットとゲイン・ドリフトの場合、ドリフトは 1°C 当たりのフルスケール範囲(FSR)に対する ppm 値で表されます。リファレンスドリフトの場合は、ドリフトは 1°C 当たりの ppm 値で表されます。

### 電源除去比

電源が公称値から最小規定電圧値または最大規定電圧値へ変化したときのフルスケール出力の最大変化を意味します。

### セトリング・タイム

出力が最終値を中心とする規定誤差範囲内に到達するまでに要する時間で、出力変化の開始から測定します。

### グリッチ・インパルス

望ましくない出力過渡電圧を発生させる、DAC 内の非対称なスイッチング時間をいい、1 個のグリッチ・インパルスでその大きさを表します。グリッチ内の正味面積を表す単位 pV-s を使って規定します。

### スプリアス・フリー・ダイナミックレンジ(SFDR)

出力信号の rms 振幅値と規定帯域内のピーク・スプリアス信号との差をいい、dB 値で表します。

### ノイズ・スペクトル密度(NSD)

ノイズ・スペクトル密度は、DAC の出力トーン発生中における、1 Hz 帯域幅に正規化した平均ノイズ電力です。



## 動作原理

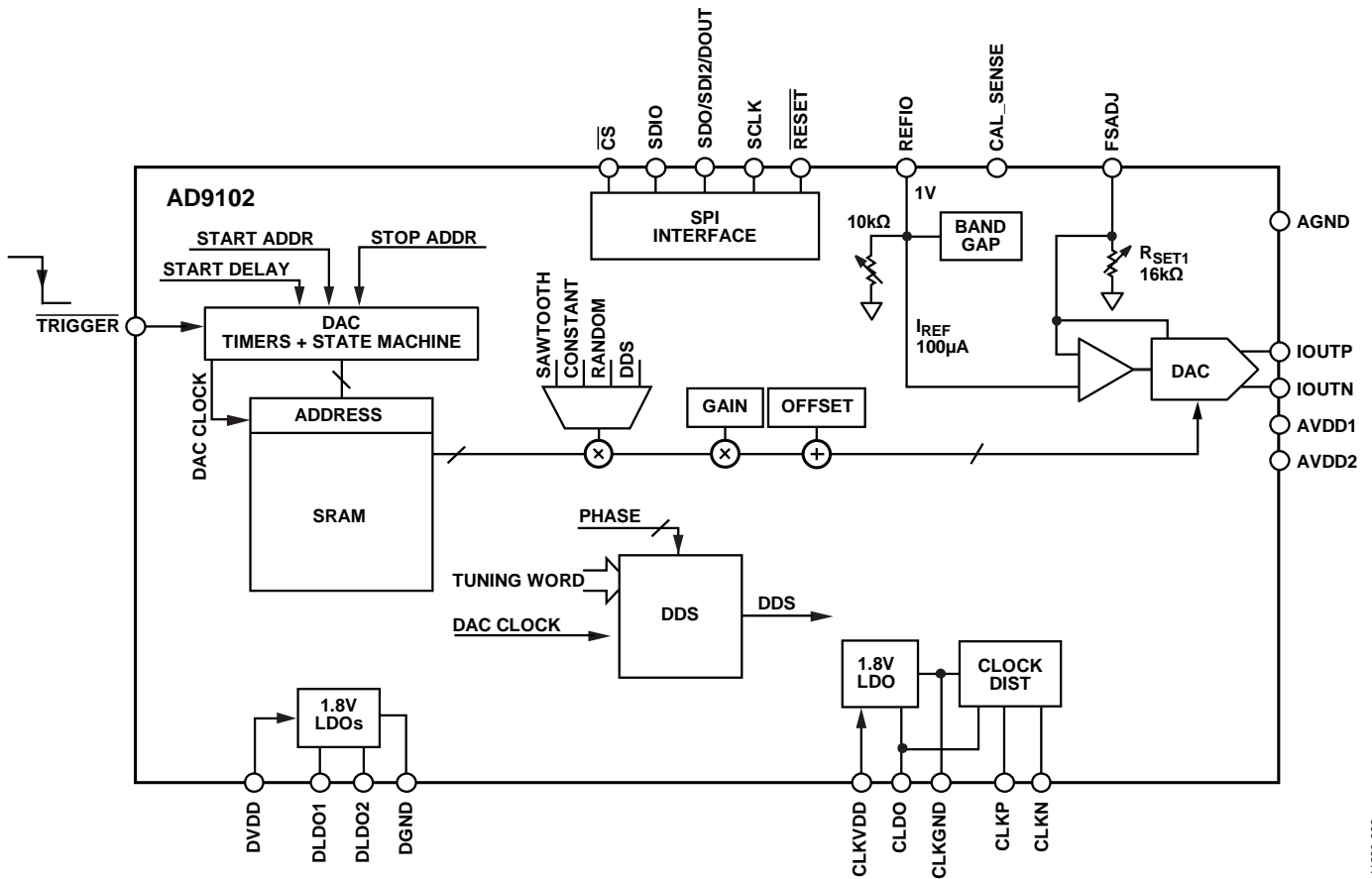


図 29. AD9102 ブロック図

図 29 に、AD9102 のブロック図を示します。AD9102 は 14 ビット電流出力 DAC を 1 個内蔵しています。

バンド・ギャップ・リファレンス電圧を内蔵しています。オプションとして、外付けリファレンス電圧を使用することができます。ゲインとも呼ばれるフルスケール DAC 出力電流は、電流  $I_{REF}$  から制御されます。 $I_{REF}$  は、 $I_{REF}$  抵抗を流れる電流です。 $I_{REF}$  抵抗は、ユーザーの判断で内蔵抵抗または外付け抵抗を使用することができます。内蔵  $R_{SET}$  抵抗を使用すると、製品に内蔵されている自動ゲイン・キャリブレーション機能を使用することにより、DAC ゲイン精度を向上させることができます。自動キャリブレーションは、内蔵リファレンス電圧または外付け REFIO 電圧と組み合わせて使用することができます。自動ゲイン・キャリブレーションの手順をこのセクションで説明します。

AD9102 の電源レールは、アナログ回路用に AVDD、クロック入力レシーバ用に CLKVDD/CLKLDO、デジタル I/O と内部デジタル・データ・バス用に DVDD/DLDO1/DLDO2 と、それぞれなっています。AVDD、DVDD、CLKVDD の範囲は公称 1.8 V~3.3 V です。DLDO1、DLDO2、CLDO は 1.8 V で動作します。DVDD = 1.8 V の場合、内蔵 LDO をディスエーブルして DLDO1 と DLDO2 は DVDD に接続する必要があります。この場合、これら 3 個の電源は外部から供給されます。CLKVDD = 1.8 V の場合は、内蔵 LDO をイネーブルして CLKVDD を CLDO に接続します。

14 ビット DAC に入力されるデジタル信号は、内蔵デジタル波形発生リソースから発生されます。14 ビットのサンプルが、デジタル・データ・バスから CLKP/CLKN サンプル・レートで DAC へ入力されます。DAC のデータ・バスには、ゲインとオフセットの補正、デジタル波形ソース選択マルチプレクサが含まれています。波形ソースとしては、SRAM、ダイレクト・デジタル・シンセサイザ (DDS)、SRAM データによる DDS 出力振幅変調、鋸波ジェネレータ、DC 固定、擬似ランダム・シーケンス・ジェネレータがあります。ソース選択マルチプレクサから出力される波形は、プログラマブルなパターン特性を持っています。波形としては、連続、連続パルス化 (パターン周期固定で各パターン周期内で開始遅延付き)、または有限パルス化 (所定セット数のパターン周期を出力して、パターンが停止) を設定することができます。

パルス化波形 (有限または連続) には、パターン周期と開始遅延が設定されます。波形は、パターン周期、開始遅延、それに続く各パルス周期で表されます。

SPI ポートは、データの SRAM への書込みとデバイス内部のすべてのコントロール・レジスタへの書込みを可能にします。

SPI ポート

AD9102 は柔軟な同期シリアル通信 (SPI) ポートを内蔵しているため、ASIC、FPGA、業界標準のマイクロコントローラとの容易なインターフェースが可能です。このインターフェースを使うと、AD9102 を設定するすべてのレジスタと内蔵 SRAM に対してリード/ライト・アクセスが可能になります。データ・レートは最大 SCLK クロック速度まで可能です (表 3 と表 4 参照)。

SPI インターフェースは、標準同期シリアル通信ポートとして動作します。CS は、アクティブ・ローのチップ・セレクトです。CS がロー・レベルになると、SPI のアドレスとデータの転送が開始されます。SPI マスターから到着する SDIO 上の先頭のビットはリード/ライト・インジケータです (ハイ・レベルが読み出し、ロー・レベルが書き込み)。次の 15 ビットは初期レジスタ・アドレスです。CS が先頭データ・ワードを超えてロー・レベルを維持して、連続アドレスのセットに対する書き込みまたは読み出しを可能にすると、SPI ポートはレジスタ・アドレスを自動的にインクリメントします。

表 12. コマンド・ワード

MSB					LSB		
DB15	DB14	DB13	DB12	...	DB2	DB1	DB0
R/W	A14	A13	A12	...	A2	A1	A0

このコマンド・バイトの先頭ビットがロー・レベルの場合 (R/W ビット = 0)、SPI コマンドは書き込み動作になります。この場合、SDIO は入力のままになります (図 30 参照)。

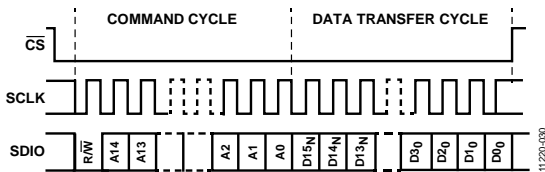


図 30. シリアル・レジスタ・インターフェースのタイミング—MSB ファースト書き込み、3 線式 SPI

このコマンド・バイトの先頭ビットがハイ・レベルの場合 (R/W ビット = 1)、SPI コマンドは読み出し動作になります。この場合、データは SPI ポートから出力されます (図 31 と図 33 参照)。CS ピンがハイ・レベルになると、SPI 通信は終了します。

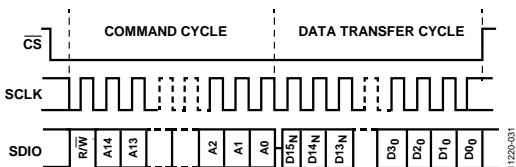


図 31. シリアル・レジスタ・インターフェースのタイミング—MSB ファースト読み出し、3 線式 SPI

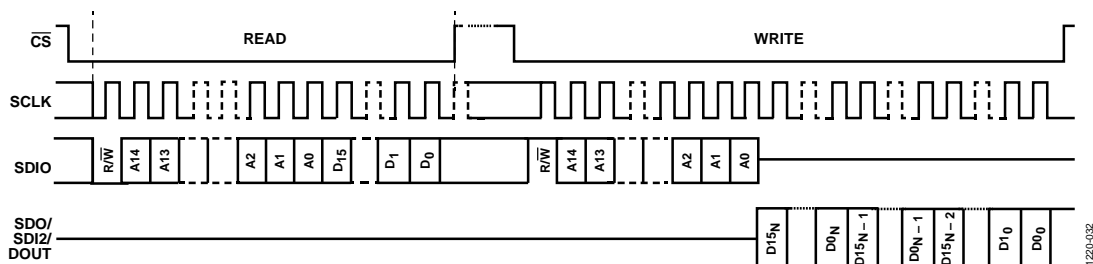


図 33. シリアル・レジスタ・インターフェースのタイミング—MSB ファースト読み出し、4 線式 SPI

内蔵 SRAM への書き込み

AD9102 は、4096 × 12 の SRAM を内蔵しています。SRAM アドレス空間は、AD9102 SPI アドレス・マップの 0x6000 ~ 0x6FFF を占めています。

SRAM 書き込み用のダブル SPI

図 32 に示す SPI アクセス・モードを使うと、全 SRAM へのデータ書き込み時間を半分にすることができます。SDO/SDI2/DOUT ラインは 2 つ目のシリアル・データ入力ラインになり、内蔵 SRAM の更新レートを倍にすることができます。SDO/SDI2/DOUT は、このモードでは書き込み専用になります。SRAM 全体は、 $(2 + 2 \times 4096) \times 8 / (2 \times f_{SCLK}) \text{ sec}$  で書き込むことができます。

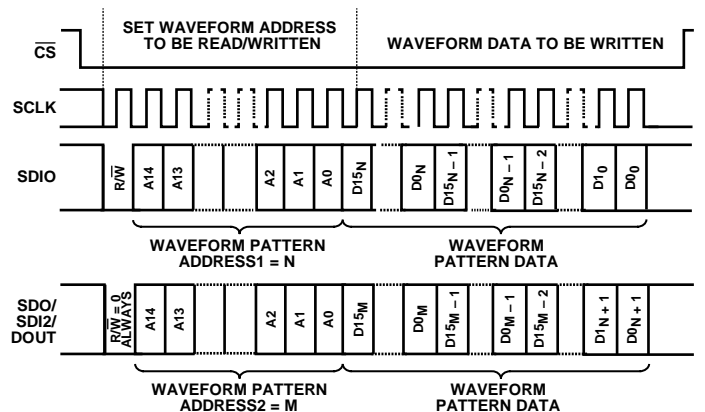


図 32. SRAM データのダブル SPI 書き込み

設定レジスタの更新手順

SPI からアクセスできる大部分のレジスタはダブル・バッファされています。アクティブ・レジスタ・セットは、パターン発生時の AD9102 の動作を制御します。シャドウ・レジスタのセットは、更新されたレジスタ値を格納します。レジスタの更新は何時でも可能です。設定の更新が完了したとき、RAMUPDATE レジスタの UPDATE ビットに 1 を書き込みます。UPDATE ビットは、シャドウ・レジスタからアクティブ・レジスタへ転送するようにレジスタ・セットを準備させます。AD9102 は、パターン・ジェネレータがオフになる次の機会にこの転送を自動的に実行します。この手順は 4k × 14 SRAM には適用されません。SRAM 更新の詳細手順については、SRAM のセクションを参照してください。

### DAC の伝達関数

AD9102 DAC は、差動電流 IOUTP/IOUTN を出力します。

DAC 出力電流式は次のようになります。

$$I_{OUTP} = I_{OUTFS} \times DAC\ INPUT\ CODE / 2^{14} \quad (1)$$

$$I_{OUTN} = I_{OUTFS} \times ((2^{14} - 1) - DAC\ INPUT\ CODE) / 2^{14} \quad (2)$$

ここで、DAC INPUT CODE = 0 ~ 2<sup>14</sup> - 1。フルスケール電流すなわち DAC ゲイン IOUTFS は IREF の 32 倍になります。

$$I_{OUTFS} = 32 \times I_{REF} \quad (3)$$

ここで、

$$I_{REF} = V_{REFIO} / R_{SET}$$

IREF は、IREF 抵抗を流れる電流。

IREF 抵抗は、ユーザーの判断で内蔵抵抗または外付け抵抗を使用することができます。内蔵 RSET 抵抗を使用すると、製品に内蔵されている自動ゲイン・キャリブレーション機能を使うことにより、DAC ゲイン精度を向上させることができます。

### アナログ電流出力

DAC 出力の最適な直線性とノイズ性能は、アンプまたはトランスに差動で接続したときに実現されます。これらの構成では、DAC 出力で同相モード信号が除去されます。

表 1 と表 2 性能仕様を満たすためには、これらの表の出力コンプライアンス電圧仕様に従う必要があります。

### DAC ゲイン(IOUTFS)の設定

式 3 に示すように、DAC ゲイン (IOUTFS) は REFIO 端子でのリファレンス電圧と RSET の関数です。

### リファレンス電圧

AD9102 は、1.0 V 公称バンド・ギャップ・リファレンス電圧を内蔵しています。内蔵リファレンス電圧を使うことができますが、さらに正確な外付けリファレンス電圧で置き換えることもできます。外付けリファレンス電圧は、さらに厳しいリファレンス電圧許容誤差および/または内蔵バンド・ギャップより小さい温度ドリフトを提供することができます。

デフォルトでは、内蔵リファレンスがパワーアップし使用可能になります。内蔵リファレンスを使用する場合、0.1 μF のコンデンサを使って REFIO 端子を AGND へデカップリングする必要があります(図 34 参照)。

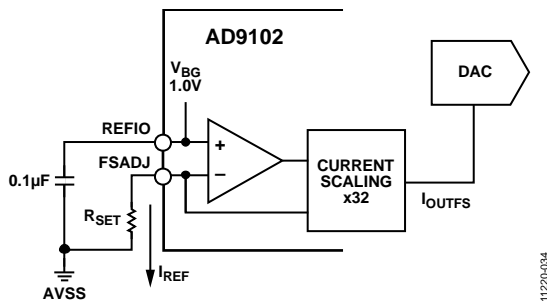


図 34. 外付け RSET 抵抗を接続した内蔵リファレンス電圧

表 13 に、リファレンス電圧の接続と設定をまとめます。

表 13. リファレンス電圧の動作

Reference Mode	REFIO Pin
Internal	Connect 0.1μF capacitor
External	Connect off-chip reference

外付けリファレンス電圧を使うときは、外付けリファレンス電圧を REFIO ピンへ接続することが推奨されます。

### 内蔵 VREFIO の設定

内蔵 REFIO 電圧レベルは設定可能です。

内部リファレンス電圧を使用する場合は、レジスタ 0x03 の下位 6 ビットの BGDR フィールドで VREFIO レベルを調整します。REFIO の公称バンド・ギャップ電圧に対して最大 20% の増減を行います。FSADJ 抵抗両端の電圧が、この変化に追従します。その結果、IREF は同じ大きさだけ変化します。図 35 に内蔵リファレンス電圧が 1.04 V のデフォルト電圧 (BGDR = 0x00) のときの BGDR コード対 VREFIO を示します。

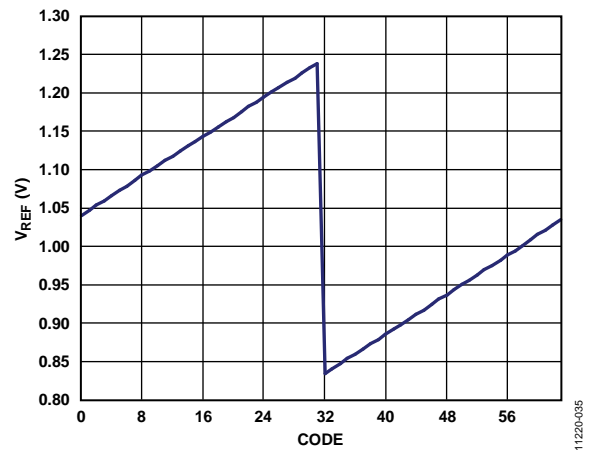


図 35. BGDR 対 VREFIO 電圧 (typ)

### RSET 抵抗

式 3 の「ここで」に示す RSET は、内蔵抵抗または FSADJ 端子に接続したユーザー選択のボード・レベル抵抗とすることができます。

内蔵 RSET 抵抗を使用するときは、FSADJ レジスタのビット 15 にロジック 1 を設定します。FSADJ レジスタのビット [4:0] は内蔵 RSET の値を手動で設定するときに使います。

### IOUTFS の自動キャリブレーション

多くのアプリケーションでは厳しい DAC ゲイン制御が必要です。AD9102 は内蔵 RSET 抵抗とのみ組み合わせる IOUTFS 自動キャリブレーション手順を提供します。リファレンス電圧 VREFIO としては、内蔵リファレンスまたは外付けリファレンスが使用可能です。自動キャリブレーション手順は、内蔵 RSET 値と電流 IREF を微調整します。

自動キャリブレーションを使うときは、次のボード・レベルの接続が必要です。

1. FSADJ ピンと CAL\_SENSE ピンを接続します。
2. CAL\_SENSE ピンと AGND の間に抵抗を接続します。次式を使ってこの抵抗値を計算します。

$$R_{CAL\_SENSE} = 32 \times V_{REFIO} / I_{OUTFS}$$

ここで、 $I_{OUTFS}$  はターゲット・フルスケール電流です。

自動キャリブレーションでは内部クロックを使います。このキャリブレーション・クロックは、レジスタ 0x0D の CAL\_CLK\_DIV ビットで選択される分周比で分周した DAC クロックに一致します。各キャリブレーション・サイクルは CAL\_CLK\_DIV[2:0] の値に応じて、4~512 DAC クロック・サイクルになります。キャリブレーション・クロック周波数は 500 kHz より小さい必要があります。

自動キャリブレーションを実行するときは、次のステップに従います。

1. レジスタ 0x008[7:0] とレジスタ 0x0D[5:4] のキャリブレーション範囲に最小値を設定して最適キャリブレーションを可能にします。
2. レジスタ 0x0D でキャリブレーション・クロック・ビット CAL\_CLK\_EN をイネーブルします。
3. レジスタ 0x0D の CAL\_CLK\_DIV[2:0] ビットを設定して、キャリブレーション・クロックの分周比を設定します。デフォルトは 512 です。
4. レジスタ 0x0D の CAL\_MODE\_EN ビットにロジック 1 を設定します。
5. レジスタ 0x0E の START\_CAL ビットにロジック 1 を設定します。これにより、コンパレータ、 $R_{SET}$ 、ゲインのキャリブレーションが開始されます。
6. レジスタ 0x0D の CAL\_MODE フラグがデバイスのキャリブレーション中、ロジック 1 になります。レジスタ 0x0E の CAL\_FIN フラグはキャリブレーションが完了すると、ロジック 1 になります。
7. レジスタ 0x0E の START\_CAL ビットにロジック 0 を設定します。
8. キャリブレーション後、レジスタ 0x0D のオーバーフロー・フラグとアンダーフロー・フラグ (ビット [14:8]) がセットされていないことを確認します。これらがセットされている場合、対応するキャリブレーション範囲を次に大きな範囲へ変更して、ステップ 5 を再度開始します。
9. セットされているフラグがない場合、DACRSET レジスタと DACAGAIN レジスタのそれぞれ DAC\_RSET\_CAL 値と DAC\_GAIN\_CAL 値を讀出して、これらをレジスタ・フィールドの対応する DAC\_RSET と DAC\_GAIN へ書込みます。
10. レジスタ 0x0D の CAL\_MODE\_EN ビットとキャリブレーション・クロック・ビット CAL\_CLK\_EN をロジック 0 にリセットして、キャリブレーション・クロックをディセーブルします。
11. レジスタ 0x0D の CAL\_MODE\_EN ビットにロジック 0 を設定します。これにより、 $R_{SET}$  およびゲイン制御マルチプレクサが通常のレジスタへ切り替わります。
12. レジスタ 0x0D のキャリブレーション・クロック・ビット CAL\_CLK\_EN をディセーブルします。

キャリブレーションをリセットするときは、レジスタ 0x0D の CAL\_RESET ビットにパルスを入力するか (ロジック 1 からロジック 0 へ変化)、RESET ピンにパルスを入力するか、または SPICONFIG レジスタの RESET ビットにパルスを入力します。

## クロック入力

最適 DAC 性能を得るためには、AD9102 のクロック入力信号対 (CLKP/CLKN) のジッタは非常に小さく、かつ高速な立上がり時間を持つ差動信号である必要があります。クロック・レシーバは固有の同相モード電圧を発生するため、これらの 2 つの入力は AC 結合する必要があります。

図 36 に、AD9102 との組み合わせで動作するアナログ・デバイゼズの多くの LVDS クロック・ドライバに対する推奨インターフェースを示します。100 Ω の終端抵抗と 2 個の 0.1 μF 結合コンデンサを使用します。図 38 はアナログ・デバイゼズの差動 PECL ドライバに対するインターフェースです。図 39 に CLKP/CLKN を駆動する balan を使用したシングルエンド/差動コンバータを示します。

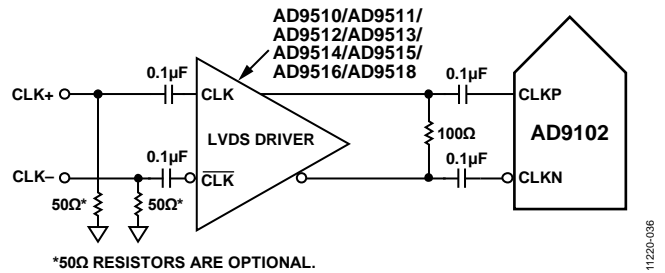


図 36. 差動 LVDS クロック入力

アナログ出力信号が低い周波数にあるアプリケーションでは、シングルエンド CMOS 信号で AD9102 クロック入力を駆動することは可能です。図 37 にこのようなインターフェースを示します。CLKP は CMOS ゲートから直接駆動され、CLKN ピンは 0.1 μF のコンデンサと 39 kΩ の抵抗の並列接続でグラウンドへバイパスされます。オプションの抵抗は直列終端されています。

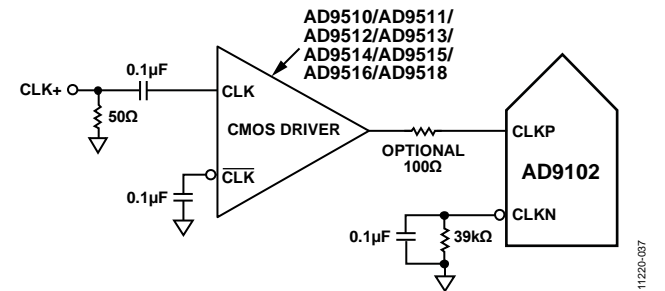


図 37. 1.8 V のシングルエンド CMOS サンプル・クロック

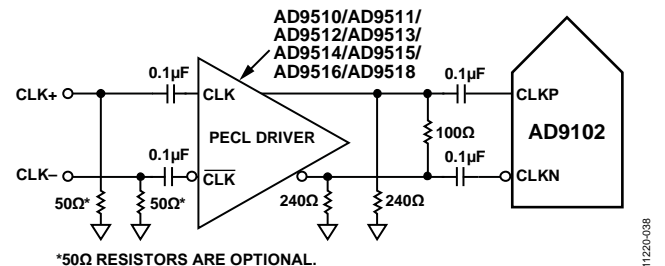


図 38. 差動 PECL サンプル・クロック

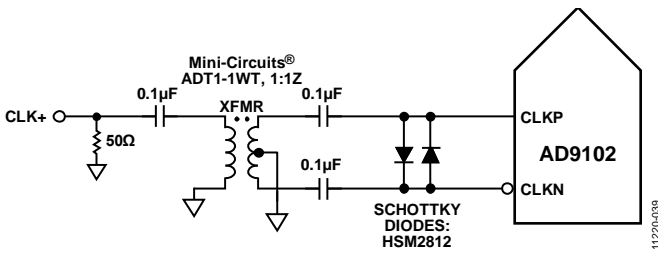


図 39. トランス結合のクロック

### DAC 出力クロックのエッジ

CLOCKCONFIG レジスタ (レジスタ 0x02) の DAC\_INV\_CLK ビットを設定することにより、CLKP/CLKN クロック入力の立上がりまたは立下がりエッジでサンプルを出力するように DAC を設定することができます。この機能により DAC 出力タイミング分解能は  $1/(2 \times f_{CLKP/CLKN})$  に設定されます。

### 信号パターンの生成

AD9102 は、プログラマブルなパターン・ジェネレータの制御のもとで 3 つのタイプの信号パターンを生成することができます。

- 連続波形
- 無限に繰り返す周期パルス列波形
- 有限回繰り返す周期パルス列波形

### Run ビット

PAT\_STATUS レジスタ (レジスタ 0x1E) の RUN ビットに 1 を設定すると、AD9102 はパターン発生用に設定されます。このビットをクリアすると、パターン・ジェネレータがシャットダウンされます (図 43 参照)。

### TRIGGER ピン

TRIGGER ピンの立下がりエッジで、パターンの発生が開始されます。RUN が 1 に設定されると、TRIGGER ピンの立下がりエッジでパターンの発生が開始されます。図 41 に示すように、TRIGGER ピンの立下がりエッジの後、パターン・ジェネレータ状態は所定数の CLKP/CLKN クロック・サイクル間パターン・オンになります。この遅延は、PATTERN\_DELAY ビット・フィールドに設定されます。

TRIGGER ピンの立上がりエッジは、パターン発生停止の要求です (図 42 参照)。

### PATTERN ビット (読出し専用)

PAT\_STATUS レジスタの読出し専用 PATTERN ビットが 1 に設定されると、パターン・ジェネレータがパターン・オン状態であることを表示します。0 に設定されると、パターン・ジェネレータがパターン・オフ状態であることを表示します。

### パターン・タイプ

- パターン・ジェネレータのパターン・オン状態の継続時間の間、DAC から連続波形が出力されます。連続波形はパターン周期を無視します。
- 無限に繰り返す周期パルス列が、各パターン周期の間に 1 回出力される波形です。パターン・ジェネレータがパターン・オン状態にある限り、パターン周期は次々に発生します。

- 有限回繰り返す周期パルス列は無限に繰り返す場合と似ていますが、有限数の連続パターン周期の間だけ波形が出力される点が異なります。

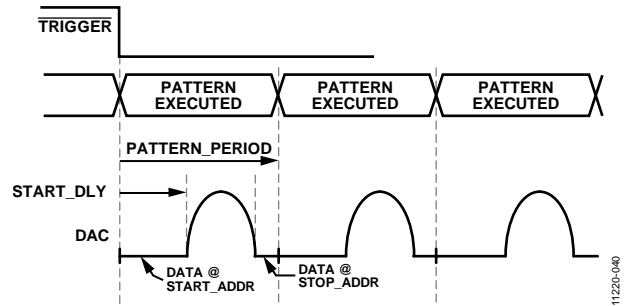


図 40. すべての DAC の周期パルス列出力

### パターン・ジェネレータの設定

図 40 に、DAC 出力で見た周期パルス列波形を示します。波形は、各パターン周期で発生されます。開始遅延 (START\_DLY) は、各パターン周期の開始と波形の開始との間の遅延です。DAC 波形は SRAM に格納されているデジタル信号で、これに DAC デジタル・ゲイン・ファクタが乗算されています。SRAM データは、DAC アドレス・カウンタを使って読出されます。

### パターン周期の設定

2 つのレジスタ・ビット・フィールドを使ってパターン周期を設定します。PAT\_TIMEBASE レジスタの PAT\_PERIOD\_BASE フィールドは、PATTERN\_PERIOD LSB あたりの CLKP/CLKN クロック数を設定します。PATTERN\_PERIOD は、PAT\_PERIOD レジスタに設定されます。使用可能な最長パターン周期は  $65,535 \times 16/f_{CLKP/N}$  です。

### 波形開始遅延ベースの設定

波形開始遅延ベースは、PAT\_TIMEBASE レジスタ (レジスタ 0x28[3:0]) の START\_DELAY\_BASE ビットに設定されます。START\_DELAY レジスタ (レジスタ 0x5C) については、DAC 入力データ・パスのセクションを参照してください。開始遅延ベースは、START\_DELAY LSB あたりの CLKP/CLKN クロック・サイクル数を指定します。

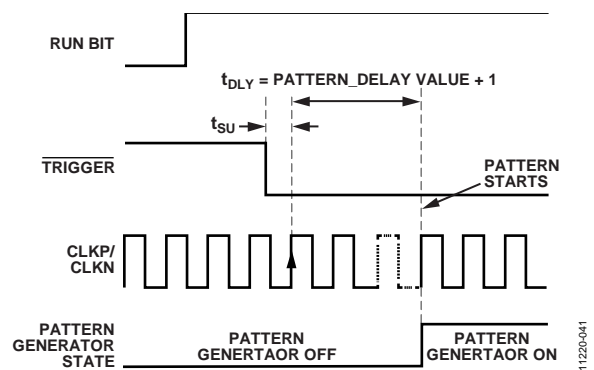


図 41. TRIGGER によるパターンの開始、パターン遅延あり



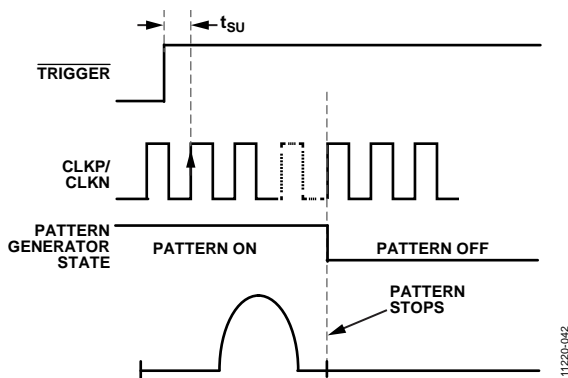


図 42.トリガ立上がりエッジによるパターンの停止

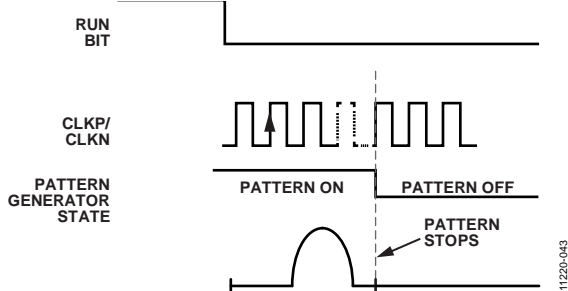


図 43.RUN ビット駆動によるパターン停止

## DAC 入力データ・パス

DAC データ・パスのタイミングは、パターン・ジェネレータから制御されます。DAC データ・パスには、波形セクタ、波形繰り返しコントローラ、RAM 出力および DDS 出力乗算器 (RAM 出力により DDS 出力を振幅変調可能)、DDS サイクル・カウンタ、DAC デジタル・ゲイン乗算器、DAC デジタル・オフセット加算器が含まれています。

### DAC デジタル・ゲイン乗算器

サンプルが DAC へ入力される前に、12 ビット・ゲイン・ファクタ ( $\pm 2.0$  の範囲) が乗算されます。これらのゲイン値は、DAC\_DGAIN レジスタ (レジスタ 0x35) に設定されます。

### DAC デジタル・オフセット加算器

DAC 入力サンプルには、12 ビットの DC オフセット値も加算されます。DC オフセット値は、DACDOF レジスタ (レジスタ 0x25) に設定されます。

### DAC 波形セクタ

波形セクタ入力は次の通りです。

- 鋸波ジェネレータ出力
- 擬似ランダム・シーケンス・ジェネレータ出力
- DC 一定値ジェネレータ出力
- パルス化、位相シフト済 DDS 正弦波出力
- RAM 出力
- RAM 出力で振幅変調した、パルス化、位相シフト済 DDS 正弦波出力

DAC に対する波形選択は、WAV\_CONFIG レジスタ (レジスタ 0x27) の設定により行われます。

### パターン周期繰り返しコントローラ

PAT\_TYPE レジスタ (レジスタ 0x1F[0]) の PATTERN\_RPT ビットは、パターン出力で自動繰り返しを行うのか (無限に繰り返す周期パルス列)、またはレジスタ 0x2B の DAC\_REPEAT\_CYCLE ビットで指定される連続回数の繰り返しを行うのかを制御します。後者は、有限回繰り返す周期パルス列です。

### DDS サイクル数

DAC 入力のデータ・パスでは、DDS の正弦波出力パルス幅を正弦波サイクル数で設定します。このサイクル数は、DDS\_CYC レジスタに設定されます。

### DDS 位相シフト

DAC 入力のデータ・パスでは、1 つの共通 DDS の出力の位相をシフトさせます。この位相シフトは、DDS\_PHASE フィールドを使って設定されます。

## DOUT の機能

超音波トランスジューサ・アレイ・エレメントを駆動するシグナル・チェーンのような、AD9102 DAC が高電圧アンプを駆動するアプリケーションでは、AD9102 DAC により発生された波形を基準とした正確な時間で各アンプをターンオン/ターンオフできると便利です。SDO/SDI2/DOUT 端子は、この機能を提供するように構成することができます。

SPI インターフェースは 3 線式モードに設定する必要があります (図 30 と図 31 参照)。これは、SPICONFIG レジスタ (レジスタ 0x00) の SPI3WIRE ビットまたは SPI3WIRES ビットを設定することにより行います。SPICONFIG レジスタの SPI\_DRV ビットまたは SPI\_DRVM ビットにロジック 1 を設定すると、SDO/SDI2/DOUT ピンは DOUT 機能を提供するようになります。

### 手動制御の DOUT

DOUT\_CONFIG レジスタ (レジスタ 0x2D) で DOUT\_MODE ビット = 0 にすると、同じレジスタの DOUT\_VAL ビットを使って、DOUT をターンオンまたはターンオフすることができます。

### パターン・ジェネレータ制御の DOUT

図 44 に、パターン・ジェネレータの立上がりエッジで制御される DOUT パルスを示します。図 45 に、立下がりエッジを示します。DOUT\_MODE ビット = 1 を設定してパターン・ジェネレータ制御による DOUT を設定し、次に開始遅延を DOUT\_START レジスタ (レジスタ 0x2C) に、停止遅延を DOUT\_CONFIG レジスタの DOUT\_STOP ビットに、それぞれ設定します。

TRIGGER ピン入力の立下がりエッジの後に、DOUT は DOUT\_START[15:0] CLKP/CLKN サイクルの間、ハイ・レベルになります。DOUT はパターンの発生中ハイ・レベルを維持します。パターン発生を停止させるクロック・エッジの後、DOUT は DOUT\_STOP[3:0] CLKP/CLKN サイクルの間、ロー・レベルになります。

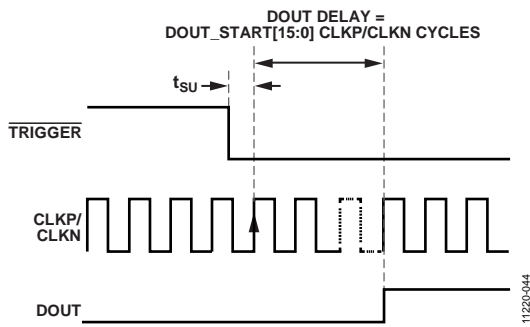


図 44.DOUT 開始シーケンス

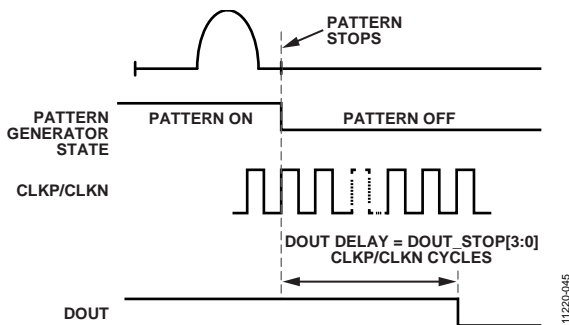


図 45.DOUT 停止シーケンス

## ダイレクト・デジタル・シンセサイザ (DDS)

DDS は、チューニング・ワード入力で指定される周波数で 1 つの正弦波を発生することができます。チューニング・ワードは 24 ビット幅です。DDS チューニングの分解能は  $f_{\text{CLKP/N}}/2^{24}$  です。DDS 出力周波数は  $\text{DDS\_TW} \times f_{\text{CLKP/N}}/2^{24}$  で表されます。

DDS チューニング・ワードは次のいずれかの方法で設定されます。固定周波数の場合、DDSTW\_MSB ビット・フィールドと DDSTW\_LSB ビット・フィールドには一定値が設定されます。各パターン周期内で DDS 周波数を変える必要がある場合は、SRAM 内に格納されている一連の値と DDSTW\_MSB ビットの選択を組み合わせ、チューニング・ワードが構成されます。

## SRAM

AD9102 の  $4\text{K} \times 14$  SRAM は、信号サンプル、振幅変調パターン、DDS チューニング・ワードのリスト、または DDS 出力位相オフセット・ワードのリストを格納することができます。SRAM がパターン発生で使用されていない限り (RUN ビット = 0)、SPI ポートを介して、SRAM データ・アドレスを読み書きすることができます。SRAM アドレスへ書き込みを行うときは、PAT\_STATUS レジスタ (レジスタ  $0\text{x}1\text{E}$ ) を次のように設定します。

- BUF\_READ = 0
- MEM\_ACCESS = 1
- RUN = 0

任意の SRAM アドレスからデータを読み出すときは、PAT\_STATUS を次のように設定します。

- BUF\_READ = 1
- MEM\_ACCESS = 1
- RUN = 0

AD9102 では、SRAM がパターン発生に使用されている間 (RUN = 1)、SRAM に対する SPI リード/ライト・アクセスが可能です。いくつかの制限があります。

SRAM に対する SPI ポート・アドレス空間は、ロケーション  $0\text{x}6000 \sim 0\text{x}6\text{FFF}$  です。

図 30 ~ 図 32 に示す任意の SPI 動作モードを使って、SRAM をアクセスすることができます。図 31 と図 33 に示す SPI 動作モードを使うと、SRAM 全体を  $(2 + 2 \times 4096) \times 8/f_{\text{SCLK}} \text{ sec}$  で書き込むことができます。

PAT\_STATUS レジスタで RUN ビット = 1 (パターン発生をイネーブル) の場合、SRAM アドレス・カウンタを使ってデータが読み出されます。アドレス・カウンタには、START\_ADDR (開始アドレス) と STOP\_ADDR (停止アドレス) があります。各パターン周期の間、START\_DELAY 周期の後にデータが SRAM から読み出され、各アドレス・カウンタがインクリメントされます。

PAT\_STATUS レジスタで RUN ビット = 1 (パターン発生をイネーブル) の場合、START\_ADDR と STOP\_ADDR で指定されるアドレス範囲の外側で SPI ポートを介して SRAM のデータを読み書きすることができます。

## パターン生成モード SRAM アドレス・カウンタのインクリメント

SRAM アドレス・カウンタを CLKP/CLKN (デフォルト) または DDS MSB の立上がりエッジでインクリメントするように、設定することができます。DDS\_CONFIG レジスタの DDS\_MSB\_EN ビットにより、この選択を行います。例えば、SRAM 内のチューニング・ワードのリストを使って DDS でチャープ波形を発生する場合、アドレス・カウンタをクロック駆動するために DDS\_MSB を使用することができます。各周波数設定値は、1 DDS 出力正弦波サイクル間有効です。

## 鋸波ジェネレータ

WAV\_CONFIG レジスタの PRESTORE\_SEL ビットを使って鋸波を選択すると、鋸波ジェネレータが DAC デジタル・データパスに接続されます。

SAW\_CONFIG レジスタの SAW\_TYPE ビットを使って、図 46 に示す鋸波タイプを選択します。鋸波波形ステップあたりのサンプル数は、SAW\_STEP ビットに設定されます。

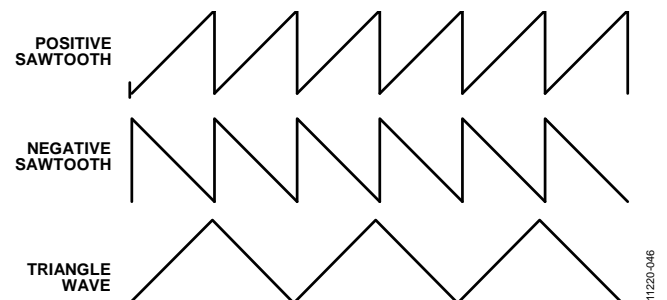


図 46.鋸波パターン

### 擬似ランダム信号ジェネレータ

WAV\_CONFIG レジスタの PRESTORE\_SEL フィールドを使って擬似ランダム・シーケンスを選択すると、擬似ランダム・ノイズ・ジェネレータは、各 DAC 出力にノイズ信号を発生させます。擬似ランダム・ノイズ信号は、連続波形としてのみ発生されます。

### DC 固定電流

WAV\_CONFIG レジスタの PRESTORE\_SEL ビットを使って固定値を選択すると、DAC で  $0.0 \sim I_{OUTFS}$  のプログラマブルな DC 電流を発生することができます。DC 固定電流は、連続波形としてのみ発生されます。

該当する DAC\_CST レジスタの DAC\_CONST フィールドに書き込みを行うと、DC 電流レベルが設定されます。

### 電源の注意事項

AD9102 電源レールは表 9 で規定されています。AD9102 は 3 個のリニア・レギュレータを内蔵しています。これらのレギュレータから駆動される電源レールは 1.8 V で動作します。これらレギュレータの用途としては次があります。

- CLKVDD が 2.5 V 以上の場合、1.8 V の内蔵 CLDO レギュレータを使用できます。CLKVDD = 1.8 V の場合、POWERCONFIG レジスタの PDN\_LDO\_CLK ビットをセットして、CLDO レギュレータをディスエーブルする必要があります。CLKVDD と CLDO を接続します。

- DVDD が 2.5 V 以上の場合、1.8 V の内蔵 DLDO1 レギュレータと 1.8 V の内蔵 DLDO2 レギュレータを使用できます。DVDD = 1.8 V の場合、POWERCONFIG レジスタの PDN\_LDO\_DIG1 ビットと PDN\_LDO\_DIG2 ビットをセットして、DLDO1 レギュレータと DLDO2 レギュレータをディスエーブルする必要があります。DVDD、DLDO1、DLDO2 は相互に接続します。

### パワーダウン機能

POWERCONFIG レジスタを使うと、AD9102 を低消費電力構成にすることができます。ここでは CLKP/CLKN 入力動作し、電源がオンしています。POWERCONFIG レジスタの DAC\_SLEEP ビットをセットして、DAC をスリープさせることができます。CLOCKCONFIG レジスタの CLK\_PDN ビットを設定して、波形ジェネレータと DAC のクロック駆動をターンオン/ターンオフさせることができます。これらの動作により、AD9102 は表 8 に規定するパワーダウン・モードになります。



## アプリケーション

### 信号生成例

図 47 に、START\_ADDR と STOP\_ADDR で指定されるアドレス・セグメント内の 4k × 14 SRAM に格納されている波形を示します。この波形が DAC から出力されます。波形は、各パターン周期で 1 回繰り返されます。各パターン周期で開始遅延が実行された後に、パターンが SRAM から読出されます。

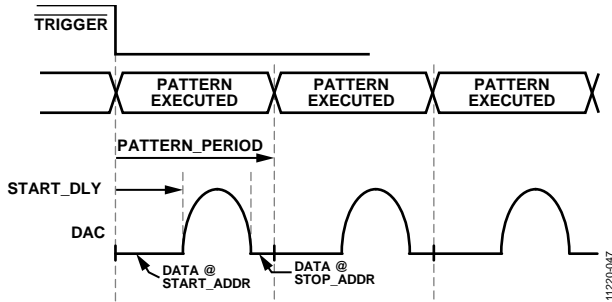


図 47. SRAM 内のパターン

図 48 に、DAC で発生されるパルス化正弦波を示します。DDS は、設定された周波数で正弦波を発生します。DAC 入力データ・パスには、開始遅延と出力する正弦波サイクル数が設定されます。

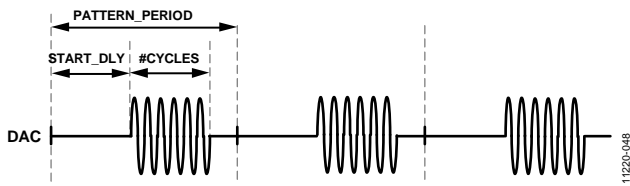


図 48. パターン周期内のパルス化正弦波

図 49 に、開始遅延付きの連続パターン周期で DAC から発生される鋸波を示します。

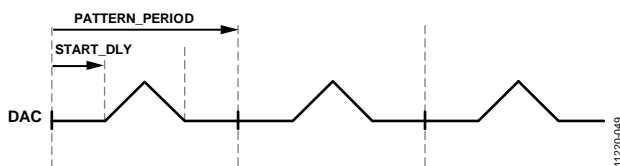


図 49. パターン周期内のパルス化鋸波

図 50 に、振幅変調された正弦波を出力する DAC を示します。正弦波は DDS で発生され、振幅包絡線は SRAM に格納されています。開始遅延とデジタル・ゲイン・ファクタが DAC 入力データ・パスに適用されます。

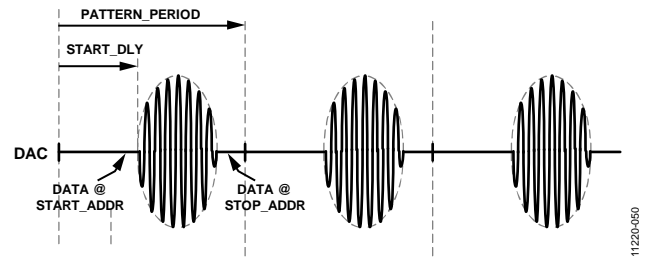


図 50. SRAM 包絡線で振幅変調された DDS 出力

図 51 と図 52 に、連続波形を発生する DAC を示します(一方は開始遅延あり、他方はなし)。

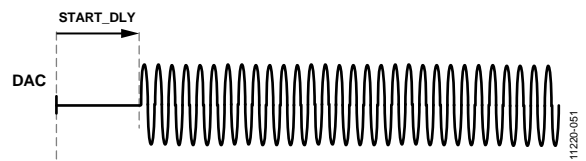


図 51. 開始遅延ありの波形



図 52. 開始遅延なしの波形

図 53 に、SRAM に格納された DDS チューニング・ワード・ビット・フィールドのリストを使って発生した、FSK 変調済信号を示します。SRAM アドレス・カウンタは、DDS 出力の MSB の立上がりエッジでインクリメントされます。

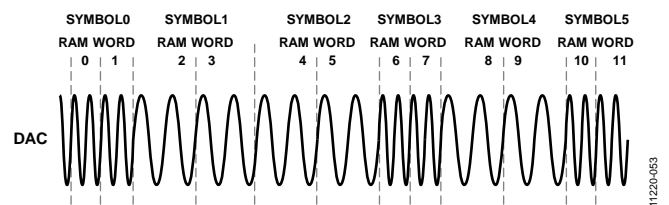


図 53. FSK 変調済信号

## レジスタ・マップ

表 14. レジスタの一覧

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW		
0x00	SPICONFIG	[15:8]	LSBFIRST	SPI3WIRE	RESET	DOUBLESPI	SPI_DRV	DOUT_EN	RESERVED[9:8]			0x0000	RW	
		[7:0]	RESERVED[7:6]			DOUT_ENM	SPI_DRVM	DOUBLESPIM	RESETM	SPI3WIREM	LSBFIRSTM			
0x01	POWERCONFIG	[15:8]	RESERVED				CLK_LDO_STAT	DIG1_LDO_STAT	DIG2_LDO_STAT	PDN_LDO_CLK		0x0000	RW	
		[7:0]	PDN_LDO_DIG1	PDN_LDO_DIG2	REF_PDN	REF_EXT	DAC_SLEEP		RESERVED					
0x02	CLOCKCONFIG	[15:8]	RESERVED				DIS_CLK	RESERVED			0x0000	RW		
		[7:0]	DIS_DCLK	CLK_SLEEP	CLK_PDN	EPS	DAC_INV_CLK		RESERVED					
0x03	REFADJ	[15:8]	RESERVED[15:8]									0x0000	RW	
		[7:0]	RESERVED[7:6]			BGDR								
0x07	DACAGAIN	[15:8]	RESERVED	DAC_GAIN_CAL									0x0000	RW
		[7:0]	RESERVED	DAC_GAIN										
0x08	DACRANGE	[15:8]	RESERVED									0x0000	RW	
		[7:0]	RESERVED						DAC_GAIN_RNG					
0x0C	DACRSET	[15:8]	DAC_RSET_EN	RESERVED			DAC_RSET_CAL					0x000A	RW	
		[7:0]	RESERVED				DAC_RSET							
0x0D	CALCONFIG	[15:8]	RESERVED	COMP_OFFSET_OF	COMP_OFFSET_UF	RSET_CAL_OF	RSET_CAL_UF	GAIN_CAL_OF	GAIN_CAL_UF	CAL_RESET		0x0000	RW	
		[7:0]	CAL_MODE	CAL_MODE_EN	COMP_CAL_RNG		CAL_CLK_EN	CAL_CLK_DIV						
0x0E	COMPOFFSET	[15:8]	RESERVED	COMP_OFFSET_CAL								0x0000	RW	
		[7:0]	RESERVED						CAL_FIN	TART_CAL				
0x1D	RAMUPDATE	[15:8]	RESERVED[15:8]									0x0000		
		[7:0]	RESERVED[7:1]							UPDATE				
0x1E	PAT_STATUS	[15:8]	RESERVED[15:8]									0x0000	RW	
		[7:0]	RESERVED[7:4]				BUF_READ	MEM_ACCESS	PATTERN	RUN				
0x1F	PAT_TYPE	[15:8]	RESERVED[15:8]									0x0000	RW	
		[7:0]	RESERVED[7:1]							PATTERN_RPT				
0x20	PATTERN_DLY	[15:8]	PATTERN_DELAY[15:8]									0x000E	RW	
		[7:0]	PATTERN_DELAY[7:0]											
0x25	DACDOF	[15:8]	DAC_DIG_OFFSET[15:8]									0x0000	RW	
		[7:0]	DAC_DIG_OFFSET[7:5]				RESERVED							
0x27	WAV_CONFIG	[15:8]	RESERVED									0x0000	RW	
		[7:0]	RESERVED		PRESTORE_SEL		RESERVED	CH_ADD	WAVE_SEL					
0x28	PAT_TIMEBASE	[15:8]	RESERVED				HOLD					0x0111	RW	
		[7:0]	PAT_PERIOD_BASE				START_DELAY_BASE							
0x29	PAT_PERIOD	[15:8]	PATTERN_PERIOD[15:8]									0x8000	RW	
		[7:0]	PATTERN_PERIOD[7:0]											
0x2B	DAC_PAT	[15:8]	RESERVED									0x0101	RW	
		[7:0]	DAC_REPEAT_CYCLE											
0x2C	DOUT_START	[15:8]	DOUT_START[15:8]									0x0003	RW	
		[7:0]	DOUT_START[7:0]											
0x2D	DOUT_CONFIG	[15:8]	RESERVED[15:8]									0x0000	RW	
		[7:0]	RESERVED[7:6]			DOUT_VAL	DOUT_MODE	DOUT_STOP						
0x31	DAC_CST	[15:8]	DAC_CONST[15:8]									0x0000	RW	
		[7:0]	DAC_CONST[7:5]				RESERVED							
0x35	DAC_DGAIN	[15:8]	DAC_DIG_GAIN[15:8]									0x0000	RW	
		[7:0]	DAC_DIG_GAIN[7:5]				RESERVED							
0x37	SAW_CONFIG	[15:8]	RESERVED						RESERVED			0x0000	RW	
		[7:0]	SAW_STEP						SAW_TYPE					
0x38 to 0x3D	RESERVED		RESERVED											
0x3E	DDS_TW32	[15:8]					DDSTW_MSB[15:8]				0x0000	RW		
		[7:0]					DDSTW_MSB[7:0]							

0x3F	DDS_TW1	[15:8]	DDSTW_LSB						0x0000	RW	
		[7:0]	RESERVED								
0x43	DDS_PW	[15:8]	DDS_PHASE[15:8]						0x0000	RW	
		[7:0]	DDS_PHASE[7:0]								
0x44	TRIG_TW_SEL	[15:8]	RESERVED[15:8]						0x0000	RW	
		[7:0]	RESERVED[7:2]				TRIG_DELAY_EN	RESERVED			
0x45	DDS_CONFIG	[15:8]	RESERVED						0x0000	RW	
		[7:0]	RESERVED		DDS_COS_EN	DDS_MSB_EN	PHASE_MEM_EN	TW_MEM_EN			
0x47	TW_RAM_CONFIG	[15:8]	RESERVED		RESERVED				0x0000	RW	
		[7:0]	RESERVED		TW_MEM_SHIFT						
0x5C	START_DELAY	[15:8]	START_DELAY[15:8]						0x0000	RW	
		[7:0]	START_DELAY[7:0]								
0x5D	START_ADDR	[15:8]	START_ADDR[15:8]						0x0000	RW	
		[7:0]	START_ADDR[7:5]			RESERVED					
0x5E	STOP_ADDR	[15:8]	STOP_ADDR[15:8]						0x0000	RW	
		[7:0]	STOP_ADDR[7:5]			RESERVED					
0x5F	DDS_CYC	[15:8]	DDS_CYC[15:8]						0x0001	RW	
		[7:0]	DDS_CYC[7:0]								
0x60	CFG_ERROR	[15:8]	ERROR_CLEAR	RESERVED						0x0000	R
		[7:0]	RESERVED	DOUT_START_LG_ERR	PAT_DLY_SHORT_ERR	DOUT_START_SHORT_ERR	PERIOD_SHORT_ERR	ODD_ADDR_ERR	MEM_READ_ERR		
0x6000 to 0x6FFF	SRAM_DATA	[15:8]	RESERVED			SRAM_DATA[11:8]				N/A	RW
		[7:0]	SRAM_DATA[7:0]								

## レジスタの説明

## SPI コントロール・レジスタ (SPICONFIG、アドレス 0x00)

表 15.SPICONFIG のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
15	LSBFIRST		LSB first selection.	0x0	RW
		0	MSB first per SPI standard (default).		
		1	LSB first per SPI standard.		
14	SPI3WIRE		Selects if SPI is using 3-wire or 4-wire interface.	0x0	RW
		0	4-wire SPI.		
		1	3-wire SPI.		
13	RESET		Executes software reset of SPI and controllers, reloads default register values, except Register 0x00.	0x0	RW
		0	Normal status.		
		1	Reset whole register map, except 0x0000.		
12	DOUBLESPI		Double SPI data line.	0x0	RW
		0	The SPI port has only 1 data line and can be used as a 3-wire or 4-wire interface.		
		1	The SPI port has two data lines both bi-directional defining a pseudo dual 3-wire interface where CS and SCLK are shared between the two ports. This mode is available only for RAM data read or write.		
11	SPI_DRV		Double drive ability for SPI output.	0x0	RW
		0	Single SPI output drive ability.		
		1	Two time drive ability on SPI output.		
10	DOUT_EN		Enable DOUT signal on SDO/SDI2/DOUT pin.	0x0	RW
		0	SDO/SDI2 function input/output.		
		1	DOUT function output.		
[9:6]	RESERVED				RW
5	DOUT_ENM <sup>1</sup>		Enable DOUT signal on SDO/SDI2/DOUT pin.		RW
4	SPI_DRVM <sup>1</sup>		Double drive ability for SPI output.	0x0	RW
	DOUBLESPIM <sup>1</sup>		Double SPI data line.	0x0	RW
2	RESETM <sup>1</sup>		Executes software reset of SPI and controllers, reloads default register values, except Register 0x00.	0x0	RW
1	SPI3WIRESM <sup>1</sup>		Selects whether SPI uses a 3-wire or 4-wire interface.	0x0	RW
0	LSBFIRSTM <sup>1</sup>		LSB first selection.	0x0	RW

<sup>1</sup> LSBFIRST ビットが誤って設定されたとき SPI 動作の回復を容易にするため、SPICONFIG[10:15]には常に SPICONFIG[5:0] のミラーを設定しておく必要があります。  
(Bit 15 = Bit 0、Bit 14 = Bit 1、Bit 13 = Bit 2、Bit 12 = Bit 3、Bit 11 = Bit 4、Bit 10 = Bit 5)。

## 電源ステータス・レジスタ (POWERCONFIG、アドレス 0x01)

表 16.POWERCONFIG のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[15:12]	RESERVED			0x0	RW
11	CLK_LDO_STAT		Read-only flag indicating CLKVDD LDO is on.	0x0	R
10	DIG1_LDO_STAT		Read-only flag indicating DVDD1 LDO is on.	0x0	R
9	DIG2_LDO_STAT		Read-only flag indicating DVDD2 LDO is on.	0x0	R
8	PDN_LDO_CLK		Disable the CLKVDD LDO. An external supply is required.	0x0	RW
7	PDN_LDO_DIG1		Disable the DVDD1 LDO. An external supply is required.	0x0	RW
6	PDN_LDO_DIG2		Disable the DVDD2 LDO. An external supply is required.	0x0	RW
5	REF_PDN		Power down on-chip REFIO.	0x0	RW
4	REF_EXT		Always set to 0.	0x0	RW
3	DAC_SLEEP		Disable DAC output current.	0x0	RW
2	RESERVED		Disable DAC2 output current.	0x0	RW
1	RESERVED		Disable DAC3 output current.	0x0	RW
0	RESERVED		Disable DAC4 output current.	0x0	RW

## クロック・コントロール・レジスタ (CLOCKCONFIG、アドレス 0x02)

表 17.CLOCKCONFIG のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[15:12]	RESERVED			0x0	RW
11	DIS_CLK		Disable the analog clock to the DAC output of the clock distribution block.	0x0	RW
10	RESERVED			0x0	RW
9	RESERVED		Disable the analog clock to the DAC3 output of the clock distribution block.	0x0	RW
8	RESERVED		Disable the analog clock to the DAC4 output of the clock distribution block.	0x0	RW
7	DIS_DCLK		Disable the clock to core digital block.	0x0	RW
6	CLK_SLEEP		Enables a very low power clock mode.	0x0	RW
5	CLK_PDN		Disables and powers down the main clock receiver. No clocks are active in the part.	0x0	RW
4	EPS		Enable Power Save. This enables a low power option for clock receiver but maintains low jitter performance on the DAC clock rising edge. The DAC clock falling edge is substantially degraded.	0x0	RW
3	DAC_INV_CLK		Cannot use EPS while using this bit. Inverts the clock inside DAC Core 1 allowing a 180° phase shift in DAC update timing.	0x0	RW
[2:0]	RESERVED			0x0	RW

## リファレンス抵抗レジスタ (REFADJ、アドレス 0x03)

表 18.REFADJ のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[15:6]	RESERVED			0x000	RW
[5:0]	BGDR		Adjusts the on-chip REFIO voltage level (see 図 35).	0x00	RW

## DAC アナログ・ゲイン・レジスタ (DACAGAIN、アドレス 0x07)

表 19.DACAGAIN のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
15	RESERVED			0x0	RW
[14:8]	DAC_GAIN_CAL		DAC analog gain calibration output; read only	0x00	R
7	RESERVED			0x0	RW
[6:0]	DAC_GAIN		DAC analog gain control while not in calibration mode, twos complement	0x00	RW

## DAC アナログ・ゲイン・レンジ・レジスタ (DACRANGE、アドレス 0x08)

表 20.DACRANGE のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[15:2]	RESERVED			0x00	RW
[1:0]	DAC_GAIN_RNG		DAC gain range control.	0x0	RW

## FSADJ レジスタ (DACRSET、アドレス 0x0C)

表 21.DACRSET のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
15	DAC_RSET_EN		To write, enable the internal R <sub>SET</sub> resistor for the DAC. To read, enable R <sub>SET</sub> for DAC 1 during calibration mode.	0x0	RW
[14:13]	RESERVED			0x0	RW
[12:8]	DAC_RSET_CAL		Digital control for the value of the R <sub>SET</sub> resistor for the DAC after calibration; read only.	0x00	R
[7:5]	RESERVED			0x0	RW
[4:0]	DAC_RSET		Digital control to set the value of the R <sub>SET</sub> resistor in the DAC .	0x0A	RW

## キャリブレーション・レジスタ (CALCONFIG、アドレス 0x0D)

表 22.CALCONFIG のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
15	RESERVED			0x0	RW
14	COMP_OFFSET_OF		Compensation offset calibration value overflow.	0x0	R
13	COMP_OFFSET_UF		Compensation offset calibration value underflow.	0x0	R
12	RSET_CAL_OF		R <sub>SET</sub> calibration value overflow.	0x0	R
11	RSET_CAL_UF		R <sub>SET</sub> calibration value underflow.	0x0	R
10	GAIN_CAL_OF		Gain calibration value overflow.	0x0	R
9	GAIN_CAL_UF		Gain calibration value underflow.	0x0	R
8	CAL_RESET		Pulse this bit high and low to reset the calibration results.	0x0	RW
7	CAL_MODE		Read-only flag indicating calibration is being used.	0x0	R
6	CAL_MODE_EN		Enables the gain calibration circuitry.	0x0	RW
[5:4]	COMP_CAL_RNG		Offset calibration range.	0x0	RW
3	CAL_CLK_EN		Enables the calibration clock to the calibration circuitry.	0x0	RW
[2:0]	CAL_CLK_DIV		Sets divider from the DAC clock to the calibration clock.	0x0	RW

## コンパレータ・オフセット・レジスタ (COMPOFFSET、アドレス 0x0E)

表 23.COMPOFFSET のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
15	RESERVED			0x0	RW
[14:8]	COMP_OFFSET_CAL		The result of the offset calibration for the comparator.	0x00	R
[7:2]	RESERVED			0x00	RW
1	CAL_FIN		Read-only flag indicating calibration is completed.	0x0	R
0	START_CAL		Start a calibration cycle.	0x0	RW

## 更新パターン・レジスタ (RAMUPDATE、アドレス 0x1D)

表 24.RAMUPDATE のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[15:1]	RESERVED			0x0000	RW
0	UPDATE		Update all SPI settings with a new configuration (self-clearing).	0x0	RW

## コマンド/ステータス・レジスタ (PAT\_STATUS、アドレス 0x1E)

表 25.PAT\_STATUS のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[15:3]	RESERVED			0x000	RW
3	BUF_READ		Read back from updated buffer.	0x0	RW
2	MEM_ACCESS		Memory SPI access enable.	0x0	RW
1	PATTERN		Status of pattern being played, read only.	0x0	R
0	RUN		Allows the pattern generation, and stop pattern after trigger.	0x0	RW

## コマンド/ステータス・レジスタ (PAT\_TYPE、アドレス 0x1F)

表 26.PAT\_TYPE のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[15:1]	RESERVED			0x0000	RW
0	PATTERN_RPT		Setting this bit allows the pattern to repeat a number of times defined in Register 0x002A and Register 0x002B.	0x0	RW
		0	Pattern continuously runs.		
		1	Pattern repeats the number of times defined in Register 0x002A and Register 0x002B.		

## トリガ開始からリアル・パターンまでの遅延レジスタ (PATTERN\_DLY、アドレス 0x20)

表 27. PATTERN\_DLY のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[15:0]	PATTERN_DELAY		Time between when the TRIGGER pin is low and the pattern starts in number of DAC clock cycles + 1.	0x000E	RW

## DAC デジタル・オフセット・レジスタ (DACDOF、アドレス 0x25)

表 28.DACDOF のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[15:4]	DAC_DIG_OFFSET		DAC digital offset.	0x0000	RW
[3:0]	RESERVED			0x0	RW

## 波形選択レジスタ (WAV\_CONFIG、アドレス 0x27)

表 29.WAV\_CONFIG のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[15:10]	RESERVED			0x0	RW
[9:8]	RESERVED			0x1	RW
[17:6]	RESERVED			0x0	RW
[5:4]	PRESTORE_SEL			0x0	RW
		0	Constant value held into DAC constant value MSB/LSB register.		
		1	Sawtooth at the frequency defined in the DAC sawtooth configuration register.		
		2	Pseudorandom sequence.		
		3	DDS output.		
3	RESERVED			0x0	RW
2	CH_ADD	0	Normal operation for the DAC.	0x0	RW
[1:0]	WAVE_SEL			0x1	RW
		0	Waveform read from RAM between START_ADDR and STOP_ADDR.		
		1	Prestored waveform.		
		2	Prestored waveform using START_DELAY and PATTERN_PERIOD.		
		3	Prestored waveform modulated by waveform from RAM.		

## DAC 時間コントロール・レジスタ (PAT\_TIMEBASE、アドレス 0x28)

表 30.PAT\_TIMEBASE のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[15:12]	RESERVED			0x0	RW
[11:8]	HOLD		The number of times the DAC value holds the sample (0 = DAC holds for 1 sample).	0x1	RW
[7:4]	PAT_PERIOD_BASE		The number of DAC clock periods per PATTERN_PERIOD LSB (0 = PATTERN_PERIOD LSB = 1 DAC clock period).	0x1	RW
[3:0]	START_DELAY_BASE		The number of DAC clock periods per START_DELAY × LSB (0 = START_DELAY × LSB = 1 DAC clock period).	0x1	RW

## パターン周期レジスタ (PAT\_PERIOD、アドレス 0x29)

表 31.PAT\_PERIOD のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[15:0]	PATTERN_PERIOD		Pattern period register.	0x8000	RW

## DAC パターン繰り返しサイクル数レジスタ (DAC\_PAT、アドレス 0x2B)

表 32.DAC\_PAT のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[15:8]	RESERVED			0x01	RW
[7:0]	DAC_REPEAT_CYCLE		The number of DAC pattern repeat cycles + 1.	0x01	RW

## TRIGGER 開始から DOUT 信号までの遅延レジスタ (DOUT\_START、アドレス 0x2C)

表 33.DOUT\_START のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[15:0]	DOUT_START		Time between when the TRIGGER pin is low and DOUT signal is high in the number of DAC clock cycles.	0x0003	RW

## DOUT 設定レジスタ (DOUT\_CONFIG、アドレス 0x2D)

表 34.DOUT\_CONFIG のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[15:6]	RESERVED			0x000	RW
5	DOUT_VAL		Manually sets the DOUT signal value; it is valid only when DOUT_MODE = 0 (manual mode).	0x0	RW
4	DOUT_MODE	0x0 0x1	Set different enable signal mode. DOUT pin is output from SDO/SDI2/DOUT pin and manually controlled by Bit 5, DOUT_EN in Register 0x00 must be set to use this feature. DOUT pin is output from SDO/SDI2/DOUT. The pin is controlled by DOUT_START and DOUT_STOP. DOUT_EN in Register 0x00 must be set to use this feature.	0x0	RW
[3:0]	DOUT_STOP		Time between pattern end and DOUT signal low in number of DAC clock cycles.	0x0	RW

## DAC 固定値レジスタ (DAC\_CST、アドレス 0x31)

表 35.DAC\_CST のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[15:4]	DAC_CONST		Most significant byte of DAC constant value	0x0000	RW
[3:0]	RESERVED			0x0	RW



**DAC デジタル・ゲイン・レジスタ (DAC\_DGAIN、アドレス 0x35)**

表 36.DAC\_DGAIN のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[15:4]	DAC_DIG_GAIN		DAC digital gain. Range +2 to -2.	0x000	RW
[3:0]	RESERVED			0x0	RW

**DAC 鋸波設定レジスタ (SAW\_CONFIG、アドレス 0x37)**

表 37.SAW\_CONFIG のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[15:8]	RESERVED			0x01	RW
[7:2]	SAW_STEP		Number of samples per step for the DAC.	0x01	RW
[1:0]	SAW_TYPE	0 1 2 3	The type of sawtooth (positive, negative or triangle) for DAC. Ramp up sawtooth wave. Ramp down sawtooth wave. Triangle sawtooth wave. No wave, zero.	0x0	RW

**DDS チューニング・ワード MSB レジスタ (DDS\_TW32、アドレス 0x3E)**

表 38.DDS\_TW32 のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[15:0]	DDSTW_MSB		DDS tuning word MSB.	0x0000	RW

**DDS チューニング・ワード LSB レジスタ (DDS\_TW1、アドレス 0x3F)**

表 39.DDS\_TW1 のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[15:8]	DDSTW_LSB		DDS tuning word LSB.	0x00	RW
[7:0]	RESERVED			0x00	RW

**DDS 位相オフセット・レジスタ (DDS\_PW、アドレス 0x43)**

表 40.DDS1\_PW のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[15:0]	DDS_PHASE		DDS phase offset.	0x0000	RW

**パターン制御 1 レジスタ (TRIG\_TW\_SEL、アドレス 0x44)**

表 41.TRIG\_TW\_SEL のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[15:2]	RESERVED			0x0000	RW
1	TRIG_DELAY_EN	0 1	Enable start delay as trigger delay for all 4 channels. Delay repeats for all patterns. Delay is only at the start of first pattern.	0x0	RW
0	RESERVED			0x0	RW

## パターン制御 2 レジスタ (DDS\_CONFIG、アドレス 0x45)

表 42.DDS\_CONFIG のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[15:4]	RESERVED			0x0	RW
3	DDS_COS_EN		Enables DDS cosine output of DDS instead of sine wave.	0x0	RW
2	DDS_MSB_EN		Selects the SRAM address counter clock as CLKP/CLKN when set to 0x0, DDS MSB when set to 0x1.	0x0	RW
1	PHASE_MEM_EN	0x1 0x0	Selects the SRAM as source of DDS phase offset input. Selects the DDS_PW as the source of DDS offset.	0x0	RW
0	TW_MEM_EN	0x1 0x0	Selects the SRAM and DDS_TW registers as configured in the TW_RAM_CONFIG register as the source of DDS tuning word input. Selects the DDS_TW registers as the source for DS tuning words	0x0	RW

## TW\_RAM\_CONFIG レジスタ (TW\_RAM\_CONFIG、アドレス 0x47)

表 43.TW\_RAM\_CONFIG のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[15:5]	RESERVED			0x000	RW
[4:0]	TW_MEM_SHIFT	0x00 0x01 0x02 0x03 0x04 0x05 0x06 0x07 0x08 0x09 0x0A 0x0B 0x0C 0x0D 0x0E 0x0F 0x10 x	TW_MEM_EN1 is set. This register controls the right shift bit when memory data merge to DDS1TW. DDSTW = {RAM[13:0],10'b0} DDSTW = {DDSTW[23],RAM[13:0],9'b0} DDSTW = {DDSTW[23:22],RAM[13:0],8'b0} DDSTW = {DDSTW[23:21],RAM[13:0],7'b0} DDSTW = {DDSTW[23:20],RAM[13:0],6'b0} DDSTW = {DDSTW[23:19],RAM[13:0],5'b0} DDSTW = {DDSTW[23:18],RAM[13:0],4'b0} DDSTW = {DDSTW[23:17],RAM[13:0],3'b0} DDSTW = {DDSTW[23:16],RAM[13:0],2'b0} DDSTW = {DDSTW[23:15],RAM[13:0],1'b0} DDSTW = {DDSTW[23:14],RAM[13:0]} DDSTW = {DDSTW[23:13],RAM[13:1]} DDSTW = {DDSTW[23:12],RAM[13:2]} DDSTW = {DDSTW[23:11],RAM[13:3]} DDSTW = {DDSTW[23:10],RAM[13:4]} DDSTW = {DDSTW[23:9],RAM[13:5]} DDSTW = {DDSTW[23:8],RAM[13:6]} Reserved	0x00	RW

## 開始遅延レジスタ (START\_DLY、アドレス 0x5C)

表 44.START\_DLY のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[15:0]	START_DELAY		Start delay of DAC.	0x0000	RW

## 開始アドレス・レジスタ (START\_ADDR、アドレス 0x5D)

表 45.START\_ADDR のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[15:4]	START_ADDR		RAM address where DAC starts to read waveform.	0x000	RW
[3:0]	RESERVED			0x0	RW

## 停止アドレス・レジスタ (STOP\_ADDR、アドレス 0x5E)

表 46.STOP\_ADDR のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[15:4]	STOP_ADDR		RAM address where DAC stops to read waveform.	0x000	RW
[3:0]	RESERVED			0x0	RW

## DDS サイクル・レジスタ (DDS\_CYC、アドレス 0x5F)

表 47.DDS\_CYC のビット説明

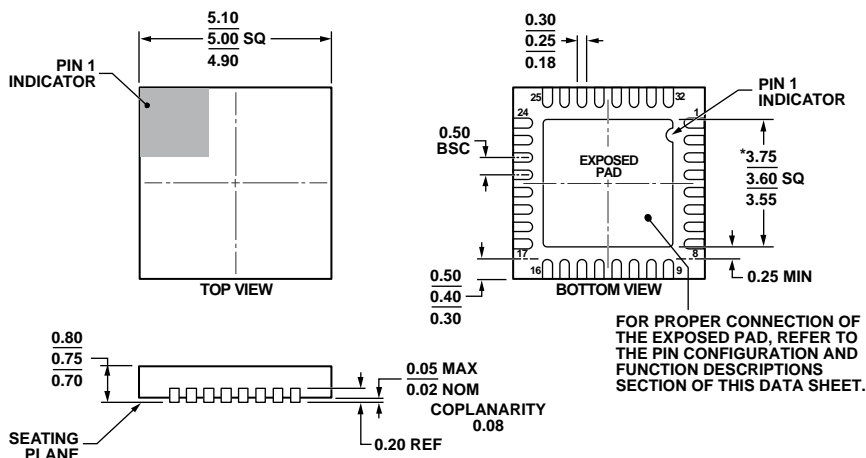
Bits	Bit Name	Settings	Description	Reset	Access
[15:0]	DDS_CYC		Number of sine wave cycles when a DDS prestored waveform with start and stop delays is selected for the DAC output.	0x0001	RW

## 設定エラー・レジスタ (CFG\_ERROR、アドレス 0x60)

表 48.CFG\_ERROR のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
15	ERROR_CLEAR		Write this bit to clear all errors.	0x0	R
[14:6]	RESERVED			0x000	R
5	DOUT_START_LG_ERR		When the DOUT_START value is larger than the pattern delay, this error is toggled.	0x0	R
4	PAT_DLY_SHORT_ERR		When the pattern delay value is smaller than the default value, this error is toggled.	0x0	R
2	DOUT_START_SHORT_ERR		When the DOUT_START value is smaller than the default value, this error is toggled.	0x0	R
2	PERIOD_SHORT_ERR		When the period register setting value is smaller than the pattern play cycle, this error is toggled.	0x0	R
1	ODD_ADDR_ERR		When the memory pattern play is not of even length in trigger delay mode, this error flag is toggled.	0x0	R
0	MEM_READ_ERR		When there is a memory read conflict, this error flag is toggled.	0x0	R

外形寸法



\*COMPLIANT TO JEDEC STANDARDS MQ-220-WHHD-5 WITH EXCEPTION TO EXPOSED PAD DIMENSION.

08-16-2010 B

図 54.32 ピン・リードフレーム・チップ・スケール・パッケージ[LFCSP\_WQ]  
 5 mm x 5 mm ボディ、極薄クワッド  
 (CP-32-12)  
 寸法: mm

オーダー・ガイド

Model <sup>1</sup>	Temperature Range	Package Description	Package Option
AD9102BCPZ	-40°C to +85°C	32-Lead LFCSP_WQ	CP-32-12
AD9102BCPZRL7	-40°C to +85°C	32-Lead LFCSP_WQ	CP-32-12
AD9102-EBZ		Evaluation Board	

<sup>1</sup> Z = RoHS 準拠製品。