

AD8691/AD8692/AD8694

特長

オフセット電圧: 400 μV (typ)
 低オフセット電圧ドリフト: 最大 6 $\mu\text{V}/^\circ\text{C}$ (AD8692/AD8694)
 非常に小さい入力バイアス電流: 最大 1 pA
 低ノイズ: 8 nV/ $\sqrt{\text{Hz}}$
 低歪み: 0.0006%
 広い帯域幅: 10 MHz
 ユニティ・ゲイン安定
 単電源動作: 2.7 V ~ 6 V

アプリケーション

フォトダイオード・アンプ
 バッテリ駆動の計装機器
 医用計測機器
 多極フィルタ
 センサー
 ポータブル・オーディオ機器

概要

AD8691、AD8692、AD8694 は、それぞれシングル、デュアル、クワッドの低価格レール to レール出力、単電源アンプであり、低オフセット、低入力電圧、低電流ノイズ、広い信号帯域幅の特長を持っています。これらのアンプは、低オフセット、低ノイズ、非常に低い入力バイアス電流、高速の組み合わせを持っているため、さまざまなアプリケーションで使うことができます。性能のこの組み合わせは、フィルタ、積分器、フォトダイオード・アンプ、高インピーダンス・センサーのすべてに役立ちます。オーディオやその他の AC アプリケーションには、これらのデバイスの広い帯域幅と低歪みが役立ちます。

これらのアンプのアプリケーションとしては、パワー・アンプ(PA)の制御、レーザー・ダイオード制御ループ、ポータブルおよびループ給電の計装機器、ポータブル機器のオーディオ・アンプ、ASIC の入出力アンプなどがあります。

AD8691 の小型 SC70 パッケージおよび小型 TSOT パッケージの各オプションを使うと、センサーの隣に配置することができるため、外部ノイズの混入を削減することができます。

AD8691、AD8692、AD8694 の仕様は、 $-40^\circ\text{C} \sim +125^\circ\text{C}$ の拡張工業用温度範囲で規定されています。シングルの AD8691 は 5 ピン SC70 または 5 ピン TSOT パッケージを採用しています。デュアルの AD8692 は、8 ピン MSOP またはナロー SOIC 表面実装パッケージを採用しています。クワッドの AD8694 は 14 ピン TSSOP またはナロー 14 ピン SOIC パッケージを採用しています。

ピン配置

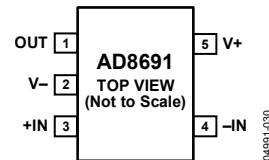


図 1.5 ピン TSOT

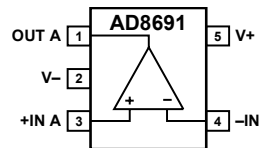


図 2.5 ピン SC70



図 3.8 ピン MSOP

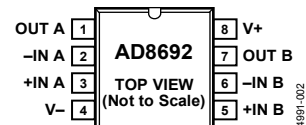


図 4.8 ピン SOIC

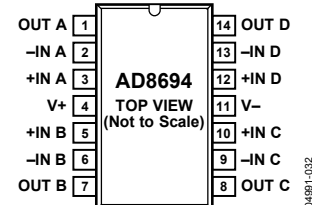


図 5.14 ピン SOIC

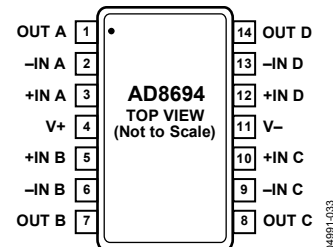


図 6.14 ピン TSSOP

目次

特長	1	絶対最大定格	4
アプリケーション	1	熱特性	5
概要	1	ESD の注意	5
ピン配置	1	代表的な性能特性	6
改訂履歴	2	外形寸法	11
電気的特性	3	オーダー・ガイド	12

改訂履歴

5/07—Rev. B to Rev. C

Change to Figure 1	1
Changes to Large Signal Voltage Gain Values in Table 1	3
Change to Phase Margin Symbol in Table 1	3
Change to TA Value for Table 2	4
Changes to Large Signal Voltage Gain Values in Table 2	4
Change to Phase Margin Symbol in Table 2	4
Changes to Table 4	5
Changes to Outline Dimensions	11
Changes to Ordering Guide	12

3/05—Rev. A to Rev. B

Added AD8694	Universal
--------------------	-----------

1/05—Rev. 0 to Rev. A

Added AD8691	Universal
Changes to Features	1
Added Figure 1 and Figure 2	1
Changes to Electrical Characteristics	3
Changes to Figure 6 caption	6
Changes to Figure 9	6
Updated Outline Dimensions	11
Changes to Ordering Guide	11

10/04—Revision 0: Initial Version

電気的特性

特に指定がない限り、 $V_S = 2.7\text{ V}$ 、 $V_{CM} = V_S/2$ 、 $T_A = 25^\circ\text{C}$ 。

表 1.

Parameter	Symbol	Conditions	Min	Typ	Max	Unit
INPUT CHARACTERISTICS						
Offset Voltage	V_{OS}	$V_{CM} = -0.3\text{ V to }+1.6\text{ V}$ $V_{CM} = -0.1\text{ V to }+1.6\text{ V}; -40^\circ\text{C} < T_A < +125^\circ\text{C}$		0.4	2.0	mV
Input Bias Current	I_B	$-40^\circ\text{C} < T_A < +85^\circ\text{C}$ $-40^\circ\text{C} < T_A < +125^\circ\text{C}$		0.2	1	pA
Input Offset Current	I_{OS}	$-40^\circ\text{C} < T_A < +85^\circ\text{C}$ $-40^\circ\text{C} < T_A < +125^\circ\text{C}$		0.1	0.5	pA
Input Voltage Range			-0.3		+1.6	V
Common-Mode Rejection Ratio	CMRR	$V_{CM} = -0.3\text{ V to }+1.6\text{ V}$ $V_{CM} = -0.1\text{ V to }+1.6\text{ V}; -40^\circ\text{C} < T_A < +125^\circ\text{C}$	68	90		dB
Large Signal Voltage Gain	A_{VO}	$R_L = 2\text{ k}\Omega$, $V_O = 0.5\text{ V to }2.2\text{ V}$	90	250		V/mV
AD8691/AD8692		$R_L = 2\text{ k}\Omega$, $V_O = 0.5\text{ V to }2.2\text{ V}$	60			V/mV
AD8694						
Offset Voltage Drift	$\Delta V_{OS}/\Delta T$			2	12	$\mu\text{V}/^\circ\text{C}$
AD8691						
AD8692/AD8694				1.3	6	$\mu\text{V}/^\circ\text{C}$
INPUT CAPACITANCE						
Common-Mode Input Capacitance	C_{CM}			5		pF
Differential Input Capacitance	C_{DM}			2.5		pF
OUTPUT CHARACTERISTICS						
Output Voltage High	V_{OH}	$I_L = 1\text{ mA}$ $-40^\circ\text{C} < T_A < +125^\circ\text{C}$	2.64	2.66		V
Output Voltage Low	V_{OL}	$I_L = 1\text{ mA}$ $-40^\circ\text{C} < T_A < +125^\circ\text{C}$	2.6			V
Short-Circuit Current	I_{SC}			25	40	mV
Closed-Loop Output Impedance	Z_{OUT}	$f = 1\text{ MHz}$, $A_V = 1$			60	mV
				± 20		mA
				12		Ω
POWER SUPPLY						
Power Supply Rejection Ratio	PSRR	$V_S = 2.7\text{ V to }5.5\text{ V}$ $-40^\circ\text{C} < T_A < +125^\circ\text{C}$	80	95		dB
Supply Current/Amplifier	I_{SY}	$V_O = 0\text{ V}$ $-40^\circ\text{C} < T_A < +125^\circ\text{C}$	75	95		dB
				0.85	0.95	mA
					1.2	mA
DYNAMIC PERFORMANCE						
Slew Rate	SR	$R_L = 2\text{ k}\Omega$		5		V/ μs
Settling Time	t_s	To 0.01%		1		μs
Gain Bandwidth Product	GBP			10		MHz
Phase Margin	ϕ_m			60		Degrees
Total Harmonic Distortion + Noise	THD + N	$G = 1$, $R_L = 600\ \Omega$, $f = 1\text{ kHz}$, $V_O = 250\text{ mV p-p}$		0.003		%
NOISE PERFORMANCE						
Voltage Noise	$e_{n\text{ p-p}}$	$f = 0.1\text{ Hz to }10\text{ Hz}$		1.6	3.0	$\mu\text{V p-p}$
Voltage Noise Density	e_n	$f = 1\text{ kHz}$		8	12	nV/ $\sqrt{\text{Hz}}$
	e_n	$f = 10\text{ kHz}$		6.5		nV/ $\sqrt{\text{Hz}}$
Current Noise Density	i_n	$f = 1\text{ kHz}$		0.05		pA/ $\sqrt{\text{Hz}}$

特に指定がない限り、 $V_S = 5.0\text{ V}$ 、 $V_{CM} = V_S/2$ 、 $T_A = 25^\circ\text{C}$ 。

表 2.

Parameter	Symbol	Conditions	Min	Typ	Max	Unit
INPUT CHARACTERISTICS						
Offset Voltage	V_{OS}	$V_{CM} = -0.3\text{ V to }+3.9\text{ V}$ $V_{CM} = -0.1\text{ V to }+3.9\text{ V}; -40^\circ\text{C} < T_A < +125^\circ\text{C}$		0.4	2.0	mV
Input Bias Current	I_B	$-40^\circ\text{C} < T_A < +85^\circ\text{C}$ $-40^\circ\text{C} < T_A < +125^\circ\text{C}$		0.2	1	pA
Input Offset Current	I_{OS}	$-40^\circ\text{C} < T_A < +85^\circ\text{C}$ $-40^\circ\text{C} < T_A < +125^\circ\text{C}$		0.1	0.5	pA
Input Voltage Range			-0.3		+3.9	V
Common-Mode Rejection Ratio	CMRR	$V_{CM} = -0.3\text{ V to }+3.9\text{ V}$ $V_{CM} = -0.1\text{ V to }+3.9\text{ V}; -40^\circ\text{C} < T_A < +125^\circ\text{C}$	70	95		dB
Large Signal Voltage Gain	A_{VO}	$V_O = 0.5\text{ V to }4.5\text{ V}, R_L = 2\text{ k}\Omega, V_{CM} = 0\text{ V}$ $V_O = 0.5\text{ V to }4.5\text{ V}, R_L = 2\text{ k}\Omega, V_{CM} = 0\text{ V}$	250	2000		V/mV
Offset Voltage Drift	$\Delta V_{OS}/\Delta T$					$\mu\text{V}/^\circ\text{C}$
AD8691				2	12	$\mu\text{V}/^\circ\text{C}$
AD8692/AD8694				1.3	6	$\mu\text{V}/^\circ\text{C}$
INPUT CAPACITANCE						
Common-Mode Input Capacitance	C_{CM}			5		pF
Differential Input Capacitance	C_{DM}			2.5		pF
OUTPUT CHARACTERISTICS						
Output Voltage High	V_{OH}	$I_L = 1\text{ mA}$ $I_L = 10\text{ mA}$ $-40^\circ\text{C to }+125^\circ\text{C}$	4.96	4.98		V
			4.7	4.78		V
			4.6			V
Output Voltage Low	V_{OL}	$I_L = 1\text{ mA}$ $I_L = 10\text{ mA}$ $I_L = 10\text{ mA}$ $-40^\circ\text{C to }+125^\circ\text{C}$ $-40^\circ\text{C to }+125^\circ\text{C}$		20	40	mV
AD8691/AD8692				165	210	mV
AD8694				185	240	mV
AD8691/AD8692					290	mV
AD8694					370	mV
Short-Circuit Current	I_{SC}			± 80		mA
Closed-Loop Output Impedance	Z_{OUT}	$f = 1\text{ MHz}, A_V = 1$		10		Ω
POWER SUPPLY						
Power Supply Rejection Ratio	PSRR	$V_S = 2.7\text{ V to }5.5\text{ V}$ $-40^\circ\text{C} < T_A < +125^\circ\text{C}$	80	95		dB
			75	95		dB
Supply Current/Amplifier	I_{SY}	$V_O = 0\text{ V}$ $-40^\circ\text{C} < T_A < +125^\circ\text{C}$		0.95	1.05	mA
					1.3	mA
DYNAMIC PERFORMANCE						
Slew Rate	SR	$R_L = 2\text{ k}\Omega$		5		V/ μs
Settling Time	t_s	To 0.01%		1		μs
Full Power Bandwidth	BW _P	<1% distortion		360		kHz
Gain Bandwidth Product	GBP			10		MHz
Phase Margin	ϕ_m			65		Degrees
Total Harmonic Distortion + Noise	THD + N	$G = 1, R_L = 600\ \Omega, f = 1\text{ kHz}, V_O = 1\text{ V p-p}$		0.0006		%
NOISE PERFORMANCE						
Voltage Noise	$e_{n\text{ p-p}}$	$f = 0.1\text{ Hz to }10\text{ Hz}$		1.6	3.0	$\mu\text{V p-p}$
Voltage Noise Density	e_n	$f = 1\text{ kHz}$		8	12	nV/ $\sqrt{\text{Hz}}$
	e_n	$f = 10\text{ kHz}$		6.5		nV/ $\sqrt{\text{Hz}}$
Current Noise Density	i_n	$f = 1\text{ kHz}$		0.05		pA/ $\sqrt{\text{Hz}}$

絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 3.

Parameter	Rating
Supply Voltage	6 V
Input Voltage	$V_{SS} - 0.3 \text{ V to } V_{DD} + 0.3 \text{ V}$
Differential Input Voltage	$\pm 6 \text{ V}$
Output Short-Circuit Duration to GND	Observe derating curves
Storage Temperature Range	$-65^\circ\text{C to } +150^\circ\text{C}$
Operating Temperature Range	$-40^\circ\text{C to } +125^\circ\text{C}$
Junction Temperature Range	$-65^\circ\text{C to } +150^\circ\text{C}$
Lead Temperature (Soldering, 60 sec)	300°C

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

熱特性

θ_{JA} はワーストケース条件で規定。すなわち表面実装パッケージの場合、デバイスを回路ボードにハンダ付けした状態で規定。

表 4. 熱抵抗

Package Type	θ_{JA}	θ_{JC}	Unit
8-Lead MSOP (RM-8)	210	45	$^\circ\text{C/W}$
8-Lead SOIC (R-8)	158	43	$^\circ\text{C/W}$
5-Lead TSOT (UJ-5)	207	61	$^\circ\text{C/W}$
5-Lead SC70 (KS-5)	376	126	$^\circ\text{C/W}$
14-Lead TSSOP (RU-14)	180	35	$^\circ\text{C/W}$
14-Lead SOIC (R-14)	120	36	$^\circ\text{C/W}$

ESD の注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

代表的な性能特性

特に指定がない限り、 $V_S = +5\text{ V}$ または $\pm 2.5\text{ V}$ 。

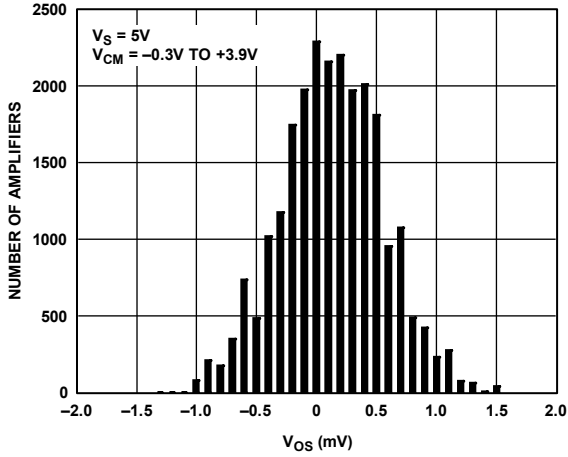


図 7. 入力オフセット電圧の分布

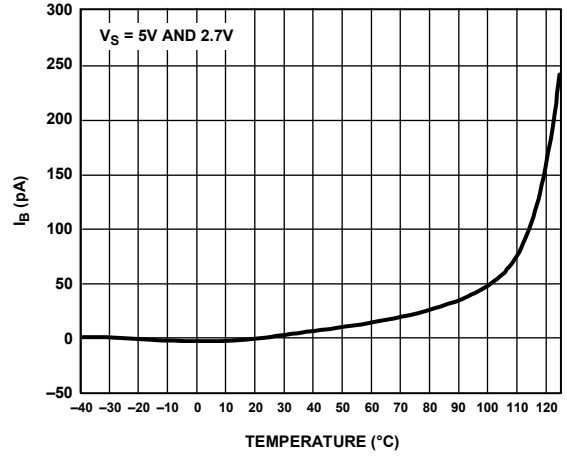


図 10. 入力バイアス電流の温度特性

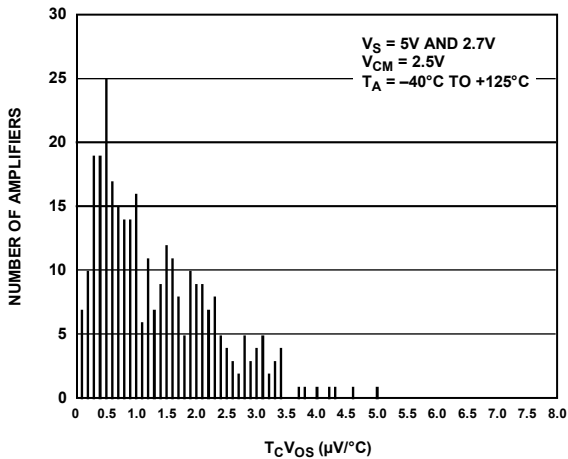


図 8. AD8692/AD8694 の入力オフセット電圧ドリフト分布

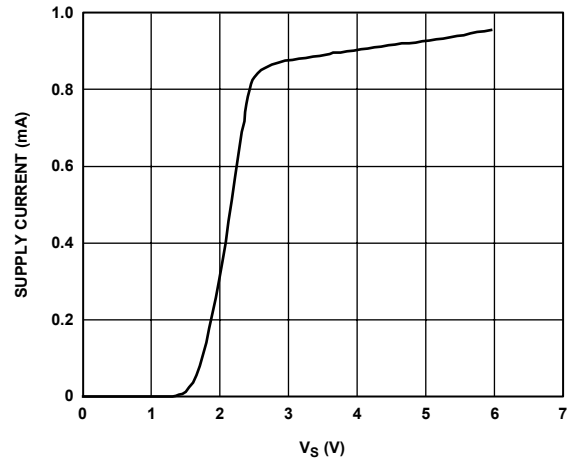


図 11. 電源電流対電源電圧

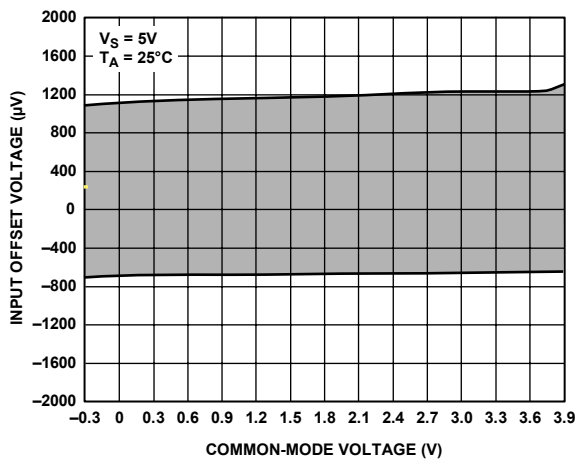


図 9. 入力オフセット電圧対共通・モード電圧

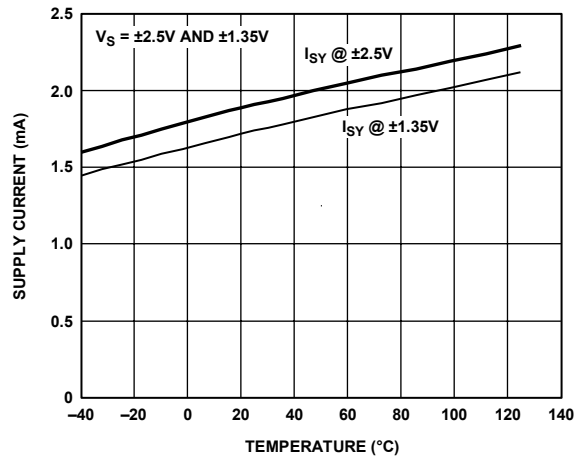


図 12. 電源電流の温度特性

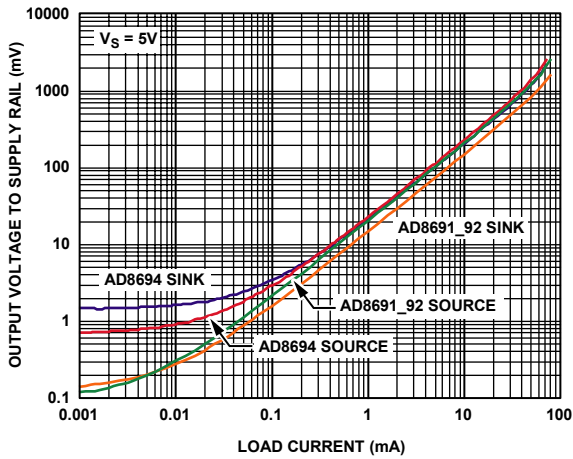


図 13.電源レールまで近づく出力電圧対負荷電流

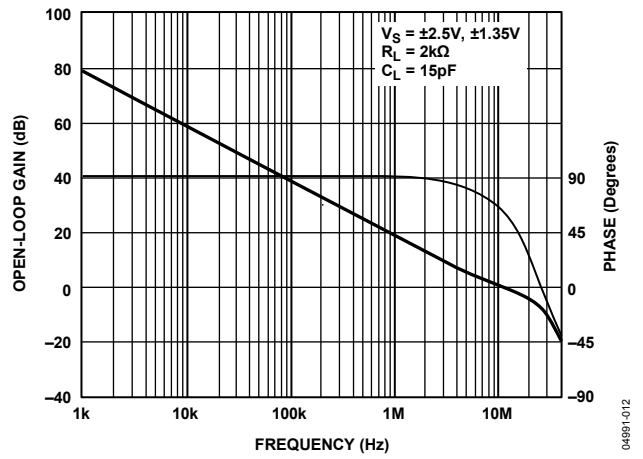


図 16.オープン・ループ・ゲインおよび位相の周波数特性

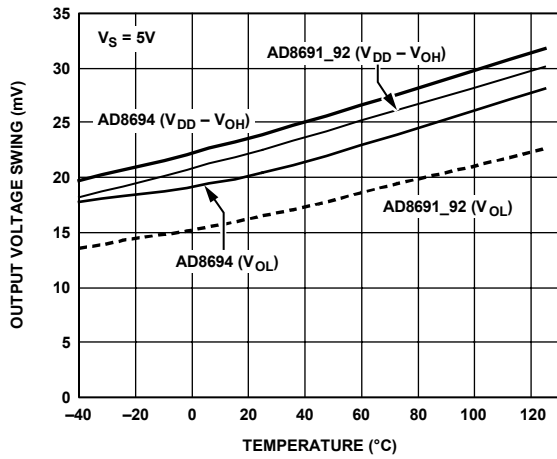


図 14.出力電圧振幅の温度特性($I_L = 1 \text{ mA}$)

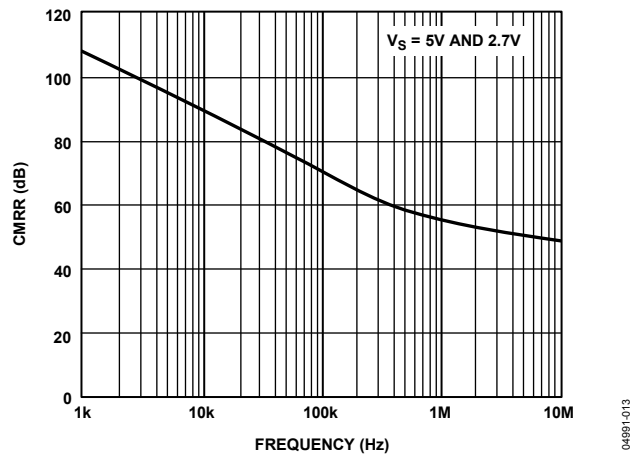


図 17.CMRR の周波数特性

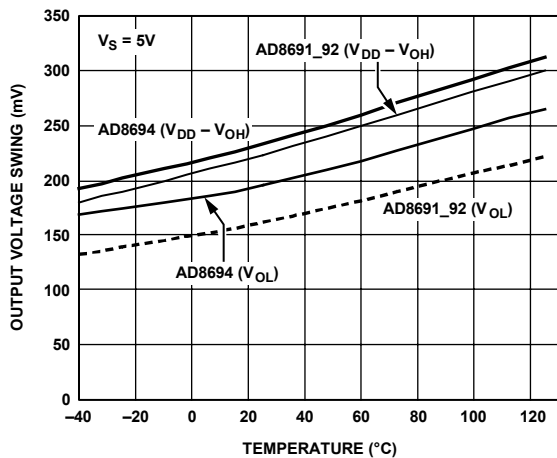


図 15.出力電圧振幅の温度特性($I_L = 10 \text{ mA}$)

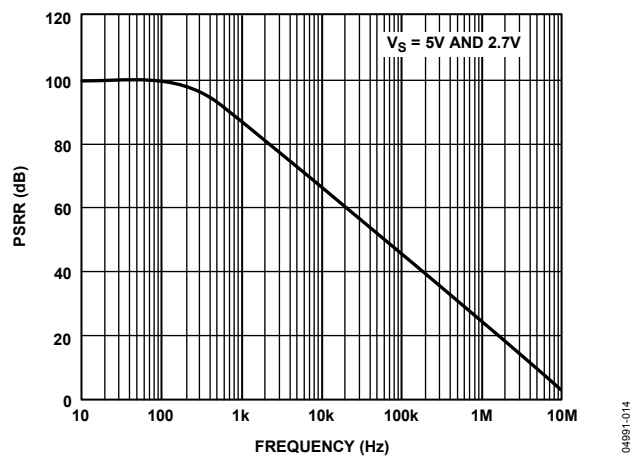


図 18.PSRR の周波数特性

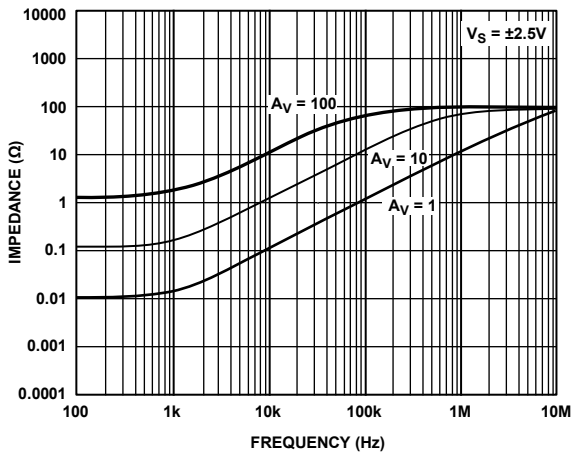


図 19. クローズド・ループ出力インピーダンスの周波数特性

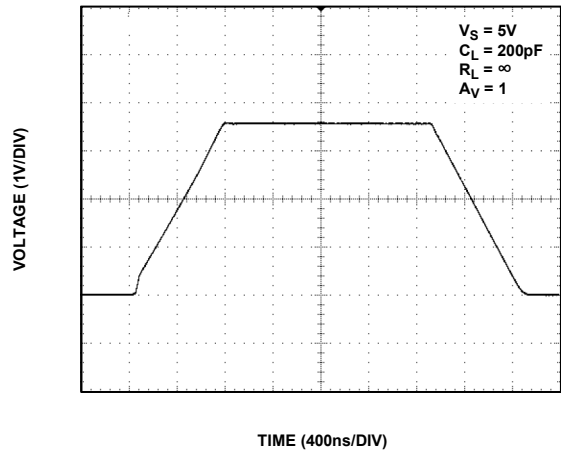


図 22. 大信号過渡応答

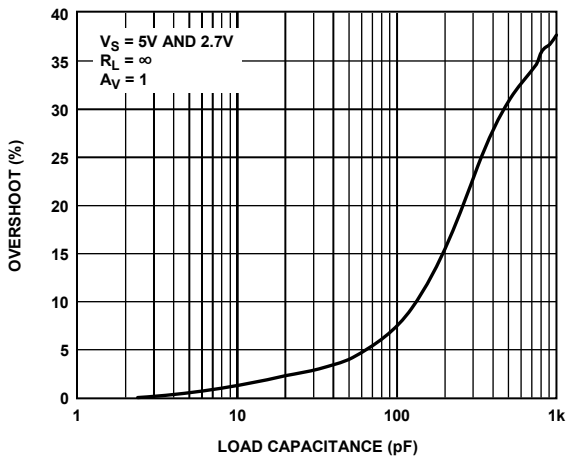


図 20. 小信号オーバーシュート対負荷容量

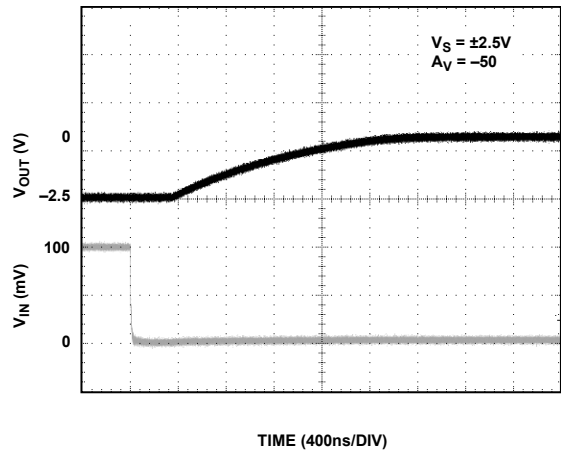


図 23. 正側過負荷回復

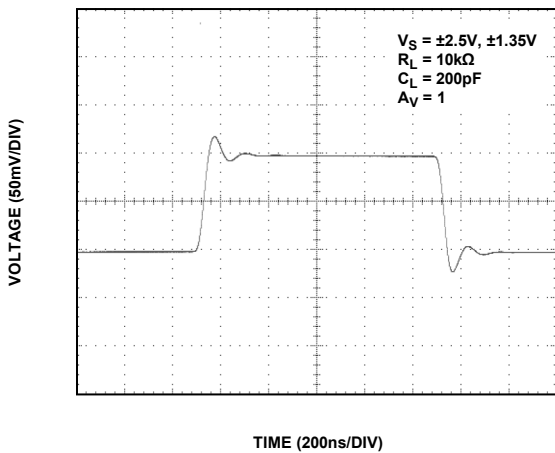


図 21. 小信号過渡応答

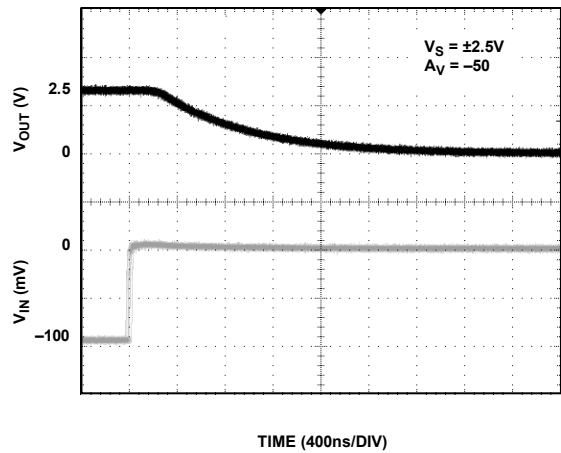


図 24. 負側過負荷回復

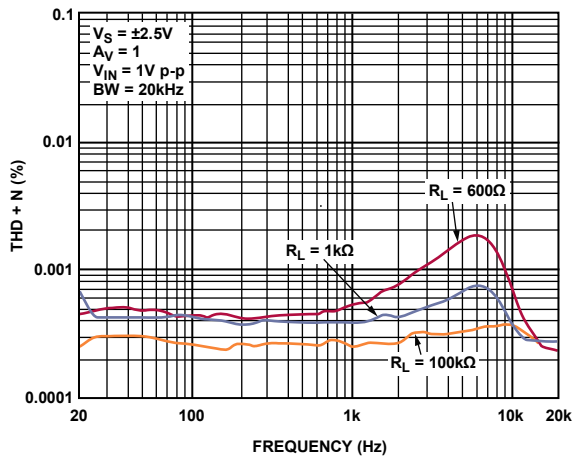


図 25. THD + N の周波数特性

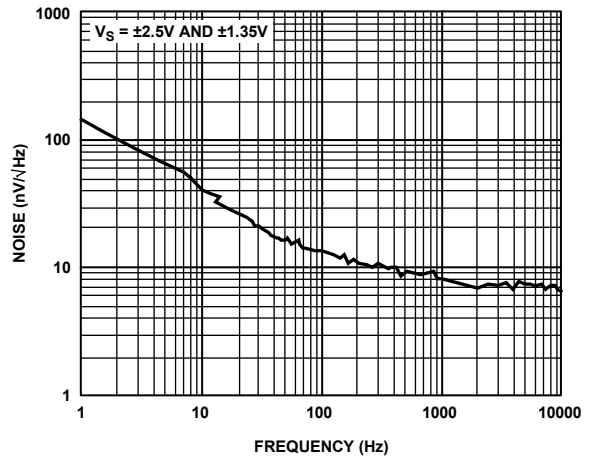


図 27. 電圧ノイズ密度

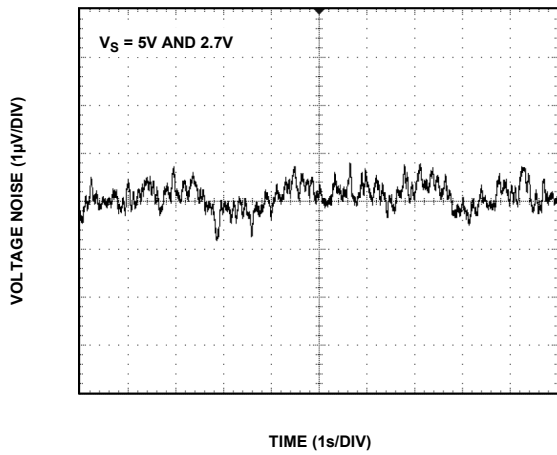


図 26. 0.1 Hz ~ 10 Hz での入力電圧ノイズ

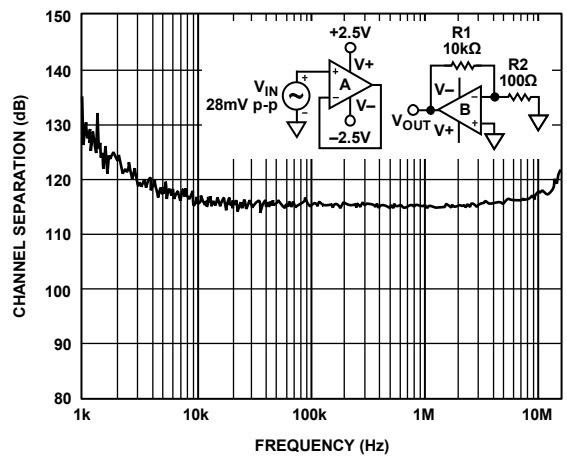


図 28. AD8692/AD8694 チャンネル・セパレーション

特に指定がない限り、 $V_S = +2.7\text{ V}$ または $\pm 1.35\text{ V}$ 。

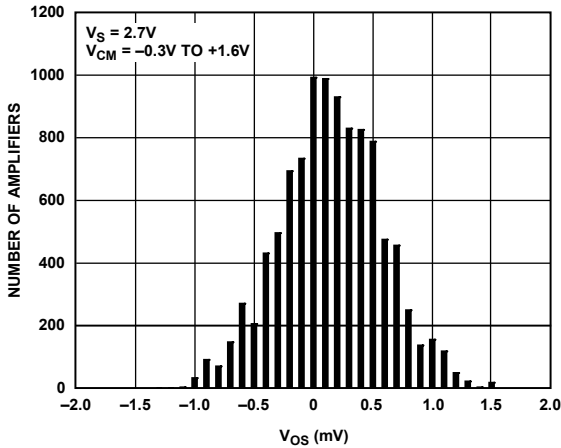


図 29. 入力オフセット電圧の分布

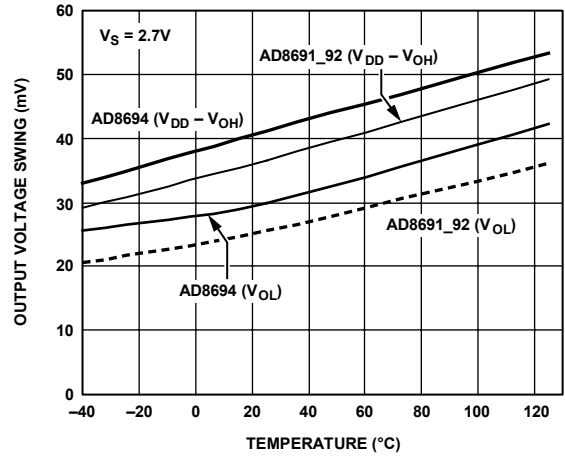


図 32. 出力電圧振幅の温度特性 ($I_L = 1\text{ mA}$)

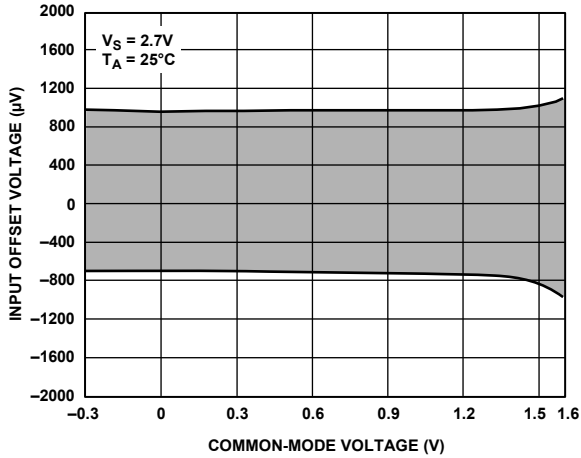


図 30. 入力オフセット電圧対コモン・モード電圧

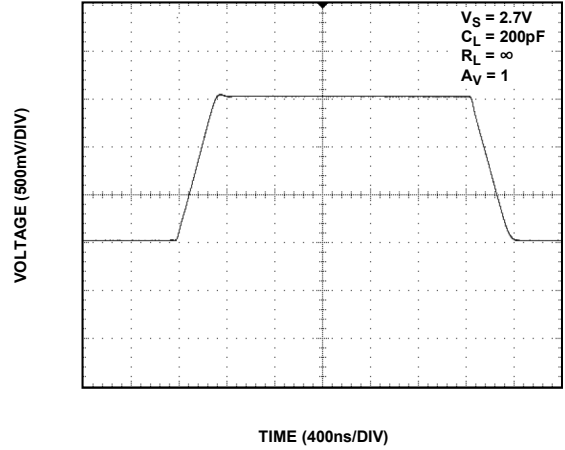


図 33. 大信号過渡応答

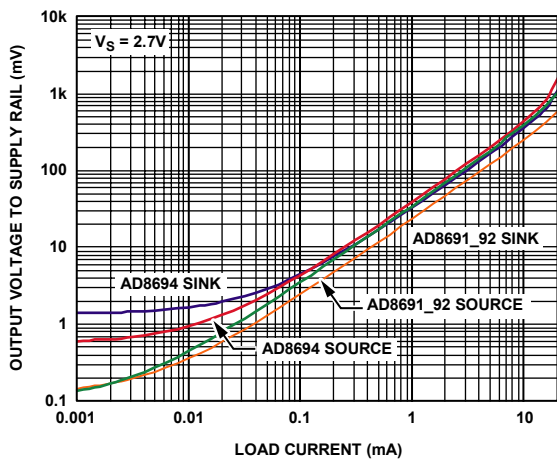
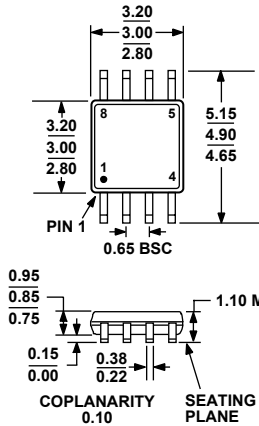


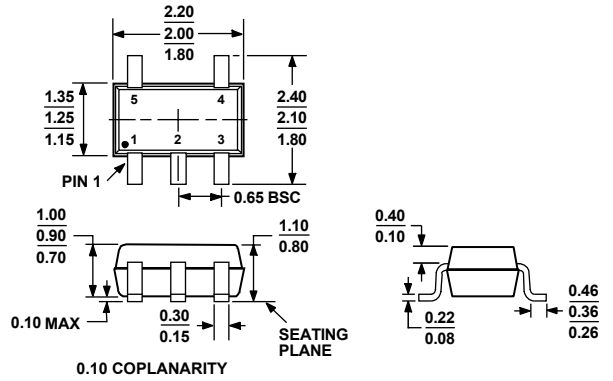
図 31. 電源レールまで近づく出力電圧対負荷電流

外形寸法



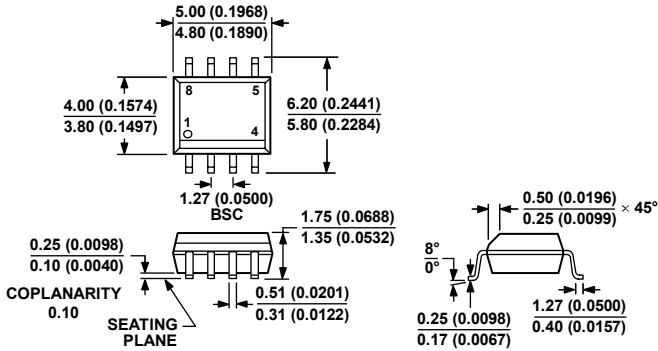
COMPLIANT TO JEDEC STANDARDS MO-187-AA

図 34.8 ピン・ミニ・スモール・アウトライン・パッケージ[MSOP] (RM-8) 寸法: mm



COMPLIANT TO JEDEC STANDARDS MO-203-AA

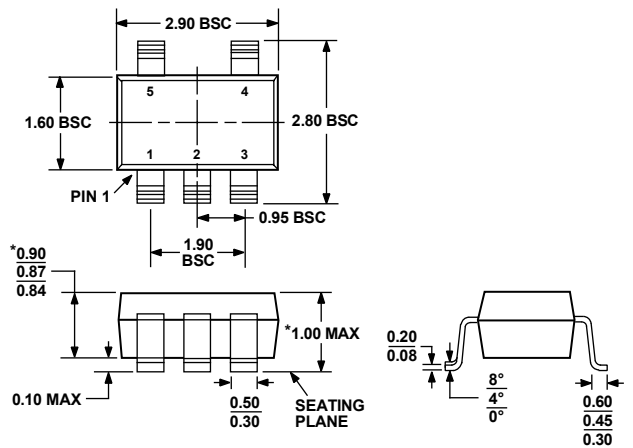
図 36.5 ピン薄型シュリンク・スモール・アウトライン・パッケージ[SC70] (KS-5) 寸法: mm



COMPLIANT TO JEDEC STANDARDS MS-012-AA

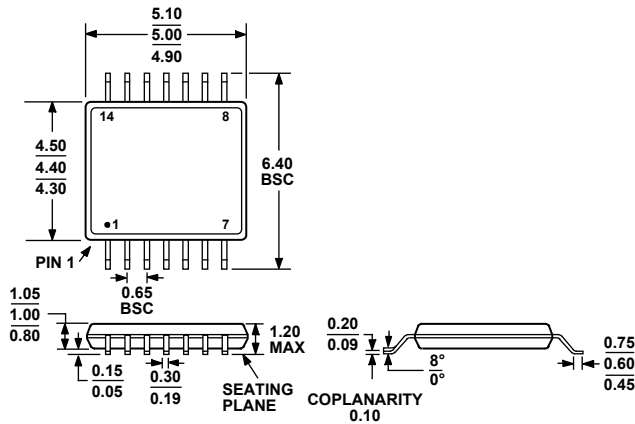
CONTROLLING DIMENSIONS ARE IN MILLIMETERS; INCH DIMENSIONS (IN PARENTHESES) ARE ROUNDED-OFF MILLIMETER EQUIVALENTS FOR REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.

図 35.8 ピン標準スモール・アウトライン・パッケージ[SOIC_N] ナロー・ボディ(R-8) 寸法: mm (インチ)



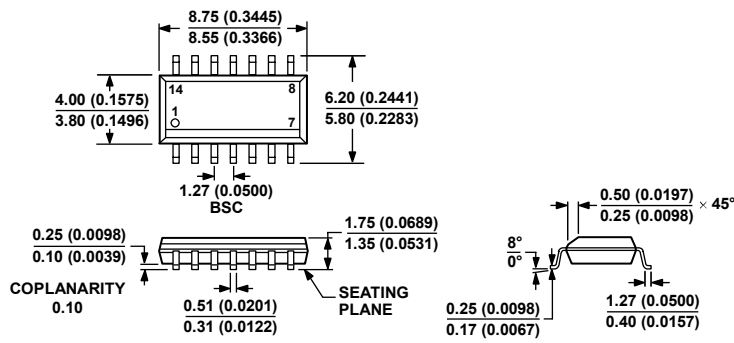
*COMPLIANT TO JEDEC STANDARDS MO-193-AB WITH THE EXCEPTION OF PACKAGE HEIGHT AND THICKNESS.

図 37.5 ピン薄型スモール・アウトライン・トランジスタパッケージ[TSOT] (UJ-5) 寸法: mm



COMPLIANT TO JEDEC STANDARDS MO-153-AB-1

図 38.14 ピン薄型シュリンク・スモール・アウトライン・パッケージ[TSSOP] (RU-14) 寸法: mm



COMPLIANT TO JEDEC STANDARDS MS-012-AB
CONTROLLING DIMENSIONS ARE IN MILLIMETERS; INCH DIMENSIONS
(IN PARENTHESES) ARE ROUNDED-OFF MILLIMETER EQUIVALENTS FOR
REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.

060606-A

図 39.14 ピン標準スモール・アウトライン・パッケージ[SOIC_N]
小型ボディ(R-14)
寸法: mm

D04991-0-5/07(C)-J

オーダー・ガイド

Model	Temperature Range	Package Description	Package Option	Branding
AD8691AUJZ-R2 ¹	-40°C to +125°C	5-Lead TSOT	UJ-5	ACA
AD8691AUJZ-REEL ¹	-40°C to +125°C	5-Lead TSOT	UJ-5	ACA
AD8691AUJZ-REEL7 ¹	-40°C to +125°C	5-Lead TSOT	UJ-5	ACA
AD8691AKSZ-R2 ¹	-40°C to +125°C	5-Lead SC70	KS-5	ACA
AD8691AKSZ-REEL ¹	-40°C to +125°C	5-Lead SC70	KS-5	ACA
AD8691AKSZ-REEL7 ¹	-40°C to +125°C	5-Lead SC70	KS-5	ACA
AD8692ARMZ-R2 ¹	-40°C to +125°C	8-Lead MSOP	RM-8	APA
AD8692ARMZ-REEL ¹	-40°C to +125°C	8-Lead MSOP	RM-8	APA
AD8692ARZ ¹	-40°C to +125°C	8-Lead SOIC_N	R-8	
AD8692ARZ-REEL ¹	-40°C to +125°C	8-Lead SOIC_N	R-8	
AD8692ARZ-REEL7 ¹	-40°C to +125°C	8-Lead SOIC_N	R-8	
AD8694ARUZ ¹	-40°C to +125°C	14-Lead TSSOP	RU-14	
AD8694ARUZ-REEL ¹	-40°C to +125°C	14-Lead TSSOP	RU-14	
AD8694ARZ ¹	-40°C to +125°C	14-Lead SOIC_N	R-14	
AD8694ARZ-REEL ¹	-40°C to +125°C	14-Lead SOIC_N	R-14	
AD8694ARZ-REEL7 ¹	-40°C to +125°C	14-Lead SOIC_N	R-14	

¹ Z = RoHS 準拠製品。