

### 特長

高電圧(18 V)でマイクロパワー: 18  $\mu$ A (typ)  
 低オフセット電圧: 350  $\mu$ V 最大  
 単電源動作: 2.7 V~18 V  
 両電源動作:  $\pm$ 1.35 V~ $\pm$ 9 V  
 低入力バイアス電流: 20 pA  
 ゲイン帯域幅: 200 kHz  
 ユニティ・ゲイン安定  
 優れた電磁干渉耐性

### アプリケーション

ポータブル・システム  
 電流モニタ  
 4 mA~20 mA のループ・ドライバ  
 バッファ/レベル・シフト  
 多極フィルタ  
 リモート/ワイヤレス・センサー  
 低消費電力トランスインピーダンス・アンプ

### 概要

AD8657 は、低消費電力と広い動作電源電圧範囲のアプリケーションに対して最適化された、マイクロパワー、レール to レール入力/出力の高精度デュアル・アンプです。

AD8657は2.7 V~18 Vの電源電圧で動作し、静止電源電流は18  $\mu$ A (typ)です。このデバイスは、低オフセット電圧を実現する、アナログ・デバイセズの特許取得済みDigiTrim<sup>®</sup> トリミング技術を採用しています。また、AD8657は電磁干渉に対して高い耐性も持っています。

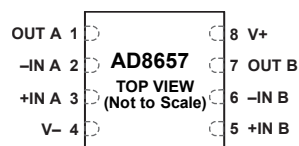
AD8657 は、小さい電源電流、低オフセット電圧、非常に小さい入力バイアス電流、広い電源範囲、レール to レール入力/出力の組み合わせを持つため、プロセス制御アプリケーションとモーター制御アプリケーションでの電流モニタと電流ループに最適です。このデバイスは高精度仕様の組み合わせを持つため、ワイヤレスまたはリモート・センサーまたはトランスミッタでのセンサー・フロント・エンドまたはハイ・インピーダンス入力ソースの DC ゲインおよびバッファリングに最適です。

AD8657 は-40°C~+125°C の拡張工業用温度範囲で動作し、8 ピン MSOP パッケージまたは 8 ピン LFCSP パッケージを採用しています。

### ピン配置



図 1. 8 ピン MSOP



NOTES  
 1. IT IS RECOMMENDED TO CONNECT THE EXPOSED PAD TO V-.

図 2. 8 ピン LFCSP

表 1. マイクロパワー・オペアンプの一覧

Supply Voltage	5 V	12 V to 16 V	36 V
Single	AD8500 ADA4505-1 AD8505 AD8541 AD8603	AD8663	
Dual	AD8502 ADA4505-2 AD8506 AD8542 AD8607	AD8667 OP281	OP295 ADA4062-2
Quad	AD8504 ADA4505-4 AD8508 AD8544 AD8609	AD8669 OP481	OP495 ADA4062-4

## 目次

特長.....	1	アプリケーション情報.....	17
アプリケーション.....	1	入力ステージ.....	17
ピン配置.....	1	出力ステージ.....	17
概要.....	1	レールtoレール.....	18
改訂履歴.....	2	抵抗負荷.....	18
仕様.....	3	コンパレータ動作.....	19
電気的特性—2.7 V動作.....	3	EMI除去比.....	20
電気的特性—10 V動作.....	4	4 mA~20 mAプロセス・コントロール電流ループ・トランスミッタ.....	20
電気的特性—18 V動作.....	5	外形寸法.....	21
絶対最大定格.....	6	オーダー・ガイド.....	21
熱抵抗.....	6		
ESDの注意.....	6		
代表的な性能特性.....	7		

## 改訂履歴

### 3/11—Rev. 0 to Rev. A

Added LFCSP Package Information.....	Throughout
Added Figure 2, Renumbered Subsequent Figures.....	1
Changes to Table 2, Introductory Text; Input Characteristics, Offset Voltage and Common-Mode Rejection Ratio Test Conditions/Comments; and Dynamic Performance, Phase Margin Values.....	3
Changes to Table 3, Introductory Text; Input Characteristics, Offset Voltage and Common-Mode Rejection Ratio Test Conditions/Comments.....	4
Changes to Table 4, Introductory Text; Input Characteristics, Offset Voltage and Common-Mode Rejection Ratio Test Conditions/Comments.....	5
Changes to Thermal Resistance Section and Table 5.....	6
Updated Outline Dimensions.....	21
Changes to Ordering Guide.....	21

### 1/11—Revision 0: Initial Version

## 仕様

## 電気的特性—2.7 V動作

特に指定がない限り、 $V_{SY} = 2.7\text{ V}$ 、 $V_{CM} = V_{SY}/2\text{ V}$ 、 $T_A = 25^\circ\text{C}$ 。

表 2.

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
<b>INPUT CHARACTERISTICS</b>						
Offset Voltage	$V_{OS}$	$V_{CM} = 0\text{ V to }2.7\text{ V}$			350	$\mu\text{V}$
		$V_{CM} = 0.3\text{ V to }2.4\text{ V}; -40^\circ\text{C} \leq T_A \leq +85^\circ\text{C}$			1	mV
		$V_{CM} = 0.3\text{ V to }2.4\text{ V}; -40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$			2.5	mV
		$V_{CM} = 0\text{ V to }2.7\text{ V}; -40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$			4	mV
Input Bias Current	$I_B$	$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$		1	10	pA
Input Offset Current	$I_{OS}$	$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$			2.6	nA
		$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$			20	pA
Input Voltage Range			0		2.7	V
Common-Mode Rejection Ratio	CMRR	$V_{CM} = 0\text{ V to }2.7\text{ V}$	79	95		dB
		$V_{CM} = 0.3\text{ V to }2.4\text{ V}; -40^\circ\text{C} \leq T_A \leq +85^\circ\text{C}$	70			dB
		$V_{CM} = 0.3\text{ V to }2.4\text{ V}; -40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	63			dB
		$V_{CM} = 0\text{ V to }2.7\text{ V}; -40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	60			dB
Large Signal Voltage Gain	$A_{VO}$	$R_L = 100\text{ k}\Omega$ , $V_O = 0.5\text{ V to }2.2\text{ V}$	94	105		dB
		$-40^\circ\text{C} \leq T_A \leq +85^\circ\text{C}$	75			dB
		$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	65			dB
Offset Voltage Drift	$\Delta V_{OS}/\Delta T$		2			$\mu\text{V}/^\circ\text{C}$
Input Resistance	$R_{IN}$			10		G $\Omega$
Input Capacitance, Differential Mode	$C_{INDM}$			3.5		pF
Input Capacitance, Common Mode	$C_{INCM}$			3.5		pF
<b>OUTPUT CHARACTERISTICS</b>						
Output Voltage High	$V_{OH}$	$R_L = 100\text{ k}\Omega$ to $V_{CM}$ ; $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	2.69			V
Output Voltage Low	$V_{OL}$	$R_L = 100\text{ k}\Omega$ to $V_{CM}$ ; $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$			10	mV
Short-Circuit Current	$I_{SC}$			$\pm 4$		mA
Closed-Loop Output Impedance	$Z_{OUT}$	$f = 1\text{ kHz}$ , $A_V = 1$		20		$\Omega$
<b>POWER SUPPLY</b>						
Power Supply Rejection Ratio	PSRR	$V_{SY} = 2.7\text{ V to }18\text{ V}$	105	125		dB
		$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	70			dB
Supply Current per Amplifier	$I_{SY}$	$I_O = 0\text{ mA}$		18	22	$\mu\text{A}$
		$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$			33	$\mu\text{A}$
<b>DYNAMIC PERFORMANCE</b>						
Slew Rate	SR	$R_L = 1\text{ M}\Omega$ , $C_L = 10\text{ pF}$ , $A_V = 1$		38		V/ms
Settling Time to 0.1%	$t_s$	$V_{IN} = 1\text{ V step}$ , $R_L = 100\text{ k}\Omega$ , $C_L = 10\text{ pF}$		14		$\mu\text{s}$
Gain Bandwidth Product	GBP	$R_L = 1\text{ M}\Omega$ , $C_L = 10\text{ pF}$ , $A_V = 1$		170		kHz
Phase Margin	$\Phi_M$	$R_L = 1\text{ M}\Omega$ , $C_L = 10\text{ pF}$ , $A_V = 1$		60		Degrees
Channel Separation	CS	$f = 10\text{ kHz}$ , $R_L = 1\text{ M}\Omega$		105		dB
EMI Rejection Ratio of +IN x	EMIRR	$V_{IN} = 100\text{ mV}_{PEAK}$ ; $f = 400\text{ MHz}, 900\text{ MHz}, 1800\text{ MHz}, 2400\text{ MHz}$		90		dB
<b>NOISE PERFORMANCE</b>						
Voltage Noise	$e_n$ p-p	$f = 0.1\text{ Hz to }10\text{ Hz}$		6		$\mu\text{V p-p}$
Voltage Noise Density	$e_n$	$f = 1\text{ kHz}$		60		nV/ $\sqrt{\text{Hz}}$
		$f = 10\text{ kHz}$		56		nV/ $\sqrt{\text{Hz}}$
Current Noise Density	$i_n$	$f = 1\text{ kHz}$		0.1		pA/ $\sqrt{\text{Hz}}$

## 電氣的特性—10 V動作

特に指定がない限り、 $V_{SY} = 10\text{ V}$ 、 $V_{CM} = V_{SY}/2\text{ V}$ 、 $T_A = 25^\circ\text{C}$ 。

表 3.

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
<b>INPUT CHARACTERISTICS</b>						
Offset Voltage	$V_{OS}$	$V_{CM} = 0\text{ V to }10\text{ V}$ $V_{CM} = 0\text{ V to }10\text{ V}; -40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$			350 9	$\mu\text{V}$ $\text{mV}$
Input Bias Current	$I_B$	$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$		2	15	$\text{pA}$
Input Offset Current	$I_{OS}$	$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$			2.6 30	$\text{nA}$ $\text{pA}$
Input Voltage Range			0		500	$\text{pA}$
Common-Mode Rejection Ratio	CMRR	$V_{CM} = 0\text{ V to }10\text{ V}$ $V_{CM} = 0\text{ V to }10\text{ V}; -40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	90	105	10	$\text{V}$ $\text{dB}$ $\text{dB}$
Large Signal Voltage Gain	$A_{VO}$	$R_L = 100\text{ k}\Omega$ , $V_O = 0.5\text{ V to }9.5\text{ V}$ $-40^\circ\text{C} \leq T_A \leq +85^\circ\text{C}$ $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	105	120		$\text{dB}$ $\text{dB}$ $\text{dB}$
Offset Voltage Drift	$\Delta V_{OS}/\Delta T$			2		$\mu\text{V}/^\circ\text{C}$
Input Resistance	$R_{IN}$			10		$\text{G}\Omega$
Input Capacitance, Differential Mode	$C_{INDM}$			3.5		$\text{pF}$
Input Capacitance, Common Mode	$C_{INCM}$			3.5		$\text{pF}$
<b>OUTPUT CHARACTERISTICS</b>						
Output Voltage High	$V_{OH}$	$R_L = 100\text{ k}\Omega$ to $V_{CM}$ ; $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	9.98			$\text{V}$
Output Voltage Low	$V_{OL}$	$R_L = 100\text{ k}\Omega$ to $V_{CM}$ ; $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$			20	$\text{mV}$
Short-Circuit Current	$I_{SC}$			$\pm 11$		$\text{mA}$
Closed-Loop Output Impedance	$Z_{OUT}$	$f = 1\text{ kHz}$ , $A_V = 1$		15		$\Omega$
<b>POWER SUPPLY</b>						
Power Supply Rejection Ratio	PSRR	$V_{SY} = 2.7\text{ V to }18\text{ V}$ $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	105	125		$\text{dB}$ $\text{dB}$
Supply Current per Amplifier	$I_{SY}$	$I_O = 0\text{ mA}$ $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$		18	22 33	$\mu\text{A}$ $\mu\text{A}$
<b>DYNAMIC PERFORMANCE</b>						
Slew Rate	SR	$R_L = 1\text{ M}\Omega$ , $C_L = 10\text{ pF}$ , $A_V = 1$		60		$\text{V/ms}$
Settling Time to 0.1%	$t_s$	$V_{IN} = 1\text{ V step}$ , $R_L = 100\text{ k}\Omega$ , $C_L = 10\text{ pF}$		13		$\mu\text{s}$
Gain Bandwidth Product	GBP	$R_L = 1\text{ M}\Omega$ , $C_L = 10\text{ pF}$ , $A_V = 1$		200		$\text{kHz}$
Phase Margin	$\Phi_M$	$R_L = 1\text{ M}\Omega$ , $C_L = 10\text{ pF}$ , $A_V = 1$		60		Degrees
Channel Separation	CS	$f = 10\text{ kHz}$ , $R_L = 1\text{ M}\Omega$		105		$\text{dB}$
EMI Rejection Ratio of +IN x	EMIRR	$V_{IN} = 100\text{ mV}_{PEAK}$ ; $f = 400\text{ MHz}$ , $900\text{ MHz}$ , $1800\text{ MHz}$ , $2400\text{ MHz}$		90		$\text{dB}$
<b>NOISE PERFORMANCE</b>						
Voltage Noise	$e_n$ p-p	$f = 0.1\text{ Hz to }10\text{ Hz}$		5		$\mu\text{V p-p}$
Voltage Noise Density	$e_n$	$f = 1\text{ kHz}$ $f = 10\text{ kHz}$		50 45		$\text{nV}/\sqrt{\text{Hz}}$ $\text{nV}/\sqrt{\text{Hz}}$
Current Noise Density	$i_n$	$f = 1\text{ kHz}$		0.1		$\text{pA}/\sqrt{\text{Hz}}$

## 電気的特性—18 V動作

特に指定がない限り、 $V_{SY} = 18\text{ V}$ 、 $V_{CM} = V_{SY}/2\text{ V}$ 、 $T_A = 25^\circ\text{C}$ 。

表 4.

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
<b>INPUT CHARACTERISTICS</b>						
Offset Voltage	$V_{OS}$	$V_{CM} = 0\text{ V to }18\text{ V}$ $V_{CM} = 0.3\text{ V to }17.7\text{ V}; -40^\circ\text{C} \leq T_A \leq +85^\circ\text{C}$ $V_{CM} = 0.3\text{ V to }17.7\text{ V}; -40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$ $V_{CM} = 0\text{ V to }18\text{ V}; -40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$			350 1.2 2 11	$\mu\text{V}$ $\text{mV}$ $\text{mV}$ $\text{mV}$
Input Bias Current	$I_B$	$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$		5	20	$\text{pA}$ $\text{nA}$
Input Offset Current	$I_{OS}$	$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$			40 500	$\text{pA}$ $\text{pA}$
Input Voltage Range			0		18	$\text{V}$
Common-Mode Rejection Ratio	CMRR	$V_{CM} = 0\text{ V to }18\text{ V}$ $V_{CM} = 0.3\text{ V to }17.7\text{ V}; -40^\circ\text{C} \leq T_A \leq +85^\circ\text{C}$ $V_{CM} = 0.3\text{ V to }17.7\text{ V}; -40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$ $V_{CM} = 0\text{ V to }18\text{ V}; -40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	95 83 80 67	110		$\text{dB}$ $\text{dB}$ $\text{dB}$ $\text{dB}$
Large Signal Voltage Gain	$A_{VO}$	$R_L = 100\text{ k}\Omega$ , $V_O = 0.5\text{ V to }17.5\text{ V}$ $-40^\circ\text{C} \leq T_A \leq +85^\circ\text{C}$ $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	110 105 73	120		$\text{dB}$ $\text{dB}$ $\text{dB}$
Offset Voltage Drift	$\Delta V_{OS}/\Delta T$			2		$\mu\text{V}/^\circ\text{C}$
Input Resistance	$R_{IN}$			10		$\text{G}\Omega$
Input Capacitance, Differential Mode	$C_{INDM}$			3.5		$\text{pF}$
Input Capacitance, Common Mode	$C_{INCM}$			10.5		$\text{pF}$
<b>OUTPUT CHARACTERISTICS</b>						
Output Voltage High	$V_{OH}$	$R_L = 100\text{ k}\Omega$ to $V_{CM}$ ; $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	17.97			$\text{V}$
Output Voltage Low	$V_{OL}$	$R_L = 100\text{ k}\Omega$ to $V_{CM}$ ; $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$			30	$\text{mV}$
Short-Circuit Current	$I_{SC}$			$\pm 12$		$\text{mA}$
Closed-Loop Output Impedance	$Z_{OUT}$	$f = 1\text{ kHz}$ , $A_V = 1$		15		$\Omega$
<b>POWER SUPPLY</b>						
Power Supply Rejection Ratio	PSRR	$V_{SY} = 2.7\text{ V to }18\text{ V}$ $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	105 70	125		$\text{dB}$ $\text{dB}$
Supply Current per Amplifier	$I_{SY}$	$I_O = 0\text{ mA}$ $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$		18	22 33	$\mu\text{A}$ $\mu\text{A}$
<b>DYNAMIC PERFORMANCE</b>						
Slew Rate	SR	$R_L = 1\text{ M}\Omega$ , $C_L = 10\text{ pF}$ , $A_V = 1$		70		$\text{V/ms}$
Settling Time to 0.1%	$t_s$	$V_{IN} = 1\text{ V step}$ , $R_L = 100\text{ k}\Omega$ , $C_L = 10\text{ pF}$		12		$\mu\text{s}$
Gain Bandwidth Product	GBP	$R_L = 1\text{ M}\Omega$ , $C_L = 10\text{ pF}$ , $A_V = 1$		200		$\text{kHz}$
Phase Margin	$\Phi_M$	$R_L = 1\text{ M}\Omega$ , $C_L = 10\text{ pF}$ , $A_V = 1$		60		Degrees
Channel Separation	CS	$f = 10\text{ kHz}$ , $R_L = 1\text{ M}\Omega$		105		$\text{dB}$
EMI Rejection Ratio of +IN x	EMIRR	$V_{IN} = 100\text{ mV}_{PEAK}$ ; $f = 400\text{ MHz}$ , $900\text{ MHz}$ , $1800\text{ MHz}$ , $2400\text{ MHz}$		90		$\text{dB}$
<b>NOISE PERFORMANCE</b>						
Voltage Noise	$e_n\text{ p-p}$	$f = 0.1\text{ Hz to }10\text{ Hz}$		5		$\mu\text{V p-p}$
Voltage Noise Density	$e_n$	$f = 1\text{ kHz}$ $f = 10\text{ kHz}$		50 45		$\text{nV}/\sqrt{\text{Hz}}$ $\text{nV}/\sqrt{\text{Hz}}$
Current Noise Density	$i_n$	$f = 1\text{ kHz}$		0.1		$\text{pA}/\sqrt{\text{Hz}}$

## 絶対最大定格

表 4.

Parameter	Rating
Supply Voltage	20.5 V
Input Voltage	(V-) - 300 mV to (V+) + 300 mV
Input Current <sup>1</sup>	±10 mA
Differential Input Voltage	±V <sub>SY</sub>
Output Short-Circuit Duration to GND	Indefinite
Temperature Range	
Storage	-65°C to +150°C
Operating	-40°C to +125°C
Junction	-65°C to +150°C
Lead Temperature (Soldering, 60 sec)	300°C

<sup>1</sup> 入力ピンには、電源ピンへのクランプ・ダイオードが付いています。入力信号が電源レールを 0.3 V 以上超えるときは、入力電流を 10 mA 以下に制限する必要があります。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

## 熱抵抗

$\theta_{JA}$  はワーストケース条件で規定。すなわち表面実装パッケージの場合、標準の 4 層 JEDEC ボードを使用してデバイスを回路ボードにハンダ付けしています。エクスポーズド・パッドはボードにハンダ付けされています。

表 5. 熱抵抗

Package Type	$\theta_{JA}$	$\theta_{JC}$	Unit
8-Lead MSOP (RM-8)	142	45	°C/W
8-Lead LFCSP (CP-8-11)	75	12	°C/W

## ESDの注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

## 代表的な性能特性

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

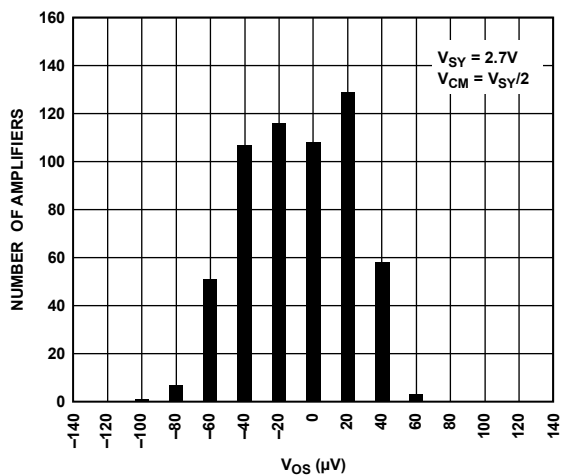


図 3.入力オフセット電圧の分布

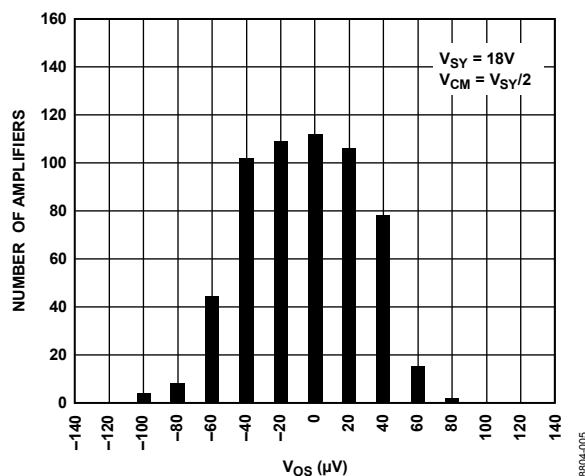


図 6.入力オフセット電圧の分布

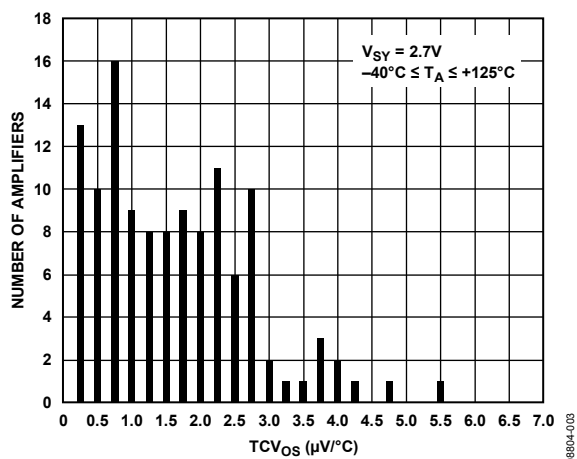


図 4.入力オフセット電圧ドリフトの分布

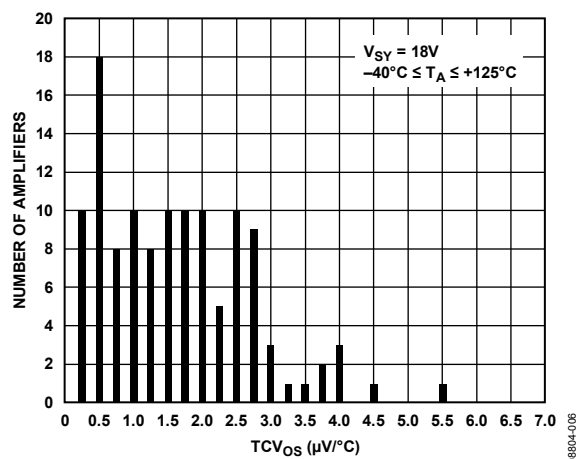


図 7.入力オフセット電圧ドリフトの分布

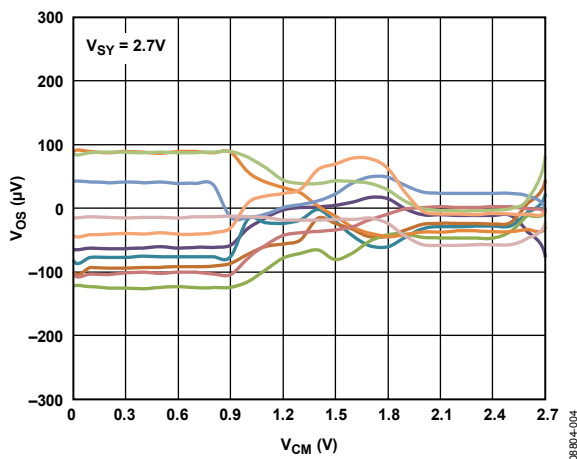


図 5.同相モード電圧対入力オフセット電圧

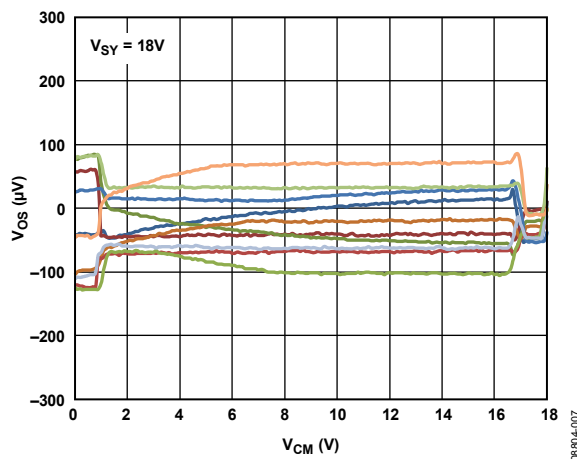


図 8.同相モード電圧対入力オフセット電圧

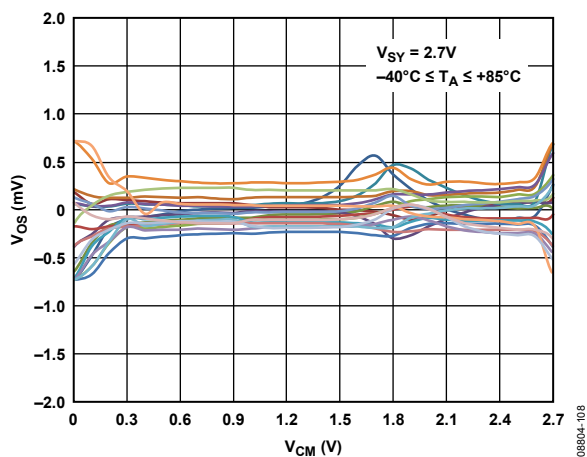


図 9.同相モード電圧対入力オフセット電圧

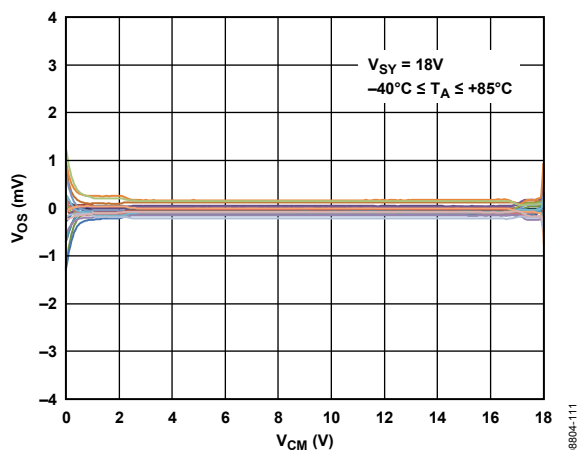


図 12.同相モード電圧対入力オフセット電圧

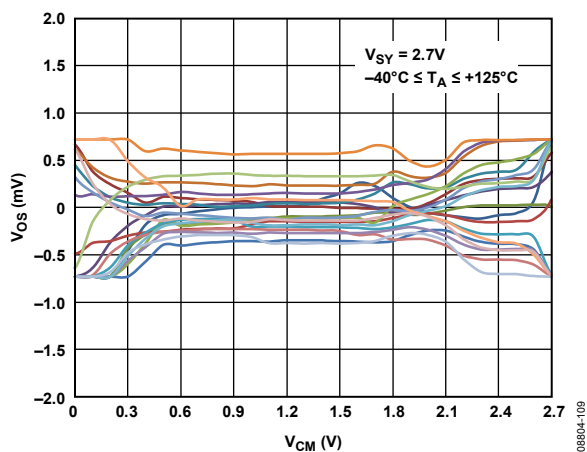


図 10.同相モード電圧対入力オフセット電圧

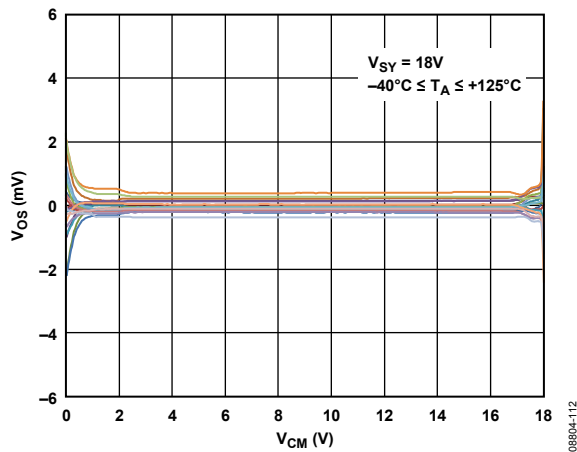


図 13.同相モード電圧対入力オフセット電圧

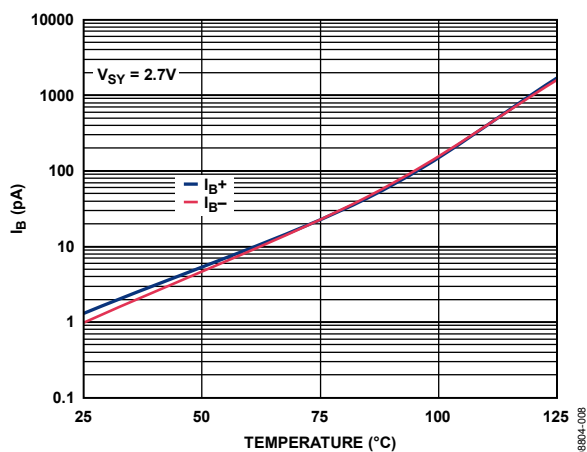


図 11.入力バイアス電流の温度特性

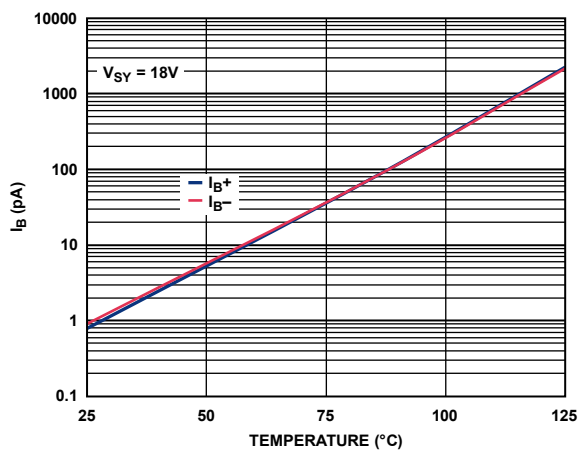


図 14.入力バイアス電流の温度特性



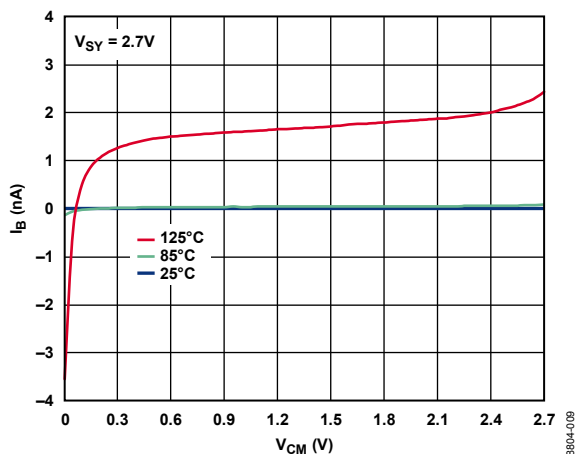


図 15.同相モード電圧対入力バイアス電流

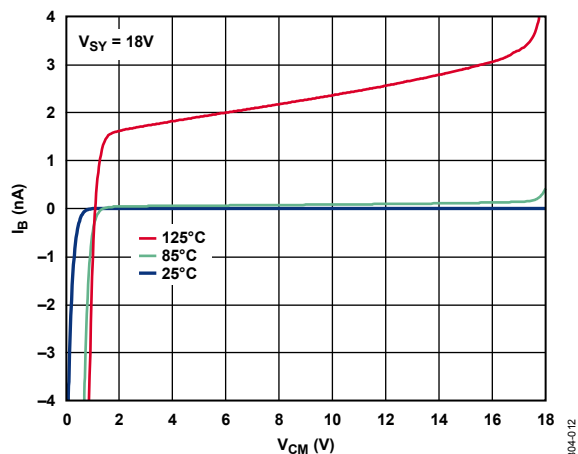


図 18.同相モード電圧対入力バイアス電流

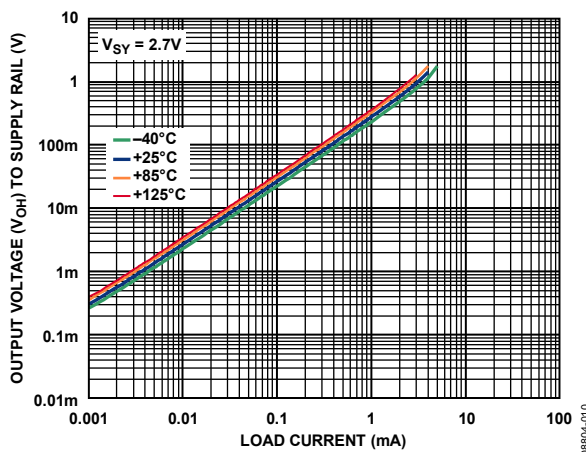


図 16.負荷電流対電源レールまで近づく出力電圧(V<sub>OH</sub>)

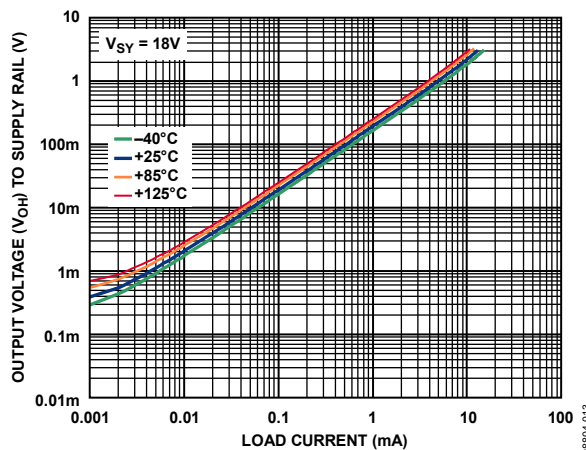


図 19.負荷電流対電源レールまで近づく出力電圧(V<sub>OH</sub>)

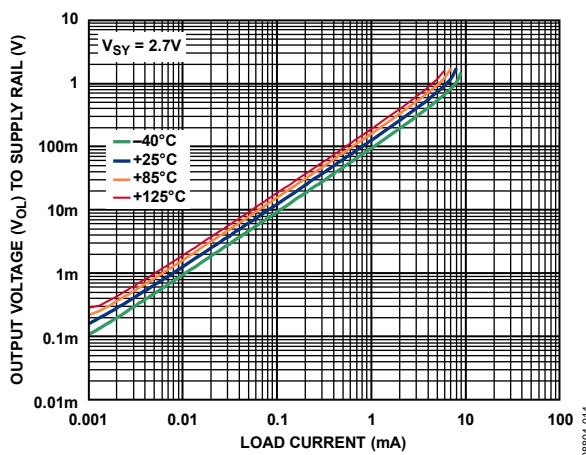


図 17.負荷電流対電源レールまで近づく出力電圧(V<sub>OL</sub>)

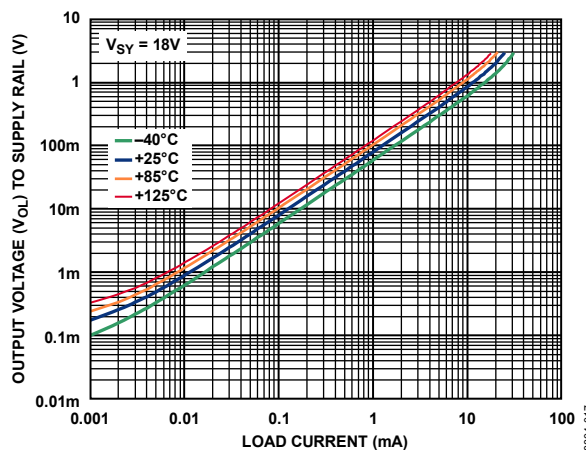


図 20.負荷電流対電源レールまで近づく出力電圧(V<sub>OL</sub>)

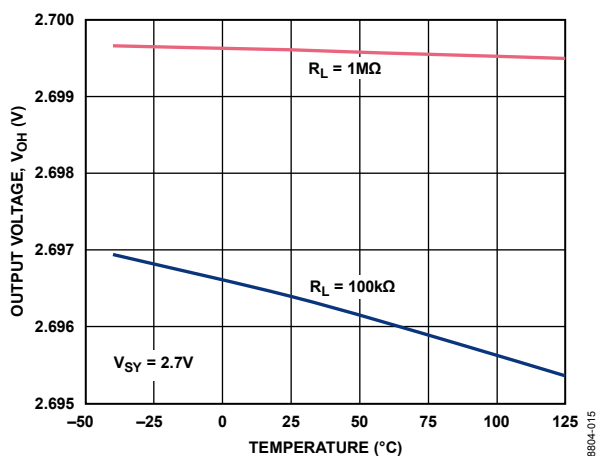


図 21.出力電圧( $V_{OH}$ )の温度特性

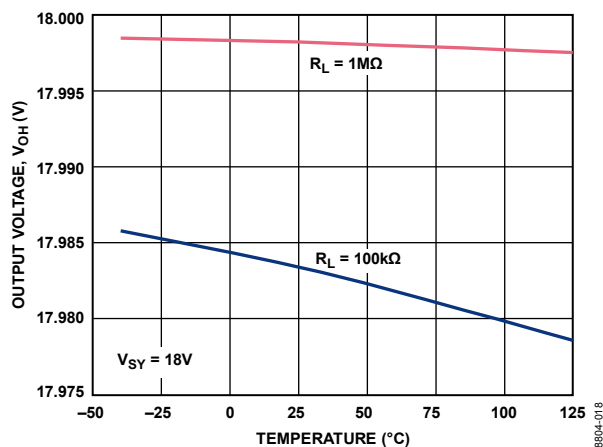


図 24.出力電圧( $V_{OH}$ )の温度特性

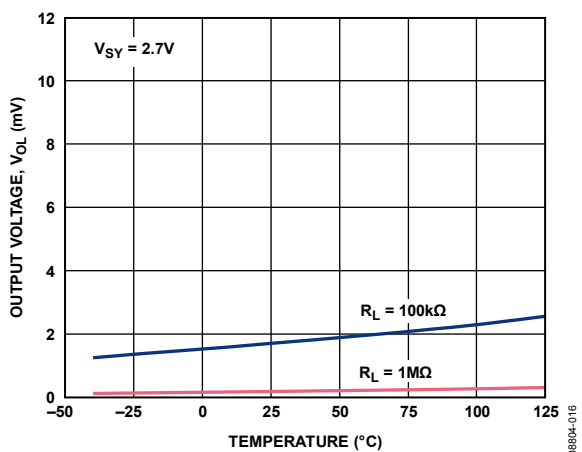


図 22.出力電圧( $V_{OL}$ )の温度特性

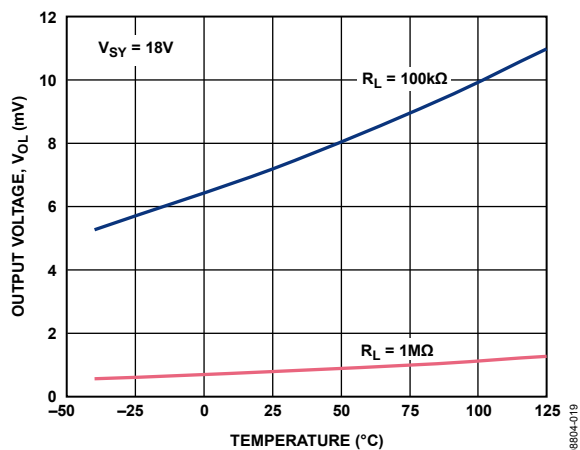


図 25.出力電圧( $V_{OL}$ )の温度特性

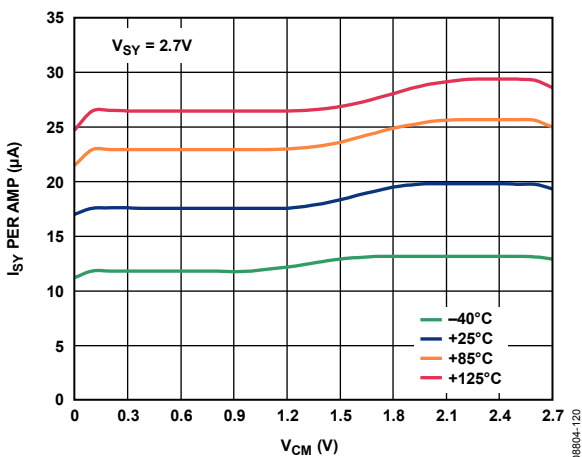


図 23.同相モード電圧対電源電流

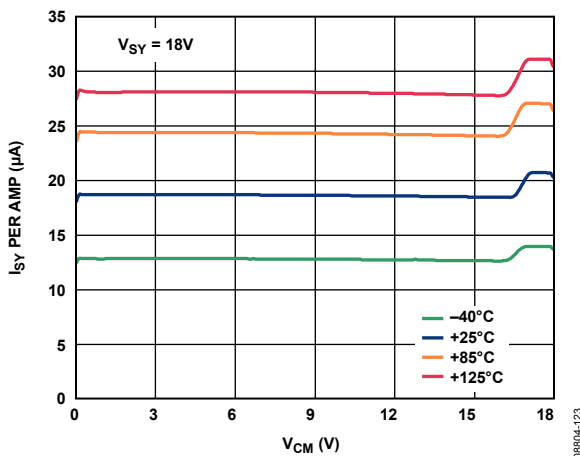


図 26.同相モード電圧対電源電流

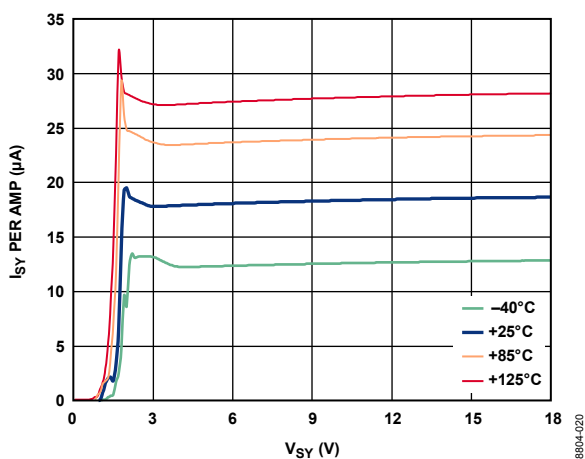


図 27.電源電圧対電源電流

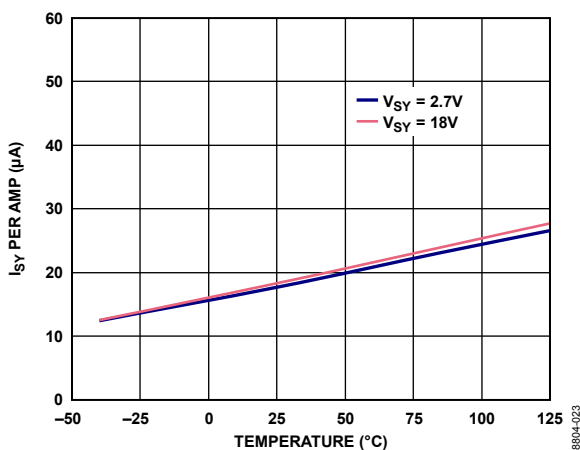


図 30.電源電流の温度特性

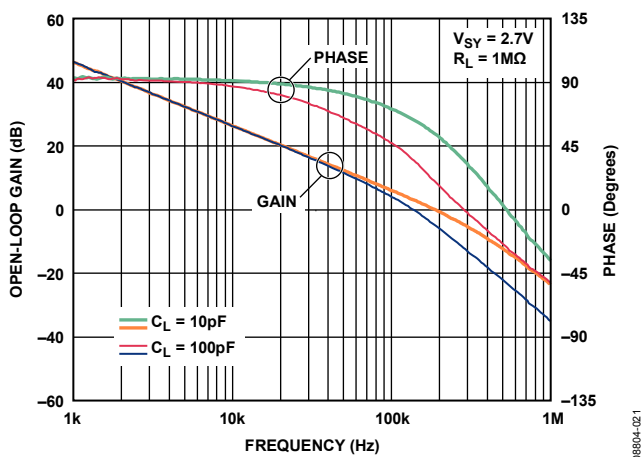


図 28.オープン・ループ・ゲインおよび位相の周波数特性

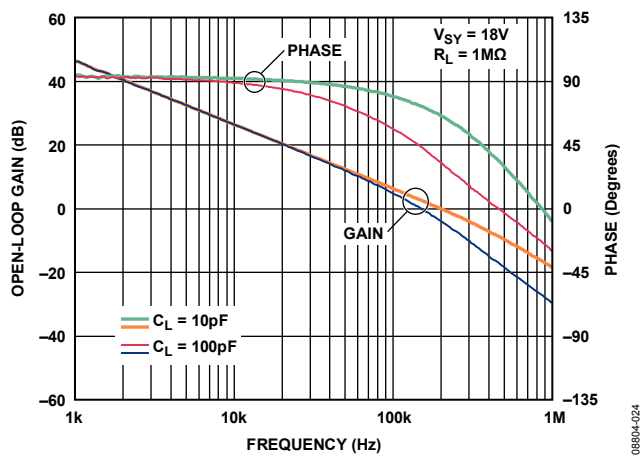


図 31.オープン・ループ・ゲインおよび位相の周波数特性

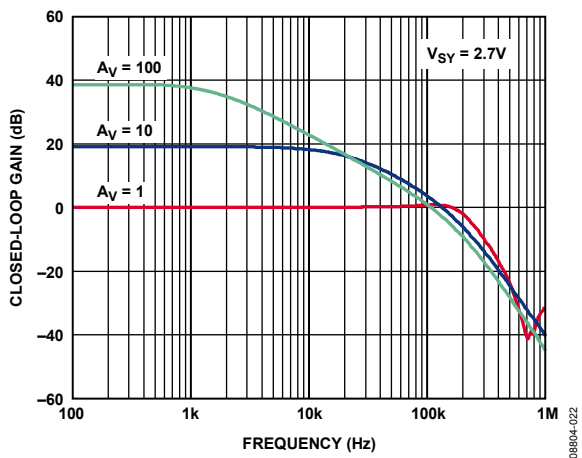


図 29.クローズド・ループ・ゲインの周波数特性

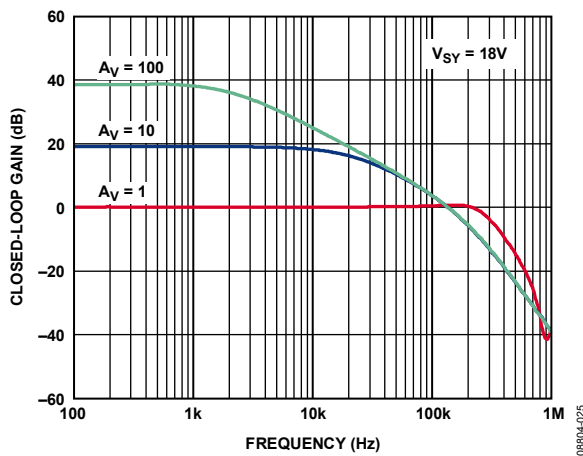


図 32.クローズド・ループ・ゲインの周波数特性

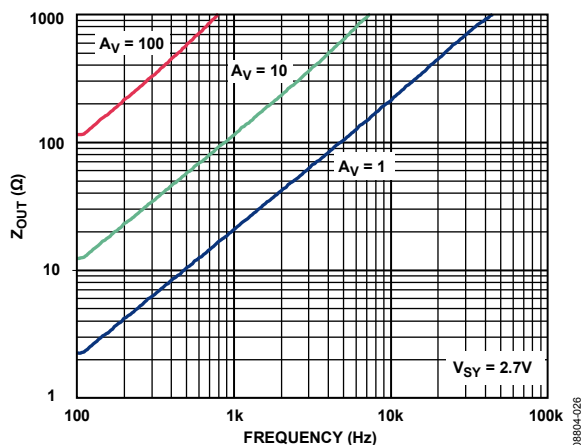


図 33. 出カインピーダンスの周波数特性

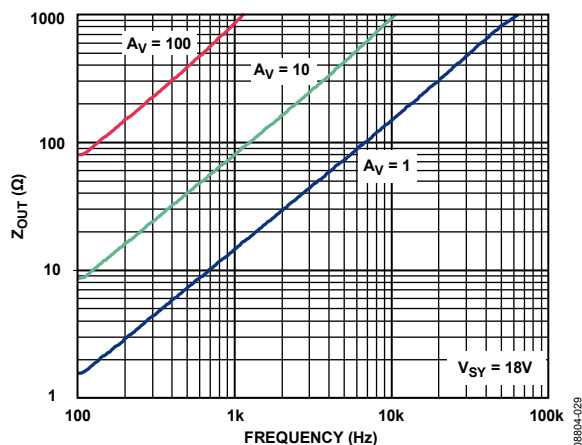


図 36. 出カインピーダンスの周波数特性

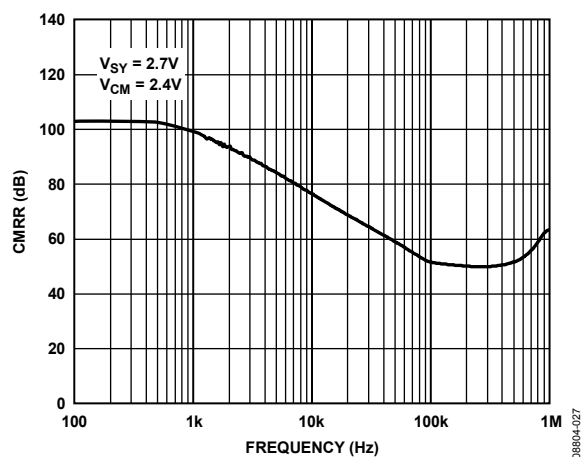


図 34. CMRR の周波数特性

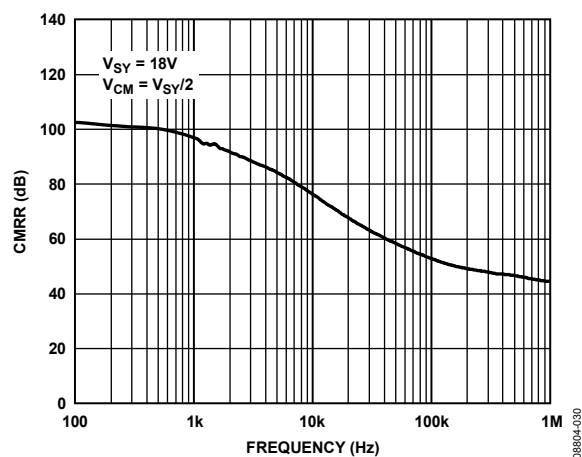


図 37. CMRR の周波数特性

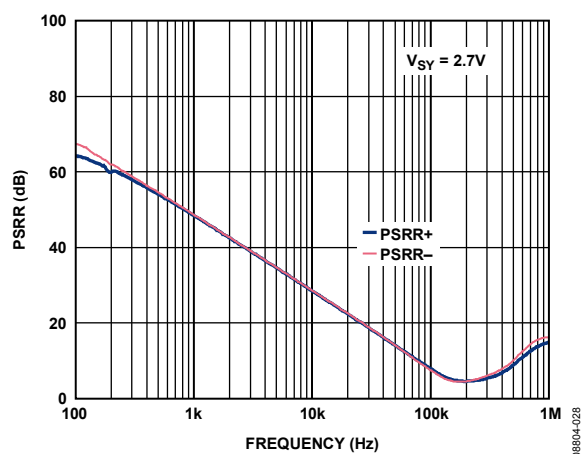


図 35. PSRR の周波数特性

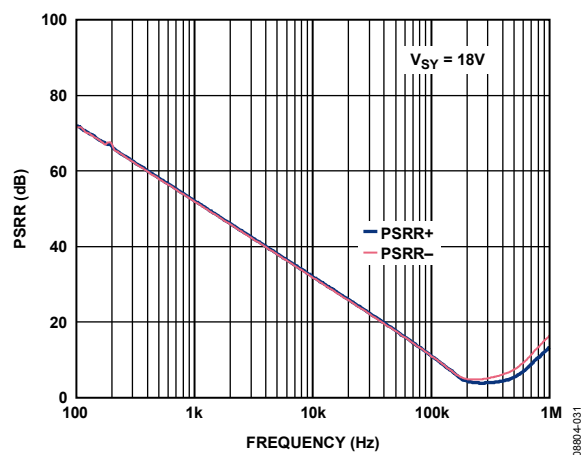


図 38. PSRR の周波数特性

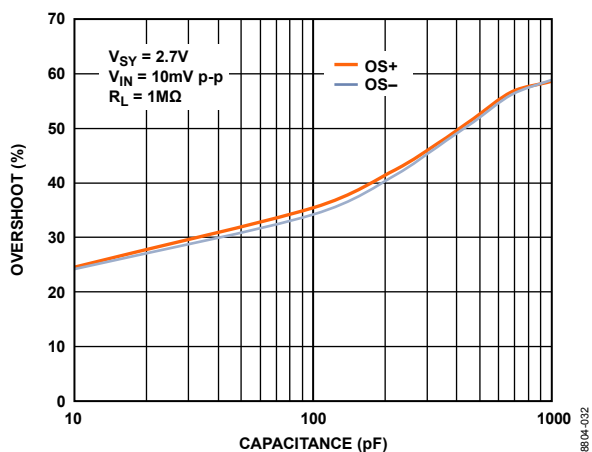


図 39. 負荷容量対小信号オーバーシュート

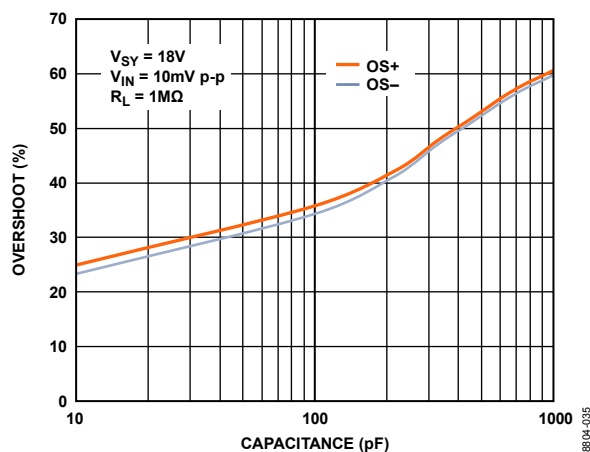


図 42. 負荷容量対小信号オーバーシュート

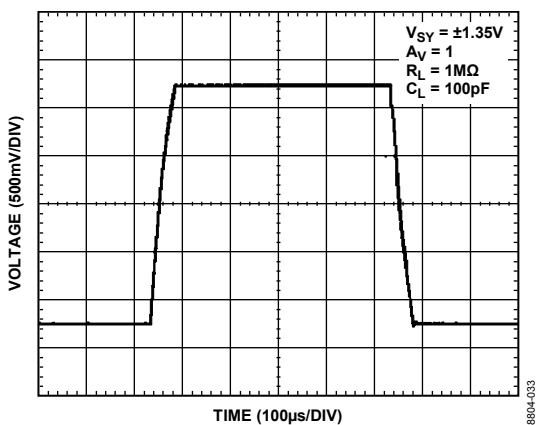


図 40. 大信号過渡応答

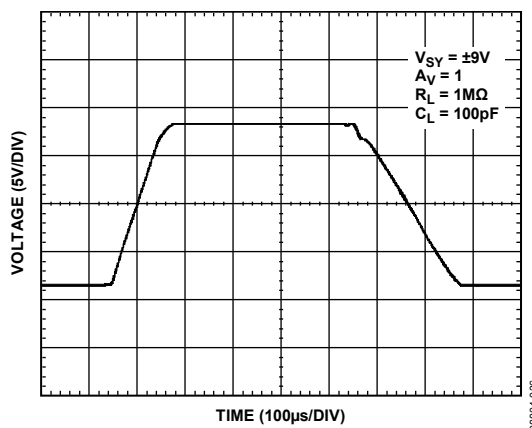


図 43. 大信号過渡応答

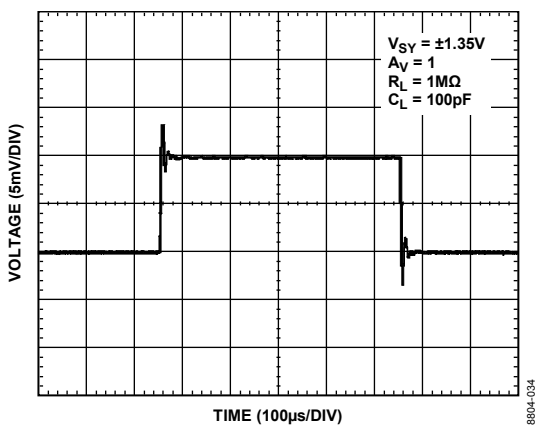


図 41. 小信号過渡応答

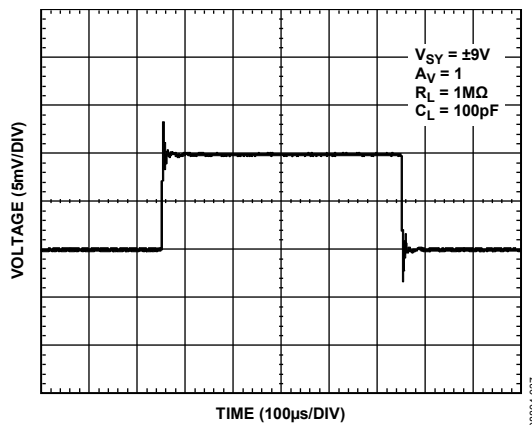


図 44. 小信号過渡応答

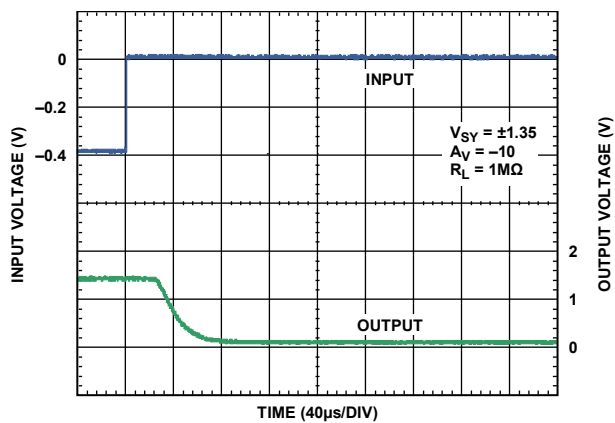


図 45.正側過負荷回復

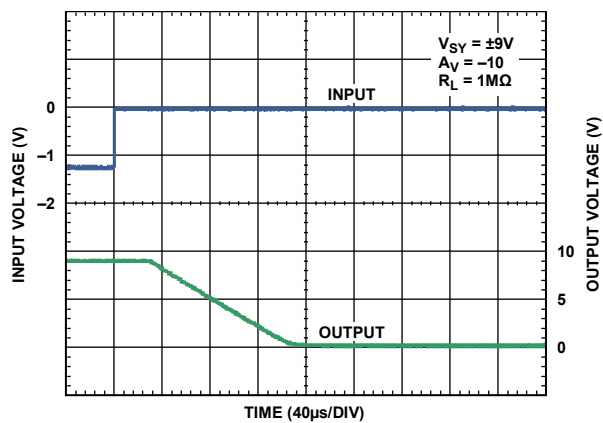


図 48.正側過負荷回復

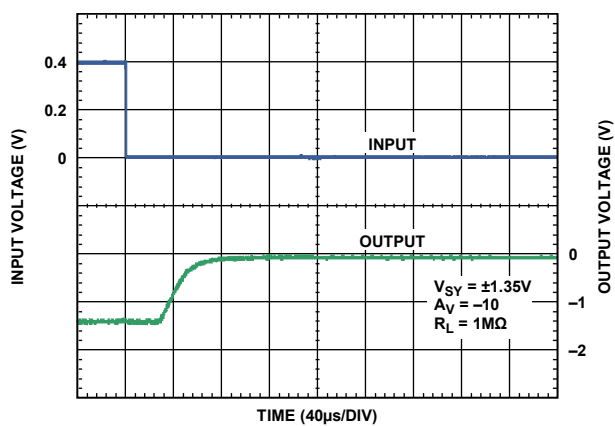


図 46.負側過負荷回復

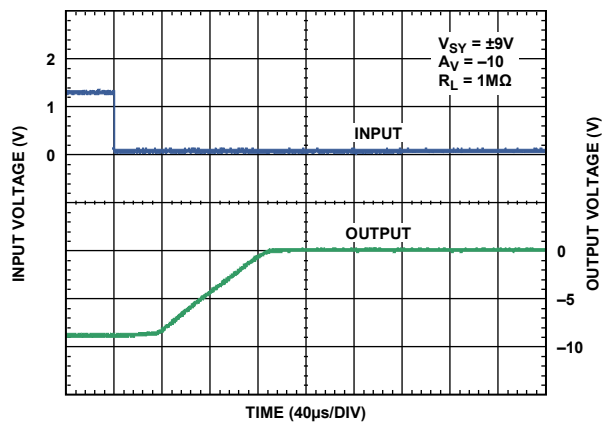


図 49.負側過負荷回復

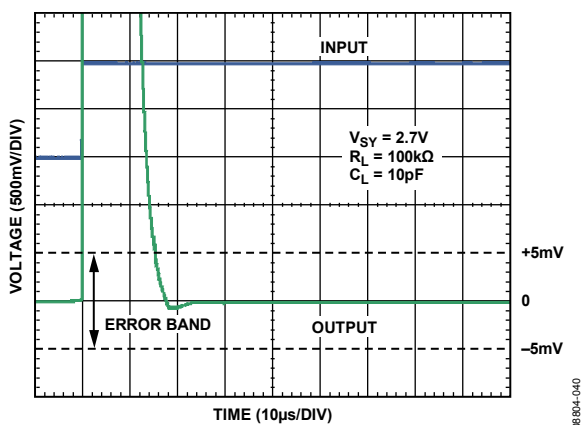


図 47.0.1%への正セトリング・タイム

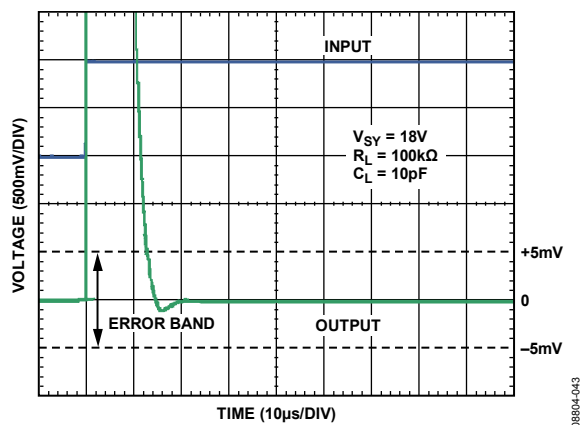
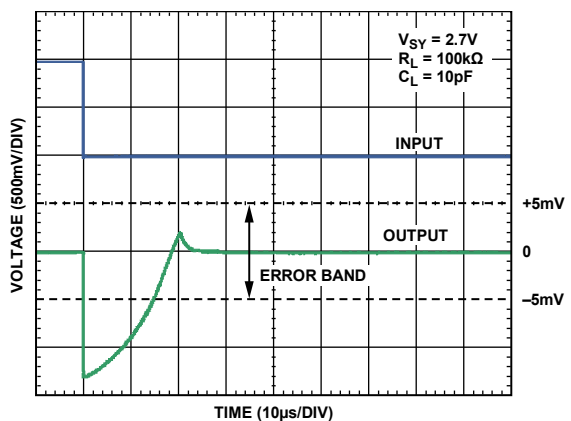
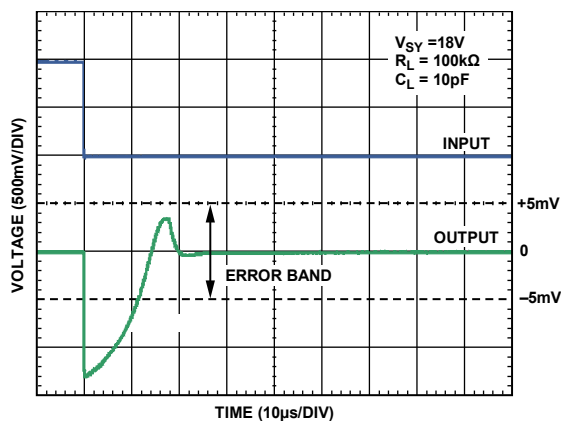


図 50.0.1%への正セトリング・タイム



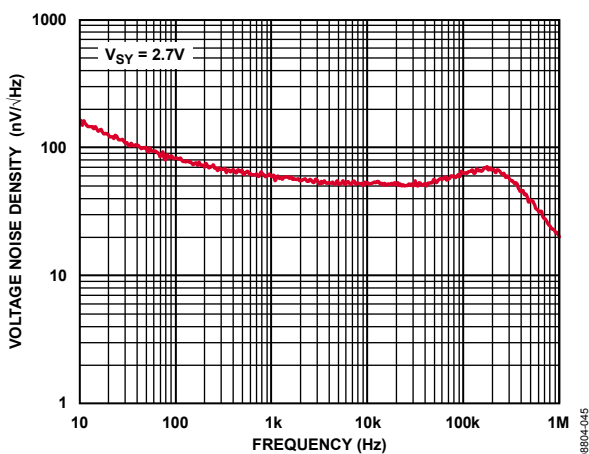
08804-044

図 51. 0.1%への負セトリング・タイム



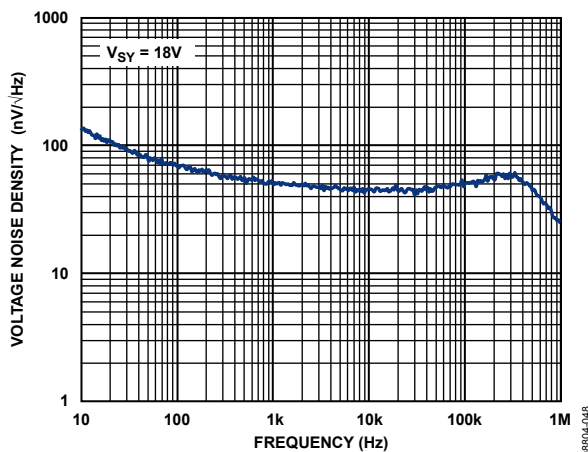
08804-047

図 54. 0.1%への負セトリング・タイム



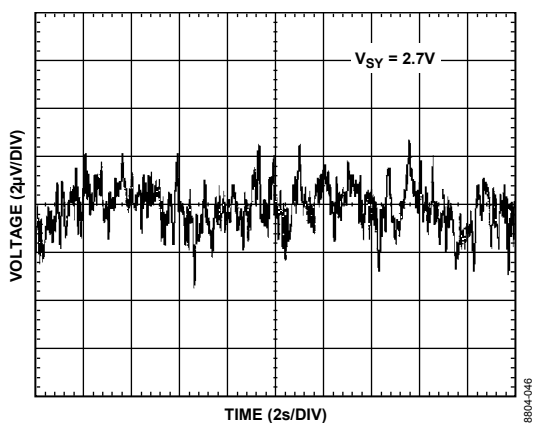
08804-045

図 52. 電圧ノイズ密度の周波数特性



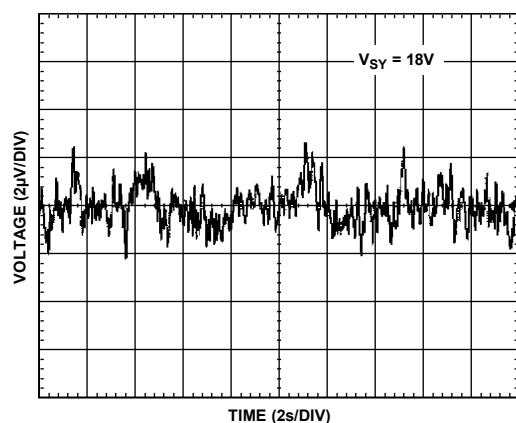
08804-048

図 55. 電圧ノイズ密度の周波数特性



08804-046

図 53. 0.1~10 Hzでのノイズ



08804-049

図 56. 0.1~10 Hzでのノイズ

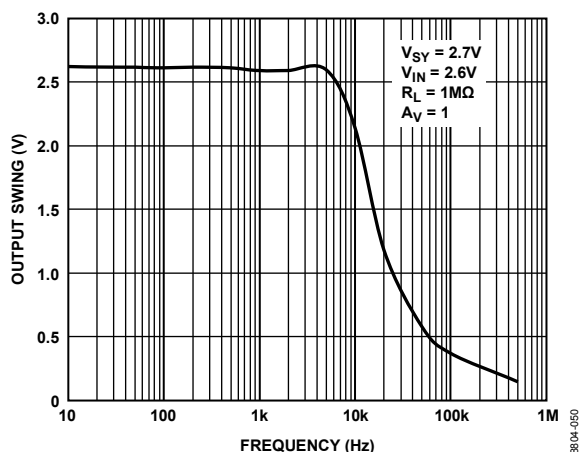


図 57.出力振幅の周波数特性

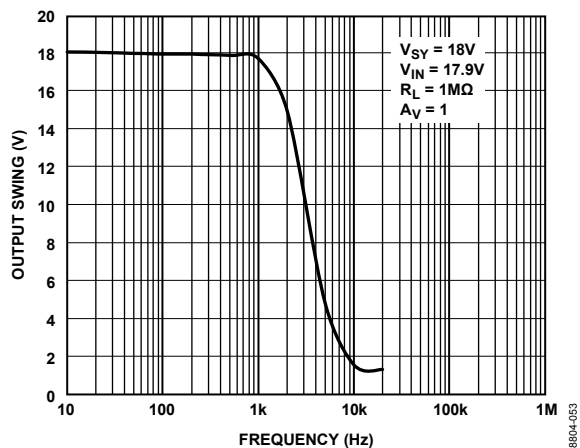


図 60.出力振幅の周波数特性

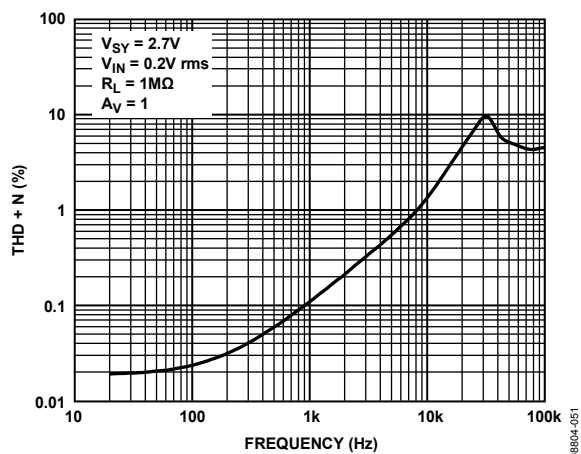


図 58.THD + N の周波数特性

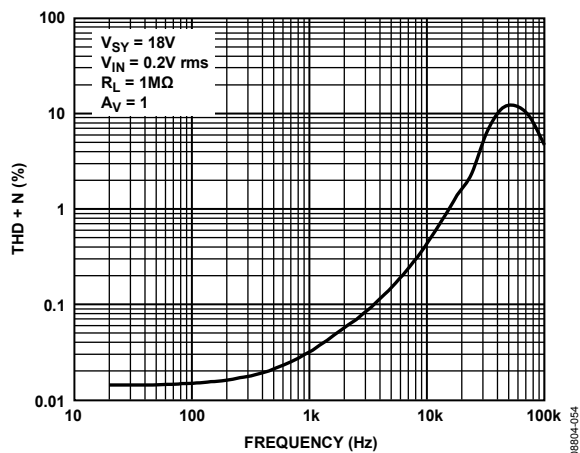


図 61.THD + N の周波数特性

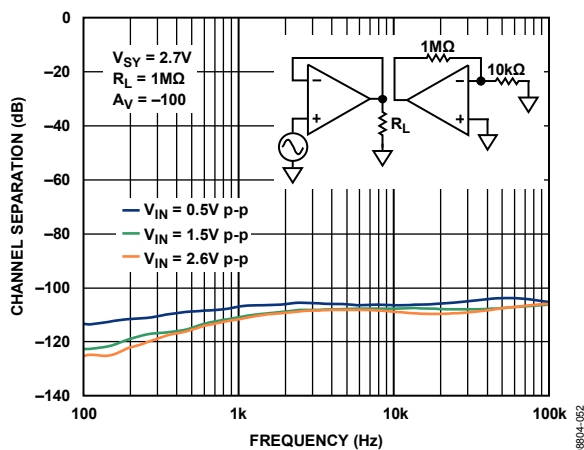


図 59.チャンネル・セパレーションの周波数特性

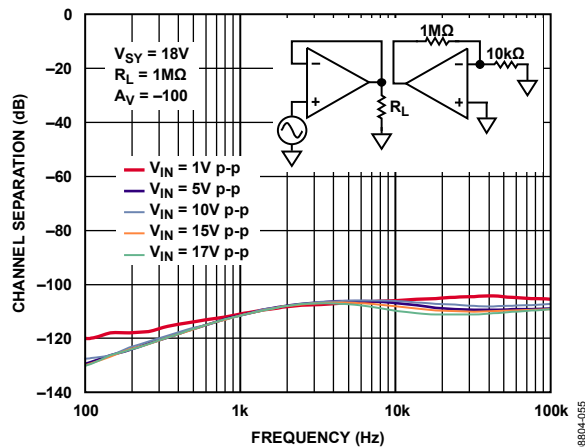


図 62.チャンネル・セパレーションの周波数特性



## アプリケーション情報

AD8657 は、2.7 V～18 V の広い電源電圧範囲で動作する、低消費電力、レール to レール入力/出力の高精度アンプです。このアンプは、アナログ・デバイセズの DigiTrim 技術を採用して、他の CMOS アンプより高い精度を実現しています。DigiTrim 技術は、組立後のアンプのオフセット電圧をトリミングする方法です。パッケージ組み立て後のトリミングの利点は、組立時の機械的ストレスから発生するオフセット電圧のシフトを補正することです。

また、AD8657 では独自の入力ステージと出力ステージを採用して、非常に小さい電源電流でレール to レール入力/出力範囲を実現しています。

### 入力ステージ

図 63 に、AD8657 の簡略化した回路図を示します。入力ステージは、2 つの差動トランジスタ対、NMOS対(M1、M2)、PMOS対(M3、M4)から構成されています。入力同相モード電圧により、ターンオンして強くアクティブになる方の差動対が決定されません。

PMOS 差動対は入力電圧が低い方の電源レールに近付き到達したときにアクティブになります。NMOS 対は高い方の電源レールに等しいか近い入力電圧のために必要です。この回路により、アンプが入力電圧の広いダイナミックレンジを維持して、両電源レールまで信号振幅を大きくすることができます。

入力同相モード電圧範囲の大部分で、PMOS差動対がアクティブになります。差動対は一般に異なるオフセット電圧を持ちます。1 つの対から別の対への引き継ぎにより、 $V_{OS}$ 対 $V_{CM}$ のグラフに現れるステップ状の特性が発生します(図 5 と 図 8 を参照)。これは、2 つの差動対を使用するすべてのレール to レール・アンプに固有な現象です。このため、1 つの入力差動対から別の差動対へ引き継ぐ領域を含まない同相モード電圧を常に選択する必要があります。

入力同相モード電圧が電源レールに近付くと、 $V_{OS}$ 対 $V_{CM}$ カーブにはさらに幾つかのステップが現れます。これらの変化は、ヘッドルームが少なくなった負荷トランジスタ(M8、M9、M14、M15)が原因となり発生します。負荷トランジスタがトライオード動作領域に入ると、ドレイン・インピーダンスの不一致によりアンプのオフセット電圧が影響を受けるようになります。高温では入力トランジスタのスレッシュホールド電圧が低くなるため、この問題は悪化します(性能データについては、図 9、図 10、図 12、図 13 参照)。

電流源I1 はPMOSトランジスタ対を駆動します。入力同相モード電圧が上側の電源レールに近付くと、I1 はPMOS差動対からM5 トランジスタへ流れるように切り替わります。バイアス電圧VB1 は、この切り替えが起こるポイントを制御します。M5 は、M6 トランジスタとM7 トランジスタで構成される電流ミラーヘッド電流を供給します。次に電流ミラーの出力はNMOS対を駆動します。この電流ミラーの動作開始により、高い同相モード電圧で電源電流が少し増えることに注意してください(詳細については、図 23 と 図 26 参照)。

AD8657 は、差動入力に低電圧MOSデバイスを使用することにより高性能を実現しています。これらの低電圧MOSデバイスは、単位電流あたりの優れたノイズと帯域幅を提供します。各差動入力対は、当社独自のレギュレーション回路で保護されています(簡略化した回路図では省略)。このレギュレーション回路は、通常動作時に入力対に加わる電圧を適切に維持するアクティブ・デバイスと、高速な過渡時にアンプを保護するパッシブ・クランピング・デバイスとの組み合わせで構成されていますが、これらのパッシブ・クランピング・デバイスは、同相モード電圧がいずれかの電源レールに近付くと順方向バイアスされるようになります。このため、入力バイアス電流が増えます(図 15 と 図 18 参照)。

また、入力デバイスはクランプ・ダイオード(D1 と D2)により大きな差動入力電圧からも保護されています。これらのダイオードは、2 本の 10 k $\Omega$  抵抗(R1 と R2)により入力からバッファされています。差動電圧が約 600 mV より高くなると、差動ダイオードはターンオンします。この状態では、差動入力抵抗が 20 k $\Omega$  まで低下します。

### 出力ステージ

AD8657 は、M16 トランジスタとM17 トランジスタで構成される相補出力ステージを内蔵しています。これらのトランジスタはクラスAB回路として構成され、電圧源VB2 からバイアスされています。この回路の使用により、出力電圧がミリボルト以内で電源レールに近付くことができるため、レール to レールの出力振幅が可能になっています。出力電圧は、トランジスタ(低 $R_{ON}$ のMOSデバイス)の出力インピーダンスにより制限されます。出力電圧の振幅は負荷電流の関数であるため、電源レールに対する出力電圧と負荷電流との関係を表す図から求めることができます(図 16、図 17、図 19、図 20 参照)。

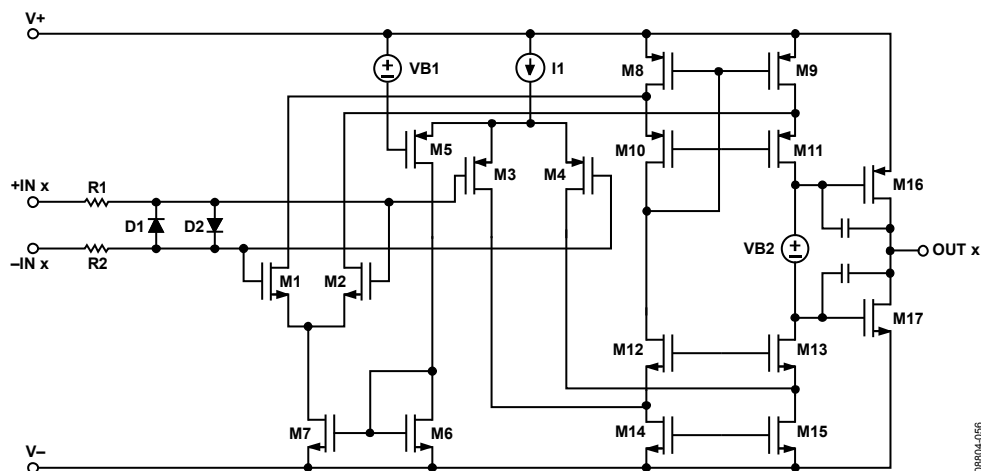


図 63.簡略化した回路図

## レールtoレール

AD8657は、2.7 V~18 Vの電源電圧でレールtoレールの入力と出力を持っています。図 64に、AD8657の入力波形と出力波形を示します(ユニティ・ゲイン・バッファとして構成、電源電圧=  $\pm 9$  V、抵抗負荷=  $1\text{ M}\Omega$ )。入力電圧=  $\pm 9$  Vで、AD8657の出力は両電源レールの非常に近くまで変化することができます。さらに、位相反転は発生しません。

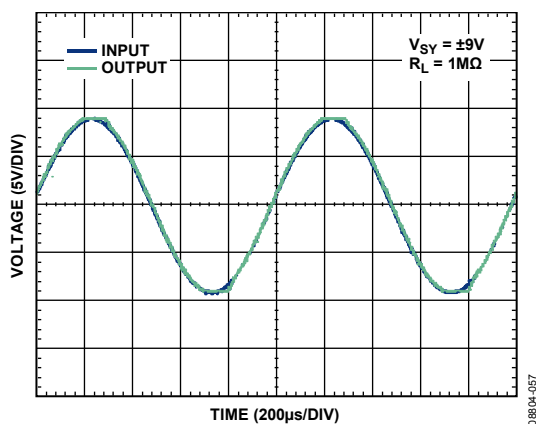


図 64.レール to レールの入力と出力

## 抵抗負荷

帰還抵抗は、アンプから見た負荷抵抗値を変えます。このため、AD8657 で使用する帰還抵抗の値を知っておくことは重要です。AD8657は、最小  $100\text{ k}\Omega$  の抵抗負荷を駆動することができます。次の反転構成と非反転構成の2つの例に、アンプ出力から見た実際の負荷抵抗が帰還抵抗により変化する様子を示します。

## 反転構成

図 65 に、出力に抵抗負荷 $R_L$ を接続した、反転構成のAD8657を示します。アンプから見た実際の負荷は、帰還抵抗 $R_2$ と負荷 $R_L$ の並列接続になります。帰還抵抗=  $1\text{ k}\Omega$ かつ負荷=  $1\text{ M}\Omega$ とすると、出力での等価負荷抵抗は  $999\ \Omega$ になります。この条件では、AD8657はこのような重い負荷を駆動できないため、性能は大幅に低下します。出力に負荷が加わることを防ぐためには、大きな帰還抵抗値を使用してください。ただし、回路全体に対する抵抗サマル・ノイズの影響を考慮する必要があります。

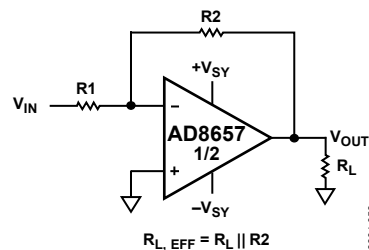


図 65.反転オペアンプ

## 非反転構成

図 66 に、出力に抵抗負荷 $R_L$ を接続した、非反転構成のAD8657を示します。アンプから見た実際の負荷は、 $R_1 + R_2$ と $R_L$ の並列接続になります。

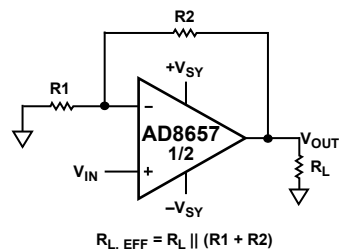


図 66.非反転オペアンプ

## コンパレータ動作

オペアンプは、出力から反転入力への帰還によるクローズド・ループ構成で動作するようにデザインされています。図 67 に、一方の入力電圧を常に電源中点に固定した電圧フォロワとして構成した AD8657 を示します。同じ構成を未使用チャンネルにも使用します。A1 と A2 は、電源電流を測定する電流計の位置を示します。I<sub>SY+</sub> は上側の電源レールからオペアンプへ流れる電流を、I<sub>SY-</sub> はオペアンプから下側の電源レールへ流れる電流を、それぞれ表します。図 68 に示すように、通常動作条件では、オペアンプへ流れる合計電流は、オペアンプから流出する合計電流と等しくなります。ここで、2 つの AD8657 に対して I<sub>SY+</sub> = I<sub>SY-</sub> = 36 μA、V<sub>SY</sub> = 18 V。

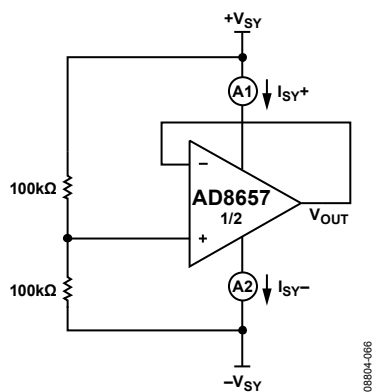


図 67. 電圧フォロワ

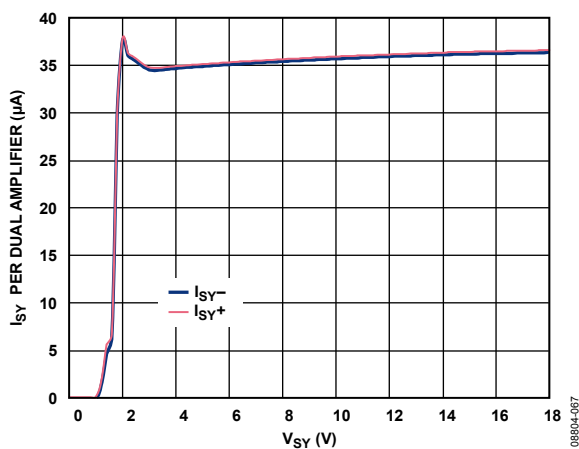


図 68. 電源電圧対電源電流(電圧フォロワ)

オペアンプとは対照的に、コンパレータはオープン・ループ構成で動作し、ロジック回路を駆動するようにデザインされています。オペアンプはコンパレータと異なりますが、ボード・スペースとコストを節約するためデュアル・オペアンプの未使用部分をコンパレータとして使用することがありますが、これは推奨できません。

図 69 と図 70 に、入力ピンに直列に 100 kΩ 抵抗を接続した、コンパレータとして構成した AD8657 を示します。未使用チャンネルは、入力電圧を電源中点に接続したバッファとして構成しています。AD8657 は、ダイオード D1 とダイオード D2 により大きな差動入力電圧に対して保護された入力デバイスを内蔵していません(図 63 参照)。これらのダイオードはサブストレート PNP バイポーラ・トランジスタから構成され、差動入力電圧が約 600 mV を超えると導通しますが、これらのダイオードは入力から下側の電源レールまでの電流パスを提供するため、システムの合計

電源電流が増えます。図 71 に示すように、両構成から同じ結果が得られます。電源電圧 = 18 V で、I<sub>SY+</sub> は 36 μA を維持しますが、I<sub>SY-</sub> はアンプ 2 個あたり 140 μA に増えます。

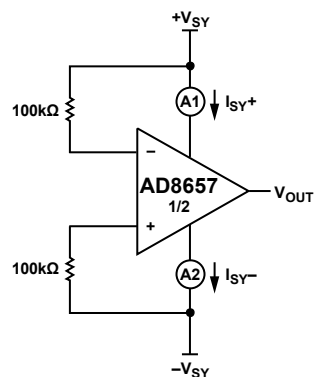


図 69. コンパレータ A

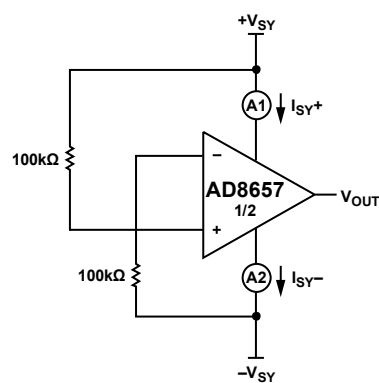


図 70. コンパレータ B

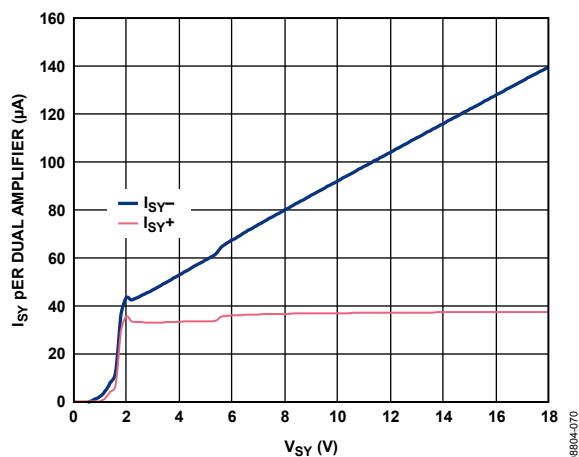


図 71. 電源電圧対電源電流(AD8657 をコンパレータとして構成)

100 kΩ の抵抗はオペアンプ入力に直列に接続することに注意してください。小さい抵抗値を使用すると、システムの電源電流が増えます。オペアンプをコンパレータとして使用することの詳細については、AN-849 アプリケーション・ノート「Using Op Amps as Comparators」を参照してください。

## EMI除去比

回路性能は高周波電磁干渉(EMI)から影響を受けることがあります。信号強度が低く、伝送線が長い場合には、オペアンプは入力信号を正確に増幅する必要がありますが、すべてのオペアンプ・ピン(非反転入力、反転入力、正電源、負電源、出力の各ピン)は EMI 信号の影響を受け安くなっています。これらの高周波信号は、伝導、近距離放射、長距離放射などの種々の方法でオペアンプに混入します。例えば、配線と PCB パターンがアンテナとして機能して高周波 EMI 信号を拾います。

AD8657 のような高精度オペアンプは比較的帯域が狭いため、EMI 信号または RF 信号を増幅しませんが、入力デバイスの非直線性のため、オペアンプはこれらの帯域外信号を整流することがあります。これらの高周波信号が整流されると、出力に DC オフセットとして現れます。

電磁エネルギーが存在する中で AD8657 が期待通りに動作する能力を規定するため、非反転ピンの電磁干渉除去比(EMIRR)が、仕様のセクションの表 2、表 3、表 4 で規定されています。EMIRR 測定の数学的方法は、次のように定義されます。

$$EMIRR = 20 \log (V_{IN\_PEAK} / \Delta V_{OS})$$

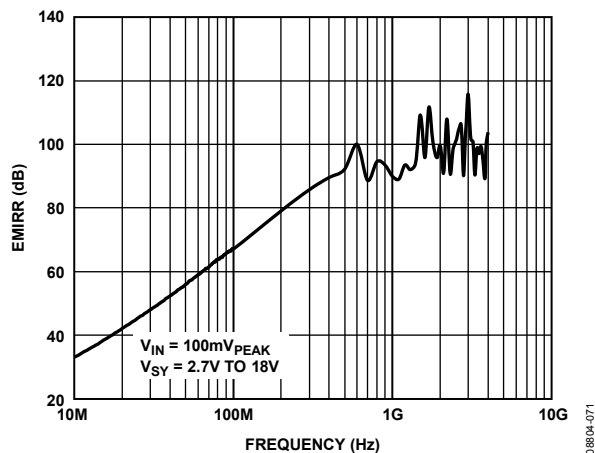


図 72. EMIRR の周波数特性

## 4 mA~20 mA プロセス・コントロール電流ルー プ・トランスミッタ

2 線式電流トランスミッタは、分散型制御システムとプロセス・コントロール・アプリケーションでセンサーとプロセス・コントローラの間のアナログ信号伝送によく使用されます。図 73 に、4 mA~20 mA の電流ルーブ・トランスミッタを示します。

トランスミッタの電源は制御ルーブ電源から直接供給され、ルーブ電流により 4 mA~20 mA の信号が伝送されます。このため、4 mA のベースライン電流(回路動作電流)が確保されています。AD8657 は、全温度範囲と全電源電圧範囲でアンプあたり 33  $\mu$ A

の低電源電流であるため、優れた選択肢になっています。電流トランスミッタはルーブ電流を制御します。この場合、ゼロスケール入力信号は 4 mA の電流で、フルスケール入力信号は 20 mA の電流で、それぞれ表されます。また、トランスミッタは制御ルーブ電源  $V_{DD}$  から絶縁されており、信号グラウンドはレシーバ側を使います。ルーブ電流は、レシーバ側の負荷抵抗  $R_L$  で測定されます。

ゼロスケール入力では、電流  $V_{REF}/R_{NULL}$  が  $R'$  を流れます。これにより検出抵抗を流れる電流  $I_{SENSE}$  が発生し、次の式で決定されます(詳細については、図 73 を参照)。

$$I_{SENSE, MIN} = (V_{REF} \times R') / (R_{NULL} \times R_{SENSE})$$

フルスケール入力電圧では、 $R'$  を流れる電流は  $V_{IN}/R_{SPAN}$  のフルスケール変化だけ増加します。これにより、検出抵抗を流れる電流が増えます。

$$I_{SENSE, DELTA} = (V_{IN} \times R' \text{ のフルスケール変化}) / (R_{SPAN} \times R_{SENSE})$$

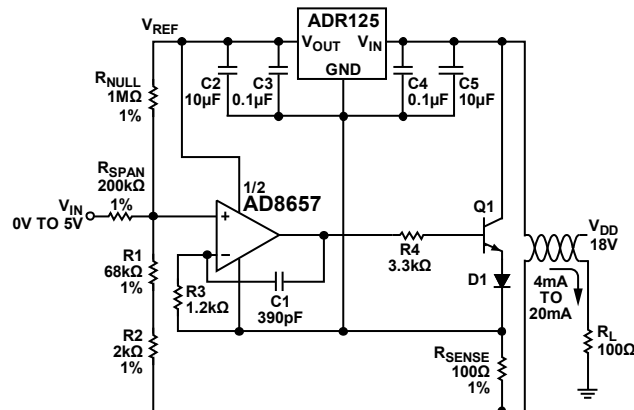
したがって、

$$I_{SENSE, MAX} = I_{SENSE, MIN} + I_{SENSE, DELTA}$$

$R' \gg R_{SENSE}$  のとき、レシーバ側の負荷抵抗を流れる電流は  $I_{SENSE}$  とほぼ等しくなります。

図 73 は、フルスケール入力電圧 = 5 V 用にデザインされています。入力 = 0 V でルーブ電流 = 3.5 mA に、フルスケール = 5 V で、ルーブ電流 = 21 mA に、それぞれなります。このため、ソフトウェア・キャリブレーションを使って電流ルーブを 4 mA~20 mA の範囲で微調整することができます。

AD8657 と ADR125 の静止電流は 160  $\mu$ A と小さいため、3.34 mA の電流はその他のシグナル・コンデショニング回路またはブリッジ回路の電源として使うことができます。



NOTES  
1.  $R1 + R2 = R'$ .

図 73. 4 mA~20 mA の電流ルーブ・トランスミッタ

## 外形寸法

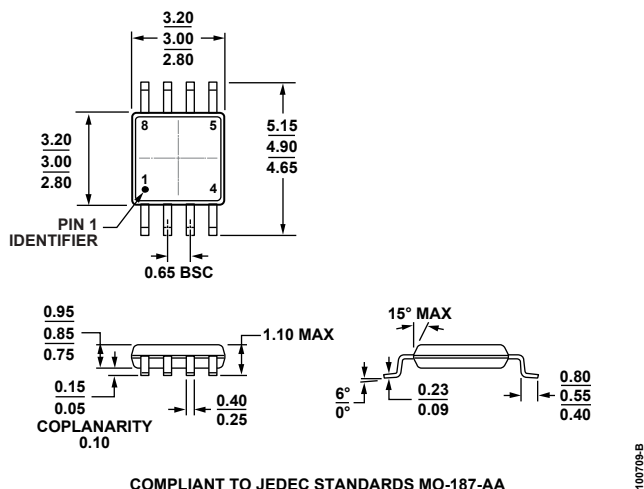


図 74.8 ピン・ミニ・スモール・アウトライン・パッケージ [MSOP]  
(RM-8)  
寸法: mm

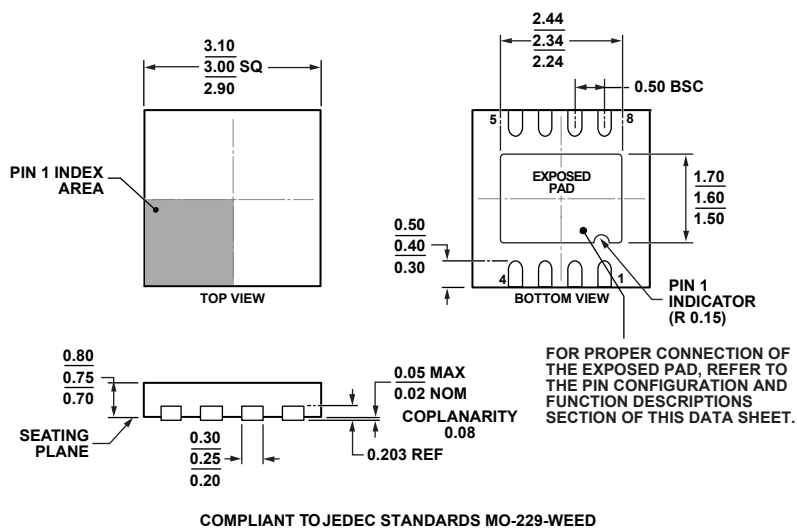


図 75.8 ピン・リードフレーム・チップ・スケール・パッケージ [LFCSP\_WD]  
3 mm × 3 mm ボディ、極薄、デュアル・リード  
(CP-8-11)  
寸法: mm

## オーダー・ガイド

Model <sup>1</sup>	Temperature Range	Package Description	Package Option	Branding
AD8657ARMZ	-40°C to +125°C	8-Lead Mini Small Outline Package [MSOP]	RM-8	A2N
AD8657ARMZ-R7	-40°C to +125°C	8-Lead Mini Small Outline Package [MSOP]	RM-8	A2N
AD8657ARMZ-RL	-40°C to +125°C	8-Lead Mini Small Outline Package [MSOP]	RM-8	A2N
AD8657ACPZ-R7	-40°C to +125°C	8-Lead Lead Frame Chip Scale Package [LFCSP_WD]	CP-8-11	A2N
AD8657ACPZ-RL	-40°C to +125°C	8-Lead Lead Frame Chip Scale Package [LFCSP_WD]	CP-8-11	A2N

<sup>1</sup> Z = RoHS 準拠製品