

特長

非常に小さいオフセット電圧:全温度範囲で最大 12 μV
 非常に小さい入力オフセット電圧ドリフト:最大 65 nV/ $^{\circ}\text{C}$
 高い CMRR:最小 96 dB
 ゲインと出力オフセット電圧がデジタル設定可能
 ゲイン範囲: 28~1300
 1線式シリアル・インターフェース
 任意の容量負荷に対して安定
 SOIC_N と LFCSP_VQ パッケージを採用
 動作電圧: 2.7 V~5.5 V

アプリケーション

車載センサー
 圧力センサーと位置センサー
 高精度電流検出
 熱電対アンプ
 工業用重量計
 ストレイン・ゲージ

概要

AD8557 は、デジタル的に設定可能なゲインと出力オフセットを持つゼロ・ドリフトのセンサー信号アンプです。可変圧力センサーとストレーン・ブリッジ出力を出力電圧範囲へ容易かつ正確に変換するようにデザインされたこの AD8557 は、他の多くの差動またはシングルエンドのセンサー出力を正確に増幅します。AD8557 は、アナログ・デバイセズの特許取得済み低ノイズ・オートゼロ技術と DigiTrim®技術を採用して、小型のフットプリントで正確かつ柔軟な信号処理ソリューションを構成します。

ゲインは 1 線式インターフェースを使って 28~1300 の広い範囲でデジタル的に設定可能です。ゲイン調整は回路内でシミュレーションした後に、信頼度の高いポリヒューズ技術を使って固定することができます。また、出力オフセット電圧もデジタル的に設定可能であり、電源電圧に比例します。

AD8557 は、極めて低い入力オフセット電圧と入力オフセット電圧ドリフト、さらに非常に高い DC CMRR と AC CMRR を持つ他

機能ブロック図

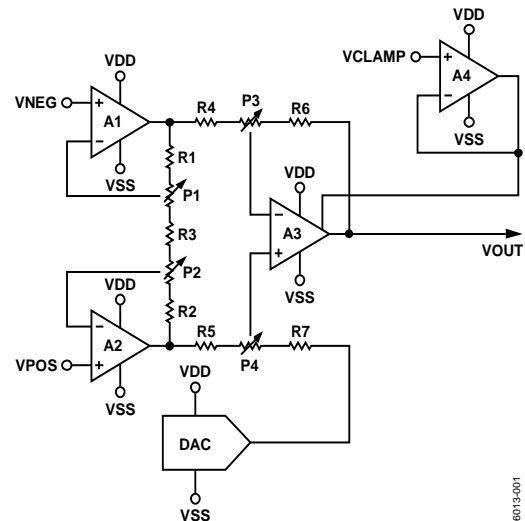


図 1.

に、入力ピンにはプルアップ電流源を、VCLAMP ピンにはプルダウン電流源を、それぞれ内蔵しています。外付けリファレンス電圧を使って設定する出力クランプ機能を使うと、AD8557 は低電圧 ADC を安全かつ正確に駆動することができるようになります。

同じ電源を基準とする ADC と組み合わせると、システム精度は通常の電源電圧変動から影響を受けなくなります。出力オフセット電圧は、VDD と VSS との間の電位差の 0.4% 以下の分解能で調節することができます。ゲインとオフセットを一旦調整した後に最終調整を行うと、さらにフィールドでの信頼性を向上させることができます。

AD8557 の仕様は -40°C ~ $+125^{\circ}\text{C}$ で規定されています。AD8557 は 2.7 V~5.5 V の単電源で動作し、8 ピン SOIC_N パッケージまたは 4 mm \times 4 mm の 16 ピン LFCSP_VQ パッケージを採用しています。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
 ※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
 ©2007 Analog Devices, Inc. All rights reserved.

目次

特長.....	1	動作原理.....	14
アプリケーション.....	1	ゲイン値.....	15
機能ブロック図.....	1	断線故障の検出.....	16
概要.....	1	短絡故障の検出.....	16
改訂履歴.....	2	VPOS、VNEG、またはVCLAMPのフローティング故障の検出.....	16
仕様.....	3	デバイスの設定.....	16
絶対最大定格.....	5	外形寸法.....	21
熱抵抗.....	5	オーダー・ガイド.....	21
ESDの注意.....	5		
ピン配置およびピン機能説明.....	6		
代表的な性能特性.....	7		

改訂履歴

1/08—Rev. 0 to Rev. A	
Changes to Theory of Operation Section.....	14
Changes to Determining Optimal Gain and Offset Codes Section.....	20

5/07—Revision 0: Initial Version

仕様

特に指定のない限り、VDD = 5.0 V、VSS = 0.0 V、V_{CM} = 2.5 V、V_{OUT} = 2.5 V、ゲイン = 28、T_A = -40°C ~ +125°C。

表 1.

Parameter	Symbol	Conditions	Min	Typ	Max	Unit
INPUT STAGE						
Input Offset Voltage	V _{OS}			2	12	μV
Input Offset Voltage Drift	T _C V _{OS}			27	65	nV/°C
Input Bias Current	I _B		10	18	25	nA
Input Offset Current	I _{OS}			1	4	nA
Input Voltage Range			0.6		3.8	V
Common-Mode Rejection Ratio	CMRR	V _{CM} = 0.9 V to 3.6 V, A _V = 28	75	85		dB
		V _{CM} = 0.9 V to 3.6 V, A _V = 1300	96	112		dB
Linearity		V _{OUT} = 0.2 V to 3.4 V		20		ppm
		V _{OUT} = 0.2 V to 4.8 V		1000		ppm
Differential Gain Accuracy		Second stage gain = 10 to 70			1.6	%
Differential Gain Accuracy		Second stage gain = 100 to 250			2.5	%
Differential Gain Temperature Coefficient		Second stage gain = 10 to 250		15	40	ppm/°C
DAC						
Accuracy		Offset codes = 8 to 248		0.7	0.8	%
Ratiometricity		Offset codes = 8 to 248		50		ppm
Output Offset		Offset codes = 8 to 248		5	35	mV
Temperature Coefficient				20	80	ppm FS/°C
VCLAMP						
Clamp Input Bias Current	ICLAMP	1.25 V to 5.0 V		200		nA
Clamp Input Voltage Range			1.25		5.0	V
OUTPUT STAGE						
Short-Circuit Current	I _{SC}	Source		-45	-25	mA
		Sink	40	55		mA
Output Voltage, Low	V _{OL}	R _L = 10 kΩ to 5 V			30	mV
Output Voltage, High	V _{OH}	R _L = 10 kΩ to 0 V	4.94			V
POWER SUPPLY						
Supply Current	I _{SY}	V _{POS} = V _{NEG} = 2.5 V, VDAC code = 128, V _{OUT} = 2.5 V		1.8		mA
Power Supply Rejection Ratio	PSRR	VDD = 2.7 V to 5.5 V	105	125		dB
DYNAMIC PERFORMANCE						
Gain Bandwidth Product	GBP	First gain stage, T _A = 25°C Second gain stage, T _A = 25°C		2		MHz
Settling Time	t _s	To 0.1%, 4 V output step		8		MHz
				8		μs
NOISE PERFORMANCE						
Input Referred Noise	e _n p-p	f = 1 kHz, T _A = 25°C		32		nV/√Hz
Low Frequency Noise		f = 0.1 Hz to 10 Hz, T _A = 25°C		0.5		μV p-p
Total Harmonic Distortion		V _{IN} = 16.75 mV rms, f = 1 kHz, T _A = 25°C			-100	
DIGITAL INTERFACE						
Input Current				2		μA
DIGIN Pulse Width to Load 0	tw ₀	T _A = 25°C	0.05		10	μs
DIGIN Pulse Width to Load 1	tw ₁	T _A = 25°C	50			μs
Time Between Pulses at DIGIN	tw _s	T _A = 25°C	10			μs
DIGIN Low		T _A = 25°C			0.2 × VDD	V
DIGIN High		T _A = 25°C	0.8 × VDD			V
DIGOUT Logic 0		T _A = 25°C			0.2 × VDD	V
DIGOUT Logic 1		T _A = 25°C	0.8 × VDD			V

特に指定のない限り、VDD = 2.7 V、VSS = 0.0 V、V_{CM} = 1.35 V、V_{OUT} = 1.35 V、ゲイン = 28、T_A = -40°C ~ +125°C。

表 2.

Parameter	Symbol	Conditions	Min	Typ	Max	Unit
INPUT STAGE						
Input Offset Voltage	V _{OS}			2	12	μV
Input Offset Voltage Drift	T _C V _{OS}				65	nV/°C
Input Bias Current	I _B		10	18	25	nA
Input Offset Current	I _{OS}			1	4	nA
Input Voltage Range			0.6		1.5	V
Common-Mode Rejection Ratio	CMRR	V _{CM} = 0.9 V to 1.5 V, A _v = 28	71	82		dB
		V _{CM} = 0.9 V to 1.5 V, A _v = 1300	96	112		dB
Linearity		V _{OUT} = 0.2 V to 1.8 V		20		ppm
		V _{OUT} = 0.2 V to 2.5 V		1000		ppm
Differential Gain Accuracy		Second stage gain = 10 to 250			1.6	%
Differential Gain Temperature Coefficient		Second stage gain = 10 to 250		15	40	ppm/°C
DAC						
Accuracy		Offset codes = 8 to 248		0.7	0.8	%
Ratiometricity		Offset codes = 8 to 248		50		ppm
Output Offset		Offset codes = 8 to 248		5	35	mV
Temperature Coefficient				20	80	ppm FS/°C
VCLAMP						
Input Bias Current	ICLAMP	1.25 V to 2.7 V		200		nA
Input Voltage Range			1.25		2.7	V
OUTPUT STAGE						
Short-Circuit Current	I _{SC}	Source		-12	-7	mA
		Sink	15	25		mA
Output Voltage, Low	V _{OL}	R _L = 10 kΩ to 2.7 V			30	mV
Output Voltage, High	V _{OH}	R _L = 10 kΩ to 0 V	2.64			V
POWER SUPPLY						
Supply Current	I _{SY}	V _{POS} = V _{NEG} = 1.35 V, VDAC code = 128, V _{OUT} = 1.35 V		1.8		mA
Power Supply Rejection Ratio	PSRR	VDD = 2.7 V to 5.5 V	105	125		dB
DYNAMIC PERFORMANCE						
Gain Bandwidth Product	GBP	First gain stage, T _A = 25°C Second gain stage, T _A = 25°C		2		MHz
Settling Time	t _s	To 0.1%, 2 V output step, T _A = 25°C		8		μs
NOISE PERFORMANCE						
Input Referred Noise		f = 1 kHz		32		nV/√Hz
Low Frequency Noise	e _n p-p	f = 0.1 Hz to 10 Hz		0.5		μV p-p
Total Harmonic Distortion	THD	V _{IN} = 16.75 mV rms, f = 1 kHz		-100		dB
DIGITAL INTERFACE						
Input Current				2		μA
DIGIN Pulse Width to Load 0	tw ₀	T _A = 25°C	0.05		10	μs
DIGIN Pulse Width to Load 1	tw ₁	T _A = 25°C	50			μs
Time Between Pulses at DIGIN	tw _s	T _A = 25°C	10			μs
DIGIN Low		T _A = 25°C			0.2 × VDD	V
DIGIN High		T _A = 25°C	0.8 × VDD			V
DIGOUT Logic 0		T _A = 25°C			0.2 × VDD	V
DIGOUT Logic 1		T _A = 25°C	0.8 × VDD			V

絶対最大定格

表 3.

Parameter	Rating
Supply Voltage	6 V
Input Voltage	VSS - 0.3 V to VDD + 0.3 V
Differential Input Voltage ¹	±6.0 V
Output Short-Circuit Duration to VSS or VDD	Indefinite
ESD (Human Body Model)	2000 V
Storage Temperature Range	-65°C to +150°C
Operating Temperature Range	-40°C to +125°C
Junction Temperature Range	-65°C to +150°C
Lead Temperature	300°C

¹ 差動入力電圧は、±5.0 V または ±電源電圧のいずれか小さい方に制限。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作の節に記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

熱抵抗

θ_{JA} はワーストケース条件で規定。すなわち、デバイスを LFCSP_VQ パッケージの回路ボードにハンダ付けした状態で規定。

表 4. 熱抵抗

Package Type	θ_{JA}	θ_{JC}	Unit
8-Lead SOIC_N (R)	158	43	°C/W
16-Lead LFCSP_VQ (CP)	44	31.5	°C/W

ESD の注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明

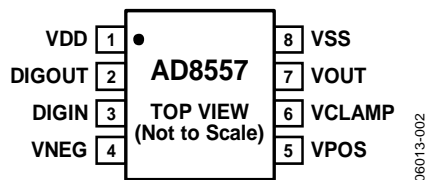


図 2.8 ピン SOIC_N のピン配置

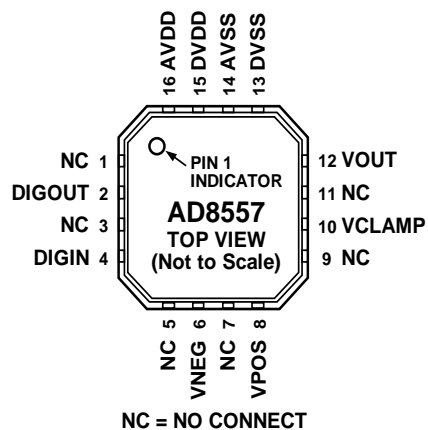


図 3.16 ピン LFCSP_VQ のピン配置

表 5. ピン機能の説明

ピン番号		記号	説明
SOIC_N	LFCSP_VQ		
1		VDD	正の電源電圧。
2	2	DIGOUT	読み出しモードでは、このピンはデジタル出力として機能します。
3	4	DIGIN	デジタル入力。
4	6	VNEG	負のアンプ入力(反転入力)。
5	8	VPOS	正のアンプ入力(非反転入力)。
6	10	VCLAMP	出力でのクランプ電圧を設定します。
7	12	VOUT	アンプ出力。
8		VSS	負電源電圧。
	13、14	DVSS、AVSS	負電源電圧。
	15、16	DVDD、AVDD	正電源電圧。
	1、3、5、7、9、11	NC	接続なし

代表的な性能特性

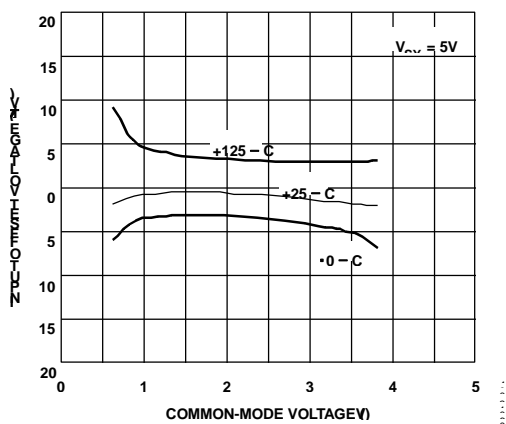


図 4. 入力オフセット電圧対同相モード電圧、 $V_{SY} = 5V$

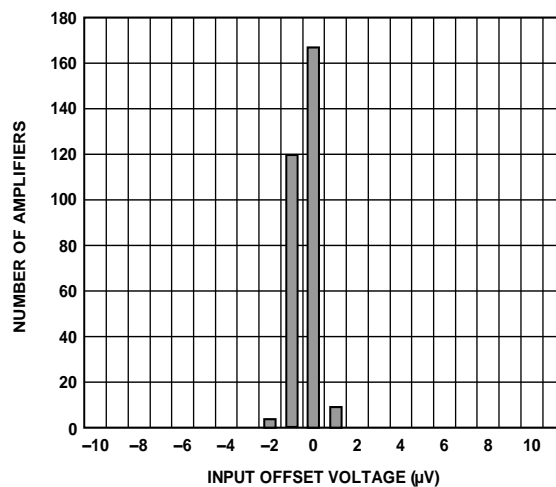


図 7. 入力オフセット電圧の分布、 $V_{SY} = 2.7V$

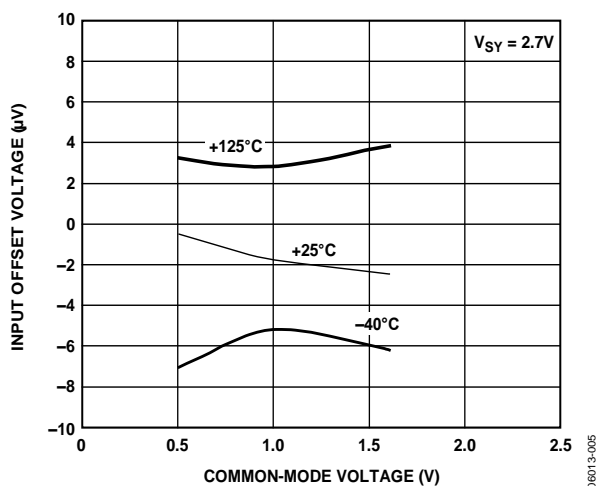


図 5. 入力オフセット電圧対同相モード電圧、 $V_{SY} = 2.7V$

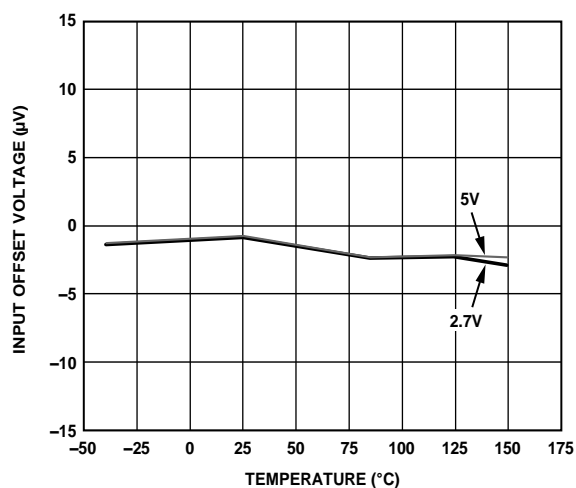


図 8. 入力オフセット電圧の温度特性

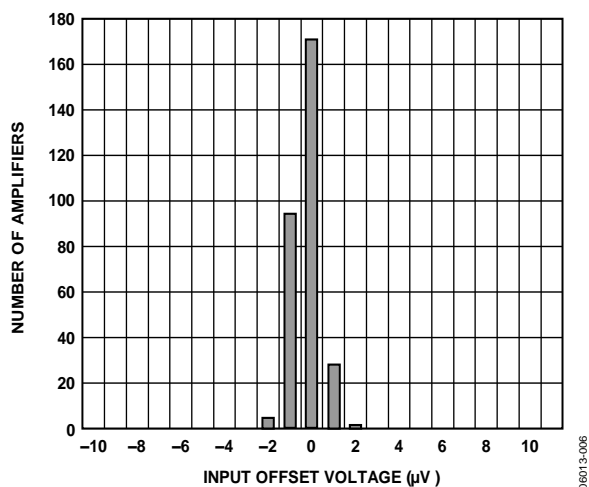


図 6. 入力オフセット電圧の分布、 $V_{SY} = 5V$

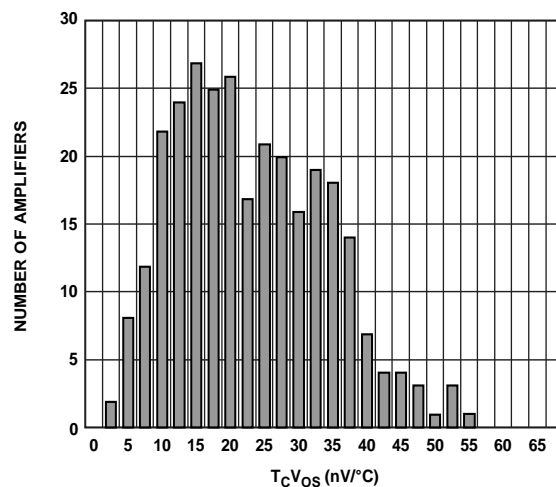


図 9. $V_{SY} = 5V$ 、 $-40^{\circ}C \leq T_A \leq +125^{\circ}C$ での T_cV_{OS}

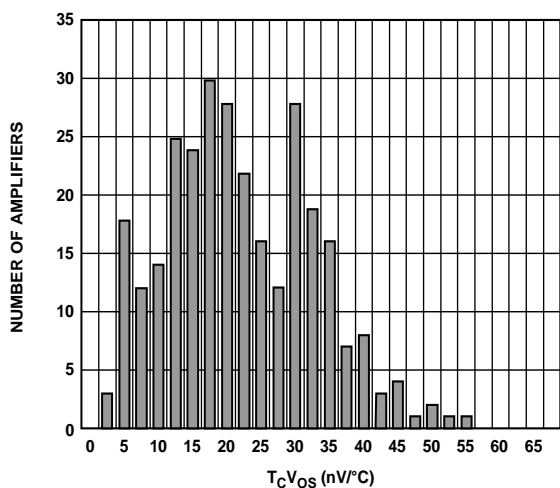


図 10. $V_{SY} = 2.7\text{ V}$ 、 $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$ での $T_C V_{OS}$

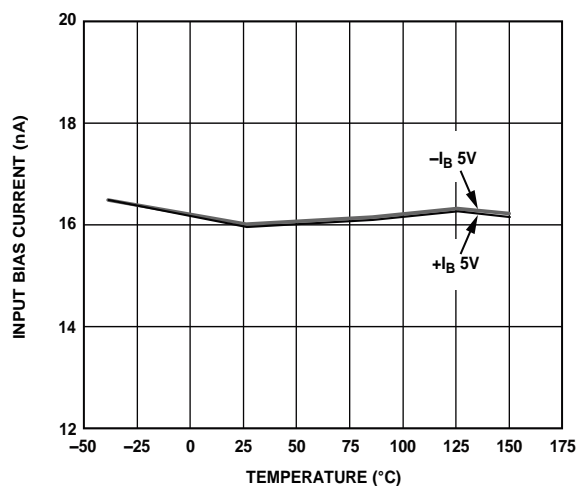


図 11. VPOS、VNEG の入力バイアス電流の温度特性、 $V_{SY} = 5\text{ V}$ 、 2.7 V

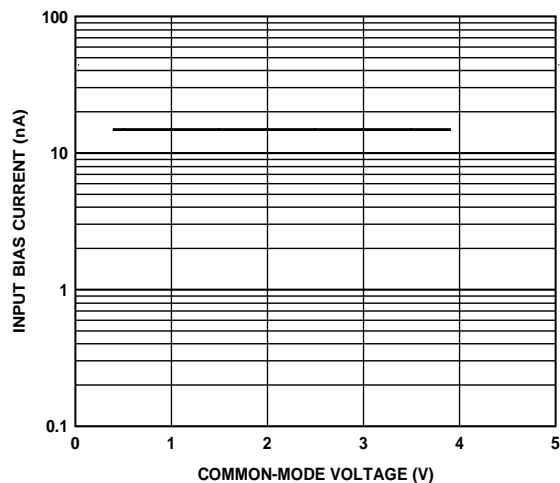


図 12. VPOS、VNEG の入力バイアス電流対同相モード電圧、 $T_A = 25^{\circ}\text{C}$

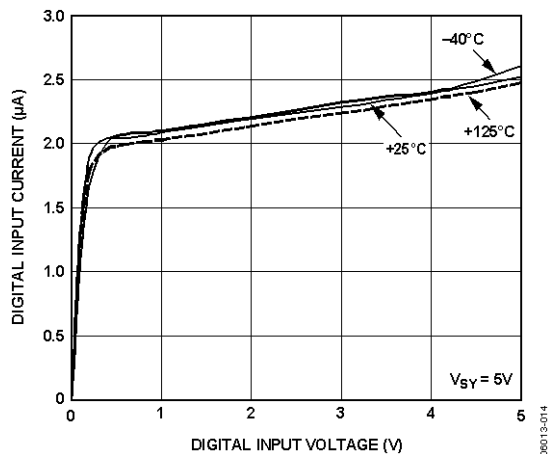


図 14. デジタル入力電流対デジタル入力電圧(ピン 4)

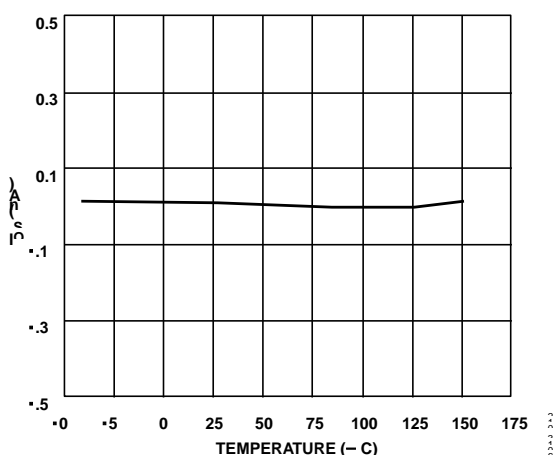


図 13. 入力オフセット電流の温度特性

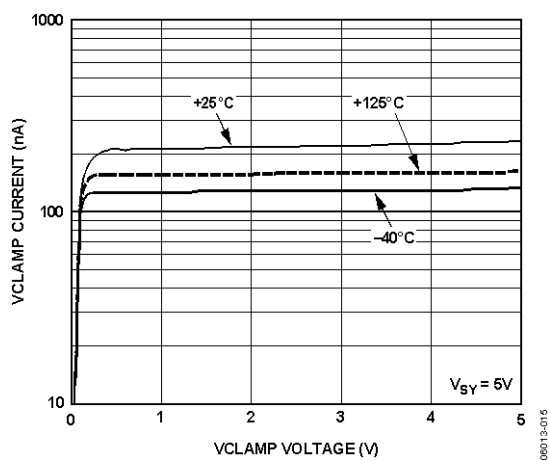


図 15. $V_{SY} = 5\text{ V}$ での温度に対する VCLAMP 電流対 VCLAMP 電圧

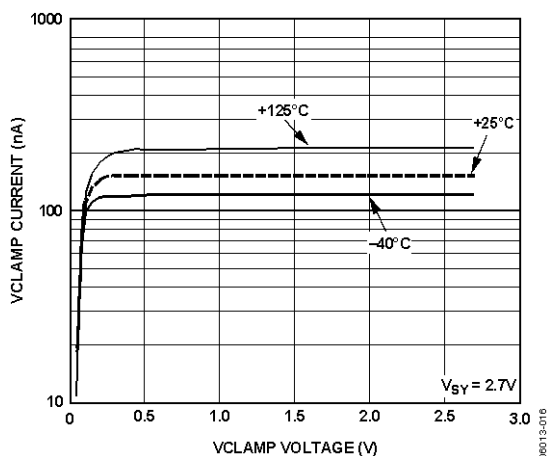


図 16. $V_{SY} = 2.7V$ での温度に対する VCLAMP 電流対 VCLAMP 電圧

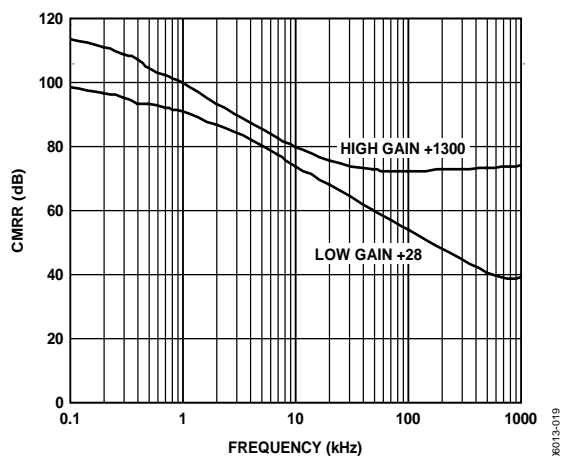


図 19. CMRR の周波数特性、 $V_{SY} = 5V$

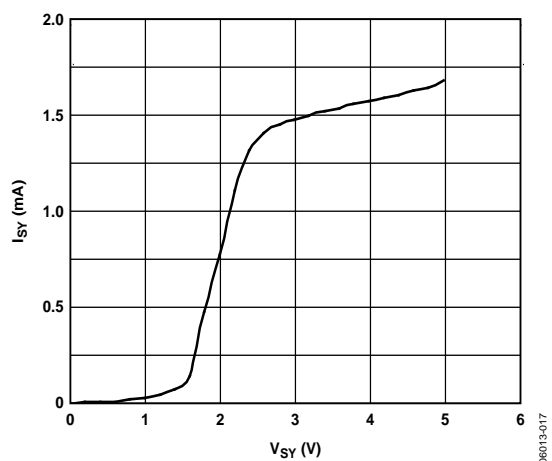


図 17. 電源電流(I_{SY})対電源電圧

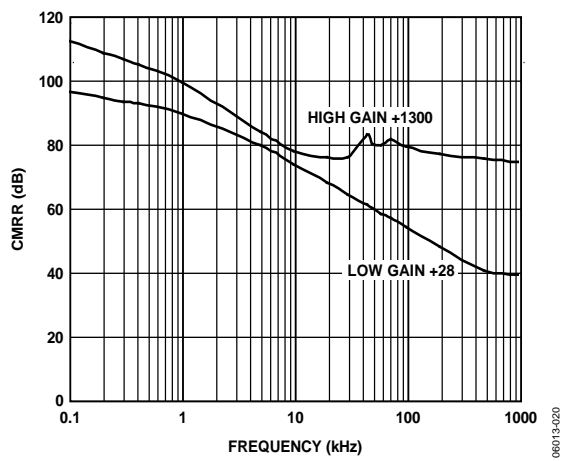


図 20. CMRR の周波数特性、 $V_{SY} = 2.7V$

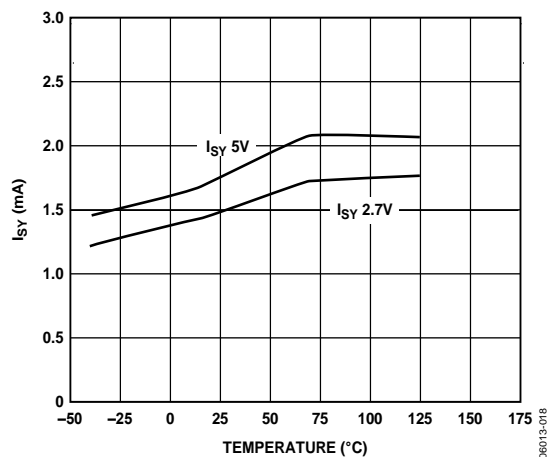


図 18. 電源電流(I_{SY})の温度特性

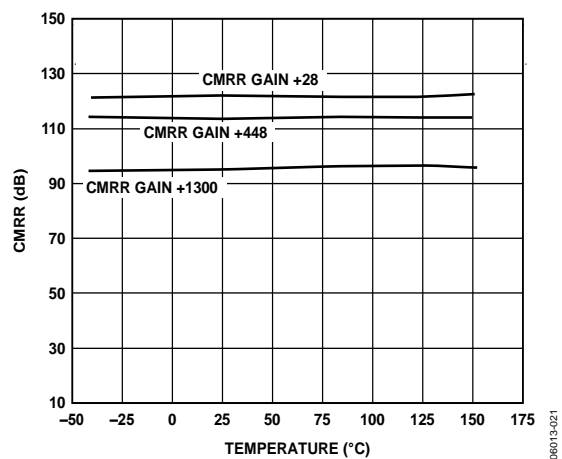


図 21. 種々のゲインでの CMRR の温度特性、 $V_{SY} = 5V$

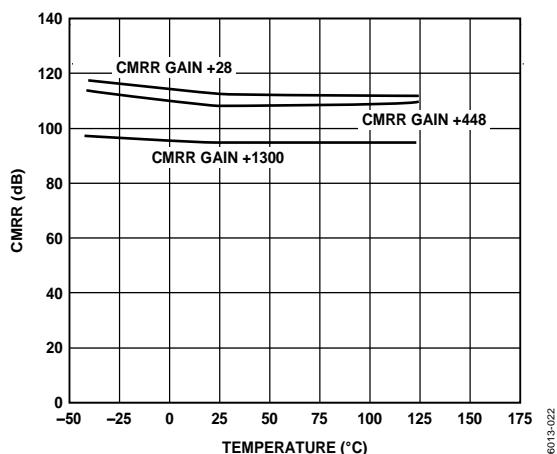


図 22. 種々のゲインでの CMRR の温度特性、 $V_{SY} = 2.7\text{ V}$

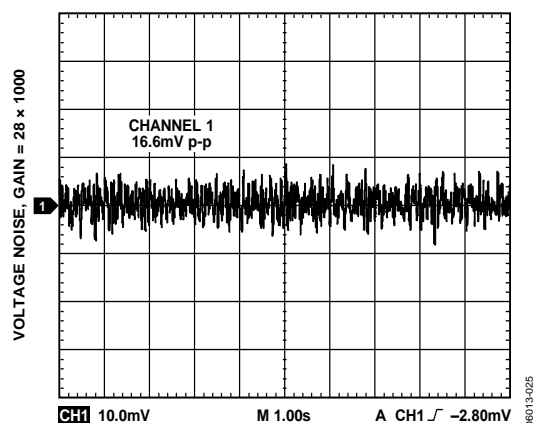


図 25. 低周波入力電圧ノイズ、0.1 Hz~10 Hz、 $V_{SY} = 2.7\text{ V}$

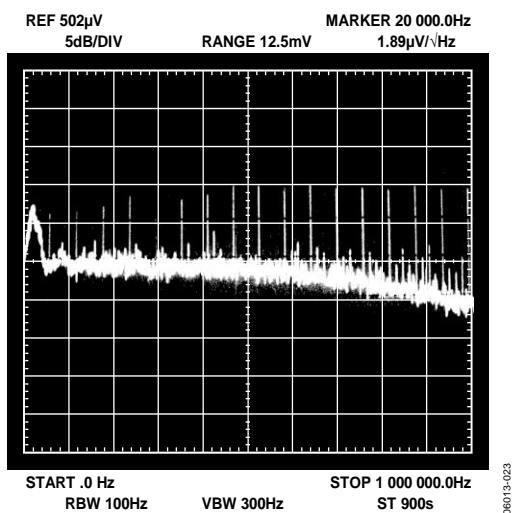


図 23. 入力電圧ノイズ密度の周波数特性(0 Hz~1000 kHz)

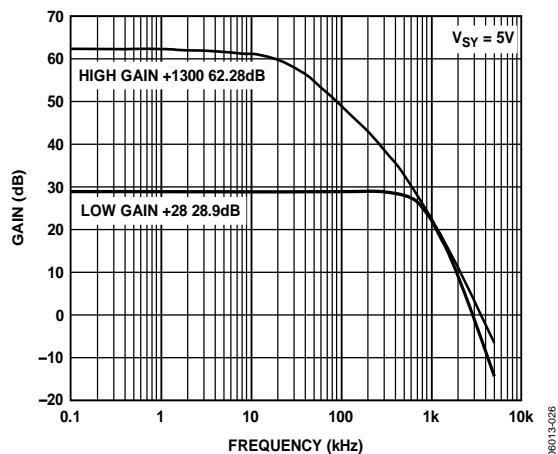


図 26. 出力ピンで測定したクローズド・ループ・ゲインの周波数特性、 $V_{SY} = 5\text{ V}$

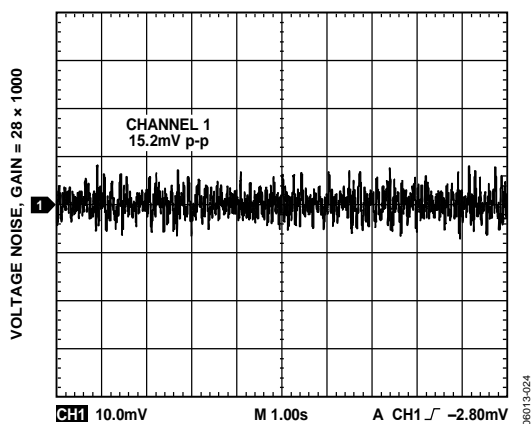


図 24. 低周波入力電圧ノイズ、0.1 Hz~10 Hz、 $V_{SY} = 5\text{ V}$

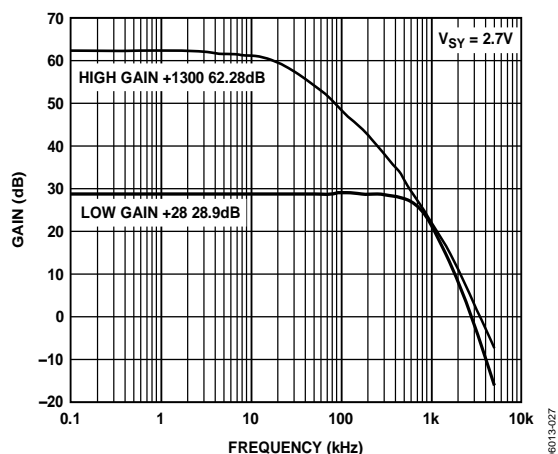


図 27. 出力ピンで測定したクローズド・ループ・ゲインの周波数特性、 $V_{SY} = 2.7\text{ V}$

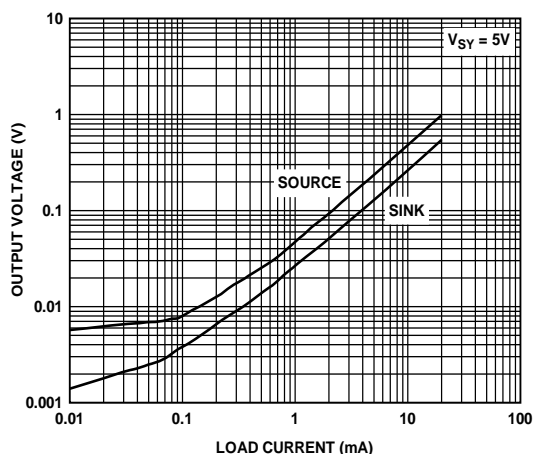


図 28.電源レールに対する出力電圧対負荷電流

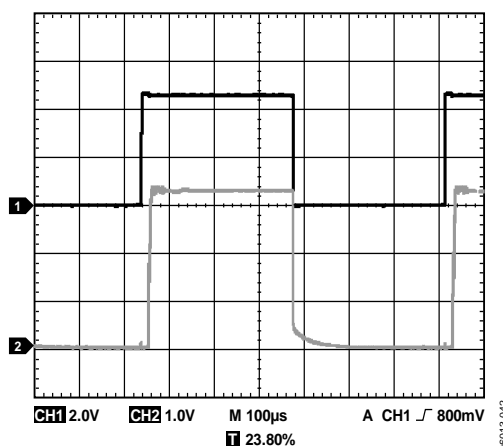


図 31.パワーオン応答、125°C

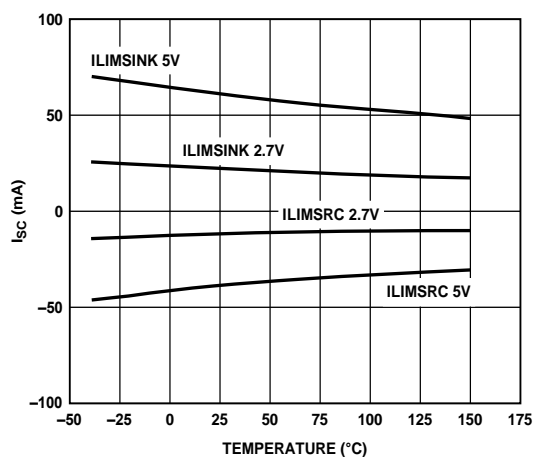


図 29.出力短絡の温度特性

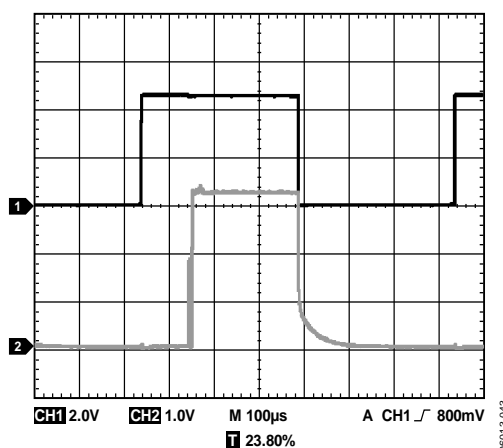


図 32.パワーオン応答、-40°C

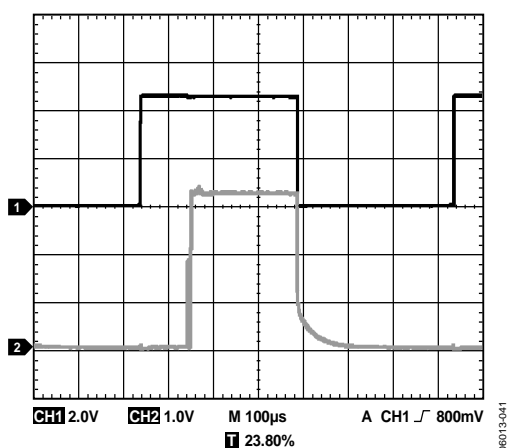


図 30.パワーオン応答、25°C

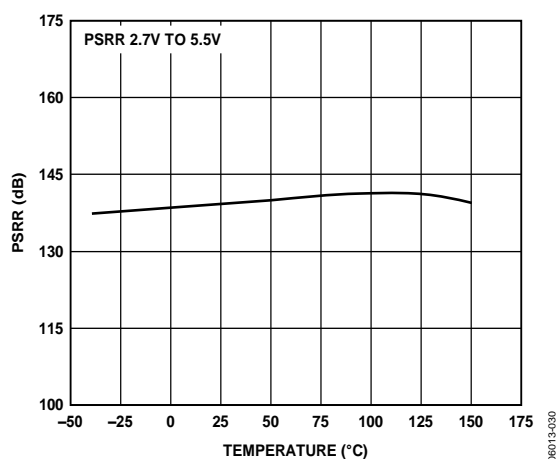


図 33.PSRR の温度特性

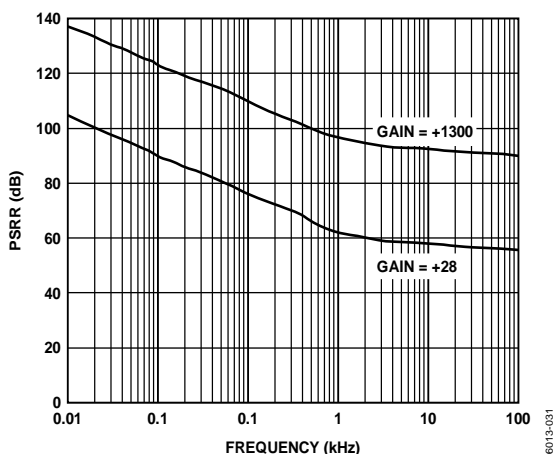


図 34.PSRR の周波数特性

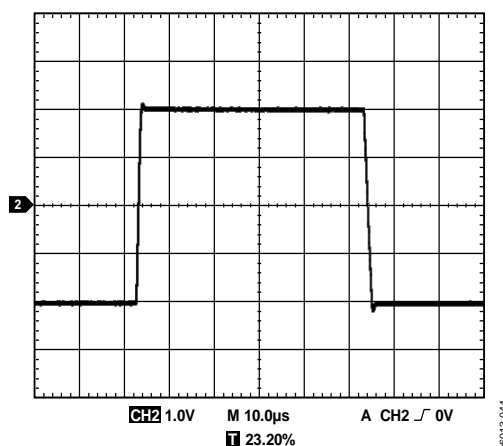


図 37.大信号応答、 $C_L = 0$ pF

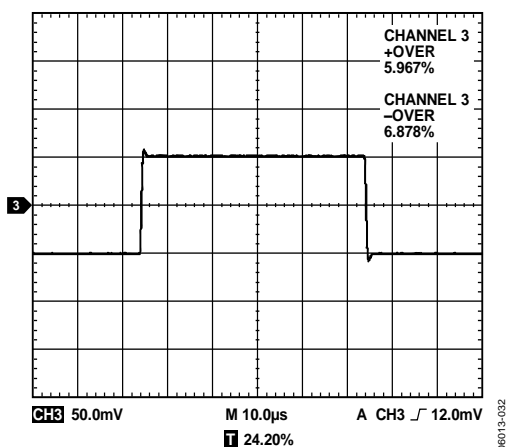


図 35.小信号応答、 $V_{SY} = 5$ V、 $C_L = 100$ pF

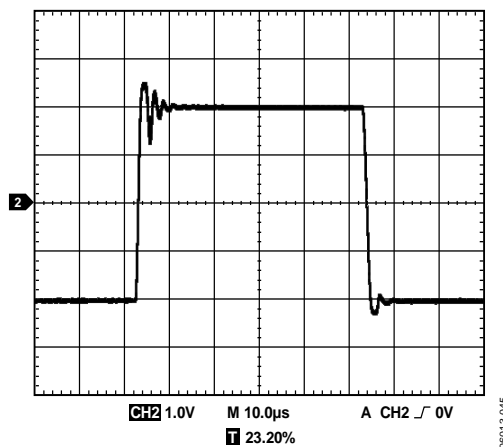


図 38.大信号応答、 $C_L = 5$ nF

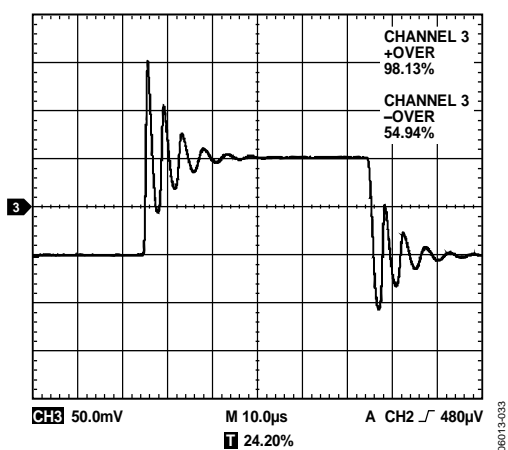


図 36.小信号応答、 $V_{SY} = 5$ V、 $C_L = 15$ nF

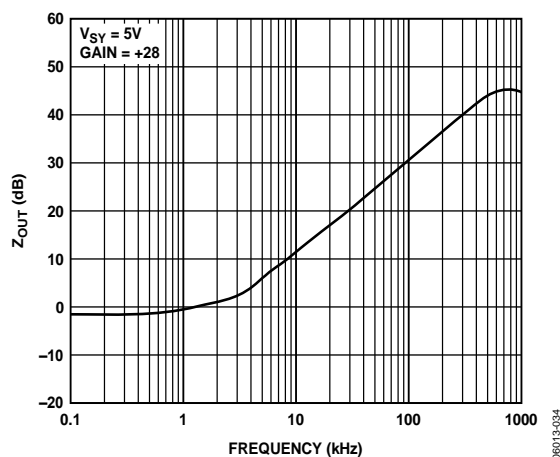


図 39.出カインピーダンスの周波数特性

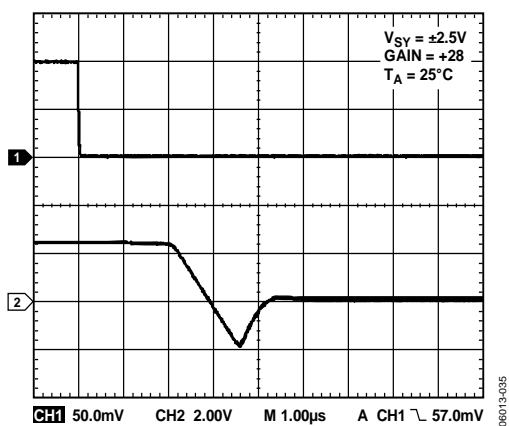


図 40.正側過負荷回復

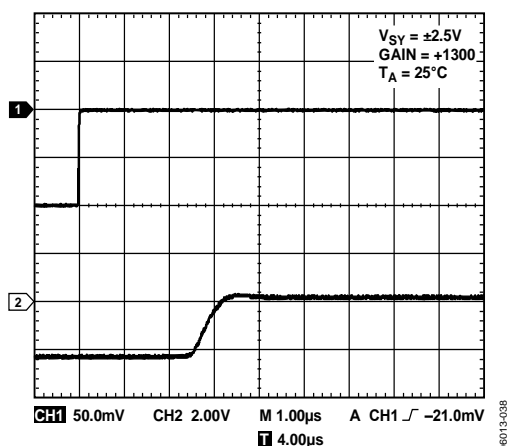


図 43.正側過負荷回復(ゲイン= 1300)

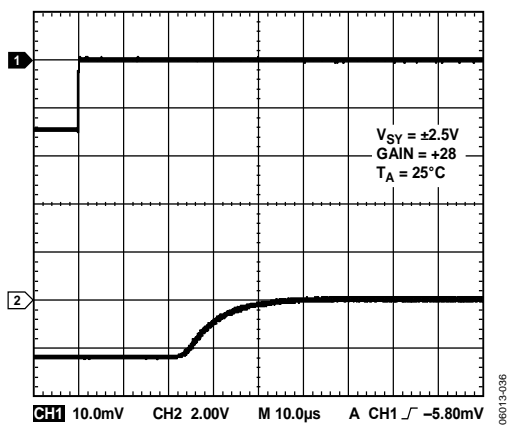


図 41.負側過負荷回復

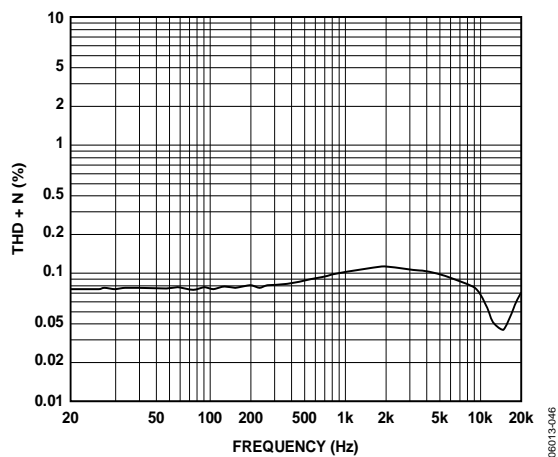


図 44.THD + N の周波数特性

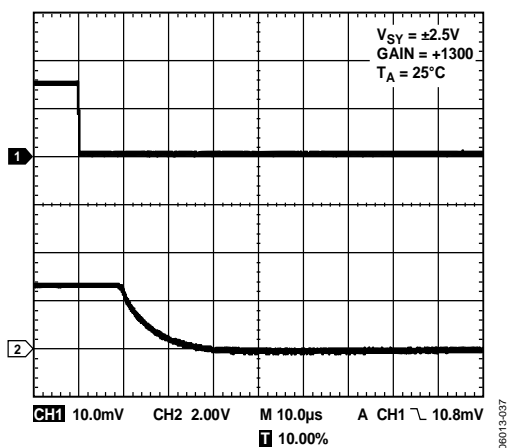


図 42.負側過負荷回復(ゲイン= 1300)

動作原理

A1、A2、R1、R2、R3、P1、P2 が差動アンプの初段ゲイン・ステージを構成します。A1 と A2 は、入力オフセット誤差を最小にするオートゼロ機能付きオペアンプです。P1 と P2 は、単調性が保証されているデジタル・ポテンショメータです。P1 と P2 の設定機能を使うと、初段ステージ・ゲインを 7 ビット分解能で 2.8～5.2 に設定できるため(see 表 6 と式 1 参照)、分解能 0.49% のゲイン微調整が可能です。R1、R2、R3、P1、P2 は同じ温度係数を持つため、初段ステージのゲイン温度係数は 100 ppm/°C 以下です。

$$GAIN1 \approx 2.8 \times \left(\frac{5.2}{2.8} \right)^{\left(\frac{Code}{127} \right)} \quad (1)$$

A3、R4、R5、R6、R7、P3、P4 は、差動アンプの 2 段目のゲイン・ステージを構成します。A3 は、入力オフセット誤差を最小にするオートゼロ機能付きオペアンプで、出力バッファも持っています。P3 と P4 はデジタル・ポテンショメータであり、これを使うと、2 段目ステージ・ゲインを 8 ステップで 10～250 の範囲で変化させることができます(表 7 参照)。R4、R5、R6、R7、P3、P4 は同じ温度係数を持つため、2 段目ステージのゲイン温度係数は 100 ppm/°C 以下になります。A3 の出力ステージは VDD ではなく VCLAMP のバッファから電源供給を受けるため、正の振幅を制限することができます。

A4 は電圧バッファを内蔵し、A3 の出力ステージに正の電源を供給します。機能は VOUT を最大値に制限することで、VDD より低い電源電圧で動作する A/D コンバータ(ADC)の駆動に便利です。A4 への入力 VCLAMP は、非常に高い入力抵抗を持っています。この入力は既知の電圧に接続してフローティングにしないようにする必要がありますが、高い入力インピーダンスのため、電圧デバイダのような高インピーダンス・ソースを使ってクランプ電圧を設定することができますようになります。VOUT の最大値を制限する必要がない場合は、VCLAMP を VDD に接続します。

アンプ出力の可変オフセットを発生するときは、8 ビットの D/A コンバータ(DAC)を使います。この DAC の単調性は保証されている必要があります。入力信号の比例関係を維持するためには、

DAC のリファレンス電圧は VSS と VDD で駆動し、DAC 出力振幅は VSS (コード 0) ～VDD (コード 255) の範囲である必要があります。8 ビット分解能は、VDD と VSS との間の電位差の 0.39% に該当し、たとえば、5 V 電源では 19.5 mV になります。DAC 出力電圧(VDAC)は次式で近似されます。

$$VDAC \approx \left(\frac{Code+0.5}{256} \right) (VDD - VSS) + VSS \quad (2)$$

ここで、VDAC の温度係数は 200 ppm/°C 以下です。

アンプ出力電圧(VOUT)は次式で与えられます。

$$VOUT = GAIN (VPOS - VNEG) + VDAC \quad (3)$$

ここで、ゲインは初段と 2 段目ステージのゲインの積になります。

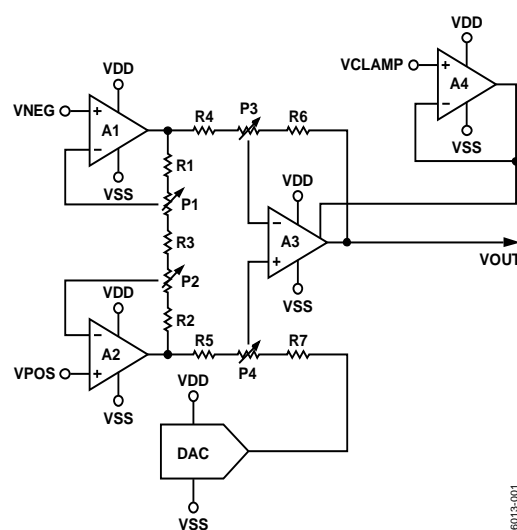


図 45. 機能図

06013-001

ゲイン値

表 6. 初段ステージのゲイン対初段ステージのゲイン・コード

First Stage Gain Code	First Stage Gain	First Stage Gain Code	First Stage Gain	First Stage Gain Code	First Stage Gain	First Stage Gain Code	First Stage Gain
0	2.800	32	3.273	64	3.825	96	4.471
1	2.814	33	3.289	65	3.844	97	4.493
2	2.827	34	3.305	66	3.863	98	4.515
3	2.841	35	3.321	67	3.881	99	4.537
4	2.855	36	3.337	68	3.900	100	4.559
5	2.869	37	3.353	69	3.919	101	4.581
6	2.883	38	3.370	70	3.939	102	4.603
7	2.897	39	3.386	71	3.958	103	4.626
8	2.911	40	3.403	72	3.977	104	4.649
9	2.926	41	3.419	73	3.997	105	4.671
10	2.940	42	3.436	74	4.016	106	4.694
11	2.954	43	3.453	75	4.036	107	4.717
12	2.969	44	3.470	76	4.055	108	4.740
13	2.983	45	3.487	77	4.075	109	4.763
14	2.998	46	3.504	78	4.095	110	4.786
15	3.012	47	3.521	79	4.115	111	4.810
16	3.027	48	3.538	80	4.135	112	4.833
17	3.042	49	3.555	81	4.156	113	4.857
18	3.057	50	3.573	82	4.176	114	4.881
19	3.072	51	3.590	83	4.196	115	4.905
20	3.087	52	3.608	84	4.217	116	4.929
21	3.102	53	3.625	85	4.237	117	4.953
22	3.117	54	3.643	86	4.258	118	4.977
23	3.132	55	3.661	87	4.279	119	5.001
24	3.147	56	3.679	88	4.300	120	5.026
25	3.163	57	3.697	89	4.321	121	5.050
26	3.178	58	3.715	90	4.342	122	5.075
27	3.194	59	3.733	91	4.363	123	5.100
28	3.209	60	3.751	92	4.384	124	5.125
29	3.225	61	3.770	93	4.406	125	5.150
30	3.241	62	3.788	94	4.427	126	5.175
31	3.257	63	3.806	95	4.449	127	5.200

表 7.2 段目ステージのゲインとゲイン範囲対 2 段目ステージのゲイン・コード

Second Stage Gain Code	Second Stage Gain	Minimum Combined Gain	Maximum Combined Gain
0	10	28.0	52.0
1	16	44.8	83.2
2	25	70.0	130.0
3	40	112.0	208.0
4	63	176.4	327.6
5	100	280.0	520.0
6	160	448.0	832.0
7	250	700.0	1300.0

断線故障の検出

A1 と A2 への入力 VNEG と VPOS は、VNEG または VPOS がスレッシュホールド電圧 (公称 $VDD - 2.0\text{ V}$) を超えたか否かを検出するために、それぞれコンパレータを持っています。VNEG > ($VDD - 2.0\text{ V}$) または VPOS > ($VDD - 2.0\text{ V}$) の場合、VOUT は VSS にクランプされます。このモードでは、出力電流制限回路はディスエーブルされますが、最大シンク電流は $VDD = 5\text{ V}$ のとき約 10 mA になります。A1 と A2 への入力 VNEG と VPOS も、電流 IP1 と IP2 により、VDD へプルアップされます。これらは公称 16 nA であり、誤差 3 nA 以内で一致します。A1 または A2 への入力が、断線などで偶発的にフローティング状態になると、IP1 と IP2 がこれらを VDD にプルアップします。このため、VOUT は VSS まで変化するため、この故障を検出することができます。VNEG または VPOS が VDD に近づいたときは、IP1 と IP2 をディスエーブルすることはできません。また VOUT を VSS へクランプすることもできません。

短絡故障の検出

VPOS、VNEG、または VCLAMP が VDD と VSS に短絡したとき、AD8557 は故障検出機能を提供します。図 46 に、故障状態と見なす VPOS、VNEG、VCLAMP の電圧領域を示します。故障状態が発生すると、VOUT ピンが VSS に短絡されます。表 8 に図 46 に示した電圧レベルを示します。

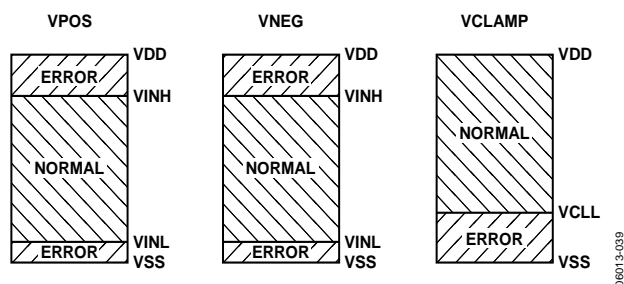


図 46.故障状態と見なされる VPOS、VNEG、VCLAMP の電圧領域

表 8.VINL、VINH、VCLL の値 (Typ)
(VDD = 5 V)

Voltage	Min (V)	Max (V)	VOUT Condition
VINH	3.9	4.2	Short to VSS fault detection
VINL	0.195	0.55	Short to VSS fault detection
VCLL	1.0	1.2	Short to VSS fault detection

VPOS、VNEG、または VCLAMP のフローティング故障の検出

VPOS ピン、VNEG ピン、または VCLAMP ピンのフローティング故障状態が、小さい電流を使ってフローティング入力を前のセクションで定義した故障電圧範囲に引き込むことにより検出されます。この方法では、フローティング入力が検出されたとき、VOUT ピンが VSS に短絡されます。表 9 に、使用する電流を示します。

表 9.VPOS、VNEG、VCLAMP のフローティング故障の検出

Pin	Typical Current	Goal of Current
VPOS	16 nA pull-up	Pull VPOS above VINH
VNEG	16 nA pull-up	Pull VNEG above VINH
VCLAMP	0.2 μA pull-down	Pull VCLAMP below VCLL

デバイスの設定

デジタル・インターフェース

デジタル・インターフェースを使うと、初段ステージのゲイン、2 段目ステージのゲイン、出力オフセットを調節することができ、さらにポリシリコン・ヒューズを選択的に溶断することにより、これらのパラメータの所望の値を恒久的に保存することができます。ピン数とボード・スペースを小さくするため、1 線式デジタル・インターフェースを採用しています。デジタル入力ピン DIGIN は、低速信号による誤トリガーを防止するためにヒステリシスを持っています。また、プルダウン電流シンクも持っているため、設定動作中でない場合にフローティング状態にしておくことができます。プルダウンにより DIGIN を DC 低電圧にすることにより、デジタル入力の非アクティブ状態を保証しています。

ロー・レベルからハイ・レベルへ変化しロー・レベルに戻る DIGIN 上の短いパルス (たとえば $50\text{ ns} \sim 10\text{ }\mu\text{s}$) が、シフト・レジスタへ 0 を 1 個ロードします。DIGIN 上の長いパルス (たとえば $50\text{ }\mu\text{s}$ 以上) は、シフト・レジスタへ 1 を 1 個ロードします。パルス間の間隔は、少なくとも $10\text{ }\mu\text{s}$ 必要です。VSS = 0 V の場合、DIGIN 上の $VSS \sim 0.2 \times VDD$ の電圧はロー・レベルと認識され、DIGIN 上の $0.8 \times VDD \sim VDD$ の電圧はハイ・レベルと認識されます。図 47 のタイミング図の例に、コード 010011 をシフト・レジスタへ入力する際の波形を示します。

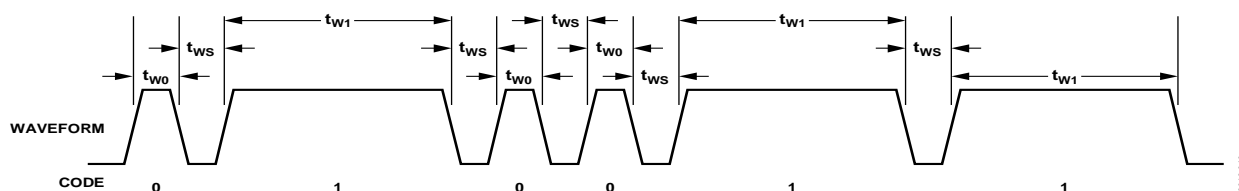


図 47.コード 010011 のタイミング図

表 10. タイミング仕様

Timing Parameter	Description	Specification
t_{w0}	Pulse width for loading 0 into shift register	Between 50 ns and 10 μ s
t_{w1}	Pulse width for loading 1 into shift register	≥ 50 μ s
t_{ws}	Width between pulses	≥ 10 μ s

表 11.38 ビット・シリアル・ワードのフォーマット

Field No.	Bits	Description
0	0 to 11	12-bit start of packet 1000 0000 0001
1	12 to 13	2-bit function 00: change sense current 01: simulate parameter value 10: program parameter value 11: read parameter value
2	14 to 15	2-bit parameter 00: second stage gain code 01: first stage gain code 10: output offset code 11: other functions
3	16 to 17	2-bit dummy 10
4	18 to 25	8-bit value Parameter 00 (second stage gain code): 3 LSBs used Parameter 01 (first stage gain code): 7 LSBs used Parameter 10 (output offset code): all 8 bits used Parameter 11 (other functions) Bit 0 (LSB): master fuse Bit 1: fuse for production test at Analog Devices
5	26 to 37	12-bit end of packet 0111 1111 1110

6 個のフィールドから構成されている 38 ビットのシリアル・ワードを使います。各ビットを 60 μ s でロードできるとすると、38 ビットのシリアル・ワードは 2.3 ms で転送されます。表 11 に、ワード・フォーマットを示します。

フィールド 0 とフィールド 5 は、それぞれ start-of-packet フィールドと end-of-packet フィールドです。start-of-packet フィールドを 1000 0000 0001 に、end-of-packet フィールドを 0111 1111 1110 にすると、シリアル・ワードが有効になり、他のフィールドのデコーディングが可能になります。

フィールド 3 はデータの終わりを示し、データの組み合わせにより start-of-packet フィールドと end-of-packet フィールドが誤検出されないようにします。フィールド 0 は最初に書き込み、フィールド 5 を最後に書き込む必要があります。

各フィールド内では、MSB を最初に、LSB を最後に、それぞれ書き込む必要があります。シフト・レジスタは、誤設定の危険性を減らすためにパワーオン・リセットを持っています。VDD が 0.7 V~2.2 V になると、パワーオン・リセットが発生します。

初期状態

初期状態では、すべてのポリシリコン・ヒューズは原形のままです。各パラメータには値 0 が設定されています(表 12 参照)。

表 12. プログラム前の初期状態

Second Stage Gain Code = 0	Second Stage Gain = 10
First stage gain code = 0	First stage gain = 2.8
Output offset code = 0	Output offset = VSS
Master fuse = 0	Master fuse not blown

デバイスに電源が加えられると、パラメータ値が内部レジスタ(マスター・ヒューズが溶断されていない場合)、またはポリシリコン・ヒューズ(マスター・ヒューズが溶断されている場合)から取得されます。書き込まれた値は、マスター・ヒューズが溶断されるまで無効です。内部レジスタはパワーオン・リセットを持っているため、未プログラムのデバイスはパワーアップすると、既知の状態になります。パワーオン・リセットは、VDD が 0.7 V~2.2 V になると発生します。

シミュレーション・モード

シミュレーション・モードを使うと、パラメータを一時的に変更することができます。これらの変更は、シミュレーションされた値が再プログラムされるまで、電源が切断されるまで、またはマスター・ヒューズが溶断されるまで保持されます。設定フィールド 1 を 01 に設定し、フィールド 2 内で所望のパラメータを選択し、フィールド 4 内でそのパラメータに対する所望の値を選択すると、パラメータがシミュレーションされます。フィールド 2 の値 11 は、シミュレーション・モードでは無視されることに注意してください。一時的設定の例を次に示します。

- 2 段目ステージのゲイン・コード(パラメータ 00)を 011 に、2 段目ステージ・ゲインを 50 に、それぞれ設定すると、次のようになります:
1000 0000 0001 01 00 10 0000 0011 0111 1111 1110
- 初段ステージのゲイン・コード(パラメータ 01)を 000 1011 に、初段ステージ・ゲインを 4.166 に、それぞれ設定すると、次のようになります:
1000 0000 0001 01 01 10 0000 1011 0111 1111 1110
初段ステージ・ゲインが 4.166 で、2 段目ステージ・ゲインが 50 のとき、合計ゲインは 208.3 になります。このゲインは最大偏差 2.5% になります。
- 出力オフセット・コード(パラメータ 10)を 0100 0000 に、 $V_{DD} = 5\text{ V}$ で $V_{SS} = 0\text{ V}$ のとき、出力オフセットを 1.260 V に、それぞれ設定すると、この出力オフセットは最大偏差 0.8% になります:
1000 0000 0001 01 10 10 0100 0000 0111 1111 1110

プログラミング・モード

初期ヒューズのビット値は 0 です。所望の値 1 を持つビットは、対応するヒューズを溶断する必要があります。ヒューズの溶断には比較的大きい電流が必要なため、1 回に 1 ヒューズずつ溶断する必要があります。与えられたパラメータ値の信頼度の高いプログラムを可能にするためには数個の 38 ビット・ワードが必要になります。

ヒューズを溶断する際に、ヒューズを切断する内部 MOS スイッチのオン抵抗を小さくするために 5.75 V ($\pm 0.25\text{ V}$) の電源が必要です。電源電圧は絶対最大定格を超えずに 250 mA の電流を供給できる必要があります。

デバイスのプログラム中、電源ピンに最小 10 μF (タンタル型) のデカップリング容量を接続する必要があります。プログラム対象デバイスから 2 インチ以内であれば、この容量は書込器上に配置することができます。さらに、プログラム対象デバイスから 1/2 インチ以内に 10 μF と並列に 0.1 μF (セラミック型) を接続することが推奨されます。各ヒューズの溶断には、最小 1 ms の間隔が必要です。プログラム中に電源電流を測定する必要はありません。

プログラムの有無を確認する最適な方法は、読み出しモードを使って、書き込んだ値をリードバックすることです。その後で、ゲインとオフセットを測定して、これらの値を確認します。書き込まれたヒューズは、マスター・ヒューズが溶断されるまで、ゲインと出力オフセットに影響を与えません。マスター・ヒューズを溶断すると、ゲインと出力オフセットは溶断されたヒューズにより決定されるため、シミュレーション・モードはそれ以後使用できなくなります。

フィールド 1 を 10 に設定し、フィールド 2 内で所望のパラメータを選択し、フィールド 4 内で値 1 を持つ 1 ビットを選択すると、パラメータが書き込まれます。

一例として、2 段目ステージ・ゲインを 50 に永久設定する場合、パラメータ 00 は値 0000 0011 を持つ必要があります。2 ビットが値 1 を持つため、2 個のヒューズを溶断する必要があります。1 回に 1 個のヒューズしか溶断できないため、次のコードは 1 個のヒューズの溶断に使うことができます。

1000 0000 0001 10 00 10 0000 0010 0111 1111 1110

ヒューズを溶断する MOS スイッチは、パケット全体が認識されたときに閉じ、start-of-packet フィールド、ダミー・フィールド、または end-of-packet フィールドが無効になったときに開きます。1 ms 後に、次の 2 つ目のコードが入力されて 2 個目のヒューズが溶断されます。

1000 0000 0001 10 00 10 0000 0001 0111 1111 1110

初段ステージのゲインを公称値 4.151 に永久設定するときは、パラメータ 01 は値 000 1011 を持つ必要があります。3 個のヒューズを切断する必要があり、次のコードを、各コードの後 1 ms の遅延を経て使用します。

1000 0000 0001 10 01 10 0000 1000 0111 1111 1110

1000 0000 0001 10 01 10 0000 0010 0111 1111 1110

1000 0000 0001 10 01 10 0000 0001 0111 1111 1110

$V_{DD} = 5\text{ V}$ と $V_{SS} = 0\text{ V}$ で、出力オフセットを公称値 1.260 V に永久設定するときは、パラメータ 10 は値 0100 0000 を持つ必要があります。1 個のヒューズを溶断するときは、次のコードを使います。

1000 0000 0001 10 10 10 0100 0000 0111 1111 1110

最後に、マスター・ヒューズを溶断してシミュレーション・モードを終了し、それ以後のプログラムを防止するときは、次のコードを使います。

1000 0000 0001 10 11 10 0000 0001 0111 1111 1110

合計 20 個のヒューズが存在します。各ヒューズの溶断には 1 ms 必要なため、各シリアル・ワードは 2.3 ms 以内にロードでき、ヒューズのプログラムに必要な最大時間は 66 ms で済みます。

読み出しモード

ポリシリコン・ヒューズに保存された値を DIGOUT ピンに出力してプログラム内容を確認することができます。通常、DIGOUT ピンのみが 2 段目のゲイン・ステージ出力に接続されています。読み出しモードでは、DIGOUT ピンはシフト・レジスタの出力にも接続されて、ポリシリコン・ヒューズの値を読み出すことが可能です。VOUT は DIGOUT がバッファされたものであるため、VOUT も読み出しモード時にデジタル信号を出力します。

フィールド 1 を 11 に設定し、フィールド 2 内で所望のパラメータを選択すると、読み出しモードが開始されます。このときフィールド 4 は無視されます。ポリシリコン・ヒューズに保存されているパラメータ値が内部シフト・レジスタにロードされ、シフト・レジスタの MSB が DIGOUT ピンに接続されます。DIGIN 上のパルスにより、シフト・レジスタ値が DIGOUT ピンへ出力されて、後続の 7 個のパルスで 8 ビットのパラメータ値が読み出されます。DIGIN の立ち下がりエッジでシフトされます。DIGIN 上の 8 個目のパルスで、DIGOUT がシフト・レジスタから切り離され、読み出しモードが終了します。パラメータ値が 8 ビットより短い場合には、シフト・レジスタの MSB には 0 が書き込まれます。

たとえば、2 段目ステージのゲインを読み出ときは、次のコードを使います。

1000 0000 0001 11 00 10 0000 0000 0111 1111 1110

2 段目ステージのゲイン・パラメータ値は 3 ビット長であるため、このコードを入力したとき、DIGIN 上の後続の 4 個のパルスの間、DIGOUT ピンの値は 0 を維持します。DIGIN 上の 5、6、7 個目のパルスが DIGOUT に 3 ビットの値を返し、7 個目のパルスが LSB を返します。DIGIN 上の 8 個目のパルスが読み出しモードを終了させます。

検出電流

検出電流を各ポリシリコン・ヒューズに流して、溶断されているか否かを調べます。ヒューズ両端の電圧が約 1.5 V 以下の場合、そのヒューズは溶断されていないと見なされて、OTP セルからロ

ロジック 0 が出力されます。ヒューズ両端の電圧が約 1.5 V を超えると、そのヒューズは溶断されていると見なされて、ロジック 1 が出力されます。

AD8557 の製造時は、すべてのヒューズが低い抵抗を持っています。検出電流がヒューズを流れると、ヒューズの両端に 0.1 V より小さい電圧が発生します。これは 1.5 V より遥かに小さいため、OTP セルからロジック 0 が出力されます。ヒューズが電氣的に溶断されると、非常に高い抵抗値を持つようになります。検出電流が溶断されたヒューズを流れると、ヒューズ両端の電圧は 1.5 V より高くなるため、OTP セルからロジック 1 が出力されます。

必要とされる条件が満たされていても、プログラム中にヒューズが完全に溶断されないことは、非常に希ですが、理論上発生する可能性があります。この場合、ヒューズは高くも低くもない中間の抵抗値を持つため、ヒューズ両端に約 1.5 V の電圧が発生します。このため、OTP セルは、温度、電源電圧、その他の変数に応じて、ロジック 0 またはロジック 1 を出力します。

この望ましくない状況を検出するため、特別なコードを使って、検出電流を 1/4 に小さくすることができます。こうすると、ヒューズ両端の電圧は 1.5 V ~ 0.38 V で変化するようになり、溶断されたヒューズから期待されるロジック 1 が OTP から出力される代わりに、ロジック 0 が出力されます。正常に溶断されたヒューズは、ロジック 1 を出力することに変わりありません。この方法で、正常に溶断されていないヒューズを検出することができます。もう 1 つの特別なコードは、通常の値(大きな値)に対する検出電流を返します。検出電流を固定的に小さい値に設定することはできません。AD8557 がパワーアップすると、検出電流はデフォルトとして大きい値に設定されます。

小さい検出電流のコードは次のようになります:

```
1000 0000 0001 00 00 10 XXXX XXX1 0111 1111 1110
```

通常の(大きい)検出電流のコードは次のようになります:

```
1000 0000 0001 00 00 10 XXXX XXX0 0111 1111 1110
```

プログラム手順

確実にヒューズをプログラムするためには、プログラミング手順に従うことが必要で、特にプログラミング時の正しい電源電圧は重要です:

1. AD8557 をプログラムするとき、デバイス温度は 10°C ~ 40°C である必要があります。
2. VDD と VSS をアプリケーションでの所望の値に設定します。シミュレーション・モードを使ってテストして、2 段階目ステージのゲイン、初段ステージのゲイン、出力オフセットに対する所望のコードを決定します。これらのパラメータに対する公称値を表 6、表 7、式 2、式 3 に示します。これらの値に対応するコードを出発点として使います。ただし、与えられたコードに対する実際のパラメータ値はデバイスごとに異なるため、最適精度を得るためには微調整が必要です。

これらの値を選ぶ 1 つの方法は、出力オフセットを概略値(電源の 1/2 点を選ぶコード 128 など)に設定して、所望のゲインを決定できるようにすることです。次に、初段ステージの最小ゲイン(コード 0)が所要ゲインより低くなり、かつ初段ステージ最大ゲイン(コード 127)が所要ゲインより高くなるように、2 段階目ステージのゲインを設定します。2 段階目ステージのゲインを選択した後、初段ステージのゲインが選択できるようになり、総合ゲインをここで微調整します。最後に、出力オフセットを値溶接して、所望の値を得るようにします。2 段階目ステージ・ゲイン、初段ステージ・ゲイン、出力オフセットに対して所望のコードを決定した後、デバイスの永久設定が可能になります。

一旦ヒューズのプログラムを行った後は、そのヒューズを再度溶断することはできないことに注意してください。ヒューズを期待した状態にプログラムできなかった場合には、そのデバイスは廃棄してください。正しいプログラミング手順と条件に従う場合には、ヒューズの溶断に失敗する確立は非常に小さいものです。

3. VSS を 0 V に、VDD を 5.75 V (± 0.25 V) に、それぞれ設定します。電源は要求された電圧で 250 mA を供給でき、さらにプログラミング・モードのセクションに記載する正しいバイパスを行っている必要があります。プログラム・モードを使って、初段ステージ・ゲイン、2 段階目ステージ・ゲイン、出力オフセットに対する所望のコードを永久設定します。マスター・ヒューズを溶断して、AD8557 がヒューズからデータを読み出せるようにし、それ以後のプログラミングを防止するようにします。
4. VDD と VSS をアプリケーションでの所望の値に設定します。読み出しモードを使って、まず小さい検出電流を使い、次に大きい検出電流を使って、プログラムされたコードを確認します。
5. ゲインとオフセットを測定して、正しい機能であることを確認します。

最適なゲイン・コードとオフセット・コードの決定

まず、所望のゲインを次のように決定します:

1. 所望のゲイン G_A を決定します(シミュレーションで得られた測定値を使います).
2. 表 7 を使って、2 段目ステージのゲイン G_2 を、 $(2.8 \times 1.05) < (G_A/G_2) < (5.2/1.05)$ を満たすように決定します。これにより、初段ステージのゲインに対する最初と最後のコードを使わないようにできるため、2 段目ステージの各ゲイン範囲内で初段ステージ・ゲイン・コードを 3% 精度で十分調節できるようになります。

次に、次のように 2 段目ステージのゲインを設定します:

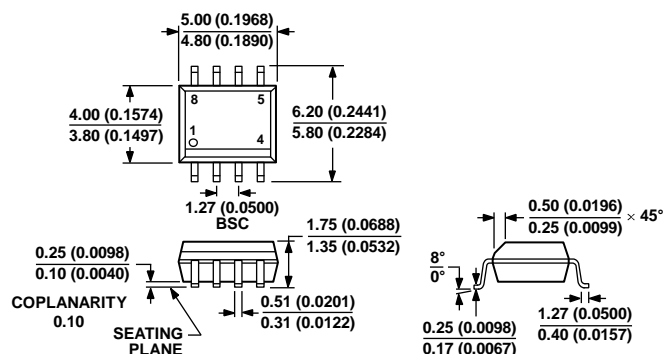
1. シミュレーション・モードを使って、2 段目ステージのゲインを G_2 に設定します。
2. AD8557 のゲインを測定できるように出力オフセットを設定します。たとえば、コード 128 を使って、電源の 1/2 に設定します。
3. 表 6 または式 1 を使って、初段ステージのゲイン・コード C_{G1} を設定して、初段ステージのゲインが公称値 G_A/G_2 になるようにします。
4. その結果得られるゲイン(G_B)を測定します。 G_B は、 G_A の 3% 以内である必要があります。
5. 初段ステージのゲイン誤差を計算します(相対値)
 $E_{G1} = G_B/G_A - 1$ 。
6. 誤差を計算します(初段ステージのゲイン・コード数) $C_{EG1} = E_{G1}/0.00489$ 。
7. 初段ステージのゲイン・コードを $C_{G1} - C_{EG1}$ に設定します。
8. ゲイン(G_C)を測定します。 G_C は、 G_B より G_A に近い値である必要があります。

9. 誤差を計算します(相対値) $E_{G2} = G_C/G_A - 1$ 。
10. 誤差を計算します(初段ステージのゲイン・コード数) $C_{EG2} = E_{G2}/0.00489$ 。
11. 初段ステージのゲイン・コードを $C_{G1} - C_{EG1} - C_{EG2}$ に設定します。この結果得られるゲインは、 G_A から 1 コード以内である必要があります。

最後に、次のように所望の出力オフセットを決定します:

1. 所望の出力オフセット O_A を決定します(シミュレーションで得られた測定値を使います)。
2. 式 2 を使って、出力オフセット・コード C_{O1} を設定して、出力オフセットが公称値 O_A になるようにします。
3. 出力オフセット(O_B)を測定します。 O_B は O_A の 3% 以内である必要があります。
4. 誤差を計算します(相対値) $E_{O1} = O_B/O_A - 1$ 。
5. 誤差を計算します(出力オフセット・コード数) $C_{EO1} = E_{O1}/0.00392$ 。
6. 出力オフセット・コードを $C_{O1} - C_{EO1}$ に設定します。
7. 出力オフセット(O_C)を測定します。 O_C は、 O_B より O_A の方に近い値である必要があります。
8. 誤差を計算します(相対値) $E_{O2} = O_C/O_A - 1$ 。
9. 誤差を計算します(出力オフセット・コード数) $C_{EO2} = E_{O2}/0.00392$ 。
10. 出力オフセット・コードを $C_{O1} - C_{EO1} - C_{EO2}$ に設定します。この結果得られるオフセットは、 O_A から 1 コード以内である必要があります。

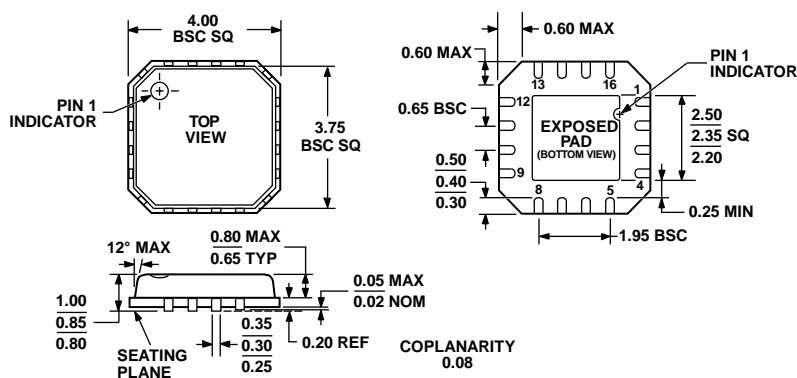
外形寸法



COMPLIANT TO JEDEC STANDARDS MS-012-AA
CONTROLLING DIMENSIONS ARE IN MILLIMETERS; INCH DIMENSIONS
(IN PARENTHESES) ARE ROUNDED-OFF MILLIMETER EQUIVALENTS FOR
REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.

012407-A

図 48.8 ピン標準スモール・アウトライン・パッケージ [SOIC_N]
ナロー・ボディ
(R-8)
寸法: mm (インチ)



COMPLIANT TO JEDEC STANDARDS MO-220-VGGC

010606-0

図 49.16 ピン・リードフレーム・チップ・スケール・パッケージ [LFCSP_VQ]
4 mm × 4 mm ボディ、極薄クワッド
(CP-16-10)
寸法: mm

オーダー・ガイド

Model	Temperature Range	Package Description	Package Option
AD8557ACPZ-R2 ¹	-40°C to +125°C	16-Lead LFCSP_VQ	CP-16-10
AD8557ACPZ-REEL	-40°C to +125°C	16-Lead LFCSP_VQ	CP-16-10
AD8557ACPZ-REEL7	-40°C to +125°C	16-Lead LFCSP_VQ	CP-16-10
AD8557ARZ	-40°C to +125°C	8-Lead SOIC_N	R-8
AD8557ARZ-REEL	-40°C to +125°C	8-Lead SOIC_N	R-8
AD8557ARZ-REEL7	-40°C to +125°C	8-Lead SOIC_N	R-8
AD8557AR-EVAL		Evaluation Board	

¹ Z = RoHS 準拠製品