

AD8531/AD8532/AD8534

特長

単電源動作: 2.7 V~6 V
 高出力電流: ± 250 mA
 低電源電流: アンプ 1 個あたり 750 μ A
 広い帯域幅: 3 MHz
 スルーレート: 5 V/ μ s
 位相反転なし
 低入力電流
 ユニティ・ゲイン安定
 レール to レールの入力および出力

アプリケーション

マルチメディア・オーディオ
 LCD ドライバ
 ASIC 入力アンプまたは出力アンプ
 ヘッドフォン・ドライバ

概要

AD8531、AD8532、AD8534 は、それぞれシングル、デュアル、クワッドのレール to レール入力/出力単電源アンプであり、出力駆動電流は 250 mA です。これらのアンプは出力電流が大きいため、抵抗負荷または容量負荷の駆動に優れています。3 MHz の帯域幅、5 V/ μ s のスルーレート、低歪みであるため AC 性能は非常に優れています。これら全デバイスは、3 V と 5 V の単電源動作が保証されています。

AD853x は、入力バイアス電流が非常に小さいため、積分器、ダイオード増幅、低入力バイアス電流を必要とするその他のアプリケーションで使うことができます。アンプ 1 個あたりの電源電流は、5 V でわずか 750 μ A であるため、小電流アプリケーションで大電流負荷を制御することができます。

アプリケーションとしては、コンピュータ、サウンド・ポート、サウンド・カード、セット・トップ・ボックスのオーディオ増幅などがあります。AD853x ファミリーは非常に安定であるため、LCD ドライバなどのような重い容量負荷を駆動することができます。

入力と出力でレール to レールの振幅能力を持っているため、単電源システムで CMOS DAC、ASIC、その他の大きな出力振幅デバイスに対するバッファとして使うことができます。

AD8531/ AD8532/ AD8534 の仕様は、拡張工業温度範囲(-40°C~+85°C)で規定されています。AD8531 は、8 ピン SOIC、5 ピン SC70、または 5 ピン SOT-23 のパッケージを採用しています。AD8532 は、8 ピン SOIC、8 ピン MSOP、または 8 ピン TSSOP の表面実装パッケージを採用しています。AD8534 は、ナロー-14 ピン SOIC または 14 ピン TSSOP 表面実装パッケージを採用しています。

ピン配置

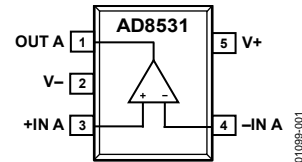
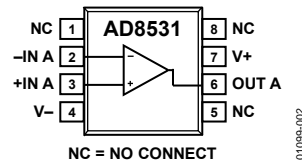


図 1.5 ピン SC70 と 5 ピン SOT-23
(KS と RJ サフィックス)



NC = NO CONNECT

図 2.8 ピン SOIC
(R サフィックス)

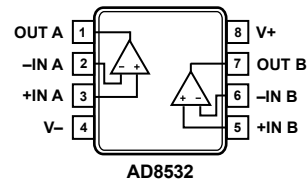


図 3.8 ピン SOIC、8 ピン TSSOP、8 ピン MSOP
(R、RU、RM サフィックス)

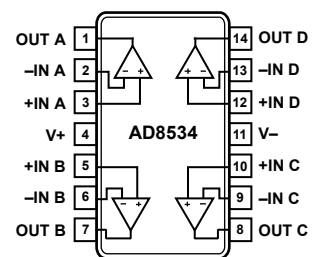


図 4.14 ピン SOIC と 14 ピン TSSOP
(R と RU サフィックス)

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
 ※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

©1996–2008 Analog Devices, Inc. All rights reserved.

Rev. F

目次

特長	1	周囲温度とケース温度の測定から消費電力を計算する方法	12
アプリケーション	1	電源電流の測定から消費電力を計算する方法	12
概要	1	入力過電圧保護機能	12
ピン配置	1	出力位相の反転	13
改訂履歴	2	容量負荷の駆動	13
仕様	3	アプリケーション情報	14
電気的特性	3	高出力電流のバッファ付きリファレンス電圧/レギュレータ	14
絶対最大定格	5	単電源の平衡ライン・ドライバ	14
熱抵抗	5	単電源ヘッドフォン・アンプ	15
ESDの注意	5	単電源の2ウェイ・ラウドスピーカ・クロスオーバー回路	15
代表的な性能特性	6	電話回線インターフェース用のダイレクト・アクセス	16
動作原理	11	外形寸法	17
短絡保護機能	11	オーダー・ガイド	20
消費電力	11		
変動する負荷または未知の負荷での消費電力の計算	12		

改訂履歴

1/08—Rev. E to Rev. F

Changes to Layout	5
Changes to Figure 12 and Figure 13	7
Changes to Figure 38	11
Changes to Input Overvoltage Protection Section	12
Changes to Figure 43	14
Updated Outline Dimensions	17
Changes to Ordering Guide	20

4/05—Rev. D to Rev. E

Updated Format	Universal
Changes to Pin Configurations	1
Changes to Table 4	5
Updated Outline Dimensions	18
Changes to Ordering Guide	19

10/02—Rev. C to Rev. D

Deleted 8-Lead PDIP (N-8)	Universal
Deleted 14-Lead PDIP (N-14)	Universal
Edits to Figure 34	9
Updated Outline Dimensions	15

8/96—Revision 0: Initial Version

仕様

電気的特性

特に指定がない限り、 $V_S = 3.0\text{ V}$ 、 $V_{CM} = 1.5\text{ V}$ 、 $T_A = 25^\circ\text{C}$ 。

表 1.

Parameter	Symbol	Conditions	Min	Typ	Max	Unit
INPUT CHARACTERISTICS						
Offset Voltage	V_{OS}	$-40^\circ\text{C} \leq T_A \leq +85^\circ\text{C}$			25	mV
					30	mV
Input Bias Current	I_B	$-40^\circ\text{C} \leq T_A \leq +85^\circ\text{C}$		5	50	pA
					60	pA
Input Offset Current	I_{OS}	$-40^\circ\text{C} \leq T_A \leq +85^\circ\text{C}$		1	25	pA
					30	pA
Input Voltage Range			0		3	V
Common-Mode Rejection Ratio	CMRR	$V_{CM} = 0\text{ V to }3\text{ V}$	38	45		dB
Large Signal Voltage Gain	A_{VO}	$R_L = 2\text{ k}\Omega$, $V_O = 0.5\text{ V to }2.5\text{ V}$		25		V/mV
Offset Voltage Drift	$\Delta V_{OS}/\Delta T$			20		$\mu\text{V}/^\circ\text{C}$
Bias Current Drift	$\Delta I_B/\Delta T$			50		fA/ $^\circ\text{C}$
Offset Current Drift	$\Delta I_{OS}/\Delta T$			20		fA/ $^\circ\text{C}$
OUTPUT CHARACTERISTICS						
Output Voltage High	V_{OH}	$I_L = 10\text{ mA}$ $-40^\circ\text{C} \leq T_A \leq +85^\circ\text{C}$	2.85	2.92		V
			2.8			V
Output Voltage Low	V_{OL}	$I_L = 10\text{ mA}$ $-40^\circ\text{C} \leq T_A \leq +85^\circ\text{C}$		60	100	mV
					125	mV
Output Current	I_{OUT}			± 250		mA
Closed-Loop Output Impedance	Z_{OUT}	$f = 1\text{ MHz}$, $A_V = 1$		60		Ω
POWER SUPPLY						
Power Supply Rejection Ratio	PSRR	$V_S = 3\text{ V to }6\text{ V}$	45	55		dB
Supply Current/Amplifier	I_{SY}	$V_O = 0\text{ V}$ $-40^\circ\text{C} \leq T_A \leq +85^\circ\text{C}$		0.70	1	mA
					1.25	mA
DYNAMIC PERFORMANCE						
Slew Rate	SR	$R_L = 2\text{ k}\Omega$		3.5		V/ μs
Settling Time	t_s	To 0.01%		1.6		μs
Gain Bandwidth Product	GBP			2.2		MHz
Phase Margin	ϕ_o			70		Degrees
Channel Separation	CS	$f = 1\text{ kHz}$, $R_L = 2\text{ k}\Omega$		65		dB
NOISE PERFORMANCE						
Voltage Noise Density	e_n	$f = 1\text{ kHz}$		45		nV/ $\sqrt{\text{Hz}}$
		$f = 10\text{ kHz}$		30		nV/ $\sqrt{\text{Hz}}$
Current Noise Density	i_n	$f = 1\text{ kHz}$		0.05		pA/ $\sqrt{\text{Hz}}$

特に指定がない限り、 $V_S = 5.0\text{ V}$ 、 $V_{CM} = 2.5\text{ V}$ 、 $T_A = 25^\circ\text{C}$ 。

表 2.

Parameter	Symbol	Conditions	Min	Typ	Max	Unit
INPUT CHARACTERISTICS						
Offset Voltage	V_{OS}	$-40^\circ\text{C} \leq T_A \leq +85^\circ\text{C}$			25 30	mV mV
Input Bias Current	I_B	$-40^\circ\text{C} \leq T_A \leq +85^\circ\text{C}$		5	50	pA
Input Offset Current	I_{OS}	$-40^\circ\text{C} \leq T_A \leq +85^\circ\text{C}$		1	25	pA
Input Voltage Range		$-40^\circ\text{C} \leq T_A \leq +85^\circ\text{C}$			30	pA
Common-Mode Rejection Ratio	CMRR	$V_{CM} = 0\text{ V to } 5\text{ V}$	0		5	V
Large Signal Voltage Gain	A_{VO}	$R_L = 2\text{ k}\Omega$, $V_O = 0.5\text{ V to } 4.5\text{ V}$	38	47		dB
Offset Voltage Drift	$\Delta V_{OS}/\Delta T$	$-40^\circ\text{C} \leq T_A \leq +85^\circ\text{C}$	15	80		V/mV
Bias Current Drift	$\Delta I_B/\Delta T$			20		$\mu\text{V}/^\circ\text{C}$
Offset Current Drift	$\Delta I_{OS}/\Delta T$			50		fA/ $^\circ\text{C}$
				20		fA/ $^\circ\text{C}$
OUTPUT CHARACTERISTICS						
Output Voltage High	V_{OH}	$I_L = 10\text{ mA}$ $-40^\circ\text{C} \leq T_A \leq +85^\circ\text{C}$	4.9 4.85	4.94		V V
Output Voltage Low	V_{OL}	$I_L = 10\text{ mA}$ $-40^\circ\text{C} \leq T_A \leq +85^\circ\text{C}$		50	100 125	mV mV
Output Current	I_{OUT}			± 250		mA
Closed-Loop Output Impedance	Z_{OUT}	$f = 1\text{ MHz}$, $A_V = 1$		40		Ω
POWER SUPPLY						
Power Supply Rejection Ratio	PSRR	$V_S = 3\text{ V to } 6\text{ V}$	45	55		dB
Supply Current/Amplifier	I_{SY}	$V_O = 0\text{ V}$ $-40^\circ\text{C} \leq T_A \leq +85^\circ\text{C}$		0.75	1.25 1.75	mA mA
DYNAMIC PERFORMANCE						
Slew Rate	SR	$R_L = 2\text{ k}\Omega$		5		V/ μs
Full-Power Bandwidth	BW_p	1% distortion		350		kHz
Settling Time	t_s	To 0.01%		1.4		μs
Gain Bandwidth Product	GBP			3		MHz
Phase Margin	ϕ_o			70		Degrees
Channel Separation	CS	$f = 1\text{ kHz}$, $R_L = 2\text{ k}\Omega$		65		dB
NOISE PERFORMANCE						
Voltage Noise Density	e_n	$f = 1\text{ kHz}$ $f = 10\text{ kHz}$		45 30		nV/ $\sqrt{\text{Hz}}$ nV/ $\sqrt{\text{Hz}}$
Current Noise Density	i_n	$f = 1\text{ kHz}$		0.05		pA/ $\sqrt{\text{Hz}}$

絶対最大定格

表 3.

Parameter	Rating
Supply Voltage (V_S)	7 V
Input Voltage	GND to V_S
Differential Input Voltage ¹	± 6 V
Storage Temperature Range	-65°C to $+150^\circ\text{C}$
Operating Temperature Range	-40°C to $+85^\circ\text{C}$
Junction Temperature Range	-65°C to $+150^\circ\text{C}$
Lead Temperature (Soldering, 60 sec)	300°C

¹6 V より低い電源では、差動入力電圧は $\pm V_S$ に等しくなります。

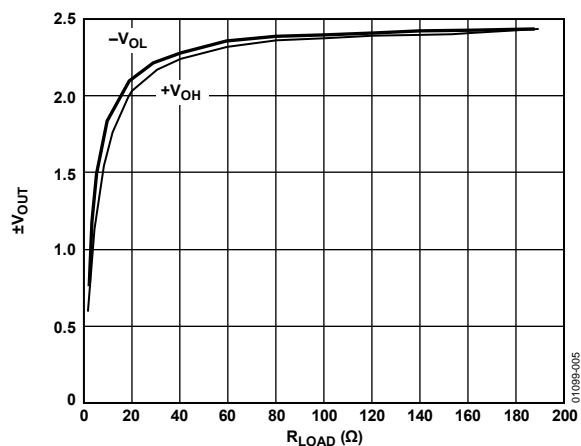
上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作セクションに記載する規定値以上のデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

熱抵抗

θ_{JA} はワーストケース条件で規定。すなわち表面実装パッケージの場合、デバイスを回路ボードにハンダ付けした状態で規定。

表 4.

Package Type	θ_{JA}	θ_{JC}	Unit
5-Lead SC70 (KS)	376	126	$^\circ\text{C}/\text{W}$
5-Lead SOT-23 (RJ)	230	146	$^\circ\text{C}/\text{W}$
8-Lead SOIC (R)	158	43	$^\circ\text{C}/\text{W}$
8-Lead MSOP (RM)	210	45	$^\circ\text{C}/\text{W}$
8-Lead TSSOP (RU)	240	43	$^\circ\text{C}/\text{W}$
14-Lead SOIC (R)	120	36	$^\circ\text{C}/\text{W}$
14-Lead TSSOP (RU)	240	43	$^\circ\text{C}/\text{W}$

図 5. 負荷対出力電圧 $V_S = \pm 2.5$ V、 R_{LOAD} は GND (0 V) に接続

ESDの注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

代表的な性能特性

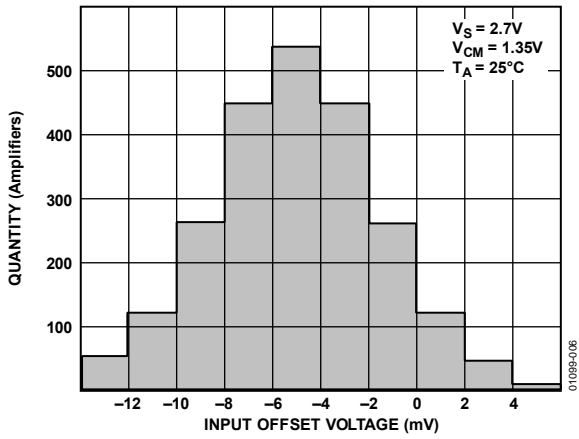


図 6. 入力オフセット電圧の分布

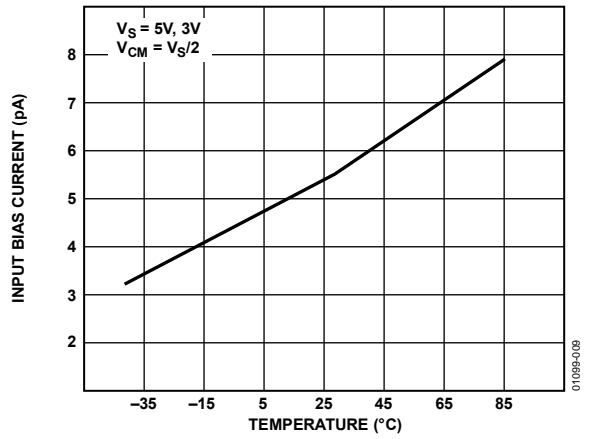


図 9. 入力バイアス電流の温度特性

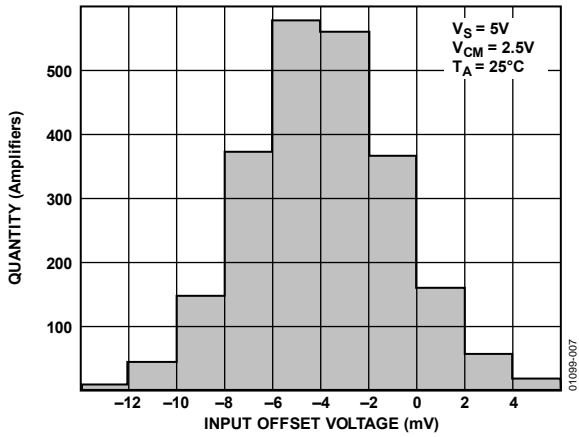


図 7. 入力オフセット電圧の分布

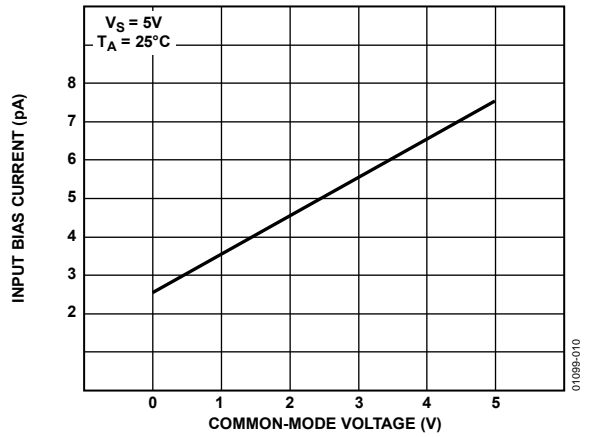


図 10. 同相モード電圧対入力バイアス電流

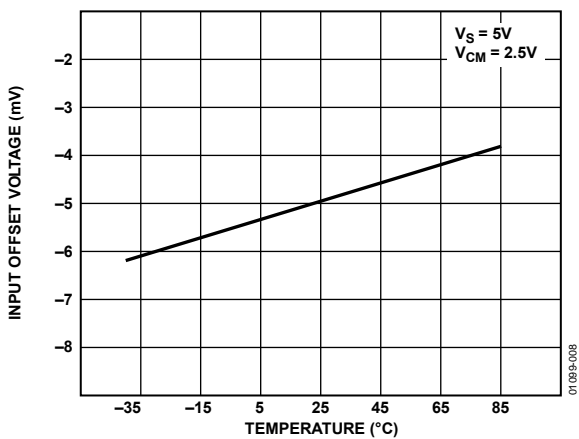


図 8. 入力オフセット電圧の温度特性

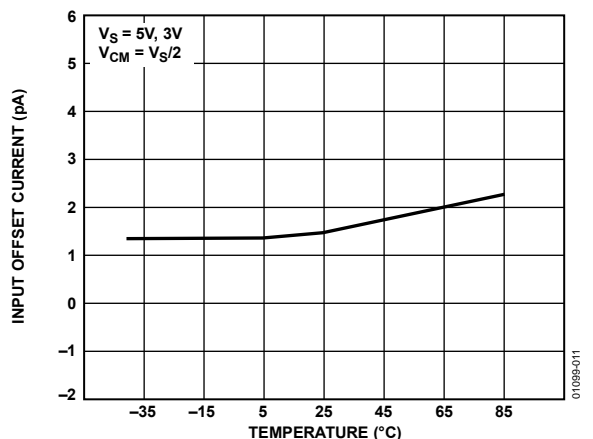


図 11. 入力オフセット電流の温度特性

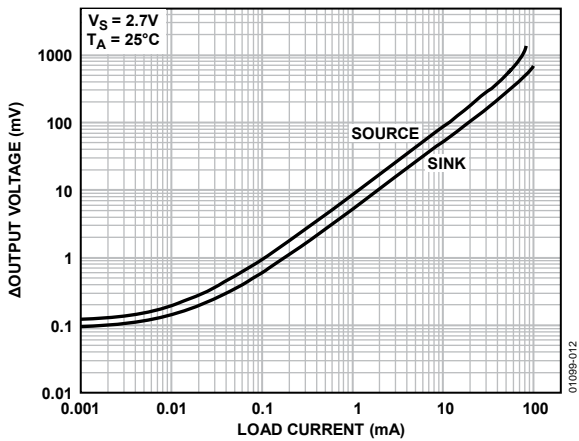


図 12. 負荷電流対電源レールまで近づく出力電圧

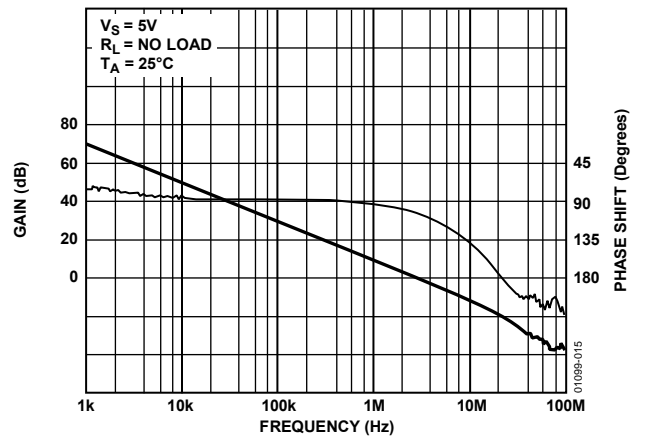


図 15. オープン・ループ・ゲインおよび位相シフトの周波数特性

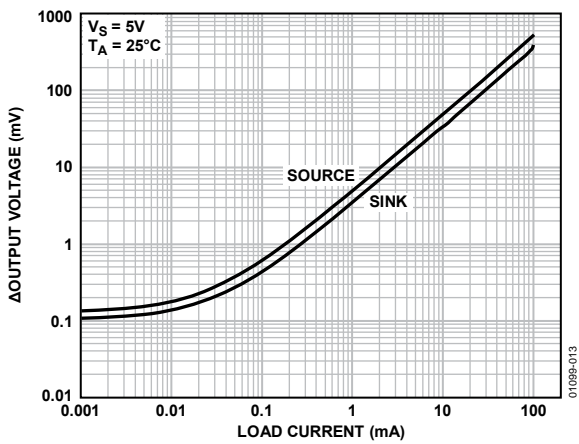


図 13. 負荷電流対電源レールまで近づく出力電圧

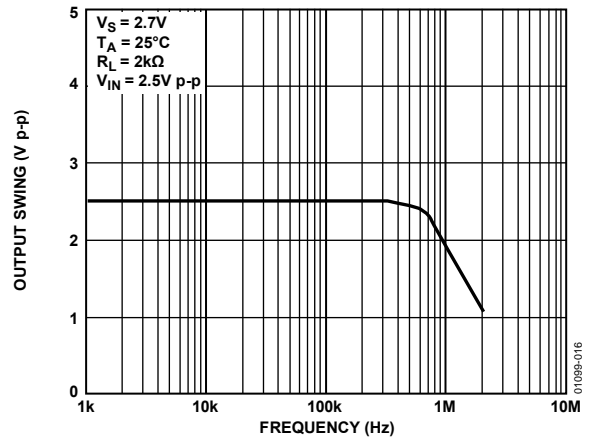


図 16. クローズド・ループ出力振幅の周波数特性

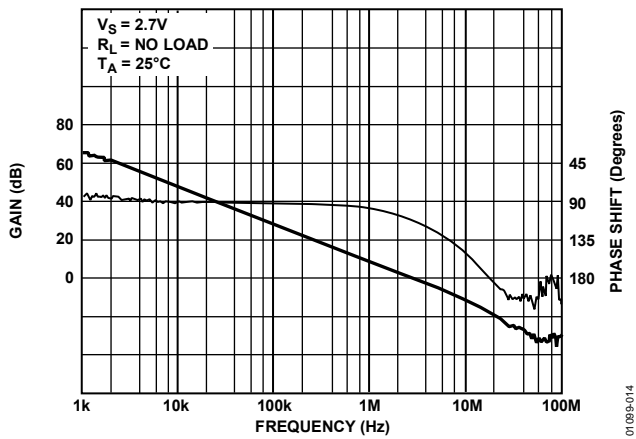


図 14. オープン・ループ・ゲインおよび位相シフトの周波数特性

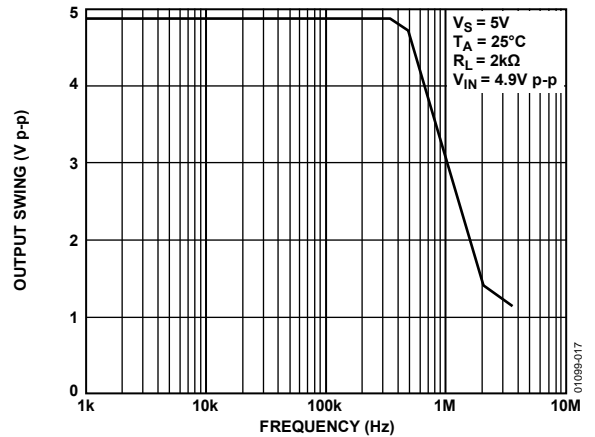


図 17. クローズド・ループ出力振幅の周波数特性

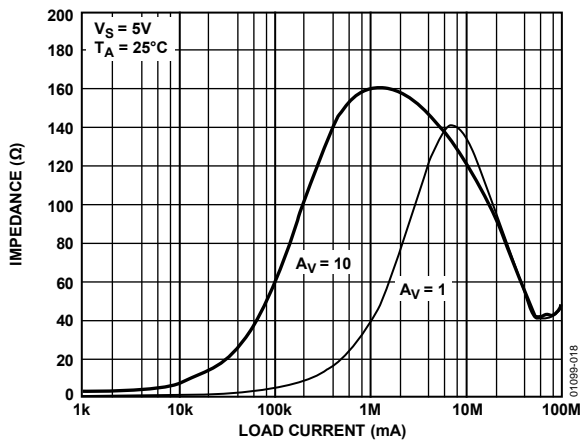


図 18. クローズド・ループ出力インピーダンスの周波数特性

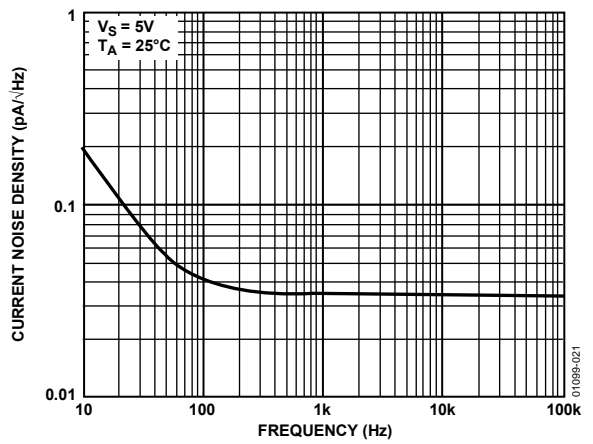


図 21. 電流ノイズ密度の周波数特性

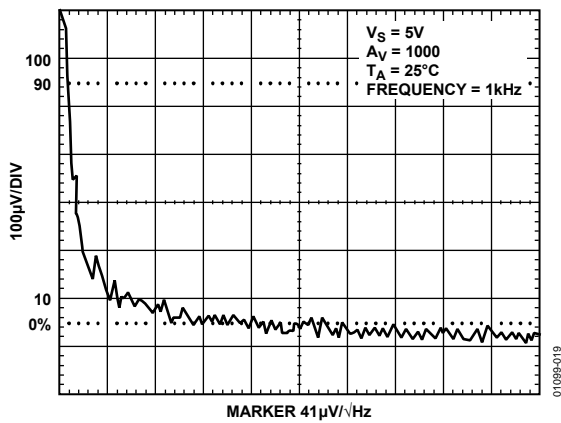


図 19. 電圧ノイズ密度の周波数特性(1 kHz)

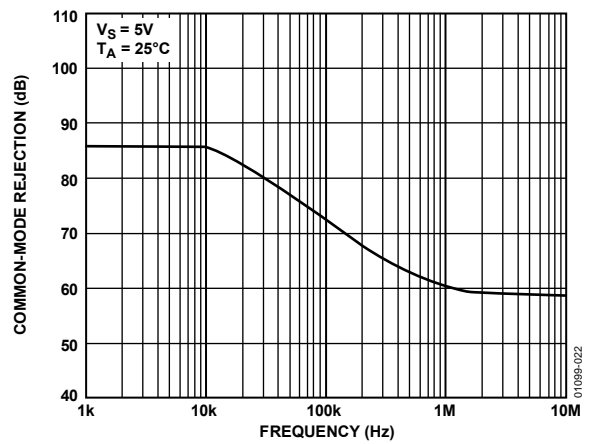


図 22. 同相モード除去比の周波数特性

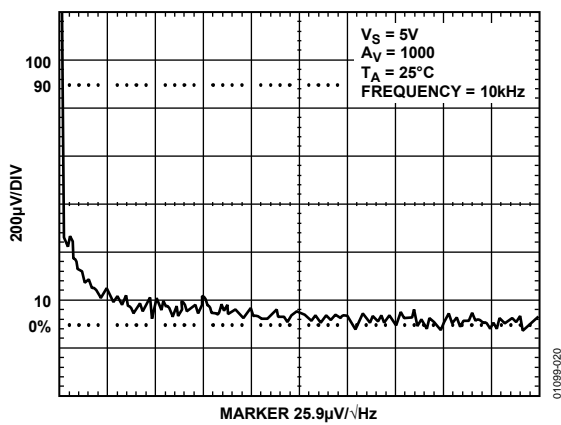


図 20. 電圧ノイズ密度の周波数特性(10 kHz)

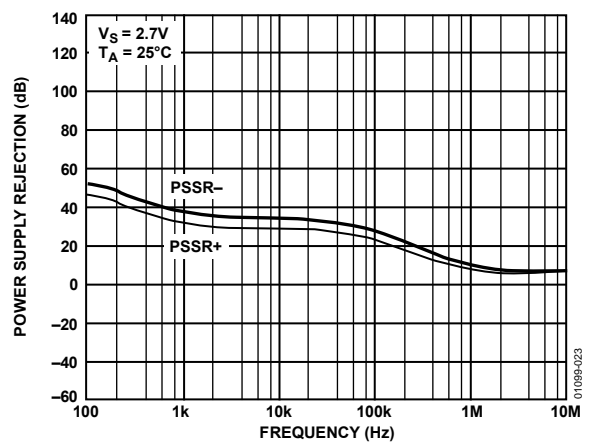


図 23. 電源除去比の周波数特性

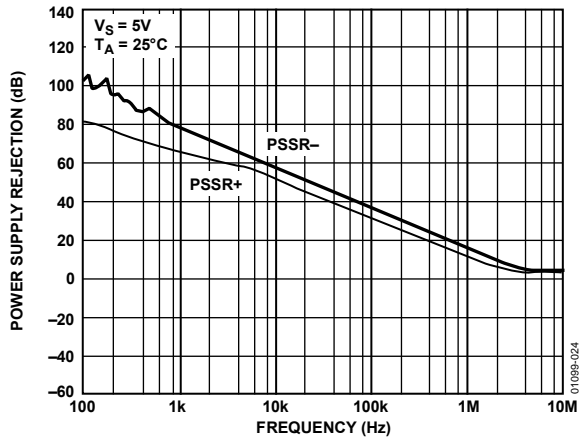


図 24. 電源除去比の周波数特性

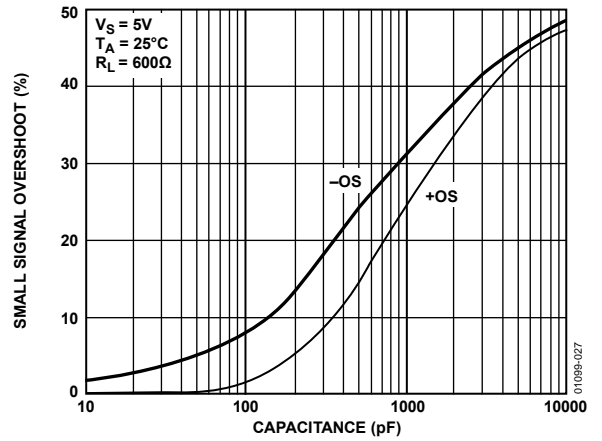


図 27. 負荷容量対小信号オーバーシュート

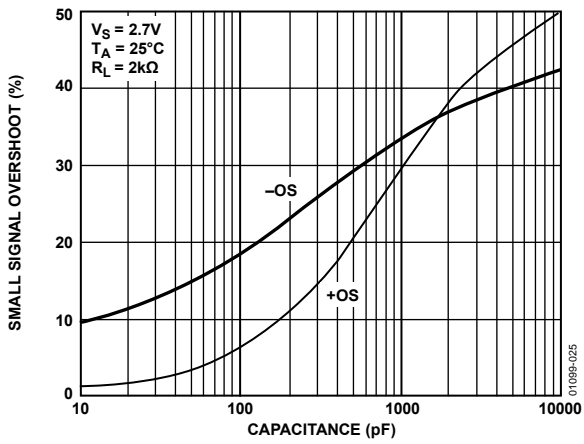


図 25. 負荷容量対小信号オーバーシュート

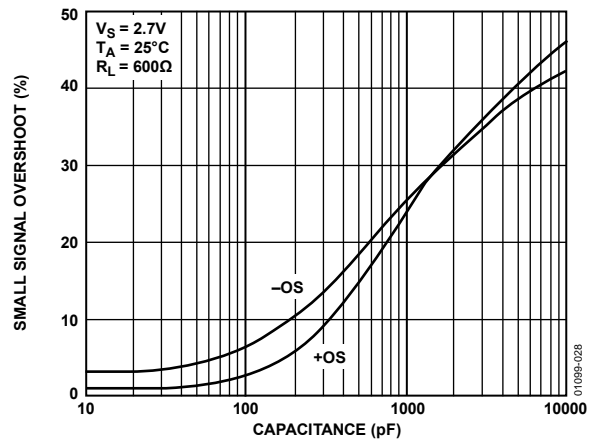


図 28. 負荷容量対小信号オーバーシュート

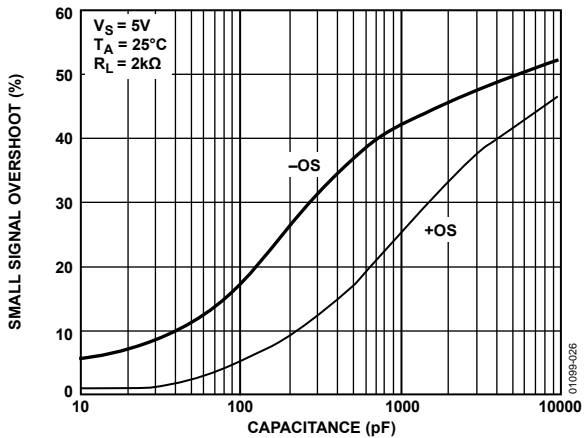


図 26. 負荷容量対小信号オーバーシュート

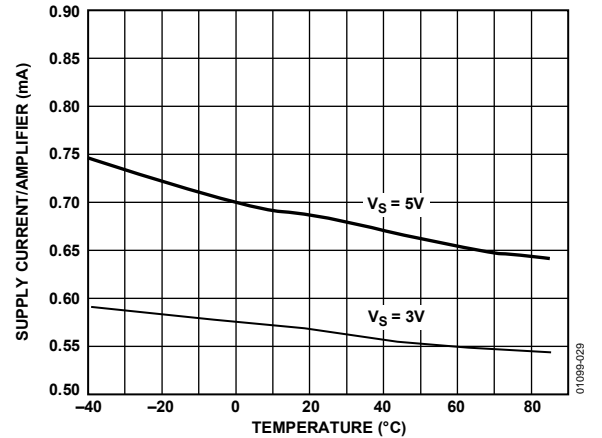


図 29. アンプ 1 個あたりの電源電流の温度特性

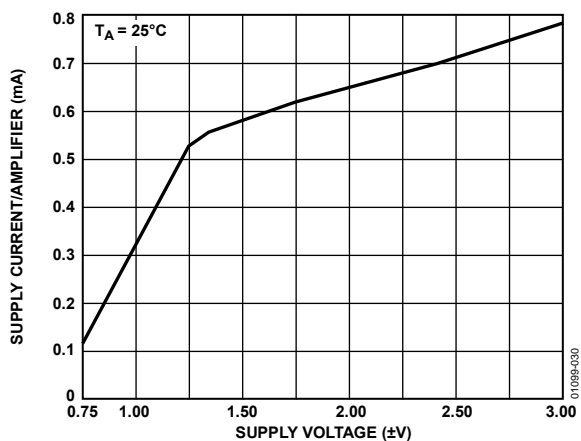


図 30.電源電圧対アンプ 1 個あたりの電源電流

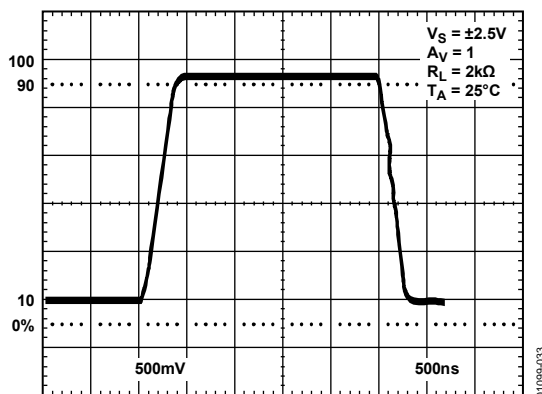


図 33.大信号過渡応答

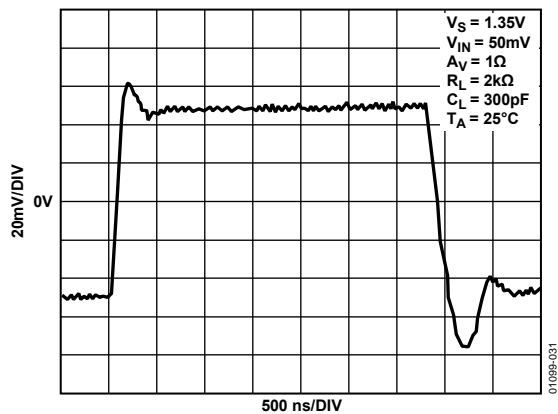


図 31.小信号過渡応答

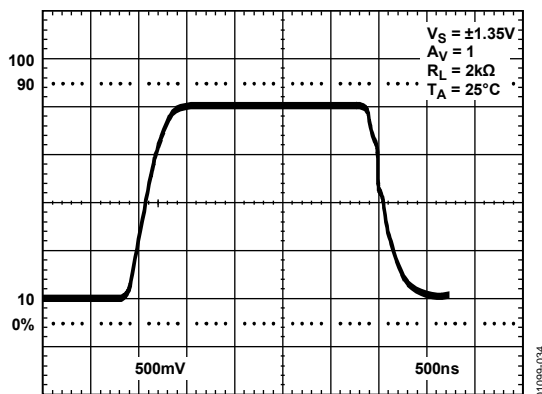


図 34.大信号過渡応答

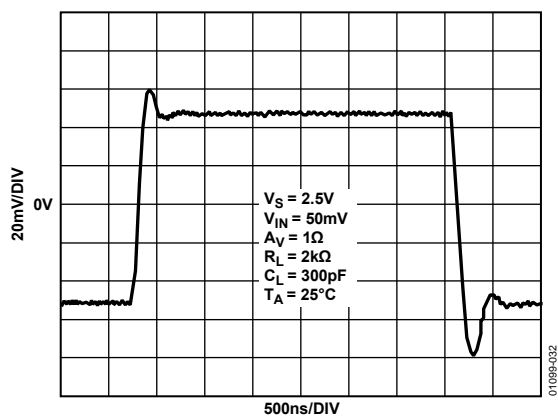


図 32.小信号過渡応答

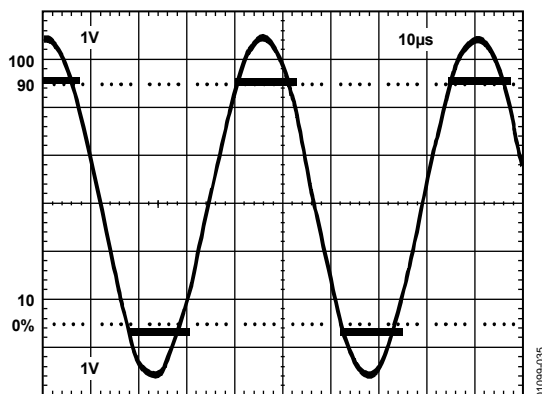


図 35.位相反転なし

動作原理

AD8531/ AD8532/ AD8534 はすべて、高出力電流駆動、レール to レール入力/出力の CMOS オペアンプです。AD8531/ AD8532/ AD8534 は、重い容量負荷で安定な高電流駆動が可能であるため、LCD パネルの駆動アンプとして優れた選択肢です。

図 36 に、AD8531/ AD8532/ AD8534 の簡略化した等価回路を示します。多くのレール to レール入力アンプ構成と同様に、Nチャンネル(M1 と M2)と Pチャンネル(M3 と M4)の 2 つの差動対から構成されています。これらの差動対は 50 μ A の電流源でバイアスされ、各々のコンプライアンス限界は両電源電圧レールから約 0.5 V です。差動入力電圧は、その後一対の差動出力電流に変換されます。次に、これらの差動出力電流は、複合フォールデイド・カスケード構成の 2 番目のゲイン・ステージ(M5 と M9)に入力されます。2 番目のゲイン・ステージ出力(M8 と M9)は、レール to レール出力カスケードのゲート電圧を駆動します。出力カスケードに対するその他の信号電流の再結合は、M11 と M14 を使って行われます。

AD8531/AD8532/ AD8534 デザインでは、レール to レール出力振幅を実現するため、相補共通ソース出力カスケード(M15 と M16)を採用していますが、出力電圧振幅は負荷電流に直接依存します。これは、出力電圧と電源との差が AD8531/ AD8532/ AD8534 出力トランジスタのオン・チャンネル抵抗により決定されるためです(図 12 と 図 13 参照)。また、出力カスケードは共通ソース・アンプを使っているため電圧ゲインも持っています。このため、出力カスケードの電圧ゲイン(したがってデバイスのオープン・ループ・ゲイン)は、AD8531/ AD8532/AD8534 出力の総合負荷抵抗に強く依存します。

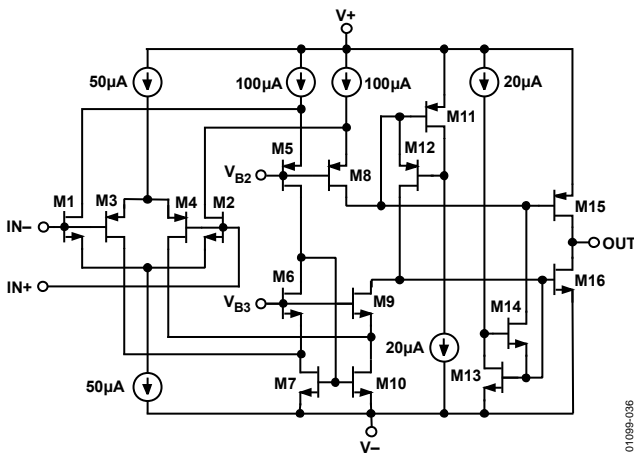


図 36. 簡略化した等価回路

短絡保護機能

AD8531/ AD8532/ AD8534 では最大負荷電流能力を持つよう出力カスケードをデザインしているため、内部短絡保護回路がありません。単電源アプリケーションで AD8531/ AD8532/ AD8534 出力を正電源に直結すると、デバイスが破壊されます。保護機能は必要であるが、出力電圧ヘッドルームの減少を許容できないアプリケーションでは、小さい値の抵抗を出力に直列に接続することができます(図 37 参照)。アンプの帰還ループ内に接続された抵抗は、最大有効出力電圧振幅を制限する以外に、アンプ性能にほとんど影響を与えません。5 V 単電源アプリケーションでは、20 Ω より小さい抵抗の使用は推奨されません。

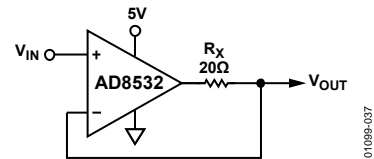


図 37. 出力短絡保護機能

消費電力

AD8531/ AD8532/ AD8534 は最大 250 mA の負荷電流を供給できますが、有効負荷電流駆動能力はデバイスのパッケージに許容される最大消費電力に制限されます。すべてのアプリケーションで、AD8531/ AD8532/ AD8534 の絶対最大ジャンクション温度は 150°C です。デバイスが故障することがあるので、最大ジャンクション温度を超えないようにしてください。集積回路の消費電力の正確な測定は、常に簡単ではありません。図 38 は、安全な出力電流駆動レベルの設定または AD8531/ AD8532/ AD8534 に使用可能なパッケージ・オプションに対するヒート・シンクを選択の際に役立ちます。

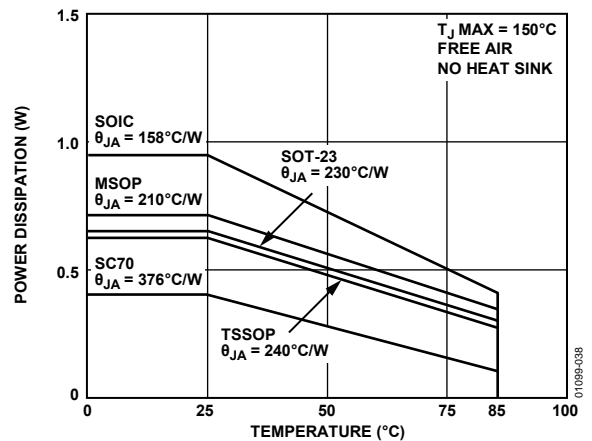


図 38. 周囲温度対最大消費電力

これらの熱抵抗カーブは、各パッケージと 150°C の最大ジャンクション温度に対する AD8531/ AD8532/ AD8534 の熱抵抗データから求めたものです。すべてのアプリケーションで、AD8531/ AD8532/ AD8534 の内部ジャンクション温度を計算するときは、次式を使うことができます。

$$T_J = P_{DISS} \times \theta_{JA} + T_A$$

ここで、
 T_J はジャンクション温度。
 P_{DISS} はデバイスの消費電力。
 θ_{JA} はパッケージのジャンクション-ケース間の熱抵抗。
 T_A は回路の周囲温度。

AD8531/AD8532/ AD8534 の消費電力を計算するときは、次式を使います。

$$P_{DISS} = I_{load} \times (V_S - V_{OUT})$$

ここで、
 I_{load} は出力負荷電流。
 V_S は電源電圧。
 V_{OUT} は出力電圧。

括弧内の値は、出力トランジスタで発生する最大電圧です。AD8531/ AD8532/ AD8534 の有効負荷電流の計算を支援するため、図 5 に、AD8531/ AD8532/ AD8534 出力電圧を負荷抵抗の関数として示します。

変動する負荷または未知の負荷での消費電力の計算

デバイスが安全な範囲で動作しているか否かを見極めるための集積回路の消費電力の計算は、見掛けほど簡単ではありません。多くの場合、消費電力は直接測定できません。これは、不規則な出力波形または負荷変動が原因になっています。このため消費電力の間接的な測定方法が必要になります。

集積回路の消費電力の計算には 2 つの方法があります。1 つ目はパッケージ温度とボード温度を測定することにより行われ、2 つ目は回路の電源電流を直接測定することにより行われます。

周囲温度とケース温度の測定から消費電力を計算する方法

ジャンクション温度を計算する 2 つの式は次のようになります。

$$T_J = T_A + P_{DISS} \theta_{JA}$$

ここで、
 T_J はジャンクション温度。
 T_A は周囲温度。
 θ_{JA} は、ジャンクション-周囲間の熱抵抗。

$$T_J = T_C + P_{DISS} \theta_{JA}$$

ここで、
 T_C はケース温度。
 θ_{JA} と θ_{JC} はデータシートの値。

2 つの式を P (消費電力)について解くことができます。

$$T_A + P_{DISS} \theta_{JA} = T_C + P \theta_{JC}$$

$$P_{DISS} = (T_A - T_C) / (\theta_{JC} - \theta_{JA})$$

消費電力を求めた後、ジャンクション温度を再計算して、温度を超えていないことを確認する必要があります。

温度は、パッケージに触れずに近くで直接測定する必要があります。パッケージの測定は困難なことがあります。非常に小型のバイメタル接点をパッケージに装着するか、あるいはスポット・サイズが小さい場合には赤外線検出デバイスを使うことができます。

電源電流の測定から消費電力を計算する方法

電源電圧と電源電流が既知の場合は、消費電力を直接計算することができますが、電源電流には DC 成分と容量負荷に流れるパルスが存在することがあり、このために rms 電流の計算が非常に困難になります。この困難は、電源ピンを持ち上げて rms 電流計を回路に接続することにより解決されます。この方法が機能するためには、測定しようとしている電源ピンから電流が供給されていることを確認する必要があります。これは単電源システムでは良い方法ですが、両電源システムの場合には、両電源のモニタが必要になります。

入力過電圧保護機能

すべての半導体デバイスと同様に、入力がいずれかの電源電圧を超える場合があるときは、デバイスの入力過電圧特性を考慮する必要があります。過電圧が発生すると、加わる電圧の大きさと故障電流の大きさに応じて、アンプが壊れることがあります。ここでは示してありませんが、入力電圧がいずれかの電源より 0.6 V 以上高くなると、AD8531/ AD8532/ AD8534 内部の pn 接合がエネルギーを得て、入力から電源へ電流が流れるようになります。簡略化した等価入力回路(図 36)に示すように、AD8531/ AD8532/ AD8534 には電流制限抵抗が内蔵されていないため、故障電流が急速に大きくなって損傷レベルに達します。

この入力電流は 5 mA 以下に抑えられているかぎり、デバイスに損傷を与えるものではありません。AD8531/AD8532/ AD8534 の場合、入力電圧が電源電圧より 0.6 V 以上高くなると、入力電流は急速に 5 mA を超えます。この状態が継続する場合は、直列抵抗を外部に接続する必要があります。抵抗の値は、最大過電圧を 5 mA で除算して計算されます。例えば、入力電圧が 10 V になる場合、外部抵抗は $(10 \text{ V} / 5 \text{ mA}) = 2 \text{ k}\Omega$ になります。

この抵抗は、一方または両方の入力に過電圧状態が発生する場合これらに直列に接続する必要があります。

出力位相の反転

単電源動作用にデザインされたオペアンプでは、有効同相モード範囲を超えて入力駆動された場合、出力電圧で位相反転が生じることがあります。AD8531/AD8532/AD8534には、電源電圧レールを超えない入力電圧を加えるかぎり、入力電圧範囲の制約はありません。デバイスの出力には位相変化がありませんが、大きな電流が内部ジャンクションを経由して電源レールへ流れることがあります。これについては既に入力過電圧保護機能のセクションで説明しました。制限がないため、これらの故障電流は容易にアンプに損傷を与えます。このため、入力電圧が電源電圧を超える可能性があるアプリケーションに対して、**入力過電圧保護機能**のセクションで推奨した技術を使用する必要があります。

容量負荷の駆動

AD8531/AD8532/AD8534は、優れた容量負荷駆動能力を持っています。図25～図28に示すように、最大10 nFを直接駆動することができますが、デバイスが安定であっても、容量負荷の場合帯域幅が犠牲になります。図39に示すように、10 nFより大きい負荷に対して、帯域幅は1 MHz以下に減少します。出力のスナバ・ネットワークは帯域幅を広げませんが、与えられた容量負荷に対してオーバーシュートとリンギングを大幅に削減します。スナバは直列RC回路(R_S , C_S)で構成され、図40に示すようにデバイス出力とグラウンドとの間に接続されます。この回路は負荷コンデンサ C_L と並列に動作して、位相遅れ補償を提供します。抵抗とコンデンサの実際の値は実験的に決定されます。

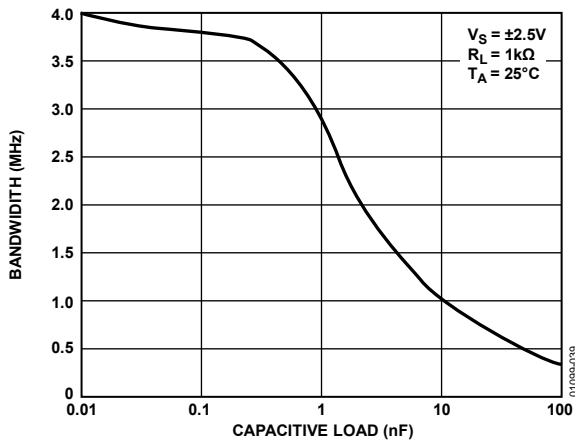


図 39.容量負荷対ユニティ・ゲイン帯域幅

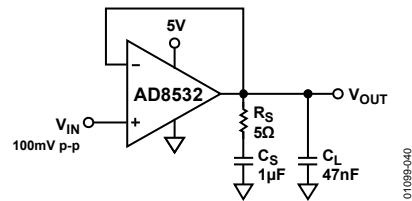


図 40.スナバ回路による容量負荷の補償

最初のステップでは、 R_S の抵抗値を決定します。初期値100 Ω から始めて、小信号過渡応答が最適化されるまでこの値を減少させます。次に、 C_S を求めます。10 μF から開始します。この値を性能が許容できる最小値(一般に1 μF)まで減少させます。AD8531/AD8532/AD8534に47 nFの負荷コンデンサを使用する場合、最適スナバ回路は5 Ω と1 μF の直列接続になります。この効果は直ちに確認できます(図41参照)。上のカーブは47 nFの負荷で、下のカーブは5 Ω と1 μF の直列接続スナバ回路を使用して、それぞれ取得しました。オーバーシュートとリンギングは大幅に減少しています。表5に、大きな負荷コンデンサに対するサンプル・スナバ回路を示します。

表 5.大きな容量負荷に対するスナバ回路

Load Capacitance (C_L)	Snubber Network (R_S , C_S)
0.47 nF	300 Ω , 0.1 μF
4.7 nF	30 Ω , 1 μF
47 nF	5 Ω , 1 μF

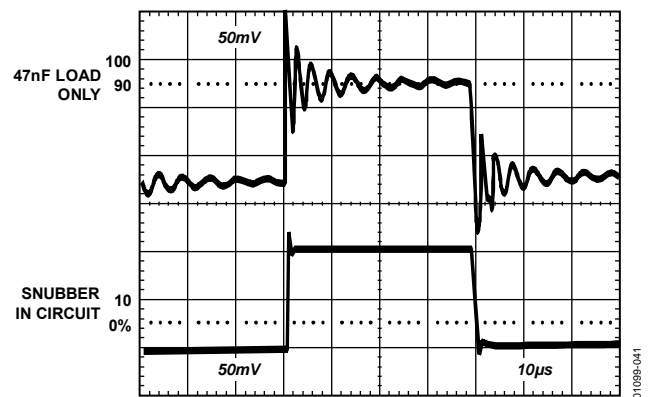


図 41.47 nF 負荷に並列にスナバ回路を接続してオーバーシュートとリンギングを削減

アプリケーション情報

高出力電流のバッファ付きリファレンス電圧/レギュレータ

多くのアプリケーションで、非安定化入力電源に比較的近い値の安定な電圧出力が必要とされます。このロー・ドロップアウト・タイプのリファレンス/レギュレータは、レールtoレール出力オペアンプを使って容易に実現できるため、AD8531/AD8532/AD8534のような高電流デバイスを使うときに特に便利です。代表的な例は、5 Vのシステム電源から発生する3.3 Vまたは4.5 Vのリファレンス電圧です。これらの電圧の発生には、低消費電力で出力30 mA以下のREF196 (3.3 V)やREF194 (4.5 V)のような3端子リファレンスが必要です。大きな電流および/または電圧レベルに対してAD8531/AD8532/AD8534 バッファを使ってこのようなリファレンス電圧を供給する方法、および負荷に対するシンク/ソース能力を図42に示します。

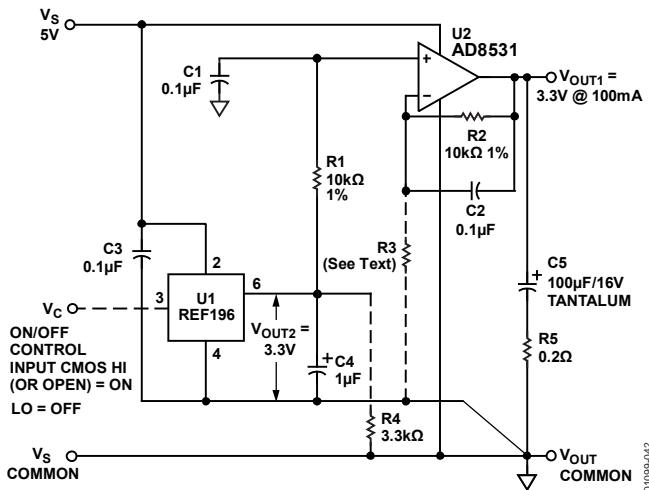


図 42. 高出力電流リファレンス/レギュレータ

この回路のロー・ドロップアウト性能は、ステージ U2 により提供されます。このステージ U2 は、U1 により発生される基本リファレンス電圧のフォロワ/バッファとして接続された AD8531 から構成されています。AD8531/AD8532/AD8534 の低電圧飽和特性により、説明で使用した回路(優れた DC 精度を持つ 5 V から 3.3 V へのコンバータ)で最大 100 mA の負荷電流が可能になります。実際、100 mA の負荷電流変化に対する DC 出力電圧変化は 1 mV 以下と測定されています。これは 0.01 Ω 以下の等価出力インピーダンスに相当します。このアプリケーションでは、U1 からの安定な 3.3 V がノイズ・フィルタ(R1 と C1)を介して U2 に加えられます。U2 は数 mV 以内で U1 電圧を再生し、電圧 V_{OUT1} で大きな電流を出力し、大部分の IC リファレンス電圧とは異なり、出力電流のシンクとソースの両能力を持っています。U2 の帰還パスにある R2 と C2 は、追加ノイズ・フィルタ機能を提供します。

負荷電流の 100 mA ステップ変化に対するリファレンス/レギュレータの過渡性能も非常に優れており、主に R5 と C5 の出力回路により決定されています。図示の値で、過渡電圧は約 20 mV ピークで、両極性に対して 10 µs 以内に 2 mV 以内に安定します。

過渡応答の最適化に余裕がありますが、R5 と C5 の回路に対する変更は、コンデンサ・タイプによってリングングが大きくなることを実験により確認する必要があります。

V_{OUT2} を別の(さらに高い)出力レベルにするときは、オプションの抵抗 R3 (図 42 で点線表示)を追加して、新しい V_{OUT1} になります。

$$V_{OUT1} = V_{OUT2} \times \left(1 + \frac{R2}{R3}\right)$$

この回路は図示のように、5 V 対 3.3 V のリファレンス/レギュレータとして、またはオン/オフ制御付きとして使うことができます。U1 のピン 3 をロジック制御信号で駆動すると、出力をオン/オフ切り替えることができます。オン/オフ制御を使う場合は、R4 と U1 を組み合わせて使ってオン/オフ切り替えを高速化する必要があることに注意してください。

単電源の平衡ライン・ドライバ

図 43 に示す回路は、業務用オーディオ・アプリケーションで使用されるユニークなライン・ドライバ回路です。車載とマルチメディア・オーディオのアプリケーション向けに変更されています。5 V 単電源でのこのライン・ドライバの歪みは、20 Hz ~ 15 kHz の 600 Ω 負荷(表示していません)で、かつ入力信号レベル 4 V p-p で、0.7% 以下です。実際、AD8531/AD8532/AD8534 の出力駆動能力は、下側 32 Ω までの負荷に対してこのレベルを維持します。1 V p-p 以下の入力信号の場合、負荷に無関係に THD は 0.1% 以下になります。このデザインはトランスを使用しない平衡伝送システムです。このようなシステムではノイズの出力同相モード除去比が重要です。トランスを採用したシステムの場合と同様に、不平衡ライン・ドライバ・アプリケーションでは、回路ゲイン = 1 を変更することなく、一方の出力をグラウンドに接続することができます。その他の回路ゲインは図に示す式を使って設定することができます。これにより、デザインを容易に反転動作、非反転動作、または差動動作に構成することができます。

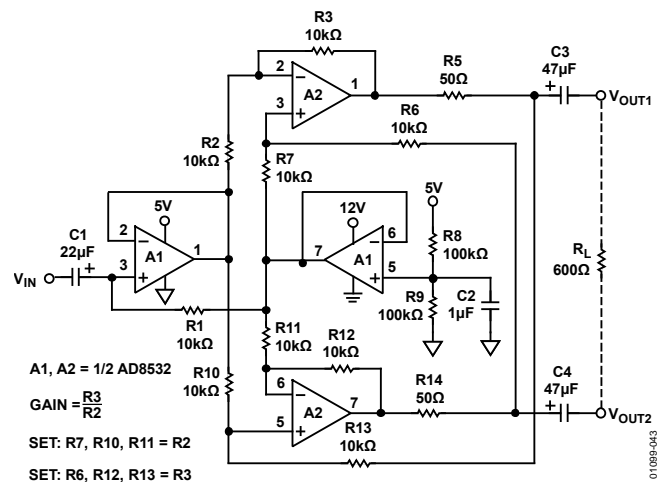


図 43. マルチメディアおよび車載アプリケーション向けの単電源平衡ライン・ドライバ

単電源ヘッドフォン・アンプ

AD8531/ AD8532/AD8534 は、高速で出力駆動能力が大きいため、図 44 に示すような優れたヘッドフォン・ドライバに適しています。低消費電力動作とレールtoレールの入力/出力により、5 V 単電源で最大の信号変化を可能にします。ヘッドフォンの駆動で最大の信号振幅を保証するため、アンプ入力は $V+/2$ (このケースでは 2.5 V) にバイアスされています。正電源へ接続された 100 k Ω の抵抗は 2 本の 50 k Ω 抵抗に分割され、共通ポイントを 10 μ F でバイパスして、電源ノイズがオーディオ信号へ混入するのを防止しています。

次にオーディオ信号は、10 μ F のコンデンサを介して各入力へ AC 結合されます。20 Hz のオーディオ情報を阻止しないために、大きな値が必要です。入力に適切な DC バイアスが既にある場合は、AC 結合とバイアス抵抗は不要です。アンプとヘッドフォンを接続するために、出力に 270 μ F のコンデンサを使用しています。この値は入力で使用した値より大きくなっています。これはヘッドフォンのインピーダンスが小さいためです(32 Ω ~600 Ω の範囲)。出力コンデンサと直列に 16 Ω の抵抗を追加してコンデンサの放電電流を制限することにより、オペアンプの出力ステージを保護します。48 Ω の負荷を駆動する場合、この回路の THD+N は 4 V p-p の出力駆動レベルで 0.3% 以下です。

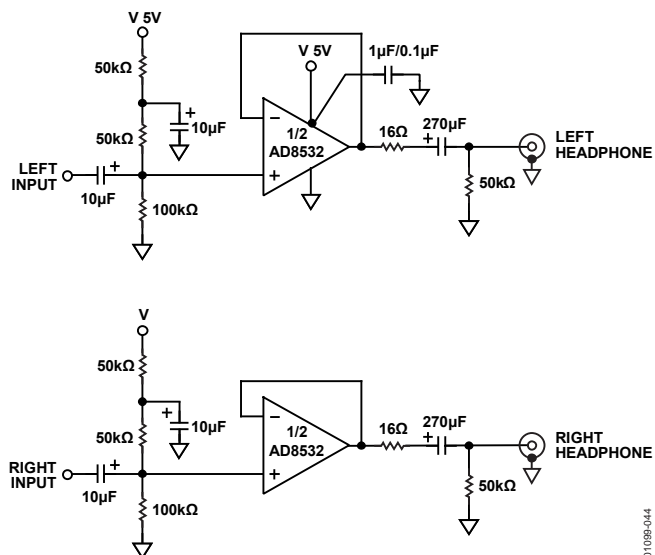


図 44. 単電源のステレオ・ヘッドフォン・ドライバ

単電源の 2 ウエイ・ラウドスピーカ・クロスオーバー回路

アクティブ・フィルタは、小型、寄生の影響が比較的小さい、低/高チャンネル駆動の制御が容易、専用アンプによるドライバ制御などの理由により、ラウドスピーカ・クロスオーバー回路で役立ちます。Sallen-Key (SK) フィルタと多重帰還(MFB)フィルタのアーキテクチャは、アクティブ・クロスオーバー回路の実現に有効です。図 45 に示す回路は、両フィルタ回路の利点を組み合わせた単電源 2 ウエイ・アクティブ・クロスオーバー回路です。

このアクティブ・クロスオーバーの THD+N は、汎用ユニティ・ゲイン HP/LP ステージを使用した 1.4 V rms の出力レベルで 0.4% 以下です。

この 2 ウエイの例では、LO 信号は DC~500 Hz の LP ウーハ出力で、HI 信号は HP (>500 Hz) ツィータ出力です。U1B は 500 Hz で LP セクションを構成し、U1A は 500 Hz 以上の周波数をカバーする HP セクションを構成しています。

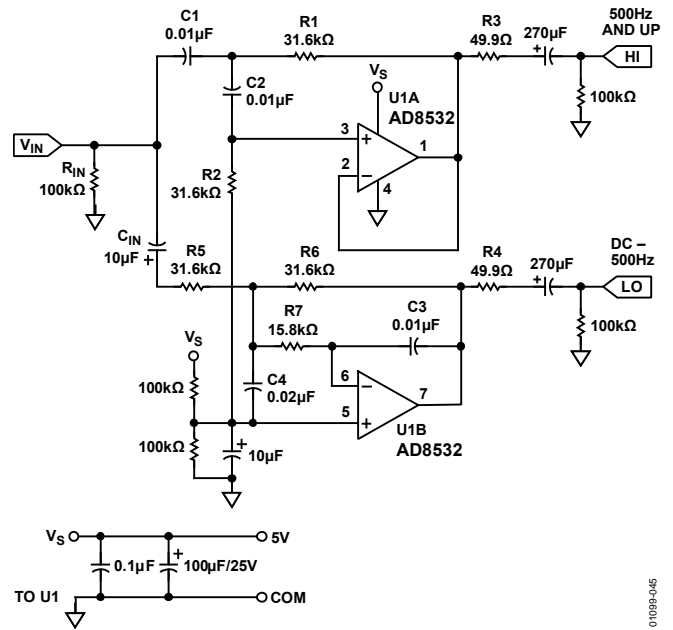


図 45. 単電源 2 ウエイ・アクティブ・クロスオーバー

500 Hz のクロスオーバー例周波数は、抵抗またはコンデンサによる周波数スケールリングにより上下にシフトさせることができます。回路を他の周波数に設定するときは、相補 LP/HP 動作をセクション間で維持し、セクション内の部品値は同じ比に維持する必要があります。表 6 に、変更のデザイン支援と他の周波数に対する推奨標準部品値を示します。

アクティブ・フィルタとアクティブ・クロスオーバー回路の詳細については、レールtoレール高出力電流デュアル・オペアンプ OP279 のデータ・シートを参照してください。

表 6. 様々なクロスオーバー周波数に対する RC 部品値¹

Crossover Frequency (Hz)	R1/C1 (U1A) ² , R5/C3 (U1B) ³
100	160 k Ω /0.01 μ F
200	80.6 k Ω /0.01 μ F
319	49.9 k Ω /0.01 μ F
500	31.6 k Ω /0.01 μ F
1 k	16 k Ω /0.01 μ F
2 k	8.06 k Ω /0.01 μ F
5 k	3.16 k Ω /0.01 μ F
10 k	1.6 k Ω /0.01 μ F

¹ フィルタ A=2 に使用可能。

² Sallen-Key ステージ U1A 用: R1 = R2, C1 = C2 など。

³ 多重帰還ステージ U1B 用: R6 = R5, R7 = R5/2, C4 = 2C3。

電話回線インターフェース用のダイレクト・アクセス

図 46 に、600 Ω 伝送システムに対する 5 V 専用の送信/受信電話回線インターフェースを示します。この回路では、トランス結合 600 Ω 回線で差動による信号の全二重伝送が可能です。A1 は、モデム出力駆動条件に合わせて調整できるゲインを提供します。A1 と A2 は、単電源でトランスに最大限の信号を供給するように設定されます。AD8531/ AD8532/ AD8534 は高出力電流駆動とロー・ドロップアウト電圧を持つため、5 V 単電源で可能な最大信号は 600 Ω 伝送システムで約 4.5 V p-p です。A3 は、送信信号から受信信号への干渉を防止するためと、送信回線から受信信号を取り出して A4 で増幅するための 2 つの理由からディファレンス・アンプに構成されます。A4 のゲインは、A1 の場合と同じ方法で、モデムの入力信号条件に合わせて調節することができます。標準抵抗値であるため、シングル・インライン・パッケージ(SIP)フォーマットの抵抗アレイの使用が可能です。

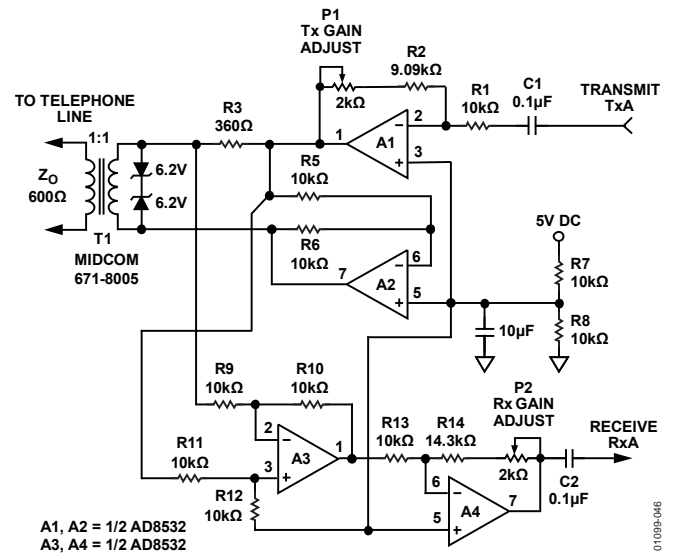
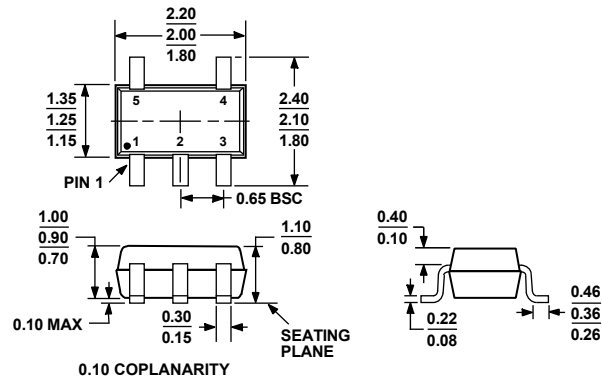


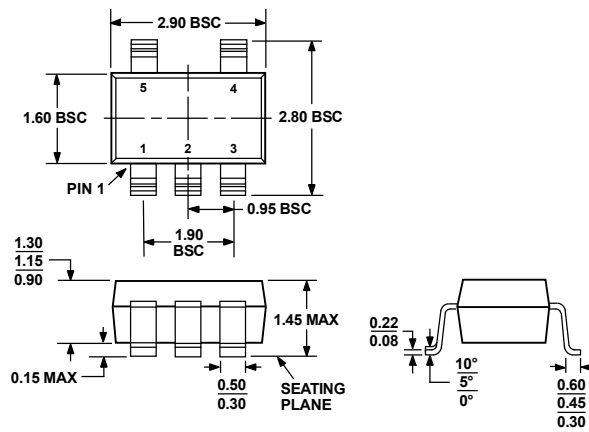
図 46. モデム用の単電源ダイレクト・アクセス

外形寸法



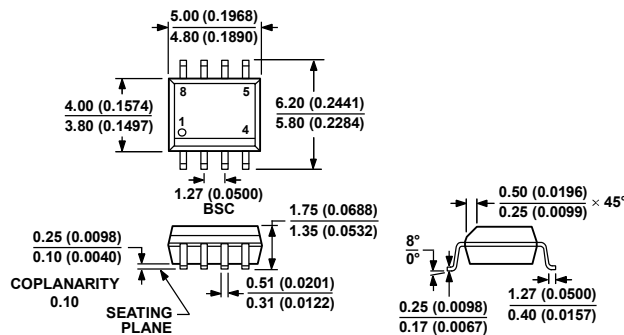
COMPLIANT TO JEDEC STANDARDS MO-203-AA

図 47.5 ピン薄型シュリンク・スモール・アウトライン・トランジスタ・パッケージ[SC70] (KS-5)
寸法: mm



COMPLIANT TO JEDEC STANDARDS MO-178-AA

図 48.5 ピン・スモール・アウトライン・トランジスタ・パッケージ[SOT-23] (RJ-5)
寸法: mm

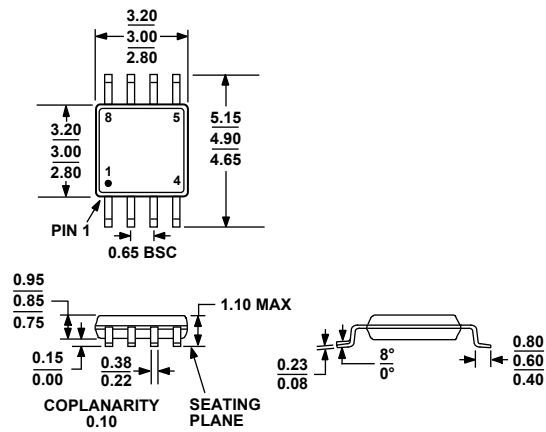


COMPLIANT TO JEDEC STANDARDS MS-012-AA

CONTROLLING DIMENSIONS ARE IN MILLIMETERS; INCH DIMENSIONS (IN PARENTHESES) ARE ROUNDED-OFF MILLIMETER EQUIVALENTS FOR REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.

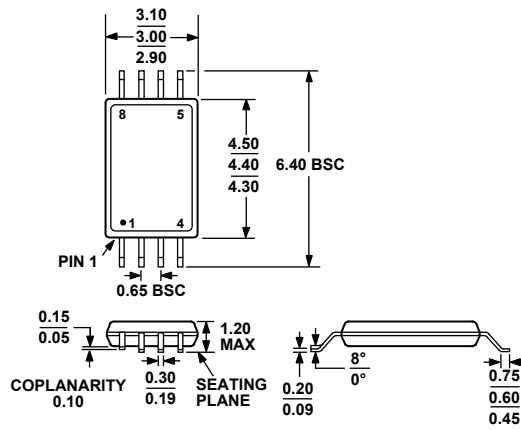
012407-A

図 49.8 ピン標準スモール・アウトライン・パッケージ[SOIC_N] ナロー・ボディ (R-8)
寸法: mm (インチ)



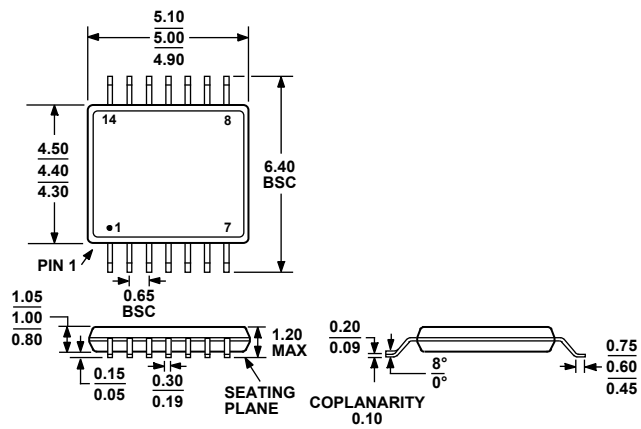
COMPLIANT TO JEDEC STANDARDS MO-187-AA

図 50.8 ピン・ミニ・スモール・アウトライン・パッケージ[MSOP] (RM-8)
寸法: mm



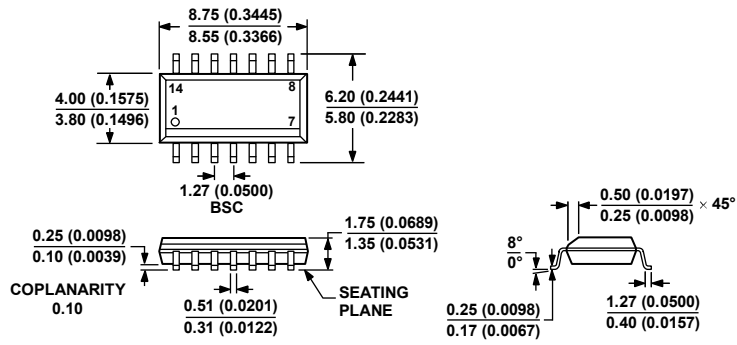
COMPLIANT TO JEDEC STANDARDS MO-153-AA

図 51.8 ピン薄型シュリンク・スモール・アウトライン・パッケージ[TSSOP] (RU-8)
寸法: mm



COMPLIANT TO JEDEC STANDARDS MO-153-AB-1

図 52.14 ピン薄型シュリンク・スモール・アウトライン・パッケージ[TSSOP] (RU-14)
寸法: mm



COMPLIANT TO JEDEC STANDARDS MS-012-AB
 CONTROLLING DIMENSIONS ARE IN MILLIMETERS; INCH DIMENSIONS
 (IN PARENTHESES) ARE ROUNDED-OFF MILLIMETER EQUIVALENTS FOR
 REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.

060606-A

図 53.14 ピン標準スモール・アウトライン・パッケージ[SOIC_N]
 ナロー・ボディ
 (R-14)
 寸法: mm (インチ)

オーダー・ガイド

Model	Temperature Range	Package Description	Package Option	Branding
AD8531AKS-R2	-40°C to +85°C	5-Lead SC70	KS-5	A7B
AD8531AKS-REEL7	-40°C to +85°C	5-Lead SC70	KS-5	A7B
AD8531AKSZ-R2 ¹	-40°C to +85°C	5-Lead SC70	KS-5	A0Q
AD8531AKSZ-REEL7 ¹	-40°C to +85°C	5-Lead SC70	KS-5	A0Q
AD8531ART-REEL	-40°C to +85°C	5-Lead SOT-23	RJ-5	A7A
AD8531ART-REEL7	-40°C to +85°C	5-Lead SOT-23	RJ-5	A7A
AD8531ARTZ-REEL ¹	-40°C to +85°C	5-Lead SOT-23	RJ-5	A0P
AD8531ARTZ-REEL7 ¹	-40°C to +85°C	5-Lead SOT-23	RJ-5	A0P
AD8531AR	-40°C to +85°C	8-Lead SOIC_N	R-8	
AD8531AR-REEL	-40°C to +85°C	8-Lead SOIC_N	R-8	
AD8531ARZ ¹	-40°C to +85°C	8-Lead SOIC_N	R-8	
AD8531ARZ-REEL ¹	-40°C to +85°C	8-Lead SOIC_N	R-8	
AD8532AR	-40°C to +85°C	8-Lead SOIC_N	R-8	
AD8532AR-REEL	-40°C to +85°C	8-Lead SOIC_N	R-8	
AD8532AR-REEL7	-40°C to +85°C	8-Lead SOIC_N	R-8	
AD8532ARZ ¹	-40°C to +85°C	8-Lead SOIC_N	R-8	
AD8532ARZ-REEL ¹	-40°C to +85°C	8-Lead SOIC_N	R-8	
AD8532ARZ-REEL7 ¹	-40°C to +85°C	8-Lead SOIC_N	R-8	
AD8532ARM-R2	-40°C to +85°C	8-Lead MSOP	RM-8	ARA
AD8532ARM-REEL	-40°C to +85°C	8-Lead MSOP	RM-8	ARA
AD8532ARMZ-R2 ¹	-40°C to +85°C	8-Lead MSOP	RM-8	A0R
AD8532ARMZ-REEL ¹	-40°C to +85°C	8-Lead MSOP	RM-8	A0R
AD8532ARU	-40°C to +85°C	8-Lead TSSOP	RU-8	
AD8532ARU-REEL	-40°C to +85°C	8-Lead TSSOP	RU-8	
AD8532ARUZ ¹	-40°C to +85°C	8-Lead TSSOP	RU-8	
AD8532ARUZ-REEL ¹	-40°C to +85°C	8-Lead TSSOP	RU-8	
AD8534AR	-40°C to +85°C	14-Lead SOIC_N	R-14	
AD8534AR-REEL	-40°C to +85°C	14-Lead SOIC_N	R-14	
AD8534ARZ ¹	-40°C to +85°C	14-Lead SOIC_N	R-14	
AD8534ARZ-REEL ¹	-40°C to +85°C	14-Lead SOIC_N	R-14	
AD8534ARU	-40°C to +85°C	14-Lead TSSOP	RU-14	
AD8534ARU-REEL	-40°C to +85°C	14-Lead TSSOP	RU-14	
AD8534ARUZ ¹	-40°C to +85°C	14-Lead TSSOP	RU-14	
AD8534ARUZ-REEL ¹	-40°C to +85°C	14-Lead TSSOP	RU-14	

¹ Z = RoHS 準拠製品。