



最大20 μ A、レールtoレール I/Oの ゼロ入力クロスオーバー歪アンプ

AD8505/AD8506/AD8508

特長

- PSRR: 最小 100 dB
- CMRR: 105 dB (typ)
- 非常に小さい電源電流: アンプあたり最大 20 μ A
- 1.8 V~5 V の単電源動作または ± 0.9 V~ ± 2.5 V の両電源動作
- レール to レール入力/出力
- 低ノイズ: 1 kHz で 45 nV/ $\sqrt{\text{Hz}}$
- 最大オフセット電圧: 2.5 mV
- 非常に小さい入力バイアス電流: 1 pA (typ)

アプリケーション

- 圧力センサーと位置センサー
- リモート・セキュリティ
- バイオ・センサー
- 赤外線温度計
- バッテリー駆動の民生機器
- ハザード検出器

概要

AD8505/AD8506/AD8508 は、1.8 V~5 V の単電源または ± 0.9 V~ ± 2.5 V の両電源で動作し、レール to レールの入力/出力振幅を持つシングル、デュアル、クワッドのマイクロパワー・アンプです。新しい回路技術を採用したこれらのアンプは、ゼロ入力クロスオーバー歪み(優れた PSRR と CMRR 性能)と小さいバイアス電流を持ち、アンプあたりの電源電流 20 μ A 以下で動作します。このアンプ・ファミリーは、この電力クラスでは最小のノイズを持っています。

AD8505/AD8506/AD8508アンプは、この機能の組み合わせによって、バッテリーの全寿命で電源電圧の変動により発生する誤差が最小化され、レールtoレール入力のオペアンプであっても高いCMRRが維持されるため、バッテリー駆動のアプリケーションに最適な選択肢です。バッテリー駆動のリモート・センサー、ハンドヘルド計装機器、民生機器、ハザード検出器(煙、火災、ガスなど)、患者モニタでは、AD8505/AD8506/AD8508アンプの機能を活用することができます。

AD8505/AD8506/AD8508 の仕様は、 -40°C ~ $+85^{\circ}\text{C}$ の工業温度範囲と -40°C ~ $+125^{\circ}\text{C}$ の拡張工業温度範囲で規定されています。AD8505 シングル・アンプは小型の 5 ピンの SOT-23 パッケージまたは 6 ボールの WLCSP パッケージを採用しています。AD8506 デュアル・アンプは、8 ピン MSOP パッケージまたは 8 ボール WLCSP パッケージを採用しています。AD8508 クワッド・アンプは、14 ピン TSSOP パッケージまたは 14 ボール WLCSP パッケージを採用しています。AD8505/AD8506/AD8508 は、アナログ・デバイセズが提供する、1.8 V~5 V の単電源または ± 0.9 V~ ± 2.5 V の両電源で動作する [ADA4505-1/ADA4505-2/ADA4505-4](#) などを含む、ゼロ・クロスオーバー歪みオペアンプ・シリーズに属し、このシリーズは拡張が続いています。

ピン配置

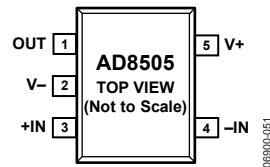
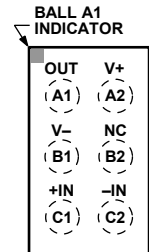


図 1.5 ピン SOT-23 (RJ-5)

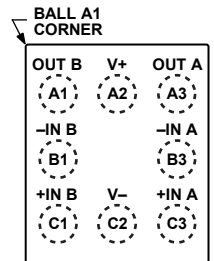


AD8505
TOP VIEW
(BALL SIDE DOWN)
Not to Scale
NC = NO CONNECT

図 2.6 ボール WLCSP
(CB-6-7)



図 3.8 ピン MSOP (RM-8)



AD8506
TOP VIEW
(BALL SIDE DOWN)
Not to Scale

図 4.8 ボール WLCSP
(CB-8-2)

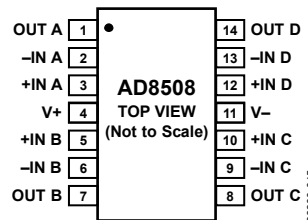
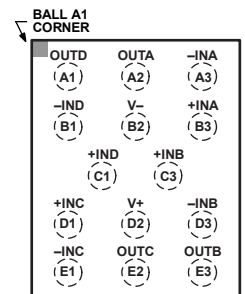


図 5.14 ピン TSSOP (RU-14)



AD8508
TOP VIEW
(BALL SIDE DOWN)
Not to Scale

図 6.14 ボール WLCSP
(CB-14-1)

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。
※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©2007~2010 Analog Devices, Inc. All rights reserved.

目次

特長	1
アプリケーション	1
概要	1
ピン配置	1
改訂履歴	2
仕様	3
電気的特性—1.8 V 動作	3
電気的特性—5 V 動作	4
絶対最大定格	5
熱抵抗	5

ESD の注意	5
代表的な性能特性	6
動作原理	13
アプリケーション情報	15
パルス・オキシメータ電流源	15
グルコース・モニタ用 4 極ローパス・バタワース・フィルタ	16
外形寸法	17
オーダー・ガイド	20

改訂履歴

5/10—Rev. D to Rev. E

Added AD8505, 6-Ball WLCSP Package	Universal
Changes to Large-Signal Voltage Gain Parameter (Table 1)	4
Changes to Large-Signal Voltage Gain Parameter (Table 2)	5
Changes to Table 4	6
Updated Outline Dimensions	19
Changes to Ordering Guide	21

10/09—Rev. C to Rev. D

Added AD8505, 5-Lead SOT-23 Package	Universal
Changes to General Description, Added Figure 1	1
Moved Electrical Characteristics—1.8 V Operation Section, Changes to Supply Current per Amplifier Parameter, Table 1	3
Moved Electrical Characteristics—5 V Operation Section, Changes to Supply Current per Amplifier Parameter, Table 2	4
Changes to Thermal Resistance Section and Table 4	5
Changes to Figure 20 and Figure 23	8
Updated Outline Dimensions	16
Changes to Ordering Guide	17

3/09—Rev. B to Rev. C

Added AD8508, 14-Ball WLCSP Package	Universal
Updated Outline Dimensions	17
Changes to Ordering Guide	18

10/08—Rev. A to Rev. B

Added WLCSP Package	Universal
Added Figure 2; Renumbered Sequentially	1
Added Input Resistance Parameter	3
Changes to Input Capacitance Differential Mode Parameter Symbol and Input Capacitance Common Mode Parameter Symbol	3
Added Input Resistance Parameter	4
Changes to Input Capacitance Differential Mode Parameter Symbol and Input Capacitance Common Mode Parameter Symbol	4
Changes to Table 4	5

Changes to Figure 46	16
Updated Outline Dimensions	17
Added Figure 49	17
Changes to Ordering Guide	18

7/08—Rev. 0 to Rev. A

Added AD8508	Universal
Added TSSOP Package	Universal
Changes to Features Section and General Description Section	1
Added Figure 2; Renumbered Sequentially	1
Changed Electrical Characteristics Heading to Electrical Characteristics—5 V Operation	3
Changes to Table 1	3
Added Electrical Characteristics—1.8 V Operation Heading	4
Changes to Table 2	4
Changes to Table 3, Thermal Resistance Section, and Table 4	5
Added $T_A = 25^\circ\text{C}$ Condition to Typical Performance Characteristics Section	6
Changes to Figure 3, Figure 4, Figure 6, and Figure 7	6
Added Figure 11 and Figure 14	7
Changes to Figure 17 Through Figure 20	8
Changes to Figure 21 Through Figure 26	9
Changes to Figure 27, Figure 28, Figure 30, and Figure 31	10
Changes to Figure 34, Figure 37, and Figure 38	11
Added Figure 39 and Figure 40	12
Added Theory of Operation Section, Figure 41, and Figure 42	13
Added Figure 43 and Figure 44	14
Added Applications Information Section and Figure 45	15
Added Figure 46	16
Updated Outline Dimensions	17
Added Figure 48	17
Changes to Ordering Guide	17

11/07—Revision 0: Initial Version

仕様

電気的特性—1.8 V 動作

特に指定がない限り、 $V_{SY} = 1.8\text{ V}$ 、 $V_{CM} = V_{SY}/2$ 、 $T_A = 25^\circ\text{C}$ 、 $R_L = 100\text{ k}\Omega$ (GND へ接続)。

表 1.

Parameter	Symbol	Conditions	Min	Typ	Max	Unit
INPUT CHARACTERISTICS						
Offset Voltage	V_{OS}	$0\text{ V} \leq V_{CM} \leq 1.8\text{ V}$ $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$		0.5	2.5	mV
Input Bias Current	I_B	$-40^\circ\text{C} \leq T_A \leq +85^\circ\text{C}$ $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$		1	10	pA
Input Offset Current	I_{OS}	$-40^\circ\text{C} \leq T_A \leq +85^\circ\text{C}$ $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$		0.5	5	pA
Input Voltage Range		$-40^\circ\text{C} \leq T_A \leq +85^\circ\text{C}$ $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$ $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	0		1.8	V
Common-Mode Rejection Ratio	CMRR	$0\text{ V} \leq V_{CM} \leq 1.8\text{ V}$ $-40^\circ\text{C} \leq T_A \leq +85^\circ\text{C}$ $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	85	100		dB
Large-Signal Voltage Gain	A_{VO}	$0.05\text{ V} \leq V_{OUT} \leq 1.75\text{ V}$, $R_L = 100\text{ k}\Omega$ to V_{CM} $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	85	115		dB
Offset Voltage Drift	$\Delta V_{OS}/\Delta T$	$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$		2.5		$\mu\text{V}/^\circ\text{C}$
Input Resistance	R_{IN}			220		$\text{G}\Omega$
Input Capacitance, Differential Mode	C_{INDM}			3		pF
Input Capacitance, Common Mode	C_{INCM}			4.2		pF
OUTPUT CHARACTERISTICS						
Output Voltage High	V_{OH}	$R_L = 100\text{ k}\Omega$ to GND $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$ $R_L = 10\text{ k}\Omega$ to GND $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	1.78 1.78 1.65 1.65	1.79 1.75		V V V V
Output Voltage Low	V_{OL}	$R_L = 100\text{ k}\Omega$ to V_{SY} $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$ $R_L = 10\text{ k}\Omega$ to V_{SY} $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$		2 12	5 5 25 25	mV mV mV mV
Short-Circuit Limit	I_{SC}	$V_{OUT} = V_{SY}$ or GND		± 4.5		mA
POWER SUPPLY						
Power Supply Rejection Ratio	PSRR	$V_{SY} = 1.8\text{ V}$ to 5 V $-40^\circ\text{C} \leq T_A \leq +85^\circ\text{C}$ $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	100 100 95	110		dB dB dB
Supply Current per Amplifier AD8506/AD8508	I_{SY}	$V_{OUT} = V_{SY}/2$ $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$		16.5	20	μA
AD8505		$V_{OUT} = V_{SY}/2$ $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$		16.5	24 27.5	μA μA
DYNAMIC PERFORMANCE						
Slew Rate	SR	$R_L = 100\text{ k}\Omega$, $C_L = 10\text{ pF}$, $G = 1$		13		$\text{mV}/\mu\text{s}$
Gain Bandwidth Product	GBP	$R_L = 1\text{ M}\Omega$, $C_L = 20\text{ pF}$, $G = 1$		95		kHz
Phase Margin	Φ_M	$R_L = 1\text{ M}\Omega$, $C_L = 20\text{ pF}$, $G = 1$		60		Degrees
NOISE PERFORMANCE						
Voltage Noise	e_n p-p	$f = 0.1\text{ Hz}$ to 10 Hz		2.8		μV p-p
Voltage Noise Density	e_n	$f = 1\text{ kHz}$		45		$\text{nV}/\sqrt{\text{Hz}}$
Current Noise Density	i_n	$f = 1\text{ kHz}$		15		$\text{fA}/\sqrt{\text{Hz}}$

電氣的特性—5 V 動作

特に指定がない限り、 $V_{SY} = 5\text{ V}$ 、 $V_{CM} = V_{SY}/2$ 、 $T_A = 25^\circ\text{C}$ 、 $R_L = 100\text{ k}\Omega$ (GND へ接続)。

表 2.

Parameter	Symbol	Conditions	Min	Typ	Max	Unit
INPUT CHARACTERISTICS						
Offset Voltage	V_{OS}	$0\text{ V} \leq V_{CM} \leq 5\text{ V}$ $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$		0.5	2.5	mV
Input Bias Current	I_B	$-40^\circ\text{C} \leq T_A \leq +85^\circ\text{C}$ $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$		1	10	pA
					100	pA
Input Offset Current	I_{OS}	$-40^\circ\text{C} \leq T_A \leq +85^\circ\text{C}$ $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$		0.5	5	pA
					50	pA
Input Voltage Range		$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	0		5	V
Common-Mode Rejection Ratio	CMRR	$0\text{ V} \leq V_{CM} \leq 5\text{ V}$	90	105		dB
		$-40^\circ\text{C} \leq T_A \leq +85^\circ\text{C}$	90			dB
		$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	85			dB
Large-Signal Voltage Gain	A_{VO}	$0.05\text{ V} \leq V_{OUT} \leq 4.95\text{ V}$, $R_L = 100\text{ k}\Omega$ to V_{CM}	105	120		dB
		$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	100			dB
Offset Voltage Drift	$\Delta V_{OS}/\Delta T$	$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$		2		$\mu\text{V}/^\circ\text{C}$
Input Resistance	R_{IN}			220		$\text{G}\Omega$
Input Capacitance, Differential Mode	C_{INDM}			3		pF
Input Capacitance, Common Mode	C_{INCM}			4.2		pF
OUTPUT CHARACTERISTICS						
Output Voltage High	V_{OH}	$R_L = 100\text{ k}\Omega$ to GND	4.98	4.99		V
		$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	4.98			V
		$R_L = 10\text{ k}\Omega$ to GND	4.9	4.95		V
		$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	4.9			V
Output Voltage Low	V_{OL}	$R_L = 100\text{ k}\Omega$ to V_{SY}		2	5	mV
		$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$			5	mV
		$R_L = 10\text{ k}\Omega$ to V_{SY}		10	25	mV
		$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$			30	mV
Short-Circuit Limit	I_{SC}	$V_{OUT} = V_{SY}$ or GND		± 45		mA
POWER SUPPLY						
Power Supply Rejection Ratio	PSRR	$V_{SY} = 1.8\text{ V}$ to 5 V	100	110		dB
		$-40^\circ\text{C} \leq T_A \leq +85^\circ\text{C}$	100			dB
		$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	95			dB
Supply Current per Amplifier AD8506/AD8508	I_{SY}	$V_{OUT} = V_{SY}/2$		15	20	μA
		$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$			25	μA
		$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$			25.5	μA
DYNAMIC PERFORMANCE						
Slew Rate	SR	$R_L = 100\text{ k}\Omega$, $C_L = 10\text{ pF}$, $G = 1$		13		$\text{mV}/\mu\text{s}$
Gain Bandwidth Product	GBP	$R_L = 1\text{ M}\Omega$, $C_L = 20\text{ pF}$, $G = 1$		95		kHz
Phase Margin	Φ_M	$R_L = 1\text{ M}\Omega$, $C_L = 20\text{ pF}$, $G = 1$		60		Degrees
NOISE PERFORMANCE						
Voltage Noise	e_n p-p	$f = 0.1\text{ Hz}$ to 10 Hz		2.8		μV p-p
Voltage Noise Density	e_n	$f = 1\text{ kHz}$		45		$\text{nV}/\sqrt{\text{Hz}}$
Current Noise Density	i_n	$f = 1\text{ kHz}$		15		$\text{fA}/\sqrt{\text{Hz}}$

絶対最大定格

表 3.

Parameter	Rating
Supply Voltage	5.5 V
Input Voltage	$\pm V_{SY} \pm 0.1$ V
Input Current ¹	± 10 mA
Differential Input Voltage ²	$\pm V_{SY}$
Output Short-Circuit Duration to GND	Indefinite
Storage Temperature Range	-65°C to +150°C
Operating Temperature Range	-40°C to +125°C
Junction Temperature Range	-65°C to +150°C
Lead Temperature (Soldering, 60 sec)	300°C

¹ 入力ピンには、電源ピンへのクランプ・ダイオードが付いています。入力信号が電源レールを 0.5 V 超えるときは、入力電流を 10 mA 以下に制限する必要があります。

² 差動入力電圧は、5 V または電源電圧のいずれか小さい方に制限されます。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

熱抵抗

θ_{JA} はワーストケース条件で規定。すなわち表面実装パッケージの場合、デバイスを回路ボードにハンダ付けし、可能な場合にはエクスポーズド・パッドをパッドにハンダ付けした状態で規定します。表 4 に、特に指定がないかぎり、4 層(2S2P) JEDEC 標準熱テスト・ボードに対する熱シミュレーション値を示します。

表 4.

Package Type	θ_{JA}	θ_{JC}	Unit
5-Lead SOT-23 (RJ-5)	190	92	°C/W
6-Ball WLCSP (CB-6-7)	105	N/A	°C/W
8-Lead MSOP (RM-8)	142	45	°C/W
8-Ball WLCSP (CB-8-2)	82	N/A	°C/W
14-Lead TSSOP (RU-14)	112	35	°C/W
14-Ball WLCSP (CB-14-1)	64	N/A	°C/W

ESD の注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

代表的な性能特性

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

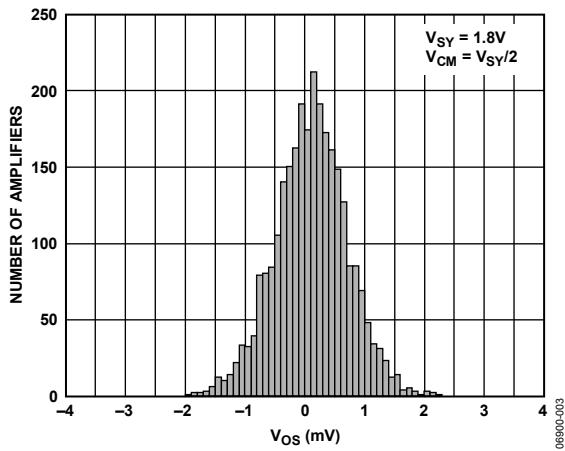


図 7.入力オフセット電圧の分布

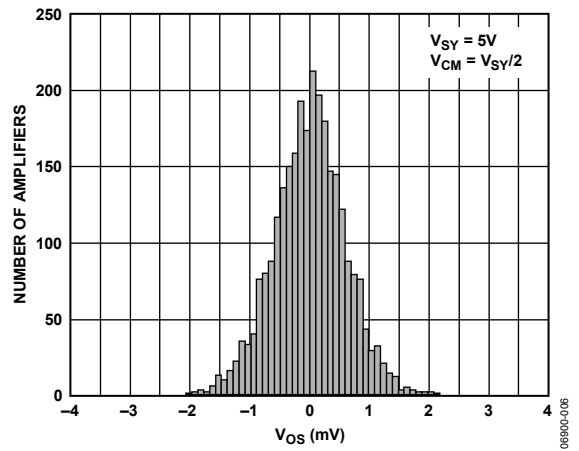


図 10.入力オフセット電圧の分布

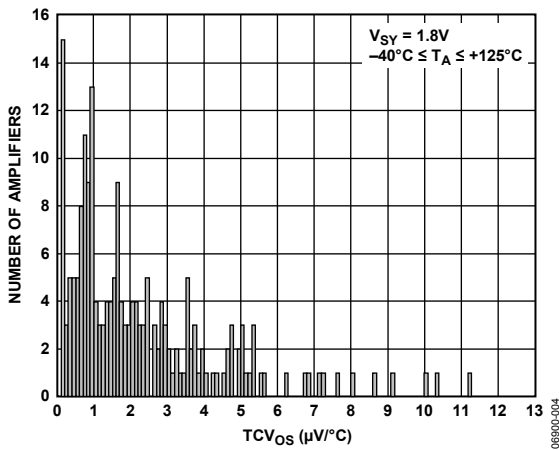


図 8.入力オフセット電圧ドリフトの分布

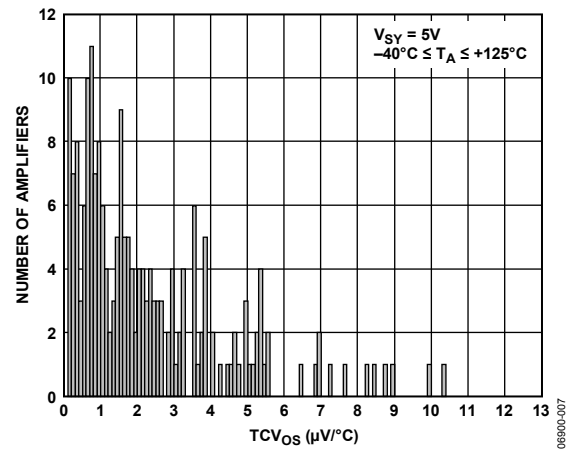


図 11.入力オフセット電圧ドリフトの分布

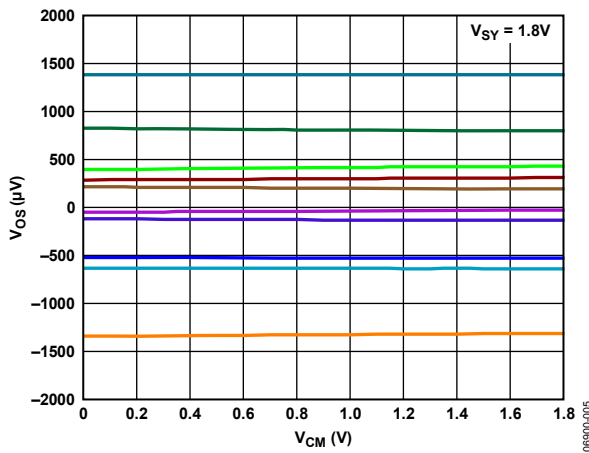


図 9.入力同相モード電圧対入力オフセット電圧

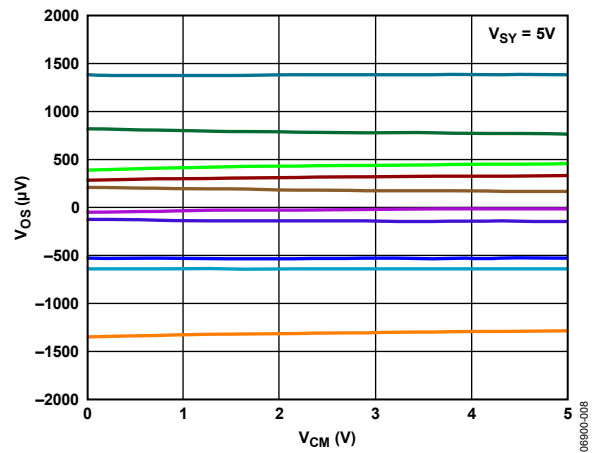


図 12.入力同相モード電圧対入力オフセット電圧

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

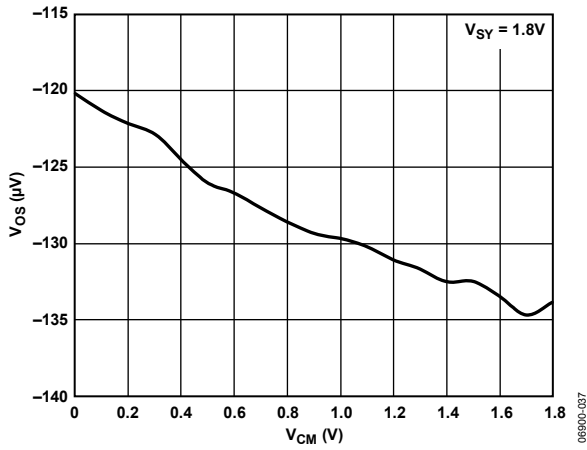


図 13. 入力同相モード電圧対入力オフセット電圧

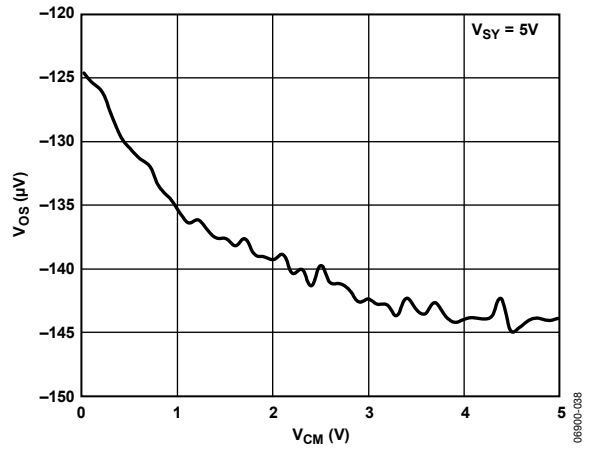


図 16. 入力同相モード電圧対入力オフセット電圧

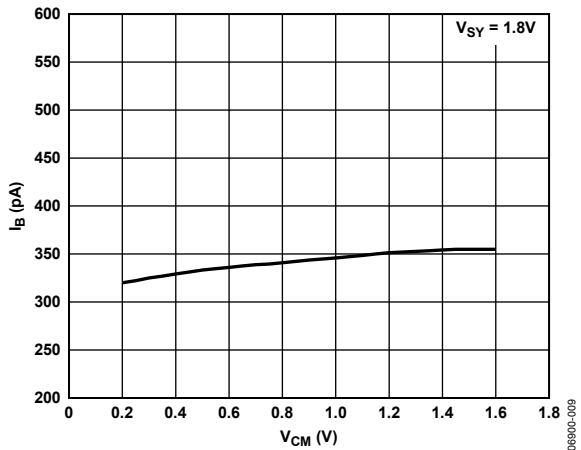


図 14. 入力同相モード電圧対入力バイアス電流、 125°C

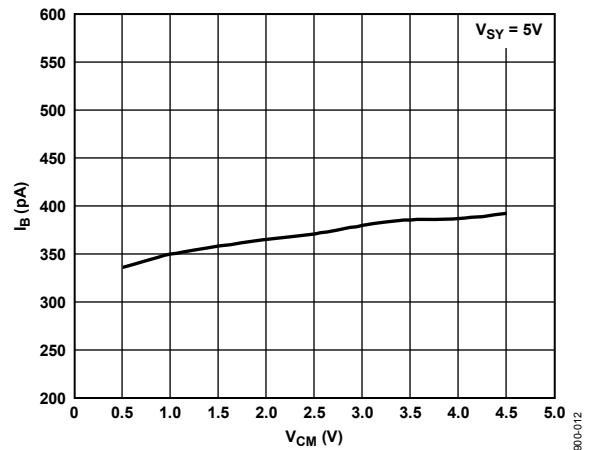


図 17. 入力同相モード電圧対入力バイアス電流、 125°C

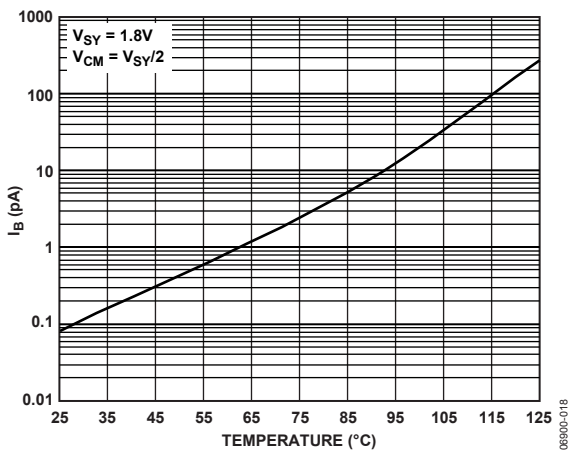


図 15. 入力バイアス電流の温度特性

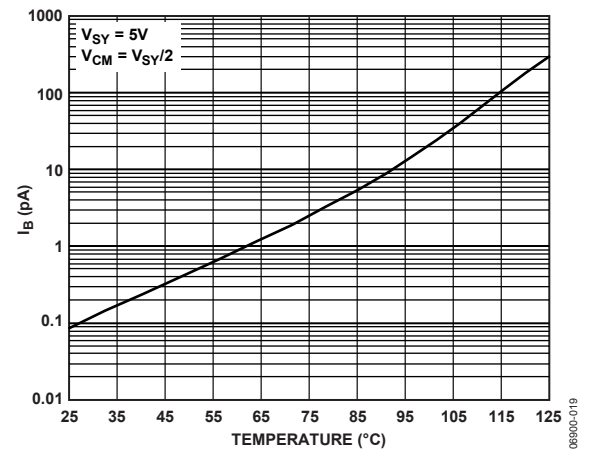


図 18. 入力バイアス電流の温度特性

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

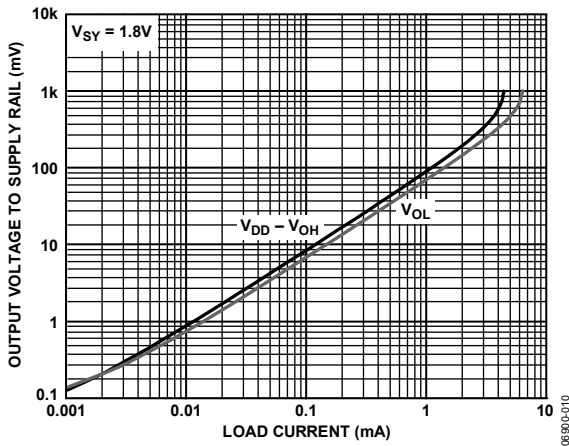


図 19. 負荷電流対電源レールまで近づく出力電圧

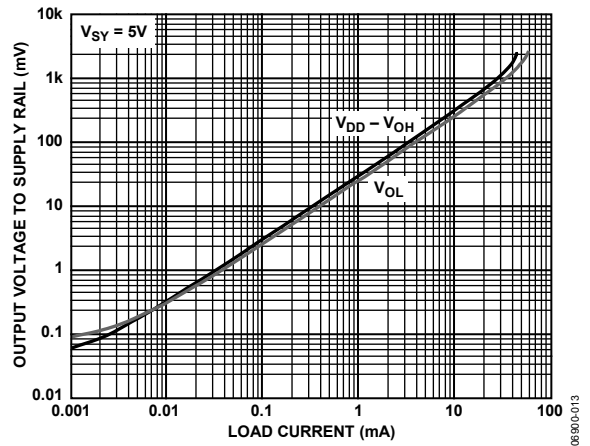


図 22. 負荷電流対電源レールまで近づく出力電圧

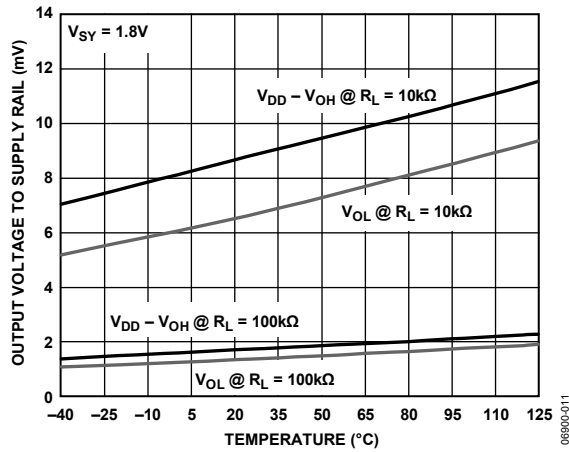


図 20. 電源レールまで近づく出力電圧の温度特性

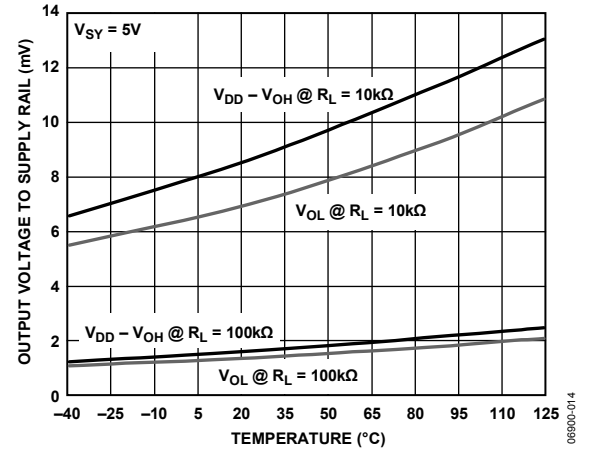


図 23. 電源レールまで近づく出力電圧の温度特性

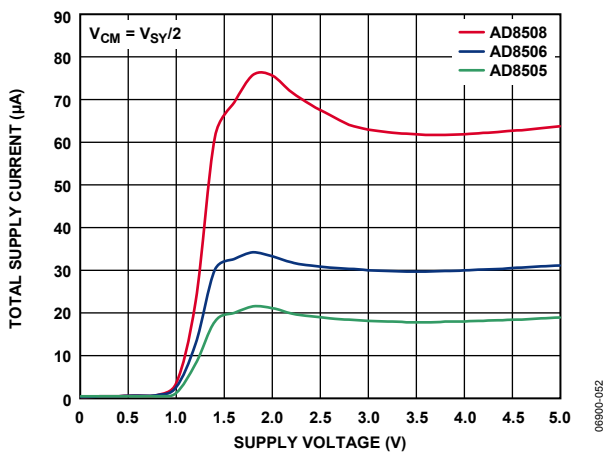


図 21. 電源電圧対総合電源電流

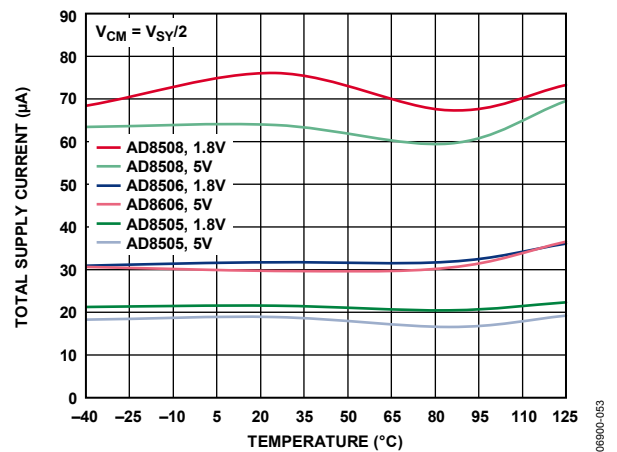


図 24. 総合電源電流の温度特性

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

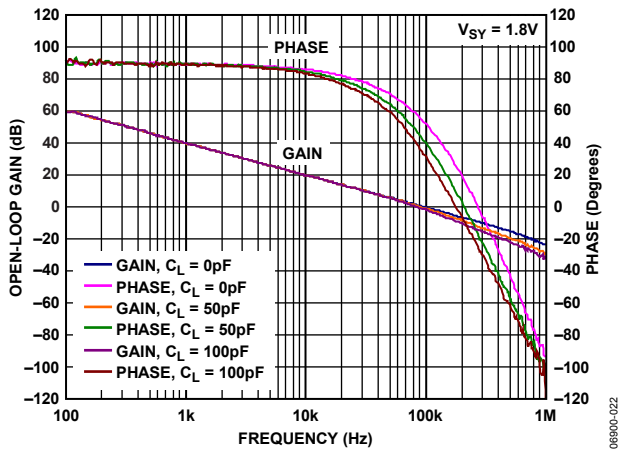


図 25. オープン・ループ・ゲインおよび位相の周波数特性

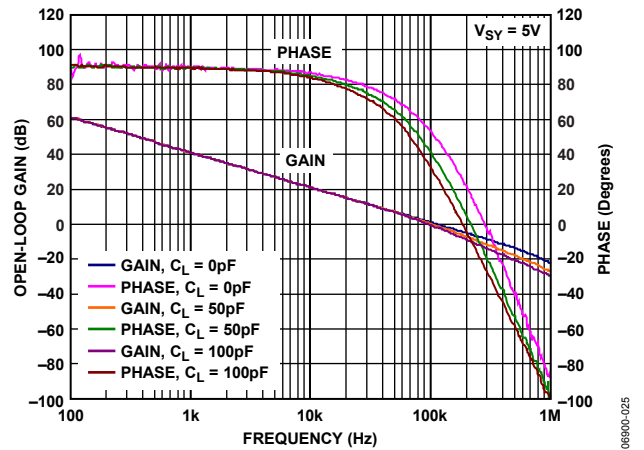


図 28. オープン・ループ・ゲインおよび位相の周波数特性

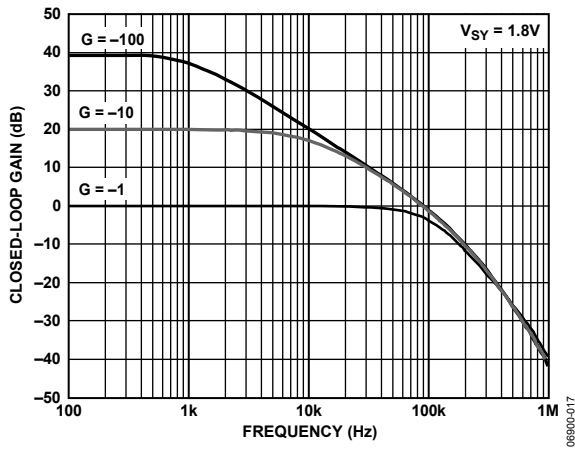


図 26. クローズド・ループ・ゲインの周波数特性

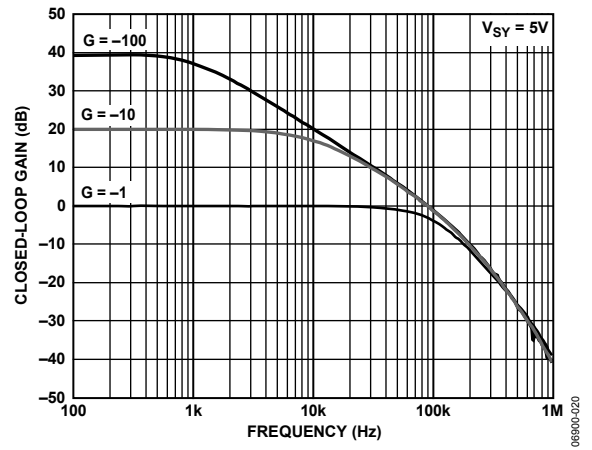


図 29. クローズド・ループ・ゲインの周波数特性

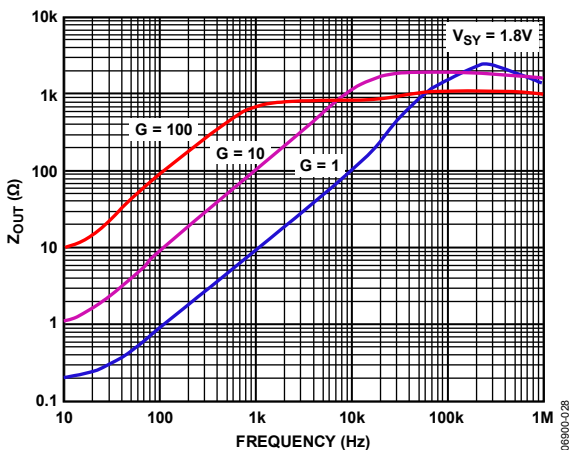


図 27. Z_{OUT} の周波数特性

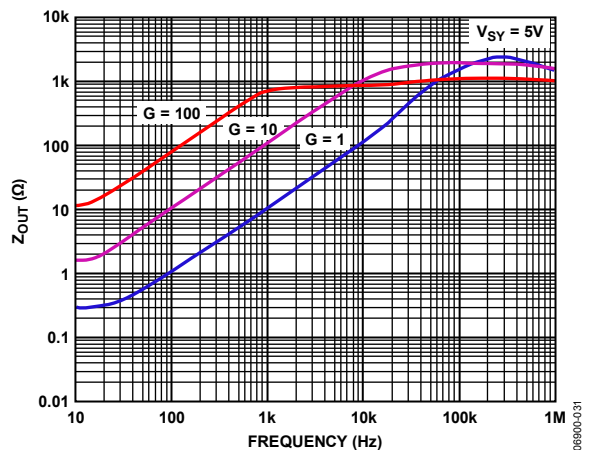


図 30. Z_{OUT} の周波数特性

特に指定のない限り、 $T_A = 25\text{ }^\circ\text{C}$ 。

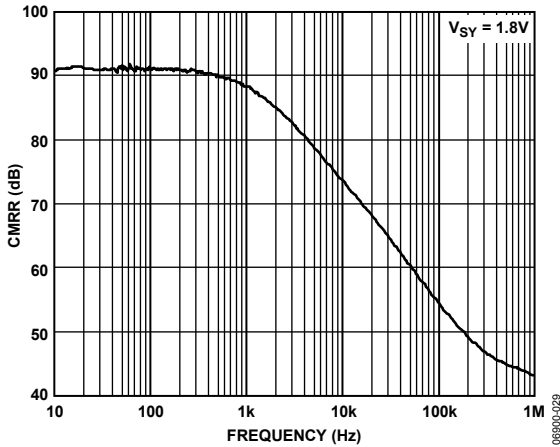


図 31. CMRR の周波数特性

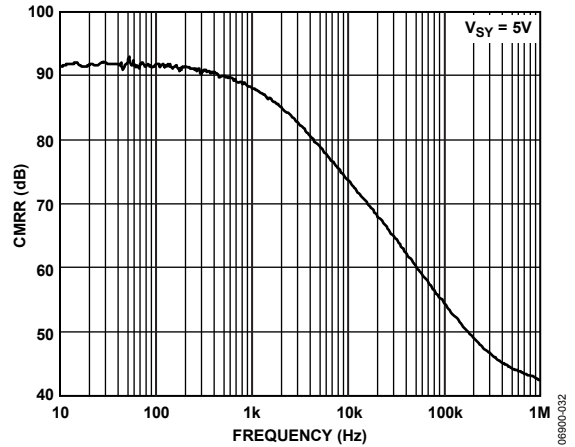


図 34. CMRR の周波数特性

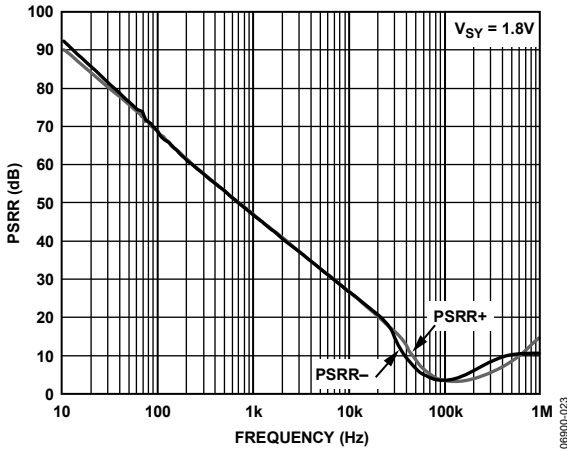


図 32. PSRR の周波数特性

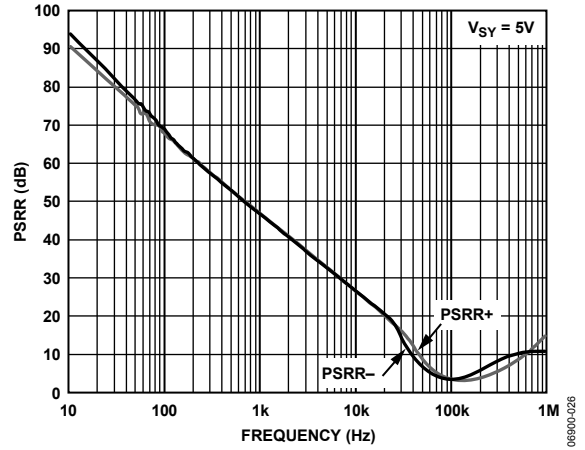


図 35. PSRR の周波数特性

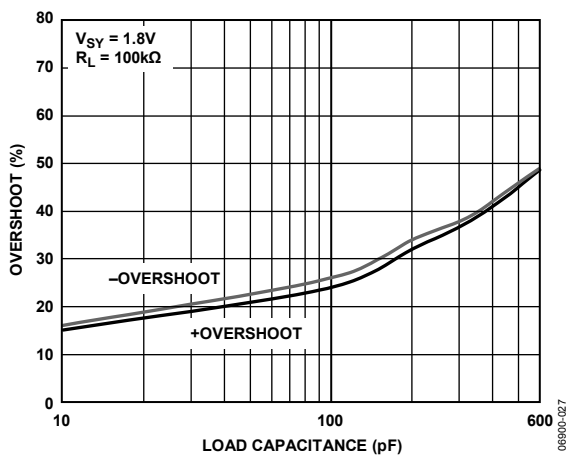


図 33. 負荷容量対小信号オーバーシュート

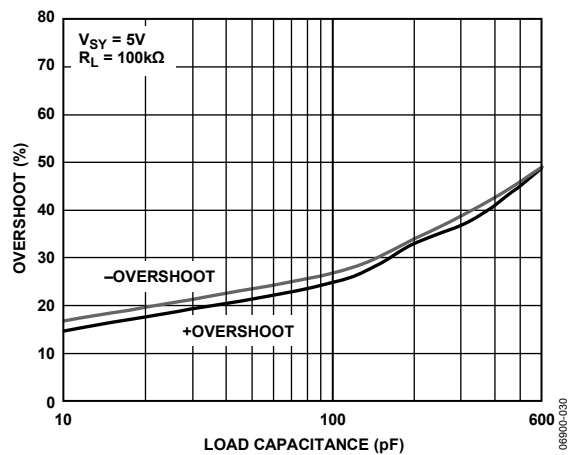


図 36. 負荷容量対小信号オーバーシュート

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

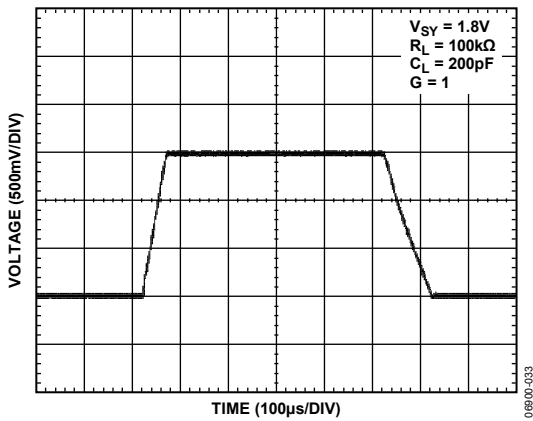


図 37.大信号過渡応答

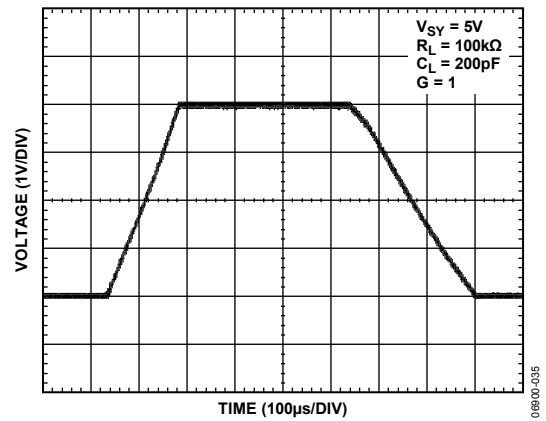


図 40.大信号過渡応答

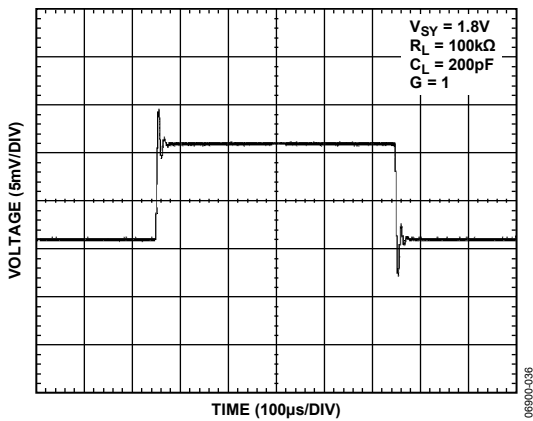


図 38.小信号過渡応答

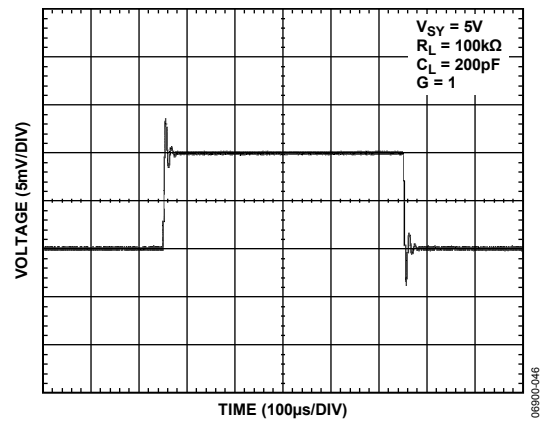


図 41.小信号過渡応答

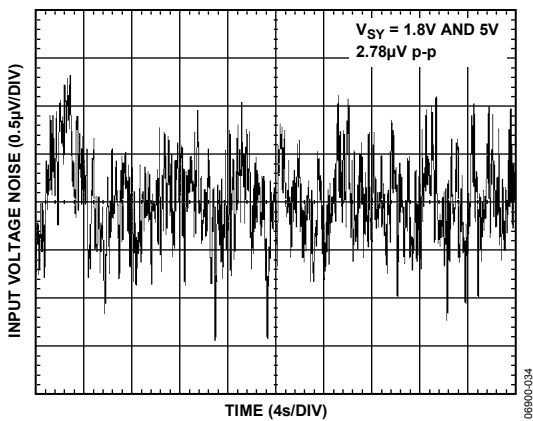


図 39.入力電圧ノイズ、0.1 Hz~10 Hz

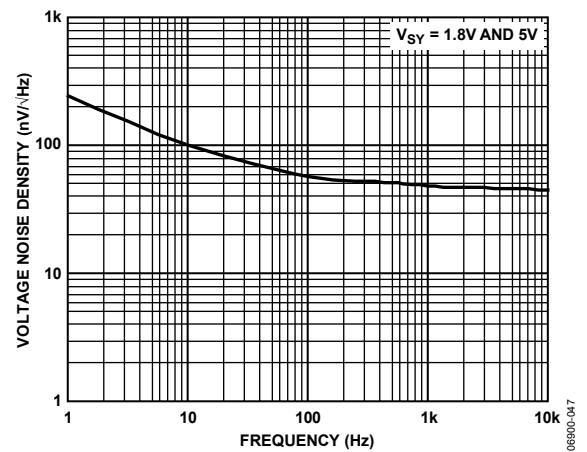


図 42.電圧ノイズ密度の周波数特性

特に指定のない限り、 $T_A = 25\text{ }^\circ\text{C}$ 。

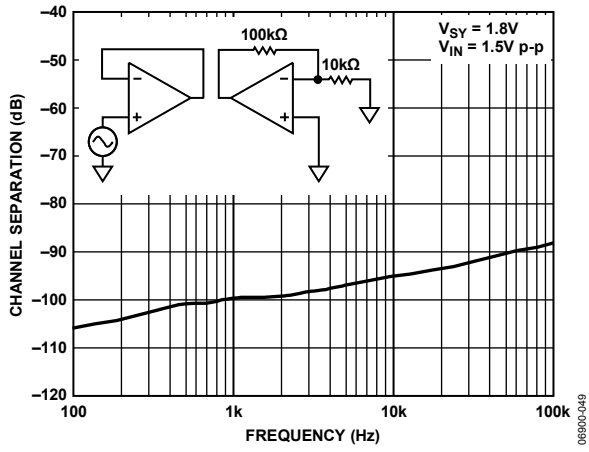


図 43.チャンネル・セパレーションの周波数特性

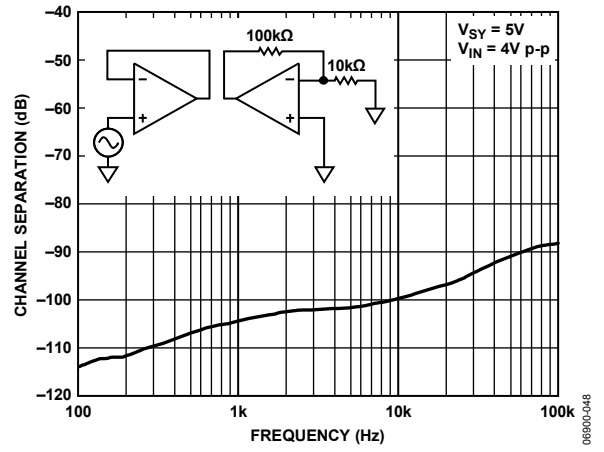


図 44.チャンネル・セパレーションの周波数特性

動作原理

AD8505/AD8506/AD8508 は、消費電流、PSRR、CMRR、ゼロ・クロスオーバー歪みの性能を最適化するようにデザインされ、すべてを小型パッケージに内蔵したユニティ・ゲイン安定なレール to レール入力/出力 CMOS オペアンプです。500 μV (typ) のオフセット電圧、0.1 Hz~10 Hz で 2.8 μV p-p の低いピーク to ピーク電圧ノイズ、1 kHz で 45 nV/ $\sqrt{\text{Hz}}$ の電圧ノイズ密度を持っています。

低電圧バッテリー駆動のアプリケーションでは、バッテリー電圧の経時減少とレール to レール入力ステージでの歪みの 2 つの重要な問題があります。AD8505/AD8506/AD8508 はこれらの問題を解決するためにデザインされました。

バッテリー駆動のアプリケーションでは、IC への電源電圧はバッテリー電圧になっています。バッテリー電圧は、負荷を通して放電するため減少します。バッテリー寿命中のこの電圧の降下により、オペアンプ出力に誤差が発生します。バッテリー寿命中に高精度な測定を必要とするアプリケーションでは、対策として電圧レギュレータを使ってオペアンプをパワーアップさせることもあります。標準バッテリー・セルを使うと、オペアンプはバッテリー寿命中に 3.2 V~1.8 V の電源電圧変化に直面します。これは、一般的なオペアンプの最小 70 dB の PSRR の場合、入力換算オフセット誤差が約 440 μV であることを意味します。同じアプリケーションで最小 100 dB の PSRR を持つ AD8505/ AD8506/ AD8508 アンプを使用すると、誤差はわずか 14 μV になります。この誤差をキャリブレーションすること、またはオペアンプ電源に外付け電圧レギュレータを使用することは可能ですが、これらのソリューションではシステム・コストと複雑さが増えてしまいます。AD8505/AD8506/AD8508 アンプは、コスト増または誤差除去回路の追加なしでこの問題を解決します。

バッテリー駆動のアプリケーションでの 2 つ目の問題は、標準のレール to レール入力ステージで発生する歪みです。CMOS の非レール to レール入力ステージ(シングル差動対)を使うと、入力電圧が電源ラインから約 1 個分の V_{GS} (ゲートソース間電圧) だけ離れた点に制限されてしまいます。通常動作での V_{GS} は一般に 1 V を超えるため、シングル差動対の入力ステージを使うオペアンプは低電源電圧を使用する場合、大幅に許容入力電圧範囲が制限されます。この制約により、非レール to レール入力のオペアンプを元々使用しようとしていたアプリケーションの数が限定されてしまいます。この問題を解決するため、デュアル差動対入力ステージが使用されますが(図 45 参照)、この技術には欠点があります。

同相モード電圧が上限側にある場合に一方の差動対が入力信号を増幅し、同相モード電圧が下限側にある場合に他方の差動対が入力信号を増幅します。また、この方法では 2 個の差動対を適切に動作させる制御回路も必要です。残念ながら、この回路では望ましくない問題が発生します。すなわち、一方の入力ステージがターンオフし、他方がターンオンする範囲を信号レベルが通過する際に、大きな歪みが発生します(図 46 参照)。

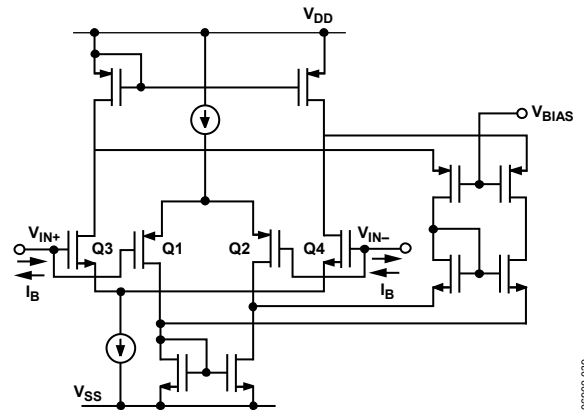


図 45.デュアル差動対入力ステージの代表的なオペアンプ (2 個の PMOS トランジスタ(Q1 と Q2)で入力電圧範囲下側を、2 個の NMOS (Q3 と Q4)で上側を、それぞれカバー)

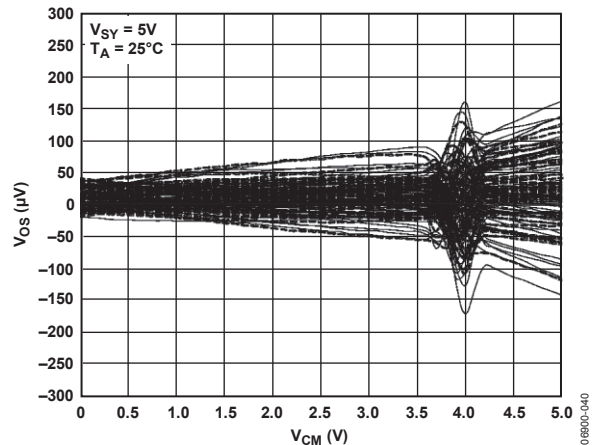


図 46.デュアル差動対入力ステージ・オペアンプの入力オフセット電圧対同相モード電圧応答 (5 V 電源、グラフあたり約 100 個の製品の結果を表示)

この歪みにより、クロスオーバー歪み領域を回避するための非現実的な方法を探ることになり、オペアンプの同相モード・ダイナミックレンジを狭くしてしまいます。AD8505/ AD8506/ AD8508 アンプは、入力差動対に電源を供給するチャージ・ポンプを内蔵することにより、このクロスオーバー歪み問題を解決しています。チャージ・ポンプはバッテリー電圧より高い電源電圧を発生するため、2 つ目の差動対を使用することなく、入力ステージで広い範囲の入力信号電圧を処理することができます。このソリューションを使用すると、歪みなしで入力電圧が一方の電源限界から他方の電源限界まで変化することができます。オペアンプの同相モード・ダイナミックレンジが回復されます。

チャージ・ポンプは、任意周波数でのスイッチング・ノイズ成分 (アンプ帯域の内側と上側) が熱ノイズ・フロアより遥かに低くなるように慎重にデザインされています。したがって、スプリアス・フリー・ダイナミックレンジ (SFDR) は、入力信号と熱ノイズまたはフリッカ・ノイズのみによって制限されます。入力信号とスイッチング・ノイズとの間の相互変調は発生しません。図 47 に、チャージ・ポンプを内蔵するオペアンプの代表的なフロントエンド・セクションを示します。

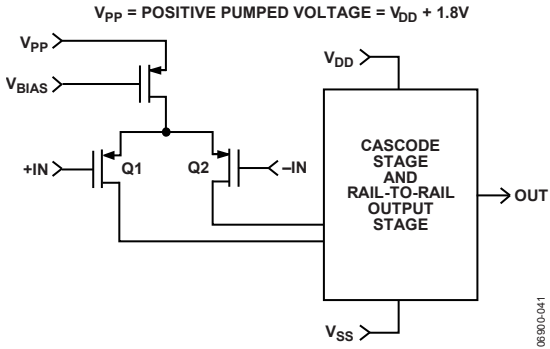


図 47. チャージ・ポンプを内蔵するオペアンプの代表的なフロントエンド・セクション

図 48 の入力同相モード電圧対入力オフセット電圧応答に、12 個のデバイスの代表的な応答を示します。図 48 は、デュアル差動対入力ステージ・オペアンプについての図 46 の同相モード電圧対入力オフセット電圧応答との比較を容易にするため、拡大してあります。

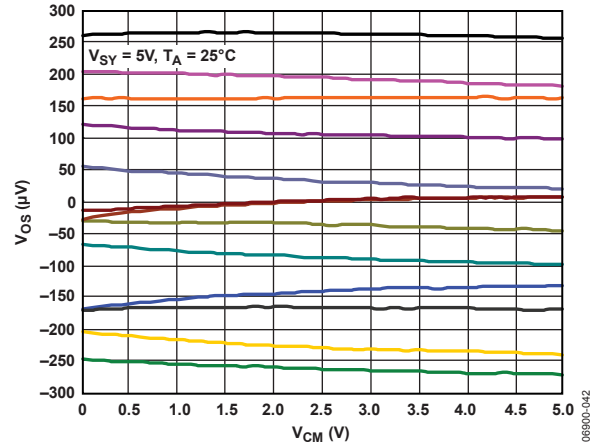


図 48. 入力同相モード電圧対入力オフセット電圧応答 (5 V 電源、製品 12 個の結果を表示)

このソリューションは、CMRR 性能を大幅に向上させます。例えば、入力変化が 2.5 V 電源レールでレール to レールである場合、最小 70 dB の CMRR を持つデバイスを使うと、入力換算誤差は 790 μ V になります。最小 52 dB の CMRR を持つ別のデバイスでは、誤差は 6.3 mV になります。最小 90 dB の AD8505/AD8506/AD8508 の CMRR では、誤差は僅か 79 μ V になります。PSRR 誤差の場合と同様に、この誤差を小さくする複雑な方法がありますが、AD8505/AD8506/AD8508 アンプは回路の複雑さとコスト増なしでこの問題を解決します。

アプリケーション情報

パルス・オキシメータ電流源

パルス・オキシメータは、酸素飽和ヘモグロビン(Hb)のパーセント値と患者の脈拍数を連続的に測定する際に使われる非侵襲性の医用機器です。酸素を運ぶヘモグロビン(オキシヘモグロビン)は赤外(IR)領域のスペクトルを吸収し、酸素を運ばないヘモグロビン(デオキシヘモグロビン)は可視光の赤(R)を吸収します。パルス酸素測定では、2個のLED(計測アルゴリズムの複雑さに応じて個数は増えます)を内蔵するクリップと光センサー(フォトダイオード)が患者の指または耳たぶに装着されます。一方のLEDは赤い光(600 nm~700 nm)を、他方のLEDは近赤外(800 nm~900 nm)領域の光を、それぞれ放出します。クリップは、ケーブルでプロセッサ・ユニットに接続されます。各LEDは、2個の電流源(各LED専用)により、高速かつシーケンシャルに励起されます。この電流源のDCレベルは駆動されるLEDのメーカー条件に依存し、検出器は各LEDからの光と組織を通過して受け取る光をキャプチャできるように同期化されます。

赤LEDと赤外LEDを駆動するDC電流源のデザイン例を図49に示します。これらのDC電流源を使うと、62.5 mAと101 mAの電流がそれぞれ赤LEDと赤外LEDに流れます。まず、バッテリー寿命を延ばすため、LEDは必要な場合にのみ駆動します。ADG733 SPDTアナログ・スイッチの1/3を、1.25 Vのリファレンス電圧と各電流回路との接続/切断に使っています。LEDを駆動する際にADR1581の1.25 Vリファレンス電圧はAD8506の $\frac{1}{2}$ を使ってバッファされます。非反転入力にこの電圧が加わると、オペアンプ出力があるレベルに維持されます(負帰還により)。このレベルで反転入力为非反転ピンに追従します。このため、1.25 Vが電流源抵抗($R1 = 20 \Omega$ または $R5 = 12.4 \Omega$)に並列に加われ、オペアンプ出力がN-MOSFET IRLMS2002のQ1またはQ2をターンオンさせたときに、62.5 mAまたは101 mAの電流が赤LEDまたは赤外LEDを流れます。

AD8506 (AD8506の1/2)、ADR1581、ADG733の最大合計静止電流は、それぞれ25 μ A、70 μ A、1 μ Aであり、回路の合計消費電流は96 μ A(消費電力480 μ W)になります。これは、バッテリー駆動のシステムには適した値です。デザイン全体の精度と温度ドリフトを向上させる場合は、より正確で小さい温度係数ドリフトのリファレンス電圧と電流源抵抗を使用する必要があります。C3とC4はU1の安定性向上のために、R3とR7はU1反転ピン

に電流制限機能を持たせるために、R2とR6はN-MOSFETがターンオンする際の立上がり時間を低速化するために、それぞれ使用しています。これらの要素は不要なこともあり、ベンチでの調整が必要なこともあります。

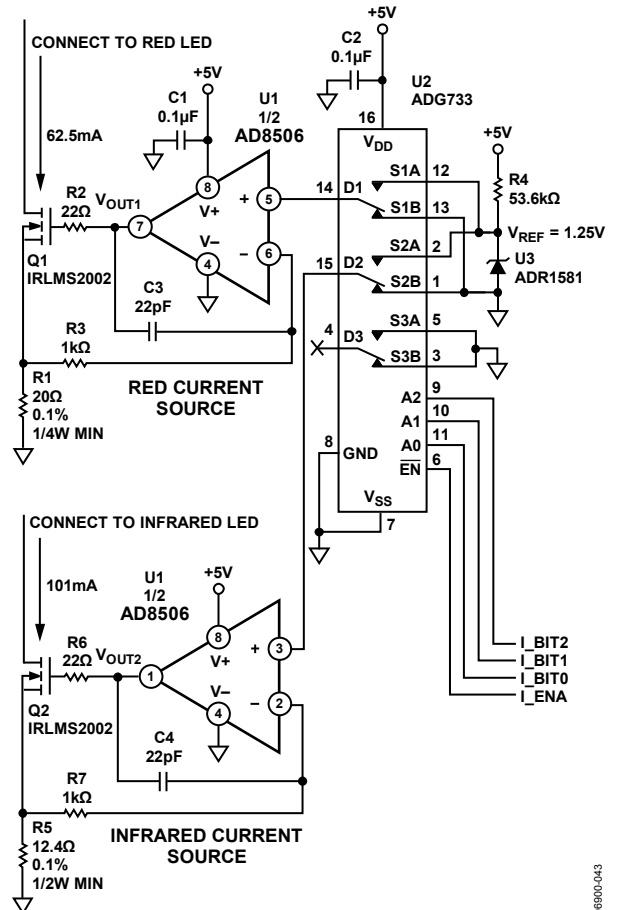


図 49. パルス・オキシメータの赤と赤外線の電流源、リファレンス・デバイスのバッファに AD8506 を使用

グルコース・モニタ用 4 極ローパス・パタワース・フィルタ

グルコースのモニタ方法には、 $2\ \mu\text{m}$ ~ $2.5\ \mu\text{m}$ 範囲の赤外光の分光学的吸収法、反射率分光測光法、グルコース酸化酵素による電気化学的ストリップを使った電流滴定タイプがあります。電流滴定タイプでは、リファレンス電極、制御電極、作業電極の 3 つの電極を使います。この技術は実績があり広く採用されていますが、AD8505/AD8506/AD8508 アンプを使うと、信号対ノイズ比と再現性を向上させることができます。0.1 Hz~10 Hz で $2.8\ \mu\text{V}$ の低いピーク to ピーク電圧ノイズと 1 kHz で $45\ \text{nV}/\sqrt{\text{Hz}}$ の電圧ノイズ密度が可能になります。

もう 1 つの考慮事項は、3.3 V のバッテリーで動作させることです。グルコース信号電流は $3\ \mu\text{A}$ 以下のフルスケールであるため、

I/V コンバータには小さい入力バイアス電流が必要です。AD8505/AD8506/AD8508 は周囲温度で typ 値 $1\ \text{pA}$ と max 値 $10\ \text{pA}$ の入力バイアス電流を持つため、優れた選択肢です。

80 Hz~100 Hz のカットオフ周波数を持つローパス・フィルタがノイズを除去するためにグルコース・メーター・デバイスに必要です。このフィルタとしてはシンプルな 2 極または 4 極のパタワースを使用することができます。50 kHz~500 kHz の帯域幅を持つ低消費電力オペアンプが適しています。95 kHz の GBP と $15\ \mu\text{A}$ (typ) の消費電流を持つ AD8505/AD8506/AD8508 アンプは、これらの条件を満たしています。4 極パタワース・フィルタ(前に 1 極ローパス・フィルタが付いています)の回路デザインを図 50 に示します。3.3 V のバッテリーを使用すると、周囲温度でのこのデザインの合計消費電力は $297\ \mu\text{W}$ (typ) になります。

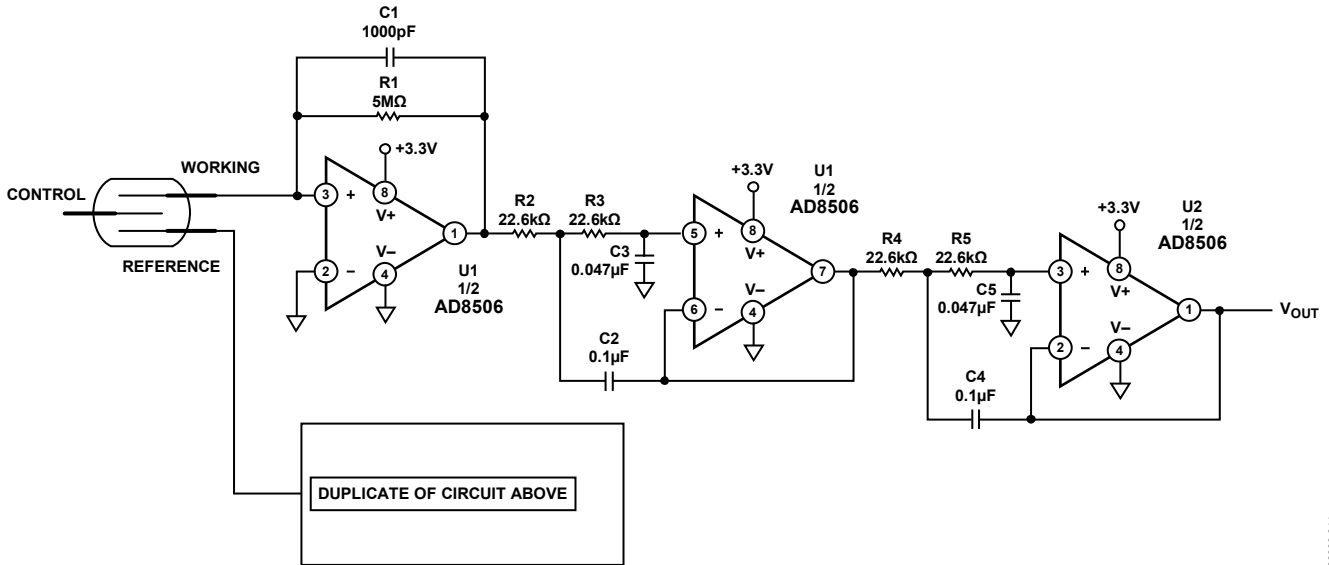
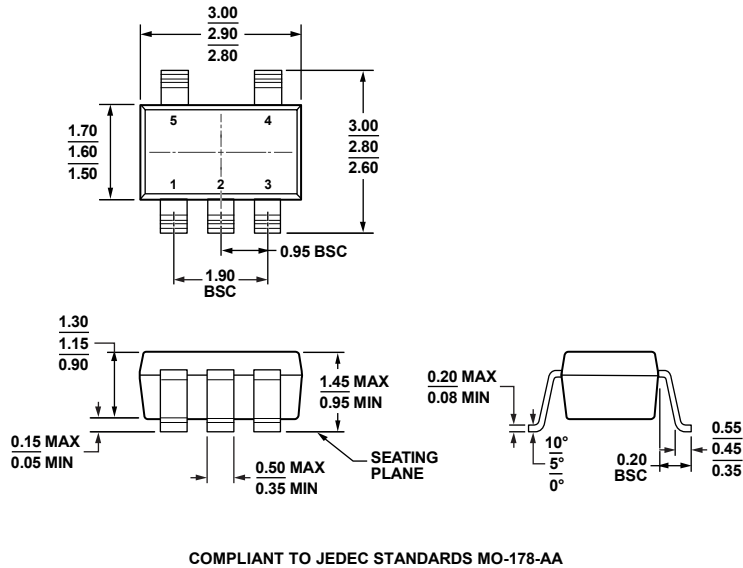


図 50. グルコースメーターで使用できる 4 極パタワース・フィルタ

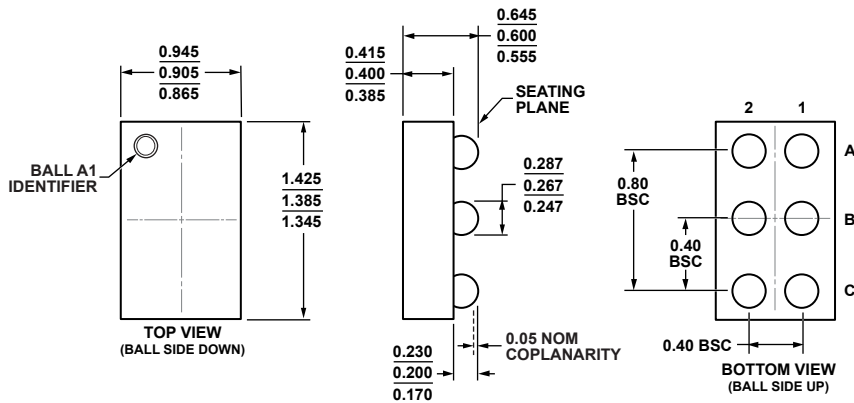
外形寸法



COMPLIANT TO JEDEC STANDARDS MO-178-AA

121608-A

図 51.5 ピン・スモール・アウトライン・トランジスタ・パッケージ[SOT-23] (RJ-5)
寸法: mm



081709-A

図 52.6 ボール・ウェハー・レベル・チップ・スケール・パッケージ[WLCSP] (CB-6-7)
寸法: mm

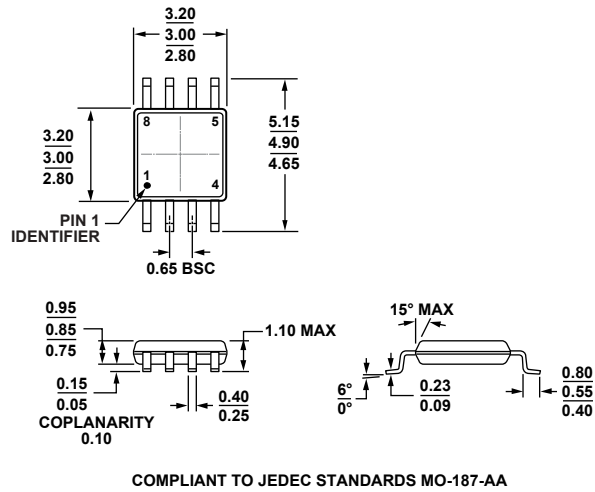


図 53.8 ピン・ミニ・スモール・アウトライン・パッケージ[MSOP] (RM-8)
寸法: mm

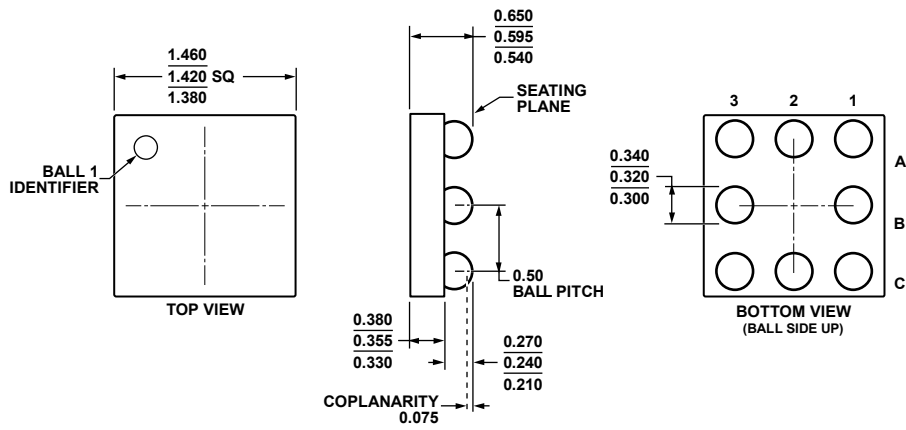
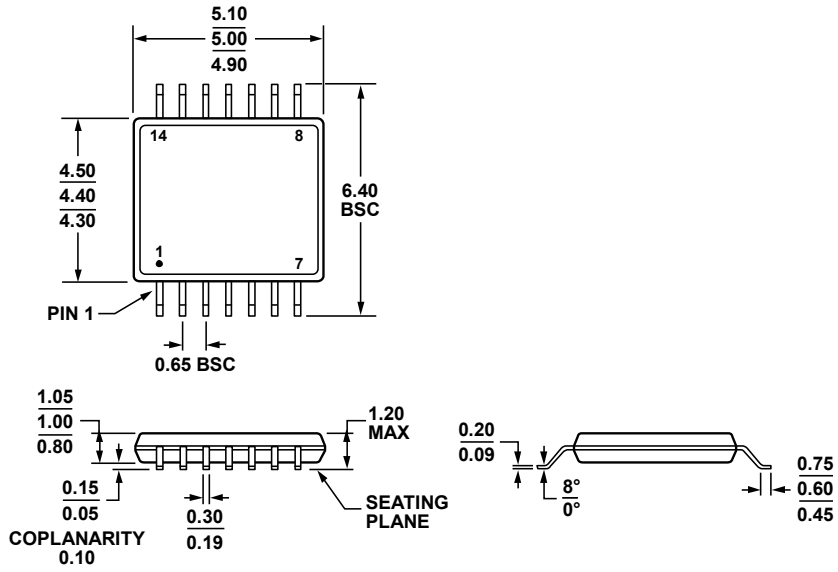


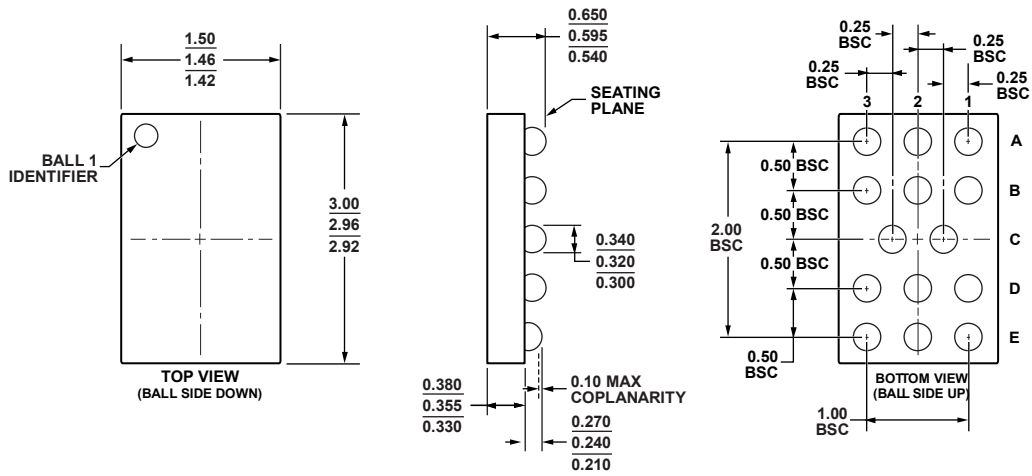
図 54.8 ボール・ウェハー・レベル・チップ・スケール・パッケージ[WLCSP] (CB-8-2)
寸法: mm



COMPLIANT TO JEDEC STANDARDS MO-153-AB-1

061908-A

図 55.14 ピン薄型シュリンク・スモール・アウトライン・パッケージ[TSSOP]
(RU-14)
寸法: mm



061208-A

図 56.14 ボール・ウェハー・レベル・チップ・スケール・パッケージ[WLCSP]
(CB-14-1)
寸法: mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option	Branding
AD8505ARJZ-R2	-40°C to +125°C	5-Lead Small Outline Transistor Package [SOT-23]	RJ-5	A2E
AD8505ARJZ-R7	-40°C to +125°C	5-Lead Small Outline Transistor Package [SOT-23]	RJ-5	A2E
AD8505ARJZ-RL	-40°C to +125°C	5-Lead Small Outline Transistor Package [SOT-23]	RJ-5	A2E
AD8505ACBZ-R7	-40°C to +125°C	6-Ball Wafer Level Chip Scale Package [WLCSP]	CB-6-7	A2H
AD8505ACBZ-RL	-40°C to +125°C	6-Ball Wafer Level Chip Scale Package [WLCSP]	CB-6-7	A2H
AD8506ACBZ-REEL	-40°C to +125°C	8-Ball Wafer Level Chip Scale Package [WLCSP]	CB-8-2	A1X
AD8506ACBZ-REEL7	-40°C to +125°C	8-Ball Wafer Level Chip Scale Package [WLCSP]	CB-8-2	A1X
AD8506ARMZ	-40°C to +125°C	8-Lead Mini Small Outline Package [MSOP]	RM-8	A1X
AD8506ARMZ-R7	-40°C to +125°C	8-Lead Mini Small Outline Package [MSOP]	RM-8	A1X
AD8506ARMZ-REEL	-40°C to +125°C	8-Lead Mini Small Outline Package [MSOP]	RM-8	A1X
AD8508ARUZ	-40°C to +125°C	14-Lead Thin Shrink Small Outline Package [TSSOP]	RU-14	
AD8508ARUZ-REEL	-40°C to +125°C	14-Lead Thin Shrink Small Outline Package [TSSOP]	RU-14	
AD8508ACBZ-REEL	-40°C to +125°C	14-Ball Wafer Level Chip Scale Package [WLCSP]	CB-14-1	A27
AD8508ACBZ-REEL7	-40°C to +125°C	14-Ball Wafer Level Chip Scale Package [WLCSP]	CB-14-1	A27

¹ Z = RoHS 準拠製品