



レールtoレール、低消費電力、2.5 ~5.5 V単電源 高速TTL/CMOSコンパレータ

データシート

AD8469

特長

車載アプリケーション用に認定済み
 $V_{CC} = 2.5\text{ V} \sim 5.5\text{ V}$ でレール to レールをフル規定
入力同相モード電圧: $V_{EE} - 0.2\text{ V} \sim V_{CC} + 0.2\text{ V}$
低グリッチの TTL/CMOS 互換出力カステージ
伝搬遅延: 40 ns
低消費電力: 2.5 V 電源で 1.4 mW
シャットダウン・ピンを装備
ヒステリシスが設定可能
電源除去比: -50 dB 以上
動作温度範囲: $-40^{\circ}\text{C} \sim +125^{\circ}\text{C}$

アプリケーション

高速計装機器
クロックとデータの信号再生
ロジック・レベルのシフトまたは変換
高速ライン・レシーバ
スレッシュホールド検出
ピークおよびゼロ交差検出器
高速トリガ回路
パルス幅変調器
電流/電圧制御発振器

概要

AD8469は、アナログ・デバイセズ独自のXFCB2 プロセスで製造された高速コンパレータです。このコンパレータは、非常に融通性があり、使い易くデザインされています。 $V_{EE} - 0.2\text{ V} \sim V_{CC} + 0.2\text{ V}$ の入力範囲、低ノイズ、TTL/CMOS互換出力ドライバ、調整可能なヒステリシス制御、シャットダウン入力などの特長を持っています。500 μA (typ)の電源電流、10 mVのオーバードライブで 15 pF負荷を駆動する場合の伝搬遅延は 40 nsです。

柔軟な電源方式を採用しているため、これらのデバイスは+2.5 Vの正単電源では-0.2 V~+2.7 Vの入力信号レンジで、+5.5 Vまでの正電源では-0.2 V~+5.7 Vの入力信号レンジで、それぞれ動作することができます。

TTL/CMOS 互換出力カステージは、フル・タイミング仕様で最大 15 pF を駆動し、容量増加に対して比例して性能低下するようにデザインされています。コンパレータ入力カステージでは、大きな入力オーバードライブに対して強力な保護機能を提供し、有効な入力信号レンジを超えても出力は位相反転しません。

AD8469は 8 ピンMSOPパッケージを採用し、シャットダウン・ピンとヒステリシス制御を備えています。仕様は $-40^{\circ}\text{C} \sim +125^{\circ}\text{C}$ の動作温度範囲で規定されています。

機能ブロック図

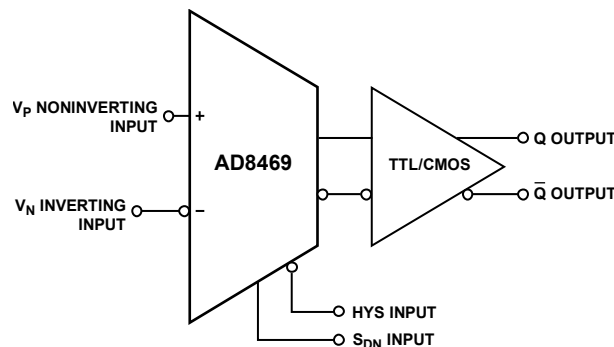


図 1.

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©2012 Analog Devices, Inc. All rights reserved.

Rev. 0

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー
電話 06 (6350) 6868

目次

特長.....	1	アプリケーション情報.....	8
アプリケーション.....	1	電源/グラウンドのレイアウトとバイパス.....	8
概要.....	1	TTL/CMOS 互換の出カステージ.....	8
機能ブロック図.....	1	性能の最適化.....	8
改訂履歴.....	2	コンパレータ伝搬遅延のバラツキ.....	8
仕様.....	3	コンパレータのヒステリシス.....	9
電気的特性.....	3	クロスオーバー・バイアス・ポイント.....	9
絶対最大定格.....	4	最小入力スルーレート条件.....	10
熱抵抗.....	4	代表的なアプリケーション回路.....	11
ESD の注意.....	4	外形寸法.....	12
ピン配置およびピン機能説明.....	5	オーダー・ガイド.....	12
代表的な性能特性.....	6	車載製品.....	12

改訂履歴

1/12—Revision 0: Initial Version

仕様

電気的特性

特に指定がない限り、 $V_{CC} = 2.5\text{ V}$ 、 $T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$ 、typ 値は $T_A = 25^\circ\text{C}$ で規定。

表 1.

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
DC INPUT CHARACTERISTICS						
Voltage Range	V_P, V_N	$V_{CC} = 2.5\text{ V to } 5.5\text{ V}$	-0.2		$V_{CC} + 0.2$	V
Common-Mode Range	V_{CM}	$V_{CC} = 2.5\text{ V to } 5.5\text{ V}$	-0.2		$V_{CC} + 0.2$	V
Differential Voltage		$V_{CC} = 2.5\text{ V to } 5.5\text{ V}$			V_{CC}	V
Offset Voltage	V_{OS}		-5.0	± 3	+5.0	mV
Bias Current	I_P, I_N		-0.4		+0.4	μA
Offset Current			-1.0		+1.0	μA
Capacitance	C_P, C_N			1		pF
Differential Mode Resistance		$-0.5\text{ V to } V_{CC} + 0.5\text{ V}$	200		7000	k Ω
Common-Mode Resistance		$-0.5\text{ V to } V_{CC} + 0.5\text{ V}$	100		4000	k Ω
Active Gain	A_V			80		dB
Common-Mode Rejection Ratio	CMRR	$V_{CM} = -0.2\text{ V to } +2.7\text{ V}, V_{CC} = 2.5\text{ V}$	50			dB
		$V_{CM} = -0.2\text{ V to } +2.7\text{ V}, V_{CC} = 5.5\text{ V}$	50			dB
Hysteresis		$R_{HYS} = \infty$		0.1		mV
HYSTERESIS MODE AND TIMING						
Hysteresis Mode Bias Voltage		Current = 1 μA	1.145	1.25	1.35	V
Minimum Resistor Value		Hysteresis = 120 mV	30		120	k Ω
SHUTDOWN PIN CHARACTERISTICS¹						
Input Voltage High	V_{IH}	Comparator is operating	2.0		V_{CC}	V
Input Voltage Low	V_{IL}	Shutdown guaranteed	-0.2		+0.4	V
Input Current High	I_{IH}	$V_{IH} = V_{CC}$	-6		+6	μA
Sleep Time	t_{SD}	$I_{CC} < 100\ \mu\text{A}$		300		ns
Wake-Up Time	t_H	$V_P = 10\text{ mV}$, output valid		150		ns
DC OUTPUT CHARACTERISTICS						
Output Voltage High	V_{OH}	$V_{CC} = 2.5\text{ V}$ $I_{OH} = 0.8\text{ mA}$	$V_{CC} - 0.4$			V
Output Voltage Low	V_{OL}	$I_{OL} = 0.8\text{ mA}$			0.4	V
AC PERFORMANCE²						
Rise Time/Fall Time	t_R/t_F	10% to 90%, $V_{CC} = 2.5\text{ V}$		25 to 50		ns
		10% to 90%, $V_{CC} = 5.5\text{ V}$		45 to 75		ns
Propagation Delay	t_{PD}	$V_{OD} = 10\text{ mV}, V_{CC} = 2.5\text{ V}$		30 to 50		ns
		$V_{OD} = 50\text{ mV}, V_{CC} = 5.5\text{ V}$		35 to 60		ns
Propagation Delay Skew Rising-to-Falling Transition		$V_{CC} = 2.5\text{ V}$		4.5		ns
		$V_{CC} = 5.5\text{ V}$		8		ns
Q to \bar{Q}		$V_{CC} = 2.5\text{ V}$		3		ns
		$V_{CC} = 5.5\text{ V}$		4		ns
Overdrive Dispersion		$10\text{ mV} < V_{OD} < 125\text{ mV}$		12		ns
Common-Mode Dispersion		$-0.2\text{ V} < V_{CM} < V_{CC} + 0.2\text{ V}$		1.5		ns
POWER SUPPLY						
Supply Voltage Range	V_{CC}		2.5		5.5	V
Positive Supply Current	I_{VCC}	$V_{CC} = 2.5\text{ V}$		550	650	μA
		$V_{CC} = 5.5\text{ V}$		800	1100	μA
Power Dissipation	P_D	$V_{CC} = 2.5\text{ V}$		1.4	1.7	mW
		$V_{CC} = 5.5\text{ V}$		4.5	7	mW
Power Supply Rejection Ratio	PSRR	$V_{CC} = 2.5\text{ V to } 5.5\text{ V}$	-50			dB
Shutdown Current	I_{SD}	$V_{CC} = 2.5\text{ V to } 5.5\text{ V}$		150	260	μA

¹ デバイスがシャットダウン・モードのとき、出力はハイ・インピーダンスになります。イネーブル/ディスエーブル時間が出力の真のスリーステート時間より長い場合、この機能は注意深く使用する必要があります。

² 特に指定のない限り、 $V_{CM} = 0\text{ V}$ 、 $C_L = 15\text{ pF}$ 、 $V_{CC} = 2.5\text{ V}$ 、1 MHz の $V_{IN} = 100\text{ mV}$ 方形波入力。

絶対最大定格

表 2.

Parameter	Rating
Supply Voltages, V_{CC} and V_{EE}	
V_{CC} to Ground	-0.5 V to +6.0 V
Differential Supply Voltage	-6.0 V to +6.0 V
Analog Inputs, V_P and V_N	
Input Voltage	-0.5 V to $V_{CC} + 0.5$ V
Differential Input Voltage	$\pm(V_{CC} + 0.5$ V)
Maximum Input/Output Current	± 50 mA
Shutdown Pin, S_{DN}	
Applied Voltage (S_{DN} to Ground)	-0.5 V to $V_{CC} + 0.5$ V
Maximum Input/Output Current	± 50 mA
Hysteresis Control Pin, HYS	
Applied Voltage (HYS to Ground)	-0.5 V to $V_{CC} + 0.5$ V
Maximum Input/Output Current	± 50 mA
Output Current, Q and \bar{Q}	± 50 mA
Operating Temperature	
Ambient Temperature Range	-40°C to +125°C
Junction Temperature	150°C

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

熱抵抗

θ_{JA} はワーストケース条件で規定。すなわち表面実装パッケージの場合、デバイスを回路ボードにハンダ付けした状態で規定。

表 3.

Package Type	θ_{JA} ¹	Unit
8-Lead MSOP (RM-8)	130	°C/W

¹ 自然空冷で測定。

ESDの注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵していますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明

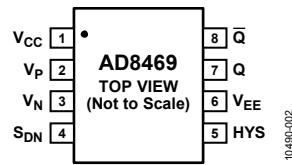


図 2. ピン配置

表 4. ピン機能の説明

ピン番号	記号	説明
1	V _{CC}	正電源電圧
2	V _P	非反転アナログ入力。
3	V _N	反転アナログ入力。
4	S _{DN}	シャットダウン。このピンをロー・レベルにすると、デバイスがシャットダウンします。
5	HYS	ヒステリシス制御。このピンに抵抗または電流源を使ってバイアスを与えてヒステリシス発生させます。
6	V _{EE}	負電源電圧。
7	Q	非反転出力。比較モードでは、非反転入力(V _P)のアナログ電圧が反転入力(V _N)のアナログ電圧より大きい場合、Qはハイ・レベル。
8	\bar{Q}	反転出力。比較モードでは、非反転入力(V _P)のアナログ電圧が反転入力(V _N)のアナログ電圧より大きい場合、 \bar{Q} はロー・レベル。

代表的な性能特性

特に指定がない限り、 $V_{CC} = 2.5\text{ V}$ 、 $T_A = 25^\circ\text{C}$ 。

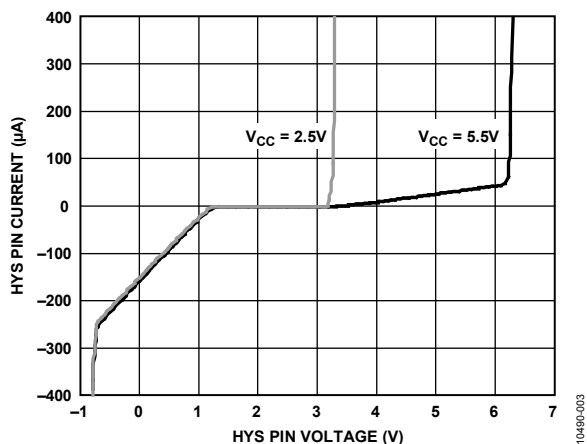


図 3.HYS ピンの電圧対電流、 $V_{CC} = 2.5\text{ V}$ 、 5.5 V

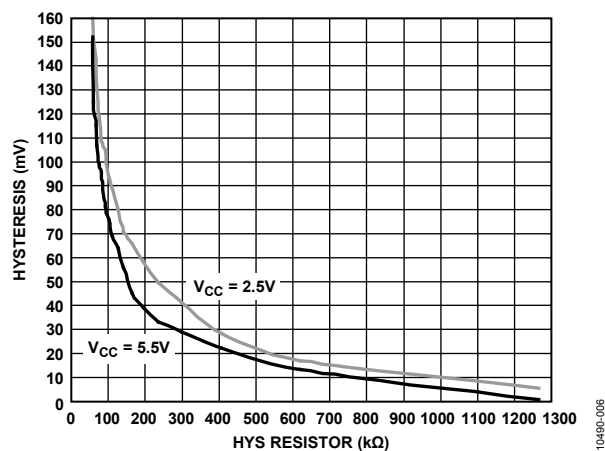


図 6.HYS 抵抗対ヒステリシス、 $V_{CC} = 2.5\text{ V}$ 、 5.5 V

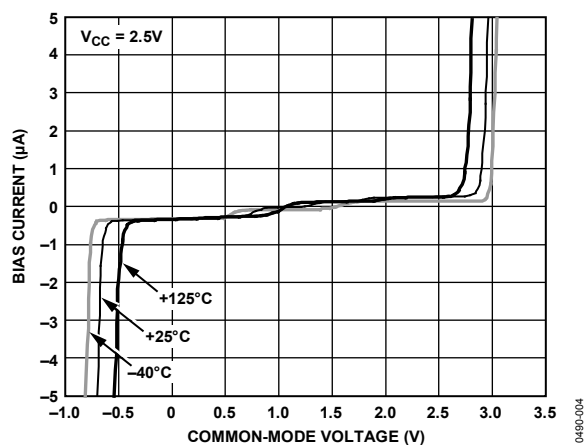


図 4.入力同相モード電圧対入力バイアス電流、 $V_{CC} = 2.5\text{ V}$

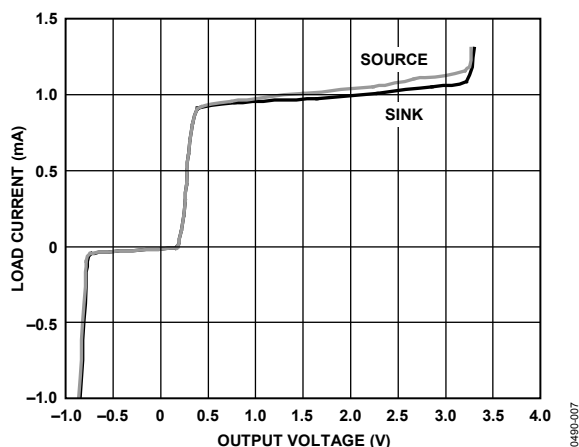


図 7.出力電圧対負荷電流

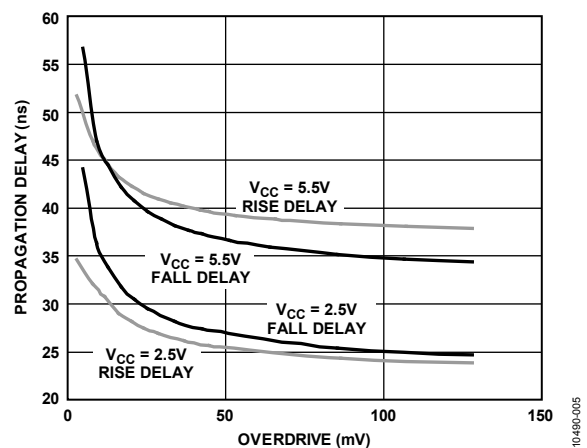


図 5.入力オーバードライブ対伝搬遅延、 $V_{CC} = 2.5\text{ V}$ 、 5.5 V

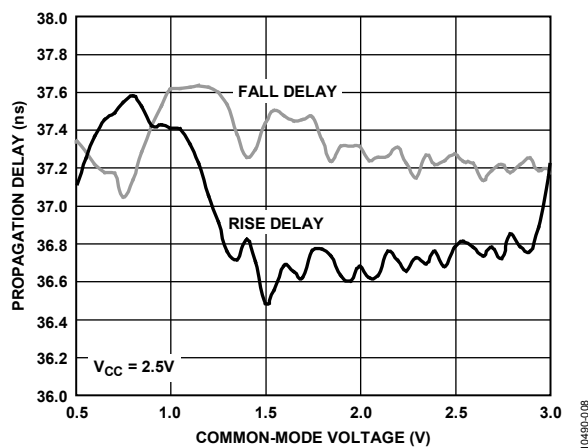
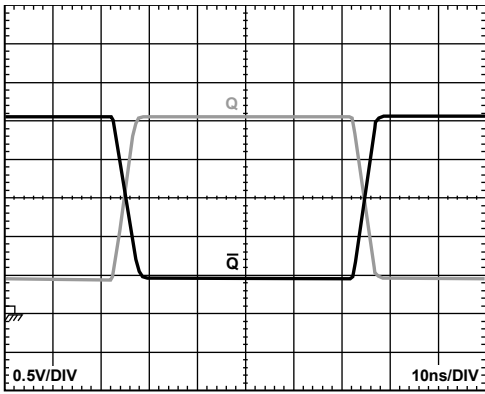
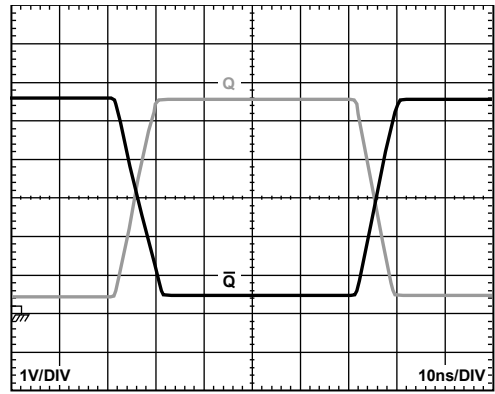


図 8.入力同相モード電圧対伝搬遅延、 $V_{CC} = 2.5\text{ V}$



10495-009

図 9.1 MHz 出力電圧波形、 $V_{CC} = 2.5 \text{ V}$



10460-010

図 10.1 MHz 出力電圧波形、 $V_{CC} = 5.5 \text{ V}$

アプリケーション情報

電源/グラウンドのレイアウトとバイパス

AD8469コンパレータは高速デバイスです。このデバイスでは、出力ステージは低ノイズですが、規定の性能を実現するためには適切な高速デザイン技術を使うことが不可欠です。コンパレータは補償を行っていないアンプであるため、任意の位相の帰還があると、発振または不要なヒステリシスが発生することがあります。非常に重要なことは、低インピーダンスの電源プレーンを使うことです。特に出力電源プレーン(V_{CC})とグラウンド・プレーンが重要です。個々の電源プレーンには、多層ボードの一部を使うことが推奨されます。スイッチング電流に対して低いインダクタンスのリターン・パスを用意すると、アプリケーションで可能な最適性能が得られます。

入力電源と出力電源を適切にバイパスすることも重要です。0.1 μF のバイパス・コンデンサを各電源ピンのできるだけ近くに配置する必要があります。これらのコンデンサは、出力電流がグラウンドから V_{CC} ピンへ戻る短距離のリターン・パス近くに配置した冗長ビアを使ってグラウンド・プレーンへ接続する必要があります。高周波バイパス・コンデンサは、インダクタンスと実効直列抵抗(ESR)が最小のものを使う必要があります。寄生レイアウト・インダクタンスも厳しく制御して、高周波でのバイパス効果を大きくする必要があります。

TTL/CMOS互換の出力ステージ

規定の伝搬遅延性能を実現するためには、容量負荷を最小規定値以下にしてください。AD8469出力は、1個のショットキTTL負荷または3個のローパワー・ショットキTTL負荷(または同等)を直接駆動するようにデザインされています。大きなファンアウト、バス、または伝送線の場合には、適切なバッファを使用して、コンパレータの優れた速度と安定性を維持してください。

定格 15 pF の負荷容量では、デバイスの総合伝搬遅延の半分以上が出力ステージのスルー・タイムです。このため、総合伝搬遅延は V_{CC} の減少とともに減少するので、遅延のバラツキが大きくなると、電源の不安定性が生じます。

この遅延は使用中の電源の 50%ポイントで測定されるため、最高速時間は $V_{CC} = 2.5\text{ V}$ で観測され、さらに他のレベルでスイッチする負荷を駆動するときには、観測される値が大きくなります。

オーバードライブのバラツキと入力スルーレートのバラツキは、出力負荷と V_{CC} の変動から大きな影響を受けることはありません。

TTL/CMOS 互換出力ステージの簡略化した回路図を図 11 に示します。この出力ステージは本来的に対称で、一般に優れた動作を行うため、種々のフィルタやその他の特異な負荷の駆動に容易に応用することができます。

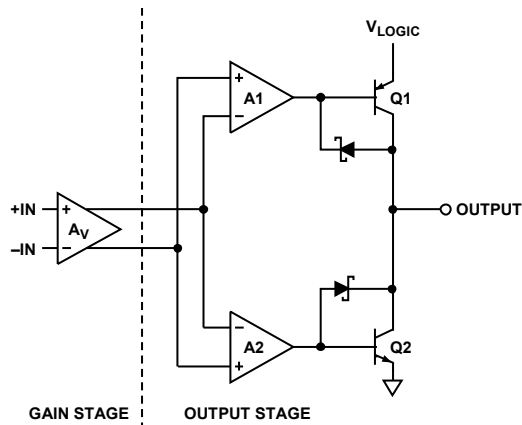


図 11. TTL/CMOS 互換出力ステージの簡略化した回路図

性能の最適化

すべての高速コンパレータと同様に、規定の性能を実現するためには、適切なデザインとレイアウト技術が不可欠です。漂遊容量、インダクタンス、電源とグラウンドの共通誘導性インピーダンス、またはその他のレイアウト問題は、規定性能に深刻な影響を与えることがあり、発振が生ずることもあります。ソース・インピーダンスは可能な限り小さくする必要があります。高いソース・インピーダンスとコンパレータの寄生入力容量との組み合わせにより、入力の帯域幅が低下して、全体の応答性能が低下することがあります。インピーダンスが大きくなると、不要な混入が増えます。

コンパレータ伝搬遅延のバラツキ

AD8469コンパレータは、10 mV \sim $V_{CC} - 1\text{ V}$ の広い入力オーバードライブ・レンジで伝搬遅延のバラツキを小さくするようにデザインされています。伝搬遅延のバラツキは、オーバードライブまたはスルーレートの大きさの変化(すなわち入力信号がスイッチング・スレッショルドを超える程度と速度)から発生する伝搬遅延の変動です(図 12 と図 13 参照)。

伝搬遅延のバラツキは、データ通信、自動テスト/計測、計測機器などの高速で時間に厳しいアプリケーションで重要になる仕様です。また、パルス分光学、原子力計測機器、医用画像などのイベント駆動型アプリケーションでも重要になります。バラツキは、入力のオーバードライブ状態が変化したときの伝搬遅延の変動として定義されます(図 12 参照)。

AD8469のバラツキは、オーバードライブが 10 mV から 125 mV へ変化したとき 12 ns (typ) 以下です。この仕様は正と負の信号に適用されます。これは、立上がり入力、立下がり入力、非常に小さい出力スキューに対してデバイスの遅延を非常に厳密に一致させているためです。バラツキ測定値の再現性を良くするため、実際のデバイス・オフセットをオーバードライブに加算していることに注意してください。

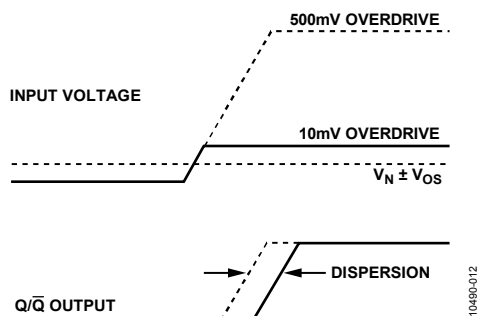


図 12.伝搬遅延—オーバードライブバラツキ

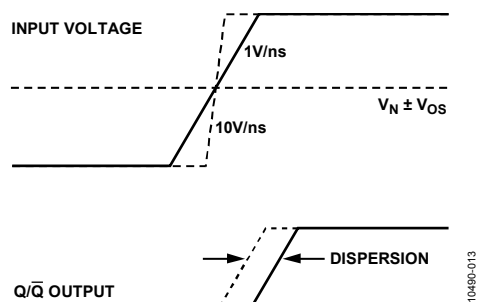


図 13.伝搬遅延—スルーレートバラツキ

コンパレータのヒステリシス

コンパレータにヒステリシスを追加することは、ノイズの多い環境の場合に、または差動入力振幅が比較的小さいか、または低速変化する場合に必要となることがあります。図 14 に、ヒステリシスを持つコンパレータの伝達関数を示します。

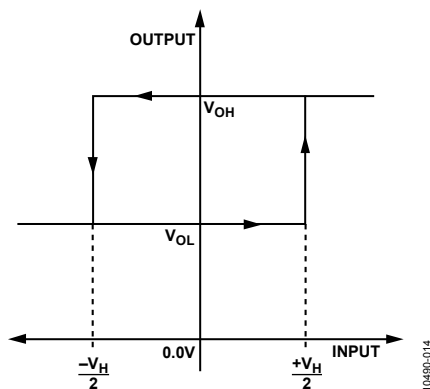


図 14.コンパレータ・ヒステリシスの伝達関数

入力電圧がスレッシュホールド領域の下から正の方向へスレッシュホールド(図 14 では 0.0 V)に近づき、入力が $+V_H/2$ を通過するときコンパレータがロー・レベルからハイ・レベルへ変化し、新しいスイッチング・スレッシュホールドは $-V_H/2$ になります。入力がスレッシュホールド領域の下から負方向へ新しいスレッシュホールド $-V_H/2$ を通過するまで、コンパレータはそのハイ・レベル状態を維持します。この方法では、0.0 V 入力を中心とするノイズまたは帰還出力信号は $\pm V_H/2$ で挟まれた領域を超えない限り、コンパレータの状態を変えることはありません。

ヒステリシスをコンパレータへ導入する通常の技術では、出力から入力へ正の帰還を行います。この方法での 1 つの制約は、出力ロジック・レベルに応じてヒステリシス量が変化して、ヒステリシスがスレッシュホールドを中心として対称にならないことです。外付け帰還回路も大きな寄りを導入して、高速性能を低下させ、発振を生ずることもあります。

このAD8469コンパレータは、精度と安定性を大幅に向上させるプログラマブルなヒステリシス機能を提供します。HYSピンとグラウンドに外付けプルダウン抵抗または電流源を接続すると、予測可能かつ安定した方法でヒステリシス量を変えることができます。HYSピンを解放またはハイ・レベルにすると、ヒステリシスがなくなります。HYSピンを約 160 mVにすると最大ヒステリシスが得られます。図 15 に、外付け抵抗値の関数としてヒステリシス量を示します。

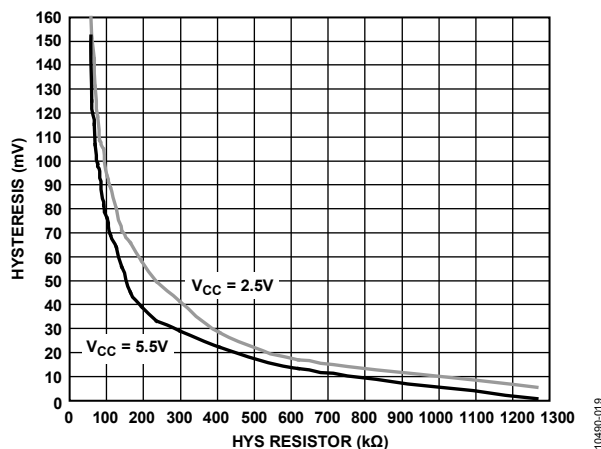


図 15.HYS 抵抗対ヒステリシス

HYSピンには、全ヒステリシス制御範囲で $7\text{ k}\Omega \pm 20\%$ の直列抵抗を介して 1.25 V のバイアス電圧が加わります。この方法でヒステリシスを加える利点は、精度と安定性を向上させ、部品数を削減し、融通性を大きくすることです。HYSピンに外付けのバイパス・コンデンサを使用することは推奨しません。これは、ラッチ機能を損ない、デバイスのジッタ性能を低下させることがあるためです。

HYSピンをロー・レベルにすると、ヒステリシスは大きくなりますが、このデバイスでは、ラッチ機能に対するその効果は信頼性が低く期待通りにはなりません。

クロスオーバー・バイアス・ポイント

オペアンプとコンパレータのレール to レール入力では、デュアル・フロントエンド・デザインを採用しています。 V_{CC} レールの近くでアクティブになるデバイスも、 V_{EE} レール近くでアクティブになるデバイスもあります。同相モード・レンジ内のある既定のポイントでクロスオーバーが発生します。クロスオーバー・ポイントは通常 $V_{CC}/2$ であり、バイアス電流の方向が反転するためオフセット電圧と電流の測定値が変化します。

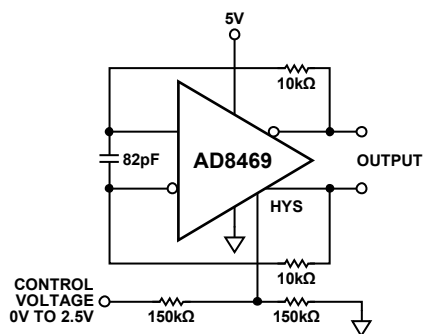
AD8469コンパレータでは、この方式を少し工夫しています。クロスオーバー・ポイントは約 0.8 V と約 1.6 V です。

最小入力スループレート条件

定格の負荷容量と通常の優れたPCBデザインでは、電源/グラウンドのレイアウトとバイパスのセクションで説明したように、AD8469コンパレータは任意の入力スループレートで安定し、ヒステリシスがありません。入力ステージからの広帯域ノイズは、他の多くの高速コンパレータで発生する大きなチャタリングがあるときに観測されます。

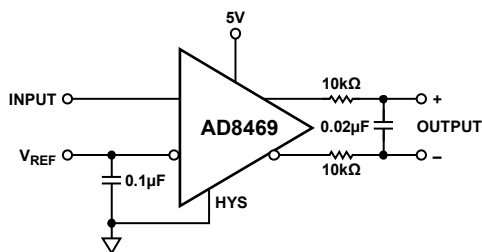
大きな容量負荷が接続されたとき、またはバイパスが不十分なときに、発振が生じます。これらの発振は、コンパレータの広いゲイン帯域幅とパッケージおよびPCボードの帰還寄生との組み合わせに起因します。多くのアプリケーションでは、チャタリングは害になりません。

代表的なアプリケーション回路



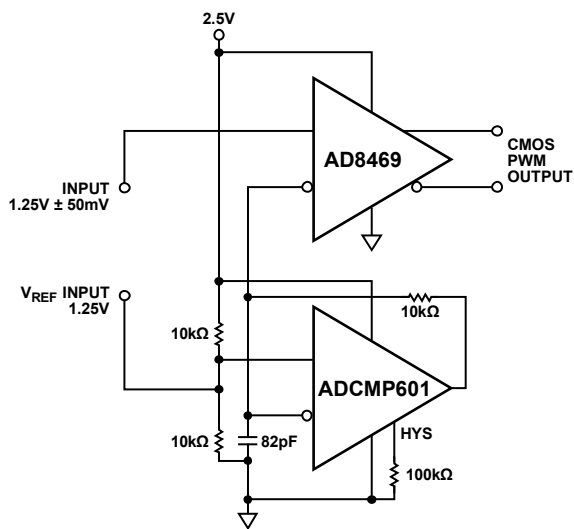
10490-016

図 16. 電圧制御発振器



10490-017

図 17. 差動電圧コンバータに対するデューティ・サイクル



10490-018

図 18. 発振器とパルス幅変調器

外形寸法

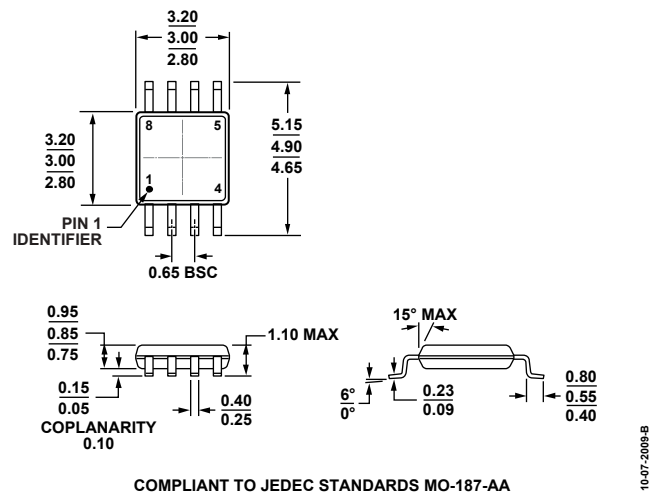


図 19.8 ピン・ミニ・スモール・アウトライン・パッケージ[MSOP]
(RM-8)
寸法: mm

オーダー・ガイド

Model ^{1,2}	Temperature Range	Package Description	Package Option	Branding
AD8469WBRMZ	-40°C to +125°C	8-Lead Mini Small Outline Package [MSOP]	RM-8	Y4F
AD8469WBRMZ-RL	-40°C to +125°C	8-Lead Mini Small Outline Package [MSOP]	RM-8	Y4F

¹ Z = RoHS 準拠製品。

² W = 車載アプリケーション用に認定済み。

車載製品

AD8469Wモデルは、車載アプリケーションの品質と信頼性の要求をサポートするため管理した製造により提供しています。これらの車載モデルの仕様は商用モデルと異なる場合があるため、設計者はこのデータシートの仕様のセクションを慎重にレビューしてください。表示した車載グレード製品のみを、車載アプリケーション用として提供しています。特定製品のオーダー情報とこれらのモデルの特定の車載信頼性レポートについては最寄りのアナログ・デバイス販売代理店へご連絡ください。