

特長

低消費電力

最大電源電流: 2.3 mA

低ノイズ

最大入力電圧ノイズ: 1 kHz で 3.2 nV/√Hz
 電流ノイズ: 1 kHz で 200 fA/√Hz

優れた AC 仕様

帯域幅: 10 MHz (G = 1)
 帯域幅: 2 MHz (G = 100)
 0.001%へのセトリング・タイム: 0.6 μs (G = 10)
 CMRR: 20 kHz で 80 dB (G = 1)
 スルーレート: 35 V/μs

高精度 DC 性能(AD8421BRZ)

CMRR:最小 94 dB (G = 1)
 最大入力オフセット電圧ドリフト: 0.2 μV/°C
 最大ゲイン・ドリフト: 1 ppm/°C (G = 1)
 最大入力バイアス電流: 500 pA

反対側電源から 40 V までの入力保護
 両電源動作: ±2.5 V ~ ±18 V (単電源動作: 5 V ~ 36 V)
 1本の抵抗でゲイン設定(G = 1 ~ 10,000)

アプリケーション

- 医療計測機器
- 高精度データ・アキュイジション
- マイクロフォンのプリアンプ
- 振動解析
- マルチプレクス入力アプリケーション
- ADC ドライバ

概要

AD8421 は、広範囲なシグナル・コンデショニング・アプリケーションとデータ・アキュイジション・アプリケーションに最適な低価格、低消費電力、超低ノイズ、超低バイアス電流、高速の計装アンプです。この製品は、極めて高い CMRR を持つため、広い温度範囲で高周波同相モード・ノイズが存在する中で低いレベルの信号を取り出すことができます。

AD8421 は、10 MHz の帯域幅、35 V/μs のスルーレート、0.6 μs のセトリング・タイム(G = 10、0.001%へのセトリング)を持つため、高速信号を増幅することができ、チャンネル数の多いマルチプレクス・システムを必要とするアプリケーションに優れています。高いゲインであっても、電流帰還アーキテクチャにより高性能を維持します。例えば、G = 100 で、帯域幅は 2 MHz、セトリング・タイムは 0.8 μs です。AD8421 は優れた歪み性能を持つため、振動解析のような厳しいアプリケーションに適しています。

AD8421 は、3 nV/√Hz の入力電圧ノイズを持ち、わずか 2 mA の静止電流で 200 fA/√Hz の電流ノイズであるため、低レベル信号の測定に最適です。高いソース・インピーダンスを持つアプリケーションに対しては、AD8421 は技術革新的な製造プロセス技術とデザイン技術を採用して、センサーのみによって制限されるノイズ性能を提供します。

AD8421 は独自の保護方法を採用して、強固な入力を実現すると同時に非常に低いノイズを維持します。この保護機能により、デバイスに損傷を与えることなく反対側電源レールから 40 V までの入力電圧を可能にしています。

1本の抵抗により 1~10,000 のゲインを設定します。リファレンス・ピンを使って、出力電圧へ高精度のオフセットを与えることができます。

AD8421 の仕様は-40°C ~ +85°C で規定され、125°C の代表値性能カーブを持っています。この製品は 8 ピンの MSOP パッケージまたは SOIC パッケージを採用しています。

ピン接続

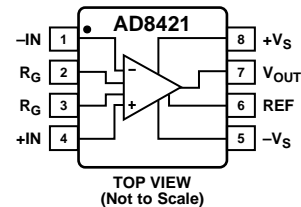


図 1.

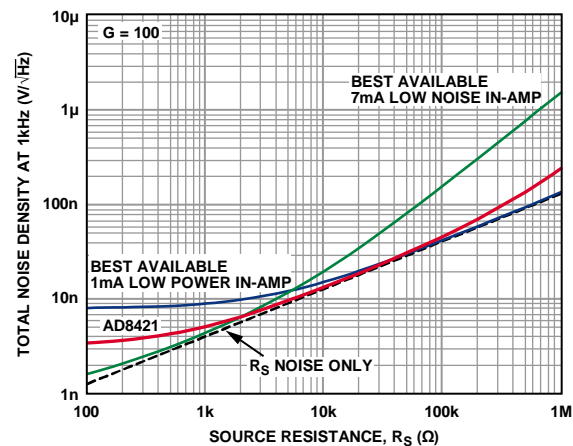


図 2. ソース抵抗対ノイズ密度

目次

特長	1	ゲインの選択	20
アプリケーション	1	リファレンス・ピン	21
ピン接続	1	入力電圧範囲	21
概要	1	レイアウト	21
改訂履歴	2	入力バイアス電流のリターン・パス	22
仕様	3	電源レールを超える入力電圧	22
AR グレードおよび BR グレード	3	無線周波数干渉(RFI)	23
ARM グレードおよび BRM グレード	5	入力ステージ・ノイズの計算	23
絶対最大定格	8	アプリケーション情報	25
熱抵抗	8	差動出力構成	25
ESD の注意	8	ADC の駆動	26
ピン配置およびピン機能説明	9	外形寸法	27
代表的な性能特性	10	オーダー・ガイド	27
動作原理	20		
アーキテクチャ	20		

改訂履歴

5/12—Revision 0: Initial Version

仕様

特に指定がない限り、 $V_S = \pm 15\text{ V}$ 、 $V_{REF} = 0\text{ V}$ 、 $T_A = 25^\circ\text{C}$ 、 $G = 1$ 、 $R_L = 2\text{ k}\Omega$ 。

AR グレードおよび BR グレード

表 1.

Parameter	Test Conditions/ Comments	AR Grade			BR Grade			Unit
		Min	Typ	Max	Min	Typ	Max	
COMMON-MODE REJECTION RATIO (CMRR)								
CMRR DC to 60 Hz with 1 k Ω Source Imbalance	$V_{CM} = -10\text{ V to }+10\text{ V}$							
G = 1		86			94			dB
G = 10		106			114			dB
G = 100		126			134			dB
G = 1000		136			140			dB
Over Temperature, G = 1	$T = -40^\circ\text{C to }+85^\circ\text{C}$	80			93			dB
CMRR at 20 kHz								
G = 1	$V_{CM} = -10\text{ V to }+10\text{ V}$	80			80			dB
G = 10		90			100			dB
G = 100		100			110			dB
G = 1000		110			120			dB
NOISE								
Voltage Noise, 1 kHz ¹	$V_{IN+}, V_{IN-} = 0\text{ V}$							
Input Voltage Noise, e_{ni}			3	3.2		3	3.2	nV/ $\sqrt{\text{Hz}}$
Output Voltage Noise, e_{no}				60			60	nV/ $\sqrt{\text{Hz}}$
Peak to Peak, RTI	$f = 0.1\text{ Hz to }10\text{ Hz}$							
G = 1			2			2	2.2	$\mu\text{V p-p}$
G = 10			0.5			0.5		$\mu\text{V p-p}$
G = 100 to 1000			0.07			0.07	0.09	$\mu\text{V p-p}$
Current Noise								
Spectral Density	$f = 1\text{ kHz}$		200			200		fA/ $\sqrt{\text{Hz}}$
Peak to Peak, RTI	$f = 0.1\text{ Hz to }10\text{ Hz}$		18			18		pA p-p
VOLTAGE OFFSET²								
Input Offset Voltage, V_{OSI}	$V_S = \pm 5\text{ V to } \pm 15\text{ V}$			60			25	μV
Over Temperature	$T_A = -40^\circ\text{C to }+85^\circ\text{C}$			86			45	μV
Average TC				0.4			0.2	$\mu\text{V}/^\circ\text{C}$
Output Offset Voltage, V_{OSO}				350			250	μV
Over Temperature	$T_A = -40^\circ\text{C to }+85^\circ\text{C}$			0.66			0.45	mV
Average TC				6			5	$\mu\text{V}/^\circ\text{C}$
Offset RTI vs. Supply (PSR)	$V_S = \pm 2.5\text{ V to } \pm 18\text{ V}$							
G = 1		90	120		100	120		dB
G = 10		110	120		120	140		dB
G = 100		124	130		140	150		dB
G = 1000		130	140		140	150		dB
INPUT CURRENT								
Input Bias Current			1	2		0.1	0.5	nA
Over Temperature	$T_A = -40^\circ\text{C to }+85^\circ\text{C}$			8			6	nA
Average TC			50			50		pA/ $^\circ\text{C}$
Input Offset Current			0.5	2		0.1	0.5	nA
Over Temperature	$T_A = -40^\circ\text{C to }+85^\circ\text{C}$			2.2			0.8	nA
Average TC			1			1		pA/ $^\circ\text{C}$

Parameter	Test Conditions/ Comments	AR Grade			BR Grade			Unit	
		Min	Typ	Max	Min	Typ	Max		
DYNAMIC RESPONSE									
Small Signal Bandwidth	-3 dB								
G = 1			10		10		MHz		
G = 10			10		10		MHz		
G = 100			2		2		MHz		
G = 1000		0.2		0.2		MHz			
Settling Time to 0.01%	10 V step								
G = 1			0.7		0.7		μs		
G = 10			0.4		0.4		μs		
G = 100			0.6		0.6		μs		
G = 1000		5		5		μs			
Settling Time to 0.001%	10 V step								
G = 1			1		1		μs		
G = 10			0.6		0.6		μs		
G = 100			0.8		0.8		μs		
G = 1000		6		6		μs			
Slew Rate									
G = 1 to 100			35		35		V/μs		
GAIN³									
Gain Range	$G = 1 + (9.9 \text{ k}\Omega/R_G)$	1		10,000	1		10,000	V/V	
Gain Error	$V_{OUT} = \pm 10 \text{ V}$								
G = 1				0.02		0.01		%	
G = 10 to 1000				0.2		0.1		%	
Gain Nonlinearity	$V_{OUT} = -10 \text{ V to } +10 \text{ V}$ $R_L \geq 2 \text{ k}\Omega$								
G = 1				1		1		ppm	
G = 10 to 1000		$R_L = 600 \Omega$		1	3		1	3	ppm
G = 10 to 1000		$R_L \geq 600 \Omega$		30	50		30	50	ppm
G = 10 to 1000	$V_{OUT} = -5 \text{ V to } +5 \text{ V}$		5	10		5	10	ppm	
Gain vs. Temperature ³									
G = 1				5		0.1	1	ppm/°C	
G > 1				-50		-50		ppm/°C	
INPUT									
Input Impedance									
Differential			30 3		30 3			GΩ pF	
Common Mode			30 3		30 3			GΩ pF	
Input Operating Voltage Range ⁴	$V_S = \pm 2.5 \text{ V to } \pm 18 \text{ V}$ $T_A = -40^\circ\text{C}$ $T_A = +85^\circ\text{C}$	$-V_S + 2.3$		$+V_S - 1.8$	$-V_S + 2.3$		$+V_S - 1.8$	V	
Over Temperature		$-V_S + 2.5$		$+V_S - 2.0$	$-V_S + 2.5$		$+V_S - 2.0$	V	
Over Temperature		$-V_S + 2.1$		$+V_S - 1.8$	$-V_S + 2.1$		$+V_S - 1.8$	V	
OUTPUT									
Output Swing	$R_L = 2 \text{ k}\Omega$ $V_S = \pm 2.5 \text{ V to } \pm 18 \text{ V}$ $T_A = -40^\circ\text{C to } +85^\circ\text{C}$	$-V_S + 1.2$		$+V_S - 1.6$	$-V_S + 1.2$		$+V_S - 1.6$	V	
Over Temperature		$-V_S + 1.2$		$+V_S - 1.6$	$-V_S + 1.2$		$+V_S - 1.6$	V	
Short-Circuit Current			65		65			mA	
REFERENCE INPUT									
R_{IN}	$V_{IN+}, V_{IN-} = 0 \text{ V}$		20			20		kΩ	
I_{IN}			20	24		20	24	μA	
Voltage Range		$-V_S$		$+V_S$	$-V_S$		$+V_S$	V	
Reference Gain to Output			$1 \pm$			$1 \pm$		V/V	
			0.0001			0.0001			

Parameter	Test Conditions/ Comments	AR Grade			BR Grade			Unit
		Min	Typ	Max	Min	Typ	Max	
POWER SUPPLY								
Operating Range	Dual supply	±2.5		±18	±2.5		±18	V
	Single supply	5		36	5		36	V
Quiescent Current			2	2.3		2	2.3	mA
Over Temperature	T _A = -40°C to +85°C			2.6			2.6	mA
TEMPERATURE RANGE								
For Specified Performance		-40		+85	-40		+85	°C
Operational ⁵		-40		+125	-40		+125	°C

¹ 総合電圧ノイズ = $\sqrt{(e_{ni}^2 + (e_{no}/G)^2 + e_{RG}^2)}$ 。詳細については、動作原理のセクションを参照してください。

² 総合 RTI $V_{OS} = (V_{OSI}) + (V_{OSO}/G)$ 。

³ これらの規定値には、外付けゲイン設定抵抗 R_Gの許容誤差は含まれません。G > 1 の場合は、R_G 誤差をこの表の規定値に加算してください。

⁴ AD8421 入力ステージの入力電圧範囲。入力範囲は、同相モード電圧、差動電圧、ゲイン、リファレンス電圧に依存することがあります。

詳細については、入力電圧範囲のセクションを参照してください。

⁵ 85°C ~ 125°C での動作予測については、代表的な性能特性のセクションを参照してください。

ARM グレードおよび BRM グレード

表 2.

Parameter	Test Conditions/ Comments	ARM Grade			BRM Grade			Unit						
		Min	Typ	Max	Min	Typ	Max							
COMMON-MODE REJECTION RATIO (CMRR)														
CMRR DC to 60 Hz with 1 kΩ Source Imbalance	V _{CM} = -10 V to +10 V	G = 1	84			92		dB						
		G = 10	104			112		dB						
		G = 100	124			132		dB						
		G = 1000	134			140		dB						
		Over Temperature, G = 1	T _A = -40°C to +85°C	80			90		dB					
CMRR at 20 kHz														
G = 1	V _{CM} = -10 V to +10 V		80			80		dB						
			90			90		dB						
			100			100		dB						
			100			100		dB						
NOISE														
Voltage Noise, 1 kHz ¹	V _{IN+} , V _{IN-} = 0 V													
Input Voltage Noise, e _{ni}			3	3.2		3	3.2	nV/√Hz						
Output Voltage Noise, e _{no}				60			60	nV/√Hz						
Peak to Peak, RTI														
G = 1	f = 0.1 Hz to 10 Hz													
										2		2	2.2	μV p-p
										0.5		0.5		μV p-p
G = 100 to 1000			0.07		0.07	0.09		μV p-p						
Current Noise														
Spectral Density	f = 1 kHz		200		200			fA/√Hz						
Peak to Peak, RTI	f = 0.1 Hz to 10 Hz		18		18			pA p-p						
VOLTAGE OFFSET ²														
Input Offset Voltage, V _{OSI}	V _S = ±5 V to ±15 V													
Over Temperature	T _A = -40°C to +85°C			70		50		μV						
Average TC				135		135		μV/°C						
Output Offset Voltage, V _{OSO}	T _A = -40°C to +85°C													
Over Temperature				600		400		μV						
Average TC				1		1		mV						
				9		9		μV/°C						

Parameter	Test Conditions/ Comments	ARM Grade			BRM Grade			Unit	
		Min	Typ	Max	Min	Typ	Max		
Offset RTI vs. Supply (PSR)	$V_S = \pm 2.5 \text{ V to } \pm 18 \text{ V}$								
G = 1		90	120		100	120		dB	
G = 10		110	120		120	140		dB	
G = 100		124	130		140	150		dB	
G = 1000		130	140		140	150		dB	
INPUT CURRENT									
Input Bias Current	$T_A = -40^\circ\text{C to } +85^\circ\text{C}$		1	2		0.1	1	nA	
Over Temperature				8			6	nA	
Average TC				50			50	pA/°C	
Input Offset Current	$T_A = -40^\circ\text{C to } +85^\circ\text{C}$		0.5	2		0.1	1	nA	
Over Temperature				3			1.5	nA	
Average TC				1			1	pA/°C	
DYNAMIC RESPONSE									
Small Signal Bandwidth	-3 dB								
G = 1			10			10		MHz	
G = 10			10			10		MHz	
G = 100			2			2		MHz	
G = 1000			0.2			0.2		MHz	
Settling Time 0.01%	10 V step								
G = 1			0.7			0.7		μs	
G = 10			0.4			0.4		μs	
G = 100			0.6			0.6		μs	
G = 1000			5			5		μs	
Settling Time 0.001%	10 V step								
G = 1			1			1		μs	
G = 10			0.6			0.6		μs	
G = 100			0.8			0.8		μs	
G = 1000			6			6		μs	
Slew Rate									
G = 1 to 100			35			35		V/μs	
GAIN³									
Gain Range	$G = 1 + (9.9 \text{ k}\Omega/R_G)$	1		10,000	1		10,000	V/V	
Gain Error	$V_{OUT} = \pm 10 \text{ V}$			0.05			0.02	%	
G = 10 to 1000					0.3			0.2	%
Gain Nonlinearity	$V_{OUT} = -10 \text{ V to } +10 \text{ V}$								
G = 1		$R_L \geq 2 \text{ k}\Omega$			1			1	ppm
		$R_L = 600 \Omega$		1	3		1	3	ppm
G = 10 to 1000		$R_L \geq 600 \Omega$	30	50		30	50		ppm
		$V_{OUT} = -5 \text{ V to } +5 \text{ V}$	5	10		5	10		ppm
Gain vs. Temperature ³				5		0.1	1	ppm/°C	
G > 1				-50			-50	ppm/°C	
INPUT									
Input Impedance									
Differential			30 3			30 3		GΩ pF	
Common Mode			30 3			30 3		GΩ pF	
Input Operating Voltage Range ⁴	$V_S = \pm 2.5 \text{ V to } \pm 18 \text{ V}$	$-V_S + 2.3$		$+V_S - 1.8$	$-V_S + 2.3$		$+V_S - 1.8$	V	
Over Temperature	$T_A = -40^\circ\text{C}$	$-V_S + 2.5$		$+V_S - 2.0$	$-V_S + 2.5$		$+V_S - 2.0$	V	
	$T_A = +85^\circ\text{C}$	$-V_S + 2.1$		$+V_S - 1.8$	$-V_S + 2.1$		$+V_S - 1.8$	V	

Parameter	Test Conditions/ Comments	ARM Grade			BRM Grade			Unit
		Min	Typ	Max	Min	Typ	Max	
OUTPUT								
Output Swing	$R_L = 2\text{ k}\Omega$ $V_S = \pm 2.5\text{ V to } \pm 18\text{ V}$	$-V_S + 1.2$		$+V_S - 1.6$	$-V_S + 1.2$		$+V_S - 1.6$	V
Over Temperature	$T_A = -40^\circ\text{C to } +85^\circ\text{C}$	$-V_S + 1.2$		$+V_S - 1.6$	$-V_S + 1.2$		$+V_S - 1.6$	V
Short-Circuit Current			65			65		mA
REFERENCE INPUT								
R_{IN}			20			20		k Ω
I_{IN}	$V_{IN+}, V_{IN-} = 0\text{ V}$		20	24		20	24	μA
Voltage Range		$-V_S$		$+V_S$	$-V_S$		$+V_S$	V
Reference Gain to Output			1 ± 0.0001			1 ± 0.0001		V/V
POWER SUPPLY								
Operating Range	Dual supply	± 2.5		± 18	± 2.5		± 18	V
	Single supply	5		36	5		36	V
Quiescent Current			2	2.3		2	2.3	mA
Over Temperature	$T_A = -40^\circ\text{C to } +85^\circ\text{C}$			2.6			2.6	mA
TEMPERATURE RANGE								
For Specified Performance		-40		+85	-40		+85	$^\circ\text{C}$
Operational ⁵		-40		+125	-40		+125	$^\circ\text{C}$

¹ 総合電圧ノイズ = $\sqrt{(e_{ni}^2 + (e_{no}/G)^2 + e_{RG}^2)}$ 。詳細については、動作原理のセクションを参照してください。

² 総合 RTI $V_{OS} = (V_{OS1}) + (V_{OS0}/G)$ 。

³ これらの規定値には、外付けゲイン設定抵抗 R_G の許容誤差は含まれません。 $G > 1$ の場合は、 R_G 誤差をこの表の規定値に加算してください。

⁴ AD8421 入力ステージの入力電圧範囲。入力範囲は、同相モード電圧、差動電圧、ゲイン、リファレンス電圧に依存することがあります。

詳細については、入力電圧範囲のセクションを参照してください。

⁵ $85^\circ\text{C} \sim 125^\circ\text{C}$ での動作予測については、代表的な性能特性のセクションを参照してください。

絶対最大定格

表 3.

Parameter	Rating
Supply Voltage	±18 V
Output Short-Circuit Current Duration	Indefinite
Maximum Voltage at -IN or +IN ¹	-V _S + 40 V
Minimum Voltage at -IN or +IN	+V _S - 40 V
Maximum Voltage at REF ²	+V _S + 0.3 V
Minimum Voltage at REF	-V _S - 0.3 V
Storage Temperature Range	-65°C to +150°C
Operating Temperature Range	-40°C to +125°C
Maximum Junction Temperature	150°C
ESD	
Human Body Model	2 kV
Charged Device Model	1.25 kV
Machine Model	0.2 kV

¹ これらの規定値を超える電圧に対しては、入力保護抵抗を使用してください。詳細については、動作原理のセクションを参照してください。

² リファレンス入力と各電源との間に ESD 保護ダイオードが付いているため、+IN と -IN の場合と同様に REF を電源電圧を超えて駆動することはできません。詳細については、REF ピンのセクションを参照してください。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

熱抵抗

θ_{JA} は、自然空冷で 4 層 JEDEC プリント回路ボード(PCB)に実装したデバイスに対して規定します。

表 4.

Package	θ_{JA}	Unit
8-Lead SOIC	107.8	°C/W
8-Lead MSOP	138.6	°C/W

ESD の注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明

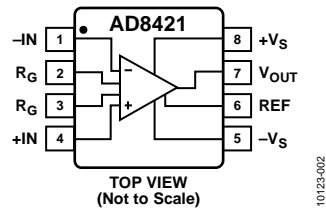


図 3. ピン配置

表 5. ピン機能の説明

ピン番号	記号	説明
1	-IN	負の入力端子。
2、3	R _G	ゲイン設定端子。R _G ピンの両端に抵抗を接続してゲインを設定します。 $G = 1 + (9.9 \text{ k}\Omega / R_G)$ 。
4	+IN	正の入力端子。
5	-V _S	負の電源端子。
6	REF	リファレンス電圧端子。この端子を低インピーダンス電圧源で駆動して出力をレベル・シフトします。
7	V _{OUT}	出力端子。
8	+V _S	正の電源端子。

代表的な性能特性

特に指定がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_S = \pm 15\text{ V}$ 、 $V_{REF} = 0\text{ V}$ 、 $R_L = 2\text{ k}\Omega$ 。

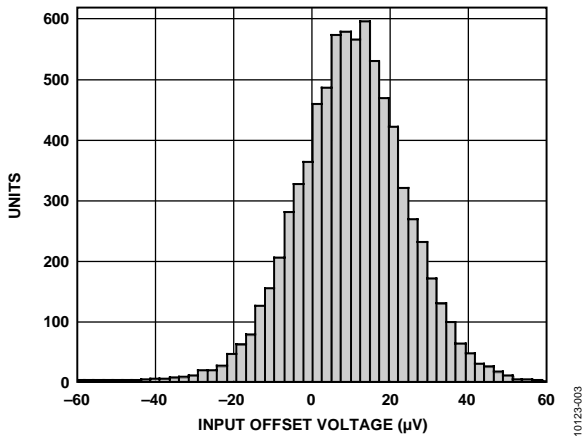


図 4.入力オフセット電圧の分布

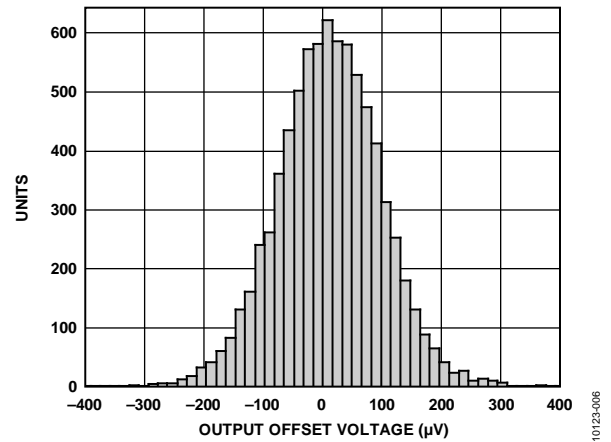


図 7.出力オフセット電圧の分布

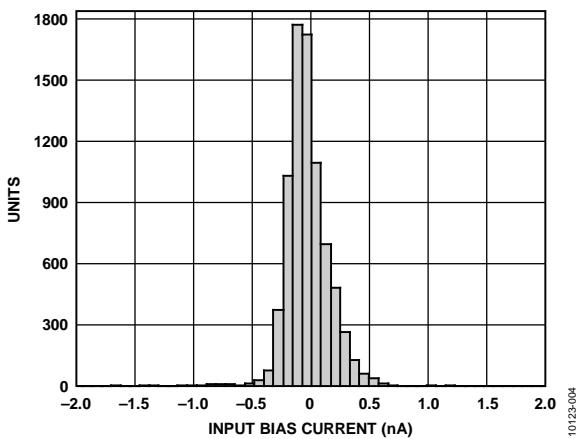


図 5.入力バイアス電流の分布

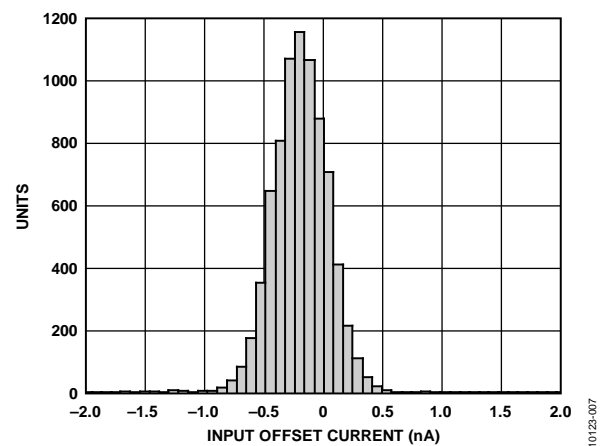


図 8.入力オフセット電流の分布

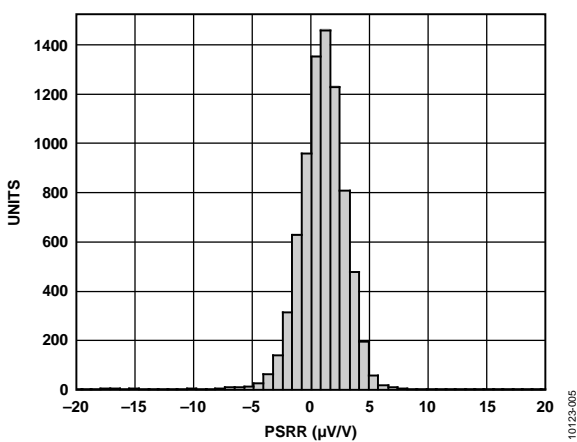


図 6.PSRR の分布($G = 1$)

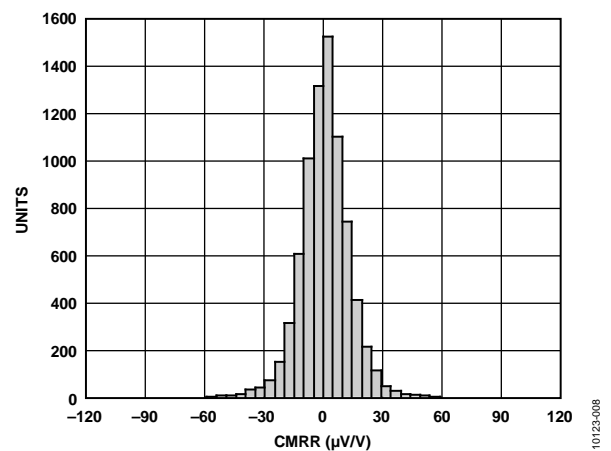


図 9.CMRR の分布、 $G = 1$

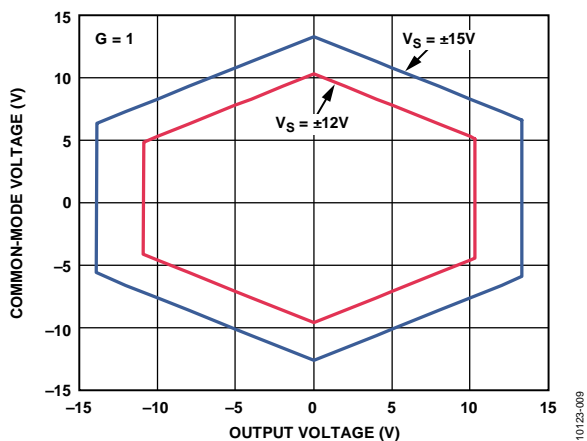


図 10. 出力電圧対入力同相モード電圧
 $V_S = \pm 12\text{ V}$ および $\pm 15\text{ V}$ ($G = 1$)

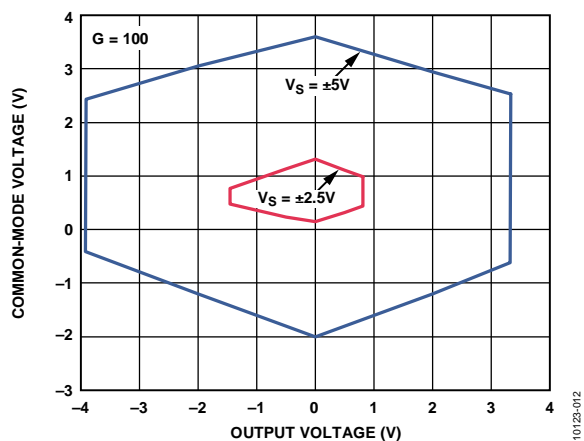


図 13. 出力電圧対入力同相モード電圧
 $V_S = \pm 2.5\text{ V}$ および $\pm 5\text{ V}$ ($G = 100$)

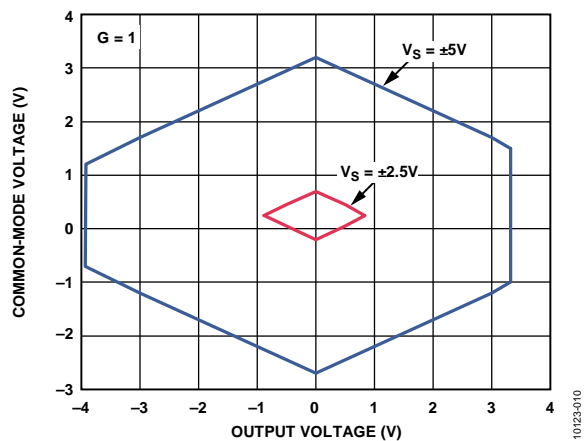


図 11. 出力電圧対入力同相モード電圧
 $V_S = \pm 2.5\text{ V}$ および $\pm 5\text{ V}$ ($G = 1$)

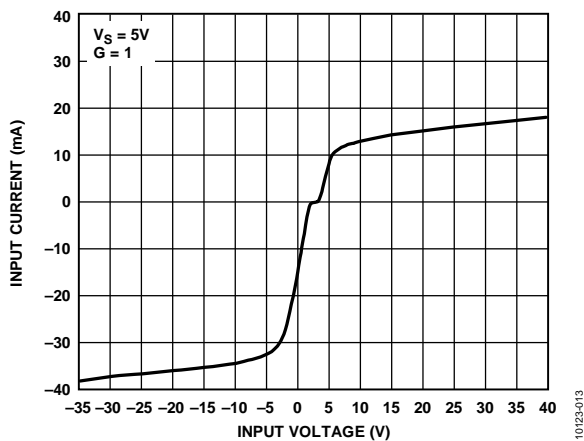


図 14. 入力過電圧性能; $G = 1$, $+V_S = 5\text{ V}$, $-V_S = 0\text{ V}$

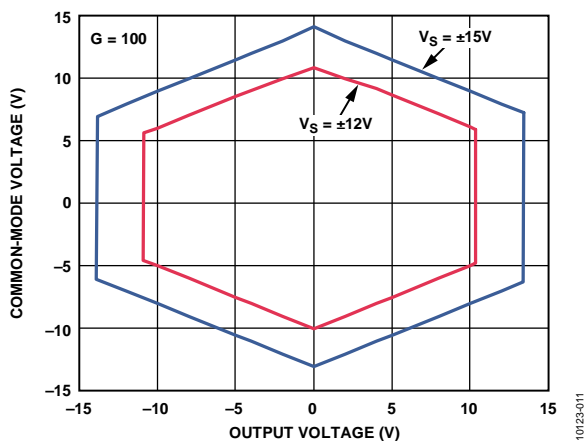


図 12. 出力電圧対入力同相モード電圧
 $V_S = \pm 12\text{ V}$ および $\pm 15\text{ V}$ ($G = 100$)

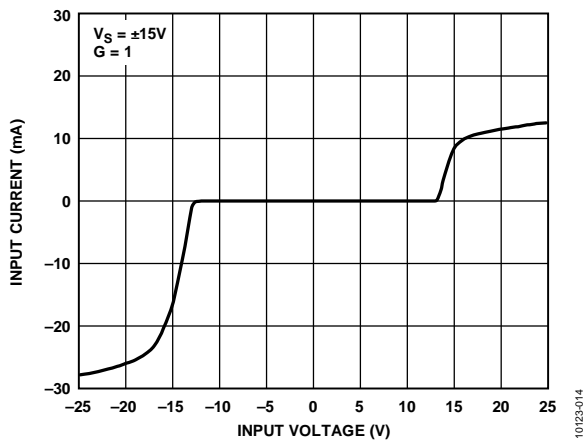


図 15. 入力過電圧性能; $G = 1$, $V_S = \pm 15\text{ V}$

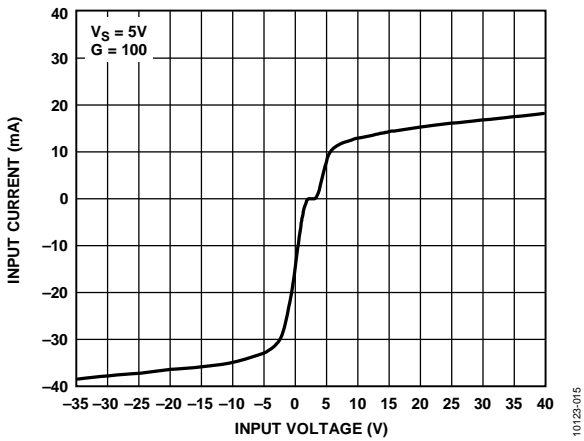


図 16.入力過電圧性能; $+V_S = 5\text{ V}$ 、 $-V_S = 0\text{ V}$ 、 $G = 100$

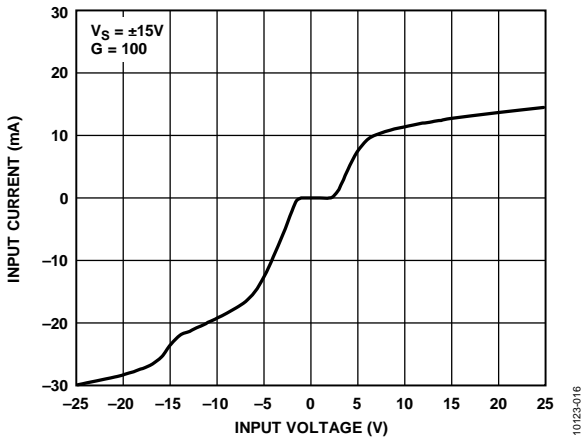


図 17.入力過電圧性能; $V_S = \pm 15\text{ V}$ 、 $G = 100$

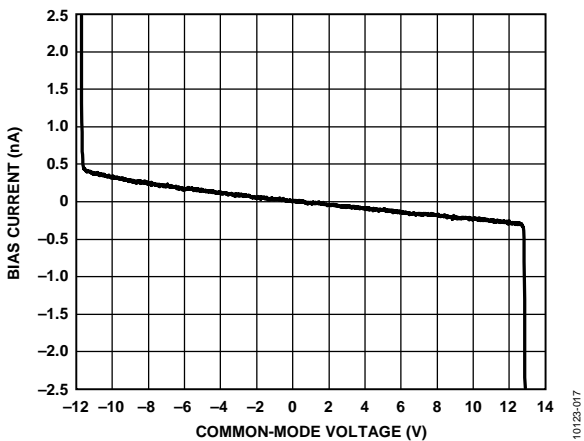


図 18.同相モード電圧対入力バイアス電流

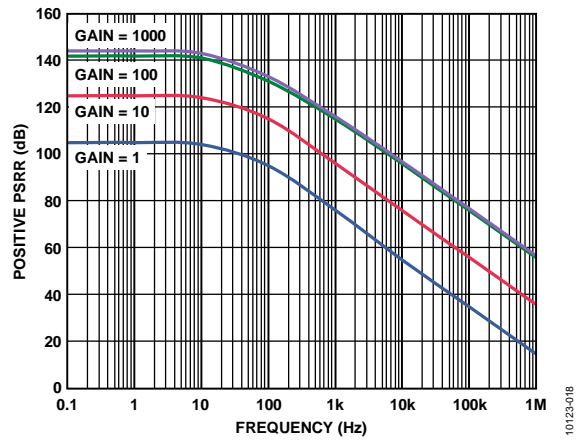


図 19.正 PSRR の周波数特性

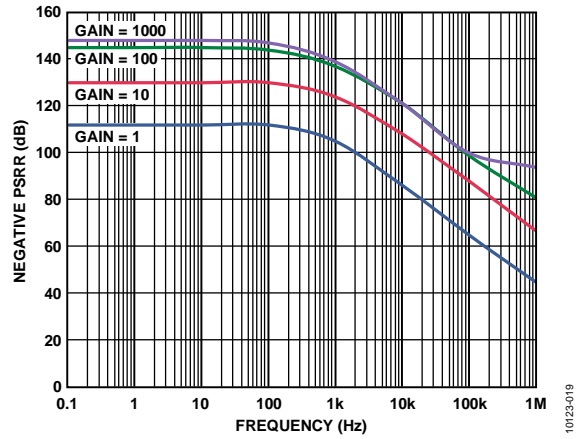


図 20.負 PSRR の周波数特性

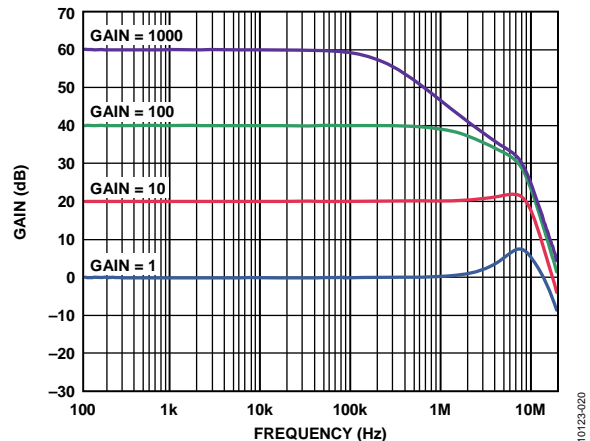


図 21.ゲインの周波数特性

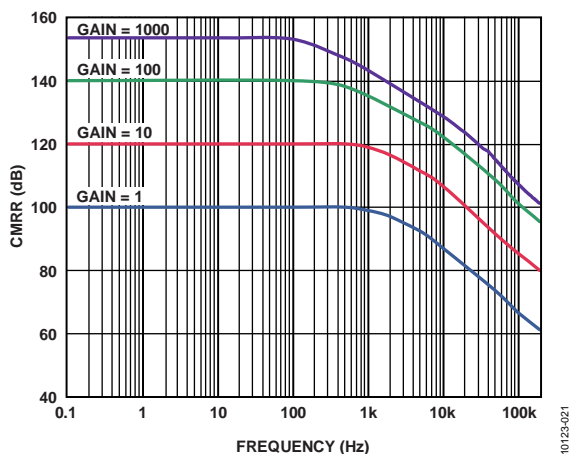


図 22. CMRR の周波数特性

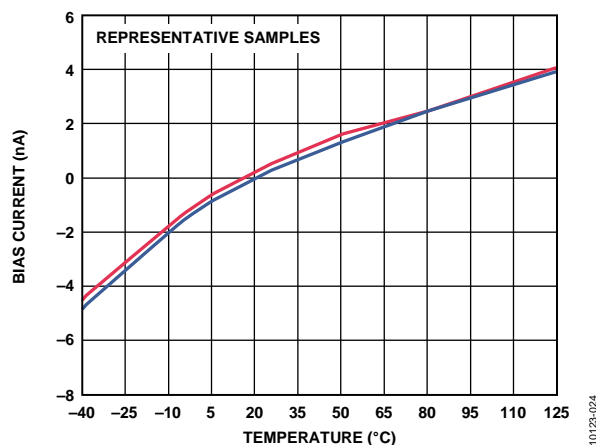


図 25. 入力バイアス電流の温度特性

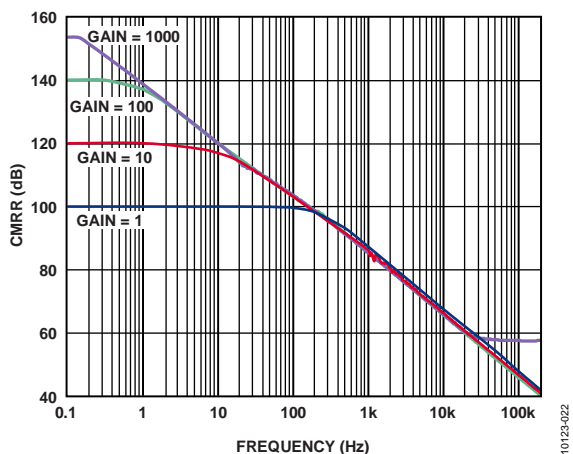


図 23. CMRR の周波数特性、1 kΩ ソース不平衡

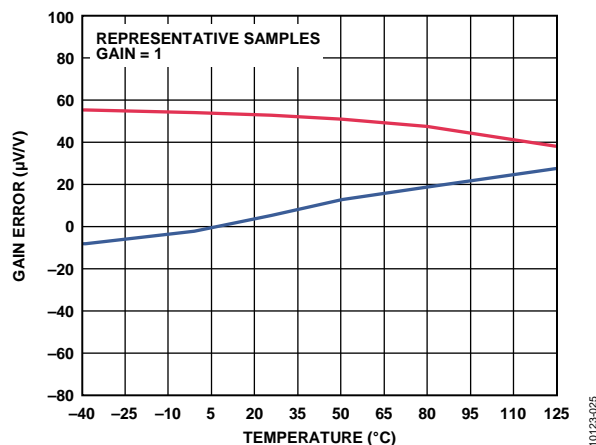


図 26. ゲインの温度特性 (G = 1)

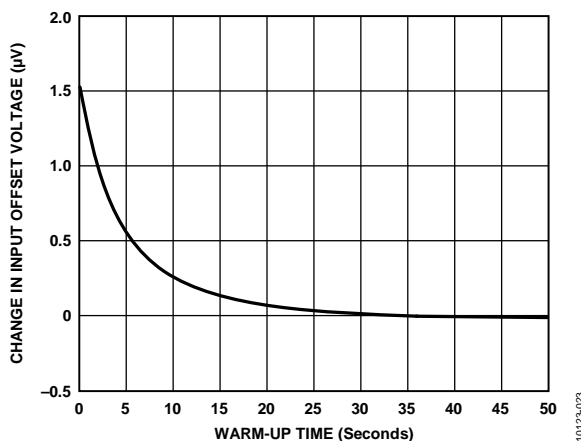


図 24. ウォームアップ時間対入力オフセット電圧 (V_{OS}) 変化

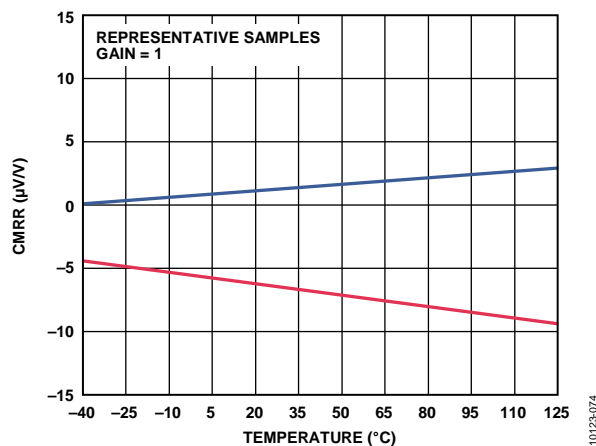


図 27. CMRR の温度特性 (G = 1)

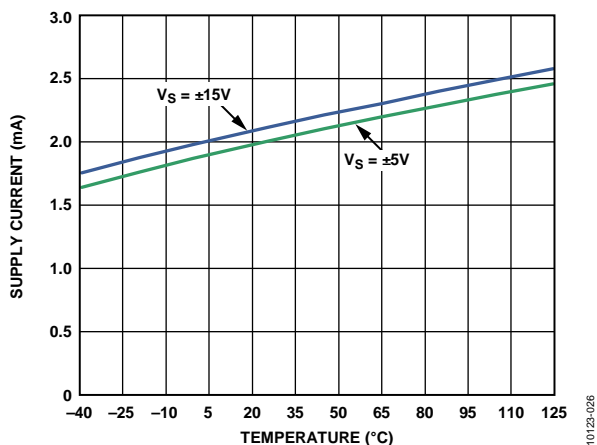


図 28.電源電流の温度特性、G = 1

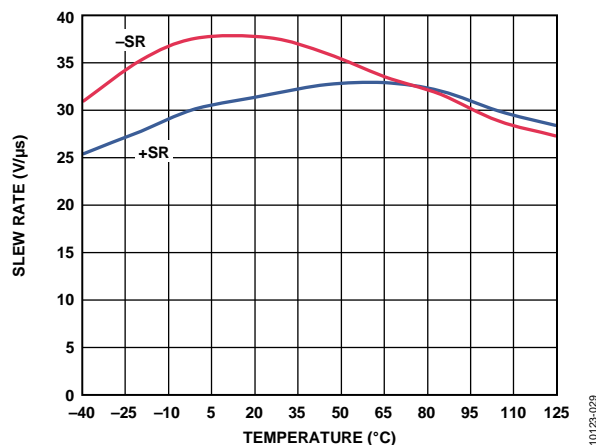


図 31.スルーレートの温度特性、 $V_S = \pm 5\text{ V}$ 、G = 1

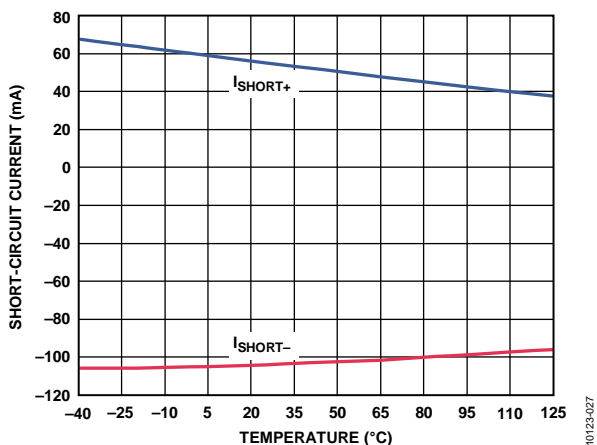


図 29.短絡電流の温度特性、G = 1

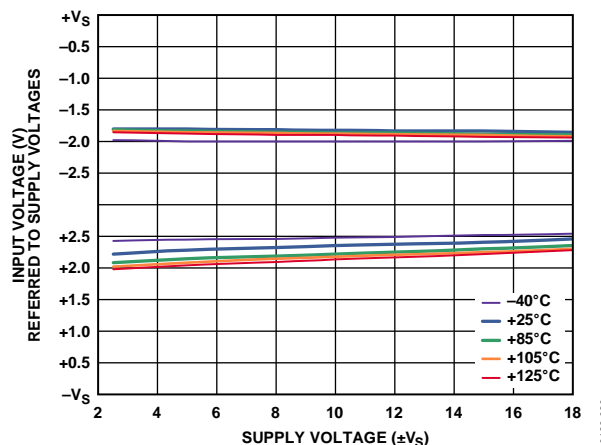


図 32.電源電圧対入力電圧制限値

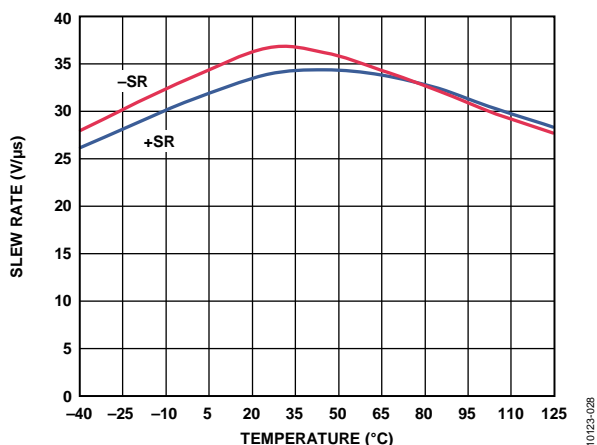


図 30.スルーレートの温度特性、 $V_S = \pm 15\text{ V}$ 、G = 1

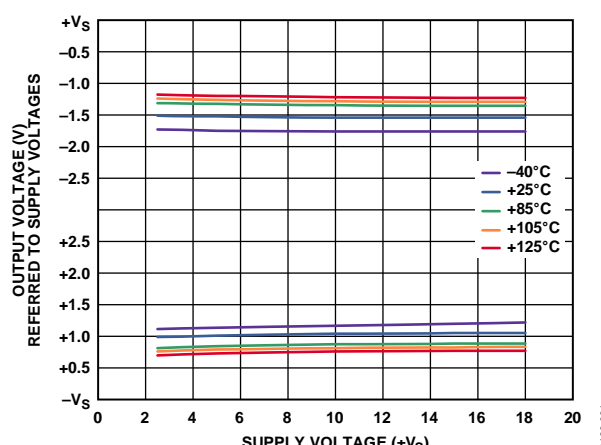


図 33.電源電圧対出力電圧振幅、 $R_L = 10\text{ k}\Omega$

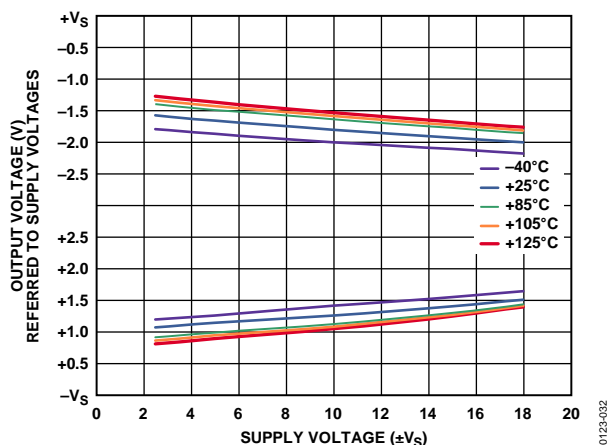


図 34.電源電圧対出力電圧振幅、 $R_L = 600 \Omega$

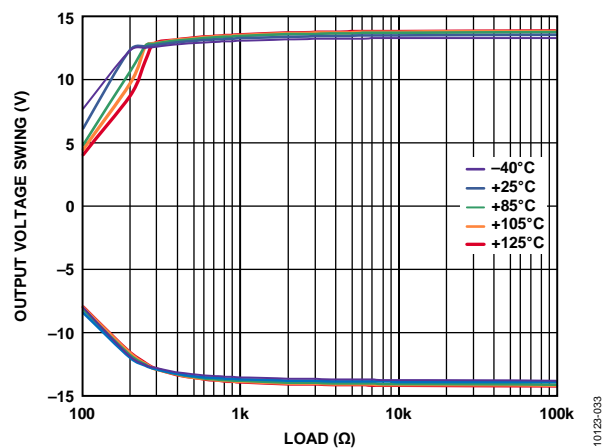


図 35.負荷抵抗対出力電圧振幅

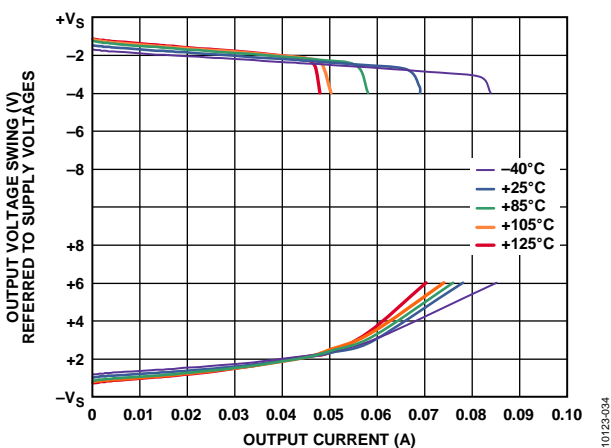


図 36.出力電流対出力電圧振幅

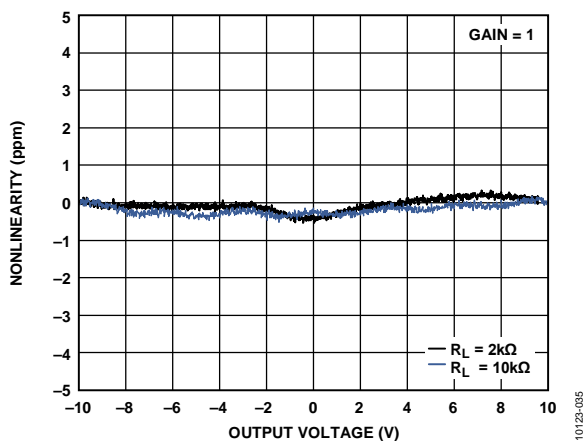


図 37.ゲイン非直線性、 $G = 1$ 、 $R_L = 10 \text{ k}\Omega$ 、 $2 \text{ k}\Omega$

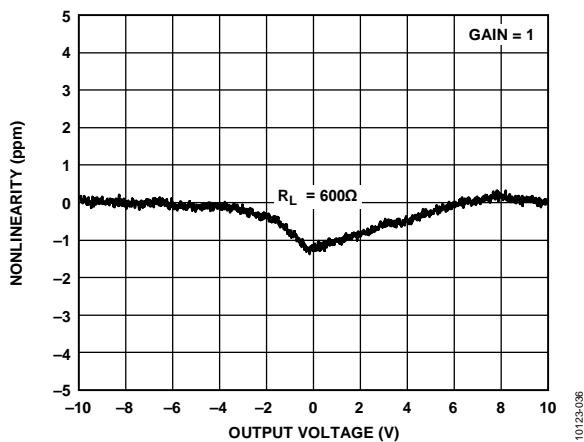


図 38.ゲイン非直線性、 $G = 1$ 、 $R_L = 600 \Omega$

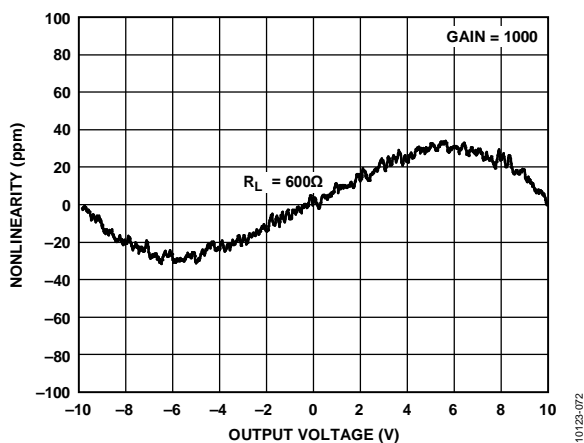


図 39.ゲイン非直線性、 $G = 1000$ 、 $R_L = 600 \Omega$ 、 $V_{OUT} = \pm 10 \text{ V}$

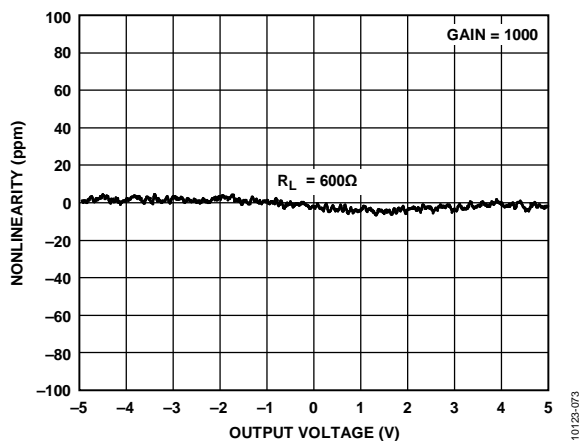


図 40. ゲイン非直線性、 $G = 1000$ 、 $R_L = 600 \Omega$ 、 $V_{OUT} = \pm 5 V$

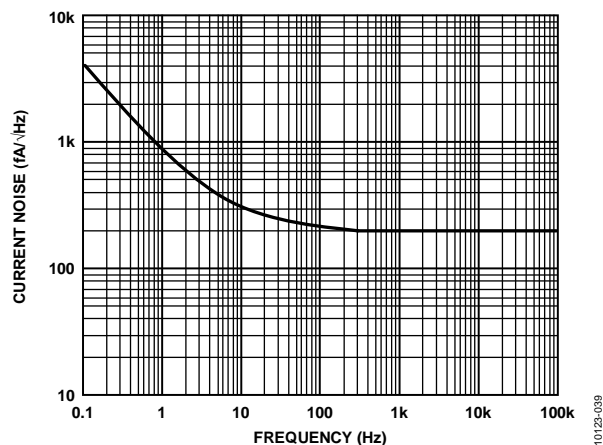


図 43. 電流ノイズ・スペクトル密度の周波数特性

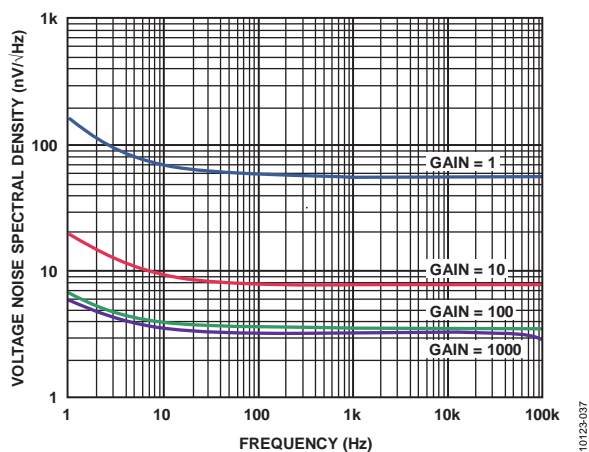


図 41. RTI 電圧ノイズ・スペクトル密度の周波数特性

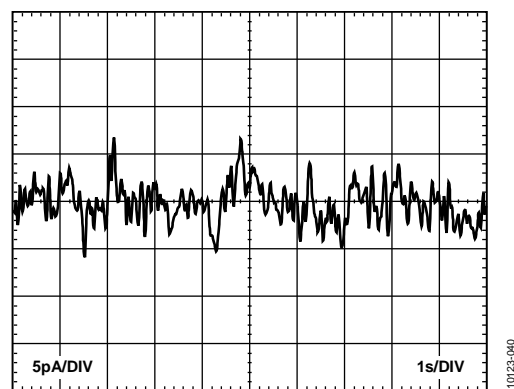


図 44. 0.1 Hz～10 Hz での電流ノイズ

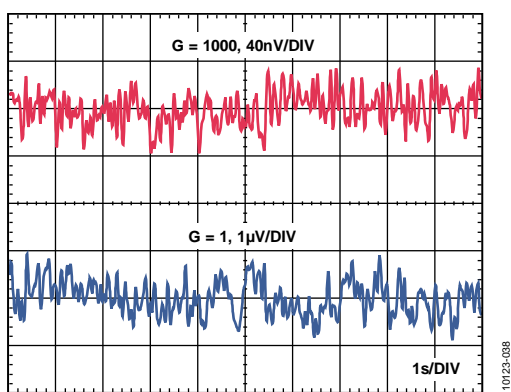


図 42. 0.1 Hz～10 Hz での RTI 電圧ノイズ、 $G = 1$ 、 $G = 1000$

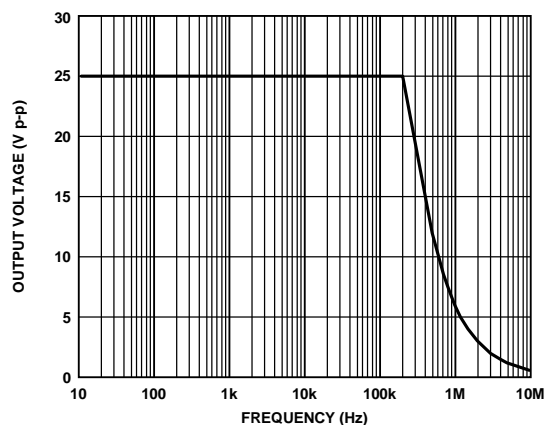


図 45. 大信号周波数応答

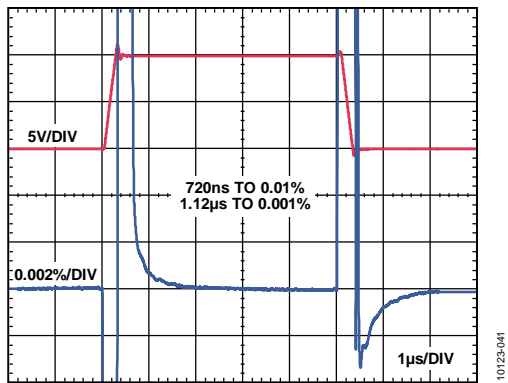


図 46.大信号パルス応答とセトリング・タイム($G = 1$)、 10 V ステップ、 $V_S = \pm 15\text{ V}$ 、 $R_L = 2\text{ k}\Omega$ 、 $C_L = 100\text{ pF}$

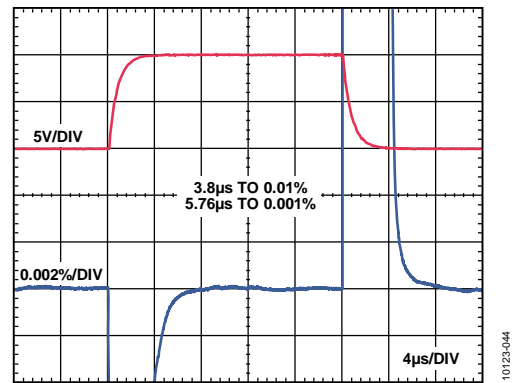


図 49.大信号パルス応答とセトリング・タイム、 $G = 1000$ 、 10 V ステップ、 $V_S = \pm 15\text{ V}$ 、 $R_L = 2\text{ k}\Omega$ 、 $C_L = 100\text{ pF}$

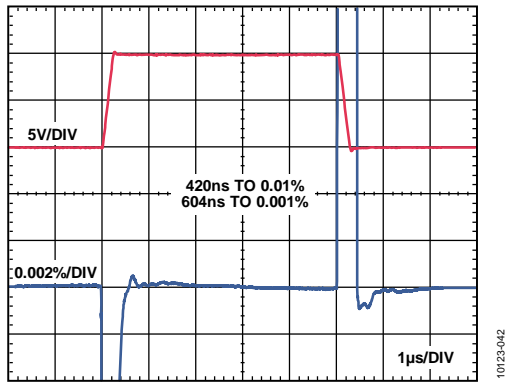


図 47.大信号パルス応答とセトリング・タイム($G = 10$)、 10 V ステップ、 $V_S = \pm 15\text{ V}$ 、 $R_L = 2\text{ k}\Omega$ 、 $C_L = 100\text{ pF}$

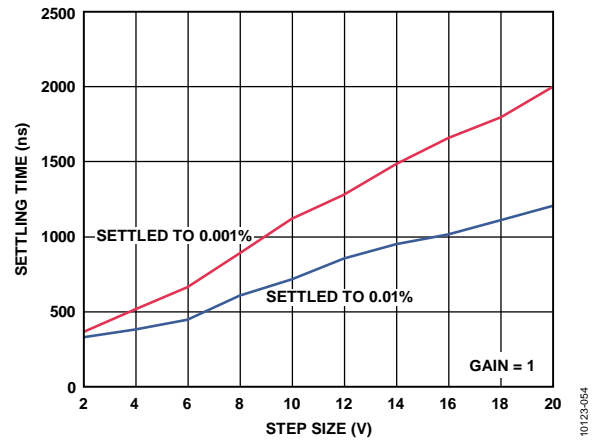


図 50.ステップ・サイズ対セトリング・タイム、 $G = 1$ 、 $R_L = 2\text{ k}\Omega$ 、 $C_L = 100\text{ pF}$

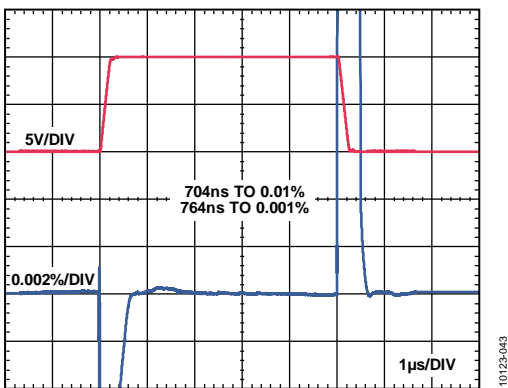


図 48.大信号パルス応答とセトリング・タイム($G = 100$)、 10 V ステップ、 $V_S = \pm 15\text{ V}$ 、 $R_L = 2\text{ k}\Omega$ 、 $C_L = 100\text{ pF}$

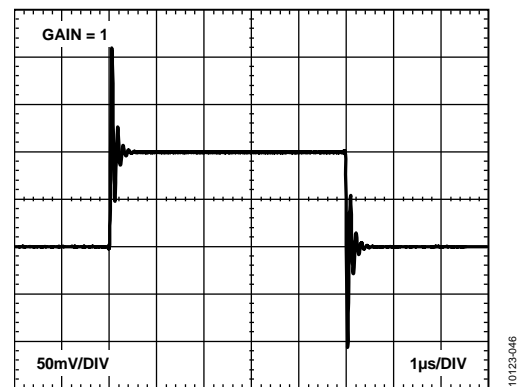


図 51.小信号パルス応答($G = 1$)、 $R_L = 600\ \Omega$ 、 $C_L = 100\text{ pF}$

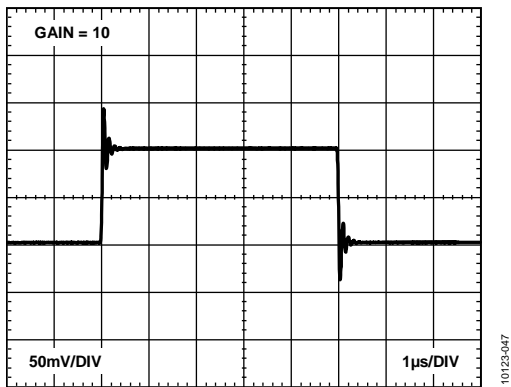


図 52. 小信号パルス応答 ($G = 10$)、 $R_L = 600 \Omega$ 、 $C_L = 100 \text{ pF}$

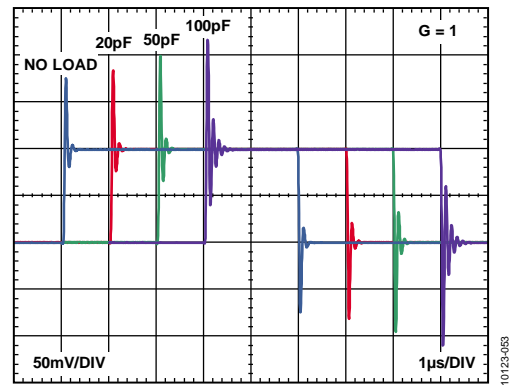


図 55. 様々な容量負荷での小信号応答、 $G = 1$ 、 $R_L = \infty$

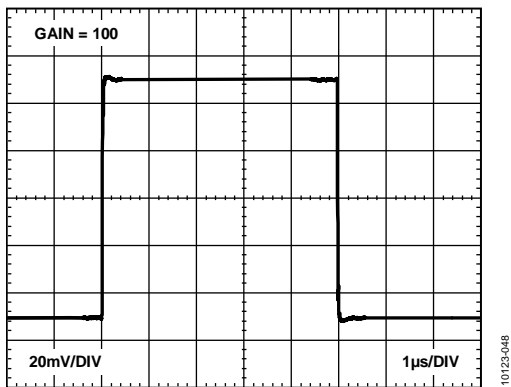


図 53. 小信号パルス応答 ($G = 100$)、 $R_L = 600 \Omega$ 、 $C_L = 100 \text{ pF}$

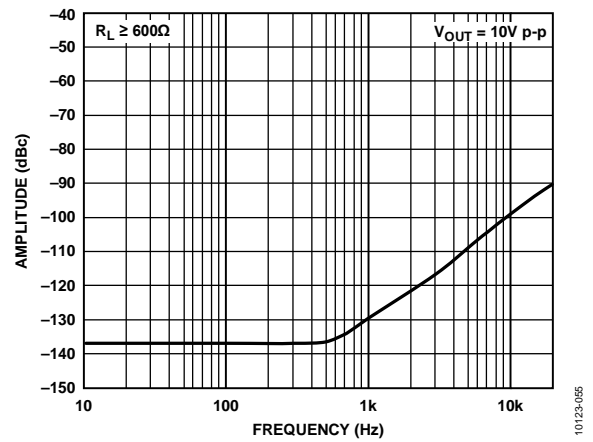


図 56.2 次高調波歪みの周波数特性、 $G = 1$

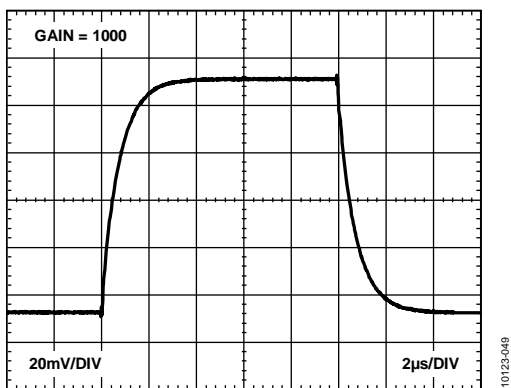


図 54. 小信号パルス応答 ($G = 1000$)、 $R_L = 600 \Omega$ 、 $C_L = 100 \text{ pF}$

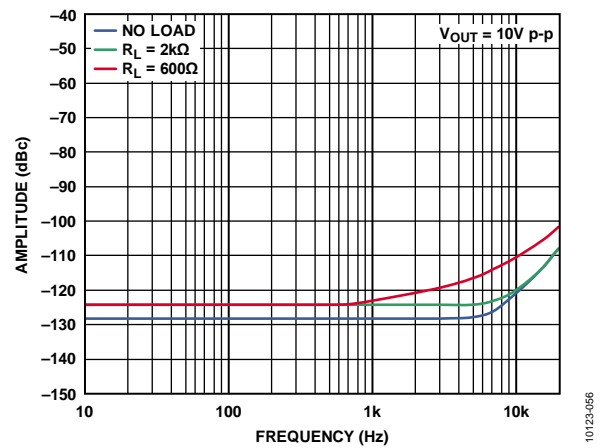


図 57.3 次高調波歪みの周波数特性、 $G = 1$

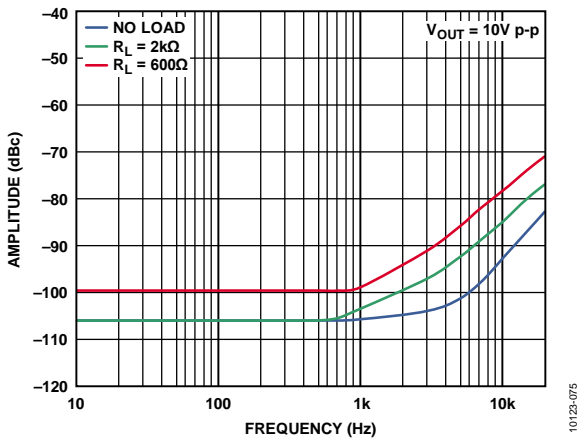


図 58.2 次高調波歪みの周波数特性、G = 1000

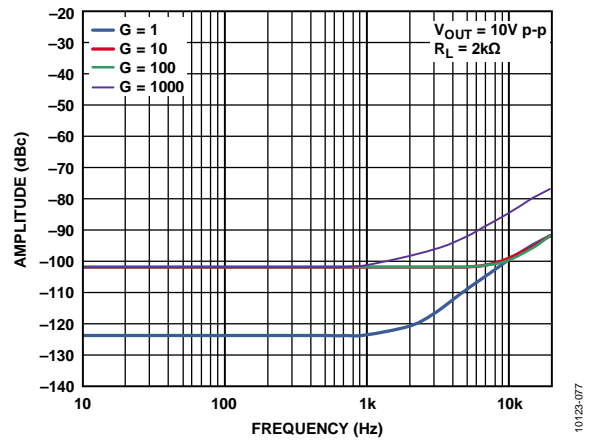


図 60.各周波数での THD

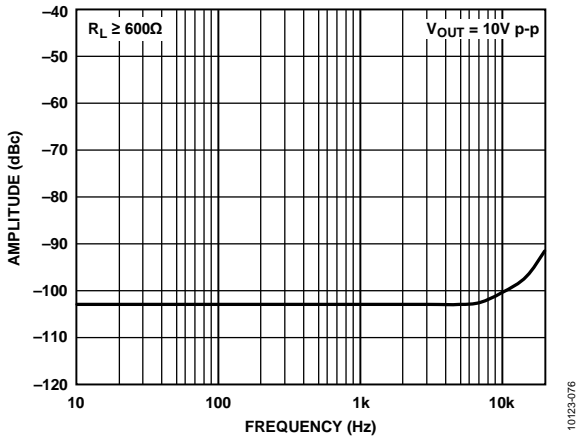


図 59.3 次高調波歪みの周波数特性、G = 1000

動作原理

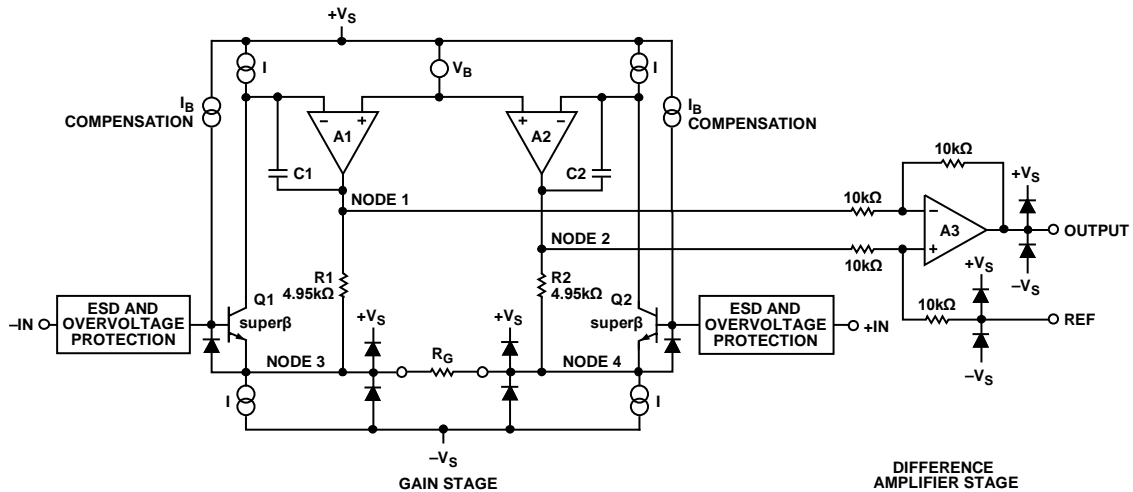


図 61.簡略化した回路図

アーキテクチャ

AD8421 は従来型 3 オペアンプ構成を採用しています。この構成は、差動増幅用のプリアンプと、それに続く同相モード電圧除去用ディファレンス・アンプの 2 ステージから構成されています。図 61 に、AD8421 の簡略化した回路図を示します。

回路的には、Q1、A1、R1 および Q2、A2、R2 は、高精度な電流帰還アンプと見なすことができます。入力トランジスタ Q1 と Q2 は固定電流でバイアスされているため、入力信号に従って A1 と A2 の出力電圧が変化します。入力に加えられた差動信号は、R_G ピンの両端に複製されます。R_G を流れる電流と R1 と R2 も通過するため、ノード 1 とノード 2 の間に増幅された差動電圧が発生します。

増幅された差動モード信号と同相モード信号は、同相モード電圧を除去しかつ増幅された差動電圧を維持するディファレンス・アンプに入力されます。このディファレンス・アンプでは、オフセット電圧やドリフト、様々な負荷での歪み、出力ノイズのような非常に小さい出力誤差を実現する革新的な技術を採用しています。抵抗のレーザ・トリムにより、0.01%以下のゲイン誤差と 94 dB (G = 1)以上の CMRR を持つ非常に正確な計装アンプが可能になっています。高性能ピン配置とデザインおよびレイアウトに対する特別な注意により、広い周波数範囲と広い温度範囲で高い CMRR 性能が可能になります。

AD8421 はスーパーβ 入力トランジスタとバイアス電流補償を採用しているため、極めて高い入力インピーダンス、小さいバイアス電流、低オフセット電流、低電流ノイズ、3 nV/√Hz の極めて小さい電圧ノイズを提供します。電流制限保護方式および過電圧保護方式により、すべてのゲインでノイズ性能を損なうことなく反対側電源レールから 40 V までの入力が可能になっています。

AD8421 の伝達関数は次式で表されます。

$$V_{OUT} = G \times (V_{+IN} - V_{-IN}) + V_{REF}$$

ここで、 $G = 1 + \frac{9.9\text{k}\Omega}{R_G}$

1 個の標準抵抗を使ってゲインを容易かつ正確に設定することができます。

ゲインの選択

R_G ピン間に抵抗を接続すると、AD8421 のゲインが設定されます。ゲインは、表 6 から、または次のゲイン式から計算することができます。

$$R_G = \frac{9.9\text{k}\Omega}{G - 1}$$

ゲイン抵抗を使わない場合は、AD8421 は G = 1(デフォルト)に設定されます。システムの総合ゲイン精度を求めるときは、R_G 抵抗の許容誤差とゲイン・ドリフトを AD8421 の規定値に加算してください。ゲイン抵抗を使用しない場合は、ゲイン誤差とゲイン・ドリフトが小さくなります。

表 6.1%抵抗を使った場合のゲイン

1% Standard Table Value of R _G	Calculated Gain
10 kΩ	1.99
2.49 kΩ	4.98
1.1 kΩ	10.00
523 Ω	19.93
200 Ω	50.50
100 Ω	100.0
49.9 Ω	199.4
20 Ω	496.0
10 Ω	991.0
4.99 Ω	1985

R_G の消費電力

AD8421 は、入力の差動電圧を R_G 抵抗の両端に再生します。R_G の抵抗サイズは、周囲温度での予想消費電力を処理できるように選択する必要があります。

リファレンス・ピン

AD8421 の出力電圧は、リファレンス・ピンの電位を基準にして発生されます。この機能は負荷でのグラウンド検出に使うことができるため、CMRR を利用してグラウンド・ノイズを除去することができます。あるいは出力での信号に正確なオフセットを与えることができます。例えば、電圧源を REF ピンに接続して、AD8421 から単電源 ADC を駆動できるように、出力をレベル・シフトさせることができます。REF ピンは ESD ダイオードで保護されているため、 $+V_S$ または $-V_S$ を 0.3 V 以上超えることはできません。

最適性能を得るためには、REF ピンへ接続するソース・インピーダンスを $1\ \Omega$ より低くする必要があります。図 61 に示すように、リファレンス・ピン (REF) は $10\ \text{k}\Omega$ の片側端子に接続されています。リファレンス・ピンにインピーダンスを追加接続すると、この $10\ \text{k}\Omega$ の抵抗に加算されるため、正入力に接続された信号が増幅されます。 R_{REF} の追加によるゲインは、次のように計算することができます。

$$2(10\ \text{k}\Omega + R_{REF}) / (20\ \text{k}\Omega + R_{REF})$$

正信号パスのみが増幅されて、負信号パスは影響を受けません。増幅率が平坦でない場合、CMRR が低下します。

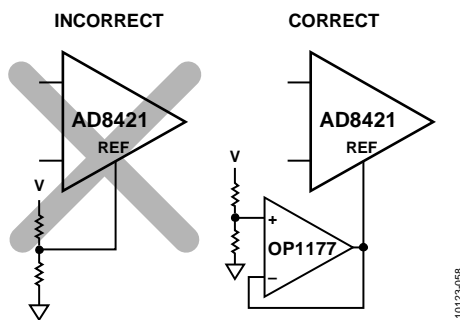


図 62. リファレンス・ピンの駆動

入力電圧範囲

AD8421 の 3 オペアンプ・アーキテクチャでは、ディファレンス・アンプで同相モード電圧が除去される前に、初段ステージのゲインが適用されます。初段ステージと 2 段階目ステージの間の内部ノード (図 61 のノード 1 とノード 2) には、増幅された信号、同相モード信号、ダイオード電圧降下の組み合わせが加わります。個々の入力信号と出力信号が制限されない場合でも、この組み合わせた信号が電圧電源により制限されることがあります。図 10 ~ 図 13 にこの制限機能の詳細を示します。

レイアウト

PCB レベルで AD8421 の最適性能を確保するためには、ボード・レイアウトのデザインに注意が必要です。AD8421 のピンは、このために論理的に配置されています。

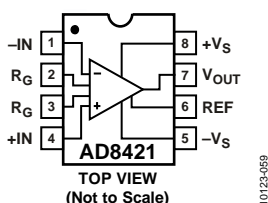


図 63. ピン配置

全周波数での同相モード除去比

レイアウトが正しくないと、同相モード信号が差動信号に変換されて計装アンプに到達することがあります。このような変換は、入力パス相互の周波数応答が異なる場合に発生します。周波数に対して CMRR を高く維持するためには、各パスの入力ソース・インピーダンスと容量が一致している必要があります。入力パスへソース抵抗 (例えば入力保護抵抗) を追加するときは、計装アンプ入力の近くに接続して、PCB パターンの寄生容量とこの抵抗との相互作用を小さくする必要があります。ゲイン設定ピン (R_G) の寄生容量も、周波数に対する CMRR に影響を与えます。ボード・デザインでゲイン設定ピンに部品 (例えばスイッチまたはジャンパ) を接続する場合は、できるだけ寄生容量の小さい部品を選ぶ必要があります。

電源とグラウンド接続

計装アンプの電源には安定な DC 電圧を使用してください。電源ピンのノイズは性能に悪影響を与えることがあります。

$0.1\ \mu\text{F}$ のコンデンサを各電源ピンのできるだけ近くに配置する必要があります。バイパス・コンデンサのリード長は高周波でクリティカルになるため、表面実装型コンデンサの使用が推奨されます。バイパス・グラウンディング内の寄生インダクタンスは、バイパス・コンデンサにより形成される低インピーダンスとは反対の働きをします。図 64 に示すように、 $10\ \mu\text{F}$ のコンデンサをデバイスから離れたところに接続することができます。低い周波数での効果をねらった大きな値のコンデンサの場合は、電流リターン・パスの長さは問題になりません。多くの場合、 $10\ \mu\text{F}$ のコンデンサは他の高精度 IC と共用することができます。

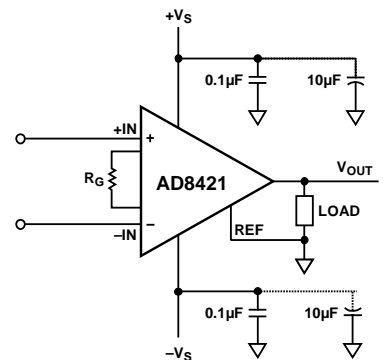


図 64. 電源デカップリング、REF、ローカル・グラウンド基準の出力

グラウンド・プレーン層は、寄生インダクタンスを小さくするために役立ち、電流変化による電圧降下が小さくなります。電流パスの面積は寄生インダクタンスの大きさに比例するため、高周波でパスのインピーダンスにも比例します。誘導デカップリング・パスまたはグラウンド・リターンで電流が大きく変化すると、このような変化がアンプ入力に混入するため悪影響を受けます。

負荷電流は電源から流れるため、負荷はバイパス・コンデンサ・グラウンドと同じ場所に接続する必要があります。

リファレンス・ピン

AD8421 の出力電圧は、リファレンス・ピンの電位を基準にして発生されます。REF を該当するローカル・グラウンドへ確実に接続してください。

入力バイアス電流のリターン・パス

AD8421 の入力バイアス電流には、グラウンドへのリターン・パスが必要です。熱電対のように信号源にリターン電流パスがない場合には、図 65 に示すように設ける必要があります。

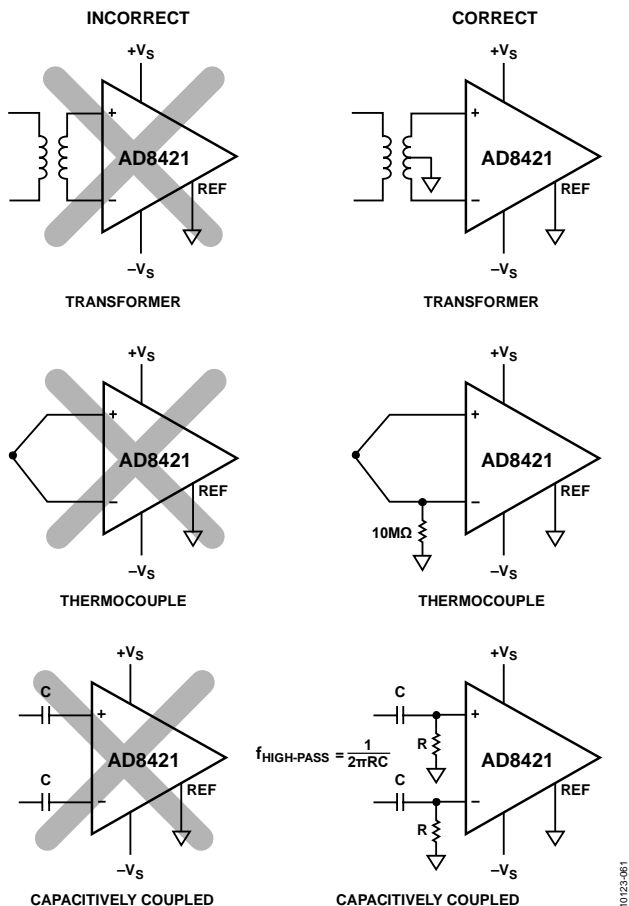


図 65. 入力バイアス電流リターン・パスの追加

電源レールを超える入力電圧

AD8421 は非常に堅固な入力を持っています。図 66 に示すように、一般に入力保護機能の追加は不要です。

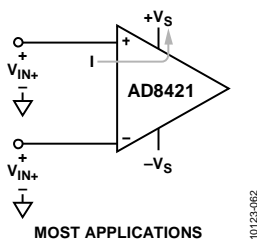


図 66. 代表的アプリケーション—入力保護機能不要

AD8421 の入力は電流制限されるため、すべてのゲインで入力保護機能を追加することなく、反対側電源レールから 40 V までの入力電圧が可能です。例えば、+Vs = +5 V かつ -Vs = -8 V の場合、

デバイスは安全に -35 V ~ +32 V の電圧に耐えることができます。AD8421 の残りのピンは、電源電圧以内に維持する必要があります。AD8421 のすべてのピンが ESD に対して保護されています。

最大定格を超える入力電圧

絶対最大定格の表に記載する規定値を超える電圧が AD8421 に加わるアプリケーションでは、外付けの保護機能が必要です。この外付けの保護機能は、過電圧の継続時間と必要とされるノイズ性能に依存します。

過電圧が短時間の場合には、過渡電圧保護素子で十分です(例えばメタル・オキシド・バリスタ(MOV))。

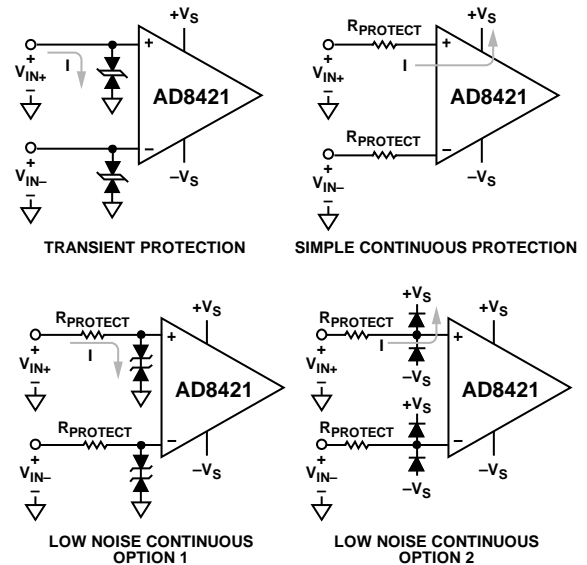


図 67. 絶対最大定格を超える入力電圧に対する入力保護オプション

過電圧が長い場合は、入力に直列な抵抗とダイオードの組み合わせを使用してください。バイアス電流性能の低下を防止するため、BAV199 や FJH1100 のような低リーク・ダイオードの使用が推奨されます。ダイオードは、アンプ入力の電圧が最大定格を超えるのを防止し、抵抗はダイオードの電流を制限します。多くの外付けダイオードは 100 mA 以上を容易に処理できるため、抵抗値を大きくする必要がないので、ノイズ性能への影響は小さくて済みます。

ノイズ性能を少し犠牲にしますが、別のソリューションでは直列抵抗を使います。過電圧の場合、AD8421 への入力電流は内部で制限されます。AD8421 入力は絶対最大定格のセクションに記載する規定値以内に維持する必要がありますが、保護抵抗の電圧降下 $I \times R$ により、システムが耐えることができる最大電圧が次式のように高くなります。

正入力信号の場合

$$V_{MAX_NEW} = (40 \text{ V} + \text{負電源電圧}) + I_{IN} \times R_{PROTECT}$$

負入力信号の場合

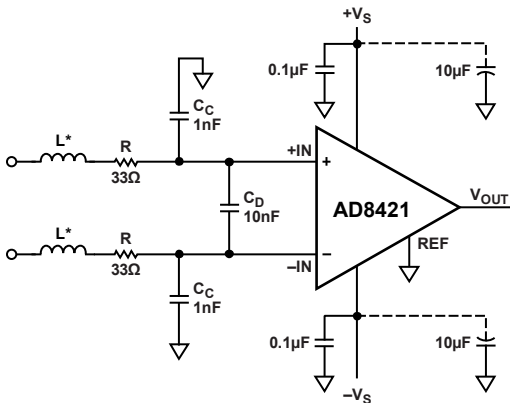
$$V_{MIN_NEW} = (\text{正電源電圧} - 40 \text{ V}) - I_{OUT} \times R_{PROTECT}$$

過電圧性能を、図 14、図 15、図 16、図 17 に示します。AD8421 入力は、室温で最小 1 日間 40 mA の電流に耐えることができます。この時間は、デバイスの寿命中に累積されます。過電圧の時間が長い場合は、外付け保護機能の使用が推奨されます。極端な入力条件では、アンプ出力が反転します。

無線周波数干渉(RFI)

アンプが強い RF 信号が存在するアプリケーションで使われる場合には、RF の整流がしばしば問題になります。アンプと信号源を接続するリードまたは PCB パターンが長い場合にはこの問題が大きくなります。外乱は、DC オフセット電圧またはパルス列として現れます。

高周波信号は、計装アンプ入力でローパス・フィルタ回路により除去することができます(図 68 参照)。



*CHIP FERRITE BEAD.

10123-067

図 68.RFI の除去

抵抗値とコンデンサ値の選択は、ノイズ、高周波での入力インピーダンス、CMRR、信号帯域幅、RFI 耐性の間のトレードオフに依存します。RC 回路は、差動モードと同相モードの帯域幅を次式のように制限します。

$$FilterFrequency_{DIFF} = \frac{1}{2\pi R(2C_D + C_C)}$$

$$FilterFrequency_{CM} = \frac{1}{2\pi RC_C}$$

ここで、 $C_D \geq 10 C_C$ 。

C_D は差動信号に有効で、 C_C は同相モード信号に有効です。正入力の $R \times C_C$ と負入力の $R \times C_C$ との不一致は、AD8421 の CMRR 性能を低下させます。 C_C の値より 1 桁大きい C_D の値を使うと、不一致の影響が小さくなるので、カットオフ周波数近くで CMRR 性能が改善されます。

低ノイズと十分な RFI フィルタリングを実現するため、チップ・フェライト・ビーズの使用が推奨されます。フェライト・ビーズのインピーダンスは、周波数とともに増加するため、注目する信号に影響を与えることなく、RF 干渉がアンプに到達するのを防止します。また、フィルタでの大きな抵抗値も不要になるのに役立つので、システムの入力換算ノイズが小さくなります。適切なフェライト・ビーズ値とコンデンサ値の選択は、干渉周波数、入力リード長、RF 電力によって決まります。最適な結果を得るためには、RFI フィルタ回路をアンプのできるだけ近くに配置してください。RF 信号をフィルタの後ろのパターンで拾わないようにするためレイアウトは非常に重要で、RF 干渉が強すぎて十分にフィルタできない場合は、シールドの使用が推奨されます。

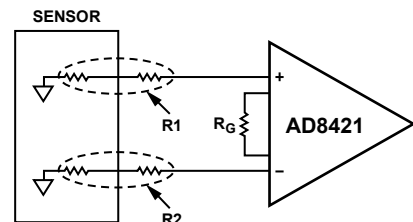
RFI フィルタに使用する抵抗は、入力保護に使用する抵抗と同じにすることができます。

入力ステージ・ノイズの計算

アンプ・フロント・エンドの総合ノイズは、このデータシートの 3.2 nV/√Hz 規定値より遥かに大きい影響を受けます。ノイズの主要成分としては、ソース抵抗、計装アンプの電圧ノイズ、計装アンプの電流ノイズの 3 つがあります。次の計算では、ノイズは入力換算です(RTI)。言い換えると、すべてノイズ源がアンプ入力に存在するかのように計算されます。アンプ出力換算(RTO)のノイズを計算するときは、RTI ノイズに計装アンプのゲインを乗算します。

ソース抵抗ノイズ

AD8421 に接続されるすべてのセンサーには出力抵抗があります。過電圧または無線周波の干渉から保護するため入力に直列に抵抗が接続されていることもあります。この組み合わせ抵抗は、図 69 では R1 と R2 で表してあります。いかなる抵抗でも、固有なレベルのノイズが発生します。このノイズは、抵抗値の平方根に比例します。室温で、この値は $4 \text{ nV}/\sqrt{\text{Hz}} \times \sqrt{(\text{k}\Omega \text{ 抵抗値})}$ にほぼ等しくなります。



10123-065

図 69.センサーのソース抵抗と保護抵抗

例えば、センサーと保護抵抗の組み合わせを正の入力で 4 kΩ とし、負の入力で 1 kΩ とすると、入力抵抗からの総合ノイズは、

$$\sqrt{(4 \times \sqrt{4})^2 + (4 \times \sqrt{1})^2} = \sqrt{64 + 16} = 8.9 \text{ nV}/\sqrt{\text{Hz}}$$

計装アンプの電圧ノイズ

計装アンプの電圧ノイズは、デバイスの出力ノイズ、入力ノイズ、 R_G 抵抗ノイズの 3 つのパラメータを使って計算されます。次のように計算されます。

総合電圧ノイズ=

$$\sqrt{(Output\ Noise/G)^2 + (Input\ Noise)^2 + (Noise\ of\ R_G\ Resistor)^2}$$

例えば、ゲイン= 100、ゲイン抵抗= 100 Ω とすると、計装アンプの電圧ノイズは次のようになります。

$$\sqrt{(60/100)^2 + 3.2^2 + (4 \times \sqrt{0.1})^2} = 3.5\ nV/\sqrt{Hz}$$

計装アンプの電流ノイズ

電流ノイズは、ソース抵抗により電圧に変化されます。電流ノイズの影響は、計装アンプの規定電流ノイズにソース抵抗値を乗算して計算することができます。

例えば、図 69 の R_1 ソース抵抗を 4 k Ω とし、 R_2 ソース抵抗を 1 k Ω とすると、電流ノイズの総合効果は次のように計算されます。

$$\sqrt{(4 \times 0.2)^2 + (1 \times 0.2)^2} = 0.8\ nV/\sqrt{Hz}$$

総合ノイズ密度の計算

計装アンプの入力換算総合ノイズを求めるときは、ソース抵抗ノイズ、電圧ノイズ、電流ノイズの各成分の 2 乗和の平方根をとります。

例えば、図 69 の R_1 ソース抵抗を 4 k Ω とし、 R_2 ソース抵抗を 1 k Ω とし、計装アンプのゲインを 100 とすると、入力換算総合ノイズは次のように計算されます。

$$\sqrt{8.9^2 + 3.5^2 + 0.8^2} = 9.6\ nV/\sqrt{Hz}$$

アプリケーション情報

差動出力構成

図 70 に、AD8421 に差動信号を出力させる方法を示します。

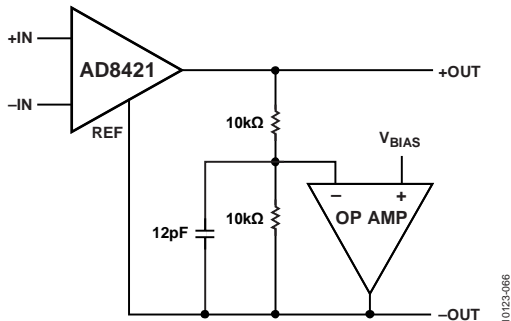


図 70. オペアンプを使用した差動出力構成

差動出力電圧は、次式で決定されます。

$$V_{DIFF_OUT} = V_{+OUT} - V_{-OUT} = \text{ゲイン} \times (V_{+IN} - V_{-IN})$$

同相モード出力は、次式で決定されます。

$$V_{CM_OUT} = (V_{+OUT} + V_{-OUT}) / 2 = V_{BIAS}$$

この回路の利点は、DC 差動精度がオペアンプまたは抵抗に依存するのではなく AD8421 に依存することです。さらに、この回路では、AD8421 がリファレンス電圧を基準とする出力電圧となるように正確に制御しています。

オペアンプの DC 性能と抵抗一致度により DC 同相モード出力精度が影響を受けますが、このような誤差はシグナル・チェーン内の次のデバイスで除去されるため、一般に全体システム精度には影響がありません。

この回路は不安定になりやすいため、オペアンプの実効帯域幅を制限するためにコンデンサを内蔵しています。アンプ対が安定している場合、このコンデンサを削除することができます。すべてのアンプのオープン・ループ・ゲインと位相は、製造プロセスの変動と温度により変化します。抵抗負荷または容量負荷により位相遅れが増加することがあります。安定性を保証するため、回路のサンプルを使って、出力ダイナミックレンジの端で負荷を持つ回路の小信号パルス応答を評価することにより図 70 のコンデンサ値を求める必要があります。

また、周囲温度も安定性の影響を評価する予想範囲で変化させる必要があります。AD8421 出力アンプはオペアンプより高速で応答するため、回路を調整した後に +OUT 電圧にオーバーシュートが残ることがあります。12 pF のコンデンサは良いスタート点になります。

最適な大信号 AC 性能を得るためには、AD8421 の 35 V/μs 性能に合わせて高いスルーレートをもちオペアンプを使ってください。RC 帰還によりシステム帯域幅が制限されるため、広い帯域幅は必須ではありません。オペアンプの選択肢としては、AD8610、ADA4627-1、AD8510、ADA4898-1 があります。

ADC の駆動

AD8421 は、クラス AB 出力ステージ、低ノイズ、低歪み、広い帯域幅、高速スルーレートを有するため、フロントエンド・ゲイン、高い CMRR、高い DC 精度を必要とするデータ・アキュイジション・システムでの ADC 駆動用に最適です。図 71 に、ゲイン=10 の AD8421 により、16 ビット 250 kSPS の擬似差動 SAR ADC AD7685 を駆動する構成を示します。AD8421 と AD7685 の間にある RC ローパス・フィルタには複数の目的があります。このフィルタはダイナミック ADC 入力による大きな負荷からアンプ出力をアイソレーションし、アンプのノイズ帯域幅を狭くし、AD7685 アナログ入力に対する過負荷保護機能を提供します。このフィルタのカットオフは経験的に求めることができます。最適な AC 性能を実現するためには、インピーダンスを最大入力信号周波数で $1\text{ k}\Omega$ より大きく維持し、フルスケールのステップに対して 1 サンプル周期以内に $1/2$ LSB に安定するようにフィ

ルタ・カットオフを設定してください。

その他の考慮事項については、使用する ADC のデータシートを参照してください。

ゲイン=10 の設定で、AD8421 の電圧ノイズ RTI は約 $8\text{ nV}/\sqrt{\text{Hz}}$ です(入力ステージ・ノイズの計算のセクション参照)。フロントエンド・ゲインにより、入力信号に対するシステムの感度は 10 倍になり、SNR の低下はわずか 7.5 dB です。ADR435 の高い電流出力と負荷レギュレーションを使うと、別のアナログ電源を設けることなく、AD7685 の電源を直接リファレンスから得るようにすることができます。リファレンス・ピンのバッファとしては、低消費電力でユニティ・ゲイン安定な、約 $25\text{ nV}/\sqrt{\text{Hz}}$ 以下の広帯域ノイズを持つ高 DC 精度オペアンプ(例えば OP1177)を使用することができます。図 71 には、適切なすべてのデカップリング・ガイドラインに準拠するように注意してください。

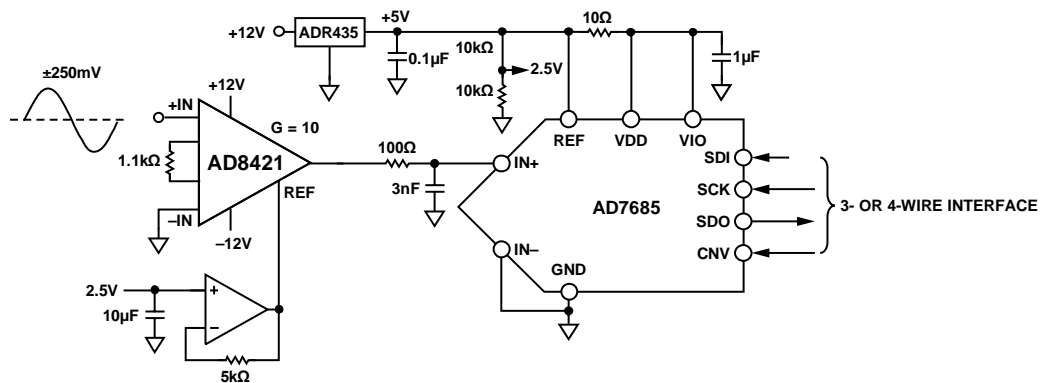


図 71. AD8421 による ADC の駆動

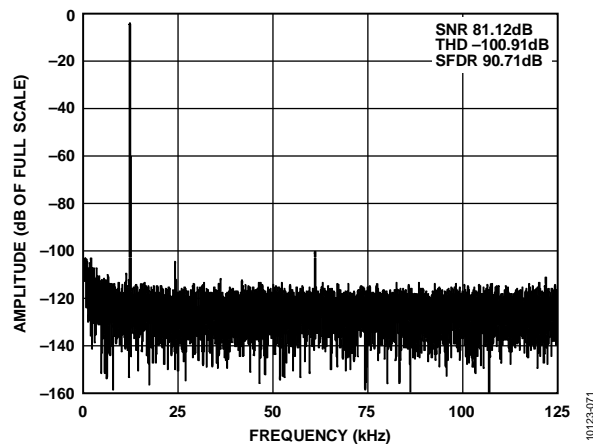
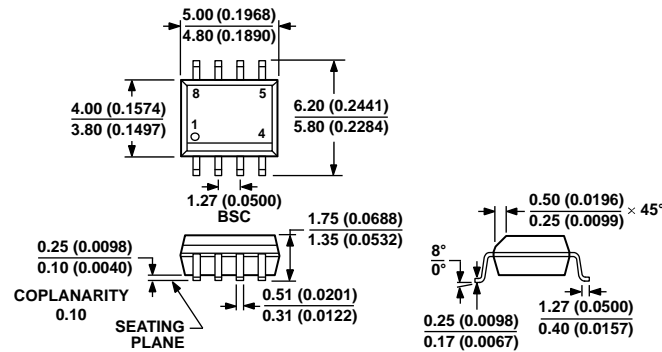


図 72. AD7685 を駆動する AD8421 (G = 10) の代表的なスペクトル

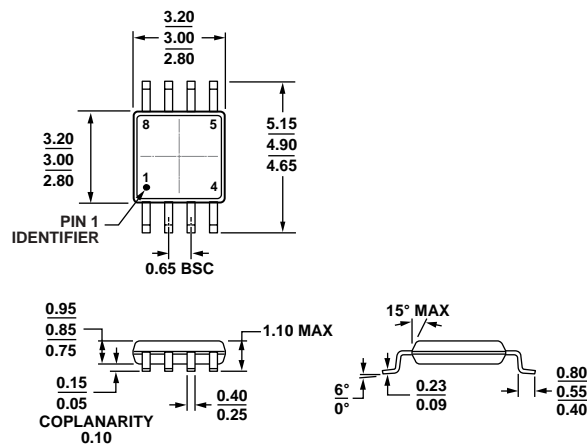
外形寸法



COMPLIANT TO JEDEC STANDARDS MS-012-AA
 CONTROLLING DIMENSIONS ARE IN MILLIMETERS; INCH DIMENSIONS
 (IN PARENTHESES) ARE ROUNDED-OFF MILLIMETER EQUIVALENTS FOR
 REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.

012407-A

図 73.8 ピン標準スモール・アウトライン・パッケージ[SOIC_N]
 ナローボディ
 (R-8)
 寸法: mm (インチ)



COMPLIANT TO JEDEC STANDARDS MO-187-AA

10-07-2009-B

図 74.8 ピン・ミニ・スモール・アウトライン・パッケージ[MSOP]
 (RM-8)
 寸法: mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option	Branding
AD8421ARZ	-40°C to +85°C	8-Lead SOIC_N, standard grade	R-8	
AD8421ARZ-R7	-40°C to +85°C	8-Lead SOIC_N, standard grade, 7" Tape and Reel,	R-8	
AD8421ARZ-RL	-40°C to +85°C	8-Lead SOIC_N, standard grade, 13" Tape and Reel	R-8	
AD8421BRZ	-40°C to +85°C	8-Lead SOIC_N, high performance grade	R-8	
AD8421BRZ-R7	-40°C to +85°C	8-Lead SOIC_N, high performance grade, 7" Tape and Reel	R-8	
AD8421BRZ-RL	-40°C to +85°C	8-Lead SOIC_N, high performance grade, 13" Tape and Reel	R-8	
AD8421ARMZ	-40°C to +85°C	8-Lead MSOP, standard grade	RM-8	Y49
AD8421ARMZ-R7	-40°C to +85°C	8-Lead MSOP, standard grade, 7" Tape and Reel	RM-8	Y49
AD8421ARMZ-RL	-40°C to +85°C	8-Lead MSOP, standard grade, 13" Tape and Reel	RM-8	Y49
AD8421BRMZ	-40°C to +85°C	8-Lead MSOP, high performance grade	RM-8	Y4A
AD8421BRMZ-R7	-40°C to +85°C	8-Lead MSOP, high performance grade, 7" Tape and Reel	RM-8	Y4A
AD8421BRMZ-RL	-40°C to +85°C	8-Lead MSOP, high performance grade, 13" Tape and Reel	RM-8	Y4A

¹ Z = RoHS 準拠製品。*