

特長

アナログ可変ゲイン範囲：-12~+22dB
 デシベル・リニア・スケール：37.5dB/V
 3dB帯域幅：800MHz @ $V_{GAIN}=0.5V$
 RMSディテクタを集積
 P1dB：16dBm @140MHz
 出力IP3：33dBm @140MHz
 最大ゲインでのノイズ指数：9.5dB @140MHz
 入出力インピーダンス：50Ω
 単電源電圧動作：4.5~5.5V
 RoHS互換、24ピンLFCSP

アプリケーション

完全なIF AGCアンプ
 ゲインのトリミング/レベル調整
 携帯電話基地局
 ポイントtoポイント無線リンク
 RF計測器

概要

AD8368は、低周波から800MHzまで使用できるアナログ・デシベル・リニア・ゲイン制御機能を備えた可変ゲイン・アンプ (VGA) です。優れたゲイン範囲、適合性、平坦性は、高性能な可変ゲイン制御を実現する革新的技術、アナログ・デバイセズのX-AMP[®]アーキテクチャによって可能になりました。

-12~+22dBのゲイン範囲は正確に37.5dB/Vにスケールされており、適合性誤差はごくわずかです。3dBの800MHz帯域幅は公称でゲイン設定とは無関係であり、140MHz時のOIP3が最大ゲインで33dBmになります。出力ノイズ・フロアは-143dBm/Hzで、これは最大ゲインのノイズ指数9.5dBに相当します。シングルエンド入出力インピーダンスは公称で50Ωです。

AD8368のゲインは、MODEピンが正側電源に接続されているかグラウンドに接続されているかに応じて、ゲイン制御電圧の増加関数または減少関数に設定できます。MODEピンがハイレベルのときは典型的なVGAとして動作し、ゲインが増加します。MODEピンをグラウンドに接続してオンボードのrmsディ

機能ブロック図

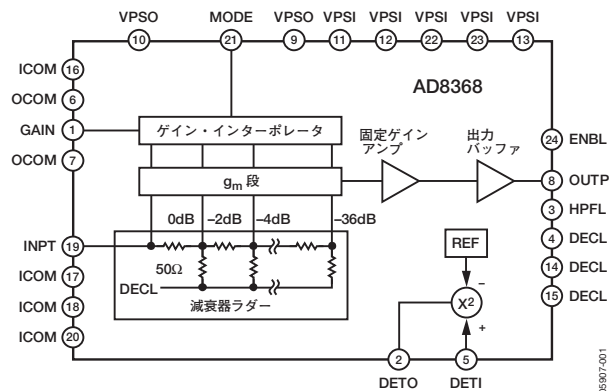


図1

テクタを使用すれば、RSSIを備えた完全なAGCシステムになります。出力は、波形のクレスト・ファクタに関係なく、内部のデフォルト・セットポイント63mV rms (50Ωを基準に-11dBm) のレベルを維持します。汎用のディテクタの入力はDETIで得られるため、34dBの最大入力パワー範囲で、AGCループによって信号のレベルをAD8368の出力ポイントかシグナル・チェーンの任意のポイントで調整できます。また、出力信号をディテクタに出力する前に分周してセットポイント・レベルを上げることができます。

AD8368の動作電源電圧は4.5~5.5Vで、消費電流は60mAです。ENBLピンを接地することによって、3mA未満まで完全にパワーダウンすることができます。AD8368は、アナログ・デバイス独自のSiGe SOI相補型バイポーラ・プロセスによって製造されています。24ピンCSPパッケージで提供され、工業用温度範囲-40~+85℃で動作します。アプリケーション・ボードは要望に応じて提供しています。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
 ※日本語データシートはREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。
 © 2006 Analog Devices, Inc. All rights reserved.

REV. 0

AD8368

目次

特長	1	固定ゲイン段と出力バッファ	12
アプリケーション	1	出力オフセット補正	12
機能ブロック図	1	入出力インピーダンス	12
概要	1	ゲイン制御インターフェース	13
改訂履歴	2	アプリケーション	14
仕様	3	VGA動作	14
絶対最大定格	5	AGC動作	14
ESDに関する注意	5	評価用ボード	17
ピン配置と機能の説明	6	外形寸法	18
代表的な性能特性	7	オーダー・ガイド	18
回路の説明	12		
入力減衰器とインターポレータ	12		

改訂履歴

4/06—Revision 0: Initial Version

仕様

特に指定のない限り、 $V_S=5V$ 、 $T=25^\circ C$ 、システム・インピーダンス $Z_0=50\Omega$ 、 $V_{MODE}=5V$ 、RF入力=140MHz。

表1

パラメータ	Min	Typ	Max	単位	条件
全体の機能					
周波数範囲	LF		800	MHz	3dB帯域幅
最大入力		3		Vp	入力過負荷がないこと
最大出力 ¹		2		Vp	クリッピングがないこと
AC入力インピーダンス		50		Ω	INPT~ICOM
AC出力インピーダンス		50		Ω	OUTP~OCOM
ゲイン制御インターフェース (ゲイン)					
ゲイン範囲		34		dB	$V_{MODE}=5V$ 、 $50mV \leq V_{GAIN} \leq 950mV$
ゲイン・スケーリング		37.5		dB/V	$V_{MODE}=0V$ 、 $50mV \leq V_{GAIN} \leq 950mV$
		-38		dB/V	
ゲイン精度		± 0.4		dB	$100mV \leq V_{GAIN} \leq 900mV$
最大ゲイン		22		dB	$V_{GAIN}=1V$
最小ゲイン		-12		dB	$V_{GAIN}=0V$
V_{GAIN} 範囲	0		1	V	
ゲイン・ステップ応答		100		ns	6dBゲイン・ステップ
ゲイン入力インピーダンス		10		k Ω	GAIN~ICOM
ゲイン入力バイアス電流			-2	μA	
f=70MHz					
ノイズ指数		9.5		dB	最大ゲイン
出力IP3		34		dBm	$f_1=70MHz$ 、 $f_2=71MHz$ 、 $V_{GAIN}=1V$ 、出力トーンあたり0dBm
出力P1dB ¹		16		dBm	$V_{GAIN}=0V$ 、 $V_{MODE}=0V$
f=140MHz					
ノイズ指数		9.5		dB	最大ゲイン
出力IP3		33		dBm	$f_1=140MHz$ 、 $f_2=141MHz$ 、 $V_{GAIN}=1V$ 、出力トーンあたり0dBm
出力P1dB ¹		16		dBm	$V_{GAIN}=0V$ 、 $V_{MODE}=0V$
f=240MHz					
ノイズ指数		9.7		dB	最大ゲイン
出力IP3		33		dBm	$f_1=240MHz$ 、 $f_2=241MHz$ 、 $V_{GAIN}=1V$ 、出力トーンあたり0dBm
出力P1dB ¹		15		dBm	$V_{GAIN}=0V$ 、 $V_{MODE}=0V$
f=380MHz					
ノイズ指数		10		dB	最大ゲイン
出力IP3		29		dBm	$f_1=380MHz$ 、 $f_2=381MHz$ 、 $V_{GAIN}=1V$ 、出力トーンあたり0dBm
出力P1dB ¹		13		dBm	$V_{GAIN}=0V$ 、 $V_{MODE}=0$

¹ 望ましくない歪み成分が発生するため、圧縮時の動作は推奨しません。

AD8368

特に指定のない限り、 $V_S=5V$ 、 $T=25^\circ C$ 、システム・インピーダンス $Z_0=50\Omega$ 、 $V_{MODE}=5V$ 、RF入力=140MHz。

表2

パラメータ	Min	Typ	Max	単位	条件
2乗ディテクタ (DETI、DETO)					
出力セットポイント		-11		dBm	OUTPをDETIに接続
ICOMへのDETI DCバイアス・レベル		$V_S/2$		V	
DETIインピーダンス		710		Ω	
		0.6		pF	
DETO出力レンジ ¹	0.1		$V_S/2$	V	
AGCステップ応答		30		μs	入力パワー・ステップ：-6 dB ($C_{DETO}=1nF$)
モード制御インターフェース (MODE)					
モード・スレッシュホールド		3.5		V	
MODE入力バイアス電流			50	μA	
電源インターフェース (VPSI、VPSO)					
電源電圧	4.5	5	5.5	V	
全電源電流		60		mA	ENBL：ハイレベル
ディスエーブル電流		2		mA	ENBL：ローレベル
イネーブル・インターフェース (ENBL)					
イネーブル・スレッシュホールド		2.5		V	
イネーブル応答時間		1.5		μs	オフからオンへの遷移から、出力が最終値の90%に達するまでの遅延時間
		3		μs	オンからオフへの遷移から、電源電流が5mA未満になるまでの遅延時間
ENBL入力バイアス電流			150	μA	$V_{ENBL}=5V$

¹ 「アプリケーション」のAGC動作を参照。

絶対最大定格

表3

パラメータ	定格値
電源電圧VPSO、VPSI	5.5V
ENBL/MODE選択電圧	5.5V
RF入力レベル	20dBm
内部消費電力	440mW
θ_{JA}	52°C/W
最大ジャンクション温度	125°C
動作温度範囲	-40~+85°C
保存温度範囲	-65~+150°C
ピン温度（ハンダ処理、60秒）	300°C

左記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

注意

ESD（静電放電）の影響を受けやすいデバイスです。人体や試験機器には4000Vもの高圧の静電気が容易に蓄積され、検知されないまま放電されることがあります。本製品は当社独自のESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。



AD8368

ピン配置と機能の説明

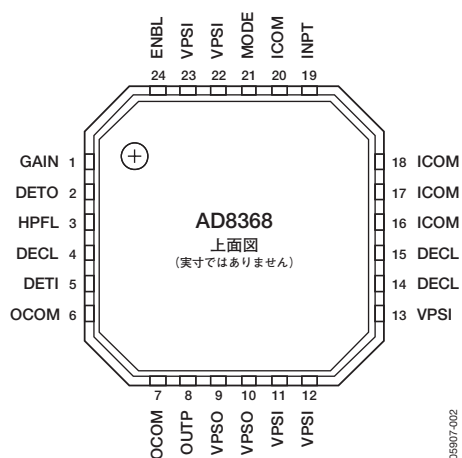


図2. AD8368 24ピンLFCSPのピン配置

表4. ピン機能の説明

ピン番号	記号	機能
1	GAIN	ゲイン制御
2	DETO	ディテクタの出力。AGC機能のための出力誤差電流を供給
3	HPFL	ハイパス・フィルタへの接続。コンデンサをグラウンドに接続することで、使用できる最小入力周波数を制御する内部出力オフセット制御ループのコーナー周波数を設定可能
4、14、15	DECL	デカップリング・ピン。公称で約 $V_S/2$ 。場合によっては、AGC動作のためにデカップリング容量の調整が必要（「アプリケーション」を参照）
5	DETI	ディテクタの入力。DECLピンを基準にしたDCレベル
6、7	OCOM	OCOMは低インピーダンスのグラウンドに接続
16、17、18、20	ICOM	ICOMはインピーダンスのグラウンドに接続
8	OUTP	信号出力。ACカップリングが必要
9、10	VPSO	正側電源電圧（4.5～5.5V）。VPSOとVPSIは外部で相互接続し、適正にバイパスする必要あり
11、12、13、22、23	VPSI	正側電源電圧（4.5～5.5V）。VPSOとVPSIは外部で相互接続し、適正にバイパスする必要あり
19	INPT	信号入力。ACカップリングが必要
21	MODE	ゲイン方向の制御。HIGHで上昇スロープ、LOWで下降スロープ
24	ENBL	正側電圧（ $2.5V \leq V_{ENBL} \leq VPSI$ ）を加えてデバイスを起動

代表的な性能特性

特に指定のない限り、 $V_S=5V$ 、 $T=25^\circ C$ 、システム・インピーダンス $Z_0=50\Omega$ 、 $V_{MODE}=5V$ 。

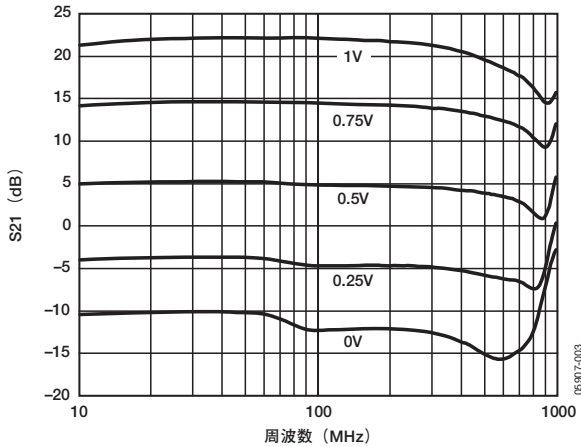


図3. V_{GAIN} 対周波数応答

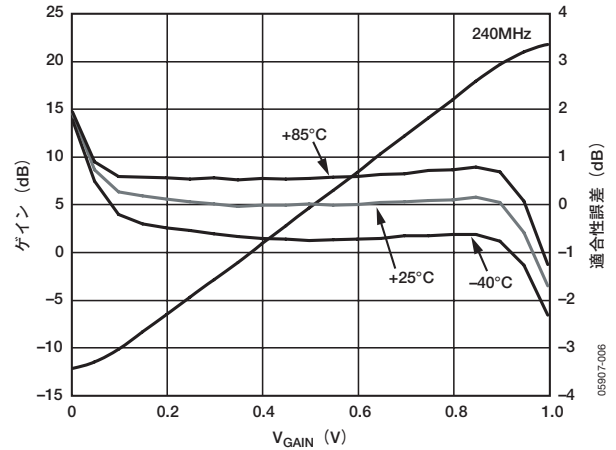


図6. V_{GAIN} 対ゲインおよび適合性誤差 ($f=240MHz$)

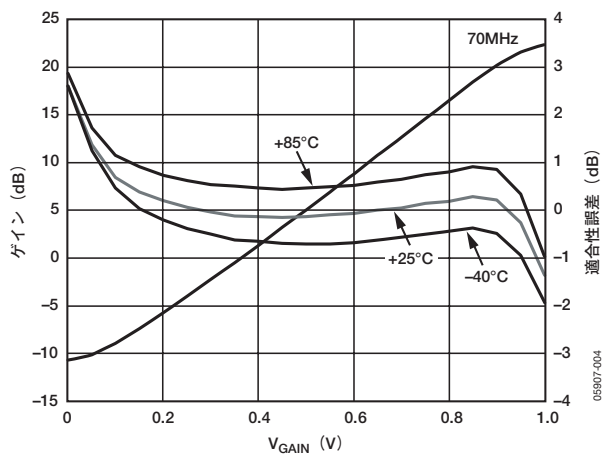


図4. V_{GAIN} 対ゲインおよび適合性誤差 ($f=70MHz$)

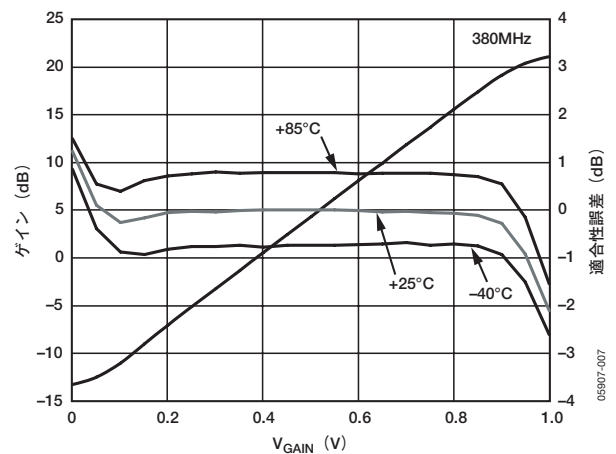


図7. V_{GAIN} 対ゲインおよび適合性誤差 ($f=380MHz$)

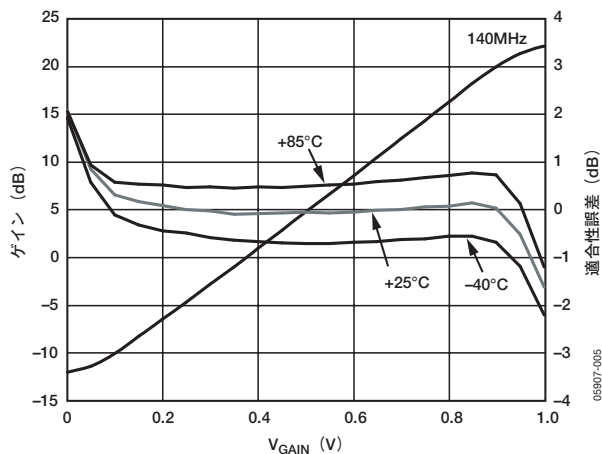


図5. V_{GAIN} 対ゲインおよび適合性誤差 ($f=140MHz$)

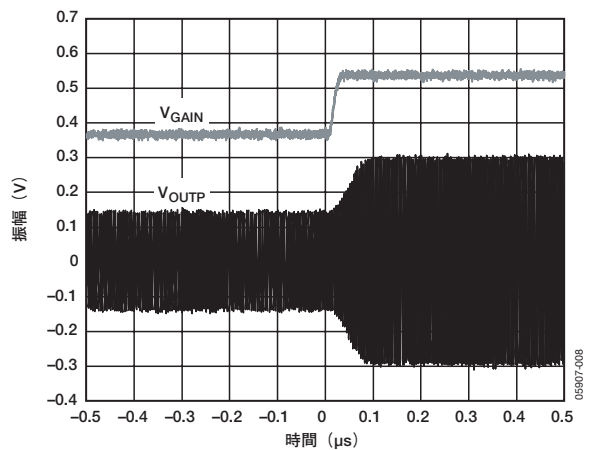


図8. ゲイン・ステップ時間領域応答 (6dBのゲイン・ステップ)

AD8368

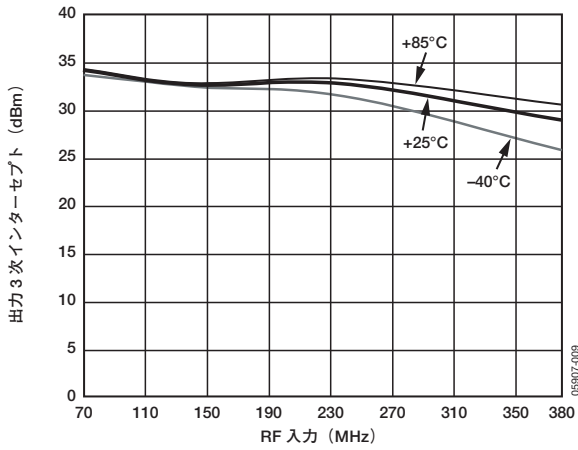


図9. 最大ゲイン時の周波数 対 OIP3 ($V_{MODE}=0V$)

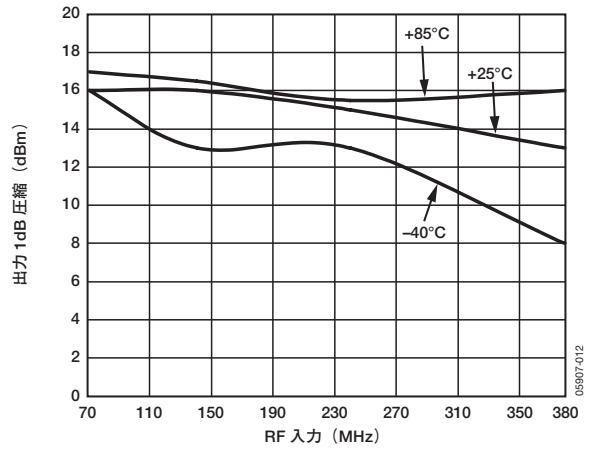


図12. 最大ゲイン時の周波数 対 出力圧縮ポイント ($V_{MODE}=0V$)

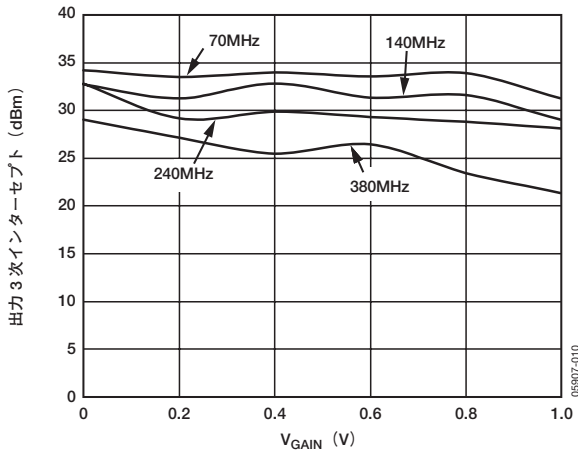


図10. V_{GAIN} 対 OIP3 ($V_{MODE}=0V$)

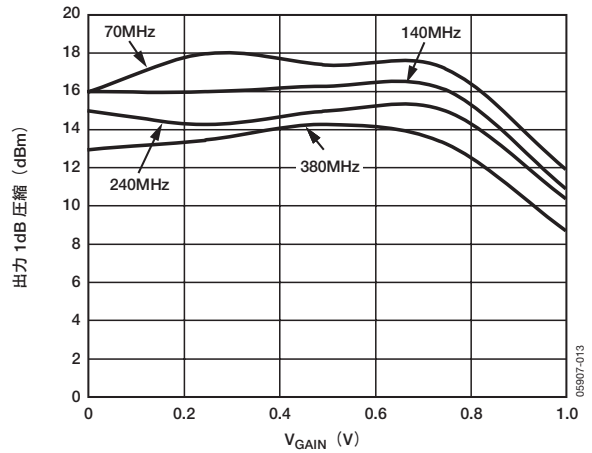


図13. V_{GAIN} 対 出力圧縮ポイント ($V_{MODE}=0V$)

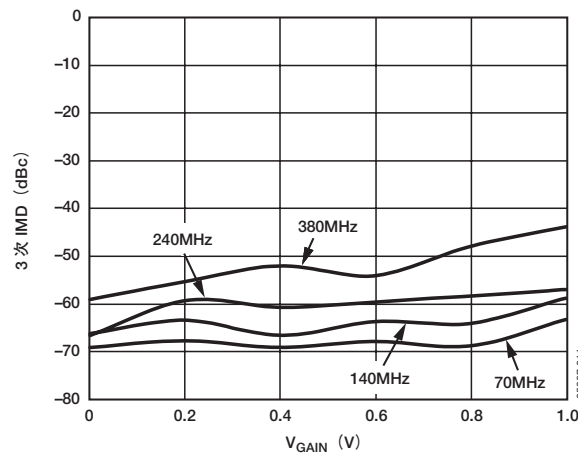


図11. V_{GAIN} 対 3次IMD (出力パワーはトーンあたり0dBm、 $V_{MODE}=0V$)

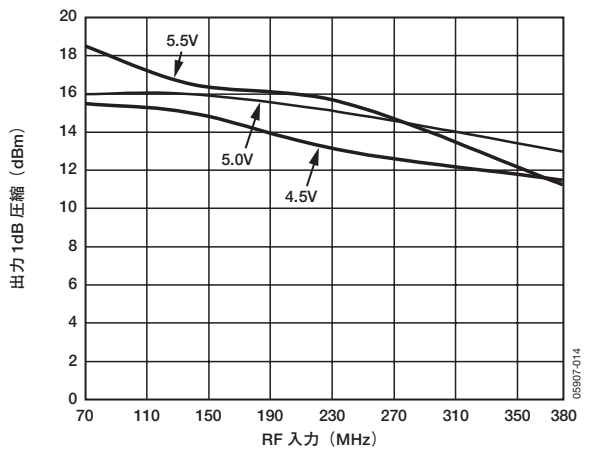


図14. 最大ゲイン時の電源電圧 対 出力圧縮ポイント ($V_{MODE}=0V$)

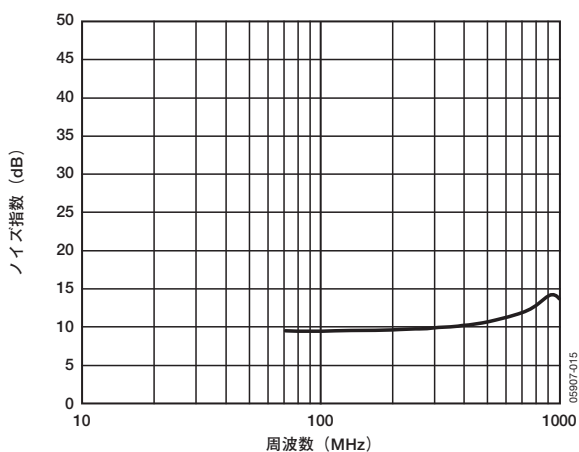


図15. 最大ゲイン時の周波数 対 ノイズ指数 ($V_{MODE}=0V$)

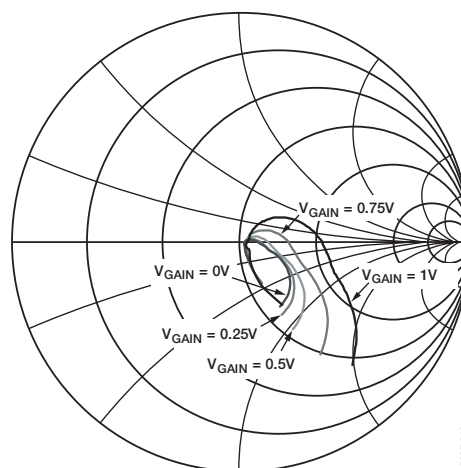


図18. 入力反射係数の周波数特性

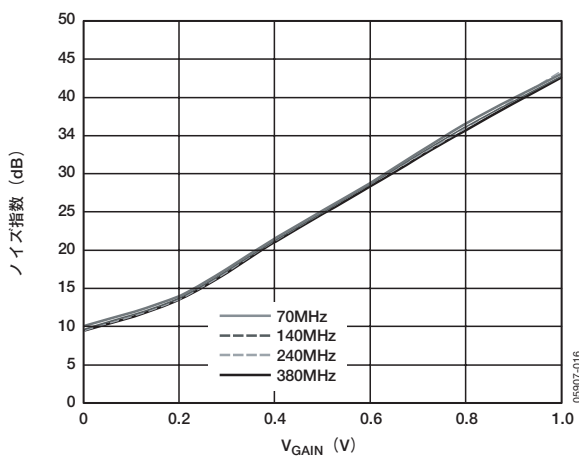


図16. V_{GAIN} 対 ノイズ指数 ($V_{MODE}=0V$)

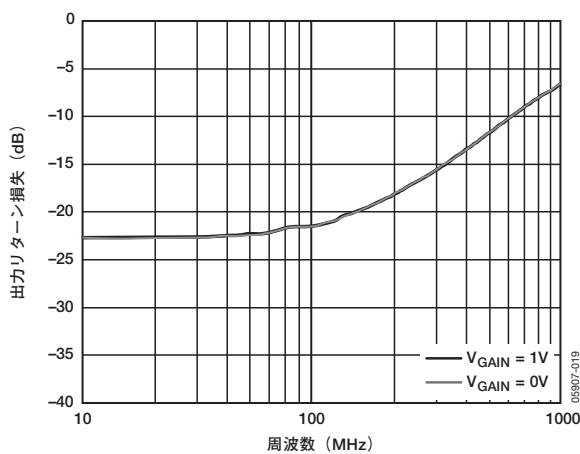


図19. 出力リターン損失の周波数特性

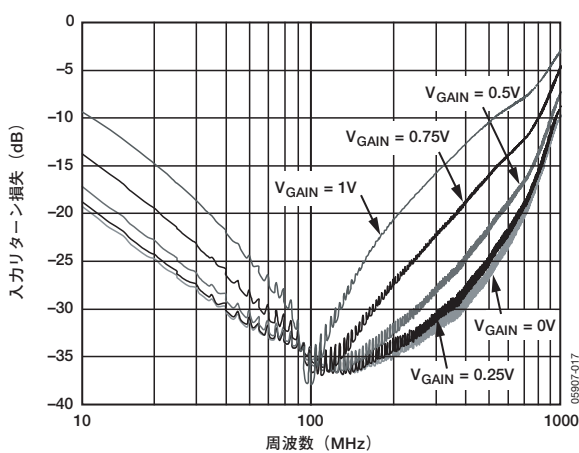


図17. 入力リターン損失の周波数特性

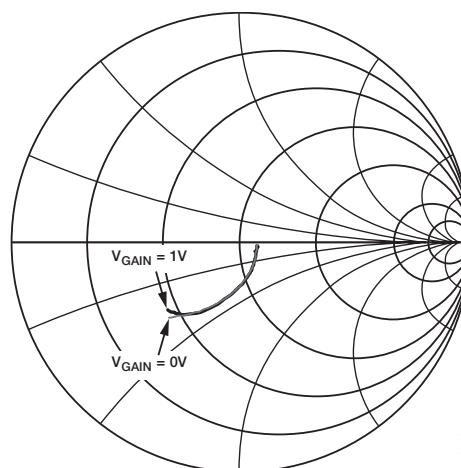


図20. 出力反射係数の周波数特性

AD8368

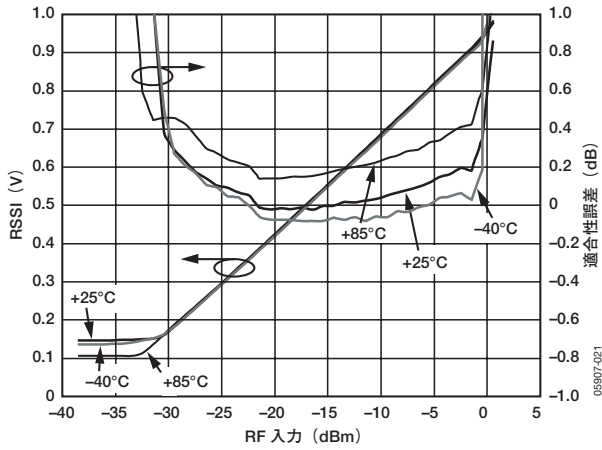


図21. 入力パワー 対 RSSI (V_{DETO}) および適合性誤差 ($f=70\text{MHz}$)

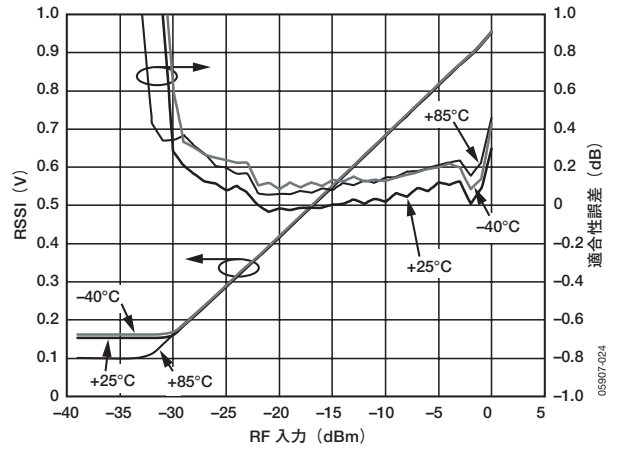


図24. 入力パワー 対 RSSI (V_{DETO}) および適合性誤差 ($f=380\text{MHz}$)

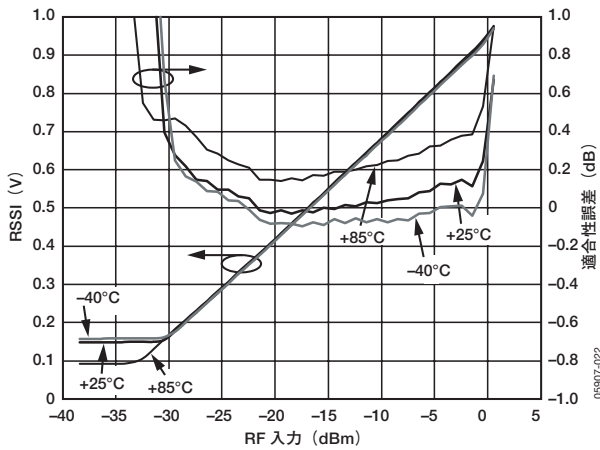


図22. 入力パワー 対 RSSI (V_{DETO}) および適合性誤差 ($f=140\text{MHz}$)

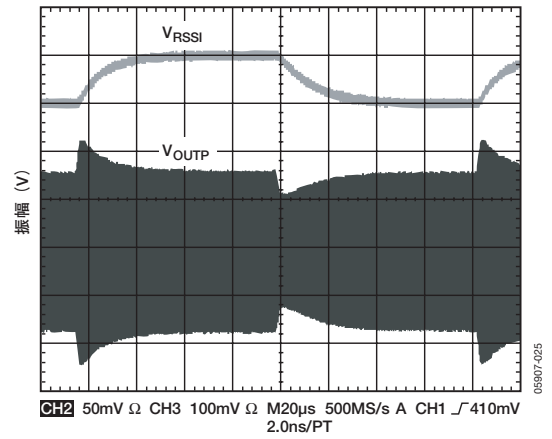


図25. AGCの時間領域応答 (3dBパワー・ステップ、 $C_{DETO}=1\text{nF}$)

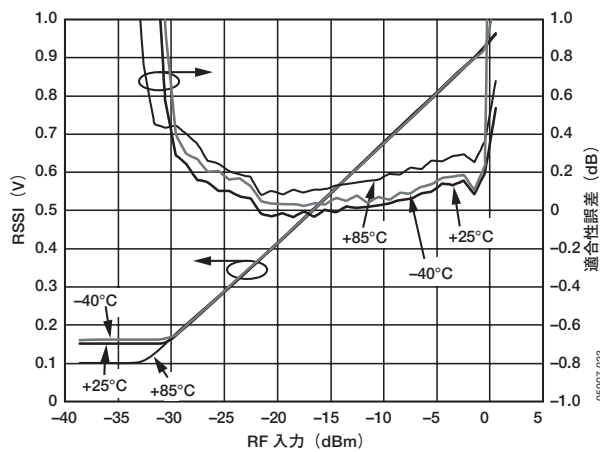


図23. 入力パワー 対 RSSI (V_{DETO}) および適合性誤差 ($f=240\text{MHz}$)

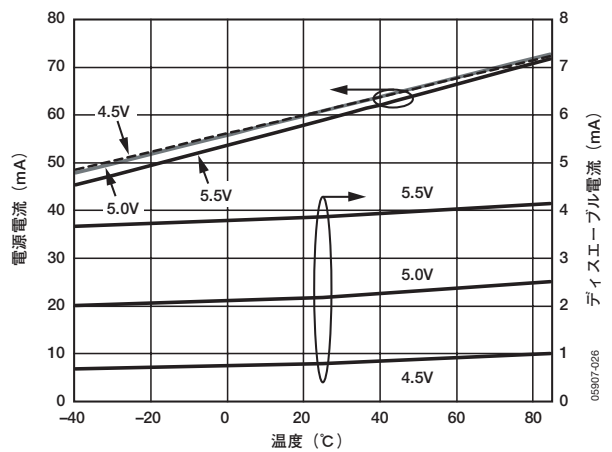


図26. 電源電圧 対 電源電流およびディスエーブル電流

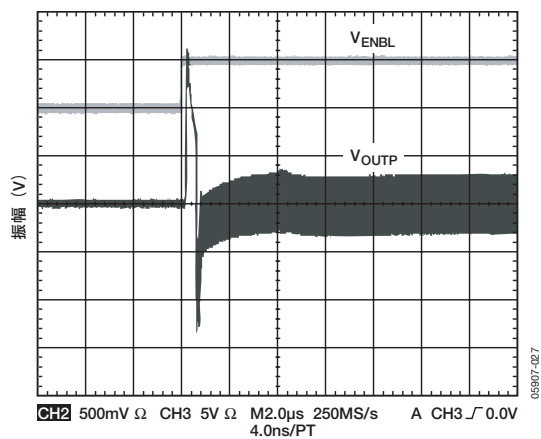


図27. ENBL応答時間

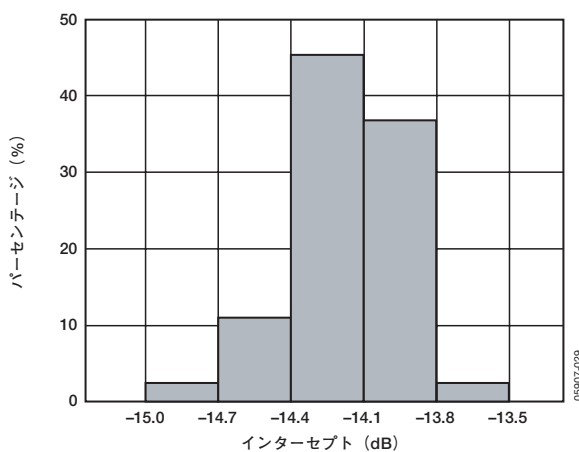


図29. ゲイン・インターセプト分布 (140MHz)

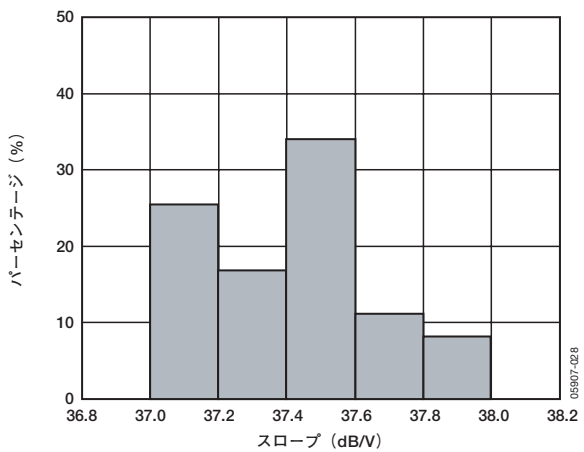


図28. ゲイン・スケーリング分布 (140MHz)

回路の説明

AD8368は、帯域幅800MHz、ゲイン制御スパン34dB（-12～+22dB）のシングルエンドVGAです。内蔵の汎用2乗ディテクタにより、VGAを中心とするタイトなAGCループを構成することができます。アナログ・デバイゼズの特許技術X-AMPアーキテクチャを基盤に、優れた直線性（OIP3）とノイズ指数（NF）が得られる高精度のデシベル・リニア・ゲイン制御機能を実現しています。また、50Ωの入出力インピーダンスによって、使いやすさも考慮しています。

図30に示すメインの信号パスは、可変入力減衰器と、これに続く固定ゲイン・アンプおよび出力段で構成されています。このアーキテクチャにより、ゲイン設定の関数としてOIP3と出力ノイズ・フロアが一定になります。結果的に、NFとIIP3はゲインが1dB低下するたびに1dB増加し、ゲイン設定に対して一定のダイナミック・レンジが得られます。

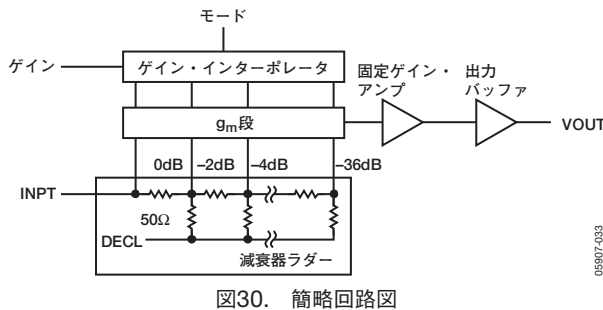


図30. 簡略回路図

入力減衰器とインターポレータ

入力減衰器は、18のセクションを持つ抵抗ラダーで構成されており、ラダーの各タップ・ポイントで入力信号が2dB減衰します。抵抗ラダーは正確な50Ωの入力インピーダンスを提供するだけでなく、リニア入力減衰器として機能します。可変トランスコンダクタンス（ g_m ）段では、ラダーの特定のタップ・ポイントから減衰された信号を選択して、固定ゲイン・アンプに供給することができます。離散的なタップ・ポイントに対して連続したゲイン制御を行うために、ゲイン・インターポレータは、可変 g_m 段を慎重に制御して隣接タップ・ポイントに現れる信号の重付け和を取ります。

固定ゲイン段と出力バッファ

出力バッファを駆動する固定ゲイン段に、さまざまなタップ・ポイントの重付け和が与えられます。抵抗入力減衰器はリニア特性を備えており、パッシブ終端としてわずかなノイズを生じるだけであるため、ゲインの関数となるダイナミック・レンジは主に固定ゲイン・アンプのノイズと歪みによって決まります。このため、ゲインの設定に対して一定のOIP3と一定の出力ノイズ・フロアが得られ、ゲインが低下するとそれに対応してIIP3とNFのデシベル値が増大します。出力バッファのゲインは6dBであり、広帯域でシングルエンドの50Ω出力インピーダンスが得られます。

出力オフセット補正

入力INPTのDCレベルは、内部リファレンスによって V_S の1/2に駆動されます。リファレンス用のDECLピンは、 C_{DECL} を接続してデカップリングします。出力OUTPのDCレベルは、ゲイン設定、温度、プロセスに左右されないオフセット補正ループによって同じくリファレンス電圧の1/2に調整されます。このループのローパス応答によって、信号パス伝達関数でハイパス・コーナー周波数を作ることができます。 C_{DECL} と C_{HPFL} を選択して、周波数を設定します。

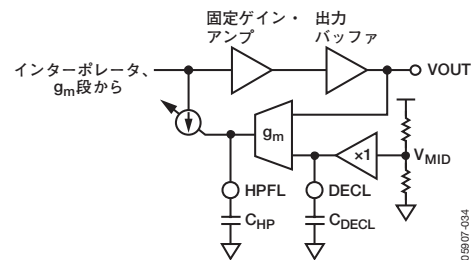


図31. 出力センタリング制御ループ

入力と出力のカップリング・コンデンサの選択に際しては、対象となる周波数で低インピーダンス（50Ωを基準）になり、ハイパス・コーナーに影響を及ぼさないようなものを選びます。この場合、オフセット補正ループの帰還パスで独立した極をなす C_{HPFL} または C_{DECL} によりハイパス・コーナー周波数を設定できます。ハイパス・コーナーはこれらの極の大きい方で決まり、以下の式で求めることができます。

$$f_{HP, HPFL} \text{ (kHz)} = \frac{0.8}{(0.005 + C_{HPFL})}$$

$$f_{HP, DECL} \text{ (kHz)} = \frac{5700}{(0.005 + C_{DECL})}$$

ここで、 C_{HPFL} または C_{DECL} の単位はnFです。

この方法を用いてハイパス周波数を設定するときは、その極の周波数が少なくとも30倍低くなるように他のコンデンサのサイズを調整する必要があります。 C_{DECL} は、DECLピンにおける全デカップリング容量を表します。

入出力インピーダンス

AD8368は、広帯域、シングルエンドの50Ω入出力インピーダンスを提供します。50Ωとの優れたマッチングは、周波数全体にわたり、ゲイン設定やデバイスが異なっても変わりません。内部のDCレベルが乱れないように、入力ピンと出力ピンの両方を外部的にACカップリングする必要があります。入力時にラダーで与えられ、出力時には出力バッファで得られる50Ωに対しコンデンサのインピーダンスが無視できるくらい大きくなるよう、十分なサイズのカップリング・コンデンサを使用してください。

ゲイン制御インターフェース

AD8368は、ゲインアップ・モードまたはゲインダウン・モードで動作するデシベル・リニア・ゲイン制御インターフェースを備えています。MODEピンをハイレベルにプルアップするゲインアップ・モードでは、ゲイン電圧が増大するとゲインも増大します。MODEピンをローレベルにプルダウンするゲインダウン・モードでは、ゲイン電圧が増大するとゲインが低下します。いずれの動作モードでも、 V_{GAIN} が100~900mVに変化しても、ゲイン制御スロープは、温度、電源、プロセス全体にわたって+37.5dB/Vまたは-38dB/V（モードの選択による）に維持されます。VGAを中心にオンボードのディテクタでAGCループを形成するには、MODE LOWにする必要があります。

MODEをハイレベルまたはローレベルにするゲイン関数は、それぞれ次式で得られます。

$$Gain_{HIGH}(dB) = 37.5 \times V_{GAIN} - 14$$

$$Gain_{LOW}(dB) = -38 \times V_{GAIN} + 24.8$$

ここで、 V_{GAIN} はボルト単位です。

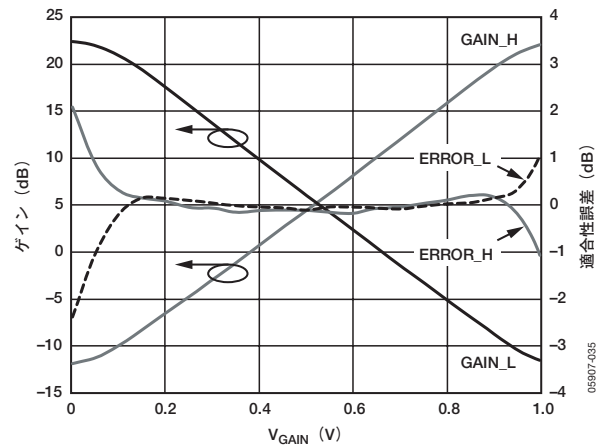


図32. V_{GAIN} 対 ゲインおよび適合性誤差

図32に示すように、ゲイン関数はMODEピンの状態に応じて、 V_{GAIN} の増加関数または減少関数となります。

アプリケーション

VGA動作

AD8368は、広範な周波数範囲で高精度な連続デシベル・リニア・ゲイン制御が必要な各種アプリケーションに最適な汎用VGAです。X-AMPアーキテクチャにより、他の可変ゲイン技術よりも優れた温度安定性や電源安定性を提供します。帯域幅は800MHzですが、 C_{HPFL} または C_{DECL} を選択することによってこの低周波数動作を拡張できます。

図33に、VGAモードでAD8368を使用する場合の代表的な接続図を示します。AD8368の入力 (INPT) と出力 (OUTP) は、チップ上のDCレベルが乱れないように外部でACカップリングする必要があります。コンデンサの直列インピーダンスが対象となる周波数で無視できるくらい大きくなるよう、十分なサイズのカップリング・コンデンサを使用する必要があります。

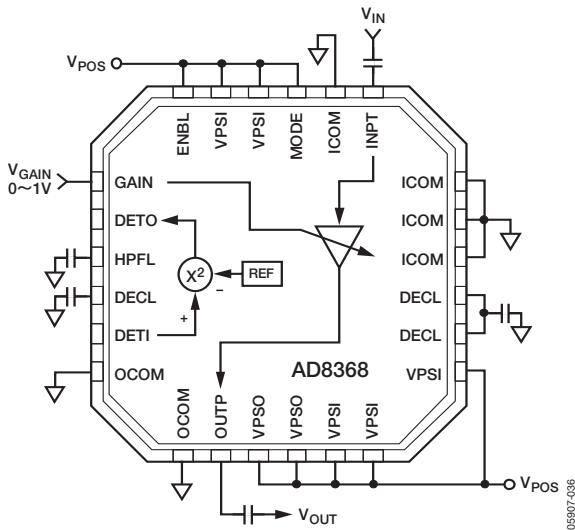


図33. V_{GAIN} の増加に応じてゲインも増加する、VGAモードの代表的な接続 (MODE HIGH)

0~1V範囲のゲイン制御電圧は、GAINピンに印加します。MODEピンは、ゲインの電圧によってデバイスのゲインを増加するか減少するかを制御します。MODEピンをハイレベルにプルアップすると、ゲイン電圧の増大に応じてゲインも増大します。MODEピンをローレベルにプルダウンすると、ゲイン電圧の増大に伴ってゲインは低下します。ENBLピンは、デバイスをイネーブルまたはディスエーブルすることができます。ENBLはアクティブ・ハイレベルです。ENBLをローレベルにするとデバイスはディスエーブルとなり、通常の電源電流に比べてごくわずかな電流しか流れなくなります。

DECLピンは、電源中央値の内部DCリファレンスをAD8368に提供します。このピンは、低ESRの大きなコンデンサを使ってグラウンドに適切にデカップリングする必要があります。HPFLピンとDECLピンに接続されたコンデンサは、出力オフセット補正ループのローパス・コーナー周波数を制御します。これによって得られたハイパス・コーナー周波数は、コンデンサの値に反比例します。

AGC動作

AD8368は、図34に示すように、オンボードのrmsディテクタを使ってスタンドアロンのAGCアンプに構成することができます。ディテクタの出力DETOは、63mVの内部リファレンスと検知信号の実効値 (rms) との平方差を表す誤差電流です。この誤差電流は C_{DETO} で積分され、GAINピンに接続されてAGCループを形成します。

63mVのrmsリファレンスは178mVp-pのサイン波に対応しますが、ピーク対平均比の高いマルチキャリア信号、ガウス・ノイズ、複雑なエンベロープなど、もっと複雑な信号でもディテクタの精度は変わりません。

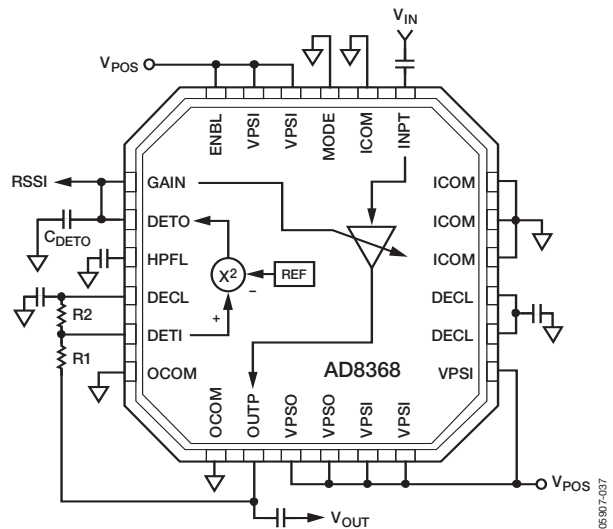


図34. AGC動作モード

AGC動作モードでは、特定のゲイン方向が必要です。 V_{DETO} が増大するとゲインが下がり、セットポイントに対する必要なバランスを回復します。このため、MODEピンをローレベルにプルダウンする必要があります。OUTPの信号をディテクタの入力 (DETI) に直接接続すると、出力レベルは63mVのrmsリファレンス・セットポイントになります。

図34に示すように、DECLを基準に、OUTPとDETIとの間の外部抵抗分割器ネットワークを使って、出力セットポイントを上げることができます。この構成では、AGCループによってrms出力電圧が強制的に $(1+R1/R2)$ 63mVになります。0dBm (50Ωを基準に224mV rms) 出力セットポイントの場合、この比は3.5です。DETIの入力インピーダンスを補正した後、 $R1=226\Omega$ 、 $R2=100\Omega$ を選択すると、セットポイントはほぼ0dBmになります。この高精度のレベル調整関数を図35に示します。この場合、rms出力は30dB超の入力レベル範囲で0dBmセットポイントの0.2dB以内に維持されます。

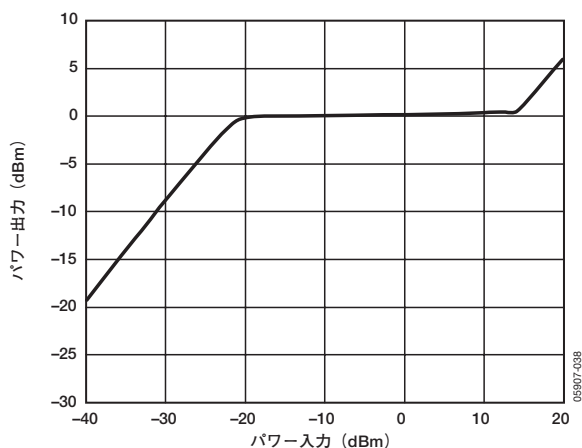


図35. 入力パワー 対 出力パワー (140MHz、AGCモード)

正確なAGC出力パワー・レベルを得るには、該当するRF周波数に対しDECLコンデンサを調整する必要があります。DECLコンデンサの値は、ボードの寄生要素によって異なります。表5に、評価用ボードの寄生要素に基づくDECLコンデンサ値を示します。

表5

IF周波数 (MHz)	C4 (pF)	C20 (pF)
70	1000	2200
140	270	560
240	68	150
380	33	68
480	15	39

AGCモードで2乗ディテクタを使用する大きな利点は、RSSIの電圧が信号のパワーを正確に反映したものになり、任意のソース・インピーダンスでパワーの絶対測定値に変換できることです。DETOピンで得られる電圧をベースにした、50Ωを基準とするdBm単位のRSSIは、次式で求めることができます。

$$RSSI = -11 + 20 \log_{10} (1 + R1/R2) + 38 \times V_{DETO} - 24.8$$

図36は、入力パワーが掃引されるときDETOのRSSI電圧を示しています。

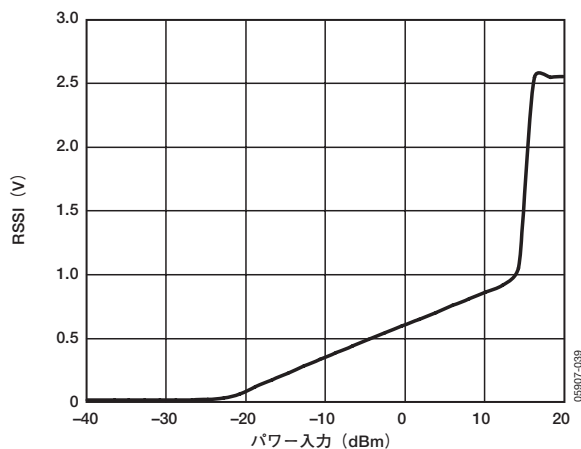


図36. 入力パワー 対 GAIN/DETO RSSI電圧の監視

AGCが過負荷の状態になると、AD8368は回復までにかかなり長い時間がかかることがあります。これは、DETOの電圧が異常に高い状態のままになり、ゲインが最小値になるためです。このような状態を防止するために、図37に示すようにDETOピンにクランプを配置することを推奨します。

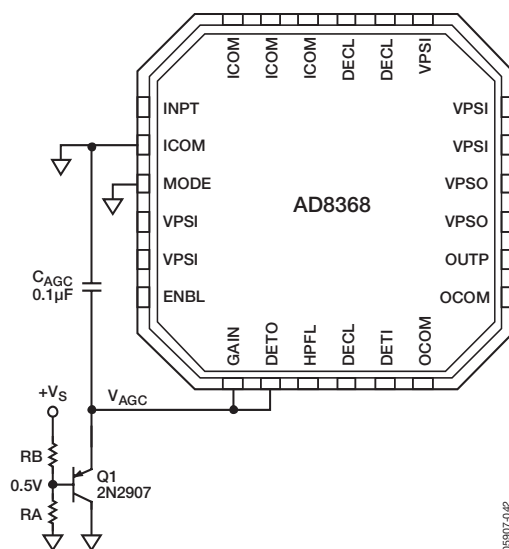


図37. AGCの過負荷を防止するための外部クランプ

RAおよびRBによる抵抗分割器ネットワークは、Q1のベースが0.5Vに駆動されるように設計する必要があります。

AD8368

C_{DETO} は、平均化の時定数、応答時間、キャリア・リークのパラメータを考慮して選択します。 C_{DETO} が小さすぎて応答時間が長くなると、AGCループが振幅エンベロープのトラッキングとレベル調整を開始し、コンスタレーションが壊れることがあります。図38は、5%のEVM（エラー・ベクトルの大きさ）の劣化が生じている16QAM、100kシンボル/秒のコンスタレーションです。 C_{DETO} を0.01 μ Fまで上げることで、EVMは1.1%まで改善します。

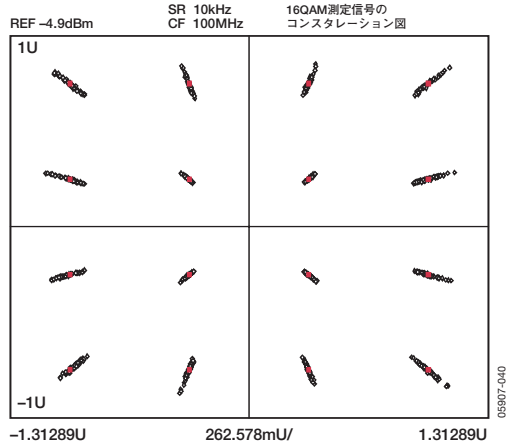


図38. 16QAM、100kシンボル/秒のEVM性能の劣化 (C_{DETO} が小さすぎる場合)

図39は、 $C_{DETO}=1\text{nF}$ 、10Mシンボル/秒、16QAM変調のEVM性能を測定したものです。

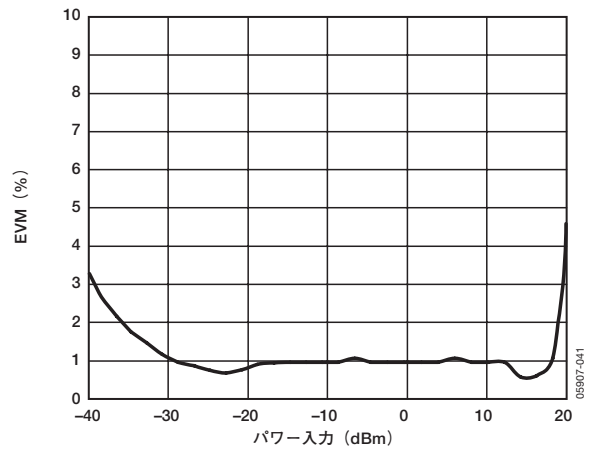


図39. 16QAM、10Mシンボル/秒のEVM性能

評価用ボード

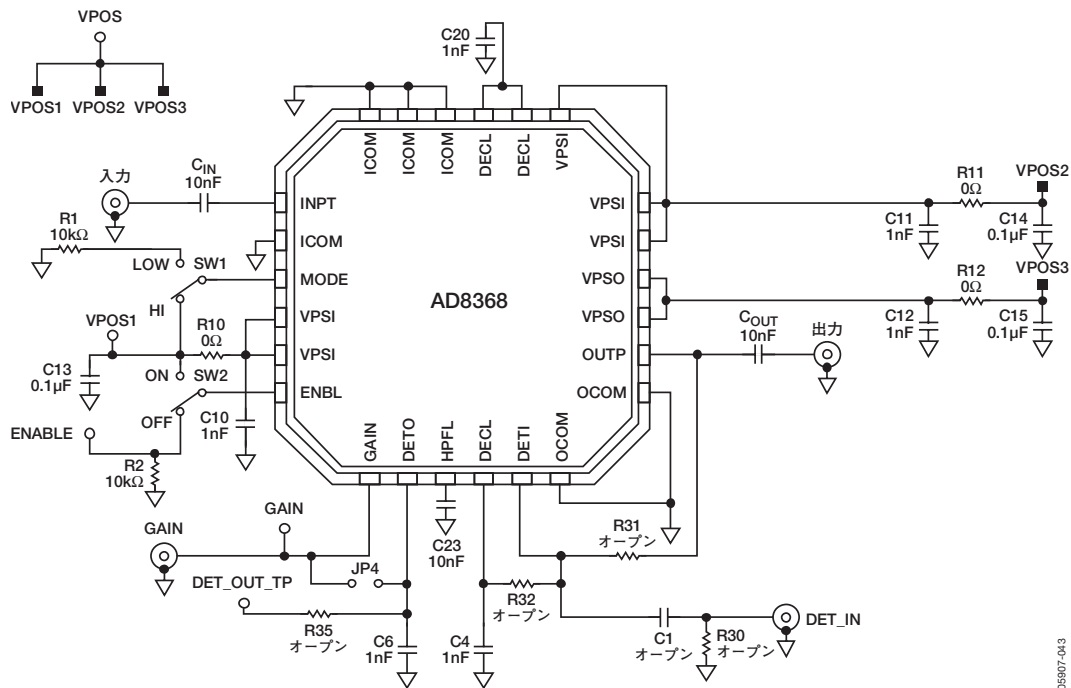


図40

表6. 評価用ボードの設定オプション

部品	機能	デフォルト設定
R1, R2	MODEおよびENBL用のプルダウン抵抗	R1=R2=10 kΩ
R10, R11, R12, C10, C11, C12, C13, C14, C15	電源のデカップリング。ジャンパ、電源デカップリング抵抗、フィルタ・コンデンサ	R10=R11=R12=0Ω C10=C11=C12=1nF C13=C14=C15=0.1μF
C _{IN}	RF入力。C _{IN} はRF入力用のDCブロックを提供	C _{IN} =10nF
C _{OUT}	RF出力。C _{OUT} はRF出力用のDCブロックを提供	C _{OUT} =10nF
R31, R32	AGC動作のための帰還パス。63mV rmsのデフォルト・セットポイントの場合は、R31を0Ωに設定し、R32を削除。他のAGCセットポイントの場合は、(1+n)×63mV rmsによってrms電圧を決定。ここで、n=R31/R32	R31=R32=オープン (VGAモード)
R35	ディテクタ出力のRSSI電圧をDET_OUT_TPに供給するために、0Ωを実装	R35=オープン
C23	出力オフセット制御ループのハイパス・フィルタのコーナー周波数を設定	C23=10 nF
C1, R30	ディテクタを外部で駆動するために使用。R30を50Ωに設定してマッチング。C1を大きなACカップリング・コンデンサに設定	C1=未実装 R30=未実装
C6	DETOコンデンサ。データレートを遅くするには、これを大きくする必要あり（「AGC動作」を参照）	C6=1nF
C20, C4	DECLコンデンサ。AGC動作のRF周波数に基づいて調整する必要あり（「AGC動作」を参照）	C20=C4=1nF
JP4	AGCモード時の動作用ジャンパ。ディテクタの出力からゲイン・ピンにフィードバックを提供	JP4=未実装 (VGAモード)
SW1	モード・スイッチ。LOWモードではデバイスがゲインダウン・モードになり、HIGHモードではゲインアップ・モードになります。AGC動作では必ずゲインダウン・モード	SW1=JP2
SW2	パワーダウン。ENBLピンがグラウンドに接続されると、デバイスがディスエーブル	SW2=JP3

AD8368

外形寸法

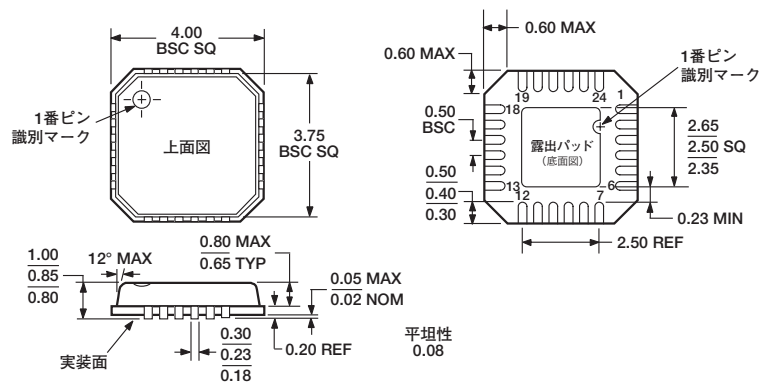


図41. 24ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP_VQ]
4mm×4mmボディ、極薄クワッド
(CP-24-4)
寸法単位：mm

オーダー・ガイド

モデル	温度範囲	パッケージ	パッケージ・オプション	注文数量
AD8368ACPZ-REEL7 ¹	-40~+85°C	24ピン・リード・フレーム・チップ・スケール・パッケージ (LFCSP_VQ)	CP-24-4	1500
AD8368ACPZ-WP ^{1,2}	-40~+85°C	24ピン・リード・フレーム・チップ・スケール・パッケージ (LFCSP_VQ)	CP-24-4	64
AD8368-EVALZ ¹		評価用ボード		

¹ Z=鉛フリー製品

² WP=ワッフル・バック