

特長

- ローノイズ・プリアンプ (PrA)
- 電圧ノイズ=1.3nV/√Hz (typ)
- 電流ノイズ=2.4pA/√Hz (typ)
- NF=7dB ($R_S=R_{IN}=50\Omega$)
- シングルエンド入力: $V_{IN}(\max) = 625\text{mV p-p}$
- アクティブ入力マッチ
- 入力S/N比=92dB (ノイズ帯域幅=20MHz)

VGA

- 差動出力
- $V_{OUT}(\max) = 5\text{V p-p}$, $R_L=500\Omega$ 差動
- ゲイン・レンジ (8dBの出力ゲイン・ステップ)
- 10~+38dB (LOゲイン・モード)
- 2~+46dB (HIゲイン・モード)
- 正確なデシベル・リニア・ゲイン制御

PrA+VGAの性能

- 70MHzの-3dB帯域幅
- 優れた過負荷性能

電源: 5V

消費電力

- 95mW/チャンネル (合計380mW)
- 65mW/チャンネル (PrAオフ、合計260mW)

パワーダウン

アプリケーション

- 医療用画像処理 (超音波、ガンマ・カメラ)
- 音波探知機
- テストおよび測定
- 精密で安定したワイドバンド・ゲイン制御

機能ブロック図

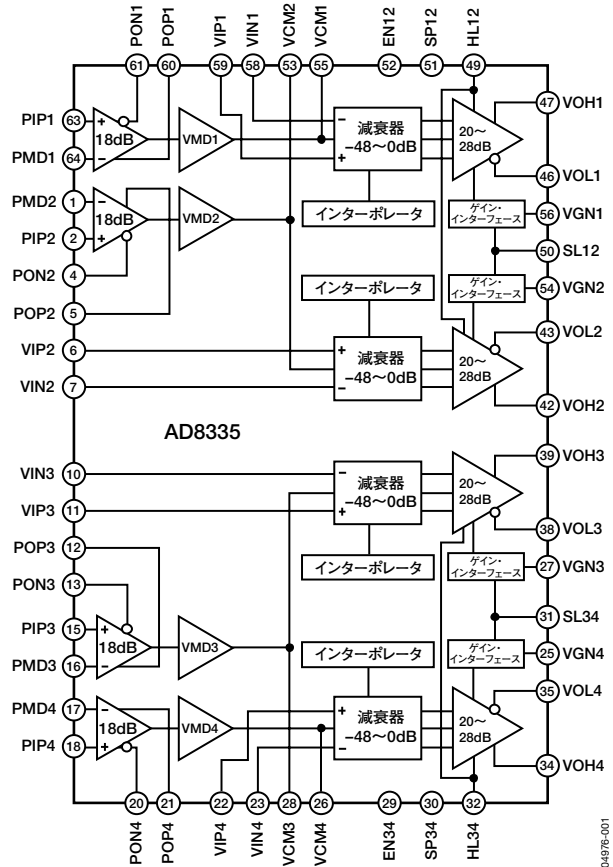


図1

概要

AD8335は、コスト条件と電源条件の厳しいアプリケーション向けに開発された、ローノイズ・プリアンプ付きクワッド可変ゲイン・アンプ (VGA) です。各チャンネルは、48dBのゲイン・レンジ、完全差動信号経路、入力プリアンプのアクティブ・マッチング、ユーザ選択可能な46dBと38dBの最大ゲインを備えています。チャンネルごとにゲイン制御を行います。

プリアンプ (PrA) はシングルエンド入力、ゲイン8倍 (18.06dB) を備えた差動出力となっており、入力電圧範囲は最大625mV p-pです。PrAノイズは1.2nV/√Hzであり、PrAとVGAの合計入力換算電圧ノイズは、最大ゲインで1.3nV/√Hzです。

ノイズ帯域幅 (NBW) を、40MHzのADCに対するナイキスト周波数である20MHzとすると、入力のS/N比は92dBです。HILOピンにより、1V p-pまたは2V p-pのフルスケール (FS) 入力を持つ10/12ビットADCの出力S/N比を最適化します。

チャンネル1と2はEN12ピン、チャンネル3と4はEN34ピンを通じてイネーブルになります。VGA専用のアプリケーションでは、PrAをパワーダウンすれば、消費電力を大幅に低減できます。

AD8335は、64ピンのリード・フレーム・チップ・スケール (9mm×9mm) パッケージを採用し、-40~+85°Cの工業用温度範囲で仕様規定されています。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートはREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。
© 2004 Analog Devices, Inc. All rights reserved.

AD8335

目次

仕様	3	出力段	19
絶対最大定格	5	VGAノイズ	19
ESDに関する注意	5	アプリケーション	20
ピン配置と機能の説明	6	超音波	20
代表的な性能特性	7	基本的な接続	21
テスト回路	15	プリアンプの接続	21
動作原理	16	入力オーバードライブ	23
イネーブルの概要	16	入力過負荷保護	23
プリアンプ	17	ロジック入力	23
ノイズ	17	コモン・モード・ピン	23
VGA	18	ADCの駆動	23
システム・ダイナミック・レンジの最適化	18	外形寸法	24
減衰器	18	オーダー・ガイド	24
ゲイン制御	19		

改訂履歴

2004年9月ーリビジョン0：初版

仕様

特に指定のない限り、 $V_S=5V$ 、 $T_A=25^\circ C$ 、 $R_L=500\Omega$ 、 $f=5MHz$ 、 $C_L=10pF$ 、LOゲイン・レンジ（ $-10\sim+38dB$ ）、 $R_{FB}=249\Omega$ （PrA $R_{IN}=50\Omega$ ）、信号電圧は差動、各チャンネル、dBm（50 Ω ）で仕様規定。

表1

パラメータ	条件	Min	Typ	Max	単位
PrAの特性					
ゲイン	シングルエンド入力から差動出力		18		dB
	シングルエンド入力からシングルエンド出力		12		dB
入力電圧範囲	PrA出力は5V p-p差動に制限		625		mV p-p
入力抵抗	$R_{FB}=249\Omega$		50		Ω
	$R_{FB}=374\Omega$		75		Ω
	$R_{FB}=499\Omega$		100		Ω
	$R_{FB}=\infty$ 、PIP _X への低周波値		14.7		k Ω
入力容量	PIP _X （ピン2、15、18、63）		1.5		pF
-3dB小信号帯域幅	$R_{FB}=249\Omega$ 時		110		MHz
入力電圧ノイズ	$R_S=0\Omega$ 、 $R_{FB}=\infty$		1.15		nV/ \sqrt{Hz}
入力電流ノイズ			2.4		pA/ \sqrt{Hz}
ノイズ指数					
アクティブ終端マッチ	$R_S=R_{IN}=50\Omega$ 、 $R_{FB}=249\Omega$		7		dB
終端なし	$R_S=50\Omega$ 、 $R_{FB}=\infty$		4.4		dB
PrA+VGAの特性					
-3dB小信号帯域幅	終端なし： $R_S=50\Omega$ 、 $R_{FB}=\infty$		70		MHz
	マッチ： $R_S=R_{IN}=50\Omega$		85		MHz
スルーレート	LOゲイン、 $VGN=3V$ 、 $V_{OUT}=2V$ p-p		250		V/ μs
	HIゲイン、 $VGN=3V$ 、 $V_{OUT}=2V$ p-p		350		V/ μs
入力電圧ノイズ	ピン $VGN_X=3V$ 、 $R_S=0\Omega$ 、 $R_{FB}=\infty$		1.3		nV/ \sqrt{Hz}
ノイズ指数	ピン $VGN_X=3V$ 、 $f=1\sim 10MHz$				
アクティブ終端マッチ	$R_S=R_{IN}=50\Omega$		7		dB
	$R_S=R_{IN}=100\Omega$		4.5		dB
終端なし	$R_S=50\Omega$ 、 $R_{FB}=\infty$		5.0		dB
	$R_S=500\Omega$ 、 $R_{FB}=\infty$		1.3		dB
出力換算ノイズ	LOゲイン、 $VGN<2V$		33		nV/ \sqrt{Hz}
	HIゲイン、 $VGN<2V$		80		nV/ \sqrt{Hz}
ピーク出力電圧	差動、 $R_L\geq 500\Omega$		5		V p-p
出力抵抗	$f<1MHz$ 、ピン VOH_X 、 VOL_X		1.2		Ω
コモン・モード・レベル	PrAとVGAの電源電圧の1/2に設定		$V_S/2$		V
出力オフセット電圧	差動（ VOH_X-VOL_X ）フルゲイン・レンジ	-25	5	35	mV
	コモン・モード（ VOH_X-VCM_X 、 VOL_X-VCM_X ）	-20	0	20	mV
高調波歪み	$V_{OUT}=1V$ p-p、LOゲイン、 $VGN=2V$				
HD2	$f=1MHz$		-69		dBc
HD3	$f=1MHz$		-57		dBc
HD2	$f=10MHz$		-57		dBc
HD3	$f=10MHz$		-55		dBc
高調波歪み	$V_{OUT}=1V$ p-p、HIゲイン、 $VGN=2V$				
HD2	$f=1MHz$		-58		dBc
HD3	$f=1MHz$		-70		dBc
HD2	$f=10MHz$		-55		dBc
HD3	$f=10MHz$		-55		dBc
出力1dB圧縮（OP1dB）	$VGN=3V$		18		dBm
	$VGN=3V$		8		dBVpk

AD8335

パラメータ	条件	Min	Typ	Max	単位
ツートーンIMD3歪み	$V_{OUT}=1V_{p-p}$ 、 $VGN=3V$ $f_1=1MHz$ 、 $f_2=1.05MHz$ $f_1=10MHz$ 、 $f_2=10.05MHz$		-69 -65		dBc dBc
出力IP3 (OIP3)	$V_{OUT}=1V_{p-p}$ 、 $VGN=3V$ $f=1MHz$ $f=10MHz$		33 31		dBm dBm
チャンネル間クロストーク	$V_{OUT}=1V_{p-p}$ 、 $f=1\sim 10MHz$		-80		dBc
過負荷回復	PrAまたはVGA		10		ns
群遅延変動	フルゲイン・レンジ、 $f=1\sim 10MHz$		3.0		ns
ゲイン制御インターフェース	ピンVGN _x				
通常の動作範囲		0		3	V
最大範囲	ゲイン・フォールドオーバーなし	0		V_S	V
ゲイン・レンジ	LOゲイン・モード (ピンHL _{xx} =0V) HIゲイン・モード (ピンHL _{xx} = V_S)		-10~+38 -2~+46		dB dB
スケール係数	公称 (ピンSL12とSL34=2.5V)	19.0	20.0	21.0	dB/V
バイアス電流			-0.3		μA
応答帯域幅			5		MHz
応答時間	48dBのゲイン変化		350		ns
ゲイン精度	ピンVGN _x				
絶対ゲイン誤差	$0\leq VGN\leq 0.4V$ $0.4\leq VGN\leq 2.6V$ 、 1σ $2.6\leq VGN\leq 3V$	1.25 -1.25 ±0.2 -7.5		7.5 +1.25 -1.25	dB dB dB
全温度における誤差	$0.4\leq VGN\leq 2.6V$ 、 $-40^\circ C < T_A < +85^\circ C$		±0.75		dB
インターセプト	LOゲイン・モード、PrAは50 Ω にマッチ HIゲイン・モード、PrAは50 Ω にマッチ		-16.1 -8.1		dB dB
チャンネル間マッチング	$0.4\leq V_{GN}\leq 2.6V$		0.15		dB
ロジック・レベル (HILO、シャットダウン・プリアンプ、 イネーブル・インターフェース)	ピンHL _{xx} 、SP _{xx} 、EN _{xx}				
ロジック・レベル・ハイ		2.75		5	V
ロジック・レベル・ロー		0		1	V
バイアス電流 (HILO、イネーブル)					
ロジック・ハイ			80		μA
ロジック・ロー			-12		μA
入力抵抗 (HILO、イネーブル)			50		k Ω
バイアス電流 (シャットダウン・プリアンプ)					
ロジック・ハイ			20		μA
ロジック・ロー			0		μA
入力抵抗 (シャットダウン・プリアンプ)					
HILO応答時間			500		k Ω
イネーブル応答時間			0.6		μs
			100		μs
電源	ピンVPP _x 、VPV _x				
電源電圧		4.5	5	5.5	V
静止電流	チャンネル当たり (PrAとVGAをイネーブル)		19		mA
温度変化	$-40^\circ C < T_A < +85^\circ C$	16		22.8	mA
静止電力	チャンネル当たり (PrAとVGAをイネーブル)		95		mW
静止電流	チャンネル当たり (PrAディスエーブル、 VGAイネーブル)		13		mA
静止電力	チャンネル当たり (PrAディスエーブル、 VGAイネーブル)		65		mW
静止電流	全チャンネルがイネーブル		76		mA
ディスエーブル電流	全チャンネルがディスエーブル		0.8		mA
PSRR	$V_{GN}=0V$ 、すべてのバイパス・コンデンサ を除去、1MHz		-60		dB

絶対最大定格

表2

パラメータ	定格
電圧	
電源 V_S	6V
プリアンプ入力	V_S
VGA入力	V_S
イネーブル、シャットダウン・プリアンプ、HILOインターフェース	V_S
ゲイン	V_S
消費電力（4層JEDECボード（2S2P））	2.46W
θ_{JA}	26.4°C/W
θ_{JC}	6.8°C/W
動作温度範囲	-40~+85°C
保存温度範囲	-65~+150°C
リード・ピン温度範囲（ハンダ処理60秒）	300°C

左記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

注意

ESD（静電放電）の影響を受けやすいデバイスです。人体や試験機器には4000Vもの高圧の静電気が容易に蓄積され、検知されないまま放電されることがあります。本製品は当社独自のESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。



AD8335

ピン配置と機能の説明

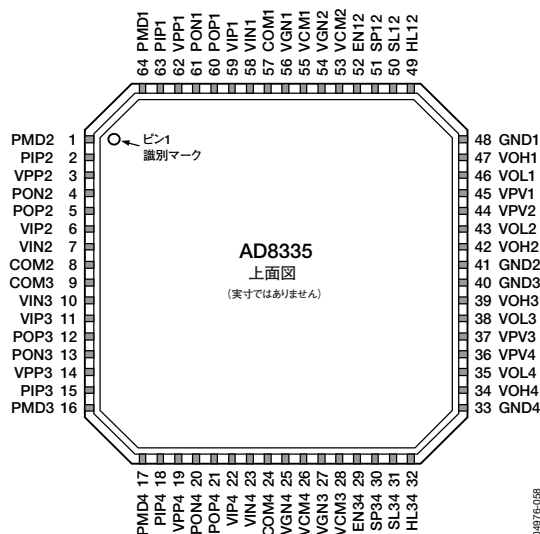


図2. LFCSPのピン配置

表3. ピン機能の説明

ピン番号	記号	機能	ピン番号	記号	機能
1	PMD2	ブリアンプ入力コモン—Ch2	33	GND4	グラウンドVGA—Ch4
2	PIP2	ブリアンプ入力—Ch2	34	VOH4	正VGA出力—Ch4
3	VPP2	正側電源ブリアンプ—Ch2	35	VOL4	負VGA出力—Ch4
4	PON2	負ブリアンプ出力—Ch2	36	VPV4	正側電源VGA—Ch4
5	POP2	正ブリアンプ出力—Ch2	37	VPV3	正側電源VGA—Ch3
6	VIP2	正VGA入力—Ch2	38	VOL3	負VGA出力—Ch3
7	VIN2	負VGA入力—Ch2	39	VOH3	正VGA出力—Ch3
8	COM2	グラウンド・ブリアンプ—Ch2	40	GND3	グラウンドVGA—Ch3
9	COM3	グラウンド・ブリアンプ—Ch3	41	GND2	グラウンドVGA—Ch2
10	VIN3	負VGA入力—Ch3	42	VOH2	正VGA出力—Ch2
11	VIP3	正VGA入力—Ch3	43	VOL2	負VGA出力—Ch2
12	POP3	正ブリアンプ出力—Ch3	44	VPV2	正側電源VGA—Ch2
13	PON3	負ブリアンプ出力—Ch3	45	VPV1	正側電源VGA—Ch1
14	VPP3	正側電源ブリアンプ—Ch3	46	VOL1	負VGA出力—Ch1
15	PIP3	ブリアンプ入力—Ch3	47	VOH1	正VGA出力—Ch1
16	PMD3	ブリアンプ入力コモン—Ch3	48	GND1	グラウンドVGA—Ch1
17	PMD4	ブリアンプ入力コモン—Ch4	49	HL12	HILOピン—Ch1とCh2
18	PIP4	ブリアンプ入力—Ch4	50	SL12	スロープ・デカップリング・ピン—Ch1とCh2
19	VPP4	正側電源ブリアンプ—Ch4	51	SP12	シャットダウン—ブリアンプ1とブリアンプ2
20	PON4	負ブリアンプ出力—Ch4	52	EN12	イネーブル—Ch1とCh2
21	POP4	正ブリアンプ出力—Ch4	53	VCM2	コモン・モード・デカップリング・ピン—Ch2
22	VIP4	正VGA入力—Ch4	54	VGN2	ゲイン制御—Ch2
23	VIN4	負VGA入力—Ch4	55	VCM1	コモン・モード・デカップリング・ピン—Ch1
24	COM4	グラウンド・ブリアンプ—Ch4	56	VGN1	ゲイン制御—Ch1
25	VGN4	ゲイン制御—Ch4	57	COM1	グラウンド・ブリアンプ—Ch1
26	VCM4	コモン・モード・デカップリング・ピン—Ch4	58	VIN1	負VGA入力—Ch1
27	VGN3	ゲイン制御—Ch3	59	VIP1	正VGA入力—Ch1
28	VCM3	コモン・モード・デカップリング・ピン—Ch3	60	POP1	正ブリアンプ出力—Ch1
29	EN34	イネーブル—Ch3とCh4	61	PON1	負ブリアンプ出力—Ch1
30	SP34	シャットダウン—ブリアンプ3とブリアンプ4	62	VPP1	正側電源ブリアンプ—Ch1
31	SL34	スロープ・デカップリング・ピン—Ch3とCh4	63	PIP1	ブリアンプ入力—Ch1
32	HL34	HILOピン—Ch3とCh4	64	PMD1	ブリアンプ入力コモン—Ch1

代表的な性能特性

特に指定のない限り、 $V_S=5V$ 、 $T_A=25^\circ\text{C}$ 、 $R_L=500\Omega$ 、 $f=5\text{MHz}$ 、 $C_L=10\text{pF}$ 、LOゲイン・レンジ（ $-10\sim+38\text{dB}$ ）、 $R_{PB}=249\Omega$ （ $\text{PrA } R_{IN}=50\Omega$ ）、信号電圧は差動、各チャンネルで仕様規定

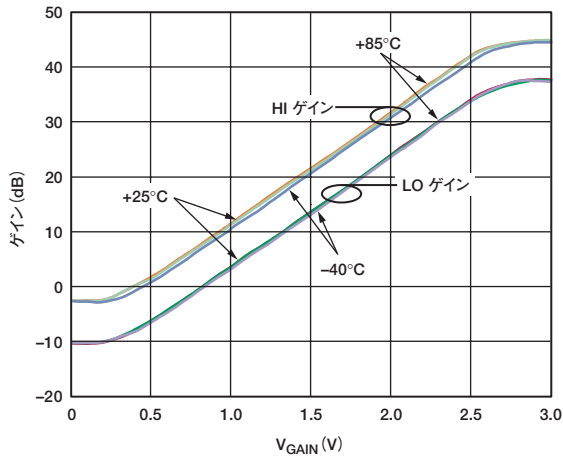


図3. 3つの温度での V_{GAIN} 対 ゲイン
(図49を参照)

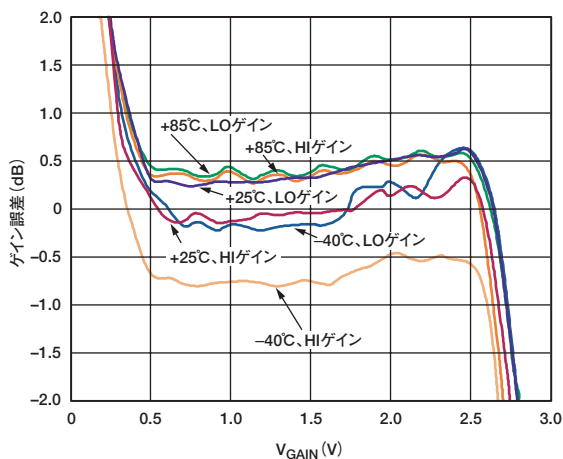


図4. 3つの温度での V_{GAIN} 対 ゲイン誤差
(図49を参照)

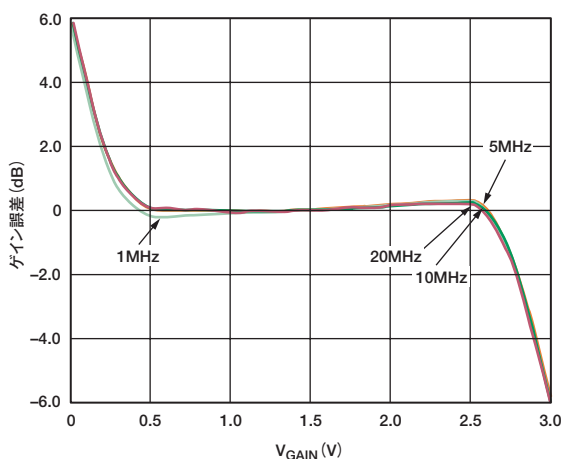


図5. さまざまな周波数での V_{GAIN} 対 ゲイン誤差
(図49を参照)

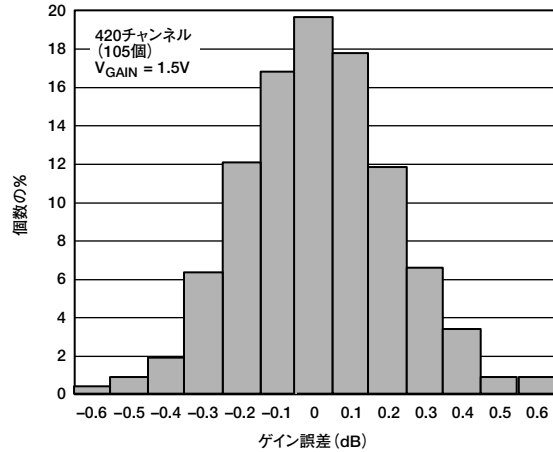


図6. ゲイン誤差のヒストグラム

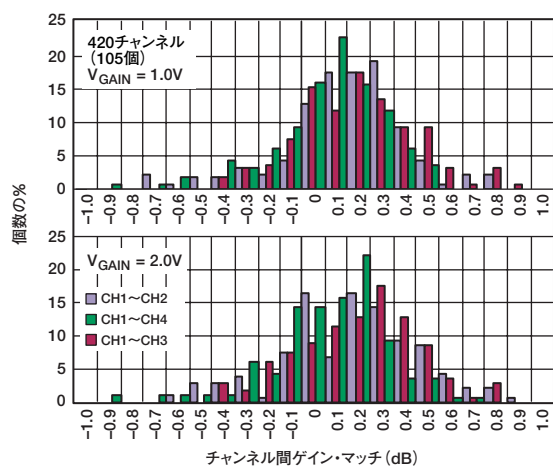


図7. ゲイン・マッチのヒストグラム
($V_{\text{GAIN}}=1\text{V}$ および 2V)

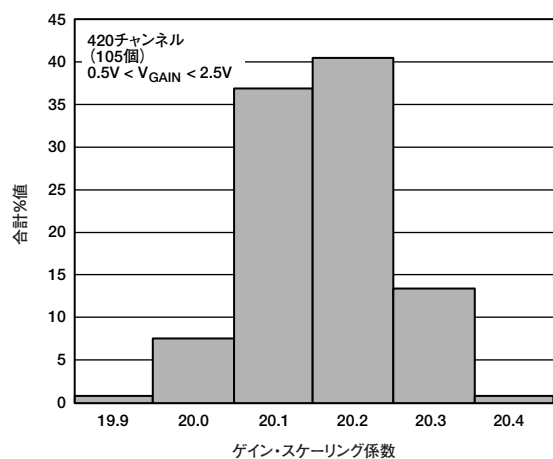


図8. ゲイン・スケーリング係数のヒストグラム
($0.5\text{V} < V_{\text{GAIN}} < 2.5\text{V}$)

AD8335

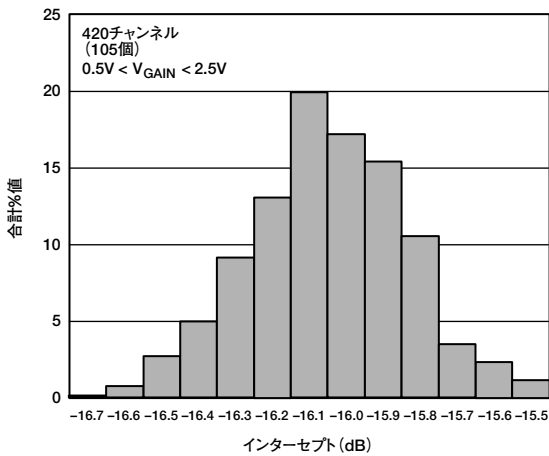


図9. インターセプトのヒストグラム

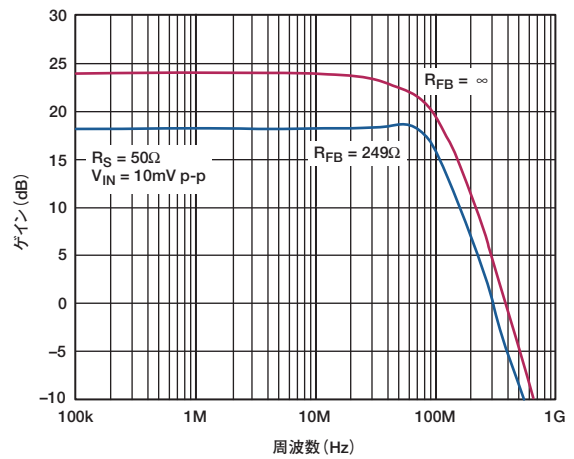


図12. 終端ありと終端なしの50Ω信号源に対する周波数応答 (図49を参照)

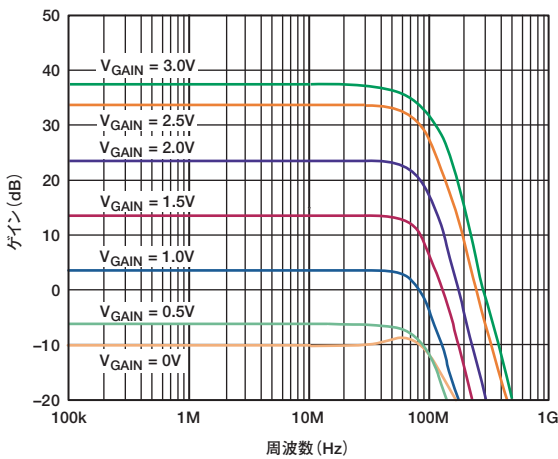


図10. V_{GAIN} のさまざまな値に対する周波数応答 (図49を参照)

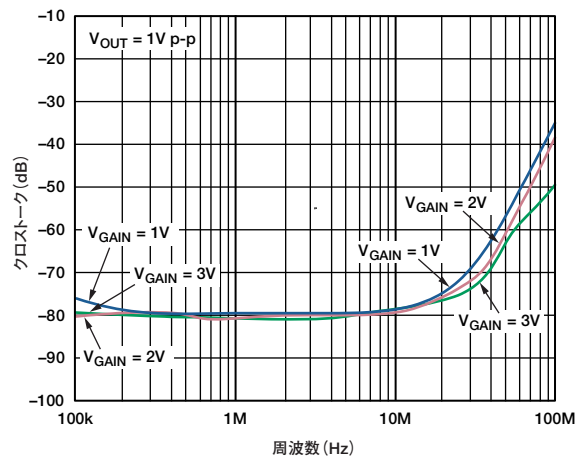


図13. V_{GAIN} のさまざまな値に対する周波数対チャンネル間クロストーク

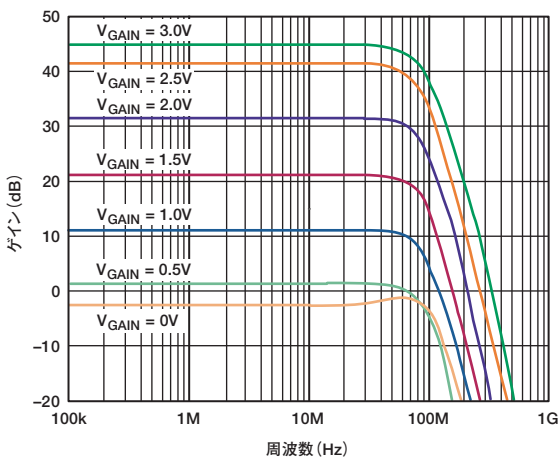


図11. V_{GAIN} のさまざまな値に対する周波数応答、HILO=HI (図49を参照)

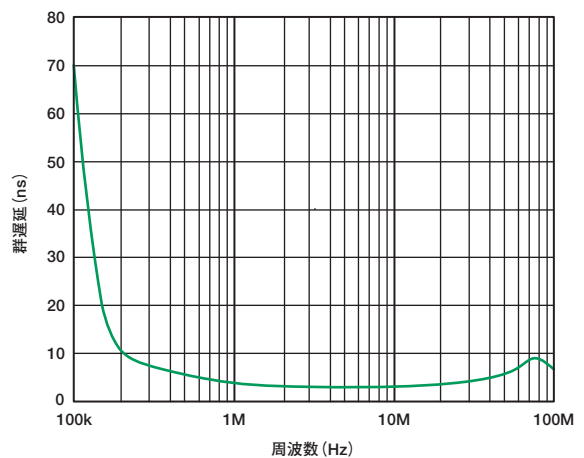


図14. 周波数対群遅延

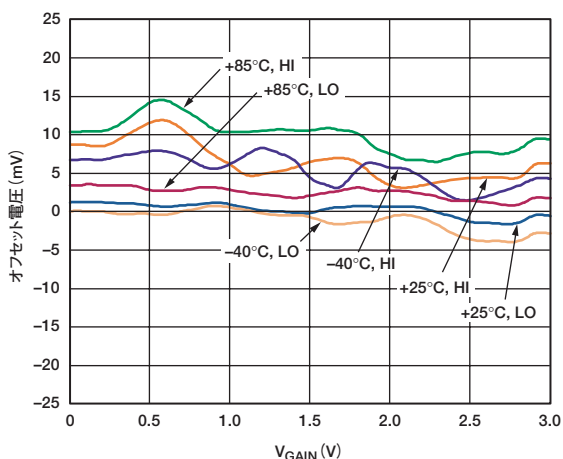


図15. 3つの温度での V_{GAIN} 対 差動出力 オフセット電圧

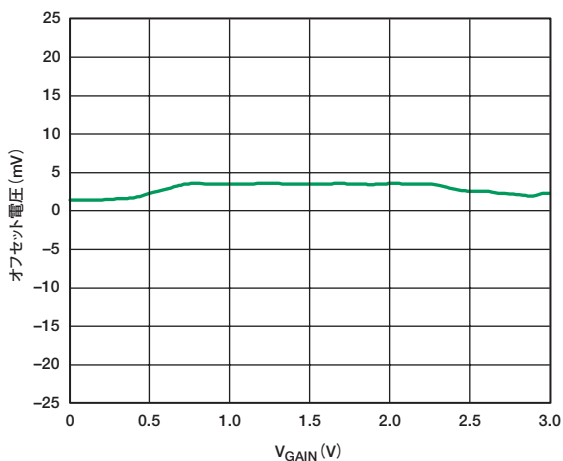


図16. ピン V_{CMx} を基準にしたピン $VOHx$ と $VOLx$ での V_{GAIN} 対 絶対オフセット

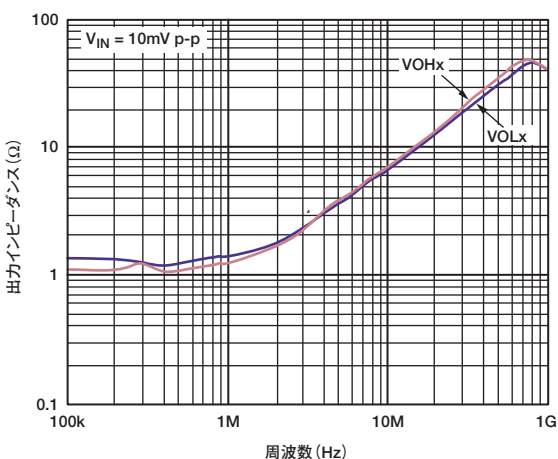


図17. 周波数 対 ピン $VOHx$ と $VOLx$ での 出力抵抗

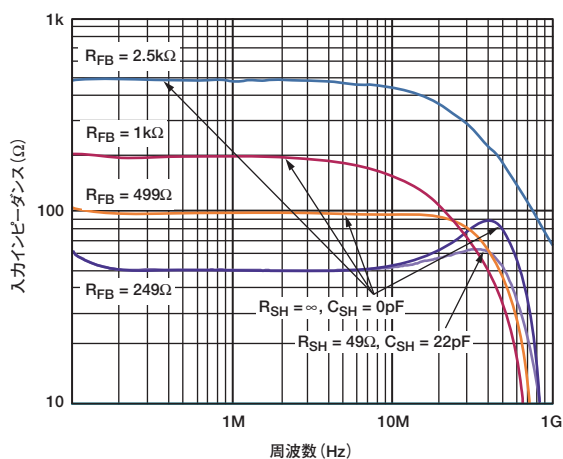


図18. R_{FB} のさまざまな値に対する周波数 対 プリアンプ入力抵抗

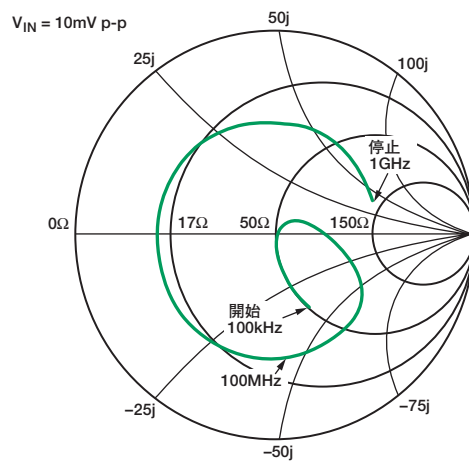


図19. 周波数 (100kHz~1GHz) 対 S_{11} の スミス・チャート

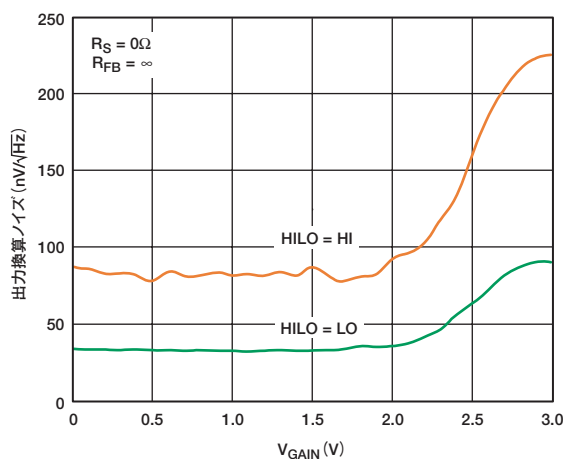


図20. V_{GAIN} 対 出力換算ノイズ (図50を参照)

AD8335

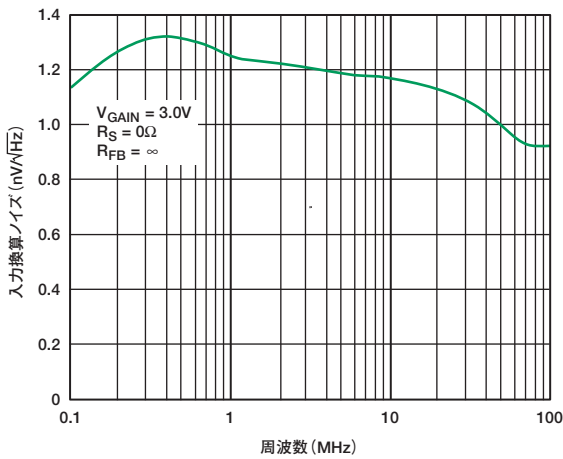


図21. 最大ゲインでの周波数 対 短絡時入力換算ノイズ (図50を参照)

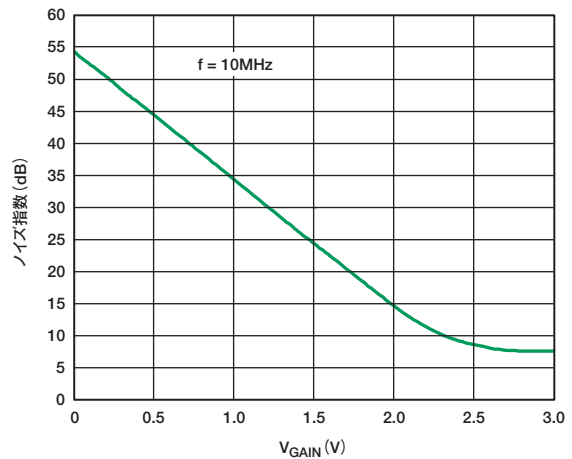


図24. $R_S=R_{IN}=50\Omega$ の V_{GAIN} 対 ノイズ指数

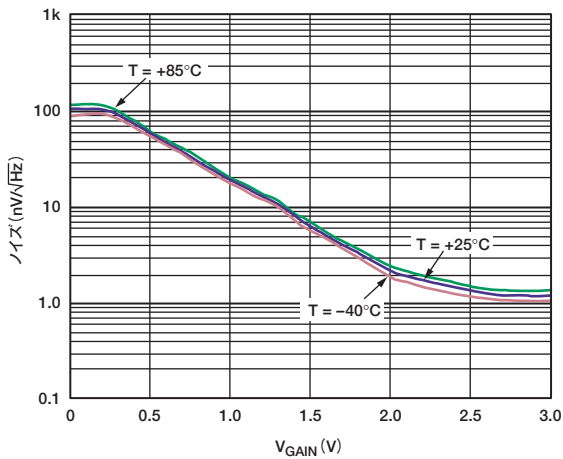


図22. 3つの温度での V_{GAIN} 対 入力換算ノイズ (図50を参照)

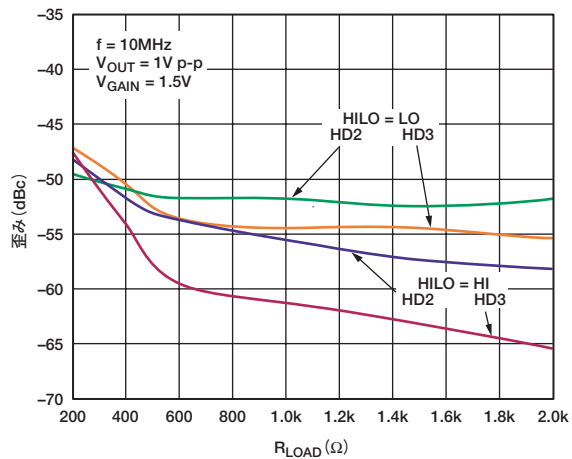


図25. R_{LOAD} 対 高調波歪み (図50を参照)

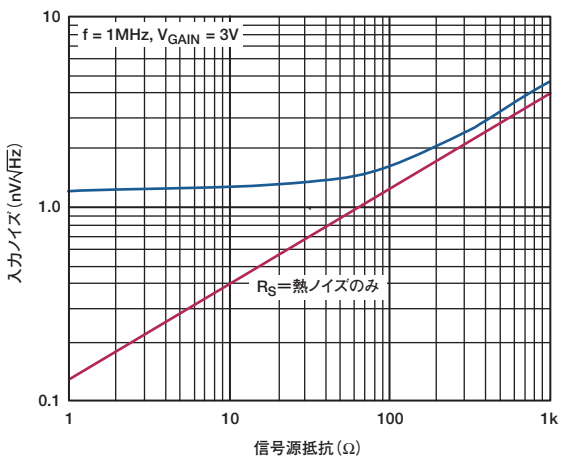


図23. R_S 対 入力換算ノイズ

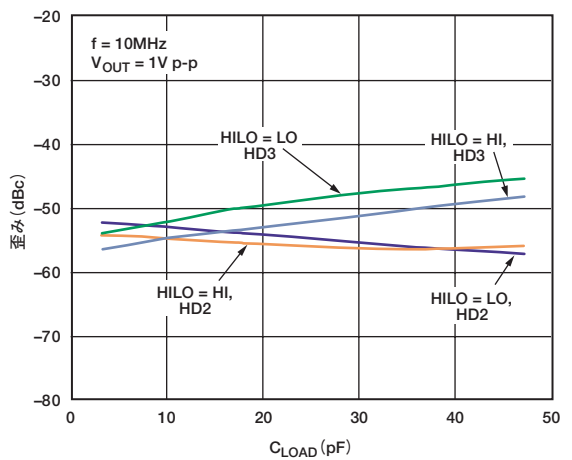


図26. C_{LOAD} 対 高調波歪み (図53を参照)

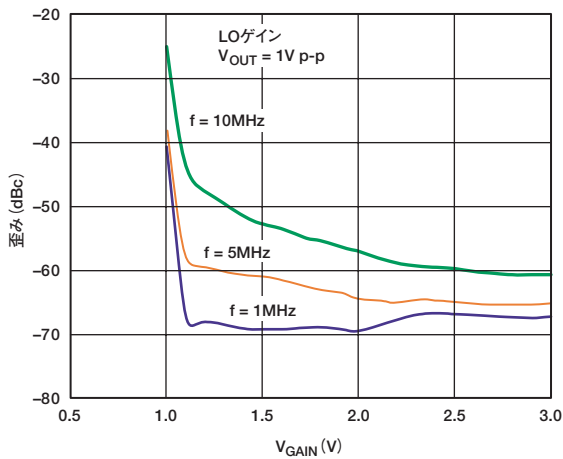


図27. 3つの周波数での V_{GAIN} 対 HD2、LOゲイン (図53を参照)

04976-026

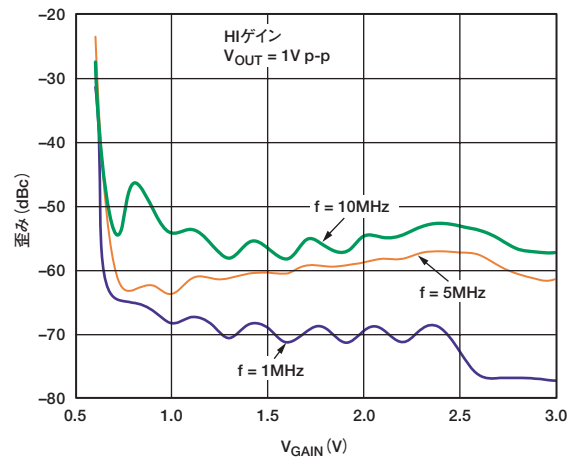


図30. 3つの周波数での V_{GAIN} 対 HD3、HIゲイン (図53を参照)

04976-030

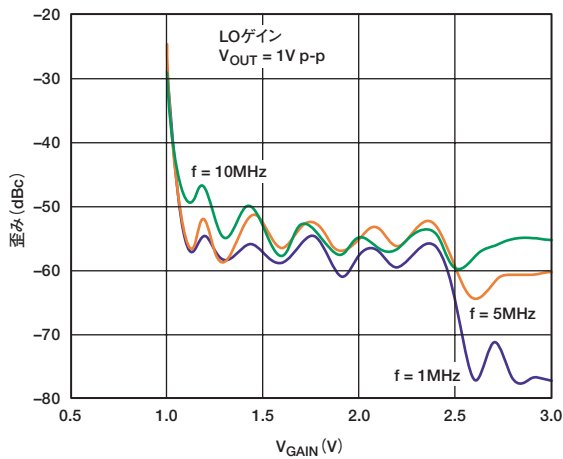


図28. 3つの周波数での V_{GAIN} 対 HD3、LOゲイン (図53を参照)

04976-027

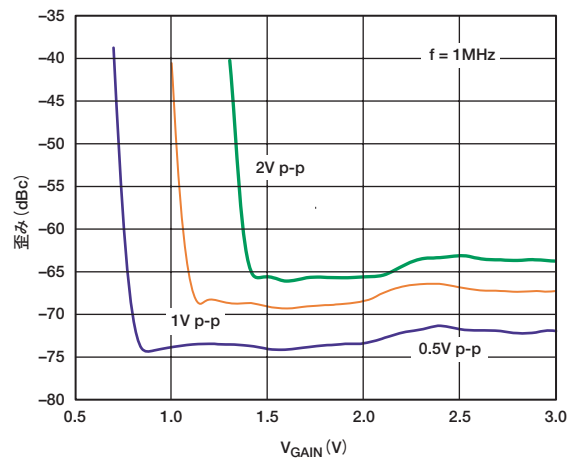


図31. 3つの出力電圧での V_{GAIN} 対 HD2、LOゲイン (図53を参照)

04976-031

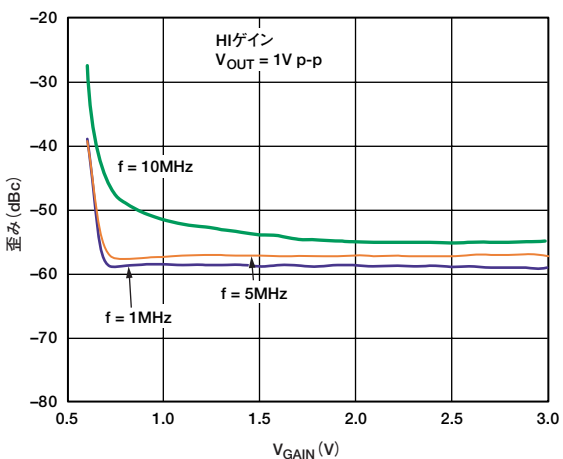


図29. 3つの周波数での V_{GAIN} 対 HD2、HIゲイン (図53を参照)

04976-029

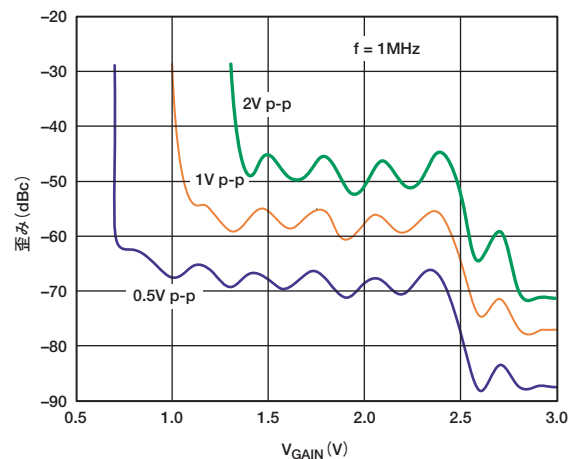


図32. 3つの出力電圧での V_{GAIN} 対 HD3、LOゲイン (図53を参照)

04976-032

AD8335

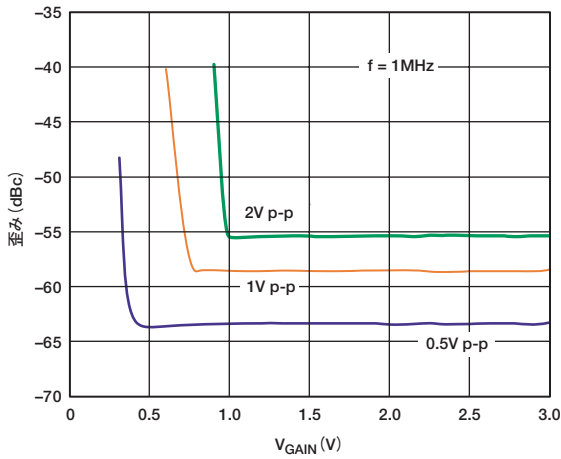


図33. 3つの出力電圧での V_{GAIN} 対 HD2、HIゲイン、 $f=1\text{MHz}$ (図53を参照)

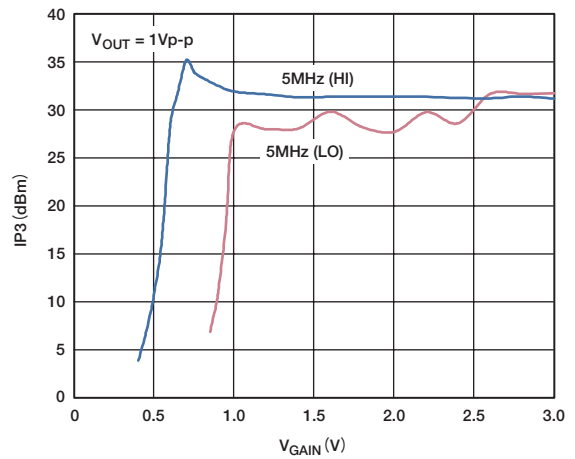


図36. V_{GAIN} 対 出力換算 $IP3$ (OIP3)

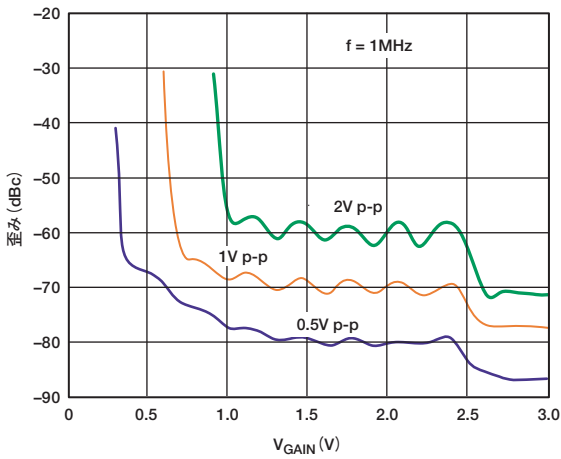


図34. 3つの出力電圧での V_{GAIN} 対 HD3、HIゲイン (図53を参照)

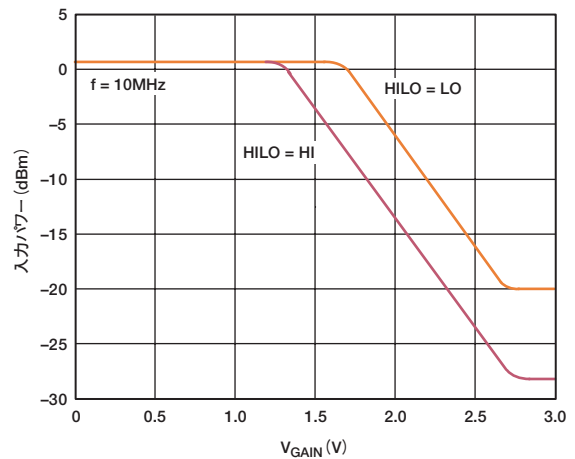


図37. V_{GAIN} 対 入力 $P1\text{dB}$ ($IP1\text{dB}$)

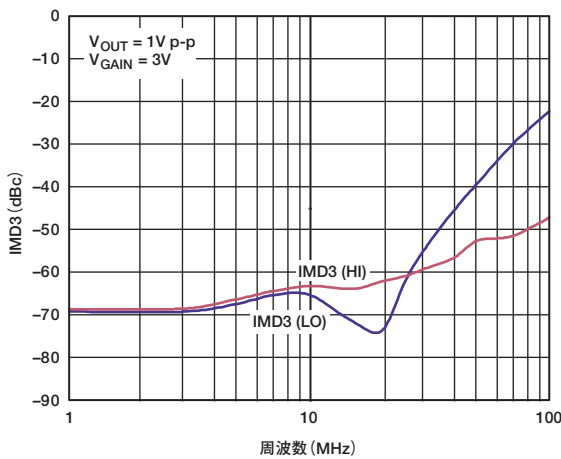


図35. 周波数 対 $IMD3$

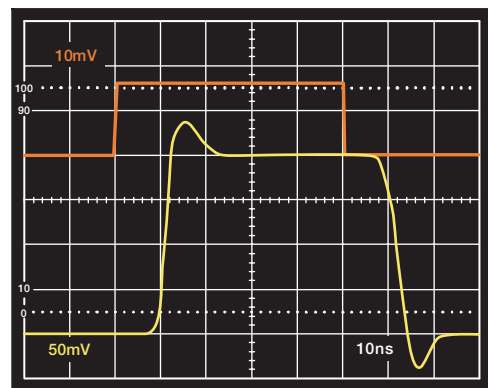


図38. 小信号パルス応答、LOゲイン (図51を参照)

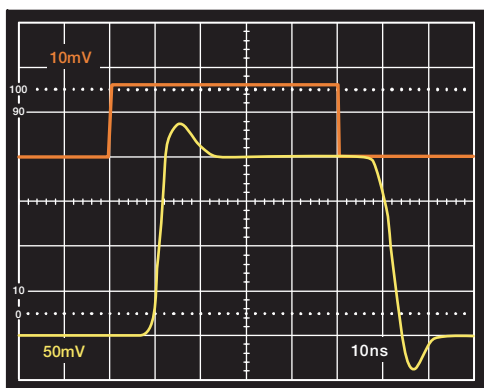


図39. 大信号パルス応答、LOゲイン
(図51を参照)

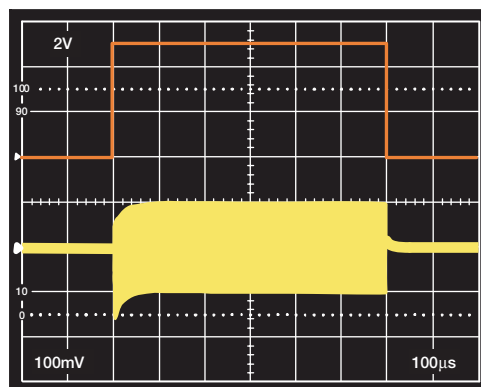


図42. 小信号イネーブル応答 (図51を参照)

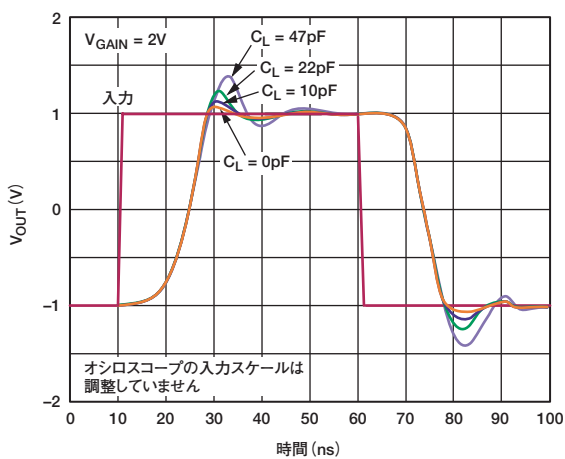


図40. さまざまな容量性負荷に対する大信号パルス応答、 $C_L = 0\text{pF}$ 、 10pF 、 20pF 、 47pF の各出力 (図51を参照)

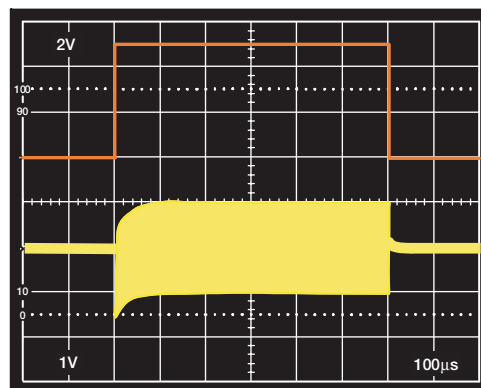


図43. 大信号イネーブル応答 (図51を参照)

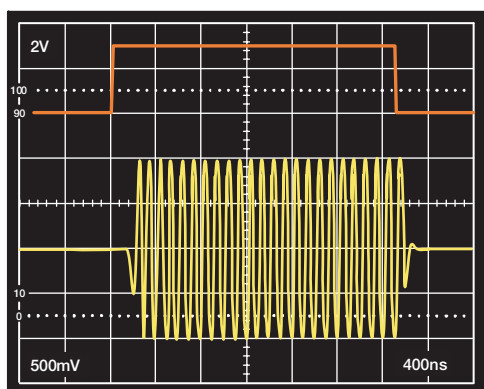


図41. ゲイン応答、 V_{GAIN} は0~3Vにステップ、 $V_{\text{OUT}} = 2\text{V p-p}$ (図51を参照)

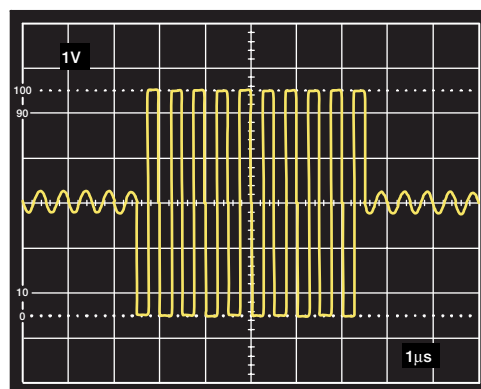


図44. プリアンプのオーバードライブ回復、
プリアンプ入力において50mV p-p~
1.5V p-p (プリアンプ出力において測定)

AD8335

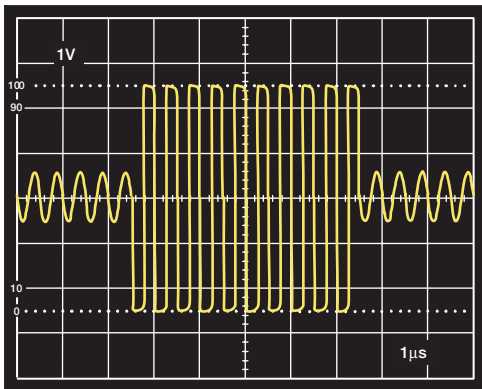


図45. VGAのオーバードライブ回復、
40~500mV入力、 $V_{GAIN}=2.5V$

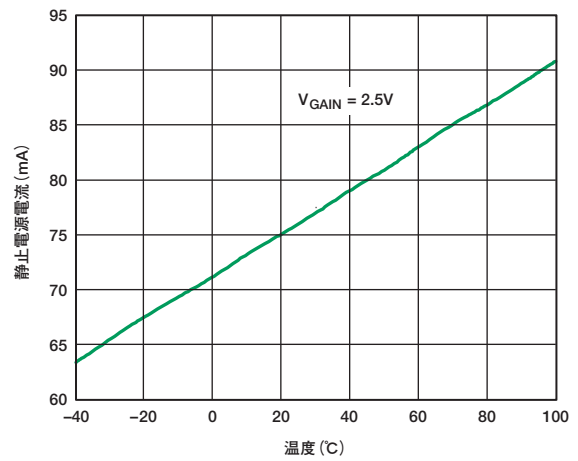


図47. 温度対静止電源電流

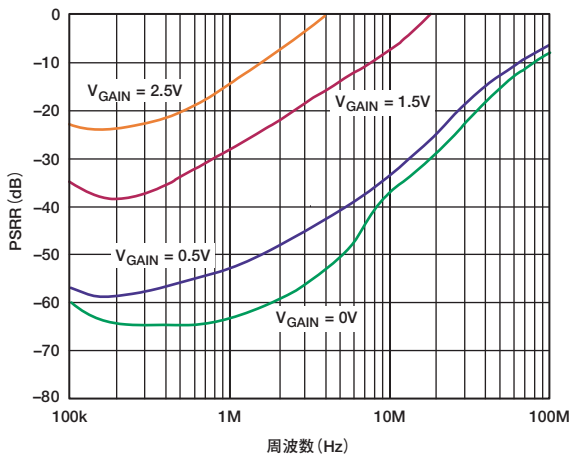


図46. 周波数対PSRR
(全バイパス・コンデンサを除去)

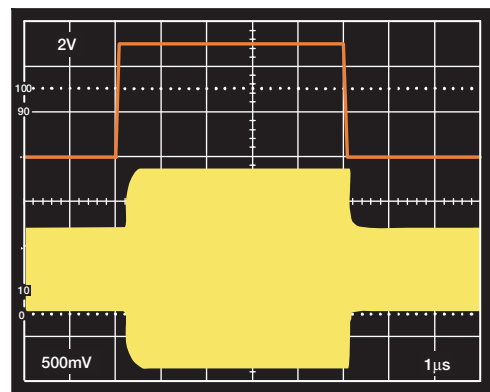


図48. HILO応答時間

テスト回路

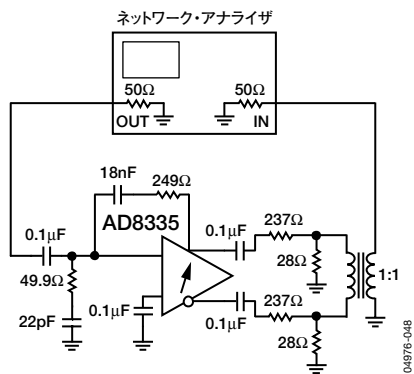


図49. ゲインと帯域幅測定のためのテスト回路

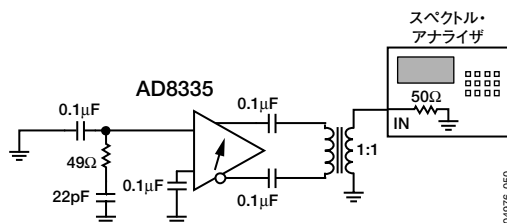


図50. ノイズ測定に使用したテスト回路

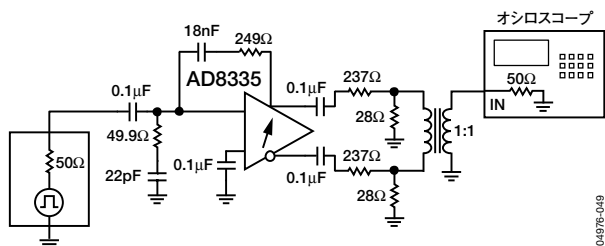


図51. 過渡応答測定のためのテスト回路

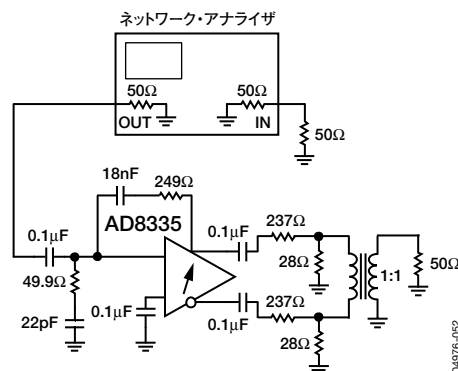


図52. S11測定に使用したテスト回路

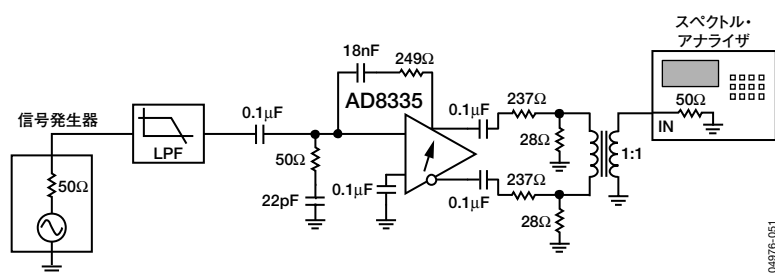


図53. 歪み測定に使用したテスト回路

動作原理

図54は、シングル・チャンネルの簡略ブロック図です。各チャンネルは、ローノイズ・プリアンプ (PrA) と、20/28dBのユーザ選択可能なゲインを持つVGAで構成されています。チャンネルは、ペア (チャンネル1と2、チャンネル3と4) でイネーブルになります。プリアンプは、ピンSPxxを接地するとイネーブルになり、正側電源に接続するとパワーダウンします。VGAやチャンネル全体をイネーブルにするには、ENxxピンを正側電源に接続します。HLxxピンに0Vまたは5Vを入力することで、HILOによりVGAをそれぞれ20dBまたは28dBの固定ゲインに設定します。チャンネル1と2でピンHL12を、チャンネル3と4でピンHL34を共有します。HLxxピンは一般に外部配線によって設定されます。通常、12ビットの分解能をもつADCの場合は、HLxxピンをローに接続して低いVGAゲイン (LOゲイン・モード) で用い、10ビットのADCの場合は、ハイに接続して高いVGAゲイン (HIゲイン・モード) で用います。

信号経路は全体にわたって完全差動であり、信号振幅を最大にし、偶数次の歪みを低減します。ただし、プリアンプは、シングルエンドの信号源から駆動するように設計されています。ゲイン値は、PrAのシングルエンド入力からPrAの差動出力までのゲイン、またはVGAの入出力ゲインに依存します。図54を参照してください。システム・ゲインの分布は表4のとおりです。

表4. チャンネル・ゲインの分布

セクション	LOゲイン・モード (dB)	HIゲイン・モード (dB)
PrA	18.06	18.06
減衰器	0~-48.16	0~-48.16
出力アンプ	20	27.96
全体	-10.1~+38.06	-2.14~+46.02

表5. 制御ピン・ロジックと消費電力

EN12	SP12	EN34	SP34	PrA12	VGA12	PrA34	VGA34	IS
H	L	H	L	オン	オン	オン	オン	76mA
H	H	H	H	オフ	オン	オフ	オン	52mA
L	L	L	L	オフ	オフ	オフ	オフ	0.8mA
L	H	L	H	オフ	オフ	オフ	オフ	0.8mA

以下、このデータシートでは、LOゲイン・モードでは-10~+38dBに、HIゲイン・モードでは-2~+46dBにゲイン値を丸めます。なお、必要な場合は、式1を使用して値 V_{GAIN} でのゲインを計算できます。

$$\text{ゲイン (dB)} = 20 \frac{\text{dB}}{\text{V}} V_{GN} + ICPT \quad (1)$$

ここでICPTは、LOゲイン・モードで50Ω ($R_{FB} = 250\Omega$) にマッチングしたプリアンプ入力では-16.1dB、マッチングしていない入力の場合は-10.1dBです。HIゲイン・モードでは、これらの数値はそれぞれ-8.1dBと-2.1dBです。

消費電力は、5V電源の場合、1チャンネル当たり95mW、全4チャンネルで380mWです。消費電力は、PrAに35%、残りの回路に65%が配分されます。VGAのみを使用する場合は、SP12ピンとSP34ピンを使ってプリアンプをシャットダウンできます。なお、プリアンプまわりのフィードスルーを回避するため、帰還抵抗は取り付けないでください。

イネーブルの概要

表5にイネーブル/シャットダウン・ロジックと、それに応じた電源電流の一覧を示します。

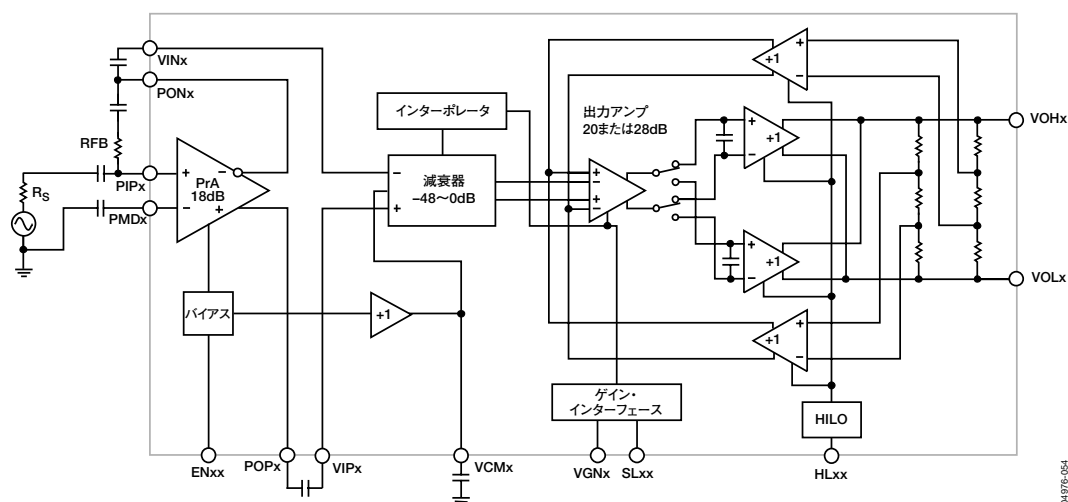


図54. シングル・チャンネルの簡略ブロック図

プリアンプ

プリアンプの信号経路は完全差動ですが、設計上、シングルエンドの入力駆動と信号源抵抗のマッチング用に最適化されています。したがって、差動プリアンプのピンPMDxへの負の入力をAC接地し、PrA出力において差動信号を平衡させる必要があります。プリアンプ・アーキテクチャの詳細については、AD8331/AD8332データシートの「LNA」を参照してください。

プリアンプは、差動出力を持つ固定ゲイン・アンプで構成されています。負の出力が可能で、ゲインは8 (18.06dB) に固定されているため、負の出力と正の入力であるピンPIPxとの間に帰還抵抗を接続することによって、アクティブな入力終端を合成します。これはよく利用される技術で、式2に示す入力抵抗が得られます。

$$R_{IN} = \frac{R_{FB}}{(1+A/2)} \quad (2)$$

ここで、A/2はシングルエンド・ゲイン、つまりPIPx入力からPONx出力までのゲインです。アンプには、その入力から差動出力まで8倍のゲインがあるため、ピンPIPxからピンPONxまでのゲインA/2が6dB低くなり、12.04dB (×4) になることに注意してください。ピンPMDxをAC接地した状態で、入力抵抗は、ピンPIPxに接続される信号源抵抗に内部の14.7kΩが並列接続される分だけ減少します。式3を用いて必要なR_{IN}に対するR_{FB}を計算できます。また、さらに高いR_{IN}値の計算にも使用できます。

$$R_{IN} = \frac{R_{FB}}{(1+4)} \parallel 14.7k\Omega \quad (3)$$

たとえば、R_{IN}=200Ωとすると、R_{FB}の値は1.013kΩです。R_{IN}の計算に簡略式2を用いた場合は、この値は197Ωとなり、0.1dB未満のゲイン誤差が生じます。変動幅の大きい信号源抵抗などは、絶対ゲイン精度に大きく影響することがあります。周波数が高い場合は、PrAの入力容量を考慮に入れてください。マッチング精度のレベルを決定し、それに応じてR_{FB}を調整する必要があります。

プリアンプとVGAの帯域幅 (BW) はそれぞれ約110MHzであることから、カスケードされたBWは約80MHzとなります。最終的に、PrAのBWによって、合成されたR_{IN}の精度が制約されます。R_{IN}=R_Sで抵抗の値が約200Ωまでとすると、最高のマッチングは100kHz~10MHzの間にあり、周波数の下限はACカップリング・コンデンサのサイズによって、上限はプリアンプのBWによって決まります。また、高周波数では入力容量とR_SがBWを制限します。

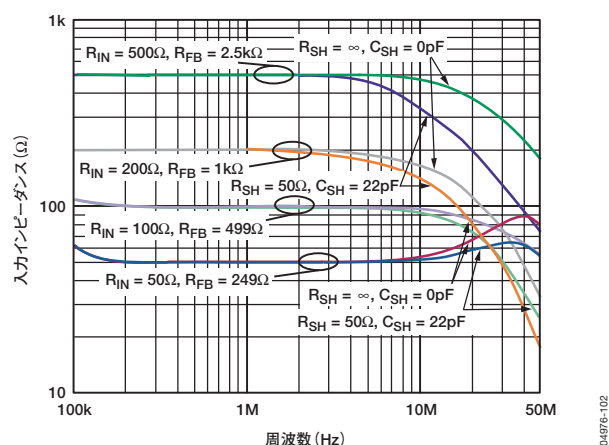


図55. さまざまな値のR_{FB}に対する周波数 対 R_{IN}、およびR_{SH}とC_{SH}の効果

図55にR_{FB}のさまざまな値に対する周波数 対 R_{IN}を示します。R_{IN}は、最低値の50Ωで周波数が10MHzを超えるとピークに達しています。これは、前述のPrAのBWロールオフによるものです。図58に示すR_{SH}とC_{SH}のネットワークは、このピーキングを減少させます。

なお、R_{IN}値が大きい場合は、PrAがピーキングを生じる前に寄生容量は信号BWのロールオフを開始し、さらにR_{SH}/C_{SH}ネットワークがマッチングを低下させます。したがって、R_{IN}値が50Ωを超えるときは、R_{SH}とC_{SH}を使用しないでください。

ノイズ

入力換算ノイズ (IRN) の合計は、約1.3nV/√Hzです。プリアンプでの8倍のゲインを考慮すると、VGAノイズは、PrA入力を基準にして0.46nV/√Hzです。プリアンプ・ノイズは1.2nV/√Hzです。なお、これらのノイズ値は、VGAやプリアンプのゲイン抵抗といったすべてのアンプ・ノイズ源を含んでいます。メーカーによっては、ゲイン設定抵抗をノイズ仕様に含めないことがあります。その場合オペアンプの電圧ノイズ・スペクトル密度は1nV/√Hzとなります。ゲイン抵抗を含めると、ノイズ仕様はもっと高い値になります。

AD8335

図56は、信号源抵抗とシミュレートされたノイズ指数 (NF) の関係を表す図で、プリアンプの R_{IN} が 50Ω から $14.7k\Omega$ ($R_{FB}=\infty$ のときのピン PIP_X の値) のときのさまざまな値を示しています。この図に示すように、 $R_{IN}=50\Omega$ に対する最小のNFは、7dBをわずかに下回っています。なお、このプリアンプでは、NFは $50\sim 200\Omega$ の R_{IN} に対して最適化されています。 $R_{FB}=\infty$ の場合、最小のNFは約480 Ω で得られます。最適なノイズ抵抗は、入力換算電圧ノイズを電流ノイズで除算して計算することもできます。

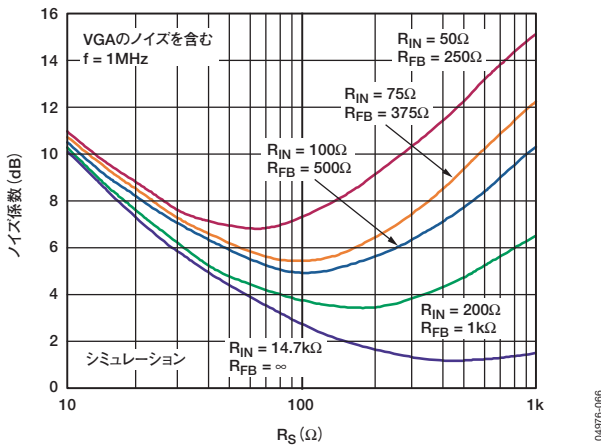


図56. さまざまな固定値の R_{IN} に対する R_S 対シミュレートされたノイズ指数 (アクティブ・マッチ)

VGA

図54に示すように、基本アーキテクチャX-AMP™は、ラダー減衰器と、選択可能な入力段を持つ固定ゲイン・アンプで構成されています。このアーキテクチャの初期の例として、AD60xシリーズ、AD8331/AD8332、AD8367のVGAがあります。アナログ・デバイス独自の温度補償型インターポレータ設計によって、入力 g_m 段へのバイアス電流が右から左に連続的に制御されて (減衰量が減少)、ゲインが増大します。

HILO (HL12とHL34) ゲイン・ピンにより、帰還抵抗、アンプ段、バッファから構成される2つの出力アンプ・ネットワークの1つを選択します。

システム・ダイナミック・レンジの最適化

ADCの入力電圧を1V p-pのフルスケールとすると、8dB ($\times 2.5$) のVGA出力ゲイン・スイッチで、10/12ビットADCのVGAノイズ・フロアが最適化されます。

低ゲインではADCのS/N比によってシステム・ノイズ性能が制限されますが、高ゲインでは信号源とプリアンプによってノイズが決まります。最大電圧振幅は、フルスケールのピークtoピークADC入力電圧 (一般に1~2V p-p) によって制限されます。ADC分解能に基づきVGAのノイズ・フロアを調整することで、ノイズ性能を最適化します。12ビット・コンバータのS/N比は、理論的には10ビット・コンバータに比べて12dB改善されるはずですが、AD8335の8dBのゲイン・オプションのため、実際には約8dBの改善となるのが一般的です。VGAの消費電力と入力換算ノイズは、ゲイン設定の影響を受けません。したがって、出力換算ノイズ (ORN) のみ、他のパラメータに影響を与えることなく (8dBだけ) 変化します。

減衰器

この減衰器は、タップ当たり合計48.16dBの減衰量をもつ、8段 (1段当たり6.02dB) の差動R-2Rラダーで構成されています。640 Ω の合計差動抵抗に対して、片側の実効入力抵抗は公称320 Ω です。VGAと減衰器の同相電圧は、プリアンプで得られた電源電圧の1/2を使用するアンプによって制御されるため、コモン・モード差動による大きなオフセットが生じることなく、PrAからVGAへのDCカップリングが可能になります。しかし、PrAとVGAの間をDCカップリングすると、ゲインが増大するにつれてPrAからのオフセットも増幅されるため、VGA出力のオフセットが指数関数的に増加します。PrAとVGAをACカップリングする場合は、ゲインが変化しても出力オフセットは変化しません (図15を参照)。したがって、大部分のアプリケーションにはACカップリングを推奨します。図54のように、ピン VCM_X は、各チャンネルのそれぞれのミッドポイントに接続し、高周波数でのコモン・モード・ノードのACデカップリングに使用します。小さなコンデンサ (10nF) を別に並列接続する場合は、高周波数でのデカップリング性能を向上させるため、必ず0.1 μ F以上のコンデンサを使用してください。内部の+1バッファにより、正しいコモン・モード・バイアス・レベルが得られます。また、外付けデカップリング・コンデンサで動的電流を吸収する必要があります。

ゲイン制御

ゲイン制御インターフェースには、 V_{GAIN} （ピンVGNx）とVSLP（ピンSLxx）の2つの入力があります。スロープ入力はデカップリング・ピン用で、ゲイン・スロープとしては20dB/Vをデフォルトとして保証しています。VSLP入りに電圧が加えられた場合は、スロープ電圧を低減することで、ゲイン・スロープを増やすことができます。たとえば、ピンSLxxに1.67Vの電圧が加えられた場合、ゲイン・スロープは30dB/Vに変化します。ゲイン・スロープを計算するには、式4を使用します。

$$VSLP = \frac{2.5 \text{ V} \times 20 \text{ dB/V}}{\text{スロープ}} \quad (4)$$

V_{GAIN} は、入力減衰器に接続する適切な入力段を選択することによって、インターポレータを通じてVGAのゲインを変化させます。20dB/Vに対する公称の V_{GAIN} 範囲は0~3V、最適なゲイン直線性は約0.5~2.5V、誤差は一般に±0.2dB未満です。0.5~2.5Vの範囲外の V_{GAIN} 電圧では、誤差が増大します（図4を参照）。 V_{GAIN} 電圧の値は、ゲイン・フォールドオーバーなしに、電源電圧の値まで増やせます。

各チャンネルには独立したゲイン制御ピンがあり、多くの超音波アプリケーションで採用されている一般的な電圧源に接続できます。個々のチャンネルを制御するには、各チャンネルに適切なゲイン制御信号を接続します。

出力段

VGAの重複した出力段には、8dB（×2.5）のゲイン・スイッチがあります。このゲイン・スイッチは、10/12ビットADCの出力ノイズ・フロアを最適化するために使用します。VGAゲインは、LOゲイン・モードで20dB（×10）、HIゲイン・モードで28dB（×25）です。ゲイン抵抗とフィードバック・バッファを含めた出力アンプ間の選択は、HILO（ピンHLxx）のロジック設定によって行います。

ゲイン設定の切替えに従って補償容量が変わることで、アンプ間で100MHzの帯域幅を維持します。消費電力は、いずれのゲイン・レベルでも同じです。

アプリケーションによっては、電源電圧を可能な限り下げることによって消費電力を低減できますが、振幅が限定されることによって出力ダイナミック・レンジに影響が出ます。AD8335の完全差動信号経路は、ダイナミック・レンジが6dB拡張されます。最大の信号振幅を実現するため、コモン・モード・レベルを自動的に電源電圧の半分に維持します。差動信号には、偶数次高調波を抑制するという付加的なメリットもあります。

出力アンプは、500Ω以上の公称差動負荷を駆動するように設計されています。信号振幅は5V p-pまで大きくできますが、それを超えるとクリッピングが発生します。しかし、クリッピング・レベルに到達する前に歪みが増加します。1V p-pまたは2V p-pの代表値（多くのADCのフルスケール入力）に対する歪みを、図25~図34に示します。出力は、差動ADCを駆動する差動アンチエイリアス・フィルタにACカップリングされます。最新式ADCのほとんどは差動入力を備えており、差動で駆動したとき最適な性能が得られます。詳細については、「アプリケーション」を参照してください。

VGAノイズ

あらゆるX-AMPの例にもれず、VGAの出力ノイズはゲインに対して一定です。このため、ゲインが減少するにつれて、入力換算ノイズが増大します。この特性は、上限とノイズ・フロアを固定することで、ダイナミック・レンジの広い入力信号をADCに圧縮して入力するレシーバのアプリケーションに最適です。VGAの出力ノイズは、LOゲイン・モードで約33nV/√Hz、HIゲイン・モードでは2.5倍の83nV/√Hzです。ゲインが増大するにつれてプリアンプのノイズが支配的になり、VGAの最大ゲインで、出力ノイズはLOゲイン・モードで約90nV/√Hz、HIゲイン・モードで225nV/√Hzになります。

出力S/N比は、ノイズ・フロアと最大の信号レベルによって決まり、一般にADCのFSによって制限されます。変調ノイズは基本的にゲイン制御入力で生じるノイズですが、これによって問題が起きることがあります。通常、ノイズについてはメイン・アンプの信号経路を調べがちですが、VGAは実際には次の関数を持つ乗算器です。

$$V_{OUT} = \frac{V_{GAIN} \times V_{IN}}{V_{REF}} \quad (4)$$

ここで、 V_{REF} （バイアス）と V_{GAIN} （ゲイン制御インターフェース）は、条件によってはどちらもノイズ要因になります。ゲイン制御スロープが高い場合は特に、クリーンなゲイン制御信号を用いることが重要です。

AD8335

アプリケーション

超音波

AD8335の主なアプリケーションは、医療用超音波です。図57に、超音波システムの簡略ブロック図を示します。超音波システムの最も重要な機能は、生理学的な信号減衰に対するタイム・ゲイン・コントロール (TGC) 補償です。超音波信号の減衰は距離 (時間) に対し指数関数的に変化するため、デシベル・リニアVGAが最適なソリューションになります。

超音波シグナル・チェーンにおける重要な条件は、超ローノイズ、アクティブ入力終端、高速な過負荷回復、低消費電力、差動でのADC駆動です。超音波装置は、多チャンネル (たとえば、32~512) を必要とするビーム・フォーミング技術を採用しているため、可能な限りローノイズで低消費電力を実現することが非常に重要です。

最新式装置の多くは、デジタル・ビーム・フォーミング技術を採用しています。この技術では、TGCアンプの直後に信号をデジタル・フォーマットに変換し、デジタル的にビーム・フォーミングを行います。

汎用装置でのADC分解能は通常、40 MSPSを上回るサンプリング・レートで10ビット、ハイエンド・システムでは12ビットが主に使われています。

ローエンドのポータブル超音波装置では、消費電力とコストが最も重要ですが、AD8335はこのような基準を満たすように設計されています。

超音波システムの詳細については「How Ultrasound System Considerations Influence Front-End Component Choice (超音波システムの性能とフロントエンドの部品の選択)」(Analog Dialogue, Vol. 36, No. 3, May-July 2003) を参照してください。
(<http://www.analog.com/library/analogDialogue/archives/36-03/ultrasound/index.html>)

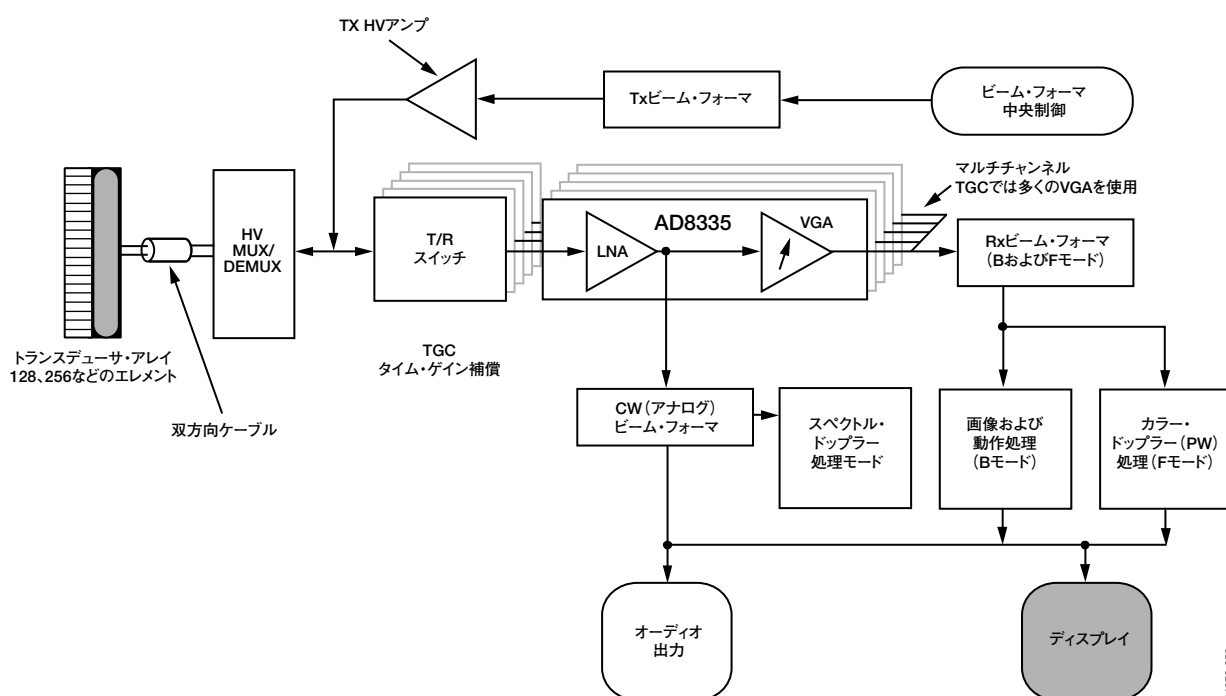


図57. 超音波システムの簡略ブロック図

基本的な接続

図58に、AD8335の基本的な接続を示します。これは、入力信号が左から入り、出力信号が右から出て行くという、直線的な信号経路です。このような4チャンネルの差動VGAを持つデバイスでは、当然ながら多層PCボードが必要になります。ここでは、プリアンプ用とVGA用の電源分離を示します。ボードの両面に部品を取り付ける場合、信号経路内の部品は上面に、電源デカップリング部品は配線側に置いてください。

プリアンプの接続

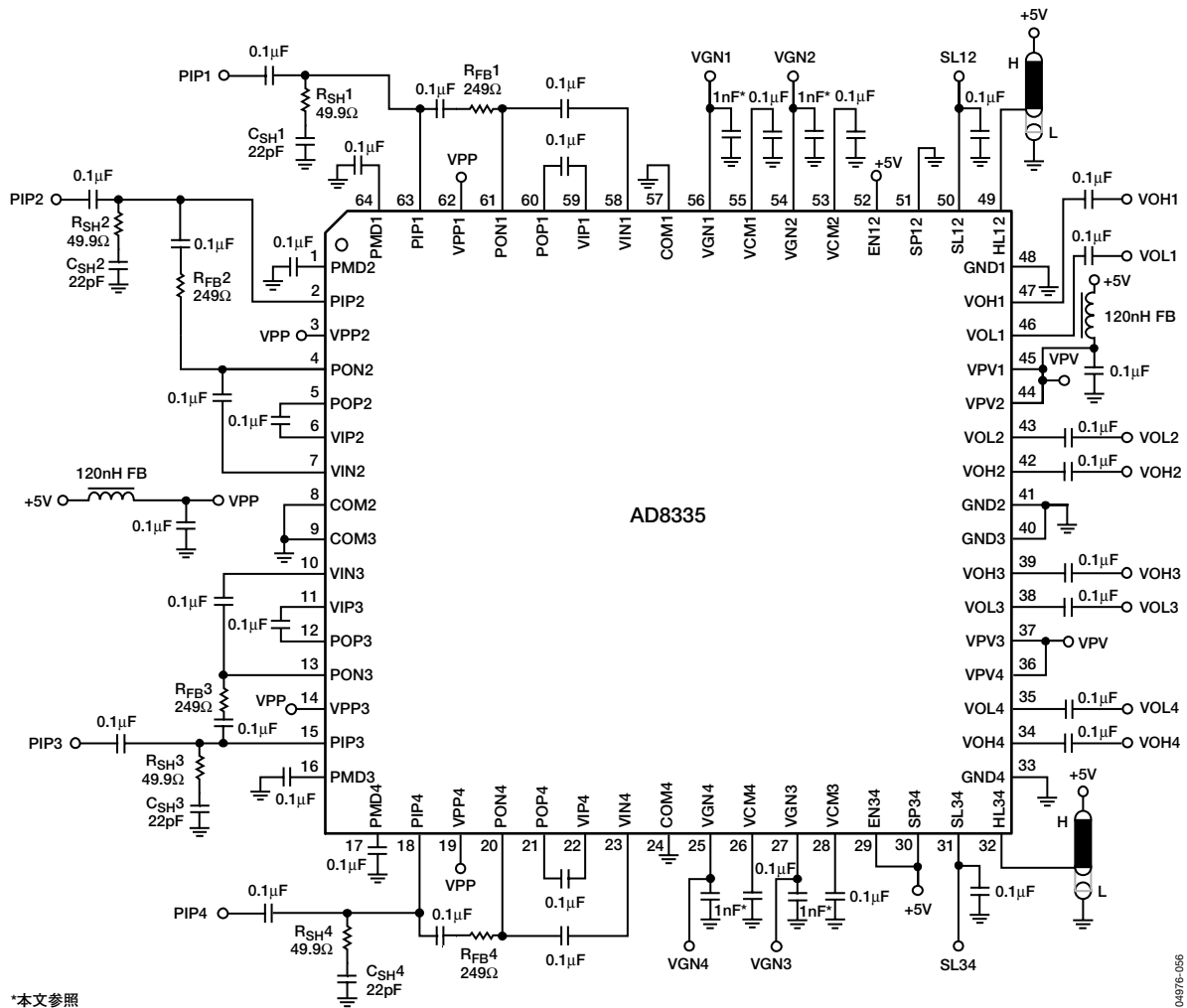
AD8335の入力をマッチングさせるために、ピンPON_XとピンPIP_Xの間に帰還抵抗 (R_{FB}) をACカップリングします。ACカップリングは、入出力ポートで異なる同相電圧を吸収します。 R_{SOURCE} 50~200 Ω の場合、 R_{FB} は単に R_{SOURCE} の5倍となります。表6に、高い信号源抵抗値 (または R_{IN}) と、それに対する正確な帰還抵抗値および最も近い標準の1%帰還抵抗を示します。表6に記載されていない値については、式5を用いて R_{FB} を計算できます。 R_{IN} が1k Ω を上回る値については、 R_{FB} を除去する方がよいかもしれません。

表6. さまざまな入力抵抗に対する帰還抵抗の値

R_{IN} (Ω)	正確な R_{FB} 値 (Ω)	最も近い標準の1%抵抗 (Ω)
200	1014	1.02k
500	2588	2.61k
1000	5365	5.36k

$$R_{FB}(\Omega) = \frac{5 \times R_{IN}}{1 - \frac{R_{IN}}{14.7k}} \quad (5)$$

AD8335



*本文参照

04976-056

図58. $R_{IN}=50\Omega$ の場合の基本的な接続

プリアンプのPMDピンは、グラウンドに容量カップリングする必要があります。プリアンプは差動設計になっていますが、PMDピンは内部入力バイアス・ノードであり、バイパス用のみ使用されています。信号入力に使用することはできません。

PIP_x入力は、電源電圧の半分以上のDCレベルを持つため、信号源から容量カップリングする必要があります。回路全体のACカップリング・コンデンサは、アプリケーションに合わせてできるだけ大きくしてください。図58には0.1µFコンデンサを示していますが（このコンデンサは評価用ボードのほとんどの場所で使用されています）、コンデンサの値は、アプリケーションに応じて決定してください。PMD_xピンとPIP_xピンのカップリングに使用するコンデンサは、同じ値にしてください。

低い R_{IN} 値を合成する場合、プリアンプの帯域幅で周波数応答のハイエンドにおいて何らかのピーキングが発生します。図58に示すオプションの直列 R_{SHx}/C_{SHx} ネットワークによって応答を平坦化します（図55を参照）。信号源抵抗が50Ωの場合、抵抗とコンデンサの値は49.9Ωと22pFにしてください。 R_S 値が100Ωを上回る場合は、ネットワークは不要です。いずれの場合も回路は安定しています。

高速なゲイン制御信号が必要な場合は、図58のVGN_xピン上にある星印(*)の付いたコンデンサを除去できます。

入力オーバードライブ

超音波では、過負荷時に対する動作が優れていることがきわめて重要となります。プリアンプとVGAは、どちらもオーバードライブ保護回路を内蔵しており、過負荷のイベントの後すばやく回復します。

入力過負荷保護

アプリケーションが高い過渡電圧にさらされる場合は、他のアンプ回路と同様に、入力の前に電圧クランピングを行うことを特に推奨します。

図59に超音波トランスデューサ・インターフェースの簡略ブロック図を示します。共通のトランスデューサ素子には、超音波エネルギーの送信と受信の2つの機能があります。送信時には、セラミック素子に高電圧パルスが加えられます。代表的なT/R（送受信）スイッチは、ブリッジ構成の4つの高電圧ダイオードにより構成されています。これらは、デリケートなレシーバ入力からの送信パルスを理想的にブロックしますが、ダイオード特性が不十分であるため、結果としてPIP_x入力に過渡電流の漏れが生じて問題になることがあります。

超音波はパルス・システムであり、飛行時間（TOF）によって奥行きを決定するため、入力過負荷からの迅速な回復が不可欠となります。過負荷は、プリアンプとVGAで発生することがあります。送信パルスの直後は、VGAゲインは一般的に低くなり、PrAはT/Rスイッチの漏れからの過負荷にさらされます。ゲインが増加すると、骨などの音響学的に密な物質や近距離エコーによって発生する強いエコーによって、VGAが過負荷状態になることがあります。

図59に外部過負荷保護回路を示します。ACカップリング・コンデンサを取り付ける前に、1対のショットキー・ダイオードを互いに向きを変えて取り付けます。ここではBAS40を使用していますが、さまざまなタイプのものが使用できるため、どれがよいか調べてみるとよいでしょう。このようなダイオードにより、±0.5V以下のクランプ・レベルで、システムの過負荷性能が大幅に向上します。

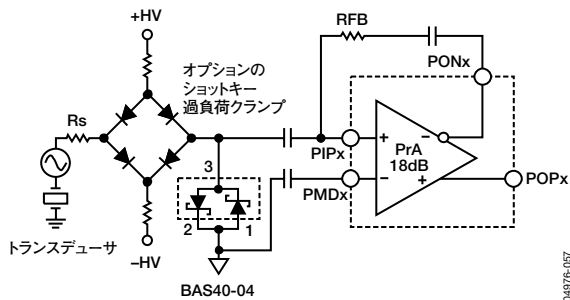


図59. 入力の過負荷保護

ロジック入力

イネーブル・ピンEN12とEN34、プリアンプ・シャットダウン・ピンSP12とSP34、HILOピンHL12とHL34は、すべてAD8335のロジック入力です。イネーブル入力は、対応する各チャンネル・ペアをオン/オフします。プリアンプ・シャットダウン・ピンは、プリアンプのみをオン/オフします。入力HL12とHL34は、それぞれチャンネル1と2、チャンネル3と4のHILOゲインを設定します。

プリアンプをシャットダウンすると、VGAのみの使用となり、消費電力が低下します。VGAだけをシャット・ダウンすることはできません。SP_{xx}（シャットダウン・プリアンプ）ピンはロジック・ハイであるため、ピンを接地してプリアンプをイネーブルにします。

これらのピンをイネーブルにするには、電源またはグラウンドに接続して固定的にイネーブル/ディスエーブルにするか、またはロジック・デバイスの出力に接続します。必ずそのデバイスのデータシートをチェックして、電圧と電流の条件を確認してください。

コモン・モード・ピン

コモン・モード・ピンVCM_xは、チャンネルごとの内部コモン・モード・リファレンスをグラウンドにバイパスするためのものです。これら4本のピンはそれぞれにコンデンサを必要とし、一緒に接続したり外部信号源によって駆動することはできません。

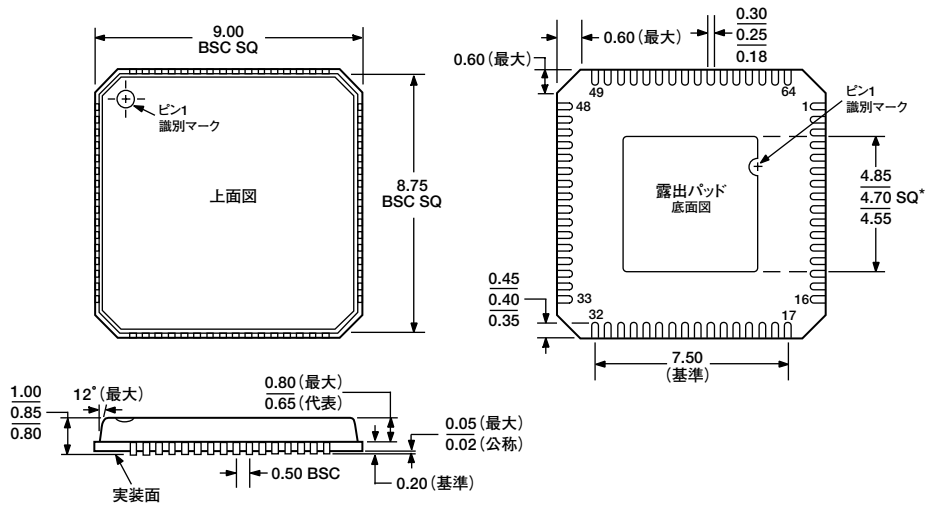
ADCの駆動

AD8335のVGAは、ほとんど外付け部品なしで、10/12ビットのADCを駆動できるように設計されています。AD8335は5V単電源のデバイスですが、最新のADCの多くは3V電源で動作するため、VGA出力とADC入力に異なる同相電圧が存在することになります。しかし、このレベル・シフトは、多くの超音波アプリケーションや通信アプリケーションに見られるように、信号をフィルタ処理してあれば、ACカップリングによって簡単に対応できます。

アンチエイリアス・フィルタ（AAF）が必要な場合は、差動設定にするとよいでしょう。シングルエンドの場合にはグラウンドに接続する部品が、AAFでは差動信号経路を介して接続するため、完全差動のAAFでは、シングルエンド・フィルタに比べて約1.5倍の部品数が必要になります。直列部品は倍増しますが、差動出力のペアにそれぞれシングルエンド・フィルタを用いた場合に2倍の部品が必要になることを考えると、差動フィルタ用の部品数のほうが少なく経済的といえます。

AD8335

外形寸法



*JEDEC規格MO-220-VMMDに準拠
露出パッドの寸法を除く

図60. 64ピンのLFCSP
(CP-64)

単位寸法：mm

オーダー・ガイド

モデル	温度範囲	パッケージ	パッケージ・オプション
AD8335ACPZ ¹	-40 ~ +85°C	LFCSP	CP-64
AD8335ACPZ-REEL ¹	-40 ~ +85°C	LFCSP	CP-64
AD8335ACPZ-REEL7 ¹	-40 ~ +85°C	LFCSP	CP-64
AD8335-EVAL		AD8335ACP付き評価用ボード	

¹ Z=鉛フリー製品