

特長

超ローノイズのプリアンプ

- ・電圧ノイズ：0.74nV/ $\sqrt{\text{Hz}}$
- ・電流ノイズ：2.5pA/ $\sqrt{\text{Hz}}$

3dB帯域幅：120MHz

低消費電力：125mW/チャンネル

プログラマブルなポストアンプ付きの広いゲインレンジ

- ・-4.5dB~+43.5dB
- ・+7.5dB~+55.5dB

低い出力換算ノイズ：48nV/ $\sqrt{\text{Hz}}$ (typ)

入力インピーダンスのアクティブ・マッチング

10ビット/12ビットADCに最適化

出力クランプ・レベルが選択可能

5V単電源動作

省スペースのチップ・スケール・パッケージを採用

アプリケーション

超音波およびソナーのタイム・ゲイン制御

高性能AGCシステム

I/Q信号処理

高速デュアルADCドライバ

概要

AD8332は超ローノイズ、デュアル・チャンネルかつdB値で直線的な可変ゲインを持つアンプ(VGA)です。超音波システム向けに最適化されていますが、最大周波数120MHzまでのアプリケーションにおけるローノイズ可変ゲイン制御用に使うこともできます。

AD8332の各チャンネルは、超ローノイズ・プリアンプ(LNA)、48dBのゲインレンジを持つX-AMP VGA、調整可能な出力制限機能を持つゲインが選択可能なポストアンプから構成されています。LNAはシングルエンド入力と差動出力を持ち、ゲインは19dBで、外付けの帰還抵抗を選択することにより、正確でプログラマブルな入力インピーダンスのアクティブ・マッチングが可能です。このアクティブ・インピーダンス制御機能により、入力マッチング機能を使用するアプリケーションにおけるノイズ性能が最適化されます。

AD8332のVGAは48dBのゲインレンジを持っているため、様々なアプリケーションに適しています。レンジ全体にわたって、帯域幅の均一性が十分に維持されます。ゲイン制御インターフェースは、40mV~1Vの制御電圧に対して高精度かつdB値で直線的な50dB/Vのスケールリングを提供します。出荷時の調整により、デバイスおよびチャンネル毎の優れたゲイン・マッチングを保証しています。差動信号パスにより、優れた2次および3次の歪み性能とロー・クロストークが可能です。

VGAの低い出力換算ノイズは、高速差動ADCを駆動する際に有効です。ポストアンプのゲインは、ピン設定により3.5dB

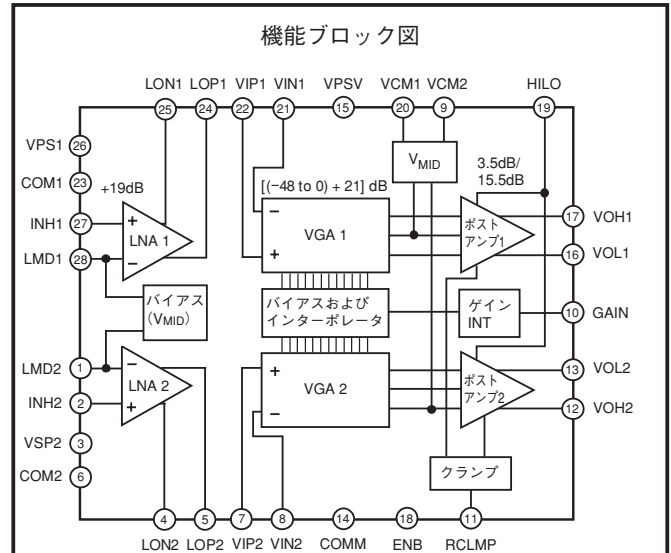


図1 28ピンTSSOP

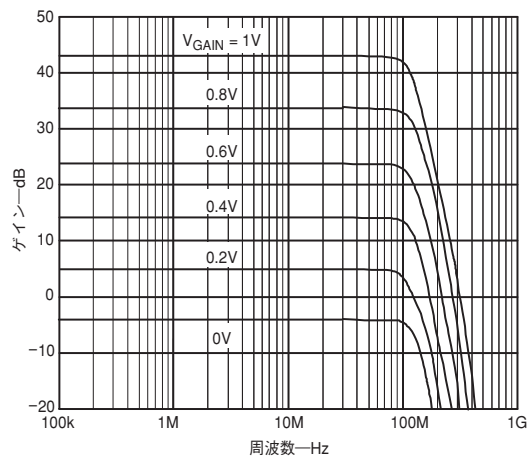


図2 周波数応答対ゲイン

または15.5dBの選択が可能で、12ビットまたは10ビットのコンバータ・アプリケーションのゲインレンジと出力ノイズを最適化できます。ユーザーが選択するクランピング・レベルに出力を制限できるため、後段のADCに対する入力過負荷を防止できます。外付け抵抗によりクランピング・レベルを調整できます。

AD8332は28ピンTSSOPおよび32ピンLFCSPパッケージを採用しており、5Vの単電源で動作します。合計静止消費電力は250mWで、パワーダウン・ピンも用意されています。動作温度レンジは-40℃~+85℃です。

アナログ・デバイセズ社が提供する情報は正確で信頼できるものを期していますが、その情報の利用または引用したことにより引き起こされる第三者の特許または権利の侵害に関して、当社はいっさいの責任を負いません。さらに、アナログ・デバイセズ社の特許または特許の権利の使用を許諾するものでもありません。
*日本語データシートは、REVISIONが古い場合があります。最新の内容については英語版をご参照ください。

AD8332

目次

AD8332—仕様	3	VGA	22
絶対最大定格	5	ADCの駆動	23
AD8332—代表的な性能特性	6	過負荷	23
テスト回路	14	レイアウト、グラウンド、およびバイパス	24
動作原理	15	複数入力のマッチング	24
概要	15	測定時の考慮事項	25
ローノイズ・アンプ(LNA)	15	超音波TGCアプリケーション	25
可変ゲイン・アンプ	18	ピン機能説明	26
ポストアンプ	19	ピン配置	27
アプリケーション	21	外形寸法	28
LNA	21	オーダー・ガイド	28

改訂履歴

レビジョン0：初期バージョン

AD8332—仕様

(特に指定のない限り、 $T_A=25^\circ\text{C}$ 、 $V_S=5\text{V}$ 、 $R_L=500\ \Omega$ 、 $R_S=R_{IN}=50\ \Omega$ 、 $R_{FB}=280\ \Omega$ 、 $C_{SH}=22\text{pF}$ 、 $f=10\text{MHz}$ 、 $R_{CLMP}=\infty$ 、 $C_L=1\text{pF}$ 、 $V_{CM}=2.5\text{V}$ 、ゲイン $=-4.5\text{dB}\sim+43.5\text{dB}$ (HILO=LO)、差動出力電圧。)

パラメータ		条件	Min	Typ	Max	単位	
LNAの特性	ゲイン	シングルエンド入力から差動出力まで		19		dB	
		入力から出力まで(シングルエンド)		13		dB	
	入力電圧レンジ	AC結合		± 275		mV	
	入力抵抗	$R_{FB}=280\ \Omega$			50		Ω
		$R_{FB}=412\ \Omega$			75		Ω
		$R_{FB}=562\ \Omega$			100		Ω
		$R_{FB}=1.13\ \text{k}\Omega$			200		Ω
		$R_{FB}=\infty$			6		k Ω
	入力容量			13		pF	
	出力インピーダンス	シングルエンド、いずれかの出力		5		Ω	
	-3dB小信号帯域幅	$V_{OUT}=0.2\ \text{V p-p}$		130		MHz	
	スルーレート			650		V/ μs	
	入力電圧ノイズ	$R_S=0\ \Omega$, HIまたはLOゲイン, $R_{FB}=\infty$, $f=5\text{MHz}$		0.74		nV/ $\sqrt{\text{Hz}}$	
	入力電流ノイズ	$R_{FB}=\infty$, HIまたはLOゲイン, $f=5\text{MHz}$		2.5		pA/ $\sqrt{\text{Hz}}$	
	ノイズ係数	$f=10\ \text{MHz}$, LOP 出力					
	アクティブ終端マッチ	$R_S=R_N=50\ \Omega$		3.7		dB	
	終端なし	$R_S=50\ \Omega$, $R_{FB}=\infty$		2.5		dB	
	高調波歪み(HD) (LOP1またはLOP2で)						
	HD2	$V_{OUT}=0.5\text{V p-p}$, シングルエンド, $f=10\text{MHz}$		-56		dBc	
	HD3			-70		dBc	
出力短絡電流	LONピン、LOPピン		165		mA		
LNA+VGAの特性	-3dB小信号帯域幅	$V_{OUT}=0.2\ \text{V p-p}$		120		MHz	
	-3dB大信号帯域幅	$V_{OUT}=2\ \text{V p-p}$		110		MHz	
	スルーレート	LOゲイン		300		V/ μs	
		HIゲイン		1200		V/ μs	
	入力電圧ノイズ	$R_S=0\ \Omega$, HIまたはLOゲイン, $R_{FB}=\infty$, $f=5\text{MHz}$		0.82		nV/ $\sqrt{\text{Hz}}$	
	ノイズ係数	$V_{GAIN}=1.0\ \text{V}$					
	アクティブ終端マッチ	$R_S=R_{IN}=50\ \Omega$, $f=10\ \text{MHz}$ で測定		4.15		dB	
		$R_S=R_{IN}=200\ \Omega$, $f=5\ \text{MHz}$ でシミュレート		2.0		dB	
	終端なし	$R_S=50\ \Omega$, $R_{FB}=\infty$, $f=10\ \text{MHz}$ で測定		2.5		dB	
		$R_S=200\ \Omega$, $R_{FB}=\infty$, $f=5\ \text{MHz}$ でシミュレート		1.0		dB	
	出力換算ノイズ	$V_{GAIN}=0.5\ \text{V}$, LO ゲイン		48		nV/ $\sqrt{\text{Hz}}$	
		$V_{GAIN}=0.5\ \text{V}$, HI ゲイン		178		nV/ $\sqrt{\text{Hz}}$	
	出力インピーダンス、ポストアンプ	DC~1MHz		1		Ω	
	出力信号レンジ、ポストアンプ	$R_L\geq 500\ \Omega$ 、クランプなし、出力ピンのどちらも		$V_{CM}\pm 1.125$		V	
	差動			4.5		V p-p	
	出力オフセット電圧						
	差動	$V_{CM}=2.5\ \text{V}$	-50	± 5	+50	mV	
	コモン・モード		-125	-25	+75	mV	
	出力短絡電流			45		mA	
	高調波歪み(HD)	$V_{GAIN}=0.5\ \text{V}$, $V_{OUT}=1\ \text{V p-p}$					
HD2	$f=1\ \text{MHz}$		-88		dBc		
HD3			-85		dBc		
HD2	$f=10\ \text{MHz}$		-68		dBc		
HD3			-65		dBc		

AD8332

パラメータ	条件		Min	Typ	Max	単位	
	入力1dB圧縮ポイント	$V_{GAIN} = 0.25\text{ V}$, $V_{OUT} = 1\text{ V p-p}$, $f = 1\text{ MHz} - 10\text{ MHz}$		7		dBm^1	
	2調波相互変調歪み(IMD3)	$V_{GAIN} = 0.72\text{ V}$, $V_{OUT} = 1\text{ V p-p}$, $f = 1\text{ MHz}$		-80		dBc	
		$V_{GAIN} = 0.5\text{ V}$, $V_{OUT} = 1\text{ V p-p}$, $f = 10\text{ MHz}$		-72		dBc	
	出力3次インターセプト	$V_{GAIN} = 0.5\text{ V}$, $V_{OUT} = 1\text{ V p-p}$, $f = 1\text{ MHz}$		38		dBm	
		$V_{GAIN} = 0.5\text{ V}$, $V_{OUT} = 1\text{ V p-p}$, $f = 10\text{ MHz}$		33		dBm	
	チャンネル間クロストーク	$V_{GAIN} = 0.5\text{ V}$, $V_{OUT} = 1\text{ V p-p}$, $f = 1\text{ MHz}$		-84		dB	
	過負荷回復	$V_{GAIN} = 1.0\text{ V}$, $V_{IN} = 50\text{ mV p-p}/1\text{ V p-p}$, $f = 10\text{ MHz}$		5		ns	
群遅延変動	$5\text{ MHz} < f < 50\text{ MHz}$ 、フル・ゲインレンジ		± 2		ns		
精度	絶対ゲイン誤差 ²	$0.05\text{ V} < V_{GAIN} < 0.10\text{ V}$	-10	0.5	+2	dB	
		$0.10\text{ V} < V_{GAIN} < 0.95\text{ V}$	-1	± 0.3	+1	dB	
		$0.95\text{ V} < V_{GAIN} < 1.0\text{ V}$	-2	-1	+1	dB	
	ゲインLOの適合性 ³	$0.1\text{ V} < V_{GAIN} < 0.95\text{ V}$		± 0.2		dB	
	チャンネル間ゲイン・マッチング	$0.1\text{ V} < V_{GAIN} < 0.95\text{ V}$		± 0.1		dB	
ゲイン制御 インターフェース (GAINピン)	ゲイン・スケーリング係数	$0.10\text{ V} < V_{GAIN} < 0.95\text{ V}$		50		dB/V	
	ゲインレンジ	LO ゲイン		-4.5 ~ +43.5		dB	
		HI ゲイン		+7.5 ~ +55.5		dB	
	入力電圧(V_{GAIN})レンジ			0 ~ 1.0		V	
	入力インピーダンス			10		$\text{M}\Omega$	
応答時間	フル・スケール90%までの48dBのゲイン変化		750		ns		
コモン・モード・ インターフェース (VCM1ピン、VCM2ピン)	入力抵抗	$\pm 1\text{ mA}$ に電流制限		30		Ω	
	出力コモン・モード・オフセット電圧	$V_{CM} = 2.5\text{ V}$	-125	-25	+75	mV	
	電圧レンジ	$V_{OUT} = 2.0\text{ V p-p}$		1.5 ~ 3.5		V	
イネーブル・ インターフェース (ARパッケージ: ENBピン; ACパッ ケージ: ENBLピン、 ENBVピン)	電源をイネーブルするロジック・レベル		2.25		5	V	
	電源をディスエーブルするロジック・レベル		0		1.0	V	
	入力抵抗	ENBピン			25		$\text{k}\Omega$
		ENBLピン			40		$\text{k}\Omega$
		ENBVピン			70		$\text{k}\Omega$
	パワーアップ応答時間	$V_{INH} = 30\text{ mV p-p}$			300		$\mu\text{ s}$
$V_{INH} = 150\text{ mV p-p}$				4		ms	
HILOゲインレンジ・ インターフェース (HILOピン)	HIゲインレンジを選択するロジック・レベル		2.25		5	V	
	LOゲインレンジを選択するロジック・レベル		0		1.0	V	
	入力抵抗			50		$\text{k}\Omega$	
出力クランプ・ インターフェース (RCLMPピン; HIまたはLOゲイン)	精度						
	HILO = LO	$R_{CLMP} = 2.74\text{ k}\Omega$, $V_{OUT} = 1\text{ V p-p}$ (クランプあり)		± 50		mV	
HILO = HI	$R_{CLMP} = 2.21\text{ k}\Omega$, $V_{OUT} = 1\text{ V p-p}$ (クランプあり)		± 75		mV		
モード・インター フェース(MODEピン、 ACパッケージのみ)	正ゲイン・スロープに対するロジック・レベル		2.25		5	V	
	負ゲイン・スロープに対するロジック・レベル		0		1.0	V	
	入力抵抗			200		$\text{k}\Omega$	
電源(VPS1、VPS2、 VPSVピン)	電源電圧		4.5	5.0	5.5	V	
	チャンネル当たりの静止電流			25		mA	
	消費電力	両チャンネルがアクティブ、信号なし		250		mW	
	ディスエーブル電流			300	600	$\mu\text{ A}$	
	PSRR	$V_{GAIN} = 0$, $f = 100\text{ kHz}$			-68		dB

表1 仕様

1 特に指定のない限り、すべての dBm 値は 50Ω を基準とします。

2 理論ゲイン式に対する適合性(式1参照)。

3 dB 値最適直線近似カーブに対する適合性。

絶対最大定格

パラメータ		定格
電圧	電源電圧(VPS1、VPS2、VPSV)	5.5 V
	入力電圧(INH1、INH2)	$V_S + 200 \text{ mV}$
	ENB、ENBL、ENBV、HILOの電圧	$V_S + 200 \text{ mV}$
	GAINの電圧	2.5 V
消費電力	ARパッケージ ¹	0.96W
	ACパッケージ	1.97W
温度レンジ	動作温度	$-40^\circ\text{C} \sim +85^\circ\text{C}$
	保管温度	$-65^\circ\text{C} \sim +150^\circ\text{C}$
	ピン温度(ハンダ処理60秒)	300°C
θ_{JA}	ARパッケージ ¹	68°C/W
	ACパッケージ ²	33°C/W

表2

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

1 4層JEDECボード (252P)

2 露出パッドをボードにハンダ付け、パッドには9つの温度バイアス。JEDEC 4層ボード J-STD-51-9

AD8332 – 代表的な性能特性

(特に指定のない限り、 $T_A=25^\circ\text{C}$ 、 $V_S=5\text{V}$ 、 $R_L=500\ \Omega$ 、 $R_S=R_{IN}=50\ \Omega$ 、 $R_{FB}=280\ \Omega$ 、 $C_{SH}=22\text{pF}$ 、 $f=10\text{MHz}$ 、 $R_{CLMP}=\infty$ 、 $C_L=1\text{pF}$ 、 $V_{CM}=2.5\text{V}$ 、ゲイン $=-4.5\text{dB}\sim+43.5\text{dB}$ (HILO=LO)、差動信号電圧 \circ)

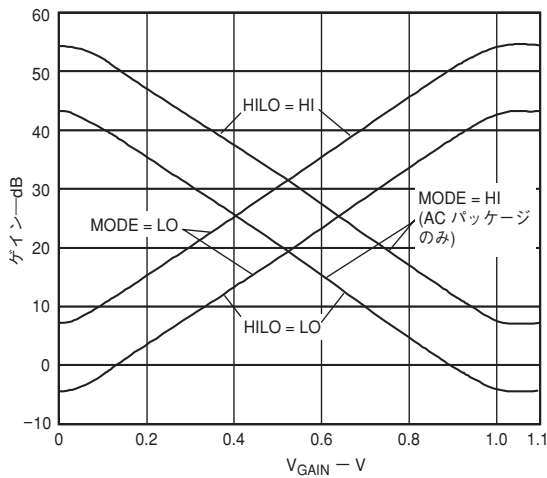


図3 ゲイン対 V_{GAIN} およびMODE (ACパッケージでのMODE)

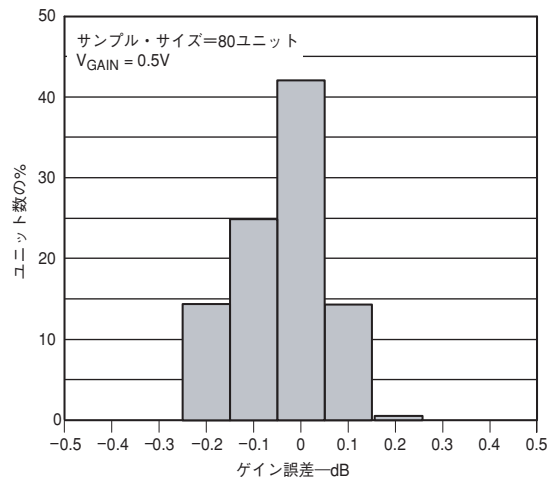


図6 ゲイン誤差のヒストグラム

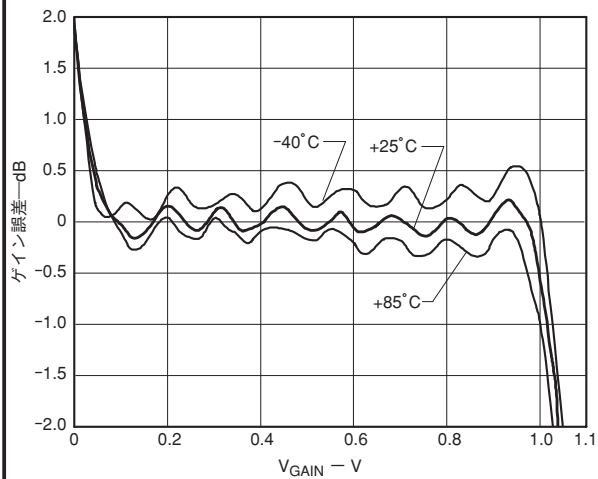


図4 絶対ゲイン誤差対 V_{GAIN} および温度

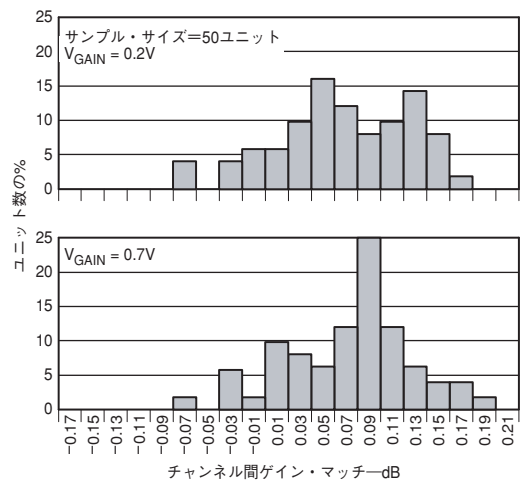


図7 $V_{\text{GAIN}}=0.2\text{V}$ および 0.7V に対するゲイン・マッチのヒストグラム

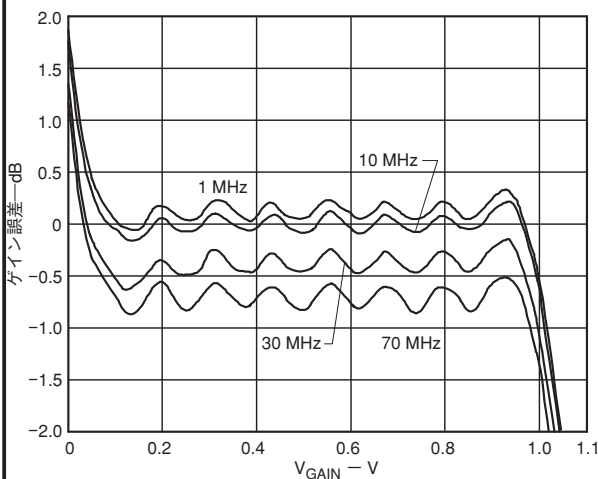


図5 絶対ゲイン誤差対 V_{GAIN} および周波数

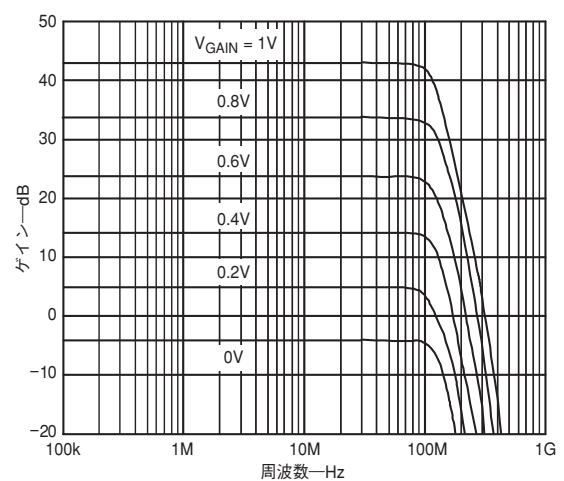


図8 周波数応答対ゲイン、HILO=LO

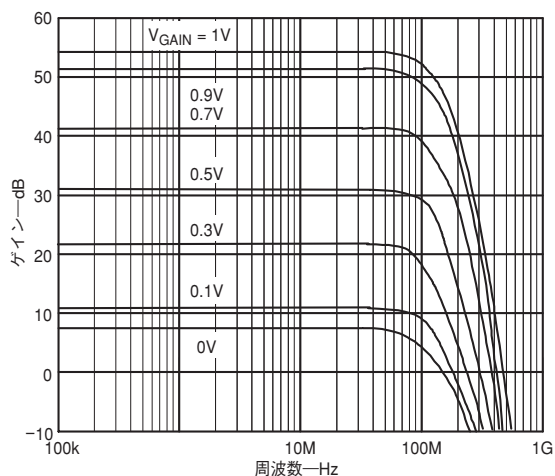


図9 周波数応答対 V_{GAIN} 、HILO=HI

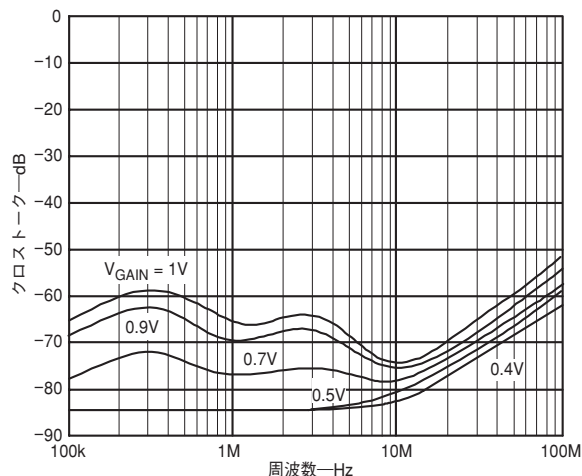


図12 チャンネル間クロストーク対周波数および V_{GAIN} 、 $V_{OUT}=1Vp-p$

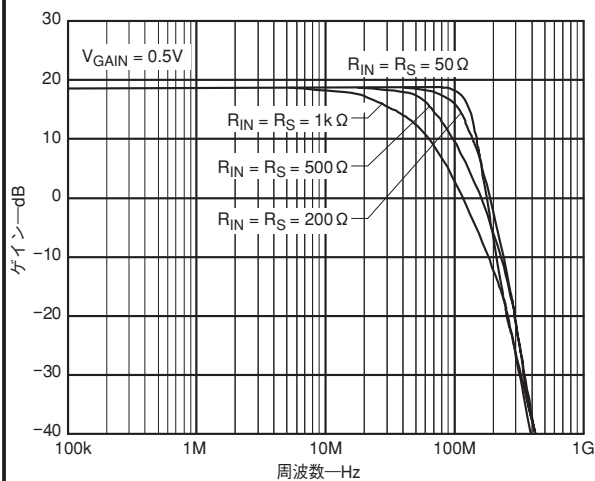


図10 周波数応答、アクティブ終端マッチ

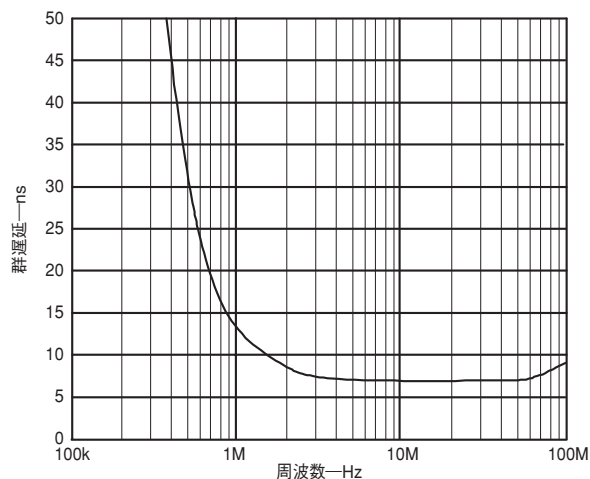


図13 群遅延対周波数

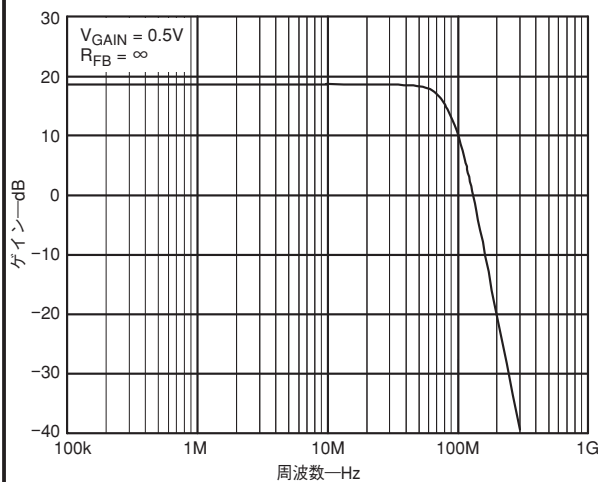


図11 周波数応答、終端なし、 $R_S=50\Omega$

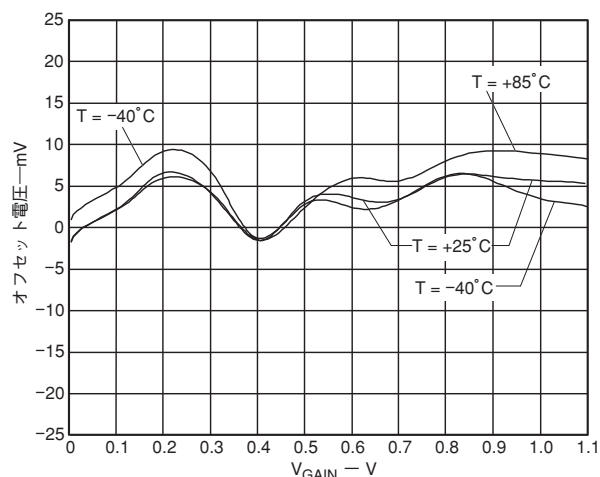


図14 差動出力オフセット対 V_{GAIN} および温度

AD8332

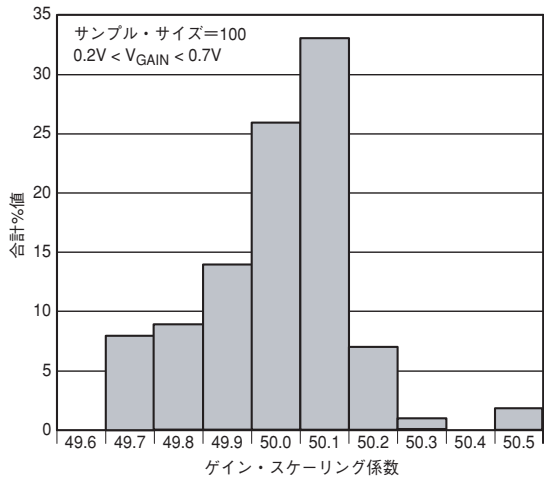


図15 ゲイン・スケール係数のヒストグラム

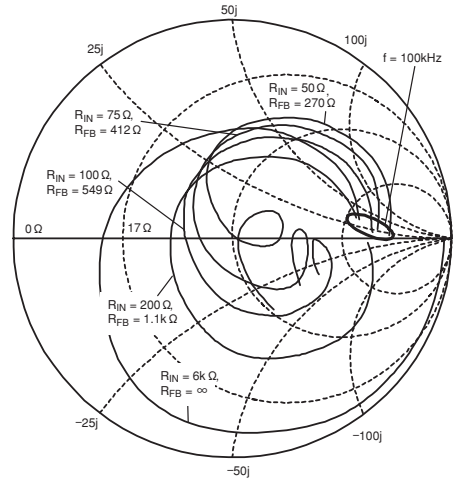


図18 スミス・チャート、S11対周波数、0.1MHz~200MHz

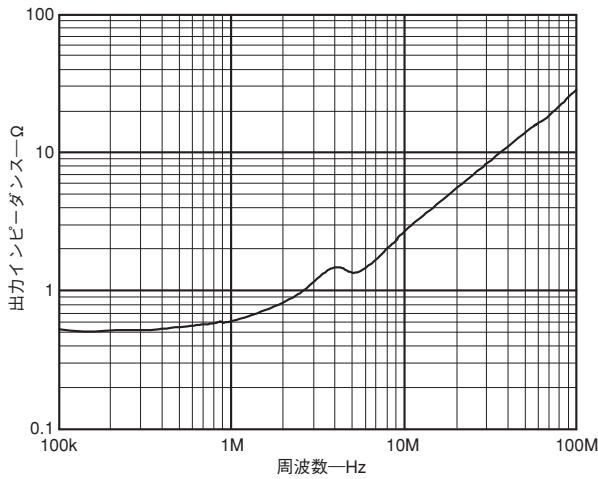


図16 出カインピーダンス対周波数、シングルエンド、VOH、VOL、RL=∞

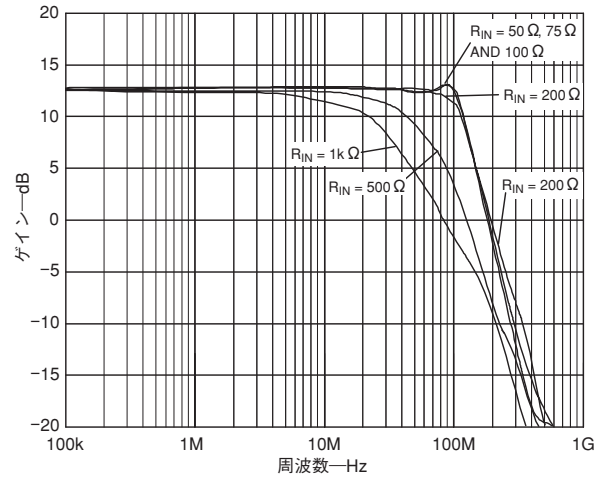


図19 LNAの周波数応答、アクティブ終端マッチ、シングルエンド

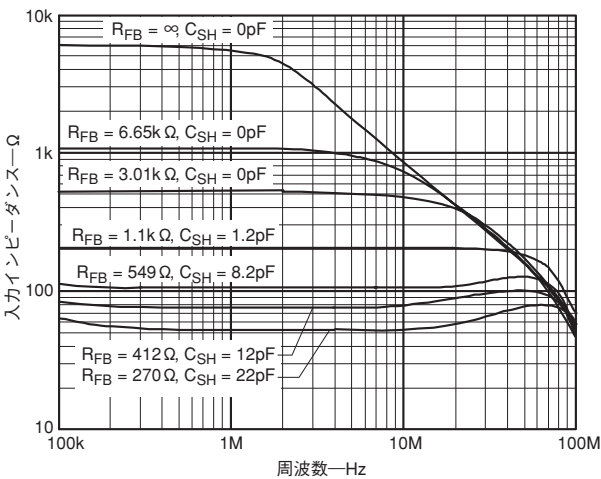


図17 LNA入カインピーダンス対周波数

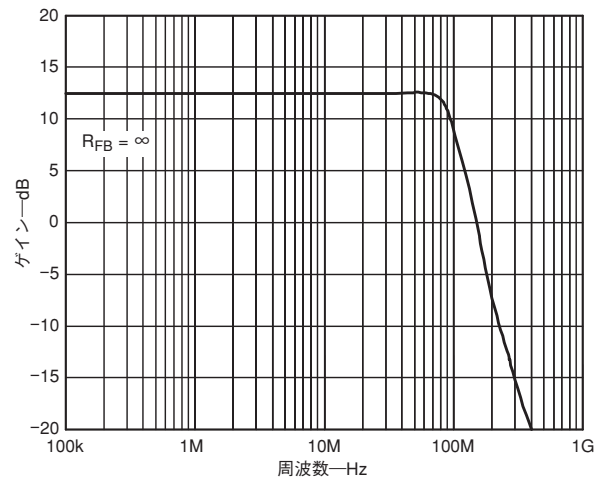


図20 LNAの周波数応答、終端なし、シングルエンド

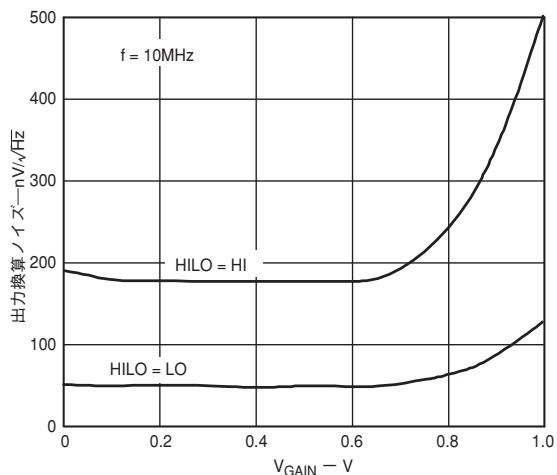


図21 出力換算ノイズ対V_{GAIN}

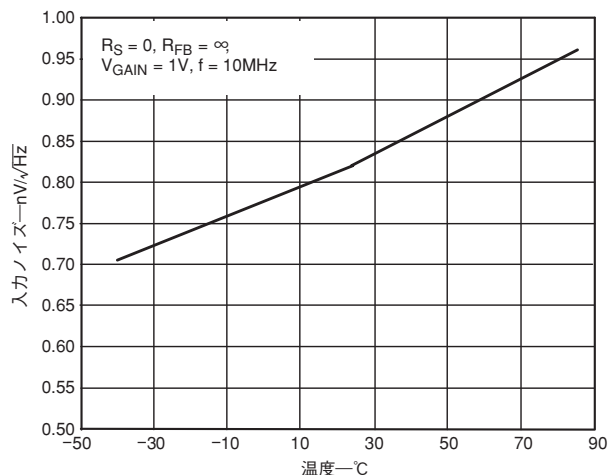


図24 短絡時入力換算ノイズ対温度

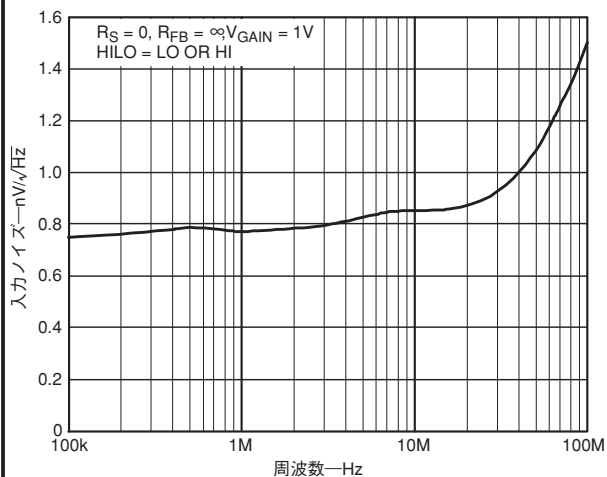


図22 短絡時入力換算ノイズ対周波数

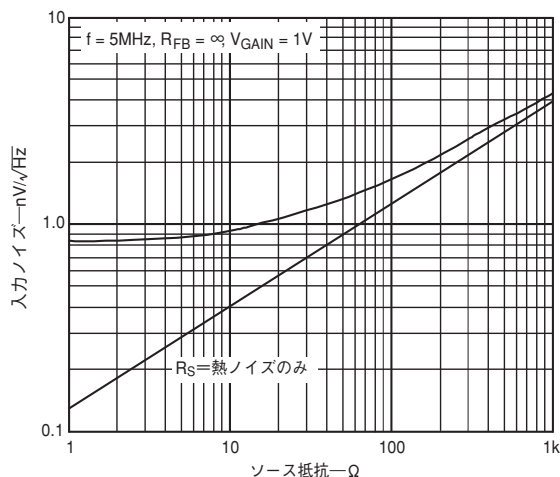


図25 入力換算ノイズ対R_S

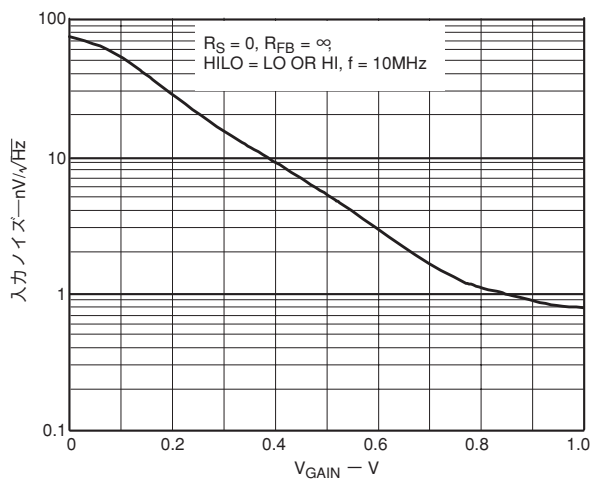


図23 短絡時入力換算ノイズ対V_{GAIN}

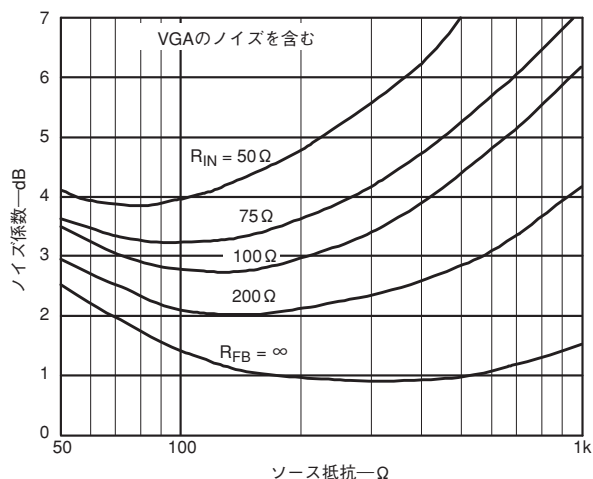


図26 ノイズ係数対R_Sおよび固定R_{IN}

AD8332

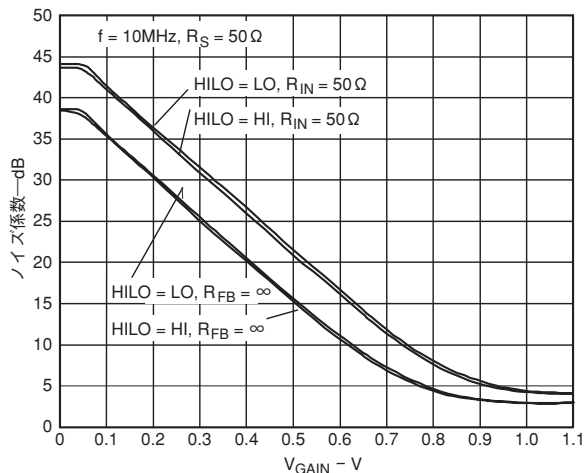


図27 ノイズ係数対 V_{GAIN}

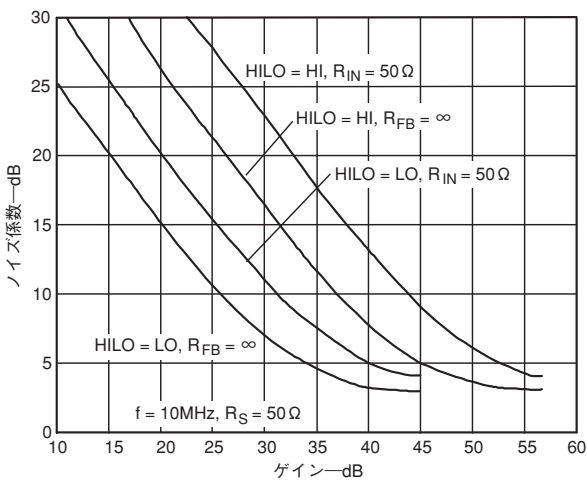


図28 ノイズ係数対ゲイン

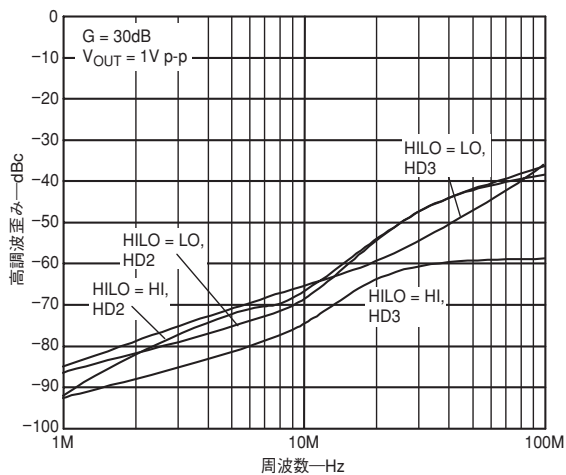


図29 高調波歪み対周波数

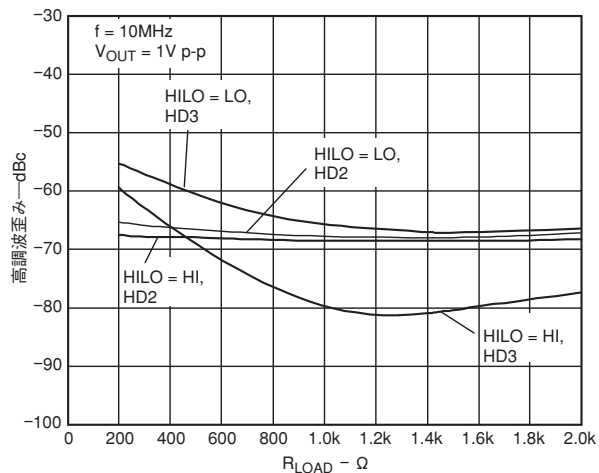


図30 高調波歪み対 R_{LOAD}

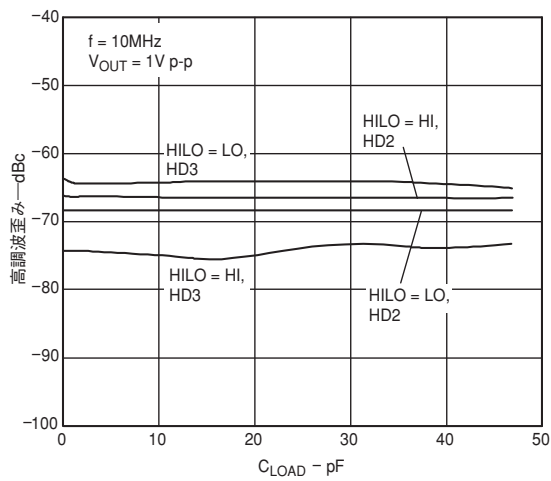


図31 高調波歪み対 C_{LOAD}

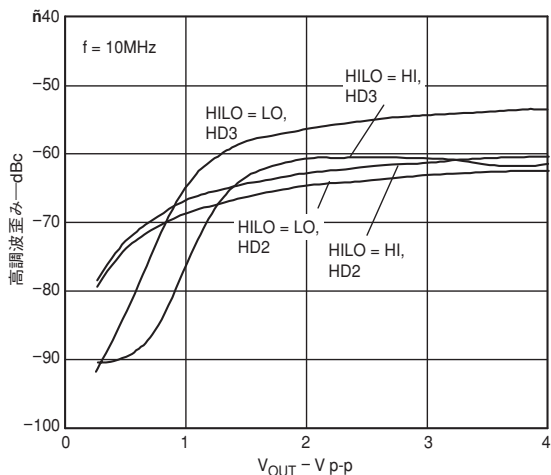


図32 高調波歪み対差動出力電圧

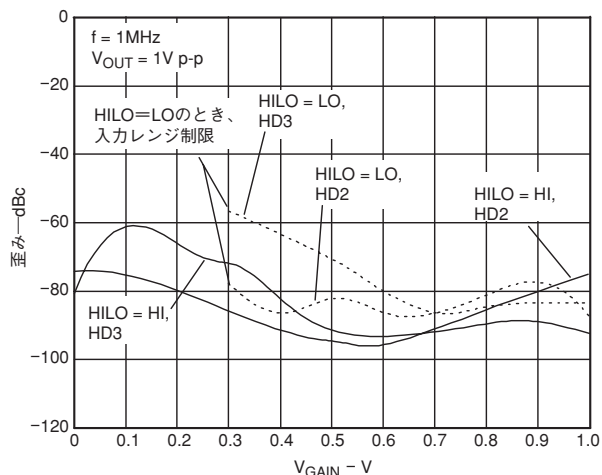


図33 高調波歪み対 V_{GAIN} 、 $f=1\text{MHz}$

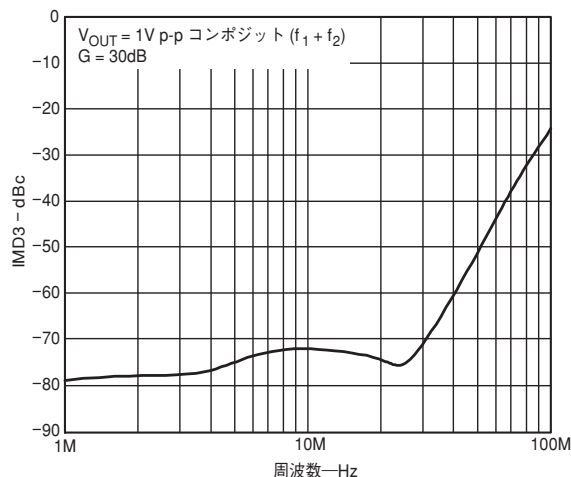


図36 IMD3対周波数

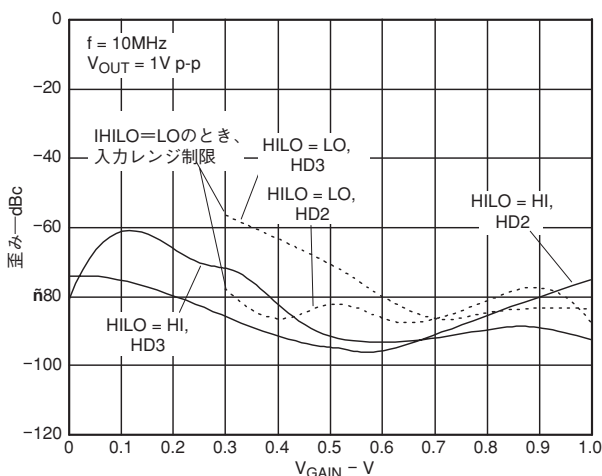


図34 高調波歪み対 V_{GAIN} 、 $f=10\text{MHz}$

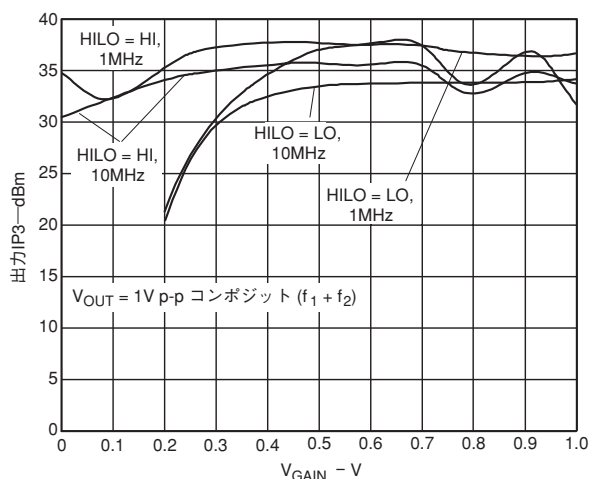


図37 出力3次インターセプト対 V_{GAIN}

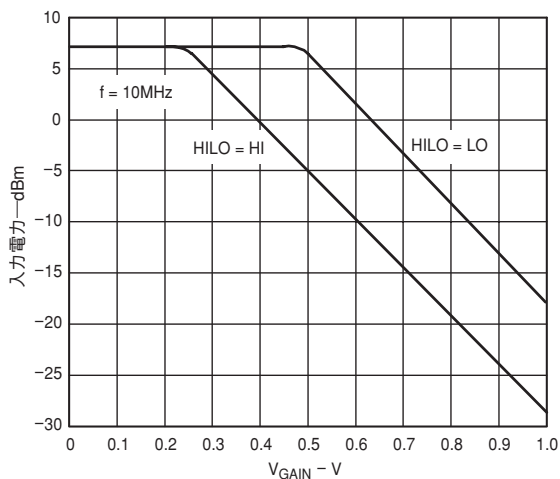


図35 入力1dB圧縮対 V_{GAIN}

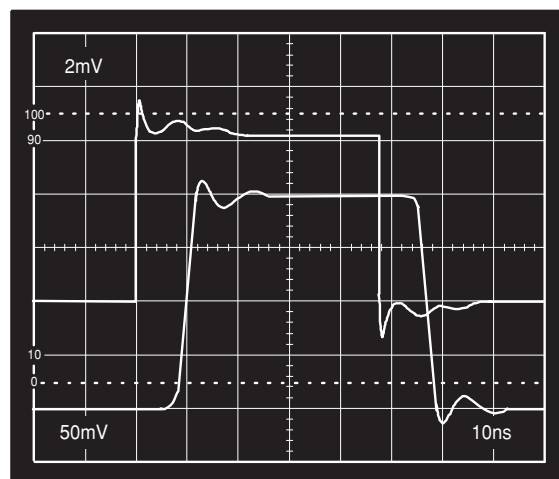


図38 小信号パルス応答、 $G=30\text{dB}$ 、上：入力、下：出力電圧、HILO=HIまたはLO

AD8332

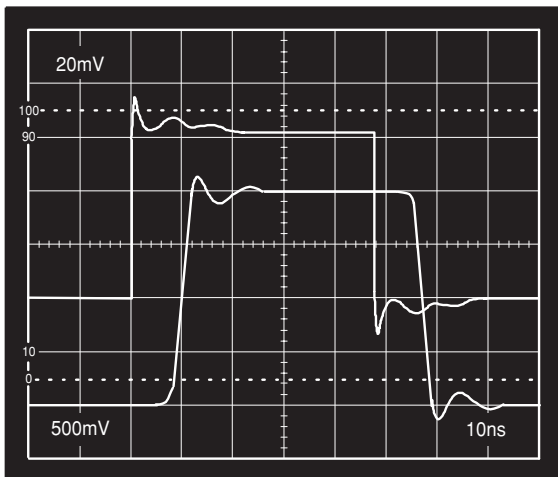


図39 大信号パルス応答、 $G=30\text{dB}$ 、HILO=HIまたはLO、
上：入力、下：出力電圧

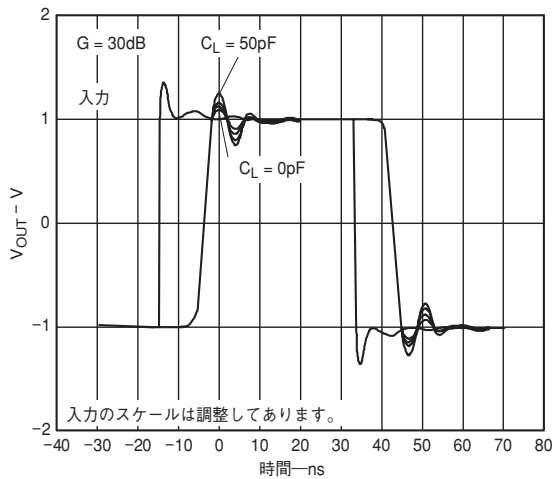


図40 様々な容量負荷 ($C_L=0\text{pF}$ 、 10pF 、 20pF 、 50pF) に対する大信号パルス応答

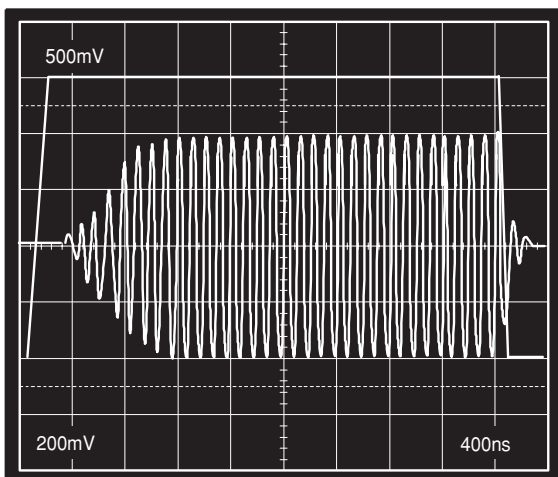


図41 ピン・ゲイン過渡応答、上： V_{GAIN} 、下：出力電圧

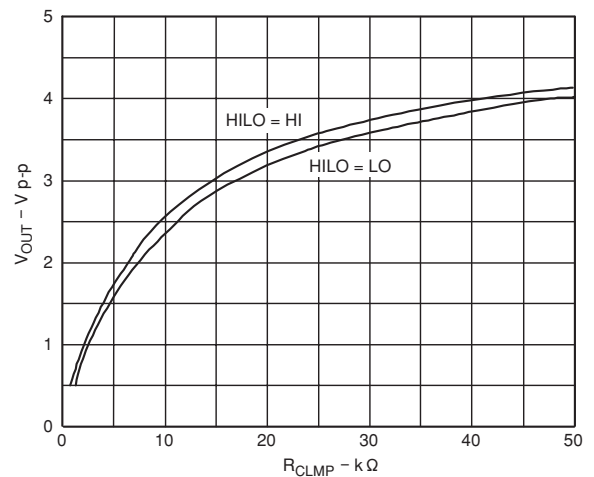


図42 クランプ・レベル対 R_{CLMP}

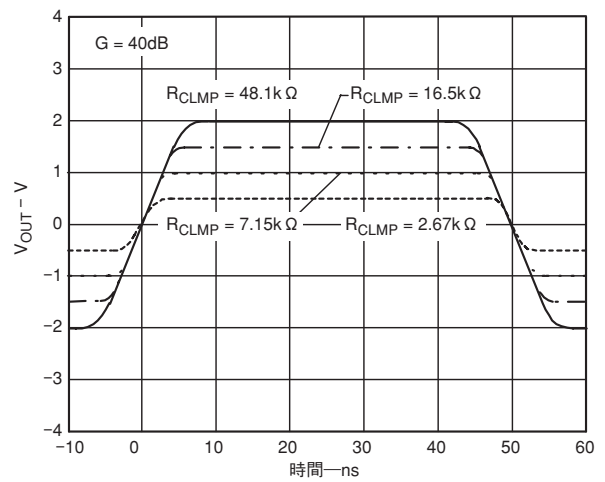


図43 クランプ・レベル・パルス応答

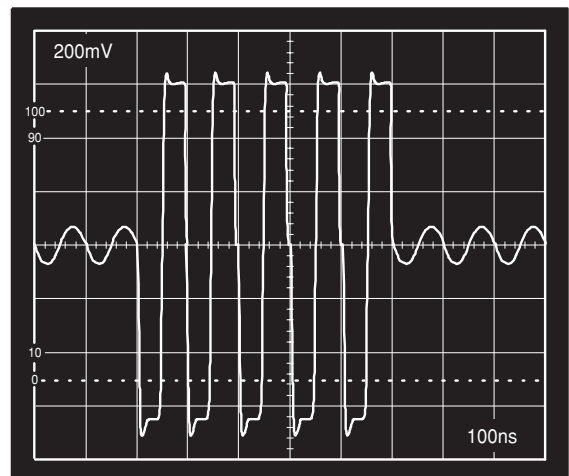


図44 LNAのオーバードライブ回復、 $V_{\text{INH}} 0.05\text{Vp-p} \sim 1\text{Vp-p}$ のバースト、 $V_{\text{GAIN}}=0.27\text{V}$ 、VGA出力

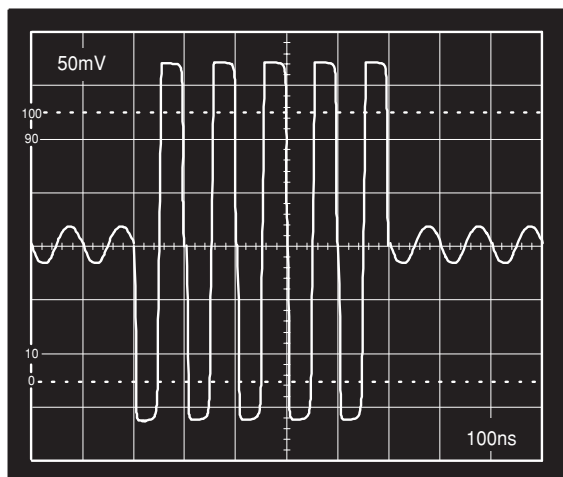


図45 VGAのオーバードライブ回復、 V_{INH} 4mVp-p～70mVp-pバースト、 $V_{GAIN}=1V$ 、24dB減衰後のVGA出力

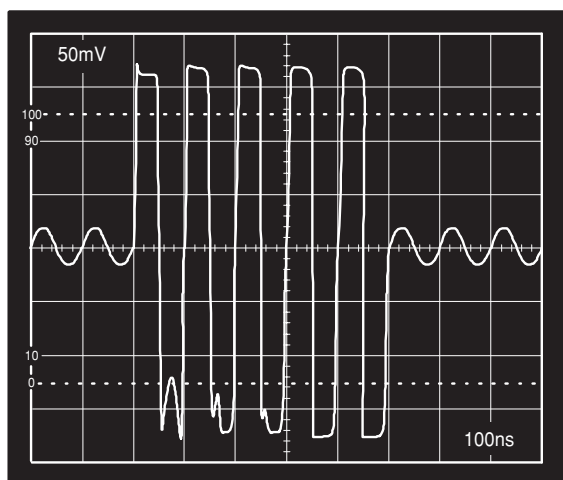


図46 VGAのオーバードライブ回復、 V_{INH} 4mVp-p～275mVp-pバースト、 $V_{GAIN}=1V$ 、24dB減衰後のVGA出力

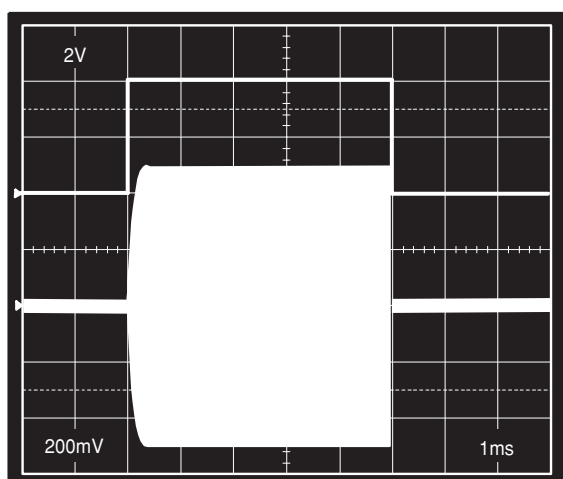


図47 イネーブル応答、上： V_{ENB} 、下： V_{OUT} 、 $V_{INH}=30mVp-p$

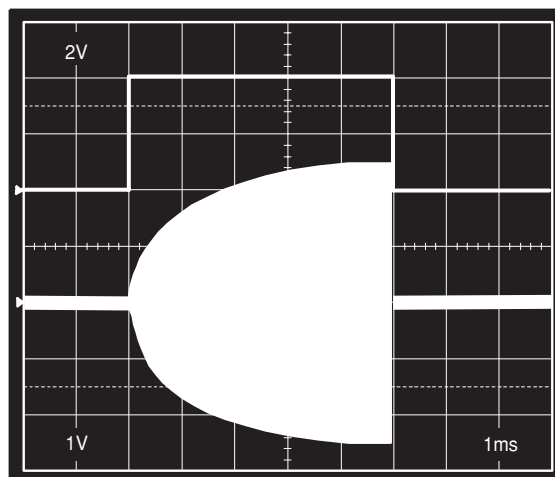


図48 イネーブル応答、大信号、上： V_{ENB} 、下： V_{OUT} 、 $V_{INH}=150mVp-p$

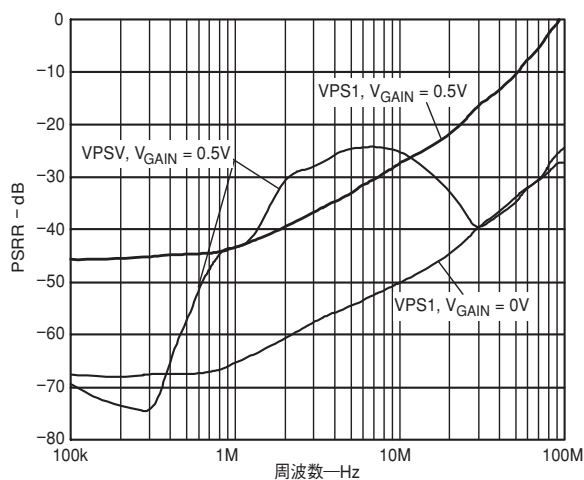


図49 PSRR対周波数(バイパス・コンデンサなし)

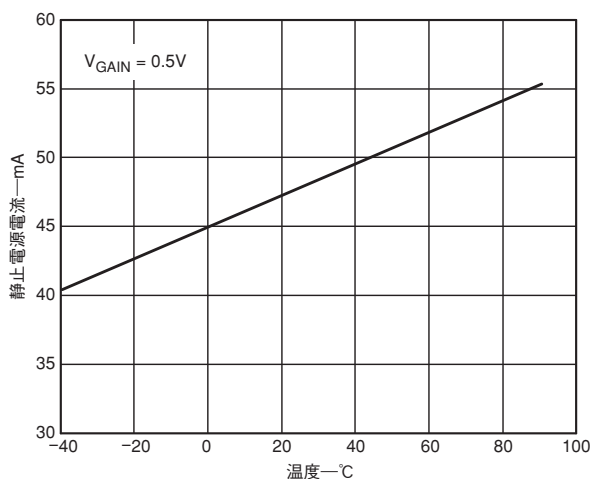


図50 静止電源電流対温度

AD8332

テスト回路

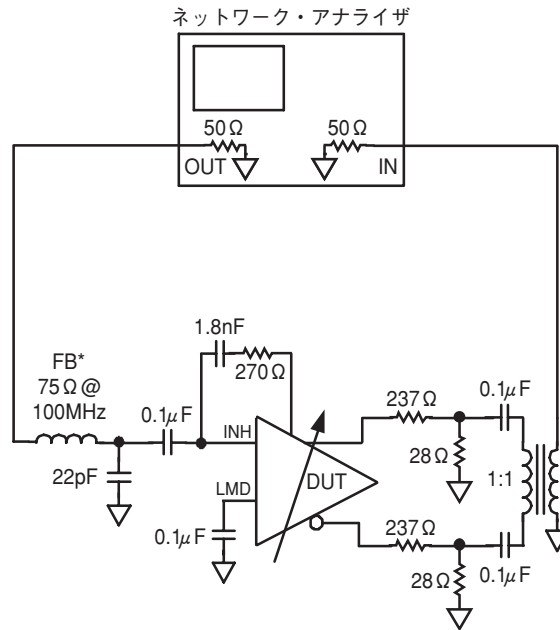


図51 ゲインおよび帯域幅の測定に使用

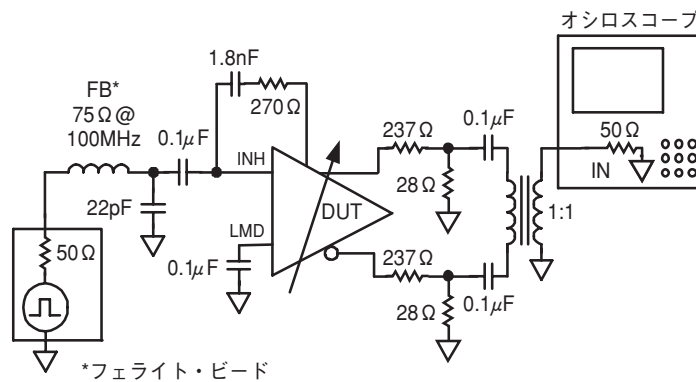


図52 過渡電圧の測定に使用

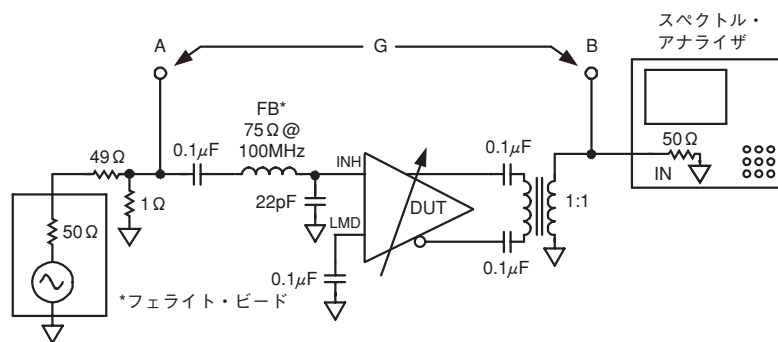
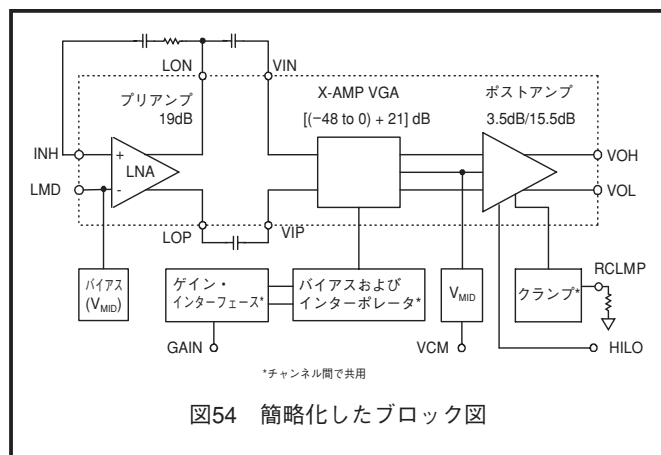


図53 ノイズ測定に使用

動作原理

概要

AD8332は2チャンネルのVGAです。各チャンネルには、入力端子の終端インピーダンスがユーザー調整可能なLNA、差動X-AMP VGA、出力電圧制限機能を調整可能なプログラマブル・ゲイン・ポストアンプが含まれています。図54に簡略化したブロック図を示します。



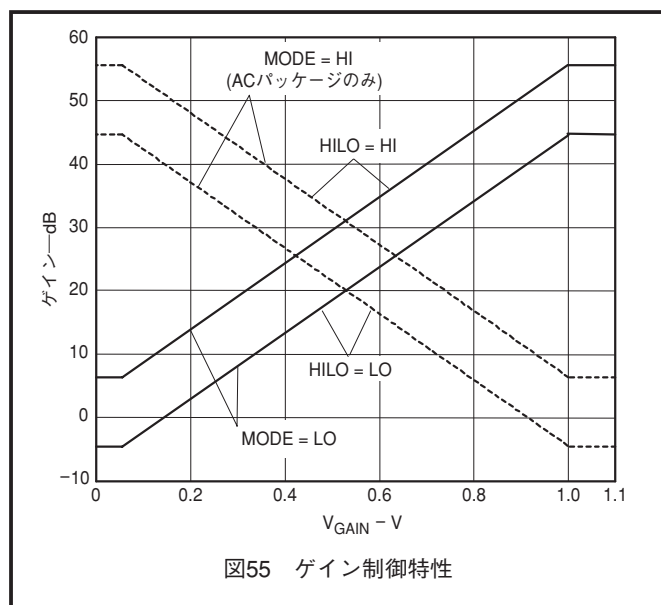
dB値で直線的なゲイン制御インターフェースは、スロープおよび絶対精度についてトリミングされています。AD8332の全ゲインレンジは48dBで、HILOピンの設定に応じて、−4.5dB〜+43.5dBまたは+7.5dB〜+55.5dBになります。ゲイン制御インターフェースのスロープは50dB/Vで、ゲイン制御レンジが40mV〜1Vなので、ゲインは次の式で得られます。

$$\text{GAIN(dB)} = 50(\text{dB/V}) \times V_{\text{GAIN}} - 6.5\text{dB}, (\text{HILO} = \text{LO}) \quad (1)$$

または、

$$\text{GAIN(dB)} = 50(\text{dB/V}) \times V_{\text{GAIN}} + 5.5\text{dB}, (\text{HILO} = \text{HI}) \quad (2)$$

図55に、ゲイン特性を示します。



MODEがハイレベルに設定された場合は(ACパッケージのみ)、

$$\text{GAIN(dB)} = -50(\text{dB/V}) \times V_{\text{GAIN}} + 45.5\text{dB}, (\text{HILO} = \text{LO}) \quad (3)$$

または、

$$\text{GAIN(dB)} = -50(\text{dB/V}) \times V_{\text{GAIN}} + 57.5\text{dB}, (\text{HILO} = \text{HI}) \quad (4)$$

LNAは、電圧ゲイン=19dBでシングルエンド入力を差動出力に変換します。一方の出力のみを使用する場合は、ゲインは13dBになります。入力インピーダンスのアクティブ終端には反転出力を使います。各LNA出力は、VGA入力へ容量結合されます。VGAは、48dBのレンジを持つ減衰器とその後に続く21dBのゲインを持つアンプから構成されており、正味のゲインレンジは−27dB〜+21dBになります。X-AMPゲイン/インタポレーション技術の採用によりゲイン誤差が小さく、帯域幅が均一で、差動信号パスが歪みを最小化します。

最終段は、ゲイン=3.5dBまたは15.5dBの、ロジックから設定可能なアンプです。LOおよびHIゲイン・モードでは、12ビットと10ビットのA/Dコンバータ・アプリケーションに対して、出力換算ノイズと絶対ゲインレンジが最適化されています。出力電圧制限機能は、ユーザーが設定することができます。

ローノイズ・アンプ(LNA)

AD8332の性能は、シグナル・チェーンの先頭に位置する当社独自の超ローノイズ・プリアンプに依存しており、超ローノイズ・プリアンプが後段のVGAに対するノイズの影響を抑えます。アクティブ・インピーダンス制御機能により、入力マッチング機能を使用するアプリケーションにおけるノイズ性能が最適化されます。

図56に、LNAの簡略化した回路図を示します。INHは信号源に容量結合されます。内蔵のバイアス・ジェネレータが、出力DCレベルの中心を2.5Vに、入力電圧の中心を3.25Vに設定します。入力結合コンデンサC_{INH}と同じ値を持つコンデンサC_{LMD}を、LMDピンとグラウンドの間に接続します。

AD8332

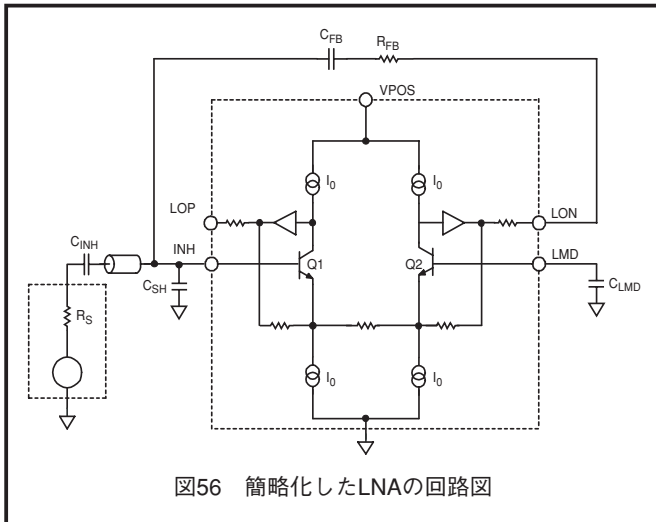


図56 簡略化したLNAの回路図

LNAは5V_{p-p}までの差動出力電圧をサポートします。これは端子電圧で、コモン・モード電圧+2.5V、振幅範囲正負±1.25Vになります。差動ゲイン振幅が9なので、飽和しない最大入力信号は±275mVまたは550mV_{p-p}になります。過負荷保護により、大きな入力電圧からの迅速な回復を保証しています。入力が電源電圧の1/2付近のバイアス電圧に容量結合されているため、非常に大きな入力もESD保護に影響を与えずに処理することができます。

帰還抵抗値が小さく、出力段の電流駆動能力が大きいため、LNAでは0.74nV/ $\sqrt{\text{Hz}}$ の低い入力換算電圧ノイズが可能で、これは、チャンネル当たり10mA (50mW)の小さな消費電流で達成されます。内蔵のマッチング抵抗により、正確なインピーダンス・コントロールに不可欠な片側4.5(差動では9)の高精度ゲインが可能です。フル差動回路と負側帰還の採用により、歪みが最小になっています。2次高調波歪み(HD2)が低いことは、2次高調波の超音波イメージング・アプリケーションでは特に重要です。差動信号処理により各出力での振幅が小さくなり、さらに3次歪みを小さくします。

アクティブ・インピーダンス・マッチング

AD8332のLNAは、LONピンとINHピンの間にシャント帰還抵抗を外付けすることにより、アクティブ・インピーダンス・マッチング機能をサポートしています。入力抵抗 R_{IN} は式5で与えられます。ここで、Aはシングルエンド・ゲイン=4.5で、6k Ω は終端なし時の入力インピーダンスです。

$$R_{IN} = \frac{R_{FB}}{1+A} \parallel 6k\Omega = \frac{6k\Omega \times R_{FB}}{33k\Omega + R_{FB}} \quad (5)$$

LONピンとINHピンのDCレベルが等しくないため、 C_{FB} は R_{FB} と直列に接続する必要があります。 R_{IN} としての R_{FB} の選択と C_{FB} の選択については、「アプリケーション」で説明しています。 C_{SH} とフェライト・ビードを使うと、ループ・ゲインが減少する高い周波数での安定性が向上し、ピーキングを防止します。図19と図20に、LNAの周波数応答を示します。帯域幅は50 Ω ~200 Ω の一致した入力インピーダンスに対して約130MHzで、ソース・インピーダンスが高くなると狭くなります。終端なし時の帯域幅($R_{FB} = \infty$)は約80MHzです。

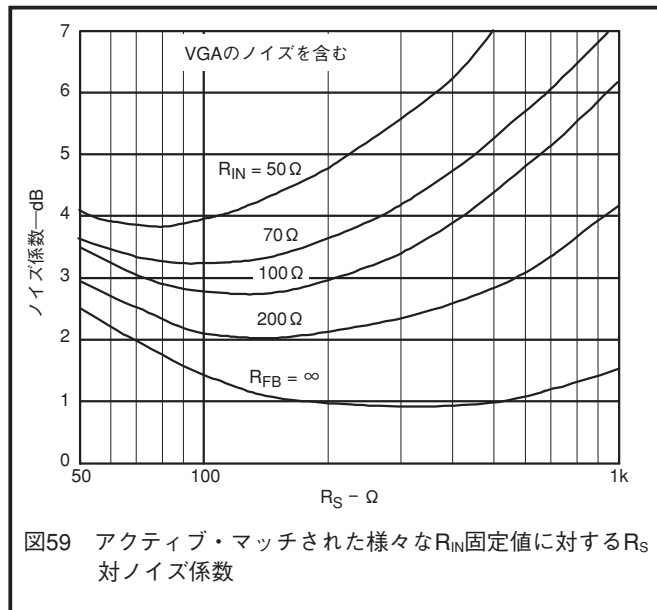
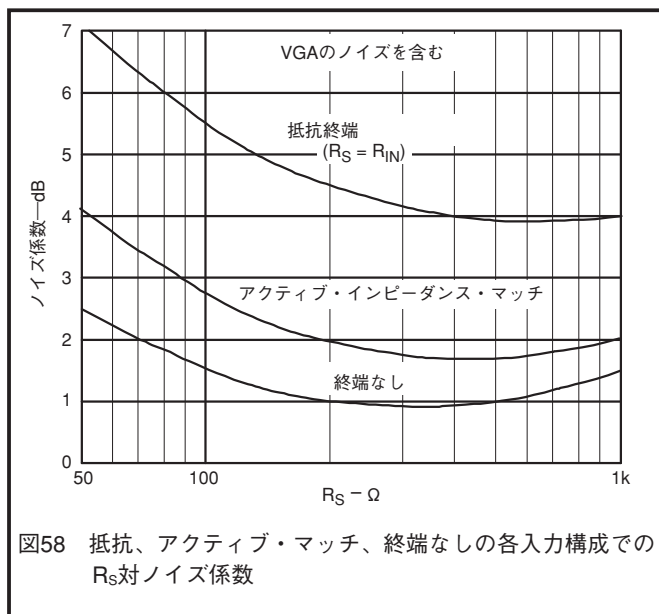
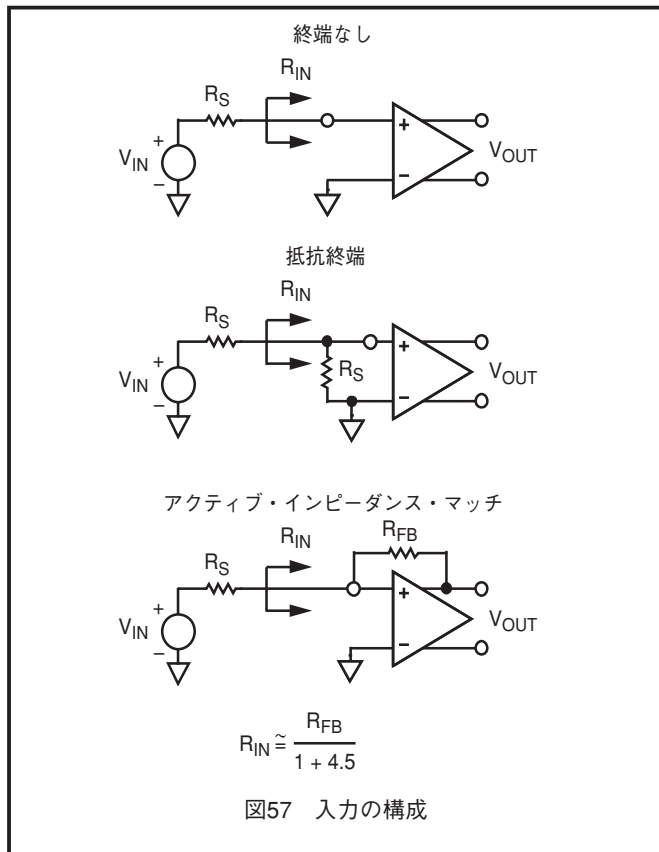
各出力は、VGAの入力インピーダンス100 Ω (差動では200 Ω)の他に、100 Ω までの小さい外部負荷を駆動することができます。容量負荷は最大10pFまで許容できます。すべ

ての負荷はAC結合にする必要があります。一般に、LOPピン出力は、ドプラー・モードの超音波イメージングなどで使用される補助回路に対するシングルエンド・ドライバとして使用され、LONピンが R_{FB} を駆動します。あるいは、アクティブ帰還終端に加えて、差動の外部回路も2つの出力から駆動することができます。両ケースとも、「アプリケーション」に記載された重要な安定性を十分に考慮する必要があります。

各LNA出力のインピーダンスは5 Ω です。VGAを駆動するときは、開放時ゲインが13.1dBから12.7dBへ少し減少し、さらに出力に100 Ω 負荷を追加すると12.3dBに減少します。LNAの差動ゲインは6dB高くなります。一方の負荷が200 Ω より小さい場合は、他方の出力にも同じ負荷を使う必要があります。

LNAのノイズ

AD8332の入力換算電圧ノイズは、システム性能の重要な制約になります。LNAの短絡入力電圧ノイズは、VGAノイズを含み、0.74nV/ $\sqrt{\text{Hz}}$ または0.82nV/ $\sqrt{\text{Hz}}$ (最大ゲイン時)です。開放時の電流ノイズは2.5pA/ $\sqrt{\text{Hz}}$ です。帰還抵抗なしで測定したこれらの測定値は、様々な構成での入力ノイズ性能とノイズ係数性能を計算する際の基礎を提供します。個別のアプリケーション・ノートでこれらを詳しく説明していますが、図57、図58、図59にその概要を示しています。終端なし時($R_{FB} = \infty$)の動作は、最小の等価入力ノイズとノイズ係数を示しています。図58にノイズ係数対ソース抵抗のプロットを示します。ソース・ノイズに比べてLNA電圧ノイズが大きいところでは、 R_S が小さい所でノイズ係数が大きくなり、電流ノイズに起因する大きな R_S でノイズ係数が再び大きくなります。VGAの入力換算電圧ノイズ2.7nV/ $\sqrt{\text{Hz}}$ は、すべてのカーブに含まれています。



入力インピーダンス・マッチングの主な目的は、システムの過渡応答を向上させることです。抵抗終端を使用する場合は、マッチング抵抗の熱ノイズとLNAの入力電圧ノイズ・ジェネレータの影響が大きくなるため、入力ノイズが増加します。アクティブ・インピーダンス・マッチングを使用する場合は、両方の影響は抵抗終端の場合に比べて $1/(1+\text{LNAゲイン})$ に小さくなります。図58に、相対的なノイズ係数(NF)性能を示します。このグラフでは、各ポイントで R_S をマッチさせたまま入力インピーダンスを変えています。ソース・インピーダンス 50 Ω でのノイズ係数は、抵抗、アクティブ、終端なしの各構成に対して 7.1dB、4.1dB、2.5dB です。200 Ω でのノイズ係数は、それぞれ 4.6dB、2.0dB、1.0dB です。

図59に、様々な R_{IN} 値に対する R_S 対 NF の関係を示します。これは設計の際に役立ちます。アクティブ・マッチ入力での NF は平坦であるため、ソース・インピーダンスの変動は緩和されます。比較のために、ゲイン = 19dB、ノイズ・スペクトル密度 = 1.0nV/√Hz を持つプリアンプと 3.75nV/√Hz のVGAを組み合わせると、ノイズ係数が約 1.5dB 低下して(大部分の入力インピーダンスに対して)、AD8332の性能を大幅に下回ります。

LNAの等価入力ノイズは、シングルエンド・アプリケーションおよび差動出力アプリケーションと同じです。LNAノイズ係数はVGAノイズなしの50Ωで3.5dBに改善されますが、この値はLOPに接続された外部回路からのみのノイズ成分です。別ボード上の外部回路を駆動する場合には、安定性のために直列出力抵抗の使用が推奨されます(「アプリケーション」参照)。ローノイズ・アプリケーションでは、フェライト・ビードの使用も推奨されます。

AD8332

可変ゲイン・アンプ

差動X-AMP VGAは、高精度の入力減衰とインターポレーション機能を提供します。入力換算ノイズは $2.7\text{nV}/\sqrt{\text{Hz}}$ と小さく、優れたゲイン直線性を持っています。簡略化したブロック図を図60に示します。

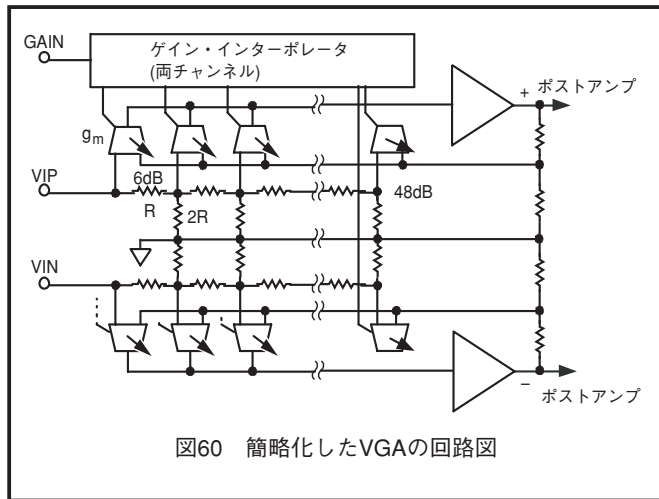


図60 簡略化したVGAの回路図

X-AMP VGA

VGAの入力は1ステージあたり6dBの差動R-2Rラダー減衰器回路で、差動 200Ω の正味の入力インピーダンスを持っています。ラダー回路はLNAからのフル差動入力信号で駆動され、シングルエンド動作はサポートしていません。LNA出力は、オフセットを減らし、コモン・モード電圧を分離するためAC結合されています。VGA入力はラダーのセンター・タップを介してVCMにバイアスされており、その値は標準で $+2.5\text{V}$ 、外部から提供されるクリーンなACグラウンドにバイアスされます。

X-AMPの入力減衰器内のラダー抵抗により、信号レベルは各タップポイントで6dBステップの $0\sim-46\text{dB}$ に減衰されます。ゲイン・インターポレータが入力タップポイントに与えるバイアス電流を重複させることにより、一連のタップからの信号を合流させて $0\text{dB}\sim-48\text{dB}$ の滑らかな減衰レンジを提供しています。この回路技術の採用により、優れたdB値で直線的なゲイン則適合性、低い歪みレベル、理論値からの偏差 $\pm 0.2\text{dB}$ 以下が実現されています。ゲイン・スロープは制御電圧に対して単調であり、製造プロセス、温度、電源の変動に対して安定しています。

X-AMP入力段は、VGAを構成するゲイン12の帰還アンプに含まれ、帯域幅は 150MHz です。入力段は出力へのノイズ混入を抑えるようにデザインされているため、ゲイン設定に対して優れた周波数応答の均一性が保証されています(図8および図9参照)。

ゲイン制御

VGA減衰器のタップ位置はシングルエンドのアナログ制御電圧 V_{GAIN} によって制御され、入力レンジは $40\text{mV}\sim 1.0\text{V}$ です。ゲイン制御のスケーリングは、 $50\text{dB}/\text{V}$ ($20\text{mV}/\text{dB}$)のスロープになるように調整されます。制御レンジを超える V_{GAIN} 値は、最小ゲイン値または最大ゲイン値に抑えられます。AD8332の両チャンネルは1つのゲイン・インターフェースから制御され、マッチングが維持されます。AD8332のゲインは、前述の式1と式2を使って計算することができます。

スケーリング係数と絶対ゲインの両方が出荷時に調整されているため、AD8332のゲイン精度は非常に優れています。理論ゲインに対する全体精度は、温度、製造プロセス、電源電圧、インターポレータのゲイン・リップル、トリム誤差、テストの規定値の変動に対して $\pm 1\text{dB}$ です。与えられた条件での最適直線近似に対するゲイン誤差は、 $\pm 0.2\text{dB}$ (typ)です。チャンネル間のゲイン・マッチングは 0.1dB 以上です(制御レンジの中央でのゲイン誤差を示した図7参照)。

$$V_{\text{GAIN}} < 0.1 \quad \text{または} \quad > 0.95$$

の場合、ゲイン誤差は少し大きくなります。

図55に示す反転ゲイン機能は32ピンのACパッケージで使用可能です。最大ゲインから最小ゲインまでのゲイン制御レンジで、 $-50\text{dB}/\text{V}$ のスロープでゲインが低下します。このスロープは、制御電圧が測定された出力信号振幅に反比例する、自動ゲイン制御などのアプリケーションで役立ちます。MODEピンをHIに設定すると、反転ゲイン・モードが選択されます。

AD8332のゲイン制御応答時間は、最小ゲインから最大ゲインへの変化に対して、 750ns 以下で最終値の10%以内に整定します。

VGAのノイズ

代表的なアプリケーションでは、AD8332は広いダイナミックレンジの入力信号とADCとの間でブリッジとして機能します。LNAの入力換算ノイズは識別可能な最小入力信号を決定しますが、主にVGAに依存する出力換算ノイズは、任意の特定ゲイン制御電圧で処理可能な最大瞬時ダイナミックレンジを決定します。この制約は、ADCの量子化ノイズ・フロアとの組み合わせにより設定されます。

短絡入力状態に対する、 V_{GAIN} の関数としての出力および入力換算ノイズを図21と図23に示します。入力ノイズ電圧は、制御レンジ内の各ポイントで測定されたゲインで除算した出力ノイズ値に等しくなります。

出力換算ノイズは、VGAの固定出力換算ノイズが支配的であるため、ゲインレンジ内の大部分で平坦です。LOゲイン・モードでの値は $48\text{nV}/\sqrt{\text{Hz}}$ で、HIゲイン・モードでは $178\text{nV}/\sqrt{\text{Hz}}$ です。ゲイン制御レンジの上端では、LNAのノイズとソースが支配的になります。VGAの入力換算成分が非常に小さくなる最大ゲイン制御電圧付近では、入力換算ノイズが最小値に近づきます。

ゲインが低いところでは、入力換算ノイズ、したがってノイズ係数はゲインの減少とともに増加します。ただし、入力容量を大きくするとシステムの瞬時ダイナミックレンジも広がるため、瞬時ダイナミックレンジがなくなってしまうことはありません。ADCノイズ・フロアの成分も、同じ依存性を持っています。ADCのノイズ・フロアの大きさに対するVGA出力ノイズ・フロアの大きさの関係は重要です。

AD8332は出力換算ノイズ・レベルが低いため、現在のADCに対するドライバとして最適です。コンバータのノイズ・フロアは2ビットの分解能毎に12dB低下し、入力フル・スケール電圧が低くなった場合およびサンプリング・レートが高くなった場合にも、低下します。ADC量子化ノイズについては、「アプリケーション」で説明します。

前述のノイズ性能の説明は、差動VGA出力信号にも適用されます。LNAのノイズ性能はシングルエンドおよび差動のアプリケーションで同じですが、VGAの性能は同じではありません。VGAのバイアス・ノイズ成分は差動信号内で相殺されるようにデザインされているため、シングルエンドの場合にはVGAのノイズは遥かに大きくなります。ローノイズが必要な場合は、シングルエンド・アプリケーションでトランスを使うことができます。

非常にローノイズのアプリケーションでは、ゲイン制御ノイズがもう一つの問題点になります。ゲイン制御インターフェース内の熱ノイズによってAD8332のゲインが変調されて、出力でノイズに似た変動が発生することがあります。

このノイズは出力信号レベルに比例し、通常は信号が大きい場合のみ顕著になります。この影響は、ノイズ・フロアが非常に低いLOゲイン・モードでのみ観測できます。ゲイン・インターフェースにはノイズ・フィルタが内蔵されているため、この影響は5MHzを超える周波数で大幅に改善できます。GAIN入力でのノイズを小さくするように注意してください。外付けのRCフィルタを使うと、 V_{GAIN} のソース・ノイズを除去することができます。このフィルタ帯域幅は、目的の制御帯域幅を確保できるように十分広いものを使用する必要があります。

コモン・モード・バイアス

電源電圧の1/2の値に接続された内部バイアス回路が、VGAおよびポストアンプのコモン・モード電圧を設定しています。外部でバイパスされたバッファがこの電圧を維持しています。VGAの差動入力減衰器のセンター・タップ、VGAの固定ゲイン・アンプの帰還回路、両ゲイン設定におけるポストアンプの帰還回路など、多くの重要な内部接続をVCM回路が構成しているため、バイパス・コンデンサは重要なACグラウンド接続を構成しています。最適な結果を得るため、1nFと0.1 μ Fのコンデンサを並列接続し、1nFをAD8332に近接して接続してください。VCMピンは各チャンネルに個別に用意されています。追加機能として、AD8332のVCMピンに外付け電圧源を接続すると、コモン・モード電圧を電源電圧の1/2の値以外に設定することができます。例えば、3VのADCへのDC結合接続に対して1.5Vのコモン・モード・レベルを設定することができます。

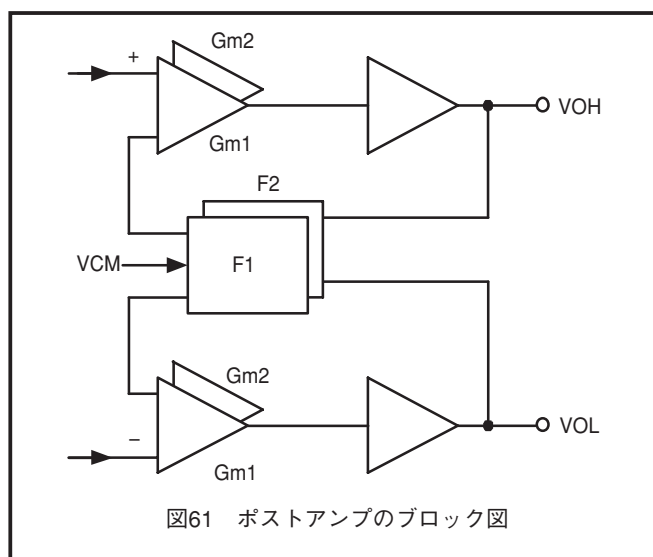
ポストアンプ

AD8332の最終段のゲインは、HILOピンを使って3.5dBまたは15.5dBが選択可能です。これらはリニア・ゲイン=1.5または6に対応します。ポストアンプの簡略化したブロック図を図61に示します。

個別の帰還減衰器により、2つのゲイン設定が可能です。2つのゲイン・モード間で一定の3dB帯域幅(約150MHz)を維持するため、適切にスケールされた入力段と合わせて、これらのゲインを選択します。HIゲイン・モードとLOゲイン・モードでのスルーレートは、それぞれ1200V/ μ sと300V/ μ sです。HIおよびLOゲイン・モードでの帰還回路は、各チャンネルの絶対ゲインを調整するため出荷時に調整されています。

ノイズ

ポストアンプのこの回路構成は、2種類のゲイン設定と可変出力換算ノイズに対して一定の入力換算ノイズを提供します。HIゲイン・モードにおける出力換算ノイズはゲインの増加とともに4倍に増えます。高いノイズ・フロアのコンバータを駆動する際には、この設定が推奨されます。ゲインを大きくすると、AD8332の出力信号レベルとノイズ・フロアが大きくなります。低い入力ノイズ・フロアの回路を駆動する際には、LOゲイン・モードを使用すると出力ダイナミックレンジが最適になります。



ADCの量子化ノイズ・フロアは多くの要因に依存しますが、AD8332の48nV/ $\sqrt{\text{Hz}}$ および178nV/ $\sqrt{\text{Hz}}$ レベルは、ほとんどの12ビットおよび10ビット・コンバータに適しています。「アプリケーション」で説明する追加技術を使用すると、14ビットADCを使えるように、ノイズ・フロアをさらに低下させることができます。

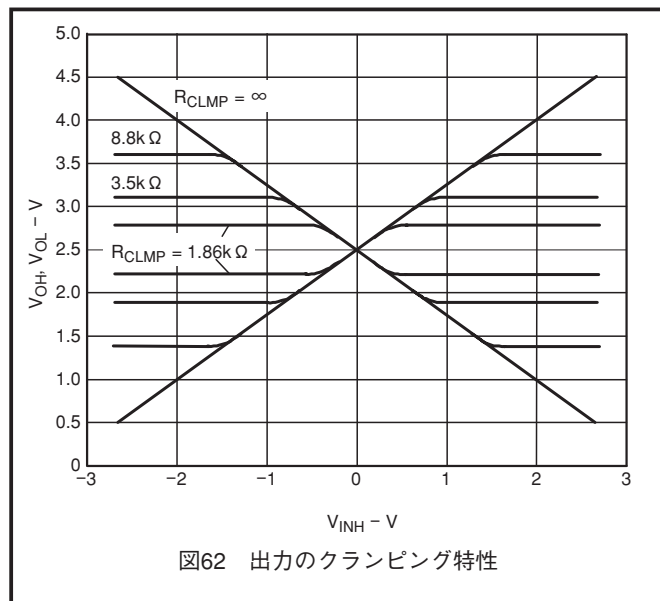
AD8332

出力のクランピング

出力は、2.5Vのコモン・モード電圧で動作時、差動レベル4.5Vp-pに内部で制限されます。ポストアンプでは、 R_{CLMP} とグラウンドの間に接続した抵抗による出力クランプ選択できます。表4に、推奨抵抗値のリストを示します。

出力クランピング機能は必要に応じて、ADCの入力過負荷防止または、1.5Vのような低いコモン・モード・レベルで動作させるときにポストアンプの過負荷防止に使うことができます。出力レベルがクランピング・レベルに近づくとき歪み成分が増えるので、クランプ抵抗を調整する必要があります。ことに注意してください。「アプリケーション」も参照してください。

クランピング・レベルの精度は、LOモードまたはHIモードで約±5%です。図62に、 R_{CLMP} の幾つかの値に対する出力特性を示します。



アプリケーション

図63に、AD8332の1つのチャンネルに対する基本的な回路接続を示します。

LNA

AD8332のLNAは複数の外付け部品を必要とします。図63に示すように、LMDピン(内部でバイアス回路に接続)はグラウンドにデカップリングする必要があり、INHピンは信号ソースに容量結合されます。両方とも、 $0.1\mu\text{F}$ のコンデンサの使用が推奨されます。

LNAの終端なし時の入力インピーダンスは $6\text{k}\Omega$ です。 $50\Omega \sim 6\text{k}\Omega$ の間で、任意のLNA入力抵抗を合成できます。 R_{FB} は式6を使って計算するか、表3から選択できます。

$$R_{\text{FB}} = \frac{33\text{k}\Omega \times (R_{\text{IN}})}{6\text{k}\Omega - (R_{\text{IN}})} \quad (6)$$

$R_{\text{IN}}(\Omega)$	R_{FB} (最寄りのSTDの1%値、 Ω)	$C_{\text{SH}}(\text{pF})$
50	280	22
75	412	12
100	562	8
200	1.13k	1.2
500	3.01k	なし
6k	∞	なし

表3 コモン・ソース・インピーダンスに対するLNAの外付け部品値

アクティブ入力終端を使う場合は、 $0.1\mu\text{F}$ のコンデンサ(C_{FB})を使って、LNAの入力バイアス電圧と出力バイアス電圧を分離する必要があります。

シャント入力コンデンサ C_{SH} は、LNAのHFゲイン・ロールオフによってアクティブ終端マッチが失われてしまう高い周波数でのゲイン・ピーキングを減少させます。表3に推奨値を示します。終端なしのアプリケーションでは、コンデンサ値を1/2にします。

INHピンまでのパターンが長くなってしまった場合、または両LNA出力が外部回路を駆動する場合は、小型のフェライト・ビード(FB)をINHピンに直列に接続すると、ノイズの影響が小さくなるため、回路の安定性を維持できます。図に示すビードは 100MHz で 75Ω です(MurataのBLM21または同等品)。他の値でも有効な場合があります。

LNA出力の接続の詳細については、図64を参照してください。LNA出力とVGA入力の間には、DCレベルの差があり、さらにLNAのオフセットを除去するために、容量結合が必要になります。 $0.1\mu\text{F}$ のコンデンサ値が推奨されます。LNA出力とVGA入力の間には、 5Ω の出力抵抗に起因して 0.4dB のゲイン損失があります。LOP出力とLON出力での負荷の追加がLNAゲインに影響を与えます。

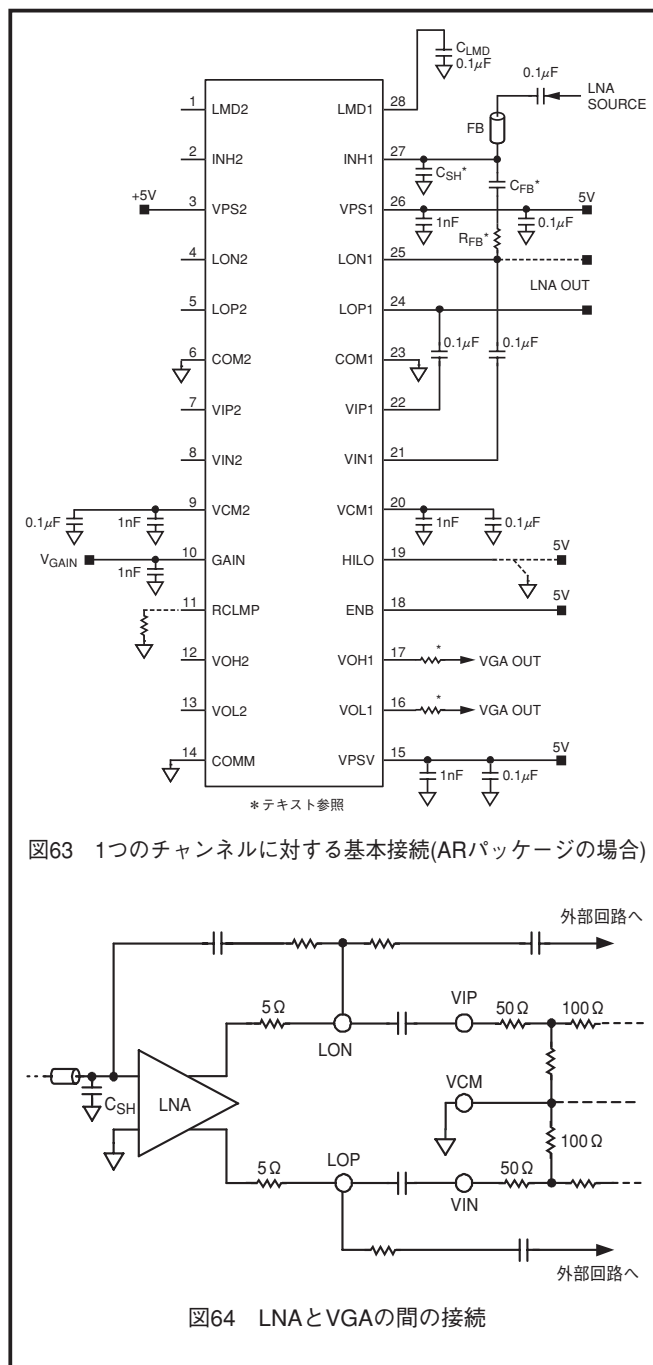


図63 1つのチャンネルに対する基本接続(ARパッケージの場合)

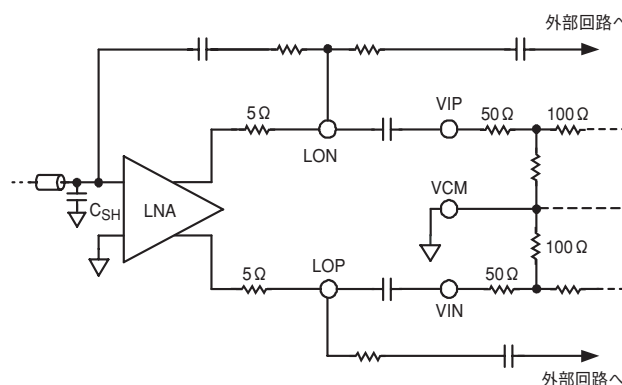


図64 LNAとVGA間の接続

両方のLNA出力を外部回路の駆動に使うことができます。この場合、シングルエンドLNA出力が必要なときはLOPピンを使う必要があります。LNA出力の浮遊容量負荷の影響に注意する必要があります(特にLON)。LNAは 10pF と並列に 100Ω を駆動することができます。離れたPCボードにLNA出力を接続する場合は、最大 100pF までの負荷容量と、 49.9Ω の直列抵抗またはフェライト $75\Omega/100\text{MHz}$ ビードの追加ができます。

AD8332

VGA

ゲイン入力

GAINピンの入力インピーダンスは10M Ω (nominal) です。GAINピンは両チャンネルに共通で、バイパスには100pF~1nFのコンデンサが必要です。

複数のAD8332を並列に接続する場合は、共通の電圧ソースまたはDACで駆動することができます。駆動波形の帯域幅を考慮する際は、ソース・デカップリングを考慮する必要があり、デバイス間に分散配置されたバイパス容量の合計値を使用します。

LOゲイン・モードでゲイン制御ノイズが大きくなってしまふ場合には、GAINピンでのノイズを15nV/ $\sqrt{\text{Hz}}$ 以下に維持すると、十分なノイズ性能が得られます。内部ノイズはGAINピンで15nV/ $\sqrt{\text{Hz}}$ 以下になります。HIゲイン・モードでは、ゲイン制御ノイズは無視できます。

VCM入力

VCMピン、VOLピン、VOHピンのコモン・モード電圧のデフォルト値は2.5VDCです。出力がAC結合されたアプリケーションでは、VCMピンは終端なしになりますが、内部回路のACグラウンドの近くにバイパスする必要があります。VGA出力は、ADCのような差動負荷にDC結合することができます。必要とする電圧をVCMピンに入力すると、1.5V~3.5Vのコモン・モード出力電圧レベルをVOHピンとVOLピンに設定することができます。別個のPCボード上の負荷を駆動する場合は、DC結合動作はおすすめできません。

VCMピンの電圧は、30 Ω の出力インピーダンスと $\pm 2\text{mA}$ のデフォルト出力電流を持つバッファから供給されます(図65参照)。VCMピンを外部ソースから駆動する場合は、

出力インピーダンス $\ll 30\Omega$ 、電流駆動能力 $\gg 2\text{mA}$

である必要があります。複数のAD8332のVCMピンが並列に接続されている場合には、外付けバッファは、合計出力電流を供給する能力を持っている必要があります。2.5V以外のコモン・モード電圧を使う場合は、過負荷から保護するために、電圧制限抵抗 R_{CLMP} が必要です。

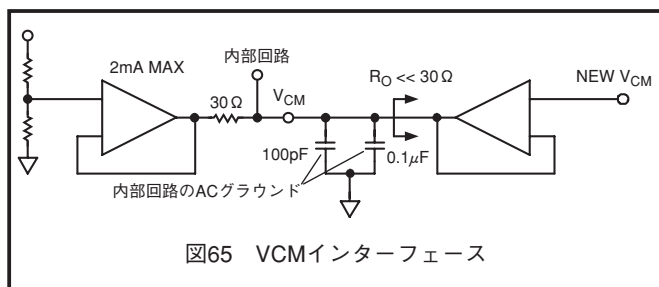


図65 VCMインターフェース

ロジック入力—ENB、MODE、HILO

ARパッケージでは、ENBピンは両チャンネルに共通で、LNAとVGAを制御します。ACパッケージでは、ENBLピンとENBVピンがLNAとVGAを制御します。ENBピンの入力インピーダンスは25k Ω (nominal) で、5Vにプルアップするか(プルアップ抵抗の使用を推奨)、または3Vまたは5Vのロジック・ファミリーから駆動することができます。GAINピンの場合と同様に、複数のデバイスを並列に接続することができます。共通のソースから駆動できます。

HILOピンも、3Vまたは5VのCMOSロジック・ファミリーと互換性を持っています。必要なゲインレンジと出力ノイズに応じて、グラウンドへの接続または5Vへのプルアップを選択できます。

オプションの出力電圧制限

RCLMPピンを使うと、入力のオーバードライブを防止する機能がない負荷に接続する際に、出力電圧の振幅を制限することができます。制限電圧のピークtoピーク値は、グラウンドとの間に抵抗を接続することで調節できます。表4に、幾つかの電圧レベルとそれに対応する抵抗値のリストを示します。抵抗を接続しない場合、制限レベルはデフォルトの4.5Vp-pになります。

波形振幅がクリップ・レベルに近づくとき、3次高調波歪みが増えることに注意してください。歪みを小さくするには、クランプ・レベルをコンバータ入力スパンより高く設定する必要があります。クランプ・レベルとして、1Vp-pのリニア出力レンジには1.5Vp-pを、2Vp-pには2.7Vp-pを、0.5Vp-pには1Vp-pを推奨します。最適ソリューションは経験的に決定することになります。図66に、2Vp-pの出力信号に対する制限レベルの関数としての3次高調波歪みを示します。HIゲイン・モードでは、制限レベルを広くする必要があります。

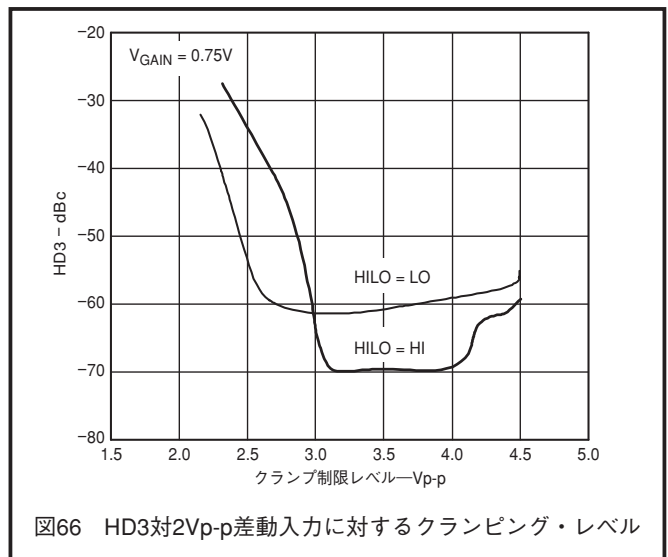


図66 HD3対2Vp-p差動入力に対するクランピング・レベル

クランプ・レベル (Vp-p)	クランプ抵抗値(kΩ)	
	HILO=LO	HILO=HI
0.5	1.21	
1.0	2.74	2.21
1.5	4.75	4.02
2.0	7.5	6.49
2.5	11	9.53
3.0	16.9	14.7
3.5	26.7	23.2
4.0	49.9	39.2
4.4	100	73.2

表4 クランプ抵抗値

出力フィルタリングと直列抵抗の条件

AD8332が大きな容量負荷または他のボード上の回路を駆動する場合は、直列抵抗をVOH出力とVOL出力に接続して、ゲイン制御レンジの上端での安定性を確保する必要があります。これらの抵抗は、外付けノイズ・フィルタに含めることができます。

LOゲイン・モードとHIゲイン・モードに対する推奨抵抗値は、それぞれ84.5Ωと100Ωです(図63)。これらの抵抗はVOHピンとVOLピンの近くに配置します。負荷が近くにあるアプリケーション、またはゲインが40dB未満のアプリケーションでは、これより小さい抵抗値を使うこともできます。これらの抵抗は、出力フィルタ回路に含めることもできます。小さい値が必要な場合は経験的に定めることもできますが、出力の周波数応答に問題を生じない場合は、上記値の使用が推奨されます。

ADCに対しては、一般に折り返し防止ノイズ・フィルタが使用されます。フィルタ条件はアプリケーションによって決まります。

ADCが別のボードに実装されている場合は、フィルタ部品の大部分をそのボード上に実装する必要があります。これにより、ボード間でのノイズ混入が軽減され、ADC入力からの電荷の漏れが緩和されます。AD8332に必要とされる以外のすべての直列抵抗は、ADCボード上に実装する必要があります。図67に、帯域幅20MHzの2次ローパス・フィルタを示します。コンデンサは、ADCの10pFの入力容量と合わせて選択します。

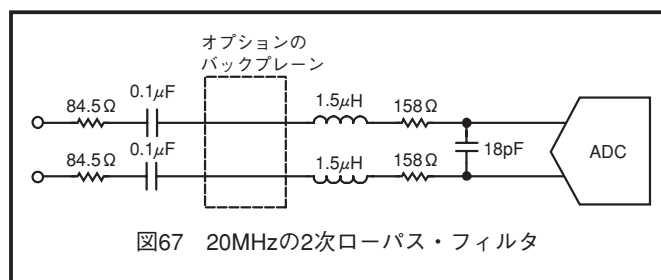


図67 20MHzの2次ローパス・フィルタ

ADCの駆動

A8332は広範囲なADCに接続することができます。VGAのノイズ・フロア条件は、ビット分解能、サンプリング・レート、フル・スケール電圧、ノイズ/折り返し防止フィルタ帯域幅など、多くのアプリケーション要因に依存します。AD8332の出力ノイズ・フロアとゲインレンジは、ゲイン・モードのHIまたはLOの選択により調節することができます。

2つのゲイン・モードの相対ノイズ性能と相対歪み性能は、図21および図27～図37で比較することができます。LOゲイン・モードでの48nV/√Hzのノイズ・フロアは、高いサンプリング・レートまたは分解能(例えば12ビット)のコンバータに適しています。両ゲイン・モードとも、4Vp-pまでのADCフル・スケール電圧に対応できます。AD8332の歪み性能は4Vp-pまでの出力電圧に対して望ましい性能を維持しているため(図32)、出力に抵抗減衰器(またはトランス)を使用することにより、出力換算ノイズをさらに低下させることができます。図68に示す回路は、2Vp-pの出力フル・スケールレンジ、-10.5dB～+37.5dBのゲインレンジ、24nV/√Hzの出力ノイズ・フロアを持っているため、14ビットのADCアプリケーションに適しています。

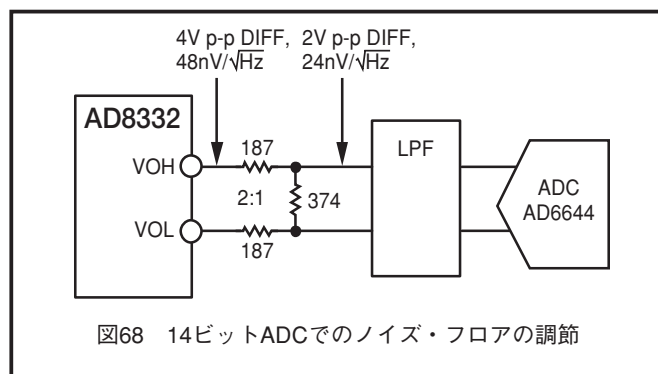


図68 14ビットADCでのノイズ・フロアの調節

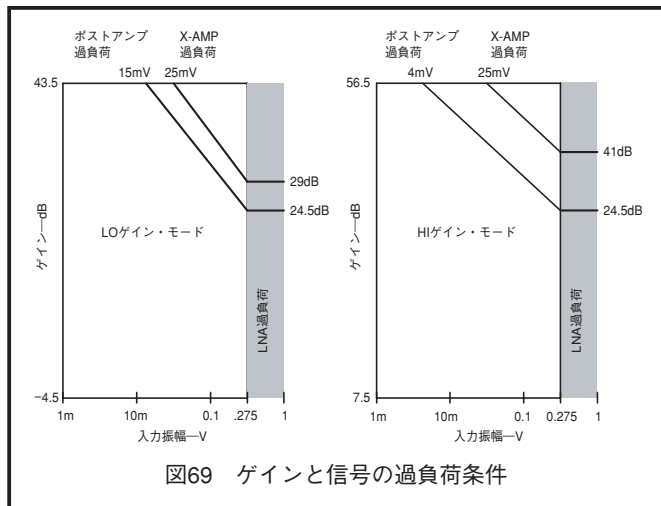
過負荷

AD8332は、入力段で過負荷が生ずる大きな信号および、ゲインが予想外に大きく設定された際にVGAで過負荷を生ずる通常の信号に対して、安全に応答します。各ステージは、過負荷時にはクリーンな波形制限を、およびゲイン設定または入力振幅が減少した際には高速な回復を、それぞれ行うようにデザインされています。

LNA入力で±275mVを超える信号は、VGAに入力される前に差動5Vp-pにクリップされます。図44に、1Vp-pの入力バーストに対する応答を示します。対称な過負荷波形は、過負荷時のLNA出力のスペクトルが重要となるCWドプラー超音波などのアプリケーションでは重要です。また、入力段は、低速セトリングのESD入力保護ダイオードをトリガーすることなく±2.5Vまでの高い信号に対応できるようにデザインされています。

AD8332

VGAの両ステージは、過負荷の影響を受けやすくなっています。ポストアンプの制限機能は広く採用されており、図45に示すようにクリーンな出力特性を得ることができます。さらに極端な条件下では、X-AMPが過負荷になり、図46に示す小さいグリッチが発生します。どのケースでも回復は高速です。図69のグラフに、様々な過負荷を発生する入力信号とゲインの組み合わせをまとめています。



前述のクランプ・インターフェースは、ポストアンプの最大出力振幅とその過負荷応答を制御します。RCLMP抵抗がない場合、このレベルはデフォルト値の差動約4.5Vp-pになり、2.5Vのコモン・モードを中心にする出力を保護します。VCMピンを使って他のコモン・モード・レベルを設定した場合、RCLMP値は安全な過負荷になるように選択する必要があります。1.5Vまたは3.5Vのコモン・モード・レベルに対しては、8.3kΩ以下の値が推奨されます(HIゲイン・モードに対しては7.2kΩ)。これにより、出力振幅が差動2Vp-pに制限されます。

レイアウト、グラウンド、およびバイパス

他の高速デバイスの場合と同様に、AD8332もPCB環境に敏感です。優れた性能仕様を実現するには、優れた高速性能に要求される種々の一般的な事項およびAD8332に固有に要求される事項に注意を払う必要があります。

基本条件は、AD8332を取り囲むボード領域をできるだけ多くカバーする、非常に堅固なグラウンド・プレーンです。ただし、LNA出力ピン(LONとLOP)は例外で、グラウンド・プレーンから数ミリメートル離す必要があります。これらのノードの浮遊容量を小さくして、帯域幅の維持に役立てるため、これらのピンの真下からグラウンド・プレーンを除去する必要があります。

デバイスに対する電源分配を強化するため複数の電源ピンとグラウンド・ピンが用意されており、すべてのピンを接続する必要があります。各電源ピン(VPS1、VPS2、VPSV)は、グラウンド・プレーンの近くでバイパスする必要があります。グラウンドまでの、広い周波数レンジでできるだけ低いインピーダンス・パスを用意するため、複数の値を持つ高周波セラミック・チップ・コンデンサの使用が推奨されます。これらのコンデンサはデバイスのできるだけ近くに配置し、

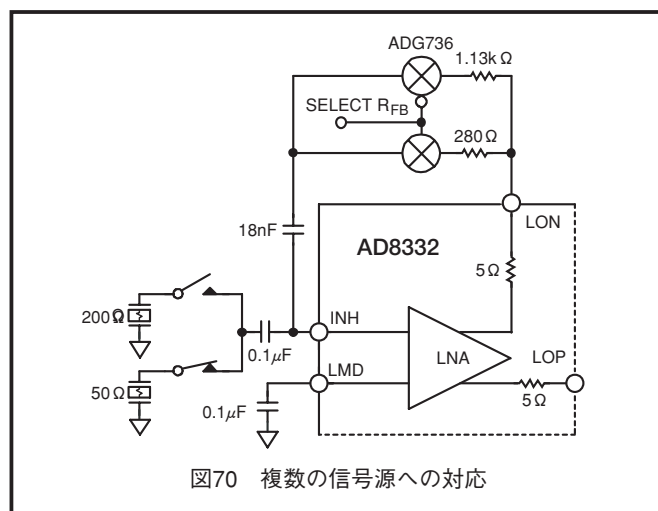
0.01 μF ~ 0.1 μFの容量と100pF ~ 1nFの容量を並列接続します。さらに、フェライト・ビードを使って、各電源ピンを共通の5V電源から分離すると最適です。これらのコンデンサはデカップリング・コンデンサと一体となって、電源ピンでの不要高周波の除去に役立ちます(小さい値の抵抗を使う場合はヘッドルームが小さくなりますが、このようなことはありません)。

AD8332には特別な注意が必要となる幾つかのクリティカルな領域があります。特にLNAは重要です。LON出力とLOP出力のパターンは、VINピンとVIPピンに接続されている結合コンデンサまでの距離をできるだけ短くする必要があります。R_{FB}も、LONピンの近くに配置する必要があります。接続パターンの負荷の影響を軽減するため、抵抗はVGA出力のVOLピンとVOHピンのできるだけ近くに配置する必要があります。値は、「出力フィルタリング」と「直列抵抗の条件」で説明しています。

寄生の影響を防止するため、信号パターンは短く、かつダイレクトにする必要があります。相補信号が存在する場合は、対称なレイアウトを採用して波形のバランスを維持する必要があります。差動信号が長い場合は、2本のPCBパターンを近づけて並行して配置する必要があります。差動配線は、形成されるループ面積を小さくするためにツイストする必要があります。これにより、放射エネルギーを減らし、回路は干渉に強くなります。可能な場合には、信号をグラウンド・プレーンの上に配置して放射を防止するか、放射源に対する感受性を小さくします。

複数入力のマッチング

アクティブ終端マッチング機能は、一致しないインピーダンスを持つ信号源では、特に役立ちます。リレーと低電源電圧アナログ・スイッチを使って、複数の信号源と対応する帰還抵抗との選択ができます。図70に、ADG736デュアルSPDTスイッチを使ってこの方式を実現する方法を示します。より上位のスイッチも使用できます。スイッチとマルチプレクサについては、当社のセレクション・ガイドを参照してください。



測定時の考慮事項

図51、図52、図53に、50Ω条件での測定の代表的な測定構成と正しいインターフェース値を示します。

短絡入力ノイズの測定は、図53を使って行います。入力換算ノイズ・レベルは、出力ノイズをポイントAとポイントBの間のゲインで除算して求め、スペクトル・アナライザのノイズ・フロアも考慮します。ゲインは注目する各周波数で測定し、50Ω負荷を直接駆動しているため、低い信号レベルを使う必要があります。ノイズの測定を行うときは、ジェネレータを切り離します。

超音波TGCアプリケーション

AD8332は、医用および工業用の超音波アプリケーションに最適です。TGCアンプは反射超音波エネルギーの反響位置決定の手段を提供するため、このようなアプリケーションでは重要なサブシステムです。

AD8332とAD9238を使うと、フル差動システムを設計できます。AD9238はデュアルのフル差動12ビットADCで、最大65MSPSの変換速度を持っています。その他のフル差動高速コンバータとしては、10ビットのAD9214 (シングル)、10ビットのAD9218 (デュアル)、12ビットのAD9235 (シングル)などがあります。AD8332とADCの組み合わせの性能は、それぞれの評価ボードを組合わせて評価することができます。

AD8332

ピン機能の説明

28ピンTSSOP (ARパッケージ)

ピン番号	名前	説明
1	LMD2	CH2のLNA信号グラウンド
2	INH2	CH2のLNA入力
3	VPS2	CH2の電源LNA、5V
4	LON2	CH2のLNA反転出力
5	LOP2	CH2のLNA非反転出力
6	COM2	CH2のLNAグラウンド
7	VIP2	CH2のVGA非反転入力
8	VIN2	CH2のVGA反転入力
9	VCM2	CH2のコモン・モード電圧
10	GAIN	ゲイン制御電圧
11	RCLMP	出力クランピング抵抗
12	VOH2	CH2の非反転VGA出力
13	VOL2	CH2の反転VGA出力
14	COMM	VGAグラウンド(両チャンネル)
15	VPSV	VGA電源、5V(両チャンネル)
16	VOL1	CH1の反転VGA出力
17	VOH1	CH1の非反転VGA出力
18	ENB	イネーブル—VGA/LNA
19	HILO	VGAゲインレンジの選択(HIまたはLO)
20	VCM1	CH1のコモン・モード電圧
21	VIN1	CH1のVGA反転入力
22	VIP1	CH1のVGA非反転入力
23	COM1	CH1のLNAグラウンド
24	LOP1	CH1のLNA非反転出力
25	LON1	CH1のLNA反転出力
26	VPS1	CH1のLNA電源、5V
27	INH1	CH1のLNA入力
28	LMD1	CH1のLNA信号グラウンド

表5 ピン機能の説明—28ピンTSSOP

32ピンLFCSP (ACパッケージ)

ピン番号	名前	説明
1	LON1	CH1のLNA反転出力
2	VPS1	CH1のLNA電源、5V
3	INH1	CH1のLNA入力
4	LMD1	CH1のLNA信号グラウンド
5	LMD2	CH2のLNA信号グラウンド
6	INH2	CH2のLNA入力
7	VPS2	CH2のLNA電源、5V
8	LON2	CH2のLNA反転出力
9	LOP2	CH2のLNA非反転出力
10	COM2	CH2のLNAグラウンド
11	VIP2	CH2のVGA非反転入力
12	VIN2	CH2のVGA反転入力
13	VCM2	CH2のコモン・モード電圧
14	MODE	ゲイン・スロープ・ロジック入力
15	GAIN	ゲイン制御電圧
16	RCLMP	出力クランピング・レベル入力
17	COMM	VGAグラウンド(両チャンネル)
18	VOH2	CH2の非反転VGA出力
19	VOL2	CH2の反転VGA出力
20	COMM	VGAグラウンド(両チャンネル)
21	VPSV	VGA電源、5V(両チャンネル)
22	VOL1	CH1の反転VGA出力
23	VOH1	CH1の非反転VGA出力
24	COMM	VGAグラウンド(両チャンネル)
25	ENBV	VGAイネーブル
26	ENBL	LNAイネーブル
27	HILO	VGAゲインレンジの選択(HIまたはLO)
28	VCM1	CH1のコモン・モード電圧
29	VIN1	CH1のVGA反転入力
30	VIP1	CH1のVGA非反転入力
31	COM1	CH1のLNAグラウンド
32	LOP1	CH1のLNA非反転出力

表6 ピン機能の説明—32ピンLFCSP

ピン配置

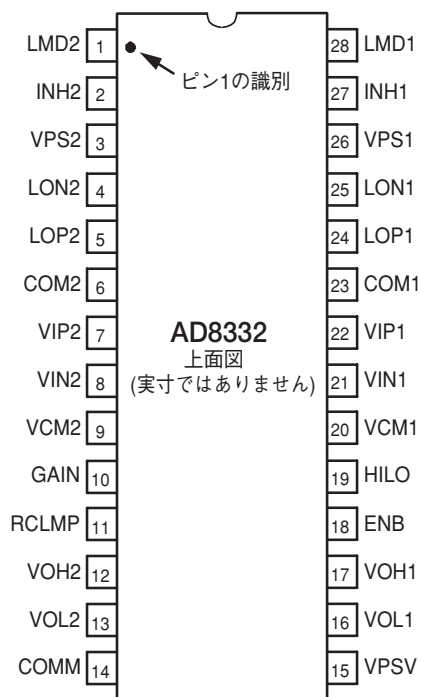


図71 28ピンTSSOP

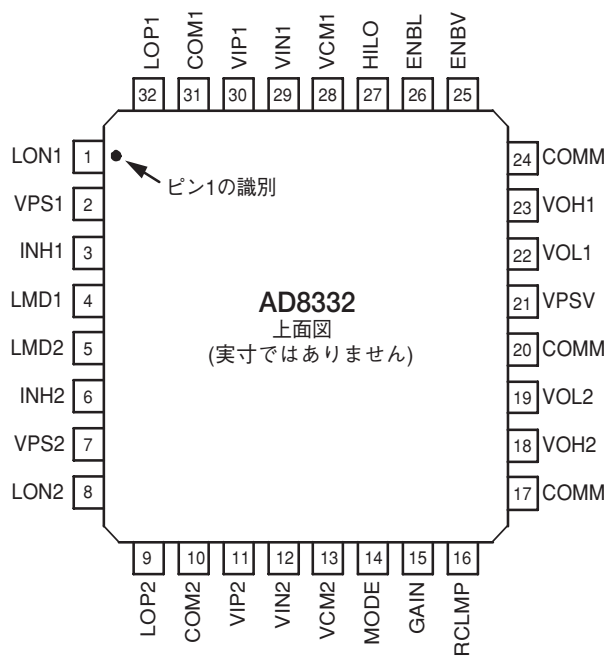
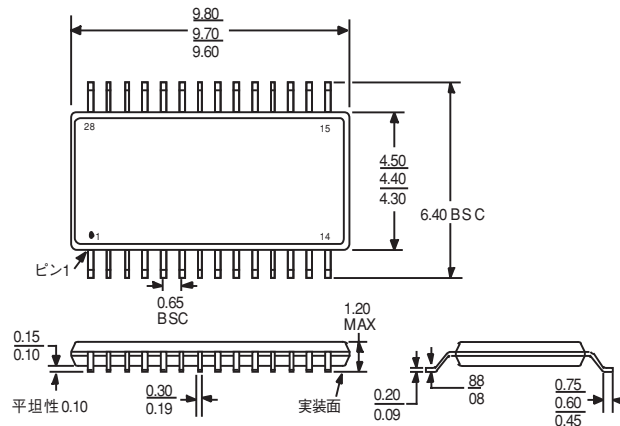


図72 32ピンLFCSP

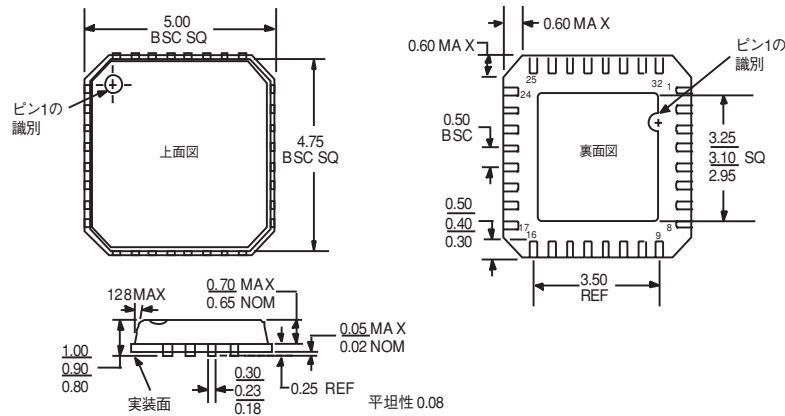
AD8332

外形寸法



JEDEC標準MO-153AEに準拠

図73 28ピン薄型シュリンク・スモール・アウトライン・パッケージ[TSSOP] (RU-28) —寸法はミリメートルで示します。



JEDEC標準MO-220-VHHD-2に準拠

図74 32ピン・フレーム・チップ・スケール・パッケージ[LFCSP] (CP-32) —寸法はミリメートルで示します。

注意

ESD（静電放電）の影響を受けやすいデバイスです。4000Vもの高圧の静電気が人体やテスト装置に容易に帯電し、検知されることなく放電されることがあります。本製品には当社独自のESD保護回路を備えていますが、高エネルギーの静電放電を受けたデバイスには回復不可能な損傷が発生することがあります。このため、性能低下や機能喪失を回避するために、適切なESD予防措置をとるようお奨めします。



オーダー・ガイド

AD8332製品	温度レンジ	パッケージ	パッケージ外形
AD8332ARU	-40℃～+85℃	薄型シュリンクSO	TSSOP
AD8332ARU-REEL	-40℃～+85℃	薄型シュリンクSO	TSSOP
AD8332ARU-REEL7	-40℃～+85℃	薄型シュリンクSO	TSSOP
AD8332ACP-REEL	-40℃～+85℃	チップ・スケール・パッケージ(営業へご相談ください)	LFCSP
AD8332ACP-REEL7	-40℃～+85℃	チップ・スケール・パッケージ(営業へご相談ください)	LFCSP

表7 オーダー・ガイド

