

特長

光ケーブル用光ダイオード・インターフェース向けに最適化

動作範囲：8ディケード

優れた対数適合度：1nA ~ 1mAで0.1dB

単電源動作：+3.0 ~ +5.5V

完全かつ温度変動に対しても安定

正確なレーザー・トリムによるスケールリング：

対数スロープ：10mV/dB (VLOGピン)

基本対数インターセプト：100pA

スロープとインターセプトの調整が容易

出力帯域幅：10MHz、スルーレート：15V/μs

出力に1、2、3極のローパス・フィルタ機能が可能

小型の14ピン・パッケージ (TSSOP) を採用

低消費電力：約4.5mA以内の静止電流 (イネーブル時)

アプリケーション

高精度光パワー計測

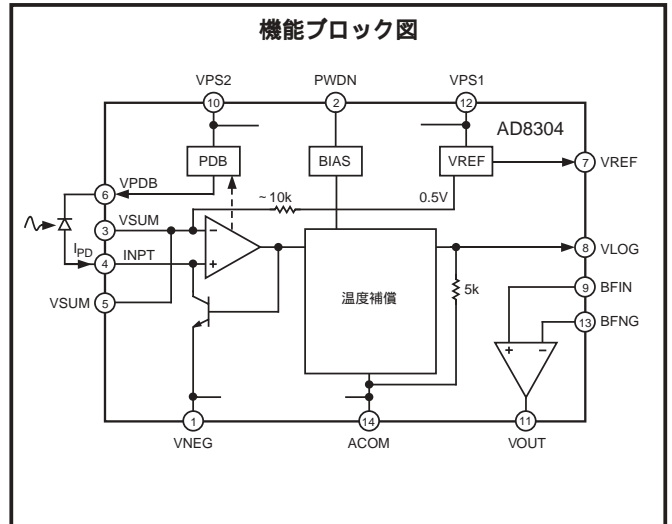
広範囲なベースバンド対数圧縮

APCループ用の多機能検出器

概要

AD8304は、光ケーブル・システムの低周波信号パワー計測用に最適化されたモノリシック対数検出器です。高度なトランスリニア技術を使って、極めて広いダイナミックレンジをさまざまな用途に使いやすいたちで提供します。この広い計測範囲と高精度は、独自の設計技術と高精度レーザー・トリミングを使って実現されています。大部分のアプリケーションでは単電源 ($V_p = 5V$) のみを使いますが、3.0 ~ 5.5Vも使うことができ、アプリケーションによっては負電源 (V_N) を追加使用もできます。低い電源電圧で使用する場合、対数スロープは使用可能なスパンに合わせて変更されます。静止電流が小さく、かつチップ・ディスエーブル機能があるので、バッテリー駆動のアプリケーションに好適です。

入力電流 I_{PD} は最適スケールされたNPNトランジスタのコレクタに流入し、低オフセットJFETアンプに対する帰還パスに接続されます。電流加算入力ノードは電流に無関係なデフォルト値の0.5Vの一定電圧で動作し、オプションの負電源を使うと、グラウンド以下を含む広い範囲でこの電圧を調整することもできます。非常に小さい光入力レベルでの暗電流を小さくするために、適応型バイアス方式が採用されています。VPDBピンの電圧がダイオードの両端に $I_{PD} = 100pA$ で約0.1Vを与え、 $I_{PD} = 10mA$ で2.0Vのネット・バイアスまで電流に比例して増加します。入力ピンINPTは、リークを最小にするために加算ノード電圧を監視するVSUMピンにより保護されています。



出力VLOGでの対数スロープのデフォルト値は、正確に10mV/dB (200mV/ディケード) にスケールされています。この出力抵抗は5kΩにレーザー・トリムされており、外部抵抗を並列接続することによりスロープを小さくできます。また、このピンにコンデンサを接続すると、簡単なローパス・フィルタを構成できます。中間電圧VLOGはグラウンド (すなわち V_N) 付近の約100mVから正電源VPまでの振幅を持つバッファにより出力ステージでバッファされており、±20mAのピーク電流駆動能力を提供します。スロープはバッファと一対の外部帰還抵抗を使って大きくできます。また、2Vの正確な電圧リファレンスも用意されているため、インターセプトを変更もできます。

AD8304では、多くの動作モードが可能です。例えば、3極までのローパス・フィルタを構成して、低入力電流での出力ノイズを除去できます。2Vのリファレンスを使うと、バッファはヒステリシス有り/無しコンパレータとして機能することもでき、例えば、アラーム・アプリケーションなどで使用できます。トランスリニアなログアンプで帯域幅を広げると、入力電流がわずかに増加する性質があります。1nAレベルでのAD8304の帯域幅は約2kHzですが、この帯域幅は I_{PD} に比例して最大値10MHzまで広がります。

AD8304は14ピンのTSSOPパッケージを採用し、動作仕様は -40 ~ +85 °C で規定しています。

アナログ・デバイス社が提供する情報は正確で信頼できるものを期していますが、その情報の利用または利用したことにより引き起こされる第三者の特許または権利の侵害に関して、当社はいっさいの責任を負いません。さらに、アナログ・デバイス社の特許または特許の権利の使用を許諾するものでもありません。

AD8304 - 仕様 (特に指定のない限り、 $V_P = 5V$ 、 $V_N = 0V$ 、 $T_A = 25$)

パラメータ	条件	Min	Typ	Max	単位
入力インターフェース 電流範囲	ピン4 (INPT)、ピン3とピン5 (VSUM) INPTピンに流入	100		10	pA mA
入力ノード電圧 温度ドリフト	内部でプリセット (変更可能) - 40 < T_A < + 85	0.46	0.5 0.02	0.54	V mV/
入力保護オフセット電圧	$V_{IN} - V_{SUM}$	- 20		+ 20	mV
光ダイオード・バイアス ¹ 最小値 伝達抵抗	ピン6 (V_{PDB})、ピン4の間に流入 $I_{PD} = 100pA$	70	100 200		mV mV/mA
対数出力 スロープ	ピン8 (VLOG) 25 でレーザー・トリム 0 < T_A < 70	196 194	200	204 207	mV/dec mV/dec
インターセプト	25 でレーザー・トリム 0 < T_A < 70	60 35	100	140 175	pA pA
対数適合度誤差	10nA < I_{PD} < 1mA、ピーク誤差 1nA < I_{PD} < 1mA、ピーク誤差		0.05 0.1	0.25 0.7	dB dB
最大出力電圧 最小出力電圧 出力抵抗	$V_N = 0V$ により制限 25 でレーザー・トリム		1.6 0.1		V V k
リファレンス電圧出力 WRTグラウンド電圧	ピン7 (VREF) 25 でレーザー・トリム - 40 < T_A < + 85	1.98 1.92	2	2.02 2.08	V V
出力バッファ 入力オフセット電圧 入力バイアス電流 増分入力抵抗 出力範囲 出力抵抗 広帯域ノイズ ² 小信号帯域幅 ² スルーレート	ピン9 (BFIN)、ピン13 (BFNG)、ピン11 (VOUT) ピン9またはピン13から流出 グラウンドへ $R_L = 1k$ $I_{PD} > 1\mu A$ (代表的な性能特性参照) $I_{PD} > 1\mu A$ (代表的な性能特性参照) 0.2Vから4.8Vへの出力振幅	- 20	0.4 35 $V_P - 0.1$ 0.5 1 10 15	+ 20	mV μA M V $\mu V/\sqrt{Hz}$ MHz V/ μs
パワーダウ入カ ロジック・ハイレベル ロジック・ローレベル	ピン2 (PWDN) - 40 < T_A < + 85、2.7V < V_P < 5.5V - 40 < T_A < + 85、2.7V < V_P < 5.5V	2		1	V V
電源 正電源電圧 静止電流 ディスエーブル状態 負電源電圧 ³	ピン10およびピン12 ($VPS1$ および $VPS2$) < ピン1 (VNEG)	3.0	5 4.5 60 0	5.5 5.3	V mA μA V

注

1 このバイアスはINPTでの入力電圧を監視するように内部で接続されています。グラウンド基準の仕様ではありません。

2 出力ノイズと帯域幅増加は入力電流の関数になります。代表的な性能特性を参照してください。

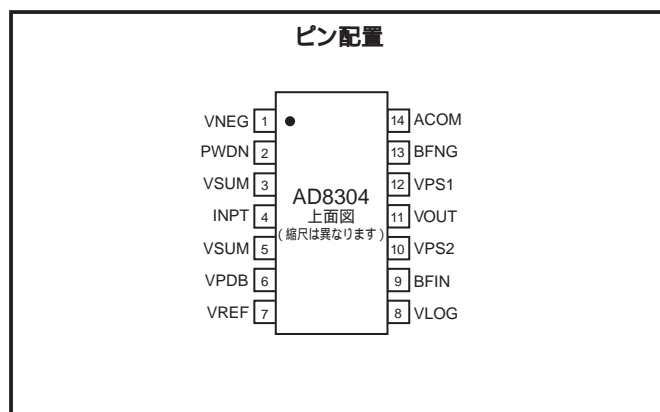
3 オプション。

仕様は予告なく変更されることがあります。

絶対最大定格*

電源電圧 $V_P - V_N$	8V
入力電流	20mA
内部消費電力	270mW
JA	150 $^{\circ}$ /W
最大接合温度	125
動作温度範囲	- 40 ~ + 85
保管温度範囲	- 65 ~ + 150
ピン温度範囲 (ハンダ処理、60秒)	300

*上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作の節に記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。



ピン機能の説明

ピン番号	記号	機能
1	VNEG	オプションの負電源、 V_{Ne} このピンは通常グラウンドに接続されま す。使い方の詳細については、アプリケー ションの節を参照してください。
2	PWDN	パワーダウン・コントロール入力。PWDN をローレベルにすると、デバイスがアクテ ィブになります。
3、5	VSUM	保護ピン。INPT電流ラインのシールドに 使います。
4	INPT	光ダイオード電流入力。通常、光ダイオ ードのアノードに接続します (光電流は INPTに流入)。
6	VPDB	光ダイオード・バイアス出力。光ダイオ ードのカソードに接続すると、適応型バイ アス制御を行うことができます。
7	VREF	2Vの電圧リファレンス出力。
8	VLOG	対数フロントエンド・プロセッサの出力。 $R_{OUT} = 5k$ (グラウンドへ接続)。
9	BFIN	バッファ・アンプ非反転入力 (高インピーダンス)。
10	VPS2	正電源、 V_P (3.0 ~ 5.5V)。
11	VOUT	バッファ出力、低インピーダンス。
12	VPS1	正電源、 V_P (3.0 ~ 5.5V)。
13	BFNG	バッファ・アンプ反転入力。
14	ACOM	アナログ・グラウンド。

オーダー・ガイド

製品モデル	温度範囲	パッケージ	パッケージ・オプション
AD8304ARU	- 40 ~ + 85	チューブ、14ピンTSSOP	RU-14
AD8304ARU-REEL		13インチのテープおよびリール	
AD8304ARU-REEL7		7インチのテープおよびリール	
AD8304-EVAL		評価ボード	

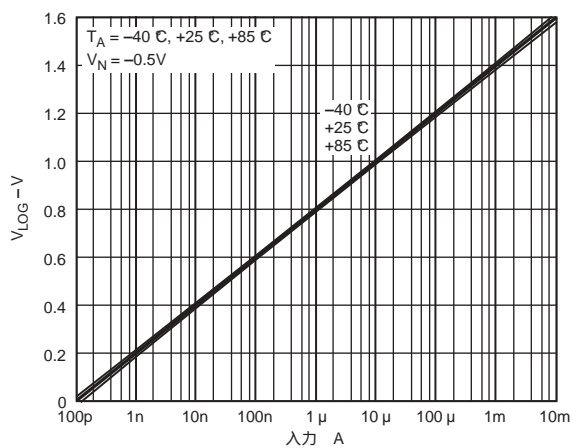
注意

ESD (静電放電) の影響を受けやすいデバイスです。4000Vもの高圧の静電気が人体やテスト装置に容易に帯電し、検知されることなく放電されることがあります。本製品には当社独自のESD保護回路を備えていますが、高エネルギーの静電放電を受けたデバイスには回復不可能な損傷が発生することがあります。このため、性能低下や機能喪失を回避するために、適切なESD予防措置をとるようお奨めします。

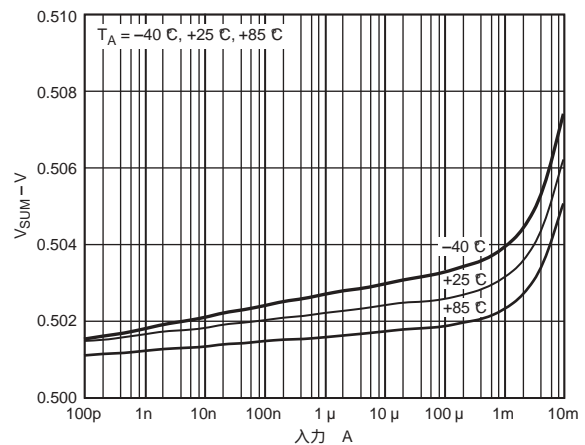


AD8304 - 代表的な性能特性

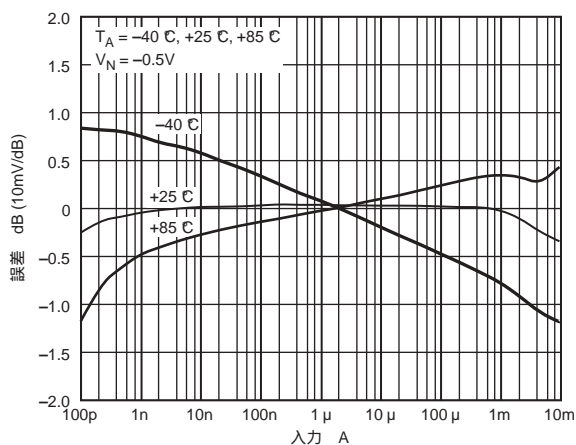
(特に指定のない限り、 $V_P = 5V$ 、 $V_N = 0V$ 、 $T_A = 25$)



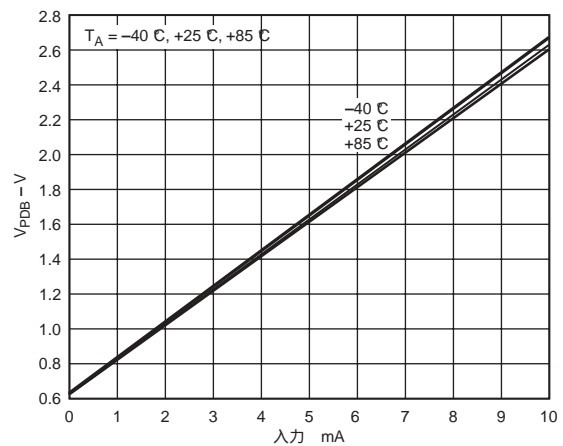
特性1 V_{LOG} 対 I_{PD}



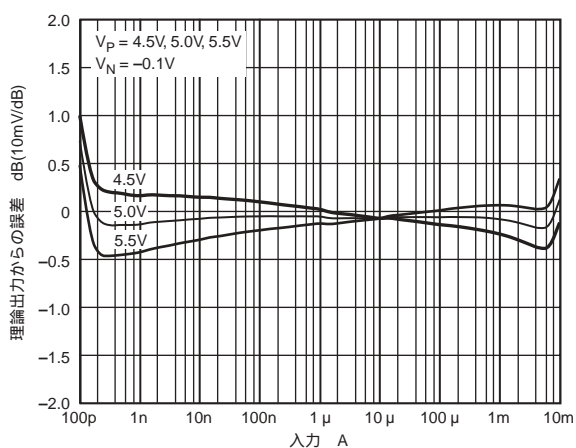
特性4 V_{SUM} 対 I_{PD}



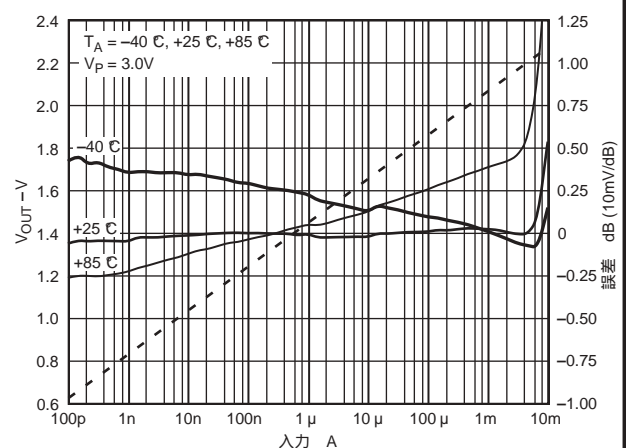
特性2 V_{LOG} の対数適合度 (直線性)



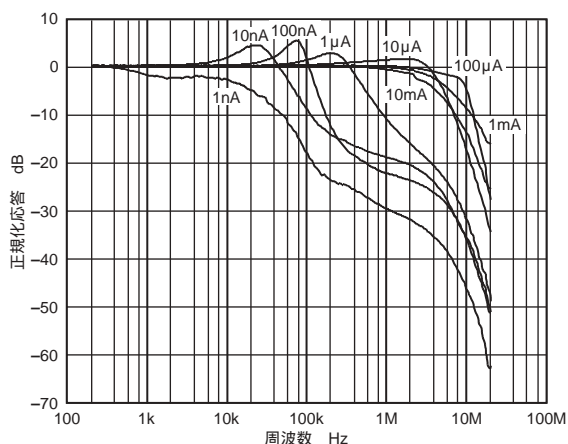
特性5 V_{PDB} 対 I_{PD}



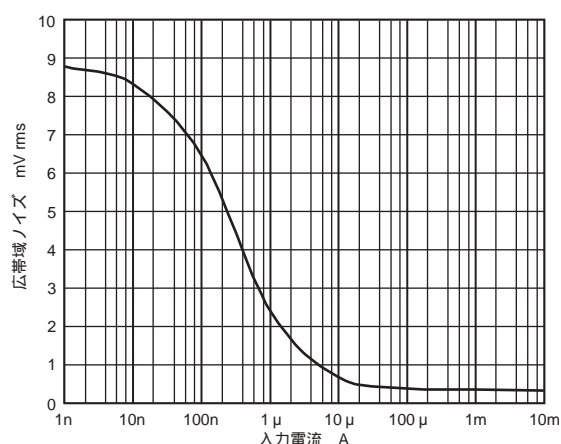
特性3 V_{LOG} の公称規定値からの絶対偏差



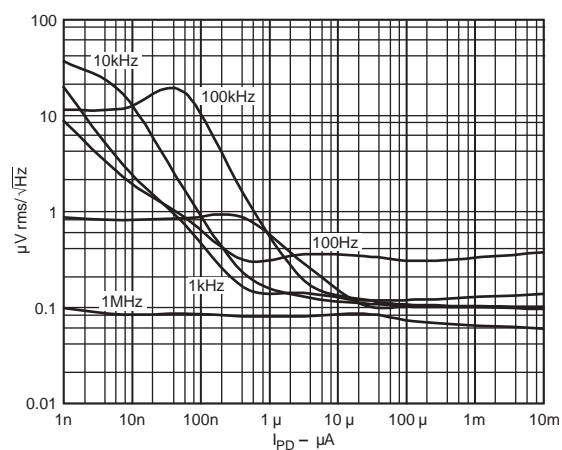
特性6 V_{LOG} の対数適合度 (直線性) (図6参照.)



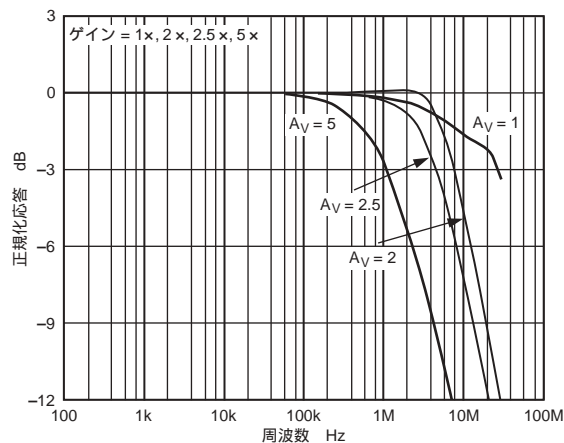
特性7 I_{PD} から V_{LOG} までの小信号AC応答
(周波数で I_{PD} を1%サイン波変調)



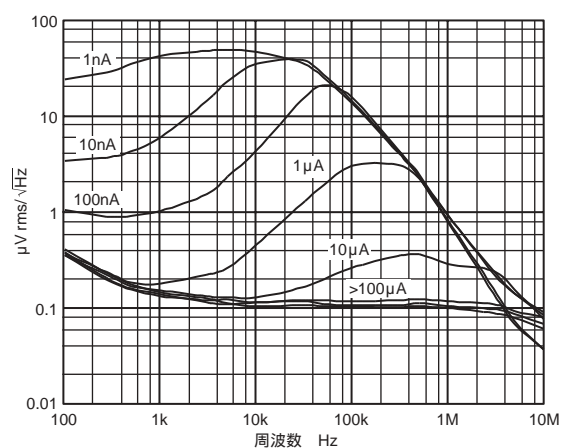
特性10 V_{LOG} での総合広帯域ノイズ電圧 対 I_{PD}



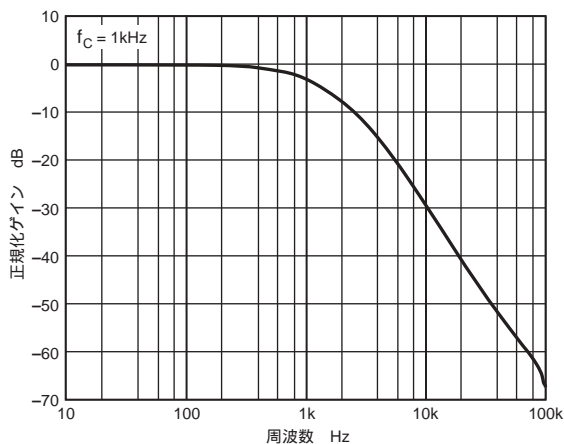
特性8 V_{LOG} でのスポット・ノイズ・スペクトル密度 対 I_{PD}



特性11 バッファの小信号応答

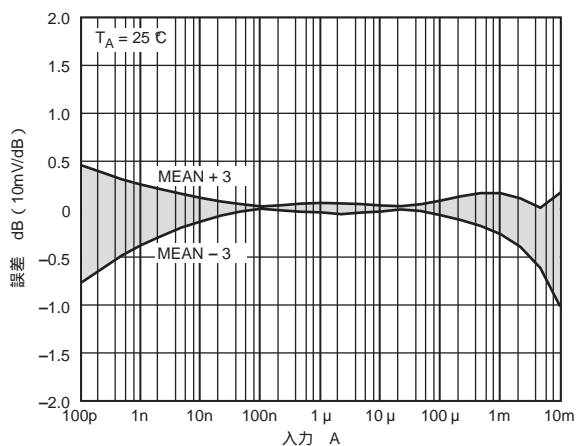


特性9 V_{LOG} でのスポット・ノイズ・スペクトル密度の周波数特性

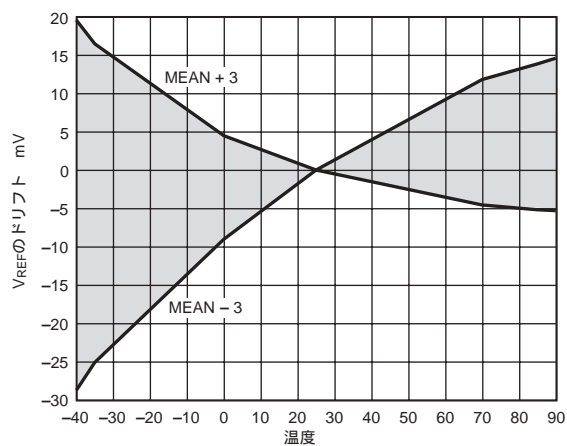


特性12 2極フィルタとして動作するバッファの小信号応答

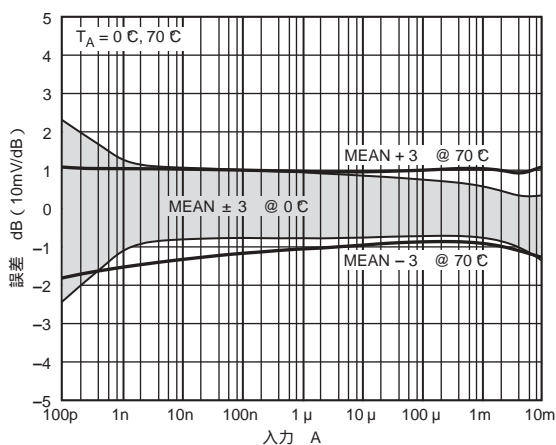
AD8304



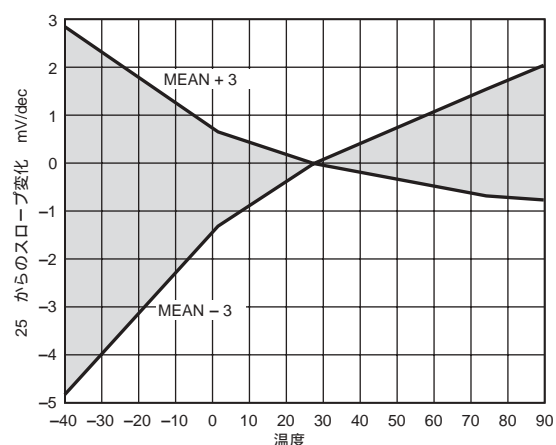
特性13 対数適合度誤差の分布 (平均の両側3)



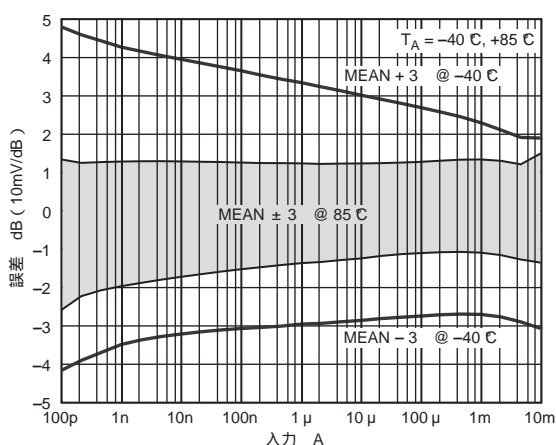
特性16 V_{REF} ドリフトの温度特性 (平均の両側3)



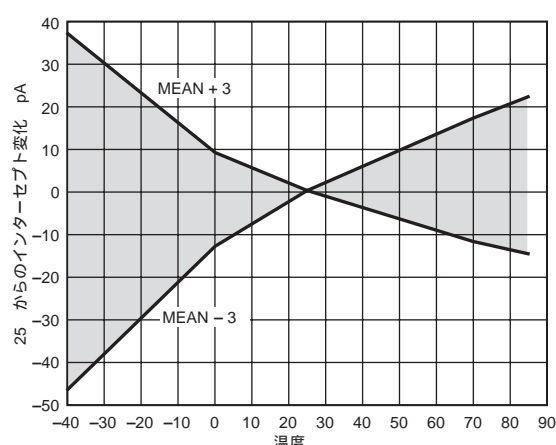
特性14 対数適合度誤差の分布 (平均の両側3)



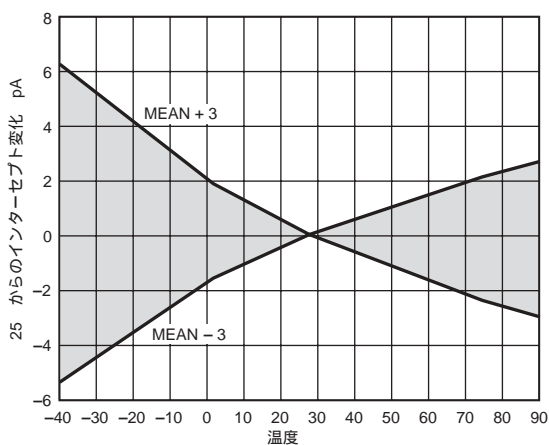
特性17 スロープ・ドリフトの温度特性 (平均の両側3)



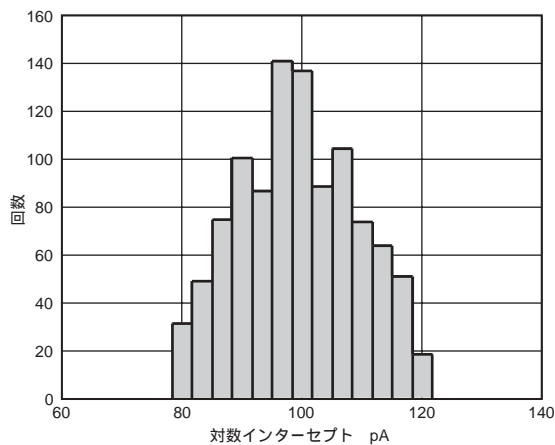
特性15 対数適合度誤差の分布 (平均の両側3)



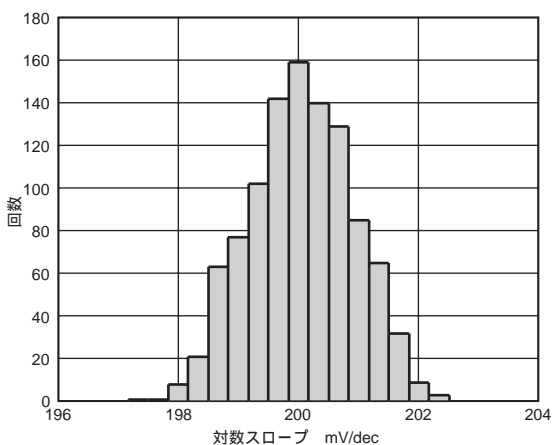
特性18 インターセプト・ドリフトの温度特性 (平均の両側3)



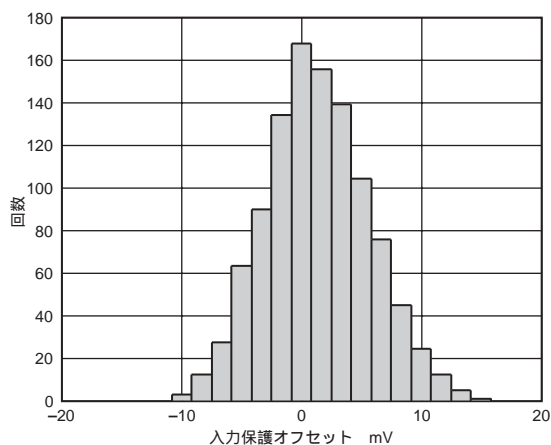
特性19 出力バッファ・オフセットの温度特性 (平均の両側3σ)



特性21 対数インターセプトの分布 (サンプル数 = 1000)



特性20 対数スロープの分布 (サンプル数 = 1000)



特性22 入力保護オフセット電圧 ($V_{INPT} - V_{SUM}$) の分布 (サンプル数 = 1000)

AD8304

動作原理

AD8304は、バイポーラ・トランジスタのベース/エミッタ間電圧 (V_{BE}) とコレクタ電流 (I_C) との間のよく知られた対数関係を利用した高度な回路を採用しています。この関係は、トランスリニア回路の重要なクラスの基礎になっており、次のように表されます*。

$$V_{BE} = V_T \log(I_C/I_S) \quad (1)$$

この基本式では、熱電圧 $V_T = kT/q$ とサチュレーション電流 I_S の2つのスケール係数が使われています。これらは、このクラスのログアンプのスロープとインターセプトを決定する重要な係数です。 V_T は $T = 25$ で 25.69mV のプロセス不変値を持ち、絶対温度に比例して変化します。一方、 I_S はプロセスおよびデバイスに強く依存するパラメータであり、 $T = 25$ で $10 - 16\text{A}$ (typ) ですが、温度に対して大きく変化し、10億倍にもなります。

これらの変動により、正確な計測デバイスとしてトランジスタを使用することに問題が生じますが、モノリシック・プロセス部品の顕著なマッチングと等温性能を利用して、これらを無視できる程度に削減できます。これについては以下に説明します。バイポーラ・トランジスタのこのユニークな属性に基づくログアンプはトランスリニア・ログアンプと呼ばれ、全く異なる原理を採用するRFアプリケーション向けにデザインされた他のアナログ・デバイス製品から区別されています。

サチュレーション電流 I_S は非常に強く温度に依存しますが、同じ温度依存性を持つ2つ目のリファレンス・トランジスタを使って補正を行い、インターセプトを安定化させています。同様に、対数スロープを温度に対して安定化させるために、似た属性を使っています。注意深くスケールしたデザインでこれらの原理を使うことにより、INPTピンに加えられた入力電流 I_{PD} と中間出力ピンVLOGの電圧との関係は正確になり、次のように表されます。

$$V_{LOG} = V_Y \log_{10}(I_{PD}/I_Z) \quad (2)$$

V_Y はスロープ電圧と呼ばれます (常用対数では “電圧/ディケード”)。固定電流 I_Z はインターセプトと呼ばれます。スケールリングは、 V_Y が 200mV/ディケード (10mV/dB) になるように選択されます。インターセプトは 100pA に配置されます。 I_{PD} がこの値に等しいとき、出力電圧 V_{LOG} がゼロ軸を横切ります。ただし、単電源を使う場合は、実際の V_{LOG} は常にグラウンドより少し高くなります。これに対して、負電源電圧を使うと、インターセプト値で実際にゼロ交差できます。式 (2) を使うと、 I_{PD} の任意の値に対して出力を計算できます。したがって、入力電流 25nA に対して、

$$V_{LOG} = 0.2\text{V} \log_{10}(25\text{nA}/100\text{pA}) = 0.4796\text{V} \quad (3)$$

実際には、スロープとインターセプトは、1本または2本の外付け抵抗 (ときにはVREFピンに出力される2Vの電圧リファレンスと組み合わせて使用) により、キャリブレーション精度を大きく損なうことなく大きな値または小さな値に変えることができます。

*これについての基本的な説明はB. Gilbert著の “Translinear Circuits: An Historical Overview,” のAnalog Integrated Circuits and Signal Processing, 9, pp. 95-118, 1996年を参照してください。

光の計測

光検出器上で電流 I_{PD} を光パワーに変換する際、バイアスされた光ダイオードのトランスデューサ属性を明確に示しておくことが必要です。この変換プロセスの単位は、アンペア/ワット (A/W) で表されます。光ダイオードの応答性とと呼ばれるパラメータ r がこの目的に使用されます。代表的なInGaAs p-i-n光ダイオードの場合、応答性は約 0.9A/W です。また、アンペアとワットは通常このような比例関係にないことを知っておくことも重要です。純粋な電気回路では、抵抗負荷 R_L に加えられた電流 I_{PD} により、電流の二乗に比例した電力 (すなわち $I_{PD}^2 R_L$) が得られます。光ダイオード・インターフェースに対するスケールリングが異なる理由は、電流 I_{PD} が固定電圧 V_{PDB} にバイアスされたダイオードに流入するためです。この場合、検出器ダイオード内で消費される電力は電流 I_{PD} (すなわち $I_{PD} V_{PDB}$) に単純に比例し、 I_{PD} と光パワー P_{OPT} との比例関係は維持されます。

$$I_{PD} = P_{OPT} \quad (4)$$

したがって、インターセプト電流 I_Z と等価な “インターセプト・パワー” P_Z との間でも同様の比例関係が成立し、次のように表されます。

$$I_Z = P_Z \quad (5)$$

さらに、式2は次のように表すことができます。

$$V_{LOG} = V_Y \log_{10}(P_{OPT}/P_Z) \quad (6)$$

AD8304がデフォルト・モードで動作する場合、応答性 0.9A/W のダイオードでは $I_Z = 100\text{pA}$ は $P_Z = 110\text{pW}$ に対応します。したがって、 3mW の光パワーは次の電圧を発生させます。

$$V_{LOG} = 0.2\text{V} \log_{10}(3\text{mW}/110\text{pW}) = 1.487\text{V} \quad (7)$$

光アプリケーションでAD8304を使用する場合、 V_{LOG} は等価な光パワーとして解釈され、この出力で対数スロープが 10mV/dB に維持されていることに注意してください。これは、光側でのdB変化が電気側と異なる意味を持つため、少し紛らわしいかもしれませんが、いずれのケースでも、対数スロープは常に単位 mV/ディケード を使って表すことができるため、煩雑さを減らすのに役立ちます。

dBスケールリング

パワー・レベルがリファレンス・レベルよりはるか上のdB値で表されている場合 (1mW を基準としたdBmを使用) 対数変換は既に行われており、上の式の “対数比” だけが違いになります。 “P” は実際の電力を表すときに使い、さらにこの同じ電力がdB値でも表されるため、変数名を割り当てるときには注意が必要です。明らかにこれらの値の大きさは大きく異なっています。

このような誤解の原因は、dB電力を表すのに “D” を使うことによりなくせます。電力計測では 10dB/ディケード を使うため、値 V_Y (“V/ディケード”) はdB値 $V_Y' = V_Y/10$ に変換されます。そうすると、次のように表されます。

$$V_{LOG} = 20(D_{OPT} - D_Z)\text{mV/dB} \quad (8)$$

ここで、 D_{OPT} はリファレンス・レベルを基準としたdB値で表した光パワーで、 D_Z は同じレベルを基準とする等価なインターセプト電力です。このデータシートではこの表記法を使います。

前の例を再度使うと、リファレンス電力レベル = 1mWの場合、 $P_{OPT} = 3mW$ は $D_{OPT} = 10 \log_{10}(3) = 4.77dBm$ に対応し、等価なインターセプト電力 = 110 pWは $DZ = -69.6dBm$ に対応して、式8を使うことができ、

$$V_{LOG} = 20 mV \{ 4.77 - (-69.9) \} = 1.487 V \quad (9)$$

これは、式7の結果に一致します。

全体的な構造

AD8304は、光ケーブル管理システムの要求を満たすための広範囲なインターフェース条件に対応しているため、多くの非光アプリケーションでも使用できます。このノートではAD8304独自のトランスリニア・ログアンプの構造について説明します。図1に、主要エレメントを示す簡略化した回路図を示します。

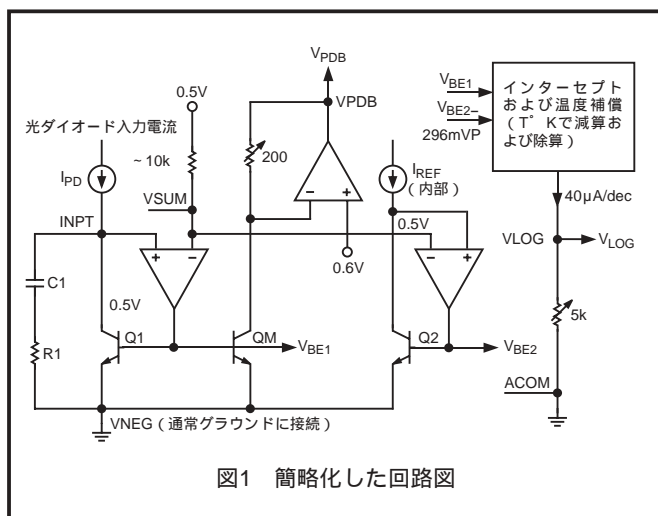


図1 簡略化した回路図

光ダイオード電流 I_{PD} は入力ピンINPTから入力されます。このノードの加算電圧は、超低バイアスJ-FETオペアンプのオフセット電圧が低いいため、隣接している2本の保護ピン(VSUM)に等しくなります。このJ-FETオペアンプは、式(1)に従って電流を対数電圧に変換するトランジスタQ1の動作をサポートするために使われています。VSUMはQ1のコレクタ/エミッタ間バイアスを与えるために必要で、VREFピンに出力される2Vのリファレンス電圧の1/4を使って0.5Vに内部で設定されています。

従来型のトランスリニア・ログアンプでは、加算ノードは一般にグラウンド電位に維持されていますが、この条件は単電源部品ではそのまま満たすことはできません。この問題を解決するため、AD8304ではオプションの負電源電圧 V_N (VNEGピン)の使用にも対応しています。 V_N が最小-0.5Vである場合、加算ノードはグラウンド電位に接続できます。スケールに影響を与えずに、これより大きな負電圧も使うことができ、VPOSとVNEGとの間に最大8Vを接続できます。VSUMピンとグラウンド間に約10kの抵抗を接続しますが、この電圧は一般的なバイアス・ソースとして使用するものではないことに注意してください。

Q1の入力に依存する V_{BE1} は2つ目のトランジスタQ2の固定 V_{BE2} と比較されます。このQ2は、内部で発生された正確な電流 $I_{REF} = 10\mu A$ で動作します。全体としてのインターセプトは、信号・チェーンの後段で I_{REF} の1/100,000倍のところに配置されます。この2つの V_{BE} 値の差は次式で表されます。

$$V_{BE1} - V_{BE2} = kT/q \log_{10}(I_{PD}/I_{REF}) \quad (10)$$

したがって、式1で存在していた不安定かつ温度に依存するサチュレーション電流 I_S は消去されます。

次に、 kT/q の温度変動を除去するため、この差電圧を処理ブロックに加えます。この処理ブロックは、温度に比例する変数を式10のTの下におく機能を持つアナログ分割器で構成されています。この同じブロック内で、 I_{REF} ははるかに小さい電流 I_Z に変換されて、予め定められたVLOGの値を与えます。すなわち、

$$V_{LOG} = V_Y \log_{10}(I_{PD}/I_Z) \quad (11)$$

$V_Y = 200mV / \text{ディケード}$ 、かつ $I_Z = 100pA$ であることを思い出ししてください。内部で、これはまず $40\mu A / \text{ディケード}$ ($2\mu A/dB$)の出力電流として発生されて、VLOGとACOMの間の内部負荷抵抗に加えられます。この内部負荷抵抗は $5k \pm 1\%$ にレーザー・トリムされています。スロープは、このポイントに外部シャント抵抗を追加することにより変更できます。 $160dB$ (8ディケード)の I_{PD} 範囲に対するVLOGのスパンは、 $8 \times 0.2V = 1.6V$ になり、ノードの内部ヘッドルームを超えてしまうため、最小電源電圧 = 3.0Vを使う場合に、このスロープの変更が必要になります。シャント抵抗 $5k$ を使うと、 $800mV$ まで小さくなり、スロープは $5mV/dB$ になります。大きなスロープを必要とするアプリケーションでは、バッファにより電圧ゲインを得ることができます。例えば、出力振幅を2.4Vに増やすとき、3.0V電源を使用する場合、レールtoレールのバッファを使って実現することができ、ゲイン $3 \times$ を使うと、スロープを $15mV/dB$ にできます。この方法によるスロープの変化は、インターセプトに影響を与えません。低い正電源電圧の制約に対するこの対策は、 I_{PD} が最大約1mAに制限されている場合には不要であることに注意してください。VLOGがグラウンド電位を下回ることを可能にする負電源を使用する場合にも不要になります。これについては後で説明します。

図1に、Q1に平行に接続した非常に小さいモニター用トランジスタQMを使って、入力電流のサンプルを引き出す方法を説明します。この方法は V_{PDB} ピンに光ダイオード・バイアス V_{PDB} を発生させるときに使われます。この V_{PDB} は $I_{PD} = 100pA$ の場合0.6Vから変化し、ダイオードを0.1V(INPTで固定の0.5Vを減算した後)だけ逆バイアスし、ネット・ダイオード・バイアス = 2Vに対して $I_{PD} = 10mA$ で2.6Vまで上昇します。この出力のドライバは約20mAに電流制限されています。

システムは最終バッファ・アンプで完成します。このバッファ・アンプは本来自由に使えるオペアンプであり、レールtoレールの出力能力、10MHzの帯域幅、優れた負荷駆動能力を持っており、多極ローパス・フィルタの構成やスケールリングの制御で内部的に使う電圧リファレンスに使うことができます。この電圧リファレンスはVREFピンに出力される2.0Vレベルを使うこともできます。図2に、理論出力 V_{LOG} と I_{PD} の関係を示します。

帯域幅とノイズに関する考慮事項

トランスリニア・ログアンプの応答時間と広帯域ノイズは、基本的には信号電流 I_{PD} の関数になっています。 I_{PD} が減少するにつれて帯域幅は狭くなり、Q1の接合容量の影響を強く受けます。このことは、バイポーラトランジスタの相互コンダクタンス(g_m)は、コレクタ電流 I_C の一次関数になっており(トランスリニアと呼ばれる理由)、このケースでは I_{PD} になることに気付くと、容易に理解できます。対応するエミッタ抵抗増分は、

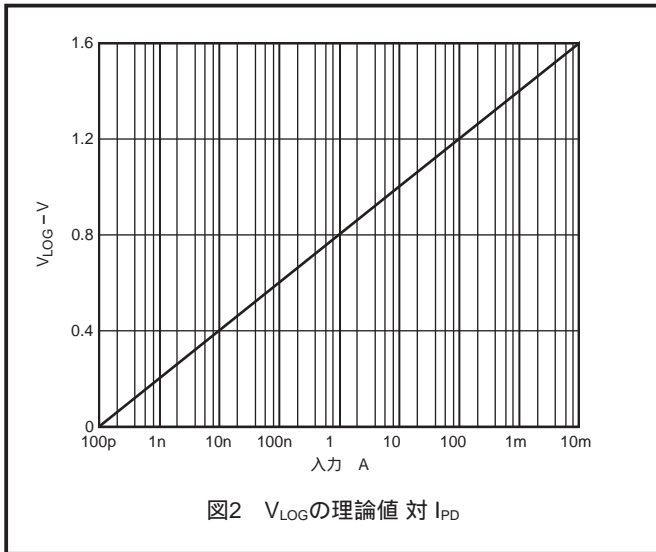
$$r_e = \frac{1}{g_m} = \frac{kT}{qI_{PD}} \quad (12)$$

基本的に、トランジスタのこの抵抗と容量 C_j は時定数 $r_e C_j$ を発生し、対応するローパス・コーナー周波数は次式で得られます。

$$f_{3dB} = \frac{qI_{PD}}{2kTC_j} \quad (13)$$

この式から、帯域幅が電流に比例することが分かります。

AD8304



$C_j = 0.3\text{pF}$ とすると、 $20\text{MHz}/\text{mA}$ が得られます。したがって、 $I_{PD} = 100\text{pA}$ での最小帯域幅は 2kHz になります。この簡単なモデルは要点を得るためには有効ですが、有効性を制限している他の効果が含まれていません。例えば、図1の回路 R_1 と C_1 （全電流全範囲でシステムを安定化するために必要）は、 I_{PD} の全ての値で帯域幅に影響を与えます。レーザー信号処理ブロックも最大値を制限します。

特性 7に、 $R_1 = 750$ と $C_1 = 1000\text{pF}$ とした場合での $100\text{pA} \sim 10\text{mA}$ の8ケースの代表的な電流に対するAD8304のAC応答カーブを示します。 R_1 と C_1 の値は、 160dB のダイナミックレンジに対して安定性を保証します。範囲が狭ければさらに最適な値を使うことができます。与えられたアプリケーションに対して最適な入力回路部品値を選択するためには、さらに多くの試行錯誤が必要です。

ここでトランスリニア・ログアンプのノイズ性能に戻ると、 Q_1 の V_{BE} に対応する I_{PD} と電圧ノイズ・スペクトル密度 S_{NSD} との間の関係は次式で表されます。

$$S_{NSD} = \frac{14.7}{\sqrt{I_{PD}}} \quad (14)$$

ここで、 S_{NSD} は nV/Hz で、 I_{PD} は μA で、それぞれ表され、 $T_A = 25$ です。入力 $= 1\text{nA}$ の場合、 S_{NSD} はほぼ $0.5 \mu\text{V}/\text{Hz}$ になります。ただし、この電流での帯域幅は 20kHz 、総合ノイズ電圧は $70 \mu\text{V}_{\text{rms}}$ と仮定します。ただし、計算は完了していません。 V_{BE} の基本スケールは約 $3\text{mV}/\text{dB}$ であり、 $10\text{mV}/\text{dB}$ に換算されます（式14から予測されるノイズに約3.33を乗算）。リファレンス・トランジスタ Q_2 と温度補償回路に対応する追加ノイズ高価も含める必要があります。 V_{LOG} ピンに出力される最終電圧ノイズ・スペクトル密度は I_{PD} に反比例して変化します。サンプルが平方根に比例するのは異なります。特性 S_8 と特性 S_9 に、 I_{PD} の同じ9デケード離れた値に対して V_{LOG} 出力でのノイズ・スペクトル密度の測定値と周波数の関係を示します。

チップ・イネーブル

PWN ピンをハイレベルにすると、AD8304はパワーダウンされます。ディスエーブル・モードでの残留電源電流は $60 \mu\text{A}$ (typ) です。

AD8304の使用法

基本接続（図3）では、バッファの周りの帰還パスに2.5 : 1の減衰器が使用されています。この減衰器により、 V_{LOG} ピンでの基本スロープ $10\text{mV}/\text{dB}$ が V_{LOG} で $25\text{mV}/\text{dB}$ に増やされます。 160dB （ 80dB 光）のダイナミックレンジに対して、

出力振幅は 4.0V になり、推奨 5V 電源を使った場合、この値はレールtoレールの出力ステージによりカバーできます。

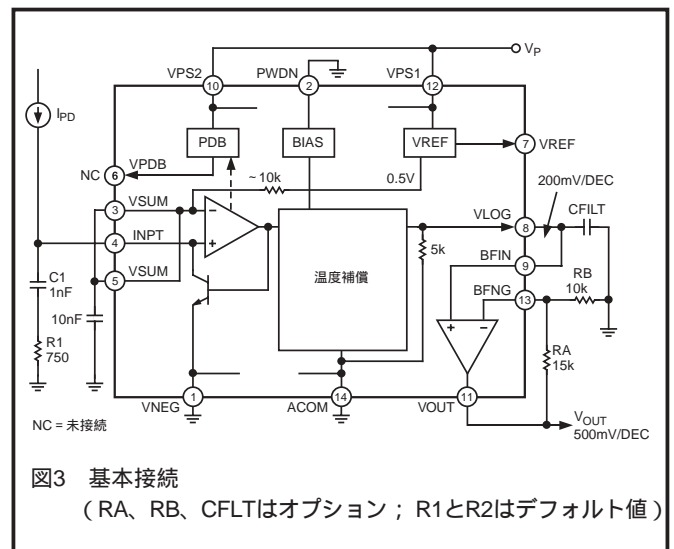
V_{LOG} とグラウンドの間に接続したコンデンサは、オプションの1極ローパス・フィルタを構成します。このピンの抵抗は 5k にトリムされているため、正確な時定数が得られます。例えば、 $C_{FLT} = 10 \text{ nF}$ の場合、 -3dB コーナー周波数は 3.2kHz になります。このようなフィルタは出力ノイズの削減に有効で、特に I_{PD} が小さい場合に有効です。多軸フィルタはノイズ削減にさらに有効です。後で詳しい説明をします。 V_{SUM} とグラウンドの間に接続したコンデンサはもともとこのノードでのノイズを削減するためのものです。 V_{PDB} ピンまたは V_{REF} ピンでのバイアス電圧が不要な場合は、これらのピンを開放のままにしておけます。

スロープとインターセプトの調整

スロープとインターセプトの選択は、アプリケーションに依存します。AD8304は融通性が高いため、2つの一般的な状況で最適な選択が可能です。1つ目は、出力での使用可能な電圧スパンを使うために、フルの 160dB より狭い入力電流範囲が可能です。2つ目は、後続のADCの入力容量に合うように、この出力電圧範囲を最適な位置に移動できます。特別なアプリケーションでは、 $1\text{V}/\text{dec}$ のような非常に大きなスロープを使うことにより、 I_{PD} の範囲の一部を高い感度でカバーできます。

V_{LOG} とグラウンドの間にシャント抵抗 R_S を接続することにより、無制限にスロープを小さくできます。このピンの抵抗は 5k にトリムされているため、変更したスロープの精度は外付け抵抗に依存します。スロープは次式を使って計算します。

$$V_Y = \frac{V_Y R_S}{R_S + 5 \text{ k}} \quad (15)$$



例えば、 $R_S = 3\text{k}$ を使うと、スロープは $75\text{mV}/\text{ディケード}$ すなわち $3.75\text{mV}/\text{dB}$ に減少します。表1に、 R_S の適切な値の選択とその時のスロープを示します。

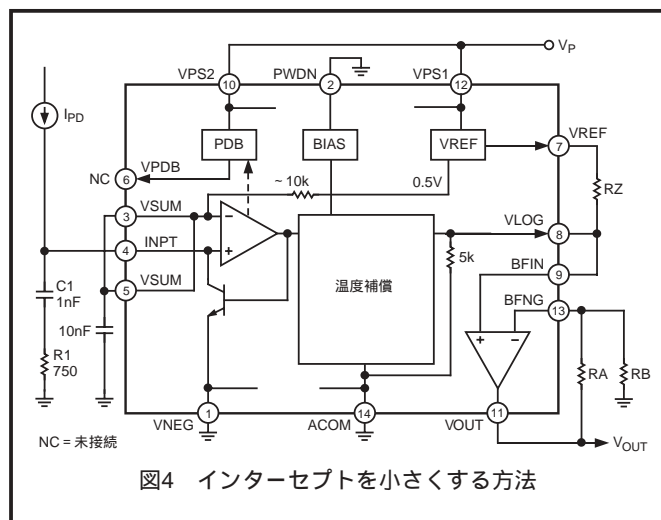
表1 スロープを小さくする例

R_S (kV)	V_Y (mV/dec)
3	75
5	100
15	150

このバッファ・アンプはフィルタ機能とコンパレータ機能での使用の他に、スロープとインターセプトを調整する手段を提供します。この方法では外付け部品数は最小で済みます。BFINでの高入力インピーダンス、低入力オフセット電圧、大きな出力振幅、このアンプの広い帯域幅により、標準オペアンプ回路を使って基本 V_{LOG} 信号のさまざまな変換が可能です。例えば、バッファのゲインを上げる（したがってスロープを大きくする）とき、 V_{LOG} と反転入力ピン（BFNG）との間に帰還減衰器（図3に示す R_A と R_B ）を挿入することは既に述べました。

広範囲なゲインが使用可能で、抵抗の大きさは重要ではありません。すなわち、パラレル接続抵抗の和が非反転入力側のネット・ソース抵抗にほぼ等しくします。高いゲインを使う場合、出力ダイナミックレンジは減少します。最大振幅 = 4.8V に対して、単純に $4.8V/V_Y$ デイケードになります。したがって、 $3 \times$ の比を使って、スロープ 30mV/dB (600mV/デイケード) を設定すると、8 デイケードを扱うことができ、 $5 \times$ の比を使って、スロープ = 50mV/dB (1V/デイケード) を設定すると、ダイナミックレンジは 4.8 デイケードすなわち 96dB になります。低い正電源電圧を使う場合も、計算は同じ方法で行います。出力振幅のヘッドルームで上側と下側に 0.1V を許容するため先ず 0.2V を減算することを忘れないでください。

対数インターセプトの変更は単純に行うことができます。先ず、 100pA の値より低くインターセプトを下げることは、ほとんど無いことに注意してください。これは全出力電圧をグラウンドより上に上げることになるためです。ただし、これが必要な場合には、最初のステップは V_{LOG} と V_{REF} (2V) の間に抵抗 R_C を接続して（図4）、電圧 V_{LOG} を上げることで



5k の出力抵抗に対する R_C のシャント効果のため、小さい入力に対する V_{LOG} を上げる効果を持ち、一方でスロープをある程度抑える効果を持ちます。次に必要に応じて、バッファ周辺の帰還減衰器を使って、スロープを前のように大きくできます。表IIIに、インターセプトを抑える幾つかの例をあらゆるスロープの変更と一緒に示します。

表II インターセプトを抑える例

V_Y (mV/デイケード)	I_Z (pA)	R_A (k)	R_B (k)	R_Z (k)
200	1	20.0	100	25
200	10	10.0	100	50
200	50	3.01	100	165
300	1	10.0	12.4	25
300	10	8.06	12.4	50
300	50	6.65	12.4	165
400	1	11.5	8.2	25
400	10	9.76	8.2	50
400	50	8.66	8.2	165
500	1	16.5	8.2	25
500	10	14.3	8.2	50
500	50	13.0	8.2	165

表IIと一緒に使う式を次に示します。

$$V_{OUT} = G \left[V_Y \times \frac{R_Z}{R_Z + R_{LOG}} \times \log_{10} \left(\frac{I_{PD}}{I_Z} \right) + V_{REF} \times \frac{R_{LOG}}{R_{LOG} + R_Z} \right]$$

ここで、

$$G = 1 + \frac{R_A}{R_B} \quad \text{かつ} \quad R_{LOG} = 5\text{ k}$$

一般に、インターセプトを大きくすることは有用です。インターセプトを大きくすると、図2の V_{LOG} 直線は右側に移動して、すべての出力値が小さくなります。図5に、インターセプトを大きくする方法を示します。バッファのまわりの帰還抵抗 R_A と R_B が、BFNGピンと V_{REF} ピンの間に接続された3つ目の抵抗 R_C により増やされます。これにより、BFNGピンのゼロ信号電圧が上がり、このゼロ信号電圧の上昇が V_{OUT} を下げる効果を持ちます。この抵抗の追加より、帰還の比率も変わることにご注意ください。ただし、これは回路の設計で補償されています。表IIIに、代表的なインターセプトに対する抵抗値を示します。

表III インターセプトを大きくする例

V_Y (mV/デイケード)	I_Z (nA)	R_A (k)	R_B (k)	R_Z (k)
300	10	7.5	37.4	24.9
300	100	8.25	130	18.2
400	10	10	16.5	25.5
400	100	9.76	25.5	16.2
400	500	9.76	36.5	13.3
500	10	12.4	12.4	24.9
500	100	12.4	16.5	16.5
500	500	11.5	20.0	12.4

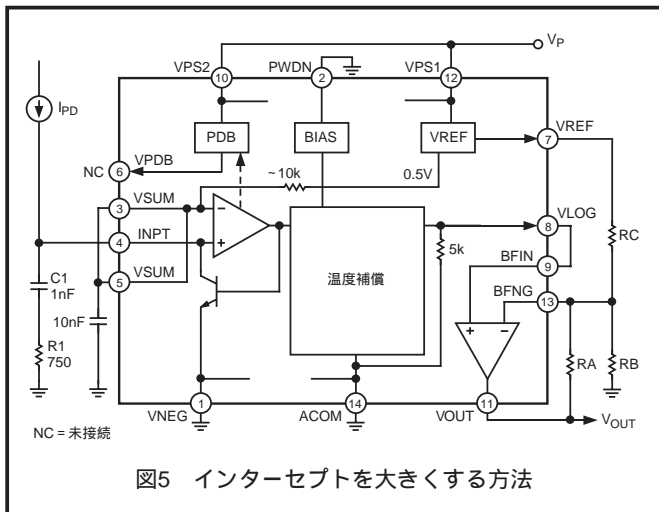
表IIIと一緒に使う式を次に示します。

$$V_{OUT} = G \left[V_Y \times \log_{10} \left(\frac{I_{PD}}{I_Z} \right) - V_{REF} \times \frac{R_A \parallel R_B}{R_A \parallel R_B + R_C} \right]$$

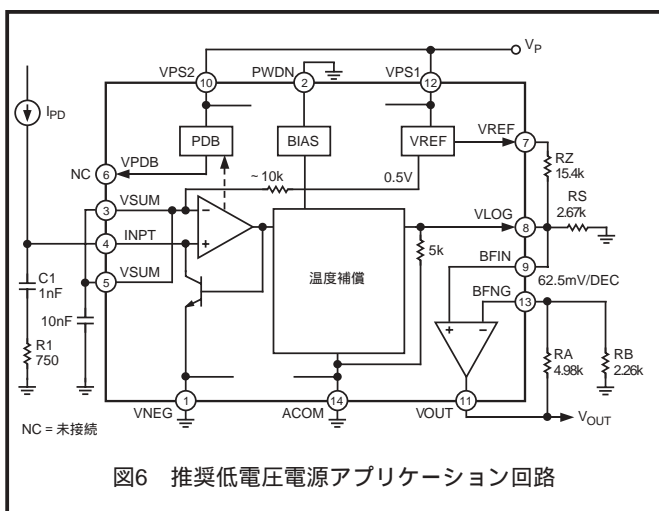
ここで、

$$G = 1 + \frac{R_A}{R_B \parallel R_C} \quad \text{かつ} \quad R_A \parallel R_B = \frac{R_A \times R_B}{R_A + R_B}$$

AD8304

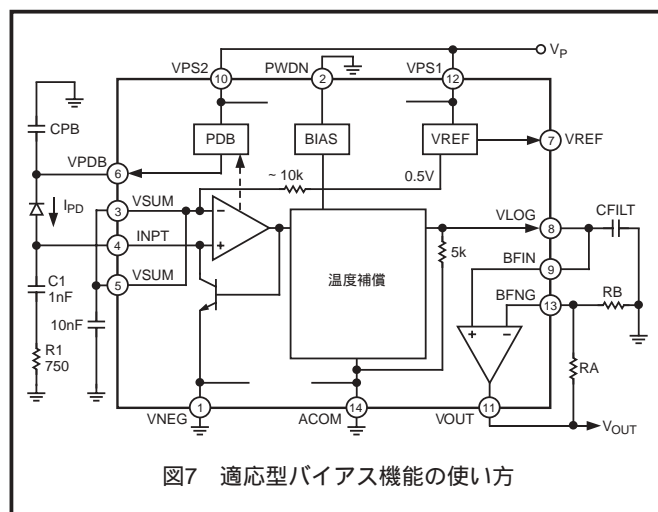


小さい電源スロープとインターセプトの調整
 4Vより低い正電源でデバイスを使う場合、160dBの全動作範囲で良い対数適合度を維持するために、VLOGピンでのスロープとインターセプトを抑える必要があります。VLOGピンの電圧は、レーザー・トリムされた内部出力抵抗5k に40 μ A/ディケードの電流を内部電流源から供給して発生しています。VLOGピンの電圧が $V_p - 2.3V$ を超えると、電流源は電流の対数的な増加に追従しなくなります。このヘッドルーム問題は、VLOGピンでの対数スロープとインターセプトを小さくすることにより、回避できます。これは、インターセプトを小さくする抵抗 R_Z と組み合わせ、cピンとグラウンドの間に外部抵抗 R_S を接続することにより、行います。図6に示す値は、3.0Vの正電源に対するソリューションを説明しています。VLOGピンで測定した対数スロープは、62.5mV/ディケードであり、新しいインターセプトは57 fAになっています。元の対数スロープ200mV/ディケードは、内部バッファ・アンプの電圧ゲインを使って取り戻すことができます。



適応型バイアスの使い方

大部分の光ダイオード・アプリケーションに対しては、特定のダイオードのピーク電流（ダイオードの直列抵抗により制限）に対応するためにカソードの正バイアスが十分である限り、アノードをある程度グラウンドより上に配置することを許容できます。この問題に対処するため、AD8304では電流に比例して変化するバイアスをダイオードに対して用意しています。この電圧はVPDBピンに出力され、 $I_{PD} = 100\mu A$ に対して0.6V（ダイオードを0.1Vだけ逆バイアス）から $I_{PD} = 10mA$ に対して2.6V（ダイオード・バイアス1V）まで変化します。光ダイオードの直列抵抗が200 Ω のとき、これは一定の内部接合バイアス0.1Vになります。広範囲なダイナミックレンジでの光パワー計測では、適応型バイアス機能は暗電流を小さくし、光ダイオード・バイアスで大きい電流での損失を防止するために有効です。適応型バイアス機能の使い方を図7に示します。



VPDBピンの光ダイオード・カソードとグラウンドの間に接続されたコンデンサCPBは、このノードのインピーダンスを下げて、AD8304の帯域幅が広いところでの電流レベルで、周波数精度を向上させるために使用されています。また、光信号の高周波変調に対するHFパスも確保しています。そうしない場合には、光信号の平均を正確に求めることはできません。すべてのケースにあてはまる訳ではありませんが、最終的な最適値を求めるためには実測が必要となります。

加算ノードでの電圧の変更

VSUMのデフォルト値は、VREF（2V）の1/4を使って決定されます。独立した電流源をVSUMに接続するか、またはVREFとVSUMの間に外付けの抵抗分割器を接続することにより、この電圧を変えることができます。この回路は内部分割器（40kと13.3k）と並列に動作するため、外付け抵抗の選択ではこの点を考慮する必要があります。実際には、追加分の合計抵抗を10k程度にします（VREFに対して400mAの負荷）。 I_{PD} の大きな値が見込まれる場合は、VSUMの値を小さくする、すなわち V_{CE} の値を小さくする（図13）ことは推奨できません。

ローパス・フィルタの構成

測定値に不確実性を導入するノイズは、すべての計測システムで避けられませんが、トランスリニア・ログアンプは前述の理由により大きなノイズを持ち、低電流レベルではさらに厄介になります。この問題に対処する標準的な方法は、計測値を適切な時間で平均することです。この処理は、デジタル領域、ポストADC DSP、または様々なローパス構造を使うアナログ方式で実現できます。

VLOGピンにコンデンサを接続すると、単軸フィルタが構成されることは既に述べました。多軸フィルタを構成するための数個の外付け部品の小さい追加コストは、多くの場合高性能計測システムでは許容できます。図8に、Sallen-Keyフィルタ構造を示します。ここでは、回路の前段に必要な抵抗はVLOG出力に接続されている正確な5kΩにより提供され、 R_B は同じ値を持ちます。コーナー周波数とQ（制動係数）は、コンデンサ C_A と C_B およびゲイン $G = (R_A + R_B) / R_B$ により決定されます。様々なゲインに対してこれらの部品を選択する推奨開始点を、表IVに示します。表に示す値は、1kHzコーナの場合です（特性12も参照）。この周波数は、コンデンサ値を調整することにより変更できます。この表に示す値から発生するAC振幅応答とパルス・オーバーシュートの波形を維持するための推奨値から R_D 、 G 、コンデンサ比 C_A/C_B が逸脱しないようにしてください。すべてのケースで、コーナー周波数より上のロールオフ・レートは40dB/decです。

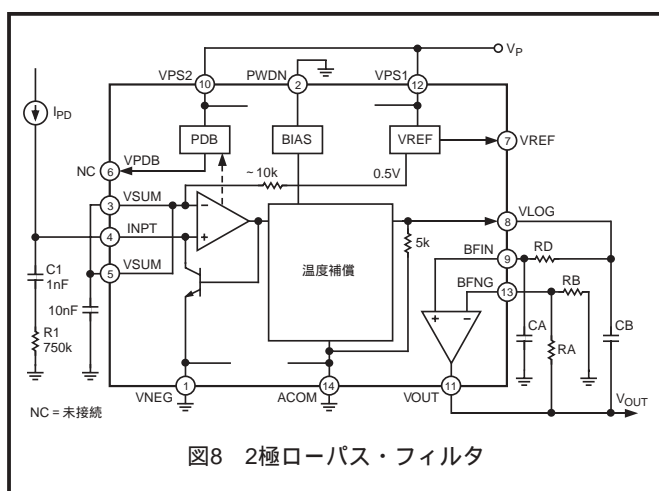


図8 2極ローパス・フィルタ

表IV 1kHzカットオフ周波数に対する2極フィルタのパラメータ*

R_A (k)	R_B (k)	G	V_y (V/ディケッド)	R_D (k)	C_A (nF)	C_B (nF)
0	開放	1	0.2	11.3	12	12
10	10	2	0.4	6.02	33	22
12	8	2.5	0.5	12.1	33	18
24	6	5	1.0	10.0	33	18

注
コンデンサ C_A と C_B を調整すると、コーナー周波数を変えることができます。例えば、コーナー周波数を100Hzに下げるときは、 C_A と C_B の値を10倍にします。
*特性12参照

コンパレータ・モードの動作

アプリケーションによっては、入力電流がある値に到達したときロジック出力を発生する必要がある場合があります。この機能は、電圧リファレンスの一部を使って設定ポイント（スレシヨルド）を提供し、さらに帰還なしのバッファをコンパレータ・モードで使用する（図9）ことにより、容易に実現できます。 V_{LOG} はグラウンドから最大1.6Vまで変化できるため、2Vリファレンスは I_{PD} のダイナミックレンジをカバーするためには十分です。 I_{PD} の増加に対するスレシヨルドは不変ですが、電流の減少に対するリリース・ポイントはこの値より5dB下にあることに注意してください。 R_H を5MΩまで大きくすると、ヒステリシスは0.5dBまで小さくなります。または R_H に小さい値を使うと、大きくすることもできます。

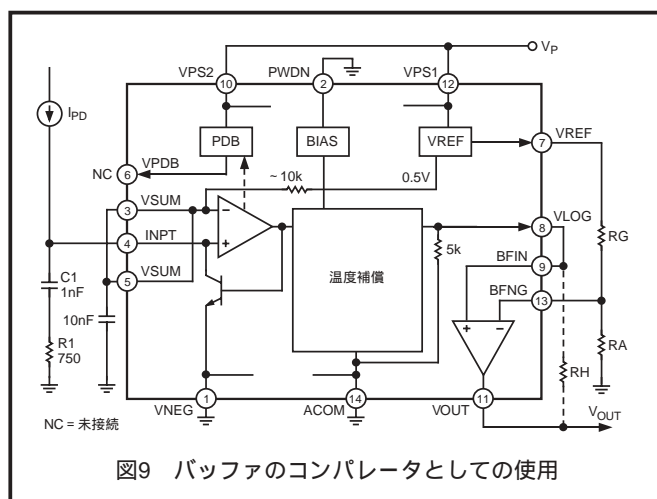


図9 バッファのコンパレータとしての使用

負電源の使用

AD8304の多くのアプリケーションでは、3.0~5.5Vの単電源で済みますが、融通性を高めるため、両電源を使うこともできます（図10）。

負電源 V_N を使うと、入力トランジスタ（図1のQ1）のエミッタが負バイアスになるため、加算ノードを正確にグラウンド・レベルにできます。 V_N を-0.5Vと低くして、 V_{CE} をデフォルト・ケースの場合と同じ値にします。このバイアスは正確である必要はなく、精度の高いソースは不要です。

-5Vまでの電源を使うことができます。スケーリングの影響は無視できます。インターセプトを約0.01dB/Vだけ移動します。そのため、 V_N での0.2Vの不確実性により、無視できる誤差0.002dBが発生します。スロープは V_N の影響を受けません。対数の線形性はダイナミックレンジの端で低下します（図11）。バイアス電流、バッファ出力（およびその負荷）電流、 I_{PD} はすべて、この負電源に流れ込むので、電源容量は最大電流条件を満たしている必要があります。

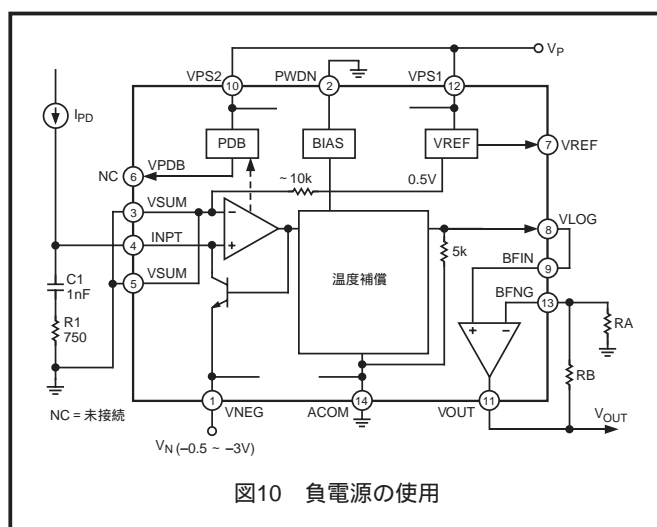


図10 負電源の使用

加算ノードをグラウンド電位にすると、電圧ソースとINPTピンの間に適切なスケール抵抗を接続するだけで、AD8304は電圧入力ログアンプとして使えるようになります。小さい電圧に対する対数精度は、このピンとVSUMピンの間に出力されるJ-FETオペアンプのオフセットにより制限されます。負電源を使うと、出力振幅がグラウンドを下回ることも可能になるため、インターセプトを I_{PD} の中央値に対応させることができます。

AD8304

ただし、電圧 V_{LOG} はACOMピンを基準にしたままであるため、通常このピンより負側に行くことはありませんが、負側に行っても問題はありません。このようにして、 V_{LOG} と負電源の間の抵抗が V_{LOG} を低下させることができるため、インターセプトが大きくなります。インターセプト位置を変更するさらに正確な方法について、次に説明します。

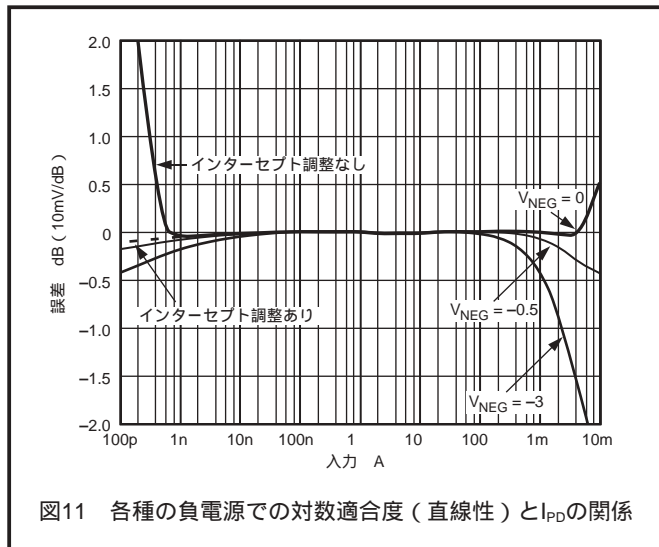


図11 各種の負電源での対数適合度（直線性）と I_{PD} の関係

アプリケーション

AD8304は、光ケーブル管理アプリケーション、および一般的なアプリケーションでも有効に使用できるさらなる機能を内蔵しています。この機能の説明に役立てるため、SPICEマクロモデルと多機能評価ボードが用意されています。

図12に、一般化した回路図形式（SPICEプログラムの各バージョンに依存しない形式）でマクロモデルを示します。Q1、Q2、Q3、Q4（この図では同じサイズ）は、図1のトランジスタに対応します。これらのトランジスタのモデル・パラメータは重要でなく、SPICEライブラリ内に用意されているデフォルト・モデルで十分です。ただし、AD8304では大きな入力電流での接合抵抗（ R_B と R_E ）に起因する誤差を小さくするために補償技術を使っています。そのため、これらをゼロに設定することをお勧めします。このモデルは、AD8304を正確にモデル化するものではありませんが、大きな値を持つ可能性があるこれらのパラメータのデフォルト値を使うよりは安全です。低電流モデル・パラメータも考慮する必要があります。この簡単なマクロモデルでは動的ビヘイビアまたは温度効果を取り込むことはしない点に注意してください。スケールは27に対して正しくなっています。

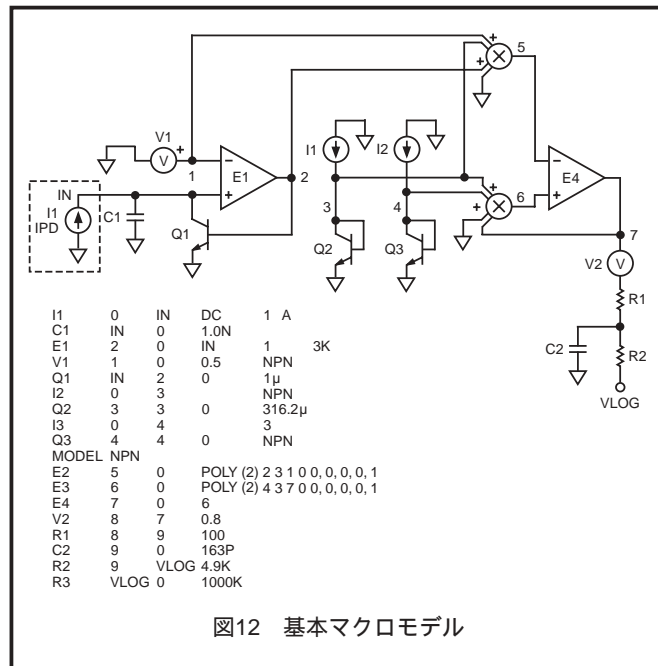


図12 基本マクロモデル

グラウンド入力と電圧入力での加算ノード

負電源を使って、グラウンド電位に入力ノードを変更できます。-0.5V程度の小さい電圧の使用で十分です。図13に、この機能の使い方を示します。10mAまでの入力電流に対応しています。

この接続モードは、光ダイオードまたはその他の“完全な”電流源と組み合わせるのではなく、ソースがグラウンドを基準とする正電圧源 V_{SIG} である場合に有効です。 R_{IN} が入力電流を決定するため、 I_{PD} 範囲の最適な位置を選択するか、または非常に大きな入力抵抗を用意して、信号ソースの負荷を小さくする必要があります。例えば、100mV ~ 1kVの4ディケードの範囲を持つ電圧ソースで R_{IN} を最大化する場合を想定します。1 G に設定すると、 I_{PD} の範囲は100pA ~ 1mAになります。10M の値を使うと、入力電圧の同じ4ディケードの範囲は、セントラル電流範囲10nA ~ 100mAになります。

小さいオフセット相殺電圧を V_{SUM} に加えると、さらに小さい入力電圧を測定できます。図13に示すオプションの回路は、このために±20mV以上を提供します。

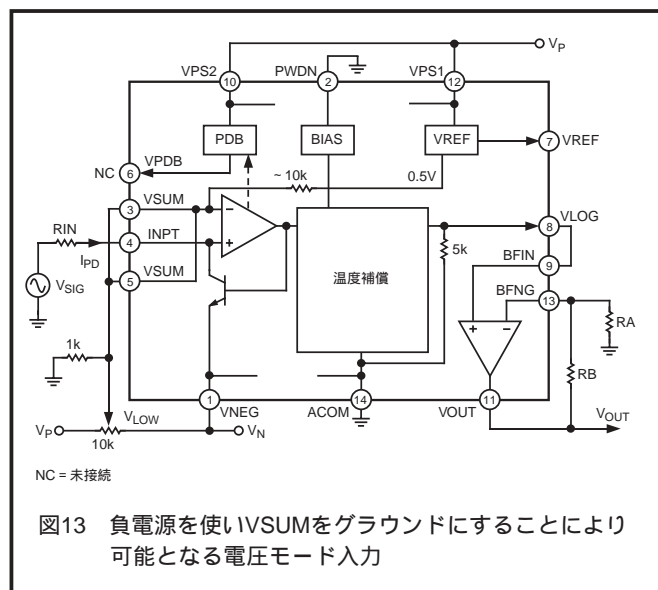


図13 負電源を使い V_{SUM} をグラウンドにすることにより可能となる電圧モード入力

したがって、測定可能な最小電圧は、AD8304の入力オフセットのドリフトのみで制限されます。仕様は、温度範囲と電源範囲で最大の広がりを持っていることを示しています。制限された温度範囲で、レギュレーションされた電源を使う場合、オフセット・ドリフトは小さくなります。このような場合、入力処理は5mVまで可能になります。

AD8304の入力システムは擬似差動になっているため、VSUMは広い範囲で任意のリファレンス・レベルV_{LOW}にすることができ、“信号ロー”のソースとして使うことができます。例えば、V_P = 5VとV_N = -3Vを使う場合、V_{LOW}は±2.5Vの範囲内の任意の電圧にできます。

負出力の提供と再スケーリング

既に説明したように、AD8304では、バッファがアナログ共通ピン（グラウンド電位）のACOMに対して負荷を負電圧に駆動できます。負電源は、I_{PD}が使う入力電流、VNEGピンから出力する静止バイアスの一部、VLOGでの負荷電流を供給できます。図14に示す例の場合、1k 負荷を -4Vで駆動する限りこの合計は20mA以下です。

インターセプトに対してはるかに大きな値を使うことが有効な場合があります。この例では、デフォルト値の100pAから8ディケード範囲の中心1mAまでの4ディケードを移動しています。上述のような電圧入力の使用は、電圧モード・インターセプトV_Zの変更（R_{IN} = 1M に対して1V）に対応します。大きな出力振幅を利用するときは、バッファのゲインを4.5×に増やして、スケーリング = 900mV / ディケード、かつフルスケール出力 = ±3.6Vにします。

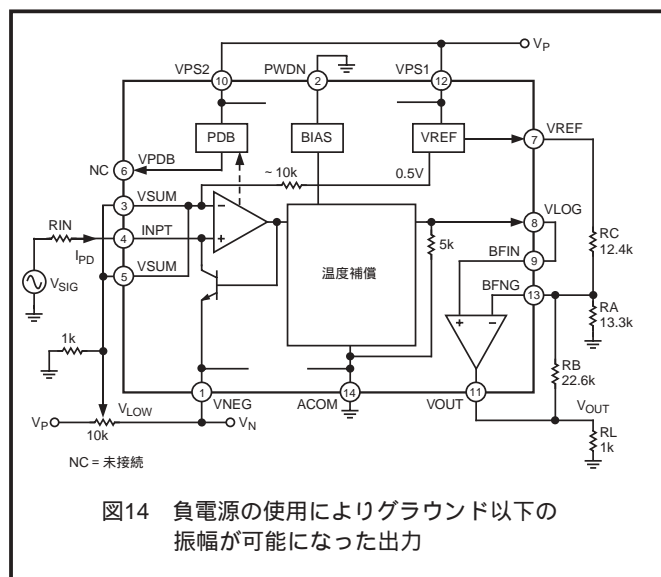


図14 負電源の使用によりグラウンド以下の振幅が可能になった出力

スロープの反転

バッファはもともと自由に使えるオペアンプであり、AD8304のさまざまな動作に対応するために使用できます。不要な場合にはシグナル・チェーンから完全に切り離しておくことができます。図15に、反転アンプとしての使用例を示します。このアンプはスロープの極性を変えます。出力は、BFINピンにV_{REF}の一部を入力することにより正側の範囲に、または負電源を使って負側の範囲に変更できます。この簡単な説明では実用的なアプリケーションに対する完全な設計は省略してありますが、幾つかのケースについて説明します。

例えば、スロープ = -30mV/dBの場合を考えます。この場合にはゲイン = 3が必要です。V_{LOG}はソース抵抗5k を持っているため、R_Bは15k になります。小さい負電源が使用可能な場合、出力電圧のグラウンド以下の振幅が可能になり、BFINピンをグラウンド電位に接続できます。単電源を使用

した場合でも負のスロープは可能ですが、正のオフセットV_{OFFS}をこのピンに加えます（図15）。一般に、このとき得られる出力電圧は次のように表されます。

$$V_{OUT} = - \left(\frac{R_B}{5k} \right) V_Y \times \log_{10} \left(\frac{I_{PD}}{I_Z} \right) + V_{OFFS} \quad (16)$$

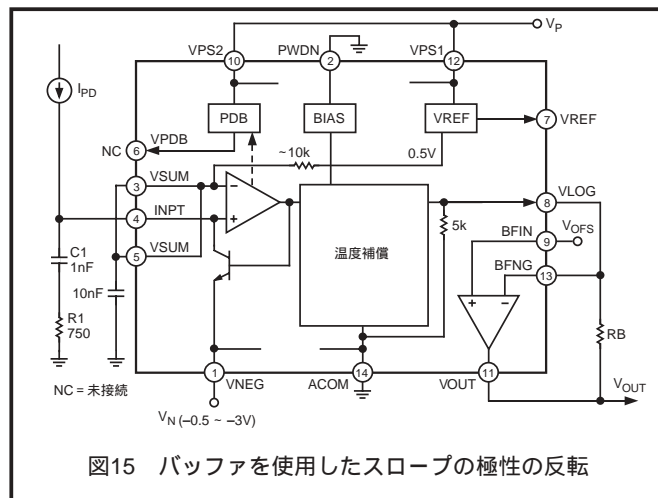


図15 バッファを使用したスロープの極性の反転

ゲイン = 1 × (R_B = 5k) のときは、2V V_{REF}はBFINに直接接続できます。このケースでは出力応答の開始ポイントは4Vになります。ただし、このケースでのスロープは -0.2V/ディケードであるため、出力電流範囲は1.6Vしか下がりません。明らかに、大きなスロープ（またはゲイン）が望ましく、その場合はV_{OFFS}の電圧を小さく設定して、小さい電流で出力を駆動することを防止します。V_{OFFS} = 1.2VかつG = 3×の場合、V_{OUT}はスロープ = -0.6V / ディケードで、4.8Vから開始され、この同じ電圧だけグラウンドに向かって下がるようになります（I_{PD}の全範囲をカバー）。

ヒステリシス付きプログラマブル・レベル・コンパレータバッファ・アンプとリファレンス電圧を使うと、キャリブレーションされたレベル検出器を構成できます。図16に、10ビットMDACの使用を示します。このMDACは、MDACのフルスケール出力がリファレンスのフルスケール出力に等しいとき、1nA I_{PD} 100 μAの100dBの範囲で、設定ポイントを正確な値の0.1dB以内に制御します。また、2V V_{REF}はV_{SPT}の最小値を0.2Vに設定し、これは入力1nAに対応します。V_{LOG}インターフェースでの100dBは1Vスパンに対応するため、抵抗回路は最大V_{SPT} = 1.2Vを提供するように計算され、必要とされるV_{REF}の10%を追加します。

この例では、ヒステリシス範囲は5V電源を使用した場合0.1dB（V_{LOG}で1mV）に設定されます。この値は通常、コンパレータ出力の誤動作を発生させるノイズを防止するためには十分な値です。ノイズ帯域幅を減らすためにV_{LOG}（点線表示）にローパス・フィルタ・コンデンサを接続すると、このリスクをさらに減少させることができます。

AD8304

プログラマブルなマルチディケード電流源

AD8304は、広範な一般的なアプリケーション（非光アプリケーション）に対応しています。例えば、テスト装置では多くのディケードで変化可能な正確な電流を供給する必要が発生します。これは、逆閉ループ内に計測デバイスとしてログアンプを使うことにより実現できます（図16）。この回路は次の電流を発生します。

$$I_{SRC} = 100\text{pA} \times 10^{(V_{SPT} / 0.2)} \quad (17)$$

動作原理は次のようになります。設定ポイント V_{SPT} と V_{LOG} の間の誤差を測定して、QAの電流によってある I_{PD} 値を供給し、積分によりこの誤差を相殺させます。この動作は内部オペアンプとコンデンサC1により実行され、そのときの時定数は内部5k 抵抗で決定されます。この例では、C1の選択により、出力電流の8ディケード範囲でループの安定性を保証します。C2は位相遅れを減少させます。このシステムは10ビットMDACを採用しています。このMDACはVREFをリフ

アレンスとして使用し、出力はR1とR2（この並列和も5k ）により1.6V FSにスケールされています。

トランジスタQAとしてはシングル・バイポーラ・デバイスを使うことが可能ですが I_{SRC} （電流はエミッタで監視）に小さい 誤差を発生します。あるいは、ダーリントン対すなわちMOSデバイス（ I_{PD} と I_{SRC} との誤差が小さいもの）を使うことも可能です。この例では、バイポーラ対を使っています。出力電圧の適合性はこれらトランジスタのコレクタ・ブレークダウン電圧により決定されます。一方、最小電圧は、設定されたVSUMの値に依存します。オプションの部品を接続して、このノードとVNEGを十分低いバイアスにして、電圧がわずかにグラウンドを下回ることができるようにします。

この基本回路には多くのバリエーションが可能です。例えば、簡単な電圧または2つ目の電流を使って、電流を連続的に制御できます。VSUMをゼロに設定し、電流シャント分割器を使うと、大きな出力電流を制御できます。

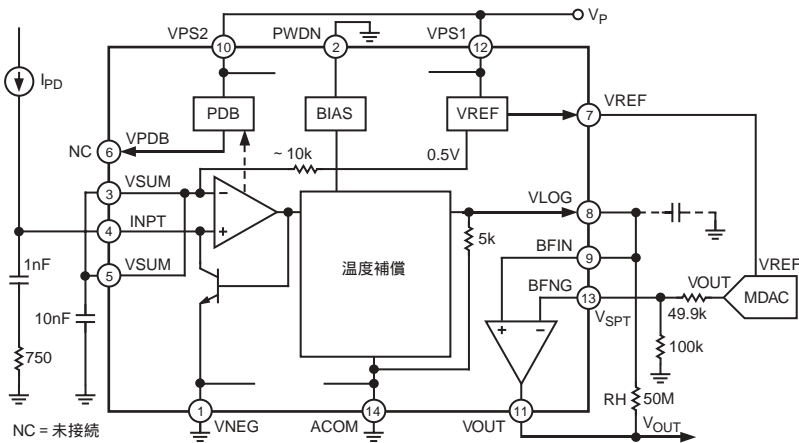


図16 キャリブレーションされたレベル・コンパレータ

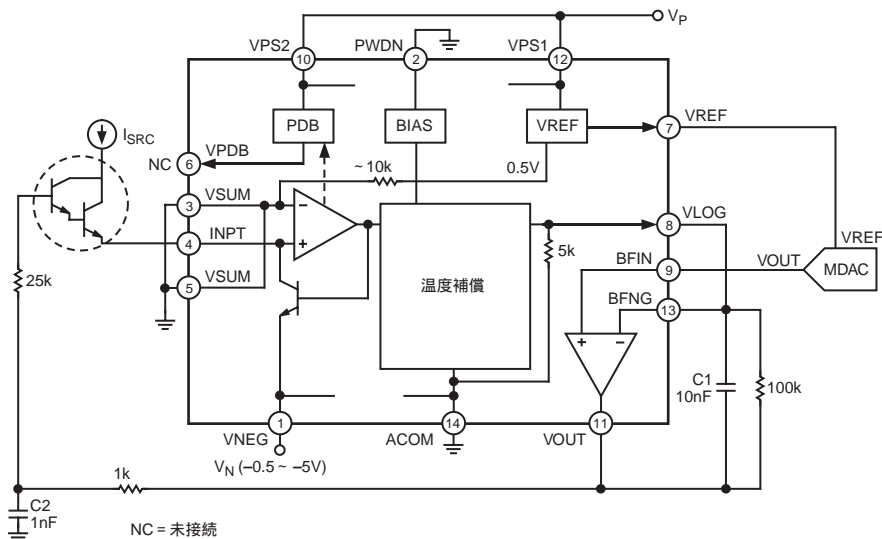


図17 マルチ・ディケード電流源

キャラクタライゼーションのセットアップと方法

AD8304の初期キャラクタライゼーション時、このデバイスは高精度電流入力ログアンプ（コンバータ）として扱われました。光ダイオードに照明を与えて光電流を正確に発生させるのではなく、Keithley 236のような精密な電流源を入力ソースとして使いました。低レベルの入力電流を入力するには十分な注意が払われました。キャラクタライゼーション・ボードでは、保護ピンをVSUMに接続した電流源のトライアック出力を使いました。ボードでは、隣接パターンと内部銅層の部分をVSUMピンに接続することにより入力パターンを保護しました。注意を払う明確な理由はリーク電流です。INPTピンの公称バイアスを0.5Vとし、50G抵抗をグラウンドに接続すると、10pAのリークが発生し、計測範囲の下側での誤差は約1dBになります。さらに、一般にキャラクタライゼーションで必要とされる電流源の高出力抵抗と長い信号ケーブル長により、60Hz放射にとって良いレシーバが構成されました。優れた保護技術の採用は、上り信号のピックアップを小さくすることに役立ちました。

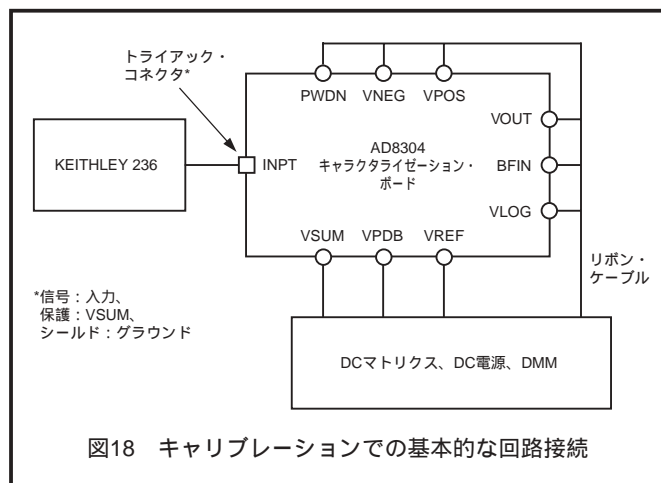


図18に示す初期キャラクタライゼーションのセットアップを使って、スタティック特性、対数適合度、スロープ、インターセプト、バッファ・オフセット、 V_{REF} の温度ドリフト、VPDBピン機能の性能が測定されました。ノイズや帯域幅のようなダイナミック・テストに対しては、さらに特別なセットアップが使用されました。

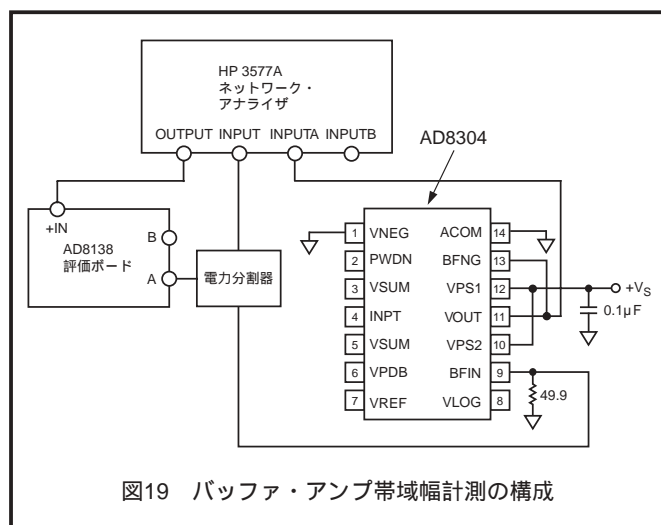


図19に、バッファ・アンプ帯域幅の測定で使用した構成を示します。AD8138評価ボードはバッファ入力DCオフセットを提供し、単電源動作モードでの計測を可能にします。ネットワーク・アナライザの入力インピーダンスは1Mに設定しました。

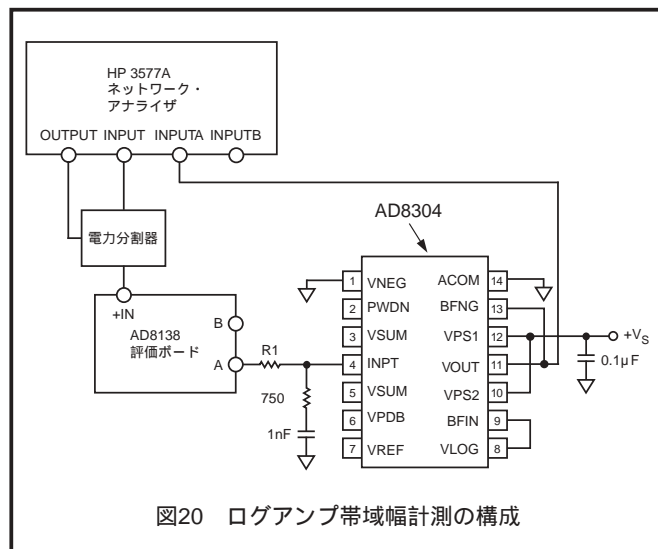


図20に示すセットアップを使って、ログアンプ部の周波数応答を測定しました。この構成では、AD8138出力は1.5Vにオフセットされ、R1を調整して該当する動作電流を用意しました。そしてバッファ・アンプを使い、計測時にはさらに容量をVLOGピンに接続して、オンチップの5k抵抗を使いフィルタを構成しました。

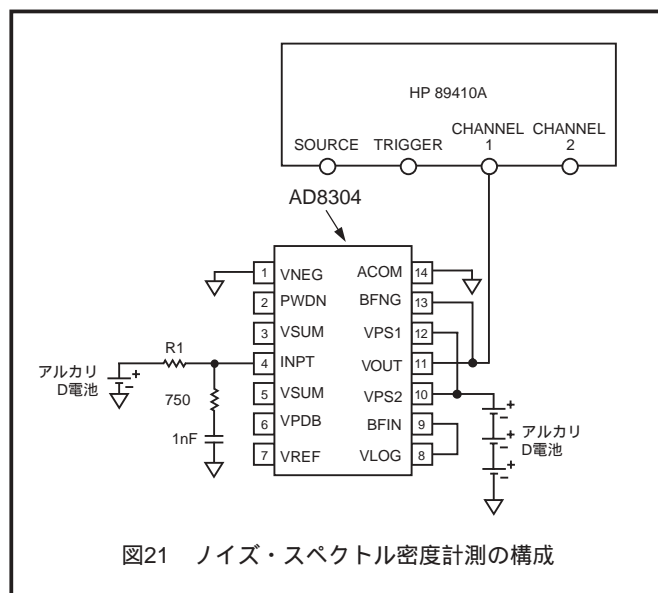


図21に示す構成で、デバイス・ノイズを測定しました。両電源は電池から供給し、入力信号はノイズ・ソースとなる電源からできるだけ離し、グラウンド・ループの効果を減らしました。AD8304評価ボードと電流設定抵抗は、アルミニウム容器の中に収容して、外部ノイズ・ソースへのシールドを強化しました。

AD8304

評価ボード

AD8304には評価ボードが用意されており、回路図を図21に示します。ボードの各面を図22と図23に示します。このボードはあらゆる実験のために設定できます。このボードは出荷時にバッファ・ゲイン=1、スロープ=10mV/dB、イン

ターセプト=100pAで光伝導モードに設定されています。抵抗値とコンデンサ値を変えることにより、データシートに記載するすべてのアプリケーション回路を評価できます。表Vに、各種の設定オプションを示します。

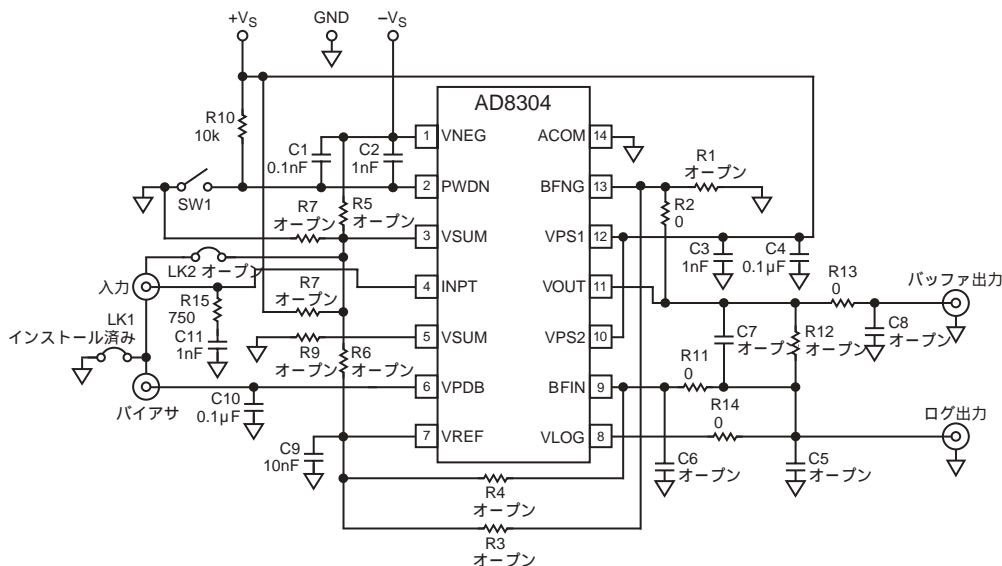


図22 評価ボードの回路図

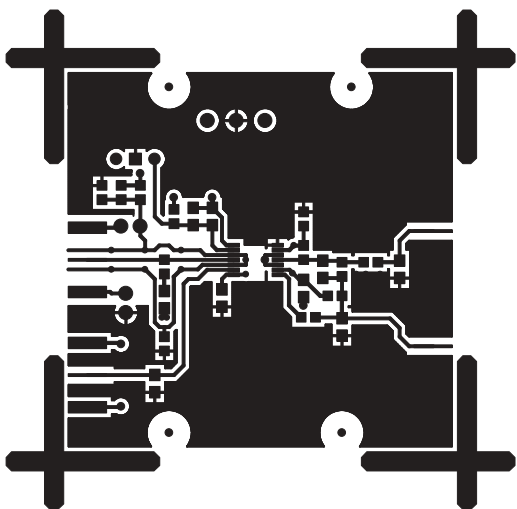


図23 部品面のレイアウト

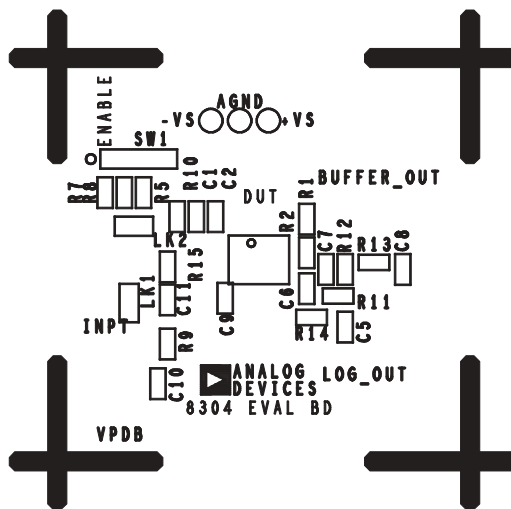


図24 部品面のシルク・スクリーン

表V 評価ボードの設定オプション

部品	機能	デフォルト状態
V _P 、V _N 、AGND	それぞれ正電源ピン、負電源ピン、グラウンド・ピン。	該当せず
SW1、R10	デバイス・イネーブル：SW1が“0”位置のとき、PWDNピンがグラウンドに接続され、AD8304は通常の動作モードになります。	SW1 = 実装済み R10 = 10k (サイズ0603)
R1、R2	バッファ・アンプのゲイン/スロープ調整：AD8304の対数スロープは、バッファ・ゲイン設定抵抗R1とR2を使って変更できます。	R1 = 開放 (サイズ0603) R2 = 0 (サイズ0603)
R3、R4	インターセプト調整：DCオフセットをバッファ・アンプの入力ピンに加えて、実効的な対数インターセプトを調整できます。	R3 = 開放 (サイズ0603) R4 = 開放 (サイズ0603)
R5、R6、R7、R8、R9	バイアス調整：VSUMピンとINPTピンの電圧は、該当する抵抗値を使って変更できます。	R5 = R6 = 開放 (サイズ0603) R7 = R8 = 開放 (サイズ0603) R9 = 開放 (サイズ0603)
C1、C2、C3、C4、C9	電源デカップリング・コンデンサ	C1 = C4 = 0.1 μF (サイズ0603) C2 = C3 = 1 nF (サイズ0603) C9 = 10 nF (サイズ0603)
C10	光ダイオード・バイアス・デカップリング：VPDBピンの適応型バイアス出力の高周波デカップリング。	C10 = 0.1 μF (サイズ0603)
C5、C6、C7、C8、R11、R12、R13、R14	出力フィルタ：簡単なRCローパス・フィルタから3極のSallen-Key型までのさまざまなフィルタ構成が可能。	R11 = R13 = 0 (サイズ0603) R12 = 開放 (サイズ0603) R14 = 0 (サイズ0603) C5 = C6 = 開放 (サイズ0603) C7 = C8 = 開放 (サイズ0603)
R15、C11	入力フィルタ：INPT入力ピンに不可欠なHF補償を実施。	R15 = 750 (サイズ0603) C11 = 1nF (サイズ0603)
LK1、LK2	保護/シールド・オプション：入力に使われるSMAコネクタのシェルと光ダイオード・バイアスは、VSUMピンの電位に設定できます。あるいはグラウンドに接続できます。	LK1 = 実装済み LK2 = 開放

AD8304

外形寸法

サイズはインチと (mm) で示します。

14ピンTSSOP (RU-14)

