

特長

- 小型パッケージ: 10ピン MSOP
- 設定可能なゲイン: 1、10、100、1000
- デジタル設定またはピン設定可能なゲイン
- 広い電源電圧範囲: ±5V~±15V
- 優れた DC 性能
 - 高い CMRR: 100 dB (最小)、G = 100
 - 低ゲイン・ドリフト: 10 ppm/°C (最大)
 - 低オフセット・ドリフト: 1.2 μV/°C (最大)、G = 1000
- 優れた AC 性能
 - 高速セトリング・タイム: 0.001%~780 ns (最大)
 - 高いスルー・レート: 20 V/μs (最小)
 - 低歪み: 1 kHz、10 V 振幅で -110 dB THD
 - 全周波数で高い CMRR: 20 kHz まで 100 dB (最小)
 - 低ノイズ: 10 nV/√Hz、G = 1000 (最大)
 - 低消費電力: 4 mA

アプリケーション

- データ・アキュジション
- 生物医学解析
- テストおよび計測

概要

AD8253 は、デジタル的に設定可能なゲインを持つ計装アンプであり、ギガオーム (GΩ) の入力インピーダンス、低出力ノイズ、低歪みを持つため、センサーとのインターフェースや高いサンプル・レートの A/D コンバータ (ADC) の駆動に適しています。

また、10 MHz の広い帯域幅、-110 dB の低 THD、0.001%~780 ns (最大) の高速セトリング・タイムを持っています。オフセット・ドリフトとゲイン・ドリフトは、G = 1000 でそれぞれ 1.2 μV/°C と 10 ppm/°C が保証されています。広い入力同相電圧範囲の他に、G = 1000、DC~20 kHz で 100 dB の高い同相モード除去比を持っています。AD8253 は、高精度 DC 性能と高速機能の組み合わせにより、データ・アキュジションでの優れた候補になっています。さらに、このモノリシック・ソリューションはデザインと製造を簡素化し、内部抵抗とアンプの厳格なマッチングを維持することにより、計装性能を強化します。

AD8253 のユーザ・インターフェースは、2つの方法でゲインの設定を可能にするパラレル・ポートから構成されています (機能ブロック図は図 1 参照)。バスを經由して送信された 2 ビット・ワードは、WR 入力を使ってラッチされます。もう 1 つは、トランスペアレント・ゲイン・モードを使用する方法で、ゲイン・ポートのロジック・レベルの状態でゲインを指定します。

AD8253 は 10 ピン MSOP パッケージを採用し、-40°C~+85°C の温度範囲で仕様が規定されているため、サイズと実装密度が

重要なアプリケーションに対する優れたソリューションになっています。

機能ブロック図

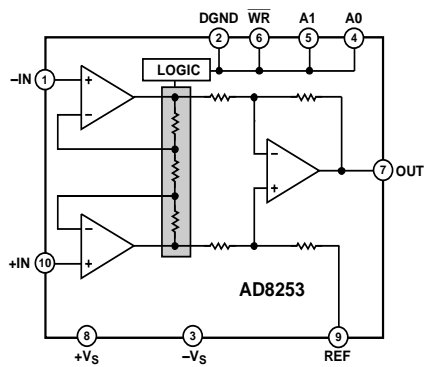


図 1.

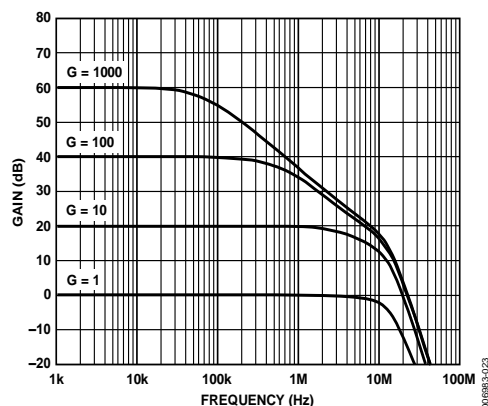


図 2. ゲインの周波数特性

表 1. 計装アンプの分類

General Purpose	Zero Drift	Mil Grade	Low Power	High Speed PGA
AD8220 ¹	AD8231 ¹	AD620	AD627 ¹	AD8250
AD8221	AD8553 ¹	AD621	AD623 ¹	AD8251
AD8222	AD8555 ¹	AD524	AD8223 ¹	AD8253
AD8224 ¹	AD8556 ¹	AD526		
AD8228	AD8557 ¹	AD624		

¹ レール to レール出力。

目次

特長.....	1	電源のレギュレーションとバイパス.....	18
アプリケーション.....	1	入力バイアス電流のリターン・パス.....	18
概要.....	1	入力保護.....	18
機能ブロック図.....	1	リファレンス・ピン.....	19
改訂履歴.....	2	同相モード入力電圧範囲.....	19
仕様.....	3	レイアウト.....	19
タイミング図.....	5	RF干渉.....	19
絶対最大定格.....	6	A/D コンバータの駆動.....	20
最大消費電力.....	6	アプリケーション情報.....	21
ESD の注意.....	6	差動出力.....	21
ピン配置およびピン機能説明.....	7	マイクロコントローラによるゲイン設定.....	21
代表的な性能特性.....	8	データ・アキュイジション.....	22
動作原理.....	16	外形寸法.....	23
ゲインの選択.....	16	オーダー・ガイド.....	23

改訂履歴

8/08—Rev. 0 to Rev. A

Changes to Ordering Guide 23

7/08—Revision 0: Initial Version

仕様

特に指定のない限り、 $+V_S = +15\text{ V}$ 、 $-V_S = -15\text{ V}$ 、 $V_{REF} = 0\text{ V}$ 、 $T_A = 25^\circ\text{C}$ 、 $G = 1$ 、 $R_L = 2\text{ k}\Omega$ 。

表 2.

Parameter	Conditions	Min	Typ	Max	Unit							
COMMON-MODE REJECTION RATIO (CMRR)												
CMRR to 60 Hz with 1 k Ω Source Imbalance	+IN = -IN = -10 V to +10 V	80	100		dB							
G = 1												
G = 10												
G = 100												
G = 1000												
CMRR to 20 kHz ¹	+IN = -IN = -10 V to +10 V	80	100		dB							
G = 1												
G = 10												
G = 100												
G = 1000												
NOISE												
Voltage Noise, 1 kHz, RTI												
G = 1						45	nV/ $\sqrt{\text{Hz}}$					
G = 10						12	nV/ $\sqrt{\text{Hz}}$					
G = 100						11	nV/ $\sqrt{\text{Hz}}$					
G = 1000						10	nV/ $\sqrt{\text{Hz}}$					
0.1 Hz to 10 Hz, RTI												
G = 1											2.5	$\mu\text{V p-p}$
G = 10											1	$\mu\text{V p-p}$
G = 100											0.5	$\mu\text{V p-p}$
G = 1000						0.5	$\mu\text{V p-p}$					
Current Noise, 1 kHz							5			pA/ $\sqrt{\text{Hz}}$		
Current Noise, 0.1 Hz to 10 Hz							60			pA p-p		
VOLTAGE OFFSET												
Offset RTI V_{OS}	G = 1, 10, 100, 1000 T = -40°C to +85°C				μV							
Over Temperature						$\pm 150 + 900/G$						
Average TC						$\pm 210 + 900/G$						
Offset Referred to the Input vs. Supply (PSR)						$\pm 1.2 + 5/G$						
	$V_S = \pm 5\text{ V to } \pm 15\text{ V}$				$\mu\text{V/V}$							
INPUT CURRENT												
Input Bias Current	T = -40°C to +85°C	40	5	50	nA							
Over Temperature ²												
Average TC						400						
Input Offset Current						5						
Over Temperature	T = -40°C to +85°C			40	nA							
Average TC	T = -40°C to +85°C			160	pA/°C							
DYNAMIC RESPONSE												
Small-Signal -3 dB Bandwidth	$\Delta\text{OUT} = 10\text{ V step}$											
G = 1						10	MHz					
G = 10						4	MHz					
G = 100						550	kHz					
G = 1000						60	kHz					
Settling Time 0.01%												
G = 1											700	ns
G = 10											680	ns
G = 100											1.5	μs
G = 1000						14	μs					
Settling Time 0.001%						$\Delta\text{OUT} = 10\text{ V step}$						
G = 1											780	ns
G = 10	880	ns										
G = 100	1.8	μs										

Parameter	Conditions	Min	Typ	Max	Unit
G = 1000 Slew Rate				1.8	μs
G = 1		20			V/ μs
G = 10		20			V/ μs
G = 100		12			V/ μs
G = 1000		2			V/ μs
Total Harmonic Distortion + Noise	f = 1 kHz, $R_L = 10\text{ k}\Omega$, $\pm 10\text{ V}$, G = 1, 10 Hz to 22 kHz band-pass filter		-110		dB
GAIN					
Gain Range	G = 1, 10, 100, 1000	1		1000	V/V
Gain Error	OUT = $\pm 10\text{ V}$				
G = 1				0.03	%
G = 10, 100, 1000				0.04	%
Gain Nonlinearity	OUT = -10 V to +10 V				
G = 1	$R_L = 10\text{ k}\Omega$, 2 k Ω , 600 Ω			5	ppm
G = 10	$R_L = 10\text{ k}\Omega$, 2 k Ω , 600 Ω			3	ppm
G = 100	$R_L = 10\text{ k}\Omega$, 2 k Ω , 600 Ω			18	ppm
G = 1000	$R_L = 10\text{ k}\Omega$, 2 k Ω , 600 Ω			110	ppm
Gain vs. Temperature	All gains		3	10	ppm/ $^{\circ}\text{C}$
INPUT					
Input Impedance					
Differential			4 1.25		G Ω pF
Common Mode			1 5		G Ω pF
Input Operating Voltage Range	$V_S = \pm 5\text{ V}$ to $\pm 15\text{ V}$	$-V_S + 1$		$+V_S - 1.5$	V
Over Temperature ³	T = -40 $^{\circ}\text{C}$ to +85 $^{\circ}\text{C}$	$-V_S + 1.2$		$+V_S - 1.7$	V
OUTPUT					
Output Swing		-13.7		+13.6	V
Over Temperature ⁴	T = -40 $^{\circ}\text{C}$ to +85 $^{\circ}\text{C}$	-13.7		+13.6	V
Short-Circuit Current			37		mA
REFERENCE INPUT					
R_{IN}			20		k Ω
I_{IN}	+IN, -IN, REF = 0			1	μA
Voltage Range		$-V_S$		$+V_S$	V
Gain to Output			1 ± 0.0001		V/V
DIGITAL LOGIC					
Digital Ground Voltage, DGND	Referred to GND	$-V_S + 4.25$	0	$+V_S - 2.7$	V
Digital Input Voltage Low	Referred to GND	DGND		1.2	V
Digital Input Voltage High	Referred to GND	1.5		$+V_S$	V
Digital Input Current			1		μA
Gain Switching Time ⁵				325	ns
t_{SU}	See Figure 3 timing diagram	15			ns
t_{HD}		30			ns
$t_{\overline{WR}\text{-LOW}}$		20			ns
$t_{\overline{WR}\text{-HIGH}}$		15			ns
POWER SUPPLY					
Operating Range		± 5		± 15	V
Quiescent Current, $+I_S$			4.6	5.3	mA
Quiescent Current, $-I_S$			4.5	5.3	mA
Over Temperature	T = -40 $^{\circ}\text{C}$ to +85 $^{\circ}\text{C}$			6	mA
TEMPERATURE RANGE					
Specified Performance		-40		+85	$^{\circ}\text{C}$

¹ 周波数に対する代表的性能の詳細については、図 20 の CMRR 対周波数を参照してください。

² 温度に対する入力バイアス電流：高温で最大、低温で最小。

³ 入力電圧制限値対電源電圧および温度については、図 30 を参照してください。

⁴ さまざまな負荷での出力電圧振幅対電源電圧および温度については図 32、図 33、図 34 を参照してください。

⁵ ゲイン変更の合計時間を計算するときは、出力のスリューとセトリングに必要な時間を加算します。

タイミング図

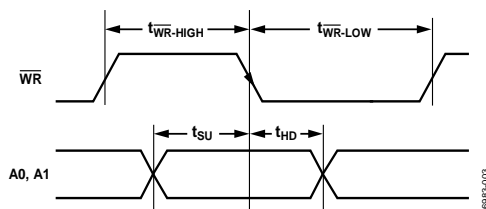


図 3. ラッチ・ゲイン・モードのタイミング図 (ラッチ・ゲイン・モードのタイミングのセクション参照)

絶対最大定格

表 3.

Parameter	Rating
Supply Voltage	±17 V
Power Dissipation	See Figure 4
Output Short-Circuit Current	Indefinite ¹
Common-Mode Input Voltage	±V _S
Differential Input Voltage	±V _S
Digital Logic Inputs	±V _S
Storage Temperature Range	-65°C to +125°C
Operating Temperature Range ²	-40°C to +85°C
Lead Temperature (Soldering 10 sec)	300°C
Junction Temperature	140°C
θ _{JA} (4-Layer JEDEC Standard Board)	112°C/W
Package Glass Transition Temperature	140°C

¹ 負荷は電源中央値を基準とします。

² 性能規定の温度は -40°C~+85°C。+125°C の性能については、代表的な性能特性のセクションを参照してください。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作の節に記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

最大消費電力

AD8253 のパッケージ内での安全な最大消費電力は、チップのジャンクション温度 (T_J) 上昇により制限されます。チップをプラスチック封止すると、局所的にジャンクション温度に到達します。約 140°C のガラス遷移温度で、プラスチックの属性が変わります。この温度規定値を一時的に超えた場合でも、パッケージからチップに加えられる応力が変化して、AD8253 のパラメータ性能を永久的にシフトさせてしまうことがあります。140°C のジャンクション温度を長時間超えると、シリコン・デバイス内に変化が発生して、故障の原因になることがあります。

パッケージと PCB (θ_{JA}) の自然空冷時の熱特性、周囲温度 (T_A)、パッケージ (P_D) 内の合計消費電力によって、チップのジャンクション温度が決定されます。ジャンクション温度は次式で計算されます。

$$T_J = T_A + (P_D \times \theta_{JA})$$

パッケージ内の消費電力 (P_D) は、静止消費電力と全出力での負荷駆動に起因するパッケージ内の消費電力との和になります。

静止電力は、電源ピン (V_S) 間の電圧に静止電流 (I_S) を乗算して計算されます。負荷 (R_L) は電源電圧の midpoint を基準とすると仮定すると、合計駆動電力は $V_S/2 \times I_{OUT}$ になり、この電力がパッケージ内と負荷 (V_{OUT} × I_{OUT}) で消費されます。

合計駆動電力と負荷電力の差が、パッケージ内で消費される駆動電力です。

$$P_D = \text{静止電力} + (\text{合計駆動電力} - \text{負荷電力})$$

$$P_D = (V_S \times I_S) + \left(\frac{V_S}{2} \times \frac{V_{OUT}}{R_L} \right) - \frac{V_{OUT}^2}{R_L}$$

-V_S を基準とする R_L を使う単電源動作では、ワースト・ケースは V_{OUT} = V_S/2 となります。

強制空冷により熱放散が大きくなるため、θ_{JA} が小さくなります。また、メタル・パターン、スルー・ホール、グラウンド・プレーン、電源プレーンとパッケージ・ピンが直接接触する場合、これらのメタルによっても θ_{JA} が小さくなります。

図 4 に、パッケージ内の安全な最大消費電力と JEDEC 標準 4 層ボードの周囲温度との関係を示します。

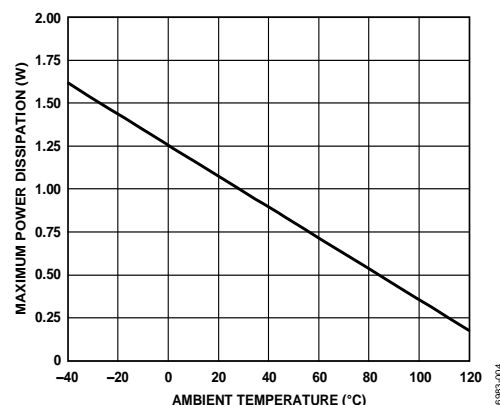


図 4. 最大消費電力対周囲温度

ESD の注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明

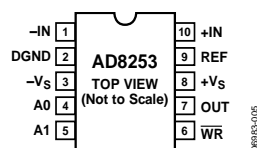


図 5.10 ピン MSOP (RM-10)のピン配置

表 4. ピン機能の説明

ピン番号	記号	説明
1	-IN	反転入力ピン。偽差動入力。
2	DGND	デジタル・グラウンド。
3	-Vs	負電源ピン。
4	A0	ゲイン設定ピン (LSB)。
5	A1	ゲイン設定ピン (MSB)。
6	$\overline{\text{WR}}$	ライト・イネーブル。
7	出力	出力ピン。
8	+Vs	正電源ピン。
9	REF	リファレンス電圧ピン。
10	+IN	非反転入力ピン。真差動入力。

代表的な性能特性

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、 $+V_S = +15\text{ V}$ 、 $-V_S = -15\text{ V}$ 、 $R_L = 10\text{ k}\Omega$ 。

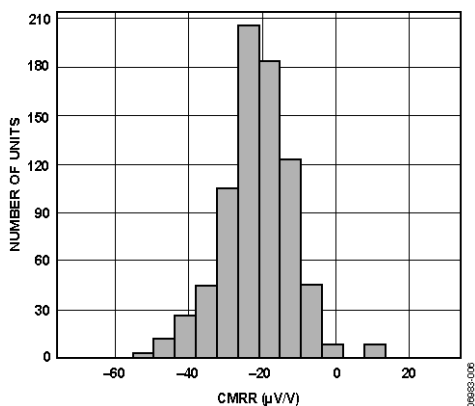


図 6. CMRR(Typ)の分布、 $G = 1$

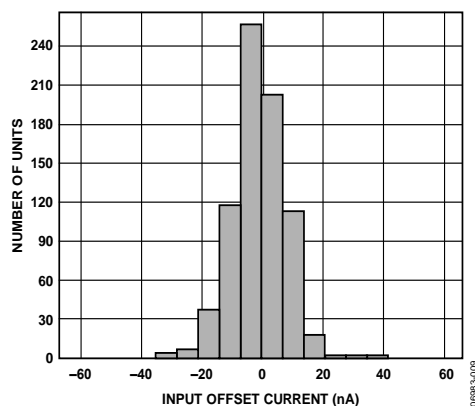


図 9. 入力オフセット電流(Typ)の分布

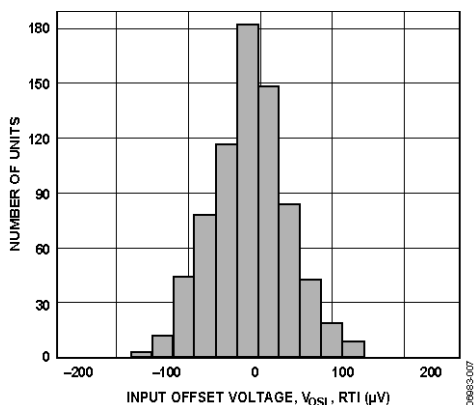


図 7. オフセット電圧(Typ)の分布、 V_{os1}

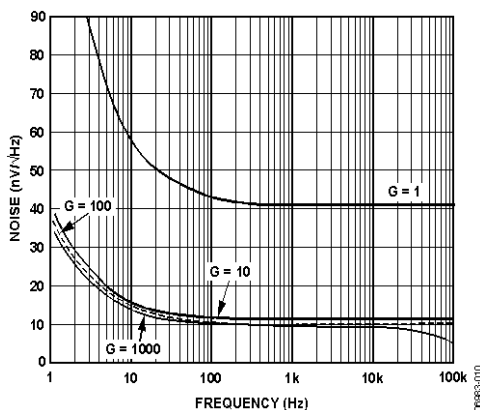


図 10. 電圧スペクトル密度ノイズの周波数特性

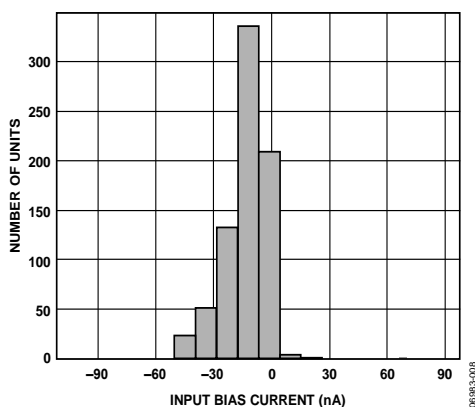


図 8. 入力バイアス電流(Typ)の分布

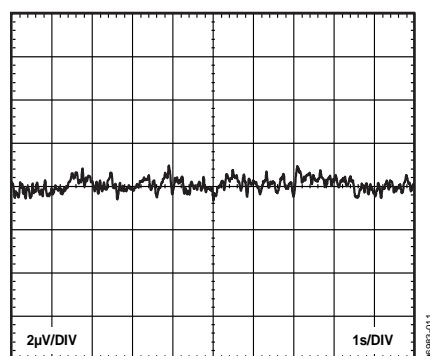


図 11. 0.1 Hz～10 Hz の RTI 電圧ノイズ、 $G = 1$

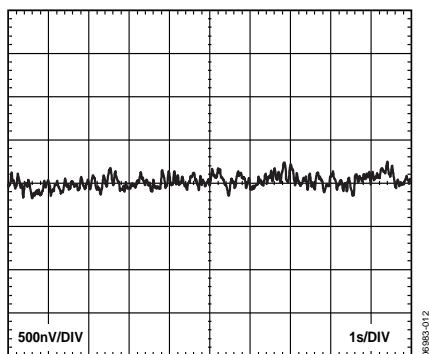


図 12. 0.1 Hz~10 Hz の RTI 電圧ノイズ、G = 1000

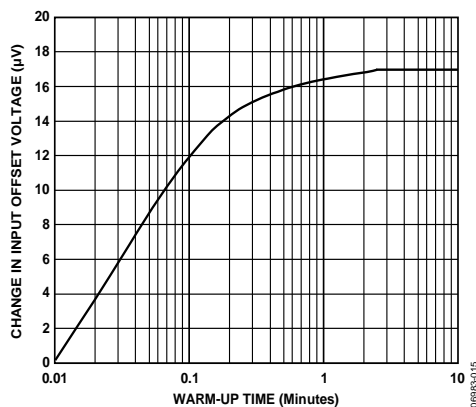


図 15. 入力オフセット電圧変化対ウォームアップ時間、G = 1000

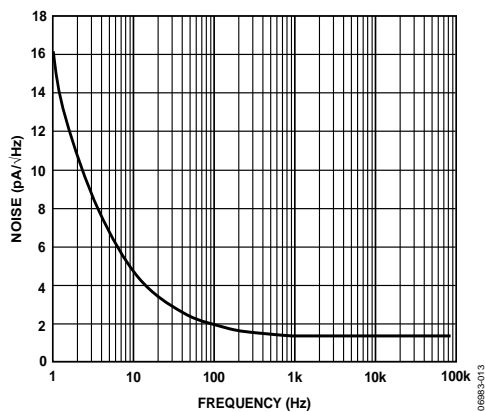


図 13. 電流ノイズ・スペクトル密度の周波数特性

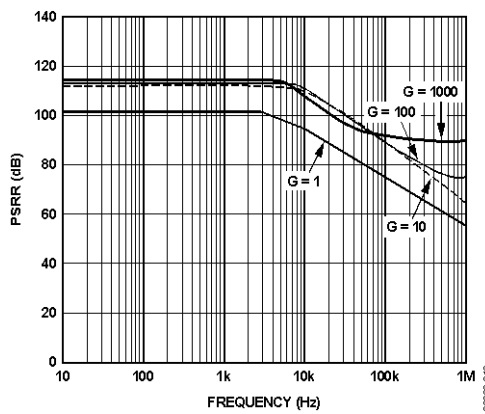


図 16. 正 PSRR の周波数特性、RTI

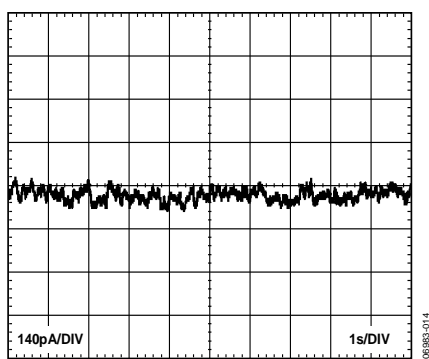


図 14. 0.1 Hz~10 Hz の電流ノイズ

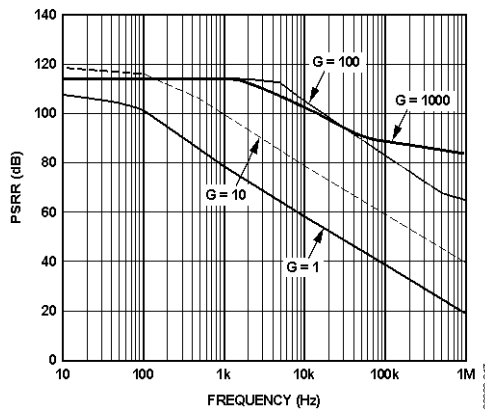


図 17. 負 PSRR の周波数特性、RTI

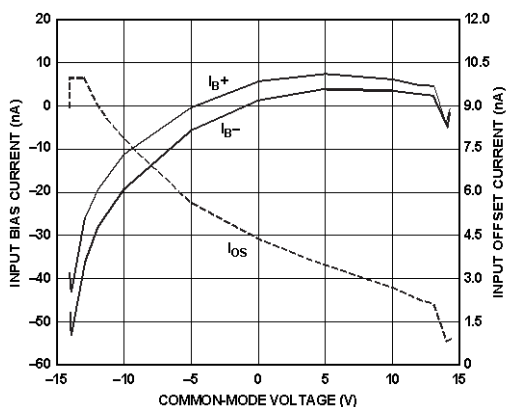


図 18.入力バイアス電流およびオフセット電流対同相モード電圧

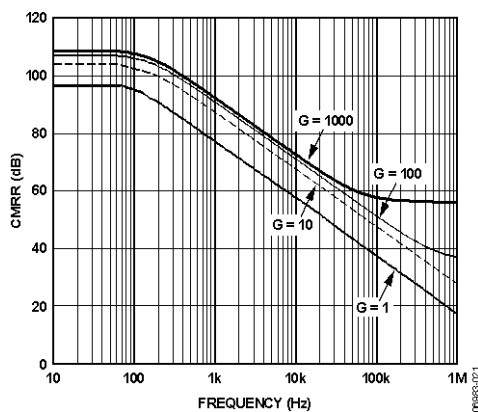


図 21.CMRR の周波数特性、1 kΩ ソース不平衡

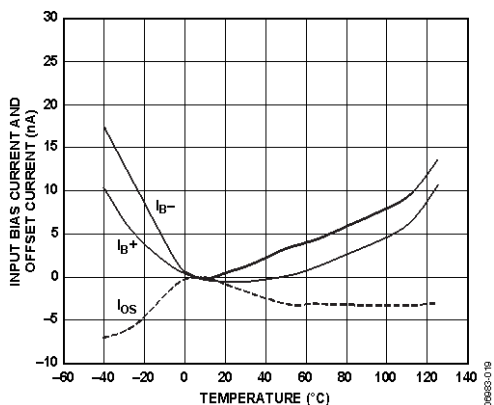


図 19.入力バイアス電流およびオフセット電流の温度特性

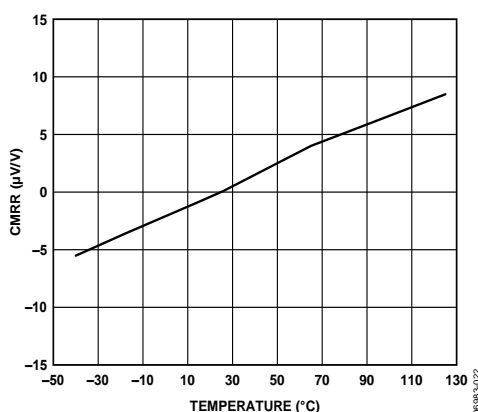


図 22.CMRR の温度特性、G = 1

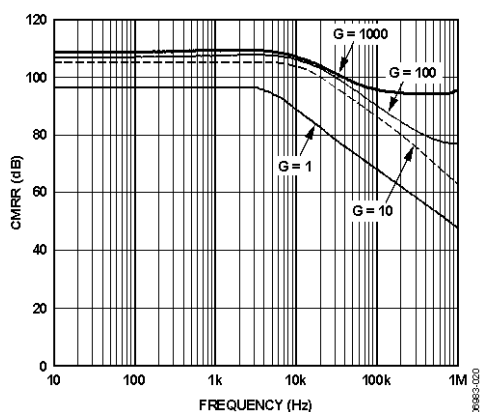


図 20.CMRR の周波数特性

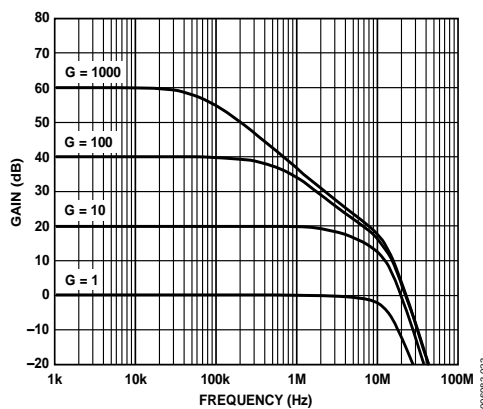


図 23.ゲインの周波数特性

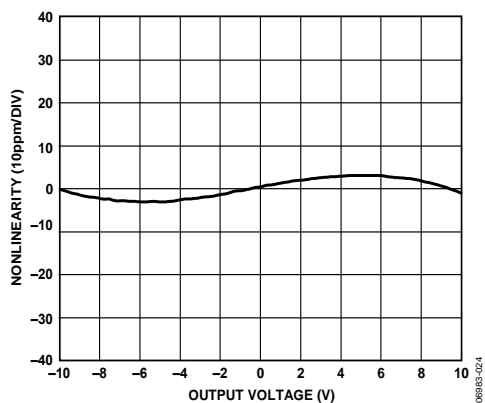


図 24. ゲイン非直線性、G = 1、 $R_L = 10\text{ k}\Omega$ 、 $2\text{ k}\Omega$ 、 $600\ \Omega$

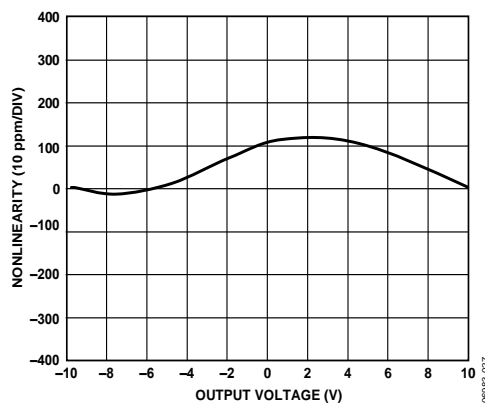


図 27. ゲイン非直線性、G = 1000、 $R_L = 10\text{ k}\Omega$ 、 $2\text{ k}\Omega$ 、 $600\ \Omega$

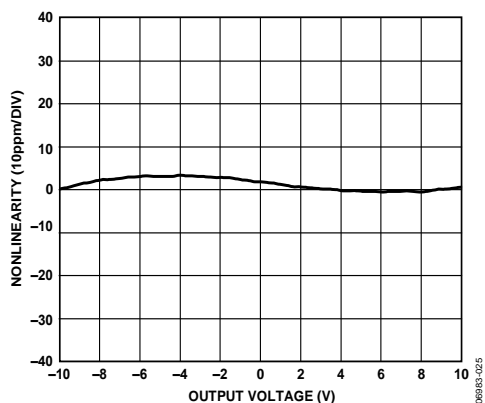


図 25. ゲイン非直線性、G = 10、 $R_L = 10\text{ k}\Omega$ 、 $2\text{ k}\Omega$ 、 $600\ \Omega$

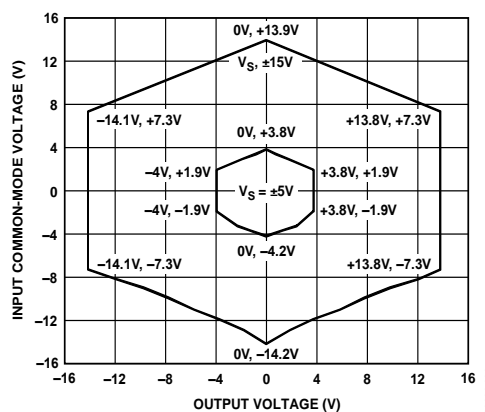


図 28. 入力同相モード電圧範囲対出力電圧、G = 1

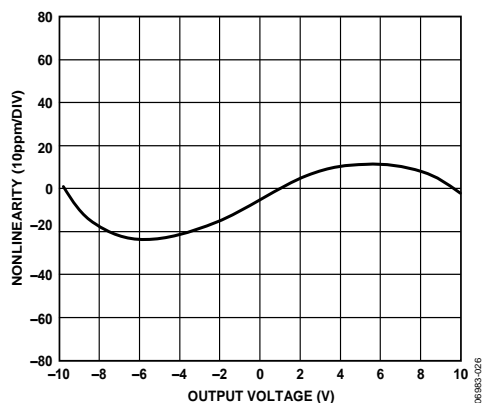


図 26. ゲイン非直線性、G = 100、 $R_L = 10\text{ k}\Omega$ 、 $2\text{ k}\Omega$ 、 $600\ \Omega$

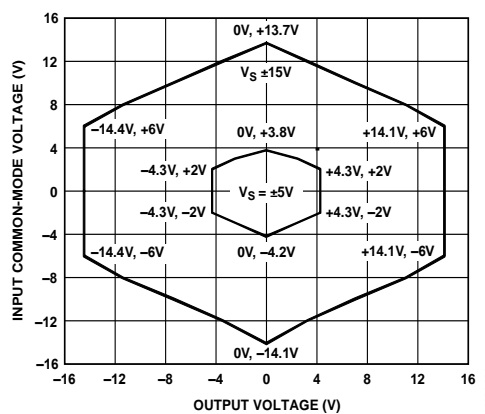


図 29. 入力同相モード電圧範囲対出力電圧、G = 1000

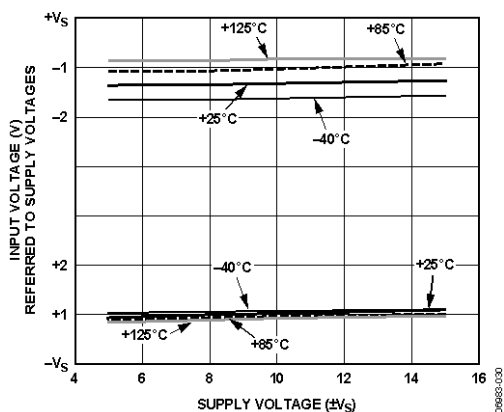


图 30. 入力電圧制限値对電源電圧、 $G = 1$ 、 $V_{REF} = 0\text{ V}$ 、 $R_L = 10\text{ k}\Omega$

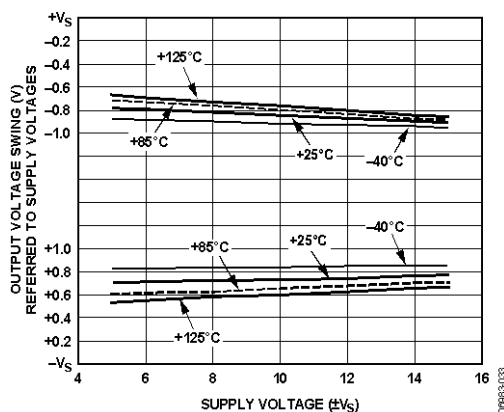


图 33. 出力電圧振幅对電源電圧、 $G = 1000$ 、 $R_L = 10\text{ k}\Omega$

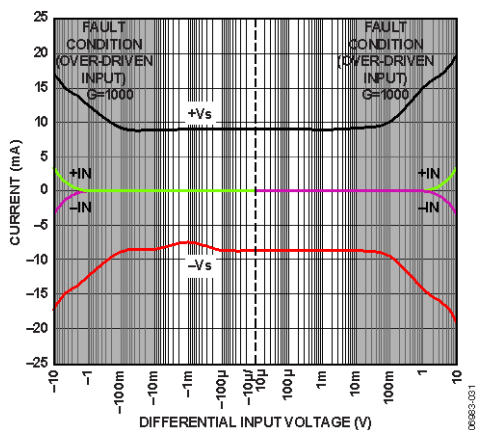


图 31. 故障電流对入力電圧、 $G = 1000$ 、 $R_L = 10\text{ k}\Omega$

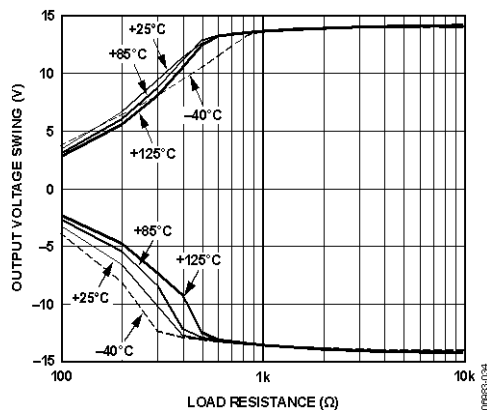


图 34. 出力電圧振幅对負荷抵抗

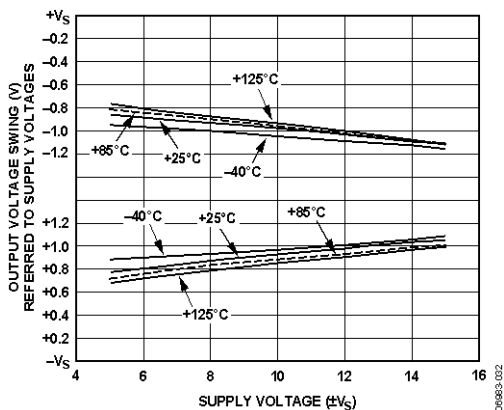


图 32. 出力電圧振幅对電源電圧、 $G = 1000$ 、 $R_L = 2\text{ k}\Omega$

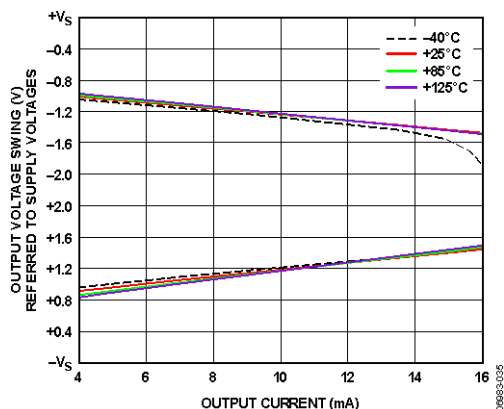


图 35. 出力電圧振幅对出力電流

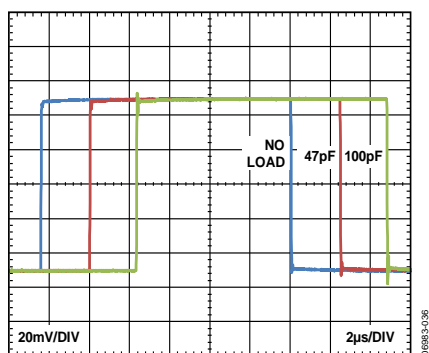


図 36.さまざまな容量負荷での小信号過渡応答、 $G = 1$

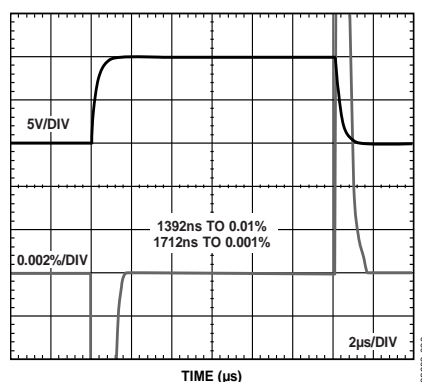


図 39.大信号パルス応答とセトリング・タイム、 $G = 100$ 、 $R_L = 10\text{ k}\Omega$

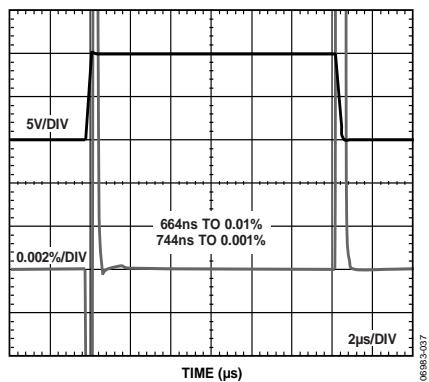


図 37.大信号パルス応答とセトリング・タイム、 $G = 1$ 、 $R_L = 10\text{ k}\Omega$

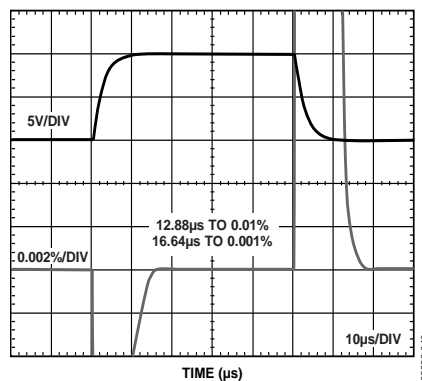


図 40.大信号パルス応答とセトリング・タイム、 $G = 1000$ 、 $R_L = 10\text{ k}\Omega$

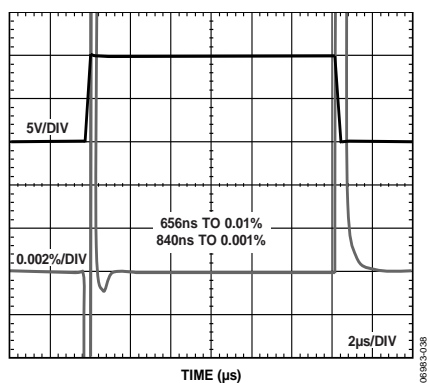


図 38.大信号パルス応答とセトリング・タイム、 $G = 10$ 、 $R_L = 10\text{ k}\Omega$

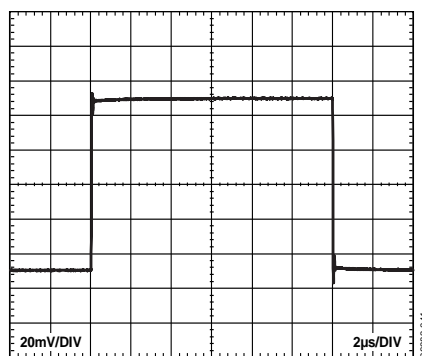


図 41.小信号応答、 $G = 1$ 、 $R_L = 2\text{ k}\Omega$ 、 $C_L = 100$

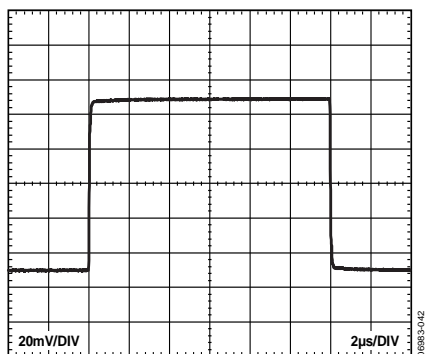


図 42.小信号応
 $G = 10$ 、 $R_L = 2\text{ k}\Omega$ 、 $C_L = 100\text{ pF}$

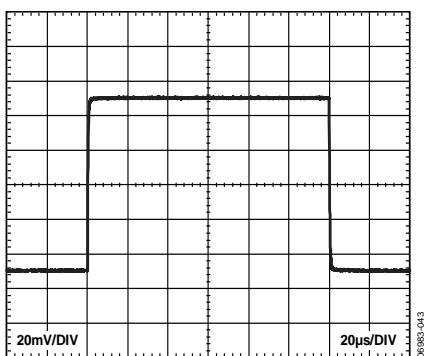


図 43.小信号応答
 $G = 100$ 、 $R_L = 2\text{ k}\Omega$ 、 $C_L = 100\text{ pF}$

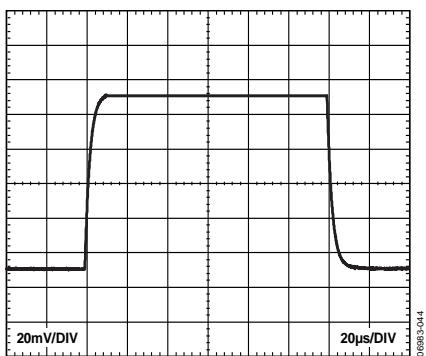


図 44.小信号応答
 $G = 1000$ 、 $R_L = 2\text{ k}\Omega$ 、 $C_L = 100\text{ pF}$

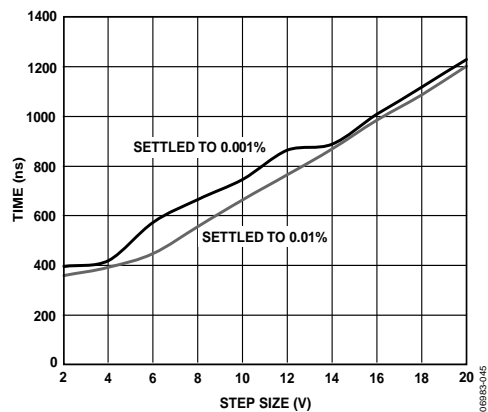


図 45.セトリング・タイム対ステップ・サイズ
 $G = 1$ 、 $R_L = 10\text{ k}\Omega$

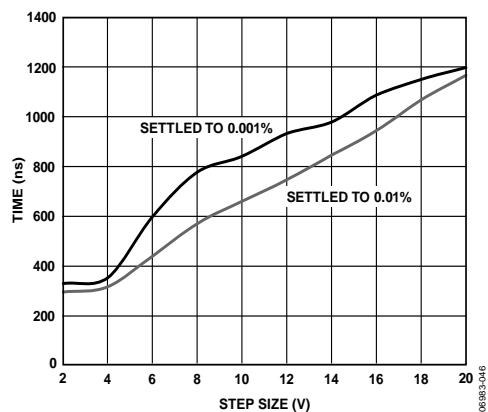


図 46.セトリング・タイム対ステップ・サイズ
 $G = 10$ 、 $R_L = 10\text{ k}\Omega$

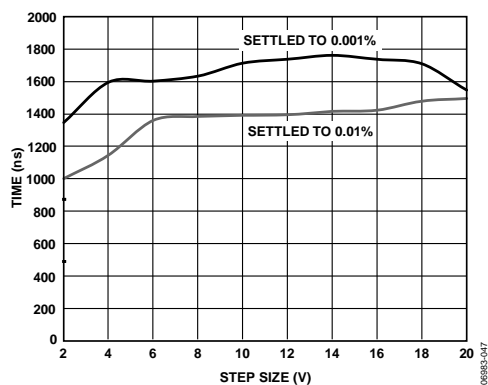


図 47.セトリング・タイム対ステップ・サイズ
 $G = 100$ 、 $R_L = 10\text{ k}\Omega$

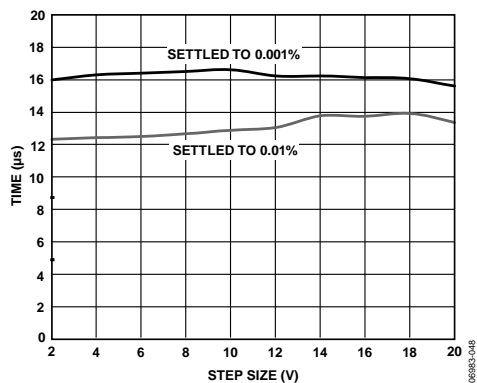


図 48. セトリング・タイム対ステップ・サイズ
 $G = 1000$ 、 $R_L = 10 \text{ k}\Omega$

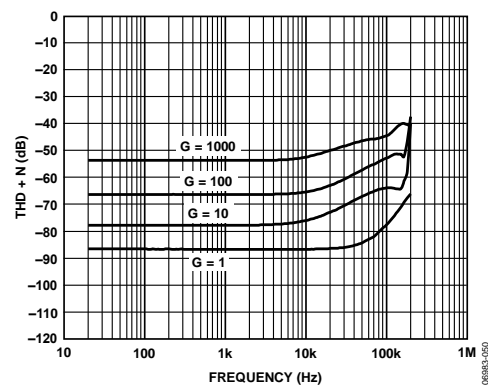


図 50. 総合高調波歪みの周波数特性
 $10 \text{ Hz} \sim 500 \text{ kHz}$ のバンドパス・フィルタ、 $2 \text{ k}\Omega$ 負荷

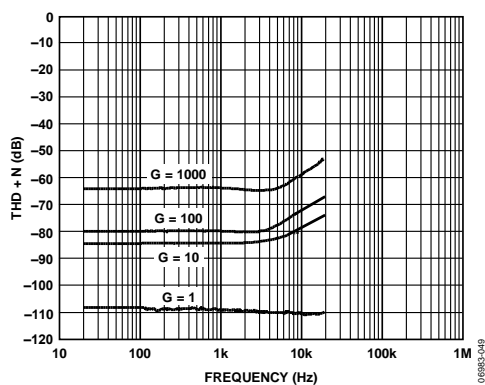


図 49. 総合高調波歪みの周波数特性、
 $10 \text{ Hz} \sim 22 \text{ kHz}$ のバンドパス・フィルタ、 $2 \text{ k}\Omega$ 負荷

動作原理

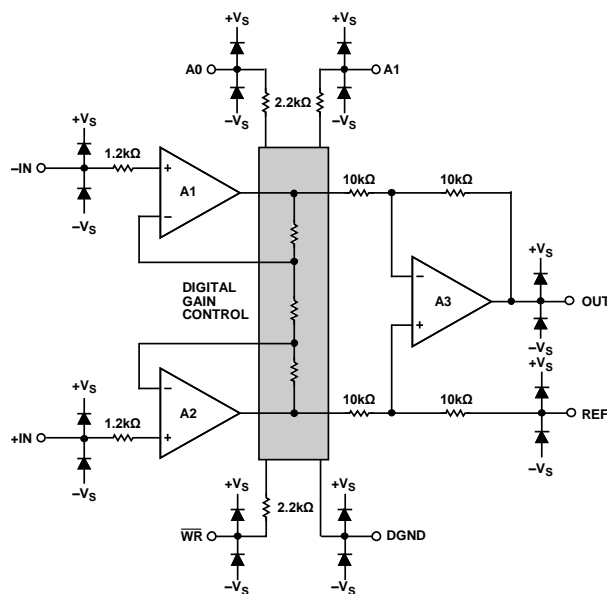


図 51.簡略化した回路図

AD8253は従来型の3オペアンプ構成をベースとするモノリシック計装アンプです(図 51 参照)。アナログ・デバイセズの独自のiCMOS®プロセスにより製造され、高精度の直線性と強固なデジタル・インターフェースを提供します。パラレル・インターフェースを使うと、デジタル的に1、10、100、1000のゲインを設定することができます。ゲイン制御は、内部の高精度抵抗アレイ内で抵抗を切り替えることにより行われます(図 51 参照)。

すべての内部アンプは歪み相殺回路を採用しているため、高い直線性と極めて低いTHDを実現しています。抵抗のレーザー・トリムにより、最大ゲイン誤差は $G = 1$ で 0.03%以下、最小CMRRは $G = 1000$ で 100 dBを実現しています。周波数に対して高いCMRRになるようにピン配置が最適化されているため、AD8253は周波数に対して 20 kHz ($G = 1$) で 80 dBの最小CMRRを保証します。バランスのとれた入力により、これまでCMRR性能に悪影響を与えていた寄生を減少させています。

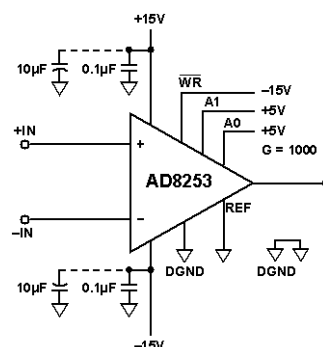
ゲインの選択

このセクションでは、AD8253の基本動作を設定する方法について説明します。ロジック・ロー・レベルとハイ・レベルの電圧規定値の一覧を仕様のセクションに記載します。一般に、ロジック・ロー・レベルは 0 Vで、ロジック・ハイ・レベルは 5 Vです。両電圧はDGNDを基準として測定されます。DGNDの許容電圧範囲については、仕様の表(表 2)を参照してください。AD8253のゲインは、トランスペアレント・ゲイン・モードとラッチ・ゲイン・モードの2つの方法で設定することができます。モードに無関係に、A0ピンとA1ピンの電圧を決めるためには、プルアップ抵抗またはプルダウン抵抗を使用する必要があります。

トランスペアレント・ゲイン・モード

ゲインを設定する最も容易な方法は、ロジック・ハイ・レベルまたはロジック・ロー・レベル電圧をA0とA1に直接設定することです。図 52に、このゲイン設定方法の例を示します。この方法をこのデータシートではトランスペアレント・ゲイン・モードと呼びます。WRを負電源に接続して、トランスペアレント・ゲイン・モードを維持します。このモードでは、A0とA1に加えられた電圧がロジック・ロー・レベルとロジック・ハ

イ・レベルの間で変化すると、直ちにゲインが変化します。表 5にトランスペアレント・ゲイン・モードの真値値を、図 52にトランスペアレント・ゲイン・モードで設定されたAD8253を、それぞれ示します。



NOTE:
1. IN TRANSPARENT GAIN MODE, WR IS TIED TO $-V_S$. THE VOLTAGE LEVELS ON A0 AND A1 DETERMINE THE GAIN. IN THIS EXAMPLE, BOTH A0 AND A1 ARE SET TO LOGIC HIGH, RESULTING IN A GAIN OF 1000.

図 52.トランスペアレント・ゲイン・モード、A0 および A1 = High、 $G = 1000$

表 5.トランスペアレント・ゲイン・モードのロジック・レベル真値値表

WR	A1	A0	Gain
$-V_S$	Low	Low	1
$-V_S$	Low	High	10
$-V_S$	High	Low	100
$-V_S$	High	High	1000

ラッチ・ゲイン・モード

アプリケーションによっては、マルチプレクサやその他のプログラマブルなゲインを持つ計装アンプなどのプログラマブルなデバイスを同じPCB上に複数持つ場合があります。このような

場合、デバイスはデータ・バスを共用することができます。AD8253 のゲインは、 \overline{WR} をラッチとして使って設定することができますので、他のデバイスと A0 および A1 を共用することができます。図 53 に、この方法を使った回路図を示します。この方法をラッチ・ゲイン・モードと呼びます。 \overline{WR} がロジック・ハイ・レベルまたはロジック・ロー・レベル(それぞれ 5 V と 0 V) のとき、AD8253 はこのモードになります。 \overline{WR} 信号がロジック・ハイ・レベルからロジック・ロー・レベルへ変化するときの立ち下がりがエッジで、A0 と A1 の電圧が読み出されます。これにより、A0 と A1 のロジック・レベルをラッチして、ゲインが変化します。これらのゲイン変化の詳細については、表 6 の真理値表を参照してください。

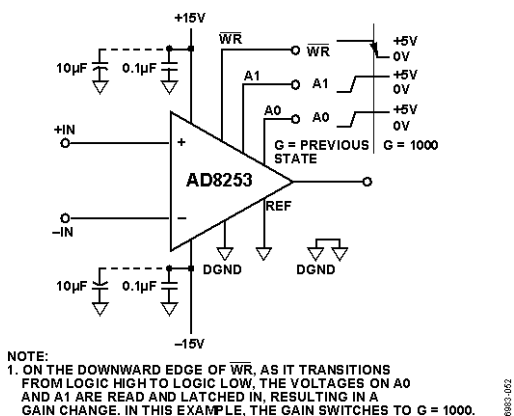


図 53. ラッチ・ゲイン・モード、G = 1000

表 6. ラッチ・ゲイン・モードのロジック・レベル真理値表

\overline{WR}	A1	A0	Gain
High to Low	Low	Low	Change to 1
High to Low	Low	High	Change to 10
High to Low	High	Low	Change to 100
High to Low	High	High	Change to 1000
Low to Low	X ¹	X ¹	No change
Low to High	X ¹	X ¹	No change
High to High	X ¹	X ¹	No change

¹ X = don't care.

パワーアップ時、ラッチ・ゲイン・モードで AD8253 はデフォルトでゲイン = 1 に設定されます。これに対して、トランスペアレント・ゲイン・モードで AD8253 を設定する場合は、パワーアップ時に A0 と A1 の電圧レベルで指定されたゲインで動作を開始します。

ラッチ・ゲイン・モードのタイミング

ラッチ・ゲイン・モードでは、A0 と A1 のロジック・レベルを最小セットアップ・タイム t_{SU} 間維持した後、 \overline{WR} 立ち下がりがエッジでゲインをラッチします。同様に、 \overline{WR} の立ち下がりがエッジの後、両信号を最小ホールド・タイム t_{HD} 間維持して、ゲインが正しくラッチされるようにする必要があります。 t_{HD} 後、A0 と A1 はロジック・レベルを変化させることができますが、ゲインは \overline{WR} の次の立ち下がりがエッジまで変化させることはできません。 \overline{WR} をハイ・レベルに維持できる最小継続時間は $t_{WR-HIGH}$ で、 t_{WR-LOW} は \overline{WR} をロー・レベルに維持できる最小継続時間です。デジタル・タイミング仕様を表 2 に示します。ゲイン変化に必要な時間は、アンプのセトリング・タイムにより支配されます。タイミング図を図 54 に示します。

データ・バスを他のデバイスと共用する場合、これらのデバイスに加えられるロジック・レベルが AD8253 の出力に混入する可能性があります。ロジック信号のエッジ・レート小さくすることにより、この混入を減少させることができます。さらに、PCB を注意深くレイアウトすると、ボードのデジタル部分とアナログ部分の間の結合も小さくすることができます。

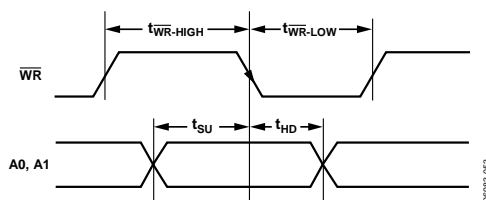


図 54. ラッチ・ゲイン・モードのタイミング図

電源のレギュレーションとバイパス

AD8253 は高い PSRR を持っていますが、最適性能を得るためには、安定な DC 電圧を使って、計装アンプに電源を供給する必要があります。電源ピンのノイズは性能に悪影響を与えることがあります。すべてのリニア回路の場合と同様に、バイパス・コンデンサを使ってアンプをデカップリングする必要があります。

0.1 μF のコンデンサを、各電源ピンのできるだけ近くに配置する必要があります。10 μF のタンタル・コンデンサはデバイスから離れて配置することができます (図 55 参照)、多くの場合、他の高精度 IC と共用することができます。

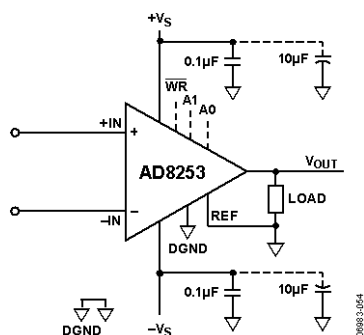


図 55. グラウンドを基準とする電源デカップリング、REF、出力

入力バイアス電流のリターン・パス

AD8253 の入力バイアス電流には、ローカル・アナログ・グラウンドへのリターン・パスが必要です。熱電対のように信号源がリターン電流パスを持っていない場合には、図 56 に示すように設けてやる必要があります。

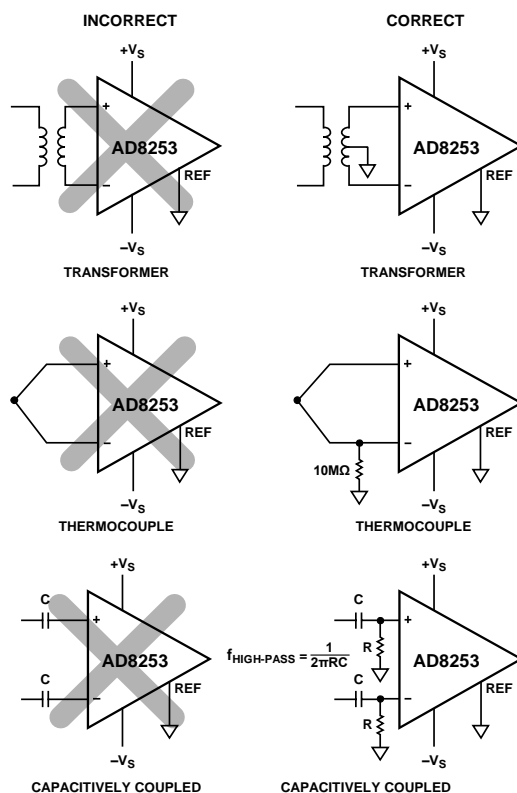


図 56. I_{BIAS} パスの用意

入力保護

AD8253 のすべてのピンは、ESD に対して保護されています。外付け抵抗を入力に直列に接続して、電源レールを 0.5 V 以上超える電圧に対する電流を制限する必要があります。このような場合、AD8253 は室温で連続 6 mA の電流を安全に処理することができます。AD8253 に非常に大きな過負荷電圧が入力されるアプリケーションの場合には、外付け直列抵抗と、BAV199L、FJH1100、または SP720 のような低リーク・ダイオード・クランプを使う必要があります。

リファレンス・ピン

リファレンス・ピン REF は、10 kΩ 抵抗の片端になっています (図 51 参照)。計装アンプの出力は、REF ピンの電圧を基準にしています。これは、出力信号をローカル・アナログ・グラウンド以外の電圧にオフセットさせる際に便利です。例えば、電圧源を REF ピンに接続して、AD8253 が単電源の ADC とインターフェースできるように、出力をレベル・シフトさせることができます。許容リファレンス電圧範囲は、ゲイン、同相モード入力、電源電圧の関数になります。REF ピンは、+V_S または -V_S を 0.5 V 以上超えることはできません。

最適性能を得るためには、特に出力が REF ピンを基準として測定されない場合は、REF ピンへ接続されるソース・インピーダンスを小さく維持して、寄生抵抗が CMRR とゲイン精度に悪影響を与えないようにする必要があります。

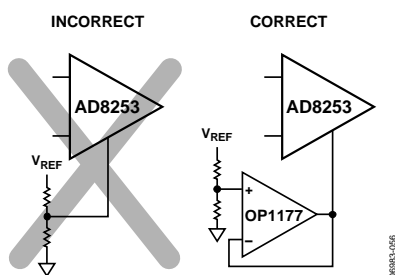


図 57. リファレンス電圧ピンの駆動

同相モード入力電圧範囲

AD82538 の 3 オペアンプ・アーキテクチャをゲインに使用して、同相モード電圧を除去しています。このため、AD8253 の内部ノードを増幅された信号と同相モード信号の組み合わせが通過します。この組み合わせ信号は、各々の入力信号と出力信号が存在しない場合でも、電圧電源により制限することができます。図 28 と 図 29 に、種々の出力電圧と電源電圧に対する許容同相モード入力電圧範囲を示します。

レイアウト

グラウンド接続

ミックスド・シグナル回路では、低レベル・アナログ信号をノイズの多いデジタル環境からアイソレーションする必要があります。これは AD8253 でも同様です。電源電圧はアナログ・グラウンドを基準とします。デジタル回路はデジタル・グラウンドを基準とします。両グラウンドを 1 つのグラウンド・プレーンに接続することは便利ですが、グラウンド配線と PC ボードを通過する電流が数百ミリボルトの誤差を発生させることがあります。したがって、アナログ・グラウンド・プレーンとデジタル・グラウンド・プレーンを分離する必要があります。1 点のスター・グラウンドでのみ、アナログ・グラウンドとデジタル・グラウンドが接続される必要があります。

AD8253 の出力電圧は、リファレンス・ピンの電位を基準にして発生されます。REF を該当するローカル・アナログ・グラウンドに接続するか、またはローカル・アナログ・グラウンドを基準とする電圧に接続するように注意する必要があります。

ノイズの混入

AD8253 へのノイズ混入を防止するため、次のガイドラインに従ってください。

- デバイスの下をデジタル・ラインが通過しないようにします。

- AD8253 の下にアナログ・グラウンド・プレーンを配置します。
- 高速なスイッチング信号は、デジタル・グラウンドでシールドしてボードの他の部分に対するノイズの放射を防止します。また、これらの信号はアナログ信号バスの近くを通過しないようにします。
- デジタル信号とアナログ信号の交差は回避する必要があります。
- デジタル・グラウンドとアナログ・グラウンドを 1 点 (一般に ADC の下) でのみ接続します。
- 電源ラインに太いパターンを使って、低インピーダンス・バスにします。デカップリングが必要です。電源のレギュレーションとバイパスのセクションに記載するガイドラインに従います。

同相モード除去比

AD8253 は広い範囲の周波数に対して高い CMRR を持っているため、ライン・ノイズとその高調波のような外乱に対する耐性が、約 200 Hz で CMRR が低下する一般的な計装アンプより優れています。これらのアンプにはこの欠点を補償するため入力に同相モード・フィルタが必要となることがあります。AD8253 は広い周波数範囲で CMRR を阻止できるため、フィルタの必要性は少なくなっています。

最大のシステム性能を得るためにはボード・レイアウトを注意深く行う必要があります。周波数に高い CMRR を対して維持するためには、入力パターンを対称にレイアウトする必要があります。パターンの抵抗と容量のバランスを維持します。入力ピンとパターンの下に PCB メタル層を追加するとこれに役立ちます。ソース抵抗と容量はできるだけ入力の近くに配置する必要があります。パターンが別の層からの入力と交差する場合には、入力パターンと直交するように配置します。

RF 干渉

アンプが強い RF 信号が存在するアプリケーションで使われる場合には、RF の整流がしばしば問題になります。外乱が小さい DC オフセット電圧として現れることがあります。高周波信号は、計装アンプの入力にローパス RC 回路を接続して除去することができます (図 58 参照)。このフィルタは、次式の関係を使って入力信号の帯域幅を制限します。

$$FilterFreq_{IFF} = \frac{1}{2\pi R(2C_D + C_C)}$$

$$FilterFreq_{CM} = \frac{1}{2\pi RC_C}$$

ここで、 $C_D \geq 10 C_C$ 。

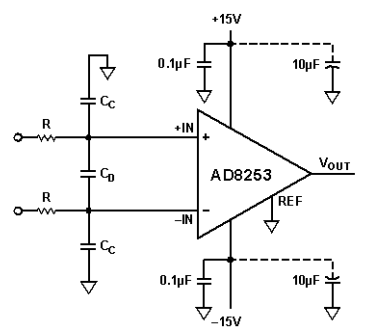


図 58. RFI の除去

R と C_c の値は、RFI を小さくするように選択する必要があります。正側入力の $R \times CC$ と負側入力の $R \times CC$ との不一致は、AD8253 の CMRR の性能を低下させます。 C_c の値の 10 倍の C_D 値を使うと、不一致の影響は小さくなるので、性能が改善されます。

A/D コンバータの駆動

CMRR を確保するために A/D コンバータの前に計装アンプがしばしば使われます。一般に、計装アンプには ADC を駆動するバッファが必要ですが、AD8253 は、低出力ノイズ、低歪み、小さいセトリング・タイムを持つため、優れた ADC ドライバになっています。

この例では、1 nF のコンデンサと 49.9 Ω の抵抗により AD7612 に対する折り返し防止フィルタを構成しています。この 1 nF のコンデンサは、ADC のスイッチド・キャパシタ入力に対して必要な電荷の保持と供給も行っています。49.9 Ω の直列抵抗はアンプから 1 nF 負荷を削減し、AD7612 のスイッチ・キャパシタ入力から流出するキックバック電流からアイソレーションします。

小さすぎる抵抗を選択すると、AD8253 出力の電圧と AD7612 入力の電圧との間の相関を良くしますが、AD8253 は不安定になってしまいます。精度を維持する小さい抵抗の選択と安定性を維持する大きい抵抗の選択との間のトレードオフを行う必要があります。

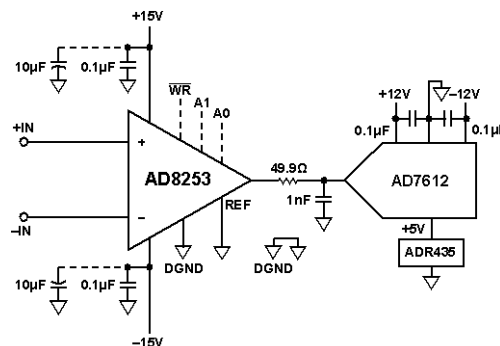


図 59. ADC の駆動

00003-026

アプリケーション情報

差動出力

アプリケーションによっては、差動信号の発生が必要なことがあります。多くの高分解能の A/D コンバータでは差動入力が必要です。あるいは、長距離伝送で干渉に対する耐性を向上させるために差動信号が必要とされます。

図 61 に、AD8253 で差動信号を出力させる方法を示します。オペアンプ AD8675 は、差動電圧を発生する反転回路で使っています。V_{REF} は、図に示す式に従って出力中心を設定します。オペアンプの誤差は両出力共通であるため、同相モードになります。同様に、不一致抵抗からの誤差により、同相モードに DC オフセット誤差が発生します。このような誤差は、差動入力 ADC や計装アンプによる差動信号処理により除去されます。

この回路を使って差動 ADC を駆動する場合、V_{REF} を ADC リファレンスからの抵抗分圧器を使って設定することにより、ADC での電源に比例する出力が可能になります。

マイクロコントローラによるゲイン設定

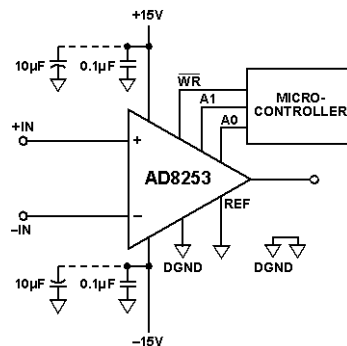


図 60. マイクロコントローラによるゲイン設定

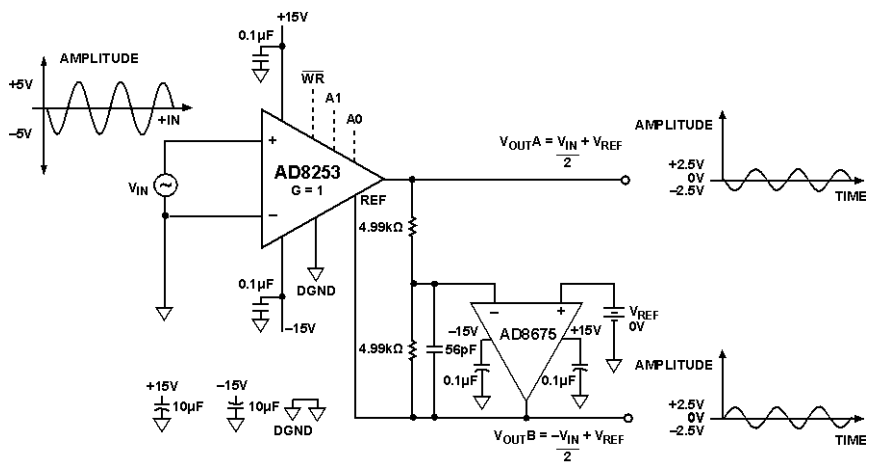


図 61. レベルシフト付きの差動出力

データ・アキュイジション

AD8253 は、データ・アキュイジション・システムでの使用に対して優れた計装アンプになっています。広い帯域幅、低歪み、低セットリング・タイム、低ノイズにより、さまざまな 6 ビット ADC の前で信号コンディショニングが可能です。

図 63 に、データ・アキュイジション・システムの一部としての AD8253 を示します。AD8253 の高速なスルー・レートを使うと、マルチプレクスされた入力からの高速信号のコンディショニングが可能です。FPGA から AD7612、AD8253、ADG1209 を制御しています。さらに、メカニカル・スイッチとジャンパを使うと、トランスペアレント・ゲイン・モードでゲインをピン設定することができます。

このシステムはテスト時に、1 kHz で -116 dB の THD と 91 dB の信号対ノイズ比を実現しています(図 62 参照)。

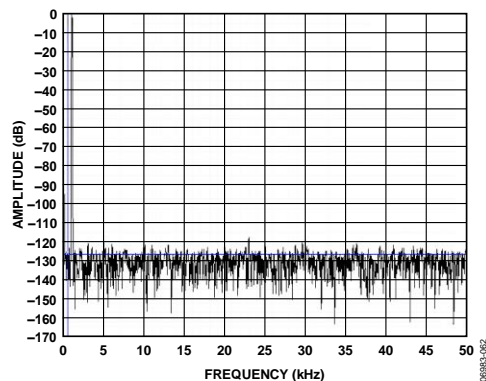


図 62. AD8253 の 1 kHz 信号を使った総合データ・アキュイジション・システムでの AD8253x の FFT

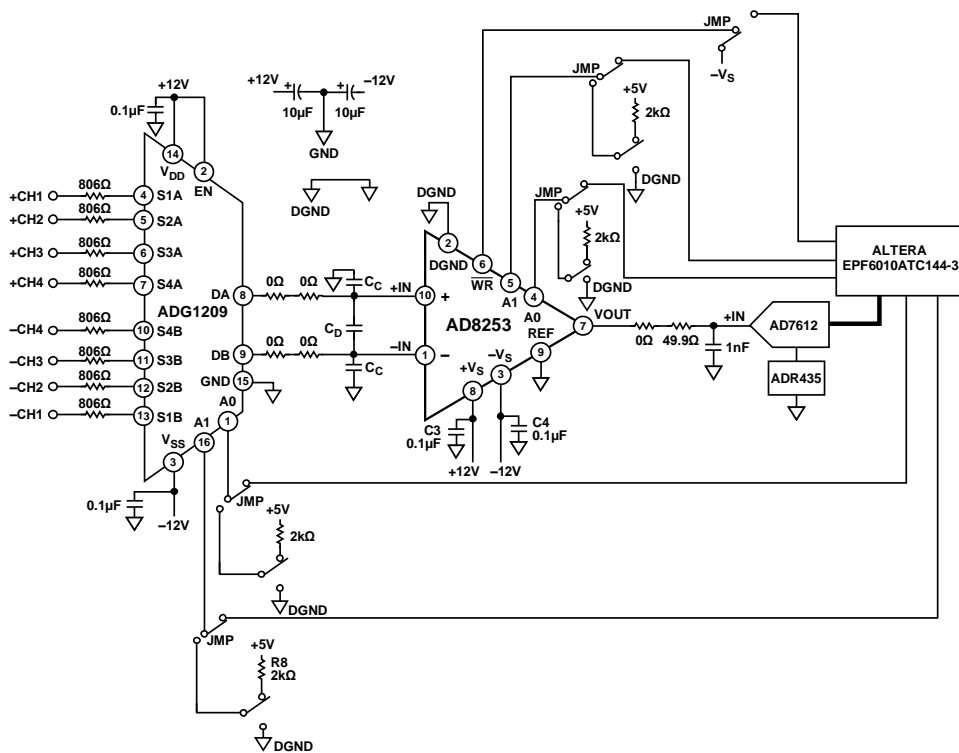


図 63. 総合データ・アキュイジション・システムで使用した ADG1209、AD8253、AD7612、AD825x の回路図

外形寸法

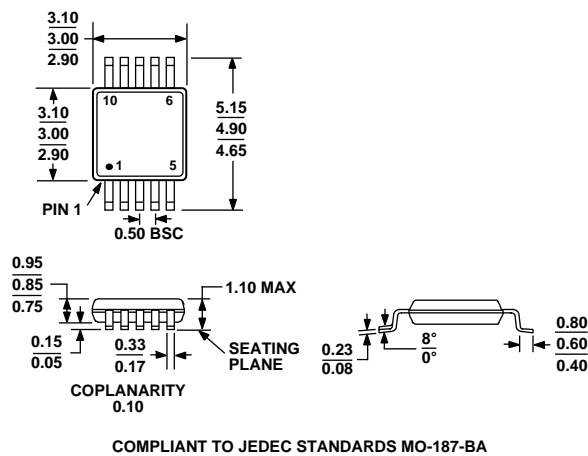


図 64.10 ピン・ミニ・スモール・アウトライン・パッケージ [MSOP]
(RM-10)
寸法: mm

オーダー・ガイド

Model	Temperature Range	Package Description	Package Option	Branding
AD8253ARMZ ¹	-40°C to +85°C	10-Lead MSOP	RM-10	Y0K
AD8253ARMZ-RL ¹	-40°C to +85°C	10-Lead MSOP	RM-10	Y0K
AD8253ARMZ-R7 ¹	-40°C to +85°C	10-Lead MSOP	RM-10	Y0K
AD8253-EVALZ ¹		Evaluation Board		

¹ Z = RoHS 準拠製品