



装着型製品向け 50 μ A 2 mm \times 1.7 mm WLCSP 低ノイズ、心拍モニタ

データシート

AD8233

特長

- シングル・リード心電計 (ECG) のフロント・エンドを内蔵
- 低静止電源電流: 50 μ A (typ)
- シャットダウン中のリードのオン/オフを検出 (<1 μ A)
- 同相ノイズ除去比: 80 dB (DC~60 Hz)
- 2 電極または 3 電極構成
- 高信号ゲイン (G = 100)、DC 阻止機能付き
- 調整可能な 2 極ハイパス・フィルタ
- ± 300 mV までのハーフ・セル電位を許容
- 高速回復機能によりフィルタ設定の向上
- 汎用オペアンプを内蔵
- 調整可能な 3 極ローパス・フィルタ、ゲイン調整可能
- シャットダウン付きライト・レグ駆動 (RLD) アンプを内蔵
- 単電源動作: 1.7 V~3.5 V
- 内蔵リファレンス・バッファにより仮想グラウンドを発生
- レール to レール出力
- RFI フィルタを内蔵
- ESD 定格: 人体モデル (HBM) 8 kV
- シャットダウン・ピンを装備
- 2 mm \times 1.7 mm WLCSP
- アプリケーション
- フィットネスおよび活動心拍モニタ
- 携帯型 ECG
- 装着可能なリモート健康モニタ
- ゲーム機器ペリフェラル
- EMG などの生体電位信号アキュイジション

概要

AD8233 は、ECG やその他の生体電位計測アプリケーション向けの統合シグナル・コンデショニング・ブロックです。このデバイスは、モーションまたはリモート電極配置などによるノイズの多い条件下で小さい生体電位信号の抽出、増幅、フィルタを行うようにデザインされています。このデザインにより、超低消費電力 A/D コンバータ (ADC) または組み込みマイクロコントローラが容易に出力信号を収集できるようになります。

AD8233 では、モーション・アーチファクトと電極ハーフ・セル電位を除去する 2 極ハイパス・フィルタを構成することができます。このフィルタとアンプの計装アーキテクチャを緊密に組み合わせて、シングル・ステージで大きなゲインとハイパス・フィルタ機能を実現し、省スペースと低価格を可能にしています。

汎用オペアンプを使用すると、AD8233 ではさらにノイズを除去する 3 極ローパス・フィルタを構成することができます。様々なタイプのアプリケーションに合わせてすべてのフィルタの周波数 カットオフを選択することができます。

システム内でライン周波数とその他の不要な干渉の同相モード除去比を向上させるため、AD8233 はリード駆動アプリケーション (RLD) 用のアンプを内蔵しています。

機能ブロック図

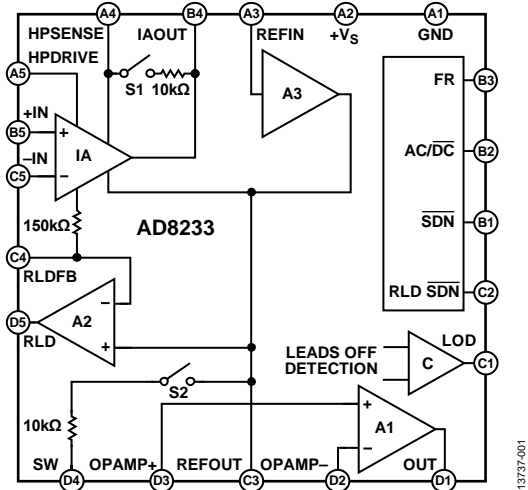


図 1.

AD8233 は、ハイパス・フィルタの長いセトリング・テールが続かないようにする高速回復機能を内蔵しています。急激な信号変化 (例えばリード・オフ状態) がアンプに加わった後、AD8233 は自動的にフィルタ・カットオフを上げるように調整します。この機能を使うと、AD8233 は迅速に回復できるため、電極を対象に接続すると直ちに有効な測定値を取得することができます。

AD8233 は、2 mm \times 1.7 mm の 20 ボール WLCSP パッケージを採用しています。性能は 0 $^{\circ}$ C~70 $^{\circ}$ C で規定され、-40 $^{\circ}$ C ~ +85 $^{\circ}$ C で動作可能です。

表 1. AD8232 と AD8233 の比較

Parameter	AD8232	AD8233
Supply Current	170 μ A	50 μ A
Peak-to-Peak Voltage Noise (f = 0.5 Hz to 40 Hz)	14 μ V p-p	8.5 μ V
Leads On/Off Detection in Shutdown	Not included	Included
Right Leg Drive Shutdown	Not included	Included
Package Size	4 mm \times 4 mm \times 0.75 mm	2 mm \times 1.7 mm \times 0.5 mm

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

目次

特長.....	1	高速回復回路.....	18
アプリケーション.....	1	リード・オン／オフ検出機能.....	19
機能ブロック図.....	1	スタンバイ動作.....	20
概要.....	1	入力保護.....	21
改訂履歴.....	2	無線周波数干渉 (RFI)	21
仕様.....	3	電源のレギュレーションとバイパス	21
絶対最大定格.....	6	入力換算オフセット.....	21
熱抵抗.....	6	レイアウトに関する推奨事項.....	21
ESD に関する注意.....	6	アプリケーション情報.....	22
ピン配置およびピン機能説明.....	7	電極オフセットの除去.....	22
代表的な性能特性.....	8	ハイパス・フィルタ.....	22
計装アンプの性能特性.....	8	ローパス・フィルタとゲイン.....	24
オペアンプの性能特性.....	11	駆動電極.....	25
ライト・レッグ駆動 (RLD) アンプの性能特性.....	14	アプリケーション回路.....	26
リファレンス・バッファの性能特性.....	15	心臓近くでの心拍測定 (HRM)	26
システム性能特性.....	16	運動機器アプリケーション: 手での心拍測定.....	26
動作原理.....	17	Holter モニタの構成.....	27
アーキテクチャの概要.....	17	ECG と PPG の同期測定.....	28
計装アンプ.....	17	パッケージとオーダー情報.....	29
オペアンプ.....	17	外形寸法.....	29
ライト・レッグ駆動アンプ.....	18	オーダー・ガイド.....	29
リファレンス・バッファ.....	18		

改訂履歴

8/2016—Revision 0: Initial Version

仕様

特に指定がない限り、 $+V_S = 1.8\text{ V} \sim 3\text{ V} \pm 5.5\%$ 、 $V_{REF} = +V_S/2$ 、 $V_{CM} = +V_S/2$ 、 $T_A = 25\text{ }^\circ\text{C}$ 、FR = ロー・レベル、 \overline{SDN} = ハイ・レベル、 $\overline{AC/DC}$ = ロー・レベル、RLD \overline{SDN} = ロー・レベル。

表 2.

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
INSTRUMENTATION AMPLIFIER						
Common-Mode Rejection Ratio, DC to 60 Hz	CMRR	$V_{CM} = 0.35\text{ V to }+V_S - 150\text{ mV}$, $V_{DIFF} = 0\text{ V}$	80	86		dB
Power Supply Rejection Ratio	PSRR	$V_{CM} = 0.35\text{ V to }+V_S - 150\text{ mV}$, $V_{DIFF} = \pm 0.3\text{ V}$ $+V_S = 1.8\text{ V to }3.5\text{ V}$	76	80		dB
Offset Voltage (RTI)	V_{OS}			1	6	mV
Instrumentation Amplifier Inputs				25		μV
DC Blocking Input ¹						μV
Average Offset Drift				2		$\mu\text{V}/^\circ\text{C}$
Instrumentation Amplifier Inputs				0.05		$\mu\text{V}/^\circ\text{C}$
DC Blocking Input エラー! ブックマークが定義されていません。						$\mu\text{V}/^\circ\text{C}$
Input Bias Current	I_B	$T_A = 0^\circ\text{C to }70^\circ\text{C}$		50	200	pA
Input Offset Current	I_{OS}	$T_A = 0^\circ\text{C to }70^\circ\text{C}$		1	100	nA
Input Impedance				25		pA
Differential				1		nA
Common Mode				25		pA
Input Voltage Noise (RTI)				1		nA
Spectral Noise Density		$f = 1\text{ kHz}$		10 7.5		$\text{G}\Omega \text{pF}$
Peak-to-Peak Voltage Noise		$f = 0.1\text{ Hz to }10\text{ Hz}$ $f = 0.5\text{ Hz to }40\text{ Hz}$		5 15		$\text{G}\Omega \text{pF}$
Input Voltage Range		$T_A = 0^\circ\text{C to }70^\circ\text{C}$	0.2		$+V_S$	V
DC Differential Input Range	V_{DIFF}		-300		+300	mV
Output						
Output Swing		$R_L = 50\text{ k}\Omega$	0.1		$+V_S - 0.1$	V
Short-Circuit Current	I_{OUT}			6.3		mA
Gain	A_V			100		V/V
Gain Error		$V_{DIFF} = 0\text{ V}$ $V_{DIFF} = -300\text{ mV to }+300\text{ mV}$ $T_A = 0^\circ\text{C to }70^\circ\text{C}$		0.4		%
Average Gain Drift				1	4	%
Bandwidth	BW			12		ppm/ $^\circ\text{C}$
RFI Filter Cutoff (Each Input)				1		kHz
				1		MHz
OPERATIONAL AMPLIFIER (A1)						
Offset Voltage	V_{OS}			1	5	mV
Average Temperature Coefficient	TC	$T_A = 0^\circ\text{C to }70^\circ\text{C}$		1		$\mu\text{V}/^\circ\text{C}$
Input Bias Current	I_B	$T_A = 0^\circ\text{C to }70^\circ\text{C}$		100		pA
Input Offset Current	I_{OS}	$T_A = 0^\circ\text{C to }70^\circ\text{C}$		1		nA
Input Voltage Range			0.1		$+V_S - 0.1$	V
Common-Mode Rejection Ratio	CMRR	$V_{CM} = 0.5\text{ V to }+V_S - 0.5\text{ V}$		100		dB
Power Supply Rejection Ratio	PSRR			100		dB
Large Signal Voltage Gain	A_{VO}			110		dB
Output Voltage Range		$R_L = 50\text{ k}\Omega$	0.1		$+V_S - 0.1$	V
Short-Circuit Current Limit	I_{OUT}			12		mA
Gain Bandwidth Product	GBP			15		kHz

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
Slew Rate	SR			0.01		V/ μ s
Voltage Noise Density (RTI)	e_n	$f = 1$ kHz		120		nV/ $\sqrt{\text{Hz}}$
Peak-to-Peak Voltage Noise (RTI)	$e_{n\text{ p-p}}$	$f = 0.1$ Hz to 10 Hz		7		μ V p-p
		$f = 0.5$ Hz to 40 Hz		9		μ V p-p
RIGHT LEG DRIVE AMPLIFIER (A2)						
Quiescent Supply Current				7.5	10	μ A
Output Swing		$R_L = 50$ k Ω	0.1		$+V_S - 0.1$	V
Short-Circuit Current	I_{OUT}			11		mA
Integrator Input Resistor			120	150	180	k Ω
Gain Bandwidth Product	GDP			20		kHz
REFERENCE BUFFER (A3)						
Offset Error	V_{OS}	$R_L > 50$ k Ω		1		mV
Input Bias Current	I_B			100		pA
Short-Circuit Current Limit	I_{OUT}			12		mA
Voltage Range		$R_L = 50$ k Ω	0.1		$+V_S - 0.7$	V
DC LEADS OFF COMPARATORS						
Threshold Voltage				$+V_S - 0.27$		V
Hysteresis				125		mV
Propagation Delay				1.5		μ s
AC LEADS OFF DETECTOR						
Square Wave Frequency	f_{AC}		50	100	175	kHz
Square Wave Amplitude	I_{AC}			200		nA p-p
Input Currents in Shutdown Mode ²	I_{DC}	$+\text{IN}, \overline{\text{SDN}} = \text{low}$		250		nA
		$-\text{IN}, \overline{\text{SDN}} = \text{low}$		-300		nA
Impedance Threshold		Between $+\text{IN}$ and $-\text{IN}$, $\overline{\text{SDN}} = \text{high}$	10	20		M Ω
Detection Delay				100		μ s
FAST RESTORE CIRCUIT						
Switches		S1 and S2				
On Resistance	R_{ON}		8	10	12	k Ω
Off Leakage				100		pA
Window Comparator						
Threshold Voltage		From either rail		100		mV
Propagation Delay				2		μ s
Switch Timing Characteristics						
Feedback Recovery Switch On Time	t_{S1}	$+V_S = 3$ V		160		ms
		$+V_S = 1.8$ V		80		
Filter Recovery Switch On Time	t_{S2}	$+V_S = 3$ V		80		ms
		$+V_S = 1.8$ V		40		
Fast Restore Reset	t_{RST}	$+V_S = 3$ V		3		μ s
		$+V_S = 1.8$ V		1.5		
LOGIC INTERFACE						
Input Characteristics						
Input Voltage (AC/DC, FR, and RLD $\overline{\text{SDN}}$)						
Low	V_{IL}			$0.41 \times +V_S$		V
High	V_{IH}			$0.45 \times +V_S$		V
Input Voltage ($\overline{\text{SDN}}$)						
Low	V_{IL}			$0.6 \times +V_S$		V
High	V_{IH}			$0.3 \times +V_S$		V
Output Characteristics						
Output Voltage		LOD terminal				
Low	V_{OL}	$R_L = 100$ k Ω		0.05		V
High	V_{OH}			$+V_S - 0.05$		V

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
SYSTEM SPECIFICATIONS						
Quiescent Supply Current		$T_A = 0^\circ\text{C to } 70^\circ\text{C}$		50	70	μA
Wakeup Current		$\overline{\text{SDN}} = \text{low, LOD} = \text{low}$		60		μA
		$T_A = 0^\circ\text{C to } 70^\circ\text{C}$		0.65	1.5	μA
Shutdown Current		$\overline{\text{SDN}} = \text{low, LOD} = \text{high}$		0.75		μA
		$T_A = 0^\circ\text{C to } 70^\circ\text{C}$		0.5	1	μA
Peak-to-Peak Voltage Noise (RTI)		$T_A = 0^\circ\text{C to } 70^\circ\text{C}$		0.6		μA
		$V_{\text{DIFF}} = 0 \text{ V}$				
		$f = 0.5 \text{ Hz to } 40 \text{ Hz}$		9		$\mu\text{V p-p}$
		$f = 0.05 \text{ Hz to } 150 \text{ Hz}$		15		$\mu\text{V p-p}$
		$V_{\text{DIFF}} = \pm 0.3 \text{ V}$				
		$f = 0.5 \text{ Hz to } 40 \text{ Hz}$		11		$\mu\text{V p-p}$
		$f = 0.05 \text{ Hz to } 150 \text{ Hz}$		21		$\mu\text{V p-p}$
Supply Range			1.7		3.5	V
Specified Temperature Range			0		70	$^\circ\text{C}$
Operational Temperature Range			-40		+85	$^\circ\text{C}$

¹ オフセットは計装アンプ入力換算。

² AC リード・オフおよびシャットダウン・モードでは、+IN ピンに接続されている DC リード・オフ・コンパレータが LOD ピンをトリップします。

絶対最大定格

表 3.

Parameter	Rating
Supply Voltage	3.6 V
Output Short-Circuit Current Duration	Indefinite
Maximum Voltage, Any Terminal ¹	+V _S + 0.3 V
Minimum Voltage, Any Terminal ¹	-0.3 V
Storage Temperature Range	-65°C to +125°C
Operating Temperature Range	-40°C to +85°C
Maximum Junction Temperature	140°C
ESD Rating	
HBM	8 kV
Charged Device Model (FICDM)	1 kV

¹ このレベルまたは最大規定電源電圧のいずれか小さい方が、すべての端子に対する電圧上限値を表します。規定の最小または最大電圧を超える入力電圧が加わる場合には、入力に直列に抵抗を接続して電流を 5 mA 以下に制限してください。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を引き起こす場合があります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。製品を長時間にわたり絶対最大定格状態に置くと、製品の信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路ボード (PCB) の設計と動作環境に直接関係しています。PCB の熱設計には細心の注意が必要です。

表 4. 熱抵抗

Package Type	PCB	Power (W)	θ _{JA} (°C/W)			θ _{JC} (°C/W)
			0 ms	1 ms	2 ms	
CP-20-13	1S0P ¹	0.25	108.5	89.0	82.3	0.6
		1.25	101.1	87.3	87.3	0.6
	2S2P ²	0.25	47.9	43.4	42.1	0.7
		1.25	46.8	43.3	42.1	0.7

¹ JESD51-9 に基づくシミュレーションによる熱抵抗値: 1 層 PCB (1S0P)、低有効熱伝導率の試験ボード。

² 4 層 PCB (2S2P)、高有効熱伝導率の試験ボード。

ESD に関する注意

**ESD (静電放電) の影響を受けやすいデバイスです。**

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明

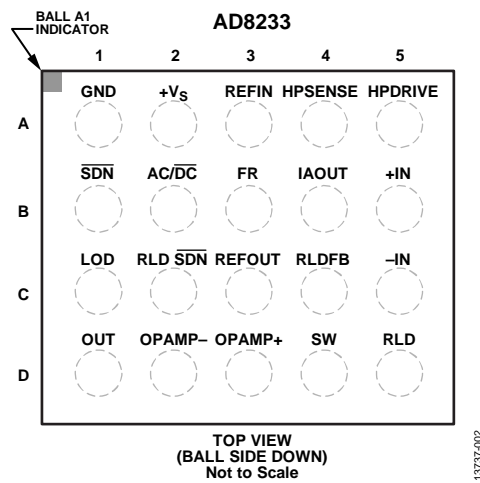


図 2. ピン配置

表 5. ピン機能の説明

Pin No.	Mnemonic	Description
A1	GND	電源グラウンド。
A2	+Vs	電源端子。
A3	REFIN	リファレンス・バッファ入力。高インピーダンス入力端子の REFIN を使って、リファレンス・バッファのレベルを設定します。
A4	HPSENSE	計装アンプのハイパス検出入力。HPSENSE は、DC 阻止回路のコーナー周波数を設定する、R と C の接続点へ接続します。
A5	HPDRIVE	ハイパス・ドライバ出力。HPDRIVE を初段ハイパス・フィルタのコンデンサに接続します。AD8233 はこのピンを駆動して、HPSENSE をリファレンス電圧と同じレベルに維持します。
B1	SDN	シャットダウン制御入力。低消費電力のシャットダウン・モードにするときは、SDN をロー・レベルへ駆動します。
B2	AC/DC	リード・オフ・モード制御入力。DC リード・オフ・モードにするときは、AC/DC ピンをロー・レベルへ駆動します。AC リード・オフ・モードにするときは、AC/DC ピンをハイ・レベルへ駆動します。
B3	FR	高速回復制御入力。高速回復モードをイネーブルするときは FR をハイ・レベルへ駆動します。その他の場合はロー・レベルへ駆動します。
B4	IAOUT	計装アンプ出力端子。
B5	+IN	計装アンプの正入力。+IN は一般にレフト・アーム (LA) 電極に接続されます。
C1	LOD	リード・オフ検出 (LOD) コンパレータ出力。
C2	RLD SDN	ライト・レッグ・シャットダウン制御入力。RLD アンプをパワーダウンするには RLD SDN をロー・レベルに駆動します。
C3	REFOUT	リファレンス・バッファ出力。計装アンプ出力はこの電位を基準とします。REFOUT は、信号基準を必要とする回路内のすべてのポイントの仮想グラウンドとして使用します。
C4	RLDFB	ライト・レッグ駆動帰還入力。RLDFB はライト・レッグ駆動回路の帰還端子です。
C5	-IN	計装アンプの負入力。-IN は一般にライト・アーム (RA) 電極に接続されます。
D1	OUT	オペアンプ出力。コンデショニング済の心拍信号がこの出力に現れます。OUT は ADC 入力に接続することができます。
D2	OPAMP-	オペアンプ反転入力。
D3	OPAMP+	オペアンプ非反転入力。
D4	SW	高速回復スイッチ端子。この端子は 2 段目ハイパス・フィルタ出力へ接続します。HPDRIVE を初段ハイパス・フィルタのコンデンサに接続します。
D5	RLD	ライト・レッグ駆動出力。駆動電極 (一般にライト・レッグ) を RLD ピンに接続します。

代表的な性能特性

特に指定がない限り、 $+V_S = 3\text{ V}$ 、 $V_{REF} = 1.5\text{ V}$ 、 $V_{CM} = 1.5\text{ V}$ 、 $T_A = 25\text{ }^\circ\text{C}$ 。

計装アンプの性能特性

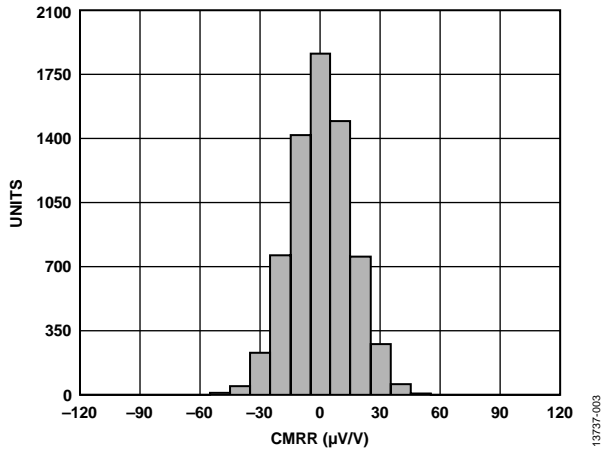


図 3. CMRR の分布

13737-003

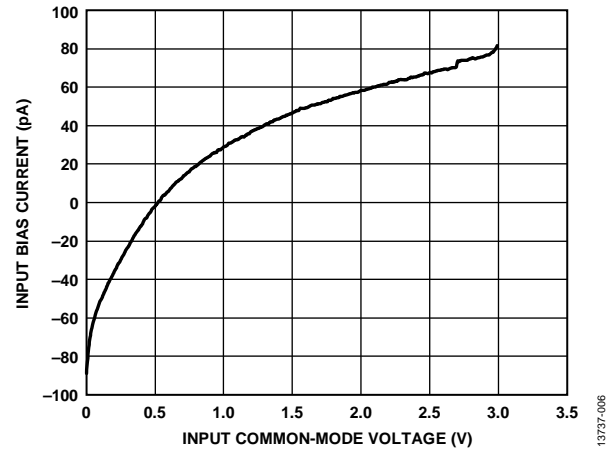


図 6. 入力バイアス電流対入力同相モード電圧

13737-006

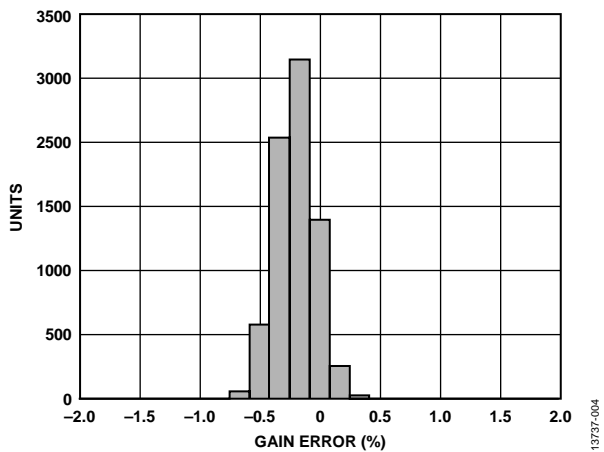


図 4. ゲイン誤差分布

13737-004

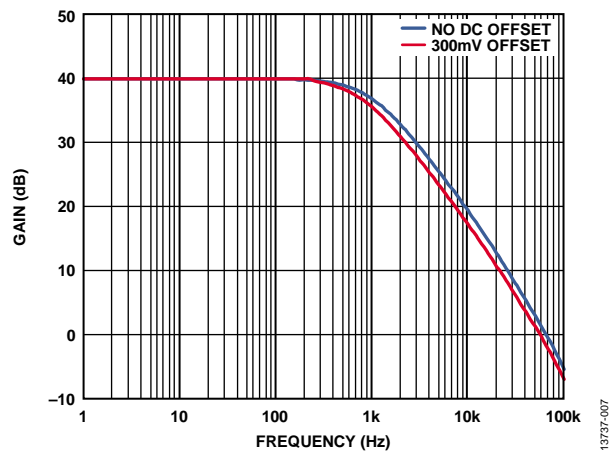


図 7. ゲインの周波数特性

13737-007

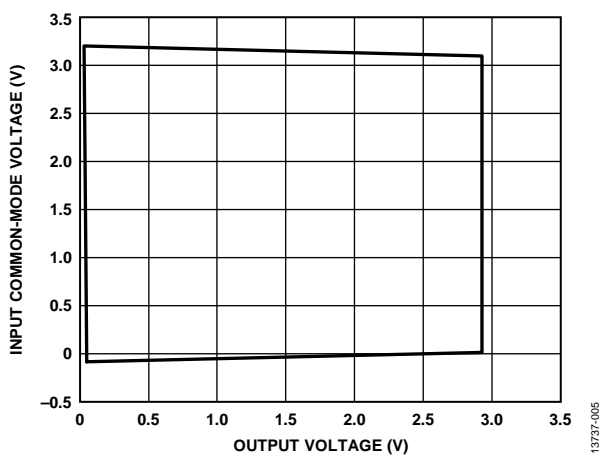


図 5. 入力同相モード電圧対出力電圧

13737-005

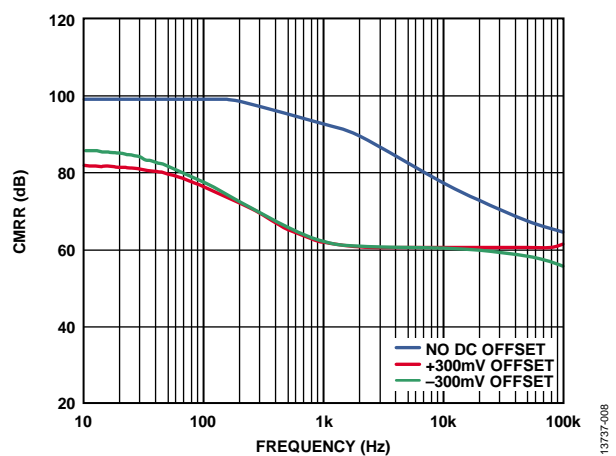


図 8. CMRR の周波数特性 (RTI)

13737-008

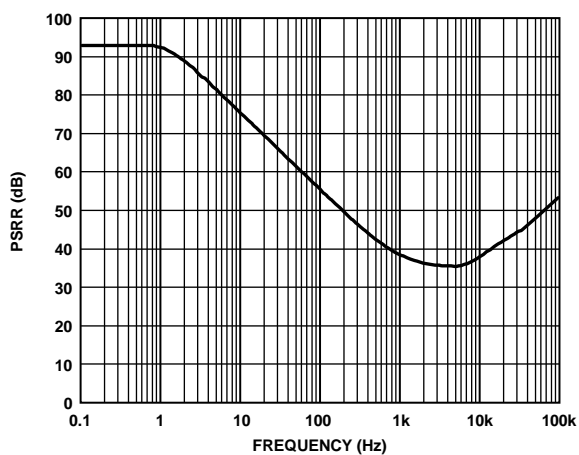


図 9. PSRR の周波数特性 (RTI)

13737-008

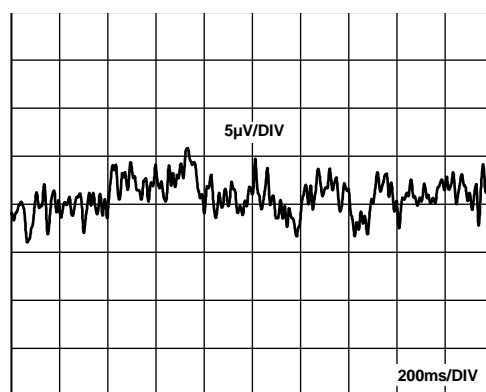


図 12. 0.5 Hz ~ 40 Hz でのノイズ (RTI)

13737-012

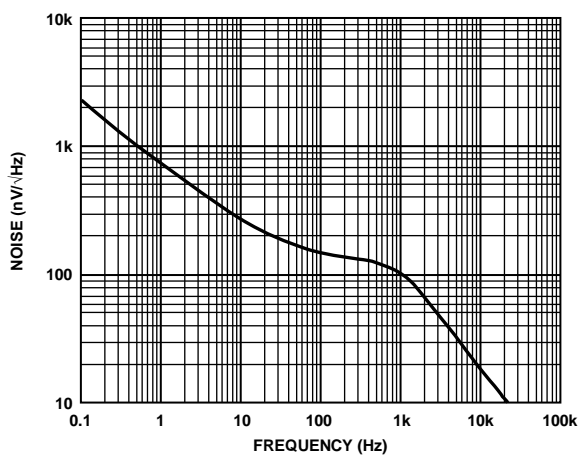


図 10. 電圧ノイズ・スペクトル密度 (RTI)

13737-010

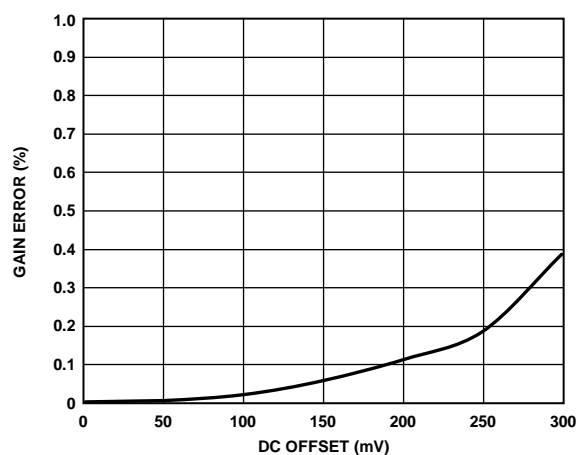


図 13. ゲイン誤差対 DC オフセット

13737-013

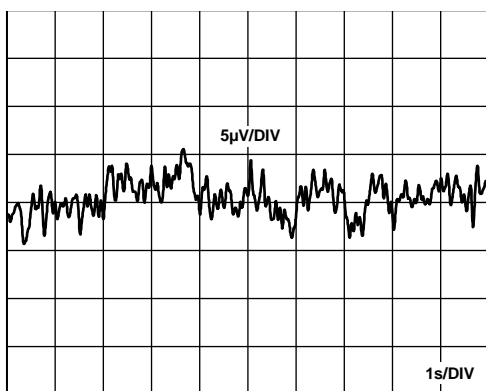


図 11. 0.1 Hz ~ 10 Hz でのノイズ (RTI)

13737-011

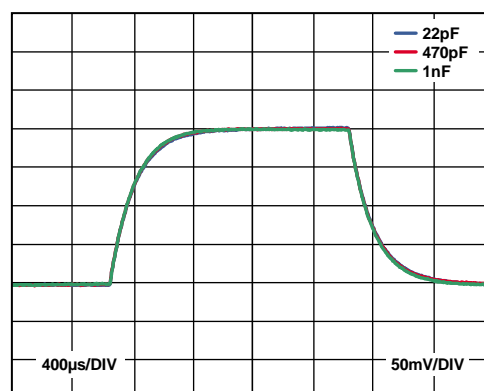


図 14. 小信号パルス応答

13737-014

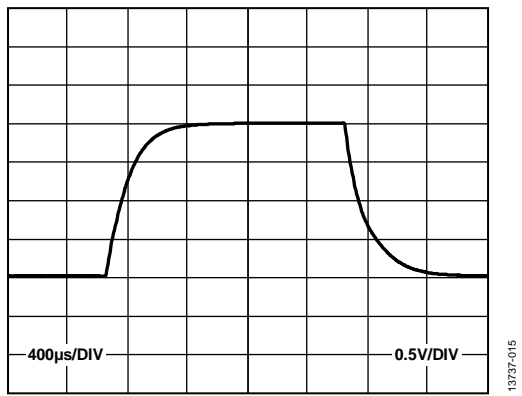


図 15. 大信号パルス応答

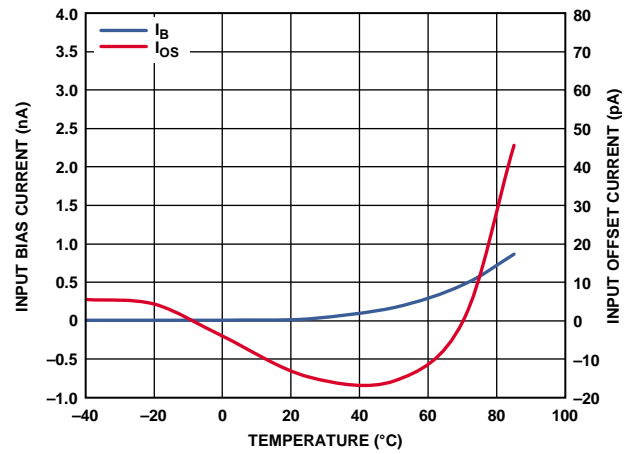


図 18. 入力バイアス電流 (I_B) と入力オフセット電流 (I_{OS}) の温度特性

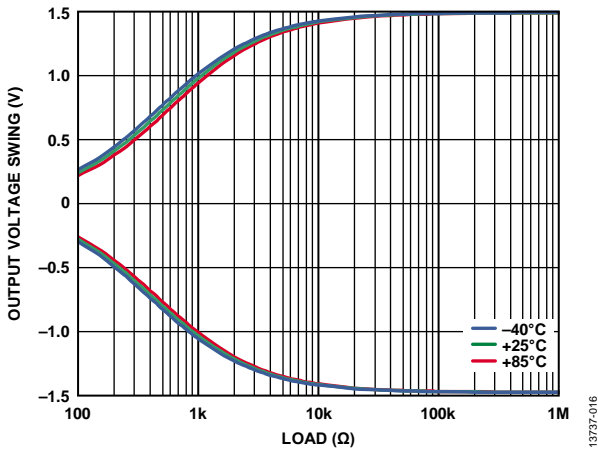


図 16. 出力電圧振幅対負荷

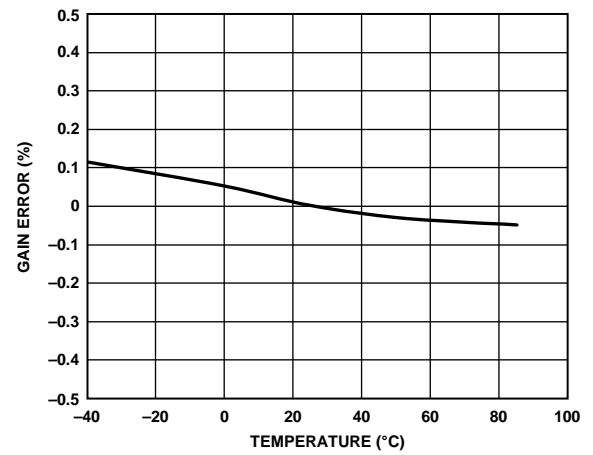


図 19. ゲイン誤差の温度特性

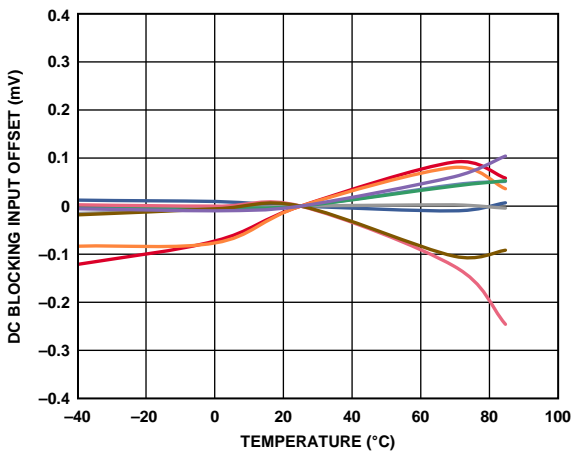


図 17. DC 阻止入力オフセット・ドリフト

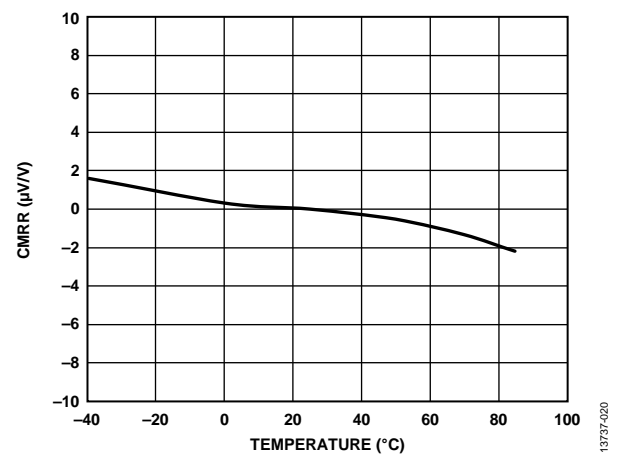


図 20. CMRR の温度特性

オペアンプの性能特性

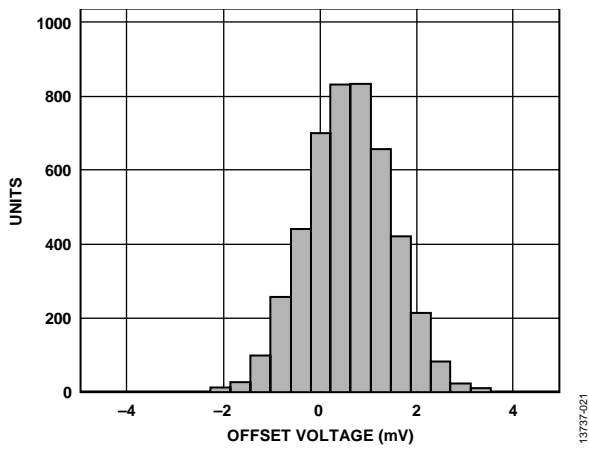


図 21. オフセットの分布

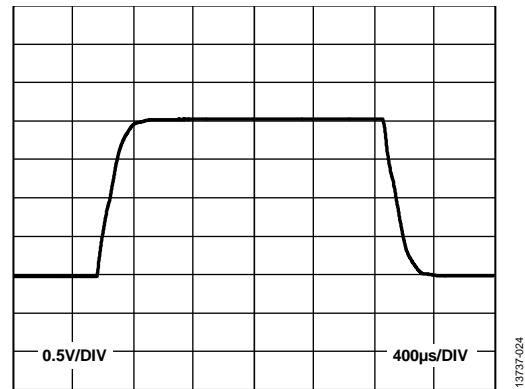


図 24. 大信号過渡応答

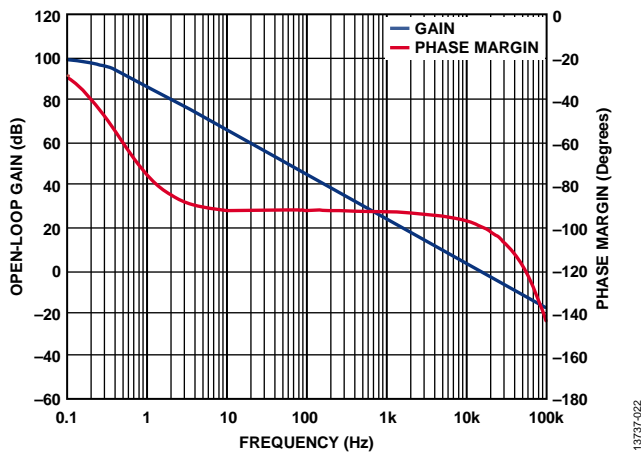


図 22. オープンループ・ゲインと位相マージンの周波数特性

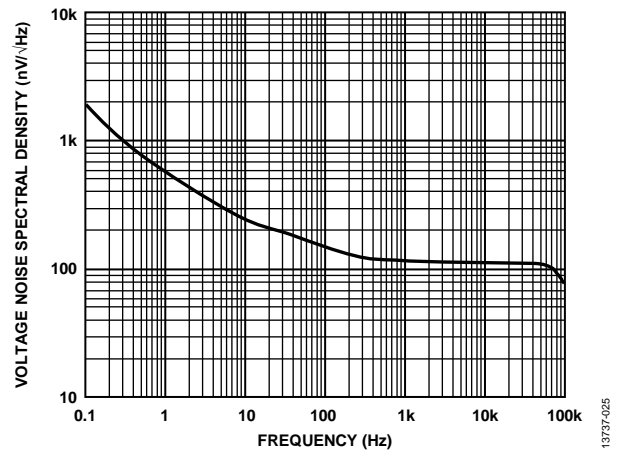


図 25. 電圧ノイズ・スペクトル密度の周波数特性

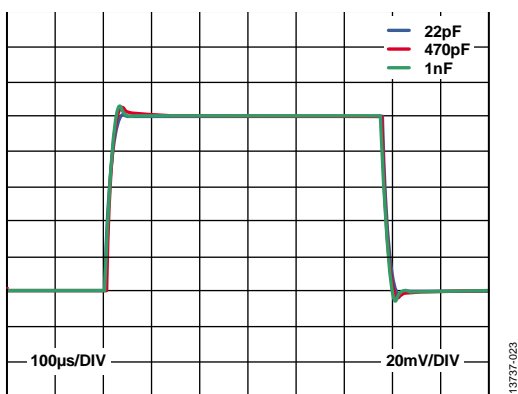


図 23. 様々な容量負荷での小信号応答

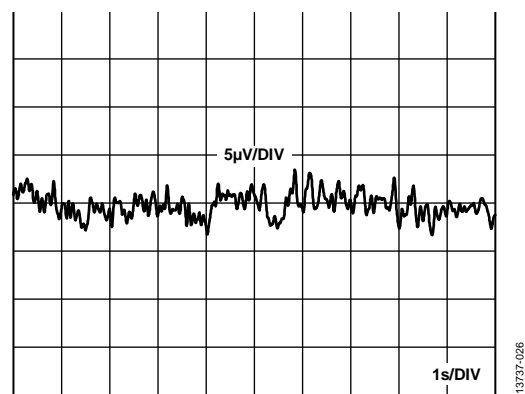
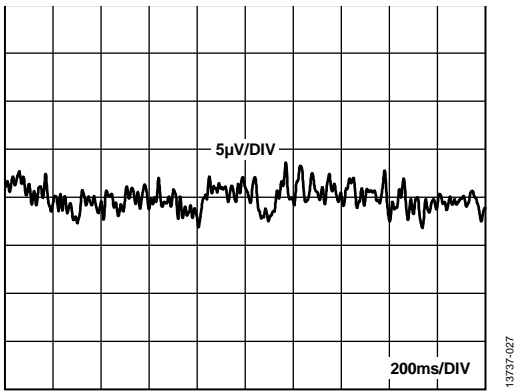
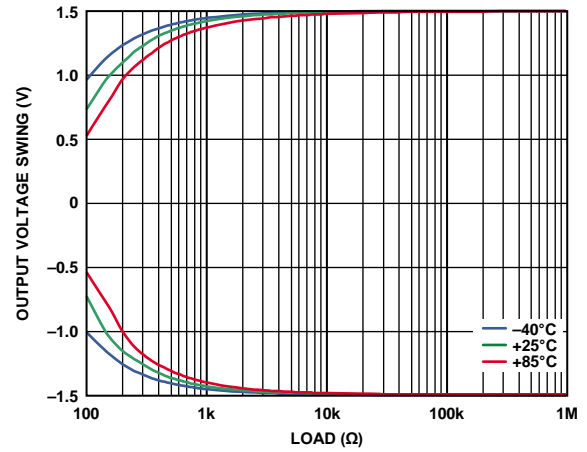


図 26. 0.1 Hz ~ 10 Hz でのノイズ



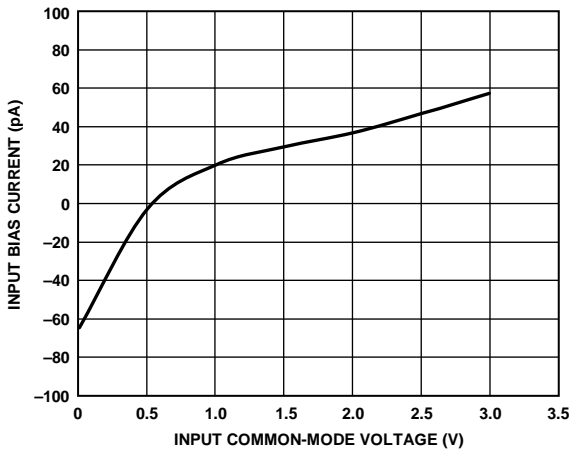
13737-027

図 27. 0.5 Hz ~ 40 Hz でのノイズ



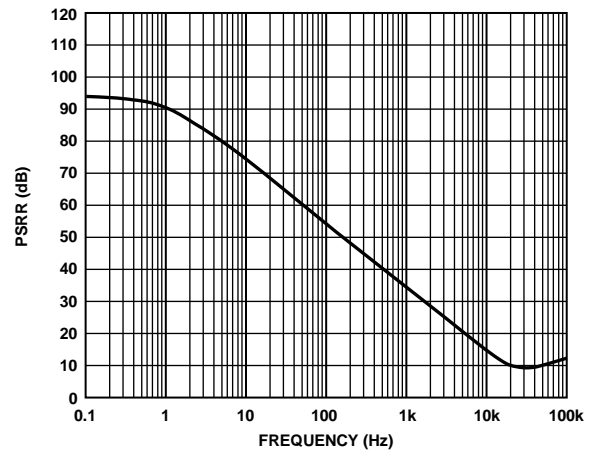
13737-029

図 29. 出力電圧振幅対負荷



13737-028

図 28. 入力バイアス電流対入力同相モード電圧



13737-030

図 30. 電源電圧変動除去比

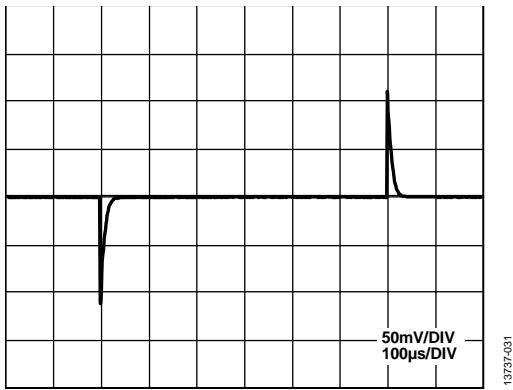


図 31. 負荷過渡応答 (100 μ A 負荷変化)

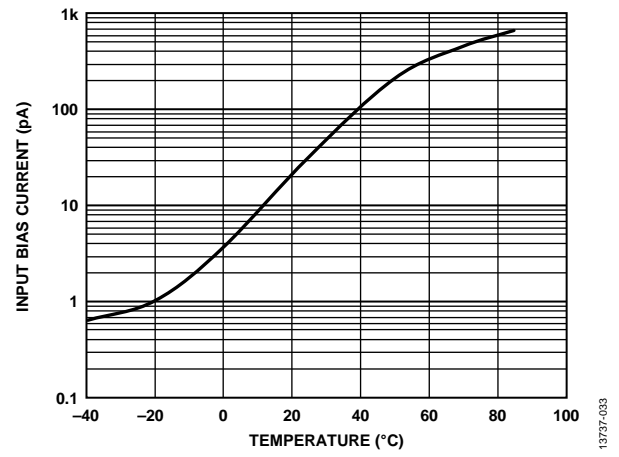


図 33. 入力バイアス電流の温度特性

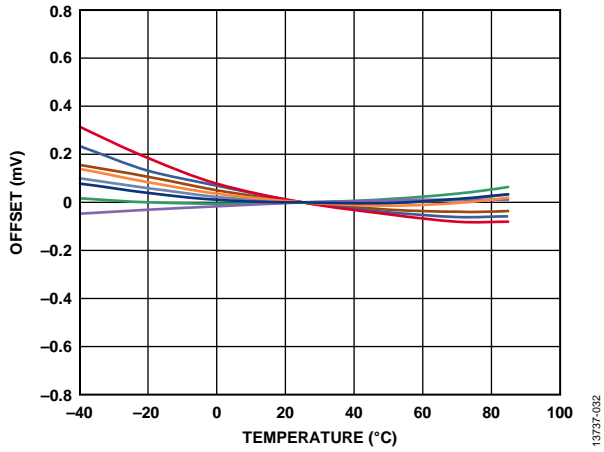


図 32. オフセットの温度特性

ライト・レッグ駆動 (RLD) アンプの性能特性

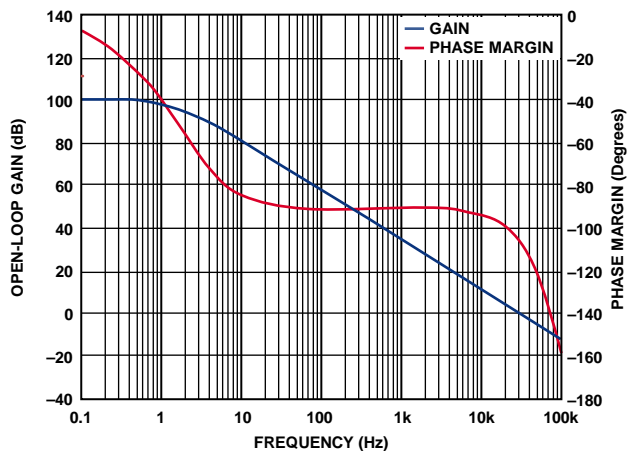


図 34. オープンループ・ゲインと位相マージンの周波数特性

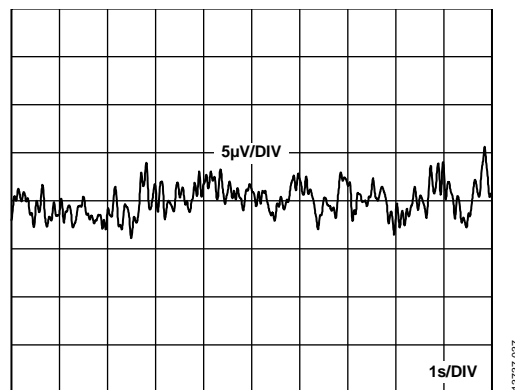


図 37. 0.1 Hz ~ 10 Hz でのノイズ

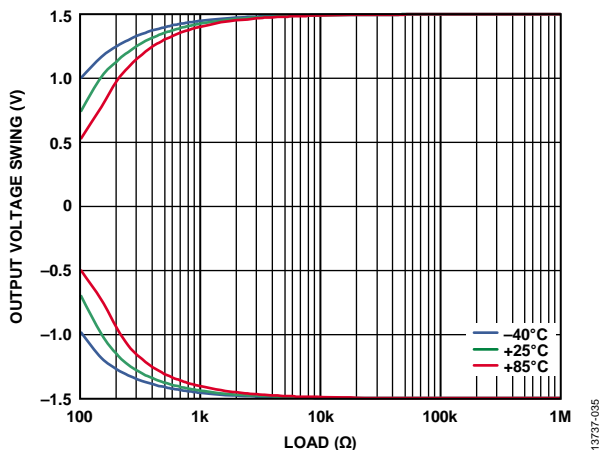


図 35. 出力電圧振幅対負荷

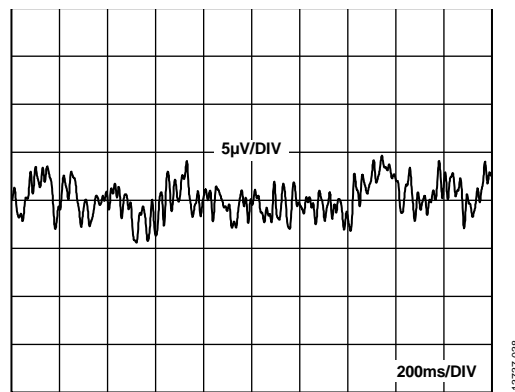


図 38. 0.5 Hz ~ 40 Hz でのノイズ

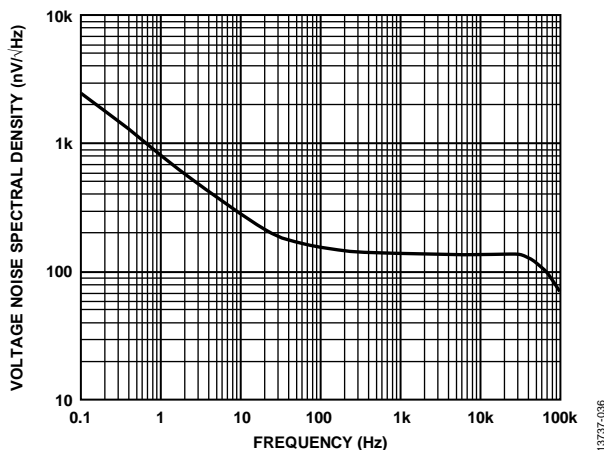


図 36. 電圧スペクトル・ノイズ密度の周波数特性

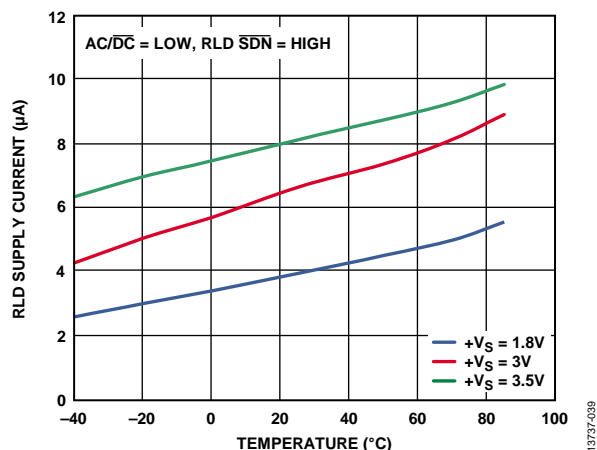


図 39. RLD 電源電流の温度特性

リファレンス・バッファの性能特性

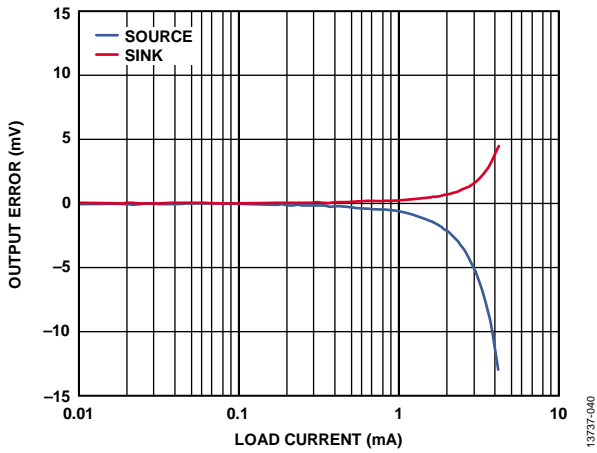


図 40. 負荷レギュレーション

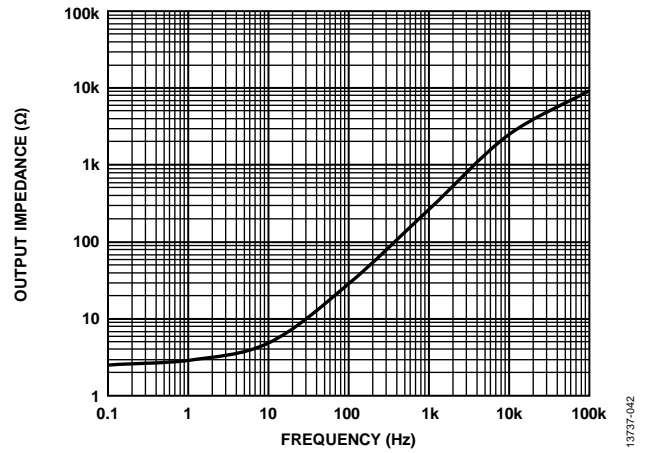


図 42. 入力インピーダンスの周波数特性

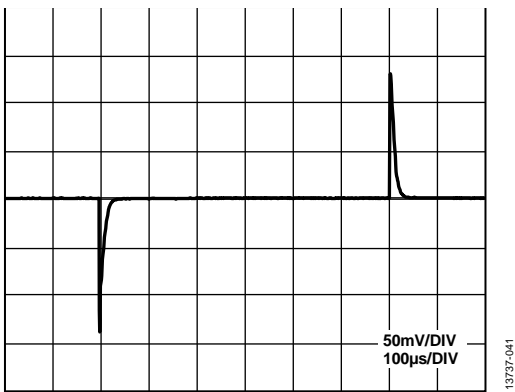


図 41. 負荷過渡応答 (100 μA 負荷変化)

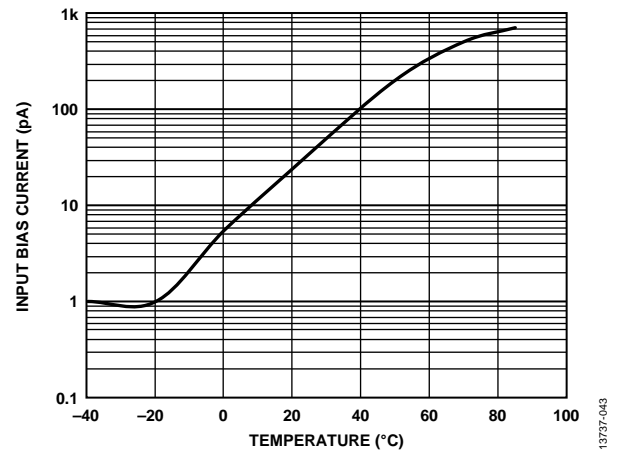


図 43. 入力バイアス電流の温度特性

システム性能特性

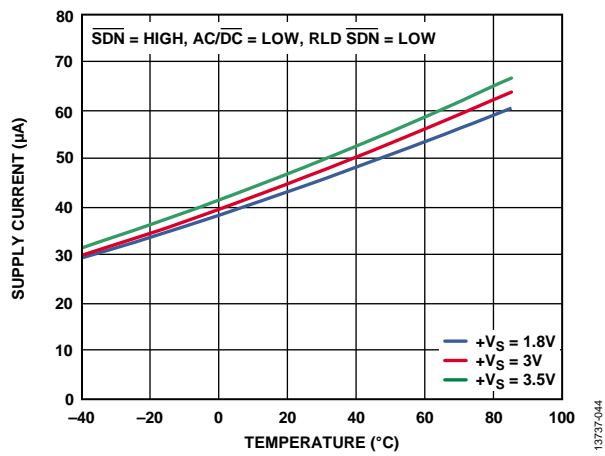


図 44. 電源電流の温度特性

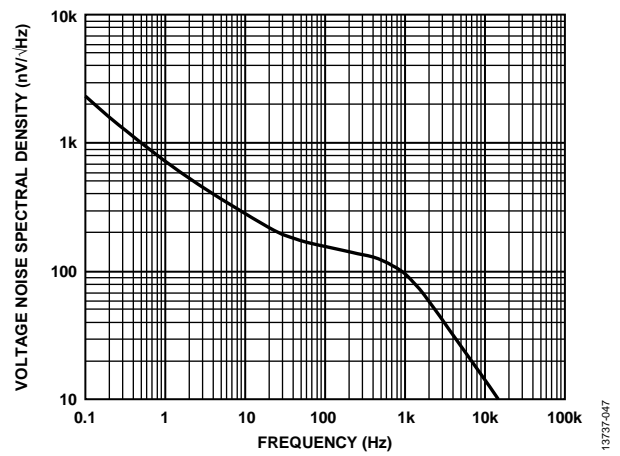


図 47. 電圧ノイズ・スペクトル密度 (RTI) (IAOUT で測定)

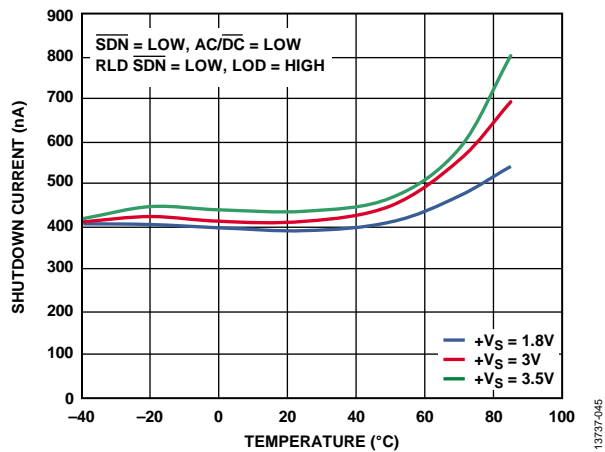


図 45. シャットダウン電流の温度特性

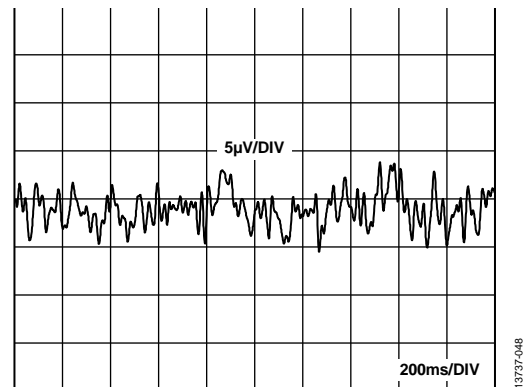


図 48. 0.5 Hz ~ 40 Hz のノイズ (RTI) (IAOUT で測定)

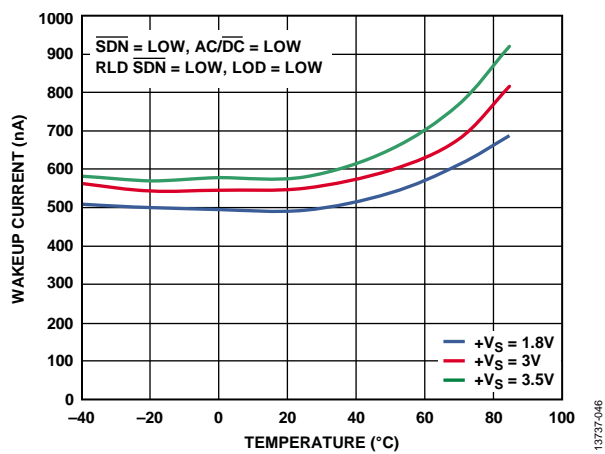


図 46. ウェイクアップ電流の温度特性

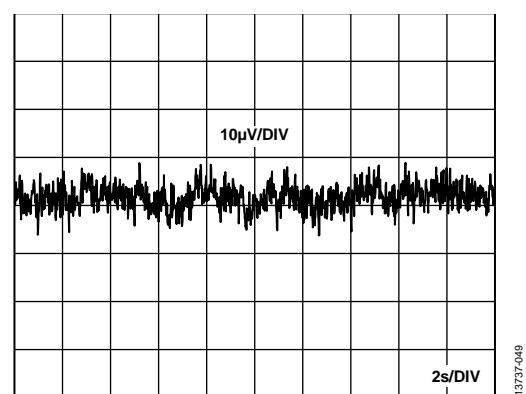
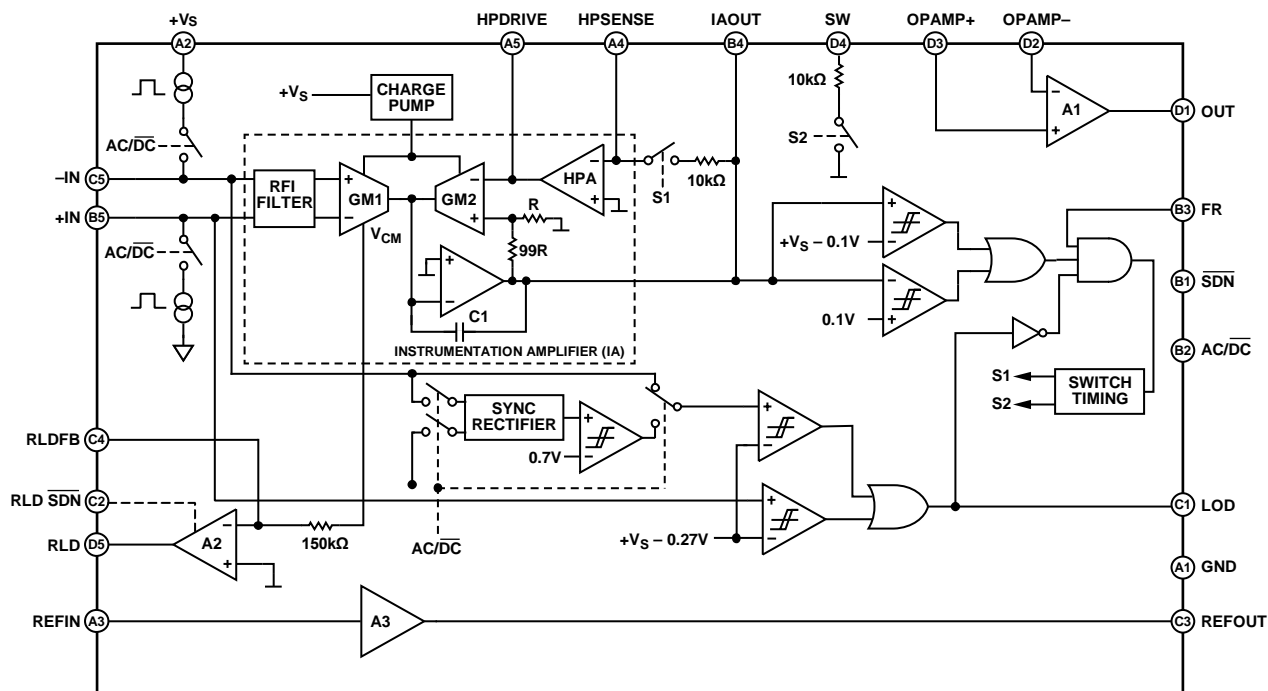


図 49. 0.05 Hz ~ 150 Hz のノイズ (RTI) (IAOUT で測定)

動作原理



*ALL SWITCHES SHOWN IN DC LEADS OFF DETECTION POSITION AND FAST RESTORE DISABLED
 ⊥ = REFOUT

図 50. 簡略化した回路図

アーキテクチャの概要

AD8233 は、心拍モニタ用心電位信号コンデショニング向けの統合フロント・エンドです。このデバイスは、特別な計装アンプ (IA)、オペアンプ (A1)、ライト・レッグ駆動アンプ (A2)、電源中心のリファレンス・バッファ (A3) から構成されています。さらに、AD8233 はリード・オン/オフ検出回路と、リードが再接続された直後に信号を回復させる自動高速回復回路を内蔵しています。

AD8233 は、ECG 信号を増幅すると同時に同じステージの電極ハーフ・セル電位を除去する特別な計装アンプを内蔵しています。ECG 信号の増幅および電極ハーフ・セル電位の除去は、従来の実装と比較してサイズおよび消費電力が低減された間接電流帰還アーキテクチャの採用によって可能となっています。

計装アンプ

図 50 に示す計装アンプは、2 個の十分整合した相互コンダクタンス・アンプ (GM1 と GM2)、DC 阻止アンプ (HPA)、および C1 とオペアンプで構成される積分器から構成されています。相互コンダクタンス・アンプ、GM1 は、入力の電圧に比例した電流を発生します。帰還が働くと、等しい電圧が相互コンダクタンス・アンプ GM2 の両入力間に現れて、GM1 の発生する電流に一致します。この差からコンデンサ C1 で積分される誤差電流が発生されます。結果の電圧は、計装アンプ出力に現れます。

2 本の抵抗で出力信号を分圧して全体ゲイン = 100 を設定するパスと、リファレンス・レベルからの差を積分する DC 阻止アンプのパスの 2 つのパスを経由して GM2 を介してアンプの帰還が加えられます。したがって、GM1 入力間に最大 ± 300 mV の DC オフセットが反転して現れ、GM2 入力間に同じ大きさが現れ、注目するすべての信号が飽和することはありません。

計装アンプの同相モード電圧範囲を大きくするため、チャージ・ポンプにより 2 個の相互コンダクタンス・アンプの電源電圧を大きくしています。この電源電圧の昇圧により、ライン干渉などの大きな同相モード信号が存在する中でアンプの飽和がさらに防止されます。チャージ・ポンプは内蔵発振器で動作し、発振器の周波数は約 500 kHz です。

オペアンプ

この汎用オペアンプ (A1) は、ローパス・フィルタとゲインの追加に使用できるレール to レール・デバイスです。次のセクションに、このアンプの説明と回路例を記載します。

ライト・レッグ駆動アンプ

ライト・レッグ駆動 (RLD) アンプは、計装アンプ入力と同相モード信号を反転させます。ライト・レッグ駆動出力電流が対象に流れると、同相モード電圧変動が小さくなるため、システムと同相モード除去比が向上します。

計装アンプ入力に現れる同相モード信号は、相互コンダクタンス・アンプ GM1 から得られます。次に 150 kΩ 抵抗を介して A2 の反転入力に接続されます。

積分器は、RLD FB 端子と RLD 端子の間にコンデンサを接続して構成することができます。約 1 kHz のクロスオーバー周波数 (アンプが反転ユニティ・ゲインを持つ周波数) を設定する 1 nF のコンデンサから始めます。この構成により、同相モード・ライン除去比に対して 50 Hz~60 Hz の周波数範囲で使用可能な約 26 dB のループ・ゲインが得られます。コンデンサ値を大きくすると、クロスオーバー周波数が小さくなるため、除去比に使えるゲインが小さくなるので、ライン・ノイズが大きくなります。コンデンサ値を小さくすると、クロスオーバー周波数が高い周波数へ移動するため、ゲインが大きくなります。トレードオフは、ゲインを高くしてシステムを不安定にするか、またはライト・レッグ・アンプ出力を飽和させるかです。

このアンプを使って電極を駆動する場合、出力に直列に抵抗を接続して、故障状態でも電流を常に 10 uA 以下に制限する必要があります。例えば、使用する電源が 3.0 V の場合、部品と電源の変動に対応するため、この抵抗を 330 kΩ より大きくする必要があります。

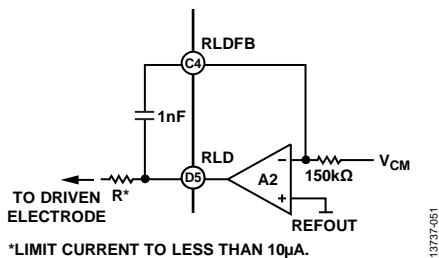


図 51. ライト・レッグ駆動回路の構成例

2 電極構成では、RLD SDN をロー・レベルにセットして A2 をシャットダウンし、電力をさらに節約できます。シャットダウンのままにしておく場合は、RLD と RLDFB の両方をフローティングにしておくことを推奨します。あるいは、リード・オン/オフ検出機能のセクションで説明されているように、RLD を使い、10 MΩ 抵抗を介して入力をバイアスすることができます。AD8233 がシャットダウン状態かつ DC リード・オフ検出モードにある場合は、RLD はグラウンドにプルダウンされます。このプルダウンは LOD ウェイクアップ機能として動作し、電極が再接続されたときに入力をプルダウンします。

リファレンス・バッファ

AD8233 は単電源で動作します。単電源アプリケーションのデザインを簡素化するため、AD8233 は電源電圧とシステム・グ

ラウンドの間に仮想グラウンドを発生するリファレンス・バッファを内蔵しています。計装アンプ出力に現れる信号は、この電圧を基準とします。例えば、差動入力電圧がゼロの場合、計装アンプ出力電圧はこのリファレンス電圧になります。

リファレンス電圧レベルは、REFIN ピンで設定されます。この電圧は、分圧器を使うか、または回路の他のポイント (例えば ADC リファレンス) から REFIN ピンを駆動することにより設定することができます。フィルタ回路用または ADC 入力用に、REFOUT ピンにこの電圧が出力されています。

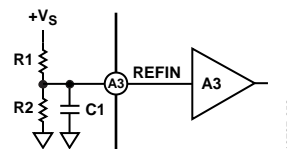


図 52. 内蔵リファレンス電圧の構成

分圧器の消費電力を制限するため、10 MΩ のような大きな抵抗の使用が推奨されます。大きな抵抗値を使用すると、リファレンス・バッファ入力に干渉信号が発生し易くなることに注意する必要があります。ノイズの混入を小さくするため、REFIN 端子のできるだけ近くに抵抗を互いに近づけて配置することを推奨します。さらに、図 52 に示すように、分圧器の小さい方の抵抗に並列にコンデンサを接続してフィルタ機能を強化してください。大きなコンデンサを使うとノイズ・フィルタ機能が良くなりますが、パワーアップ時にリファレンスが安定するまでの時間が長くなることに注意してください。リファレンス電圧が 1% 以内に制定する合計時間は次式で計算されます。

$$t_{SETTLE_REFERENCE} = 5 \times \frac{R1 \times R2 \times C1}{R1 + R2}$$

シャットダウン端子を使って AD8233 をディスエーブルすると、このコンデンサは放電しないことに注意してください。

高速回復回路

ECG アプリケーションではハイパス・フィルタで使用されるカットオフ周波数が低いため、信号の安定に数秒かかります。このセトリング・タイムにより、ステップ応答後 (例えば電極を接続した後) に遅延のためいららすることがあります。

この高速回復機能は、図 53 に示すように、内部で実装されています。計装アンプの出力は、ウインドウ・コンパレータに接続されています。電圧がいずれかの電源電圧から 0.1 V に近づくと、ウインドウ・コンパレータが計装アンプ出力で飽和状態を検出します。

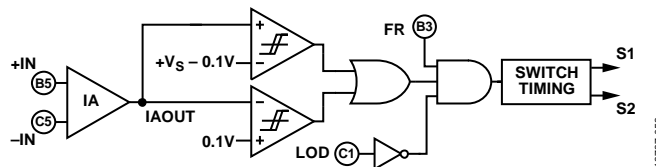


図 53. 高速回復回路

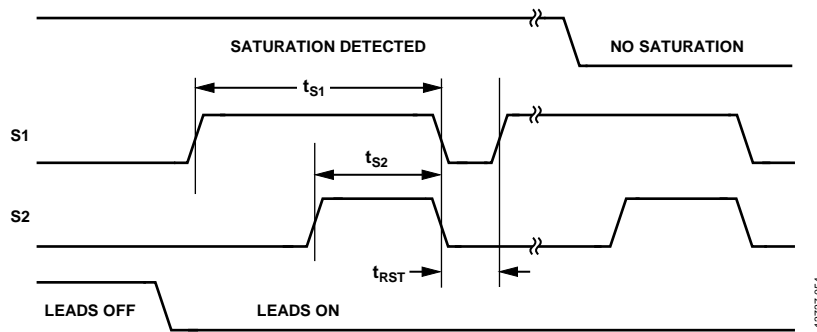


図 54. 高速回復スイッチのタイミング図（時間軸は比例していません）

両入力電極が対象に接触しているときこの飽和状態が発生すると、コンパレータはスイッチ S1 とスイッチ S2 を自動的に閉じるタイミング回路をトリガします（図 54 のタイミング図参照）。

これらの 2 つのスイッチ (S1 と S2) は、HPSENSE と IAOUT との間のパス、および SW と REFOUT との間のパスの 2 つの 10 kΩ 抵抗パスをイネーブルします。スイッチ S1 とスイッチ S2 がイネーブルされた時間に、ハイパス・フィルタを構成する、これらの対応する外付け抵抗に並列にこれらの内部抵抗が現れます。この結果、小さくなった等価抵抗により極が高い周波数へシフトされて、セトリング・タイムが短くなります。高速回復セトリング・タイムは、AD8233 の内蔵 10 kΩ 抵抗がハイパス回路内のコンデンサを充電する速度に依存することに注意してください。コンデンサ値が小さいほど、セトリング・タイムが小さくなります。

タイミングの終わりまで飽和状態が続く場合、サイクルが繰り返されます。その他の場合、AD8233 は通常動作に戻ります。いずれかのリード・オフ・コンパレータ出力が、電極が切り離されていることを表示している場合、有効な信号がないとみなされるため、タイミング回路はトリガされません。高速回復をディスエーブルするとき は、FR ピンをロー・レベルにするか、GND へ固定接続します。

リード・オン/オフ検出機能

AD8233 はリード・オフ検出機能を内蔵しています。これは 2 電極および 3 電極の両方の構成で動作する AC と DC の検出モードを備えています。超低電力コンパレータによりシャットダウン・モードでもリード・オン/オフ検出が機能し続けるため、LOD 出力をマイクロコントローラのウェイクアップ信号として使用しているとき、システム・レベルで電力を節約できます。

DC リード・オン/オフ検出機能

DC リード・オフ検出モードは 2 電極または 3 電極の構成で使用できます。この機能は、いずれかの計装アンプ入力電圧が正電源電圧の 0.27 V 以内になるタイミングを検出することに

よって作動します。AD8233 において電力使用が最小になるのは、2 電極 DC モードの場合です。+IN のプルアップ抵抗および -IN のプルダウン抵抗は電極が接続されたときに電圧分圧器を形成し、入力同相モードを電源電圧の中央に設定します。電極を切断すると入力が +Vs にプルアップされる場合は、+IN を監視するコンパレータは LOD をハイ・レベルにセットします。

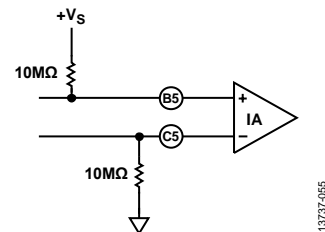


図 55.2 電極 DC リード・オフ検出機能の回路構成

3 電極 DC モードの場合は、各入力に正電源へ接続されたプルアップ抵抗が必要です。通常動作時、対象の電位は計装アンプの同相モード範囲内にある必要があります。これは、3 つ目の電極がライト・レッグ駆動アンプ出力に接続されている場合のみ可能です。

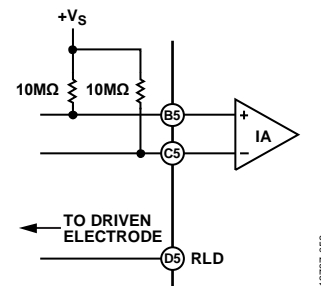


図 56.3 電極 DC リード・オフ検出機能の回路構成

AD8233 は、電極のどれかが切り離されると、LOD ピンをハイ・レベルにセットして表示します。このモードを使用するときは、AC/DC ピンをグラウンドへ接続します。

AC リード・オン/オフ検出機能

AC リード・オフ検出モードは、2 つの電極を使用するときには有用です。この場合、2 つの電極の間に導通パスの存在が必要です。このパスは通常 2 本の抵抗で構成されます（図 57 参照）。

これらの抵抗は、各入力でバイアス・リターン用のパスも提供します。各抵抗を REFOUT または RLD へ接続して、各入力を計装アンプの同相モード範囲内に維持してください。

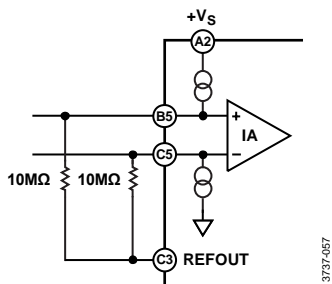


図 57.2 電極 AC リード・オフ検出機能の回路構成

AD8233 は、100 kHz の小さい電流を入力端子に流して電極が切り離されたタイミングを検出します。この電流が外付け抵抗を IN+ から IN-へ流れて、入力間に差動電圧が発生し、これを定期的に検出して、内部スレッショールドと比較します。これらの外付け抵抗の推奨値は 10 MΩ です。抵抗値が小さいと、差動電圧降下が小さくて検出できず、さらにアンプ入力インピーダンスも小さくなります。電極を対象に接触させる場合、電圧降下をコンパレータのスレッショールドを下回るようにするため、このパスのインピーダンスを 3 MΩ 以下にする必要があります。

AC リード・オフ・モードを使用するときは、AC/DC \overline{C} ピンを正電源へ接続します。REFOUT は一定の電圧値に維持されますが、RLD 出力を入力バイアスとして使うと同相モード干渉を阻止するのに効果的です。ただし、消費電力は増えます。

3 電極 AC リード・オフ検出モードでは、図 58 に示すようにプルアップ抵抗は不要で、回路の入力インピーダンスが改善されます。このモードはドライ電極のアプリケーションに有益です。AC モード電流はシステムの 1/f ノイズの一因となります。したがって、アプリケーションによっては、AC リード・オフ検出機能をスポット・チェックに使い、それから DC モードへ切り替えると ECG の取得が改善される場合があります。

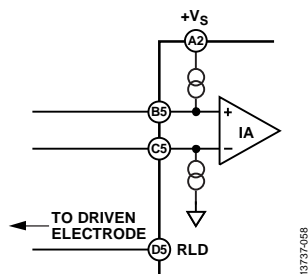


図 58.3 電極 AC リード・オフ検出機能の回路構成

AC リード・オフ検出モードはシャットダウン・モードでも機能し続けます。電力を 1μA 未満に維持するために、クロックがディスエーブルされ、AC 電流は DC 電流になります。+IN の電流ソースは 250 nA であり、-IN の電流シンクは -300nA です。-IN に大きなプルダウン電流を流すとウェイクアップ機能として動作し、電極が再接続されたとき LOD をロー・レベルにします。

スタンバイ動作

AD8233 には、低消費電力が重要な携帯型アプリケーションでの柔軟性と使いやすさをさらに向上させるシャットダウン・ピン (SDN) があります。ロジック・レベル信号をこのピンに加えて、電源をオンにしたままシャットダウン・モードに切り替えることができます。

SDN ピンをロー・レベルに駆動すると、AD8233 はシャットダウン・モードになって、電源電流が 1μA 以下になり、消費電力が節約されます。通常動作にするときは、SDN をハイ・レベルにします。この機能を使わないときは、SDN を +Vs に固定接続します。

シャットダウン動作時、AD8233 は REFOUT 電圧を維持できませんが、REFIN 電圧から電流が流れないため、電源からグラウンドへのこの追加導通パスが維持されます。

シャットダウン状態から戻るとき、ハイパス・フィルタのコンデンサに蓄えられた電荷が計装アンプと後続ステージを飽和させることがあります。高速回復機能を使うと、回復時間の短縮に役立つため、消費電力に厳しいアプリケーションでオン時間が削減されます。

シャットダウン・モードでリード・オン/オフ検出機能を使用すると、システム・レベルで消費電力を節約できます。電極が切り離されるとマイクロコントローラはスリープ・モードになり、LOD 信号はマイクロコントローラをウェイクアップさせる割り込みとして機能します。この機能の例を図 59 に示します。

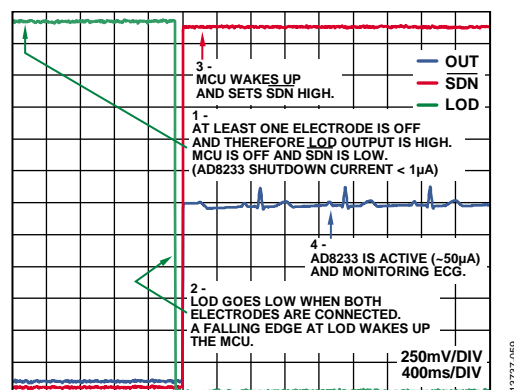


図 59. 電極の接続とシステム・ウェイクアップ・シーケンス

入力保護

AD8233 の全端子が ESD に対して保護されています。さらに、この入力構造では DC 過負荷状態として、正電源電圧よりダイオード 1 個の電圧降下だけ上までと負電源電圧よりダイオード 1 個の電圧降下だけ下までを許容しています。電源のダイオード電圧を超える電圧では ESD ダイオードが導通して、ダイオードに電流が流れます。このため、外付け抵抗を各入力に直列に接続して、電源を超える電圧に対して電流を制限する必要があります。いずれの場合でも、AD8233 は室温で 5 mA の連続電流を安全に処理することができます。

除細動器のような極めて大きな過負荷電圧が AD8233 に加わるアプリケーションでは、外付け直列抵抗やガス放電管 (GDT) を使用してください。一般にネオン・ランプが GDT の安価な代替品として使われます。これらのデバイスは印加される大きな電圧を処理できますが、AD8233 の絶対最大定格より低い電圧に維持しません。完全なソリューションとしては、追加抵抗および BAV199 や FJH1100 のような低リーク・ダイオード・クランプを使って、いずれかの電源にさらにクランプする機能などがあります。

安全策として、入力ピンと対象に接続される電極との間に抵抗を接続して電流が $10\ \mu\text{A}$ を超えないようにします。AD8233 の電源電圧を $10\ \mu\text{A}$ で除算した値に等しくなるようにこの抵抗値を計算してください。

無線周波数干渉 (RFI)

強い無線周波数 (RF) 信号が存在するアプリケーションでは、RF の整流がしばしば問題になります。問題は DC オフセット電圧として出力に現れます。AD8233 の各入力は、 $15\ \text{pF}$ のゲート容量と $10\ \text{k}\Omega$ の抵抗を持っています。このため、各入力にローパス・フィルタが構成されて、このフィルタによって外付け部品を追加することなく高周波での整流が抑えられます (図 60 参照)。

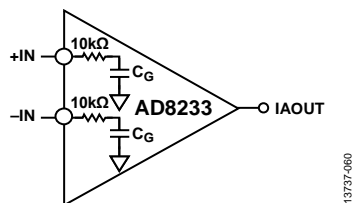


図 60. 外付けコンデンサなしの RFI フィルタ

フィルタ機能を強化するため、各入力に直列に抵抗を追加することができます。これらの抵抗はできるだけ計装アンプ入力の近くに配置する必要があります。これらの抵抗は、過負荷保護と患者保護に使うものと同じ抵抗にすることができます。

電源のレギュレーションとバイパス

AD8233 は、CR2032 タイプのような 3 V バッテリ 1 個から直接電力を供給するようにデザインされています。充電可能なリチウム・イオン・バッテリーでも動作しますが、充電時の電圧が AD8233 の絶対最大定格を超えることがあることに注意してください。デバイスの損傷を防ぐため、電源スイッチまたは ADP150 や ADP160 のような低消費電力ロー・ドロップアウト・レギュレータを使用してください。

さらに、電源ピンのノイズは性能に悪影響を与えることに注意してください。すべてのリニア回路と同様に、バイパス・コンデンサを使ってチップの電源をデカップリングする必要があります。0.1 μF のコンデンサを電源ピンの近くに配置してください。1 μF のコンデンサはデバイスから離れたところに接続することができます。多くの場合、このコンデンサは他の IC と共用することができます。デカップリング容量が大きすぎると、電源のオン/オフ時に消費電力が大きくなることに注意してください。

入力換算オフセット

内部アーキテクチャの要請から、計装アンプは常に、図 50 の HPA として示されているような DC 阻止アンプと一緒に使用してください。

動作原理のセクションで説明されているように、DC 阻止アンプは計装アンプ入力に現れる入力換算オフセットを減衰させますが、これは、DC 阻止アンプを積分器として使用する場合にだけ言えます。この構成では、DC 阻止アンプからの入力オフセットが計装アンプ出力に支配的に現れます。

DC 阻止アンプを本来の積分器としての機能の代わりにフォロワとして使用すると、計装アンプの入力換算オフセットは 100 倍に増幅されます。

レイアウトに関する推奨事項

システム性能を最適化するためには優れたレイアウトが重要です。低消費電力アプリケーションでは、大部分の抵抗値を大きくして電源電流を小さくしています。大きい抵抗値を使用する際の問題は、高インピーダンス・ノードがノイズ混入と容量や表面リークのようなボード寄生に弱くなることです。高インピーダンス・ノード間のすべての接続をできるだけ短くしてノイズと誤差の混入を避けて信号をクリーンに維持してください。

周波数に対して高い CMRR を維持するためには、入力パターンを対称にし、長さを一致させる必要があります。安全抵抗と入力バイアス抵抗は、各入力の同じ位置に配置してください。さらに、グラウンド・プレーンを使用すると、システムのノイズ除去比が大幅に改善されます。

WLCSPP レイアウトの事例については、AN-617 アプリケーション・ノートを参照してください。

アプリケーション情報

電極オフセットの除去

AD8233 の計装アンプは、ゲインを与えると同時に DC に近い信号を除去するようにデザインされています。この機能を使って、小さい ECG 信号を 100 倍に増幅しますが、最大±300 mV の電極オフセットを除去します。

オフセット除去をするときは、計装アンプ出力 (HPSENSE と HPDRIVE) の間に RC 回路を接続します (図 61 参照)。

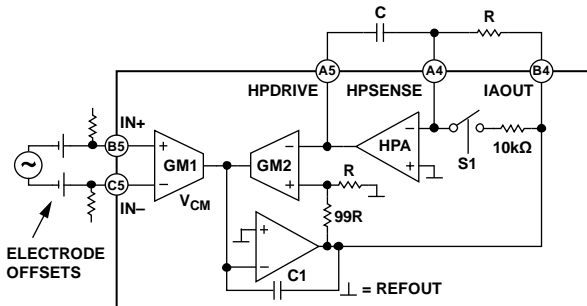


図 61. 電極オフセットの除去

この RC 回路は積分器を構成します。この積分器は DC 付近のすべての信号を計装アンプへ戻してオフセットを除去し、どのノードも飽和させることなく高い信号ゲインを維持します。

計装アンプの入力に現れるオフセット阻止の他に、この積分器はベースライン変動のような低速変動信号の影響を小さくするハイパス・フィルタとしても機能します。このフィルタのカットオフ周波数は次式で与えられます。

$$f_c = \frac{100}{2\pi RC} \quad (1)$$

ここで、R の単位は Ω、C の単位は F (ファラッド) です。

このフィルタ・カットオフは、1 極フィルタで一般に期待される値の 100 倍であることに注意してください。計装アンプは帰還アーキテクチャなので、計装アンプ・ゲインの 100 により一般的なフィルタ・カットオフの式が変更されています。

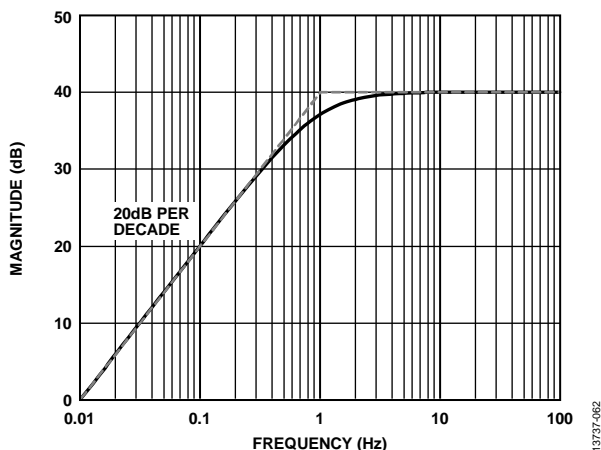


図 62.1 極 DC 阻止回路の周波数応答

低周波カットオフを持つハイパス・フィルタの場合のように、DC オフセットの高速変化はセトリングするのに長い時間が必要です。このような変化により計装アンプ出力が飽和すると、S1 スイッチが 10 kΩ 抵抗パスを短時間イネーブルするため、カットオフ周波数が次の値へ移動します。

$$f_c = \frac{100(R + 10^4)}{2\pi RC(10^4)} \quad (2)$$

R 値が 100 kΩ より大きい場合、式 2 は次式で近似できます。

$$f_c = \frac{1}{200\pi C} \quad (3)$$

カットオフが高いほど、セトリング・タイムが短くなり、ECG 信号の回復が高速になります。詳細については、高速回復回路のセクションを参照してください。

ハイパス・フィルタ

AD8233 では高次のハイパス・フィルタを実現することができません。フィルタの次数が高いほど、アーチファクト除去は良くなりますが、信号の歪みが大きくなり、プリント回路ボード (PCB) 上の受動部品が増えます。

2 極ハイパス・フィルタ

計装アンプ出力にシンプルな AC 結合 RC を追加すると、2 極アーキテクチャを実現することができます (図 63 参照)。

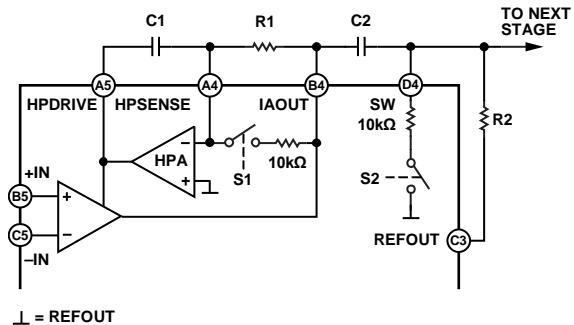


図 63.2 極ハイパス・フィルタの回路図

C2 の右側が SW 端子に接続されることに注意してください。S1 と同様に、R2 に並列に 10 kΩ を接続すると、S2 はこの AC 結合回路の回復時間を短縮します。スイッチ・タイミングとトリガ条件の詳細については、高速回復回路のセクションを参照してください。

この受動回路がバッファされない場合、Sallen-Key フィルタ回路のような後段のローパス・フィルタ入力では出力インピーダンスが高くなることに注意してください。部品を注意深く選択すると、バッファなしでも信頼性の高い性能が得られます。部品の選択については、ローパス・フィルタとゲインのセクションを参照してください。

その他のハイパス・フィルタ・オプション

前のセクションで説明した回路の他に、低周波信号の除去比を大きくするため DC 阻止回路に極を追加することができます。この構成を図 64 に示します。

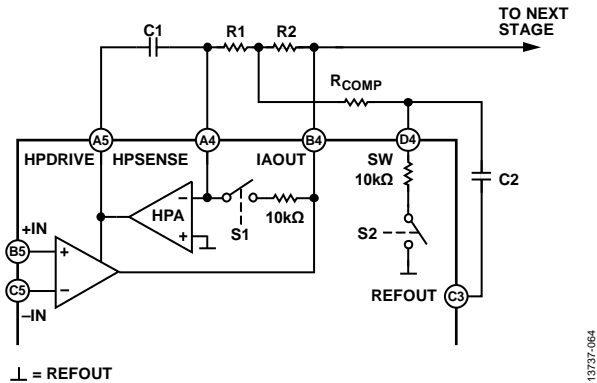


図 64. 別の 2 極ハイパス・フィルタの回路図

この回路のもう 1 つの利点は、小さい R と C の値でカットオフ周波数を低くできることです。また、抵抗 R_{COMP} を使ってフィルタの Q を制御し、狭いバンドパス・フィルタ（心拍検出用）または最大通過帯域平坦度（心臓モニタ用）を実現できます。

この回路では、フィルタ減衰量が非常に低い周波数では 1 極ロール・オフに戻ります。初期ロール・オフが 40 dB/デケードであるため、20 dB/デケードへのこの戻りによる、フィルタの帯域外低周波信号の除去能力に対する影響は小さくて済みます。

所望のフィルタ性能を実現するため、別の値を選択することもできます。デザイン・プロセスを簡素化するため、部品値選択の開始点として次の推奨事項を使ってください。

$$R1 = R2 \geq 100 \text{ k}\Omega$$

$$C1 = C2$$

$$R_{COMP} = 0.14 \times R1$$

カットオフ周波数は、

$$f_c = \frac{10}{2\pi\sqrt{R1 \times C1 \times R2 \times C2}}$$

R_{COMP} 値を他の 2 本の抵抗の 0.14 倍に選択すると、フィルタは最平坦通過帯域用に最適化されます。R_{COMP} 値を小さくすると、Q が大きくなって、フィルタのピーキングが大きくなります。R_{COMP} 値を小さくしすぎると、不安定な回路になるおそれがあるので注意してください。これらの基準に従って値を選択すると、図 65 に示すような伝達関数になります。低周波除去比をさらに大きくする場合は、計装アンプ出力に AC 結合回路を追加して、高次ハイパス・フィルタを構成することができます（図 65 参照）。SW 端子を AC 結合回路に接続すると、高速回復が必要な場合最適なセトリング・タイム応答が得られます。

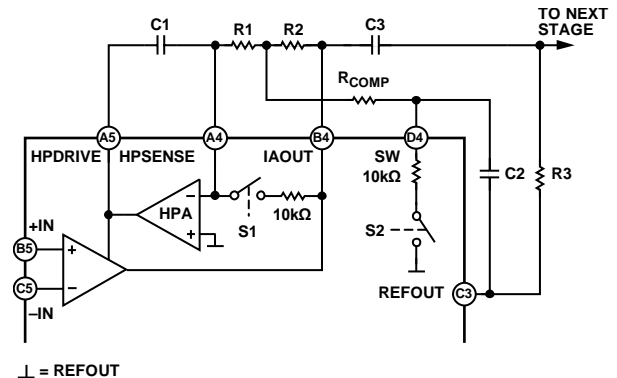


図 65. 3 極ハイパス・フィルタの回路図

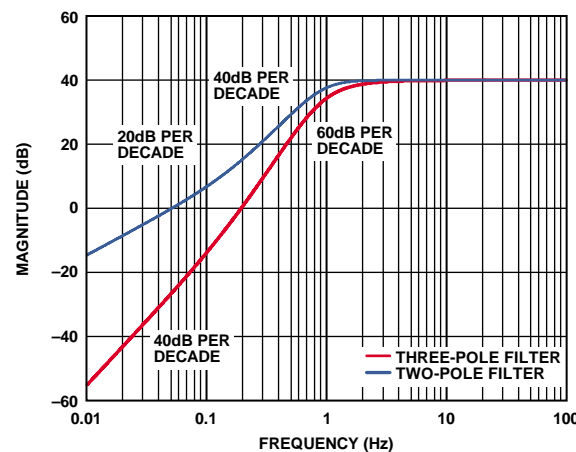


図 66. 図 64 と図 65 の回路の周波数応答

フィルタ特性の最適化のために、すべての部品値の慎重な解析と調整を推奨します。R_{COMP} 値を小さくするには、アクティブ・フィルタのピーキングを大きくして、AC 結合回路の追加によるロール・オフの増加を抑えます。適切な調整により最平坦通過帯域が得られます。

表 6. ハイパス・フィルタ・オプションの比較

Figure to Reference	Filter Order	Component Count	Low Frequency Rejection	Capacitor Sizes/Values	Signal Distortion ¹	Output Impedance ²
Figure 61	1	2	Good	Large	Low	Low
Figure 63	2	4	Better	Large	Medium	Higher
Figure 64	2	5	Better	Smaller	Medium	Low
Figure 65	3	7	Best	Smaller	Highest	Higher

¹ 等価コーナー周波数の位置での信号歪みです。

² 出力インピーダンスは、ローパス・フィルタの前にあるハイパス・フィルタの駆動能力を指します。ローパス・フィルタとゲイン のセクションで説明したように、ローパス・フィルタ値の選択の柔軟性のために、低出力インピーダンスが望まれます。

ハイパス・フィルタのデザインには、信号歪み、部品数、低周波除去比、部品サイズの間にトレードオフがあります。例えば、1 極 ハイパス・フィルタにより信号の歪みは最小になりますが、使用可能なフィルタ・オプションの中では低周波アーチファクトの除去は最小になります。推奨フィルタ・オプションの比較を表 6 に示します。

ローパス・フィルタとゲイン

AD8233 は、ゲインの追加とフィルタ機能の強化に使用できる汎用オペアンプを内蔵しています。高次フィルタが不要なアプリケーションの場合、シンプルな RC ローパス・フィルタで十分であるため、オペアンプはバッファまたは信号の増幅に使うことができます。

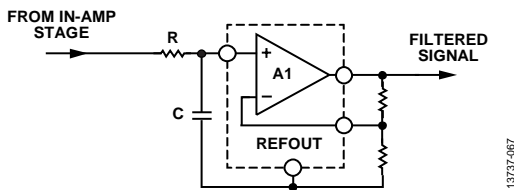


図 67.1 極ローパス・フィルタの回路図とゲイン追加

急なロール・オフまたはシャープなカットオフを必要とするアプリケーションでは、Sallen-Key フィルタ回路を実現することができます (図 68 参照)。

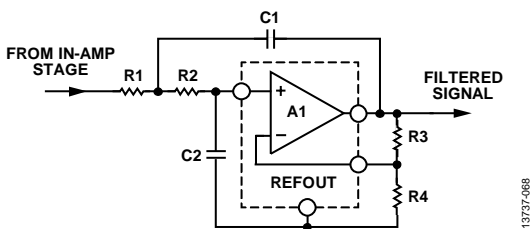


図 68.2 極ローパス・フィルタの回路図

ローパス・カット・オフ周波数 (f_c)、ゲイン、 Q は以下の式で与えられます。

$$f_c = 1 / (2\pi \sqrt{R1 \times C1 \times R2 \times C2})$$

$$\text{ゲイン} = 1 + R3/R4$$

$$Q = \frac{\sqrt{R1 \times C1 \times R2 \times C2}}{R1 \times C2 \times R2 \times C2 + R1 \times C1 (1 - \text{Gain})}$$

ゲインを変えると Q に影響を与えます。逆も成立します。一般的な Q の値は、ピーキングを抑える場合 0.5 で、最良の平坦性とシャープなカットオフの場合 0.7 です。狭帯域アプリケーションでは大きな Q 値を使って、ピーキングとバンドパス・フィルタの選択性を大きくすることができます。

一般的なデザイン手順では、 $R1 = R2 = R$ および $C1 = C2 = C$ とします。これによりカットオフ周波数と Q の式は以下のように簡単になります。

$$f_c = 1 / (2\pi RC)$$

$$Q = \frac{1}{3 - \text{Gain}}$$

$R3$ と $R4$ を使ってゲインを設定して Q を制御できますが、これによりゲインは 3 より小さく制限されます。ゲイン値が 3 以上では、回路が不安定になります。高いゲインを可能にするシンプルな変更は、 $C2$ 値を少なくとも $C1$ 値の 4 倍にすることです。

前のステージの出力インピーダンスが Sallen-Key フィルタの入力インピーダンスよりかなり小さい場合にのみ、これらの設計式が成立することに注意してください。これらの設計式は、計装アンプ出力とバッファなしのローパス・フィルタ入力との間に AC 結合回路を使用する場合には成立しません。

これらの 2 つのフィルタ・ステージをバッファなしで適切に接続するには、 $R1$ 値を AC 結合回路の抵抗値 (図 63 の $R2$) の少なくとも 10 倍にします。

ADC の駆動

AD8233 は容量負荷駆動能力があるので、バッファの追加なしに ADC を駆動するのに最適です。ただし、ADC の入力アーキテクチャに応じて、最新の ADC に一般的なスイッチド・キャパシタ入力型からの過渡電圧をデカップリングするためにシンプルなローパス RC 回路が必要になることがあります。この RC 回路は、ノイズと折り返しの除去に役立つ追加フィルタとしても機能します。R 値と C 値の選択については、ADC データシートの推奨ガイドラインに従ってください。互換性のある ADC をカテゴリ別に表 7 に示します。

表 7. カテゴリ別に示した互換可能な ADC

Analog-to-Digital Converters	Microcontrollers	Optical Sensors	Accelerometers
AD7091 AD7988-1	ADuCM350	ADPD103 ADPD105	ADXL363

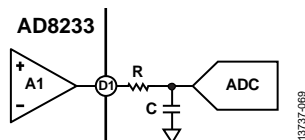


図 69. ADC の駆動

駆動電極

駆動リード（すなわちリファレンス電極）は、電源ラインやその他の干渉源からの同相モード電圧の影響を抑えるためによく

使用されます。AD8233 は計装アンプ入力から同相モード電圧を取り出し、これを RLD アンプから使用できるようにして、患者への反対信号を駆動します。この機能は、患者と AD8233 との間の電圧をほぼ一定に維持して、CMRR を大幅に向上させます。

安全対策として、RLD ピン（ピン D5）と対象に接続される電極との間に抵抗を接続して電流が $10\ \mu\text{A}$ を超えないようにします。AD8233 の電源電圧を $10\ \mu\text{A}$ で除算した値に等しくなるようにこの抵抗値を計算してください。

AD8233 は、内蔵 $150\ \text{k}\Omega$ 抵抗とこの電極を駆動する外付けコンデンサにより積分器を構成します。積分器コンデンサの選択は、電源ノイズ除去能力と安定性との間のトレードオフになります。ライン周波数の $50\ \text{Hz}$ と $60\ \text{Hz}$ 付近で、ループ・ゲインをできるだけ大きくするため、このコンデンサは小さくすることを推奨します。安定性のため、積分器ゲインはループ内の他の（容量と患者の安全抵抗で形成されるような）すべての極の周波数で 1 より小さくする必要があります。推奨アプリケーション回路では $1\ \text{nF}$ のコンデンサを使用し、ループ・ゲインがライン周波数で約 20、クロスオーバー周波数が約 $1\ \text{kHz}$ となっています。

2 ピン構成では、RLD ピン（ピン D5）のアンプをシャットダウンするか、またはこれを使って入力のバイアス電流抵抗を駆動することができます。真の駆動電極ほど効果はありませんが、検出電極インピーダンスが小さくて整合している場合、この構成は同相モード除去比を改善させます。

アプリケーション回路 心臓近くでの心拍測定 (HRM)

装着可能運動機器の場合、AD8233 は一般に心臓近くのポッド内に置かれます。2つの検出電極は胸筋の下に置かれ、駆動電極は使用されません。心臓と AD8233 との間の距離が小さいため、心臓の信号は強く、筋アーチファクトによる干渉はありません。

この装着可能機器構成では、スペースが重要です。外付け部品をできるだけ少なくして、図 70 の回路はサイズを最適化します。

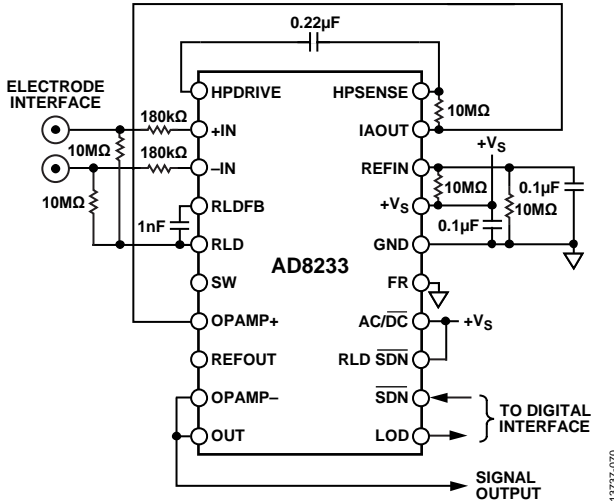


図 70. 心臓近くでの HRM の回路

AD8233 と心臓との間の距離が小さいため、このアプリケーションは同相モード干渉を受けにくくなります。しかし、電極の駆動に RLD (ピン D5) を使用しないので、10 MΩ のバイアス抵抗を介してミッドスケール電圧を維持するために RLD を使用して、同相モード除去比を改善することができます。あるいは、電力を節約するために、RLD SDN をロー・レベルに接続し、バイアス抵抗を REFOUT に接続します。

1 極ハイパス・フィルタを 7 Hz に設定し、ローパス・フィルタを使用しません。出力オペアンプではゲインを使用しないため、システム全体のゲイン 100 に対する抵抗数が少なくなります。(図 71 参照。)

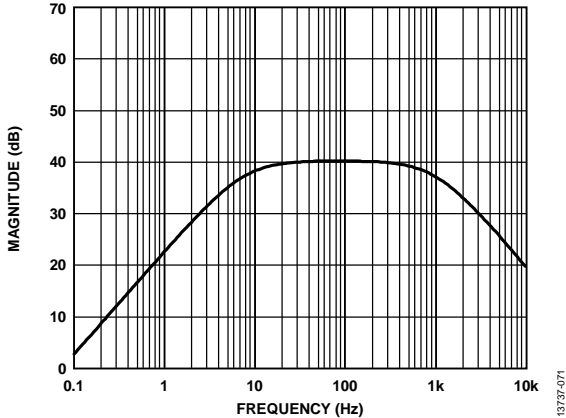


図 71. 心臓近くの HRM 回路の周波数応答

この構成の入力端子では 2 本の 180 kΩ 抵抗を使用して、ユーザを故障状態から保護します。2 本の 10 MΩ 抵抗は入力バイアスを提供します。布電極のような高い出力インピーダンスを持つ電極には大きな値を使用してください。

回路図には、ミッドスケール・リファレンス電圧を設定する 2 本の 10 MΩ 抵抗も示してあります。使用可能なリファレンス電圧がある場合、REFIN 入力に接続すると、これら 2 本の 10 MΩ 抵抗は不要になります。

運動機器アプリケーション: 手での心拍測定

このアプリケーションでは、ステンレス電極を手当てて心拍信号を測定します。ユーザの腕と上半身の動きにより、大きなモーション・アーチファクトが発生し、リードが長いと、システムは同相モード干渉の影響を受けやすくなります。心臓信号と干渉を分離するために非常に狭いバンドパス特性が必要になります。

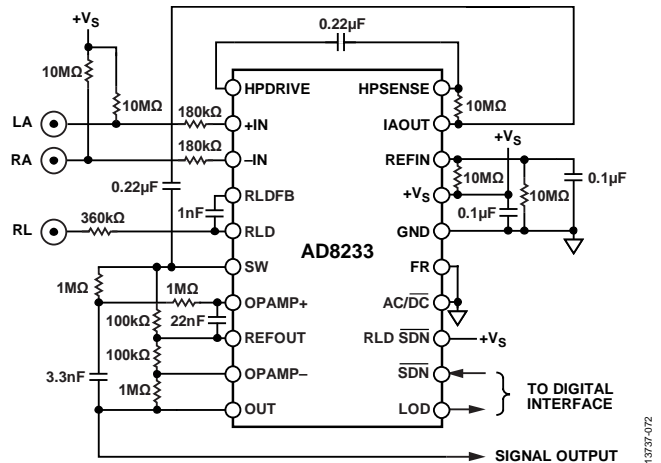


図 72. 手での HRM の回路

図 72 の回路では、7 Hz に設定された 2 極ハイパス・フィルタを使用しています。24 Hz の 2 極ローパス・フィルタが、ハイパス・フィルタの後ろに使用され、その他のアーチファクトとライン・ノイズを除去します。

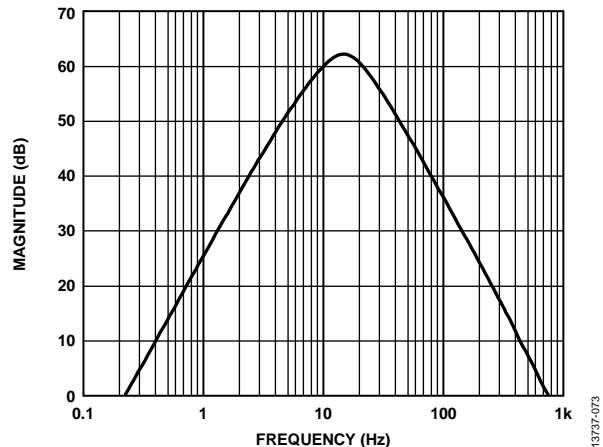


図 73. 手で取得する HRM 回路の周波数応答

この 2 極ローパス・フィルタとハイパス・フィルタを組み合わせた全体の狭帯域性により、ECG 波形は大きな歪みを受けません。このため、心拍の測定のみに適し、ECG 信号特性の解析には適しません。

ローパス・フィルタ・ステージには 11 のゲインがあるため、全体のシステム・ゲインは 1100 近くになります。ECG 信号を手で測定するため、心臓に近い場所で測定する場合より弱くなります。

RLD 回路が 3 つ目の電極（これも手にあります）を駆動して同相モード干渉を相殺させます。

HOLTER モニタの構成

図 75 の回路は、ECG 波形の形状をモニタするようにデザインされています。

歪みの小さい ECG 波形を得るため、AD8233 を 0.5 Hz の 1 極 ハイパス・フィルタとそれに続く 40 Hz の 2 極 ローパス・フィルタに構成します。3 つ目の電極は、最適な同相モード除去比を得るために駆動します。

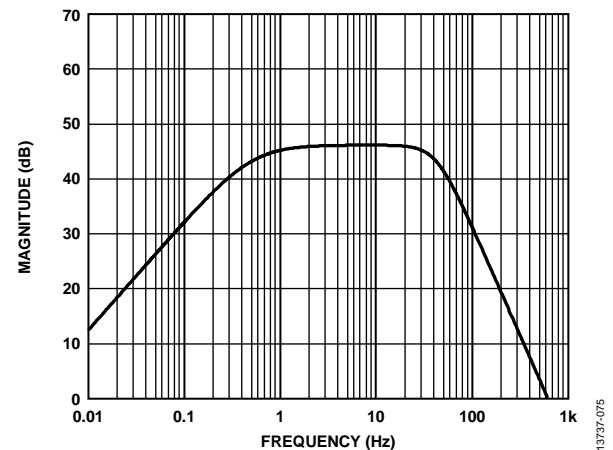


図 74. Holter モニタ回路の周波数応答

40 Hz フィルタの他に、オペアンプ・ステージのゲインを 2 に設定して、システム全体のゲインを 200 にしています。ゲインを低く維持すると、帯域内で生じるモーション・アーチファクトに対処するのに役立ちます。システムのダイナミックレンジを最適化するため、入力信号振幅（電極位置に応じて変化します）と ADC 入力範囲に応じて、ゲイン・レベルを調整可能にします。

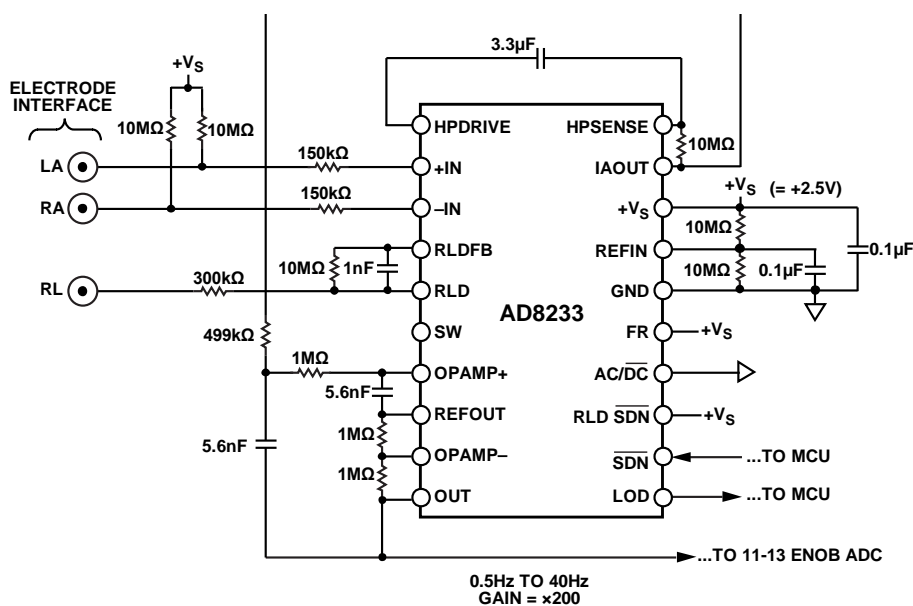


図 75. Holter モニタの回路

ECG と PPG の同期測定

患者の健康管理をモニタするために開発された装着可能機器では、バイオメディカル信号の同期測定を行うことがしばしば必要となります。例えば、ECG および光電脈波 (PPG) を同期測定することにより、パルス波遷移時間 (PWTT) を決定し、血圧の評価に使用することができます。

図 77 に示す回路は、AD8233 および ADPD105 測光フロント・エンドを使った ECG と PPG の同期測定を示しています。AD8233 はカットオフ周波数が 0.3 Hz の 2 極ハイパス・フィルタとカットオフ周波数が 37 Hz の 2 極ローパス・フィルタを実現しています。AD8233 の出力は 50 kΩ の抵抗を介して ADPD105 の電流入力の一つに与えられ、AD8233 の出力電圧を電流に変換します。PPG 信号は ADPD105 によって収集されます。ADPD105 は、LED ドライバ、複数のフォトダイオード電流入力、14 ビット逐次比較型 (SAR) ADC、および FIFO を内蔵した完全な光トランシーバです。図示の回路ではチップ・スケール ADPD105 を使用しています。ADPD105 は 2 入力デバイスです。ADPD105 は、連続したタイム・スロットで、フォトダイオード信号と AD8233 から ECG 信号を交互に測定し、PPG および ECG の完全に同期した測定値を提供するように構成されています。データは、オンチップ FIFO から、あるいはデータ・レジスタから直接読み出すことができます。ECG 信号を処理する ADPD105 チャンネルは、パルス接

続モードまたはトランスインピーダンス・アンプ (TIA) ADC モードのいずれかに設定し、また、入力バイアス電圧は 0.9 V に設定する必要があります。信号パスのダイナミックレンジを最適化するように、TIA のゲインを設定することができます。PPG 信号の処理に使用するチャンネルは通常の動作モードに設定します。AD8233 と ADPD105 を使った ECG と PPG の同期測定のプロットを図 76 に示します。

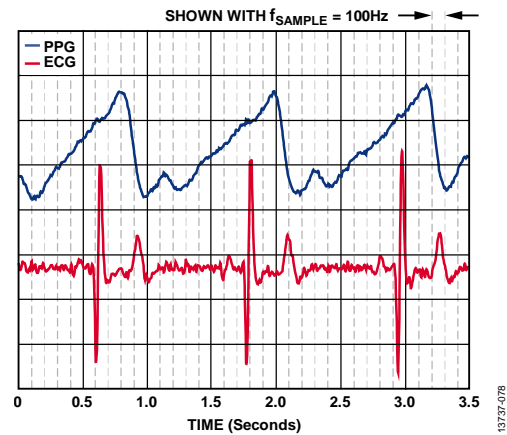


図 76. AD8233 と ADPD105 を使った ECG と PPG の同期測定

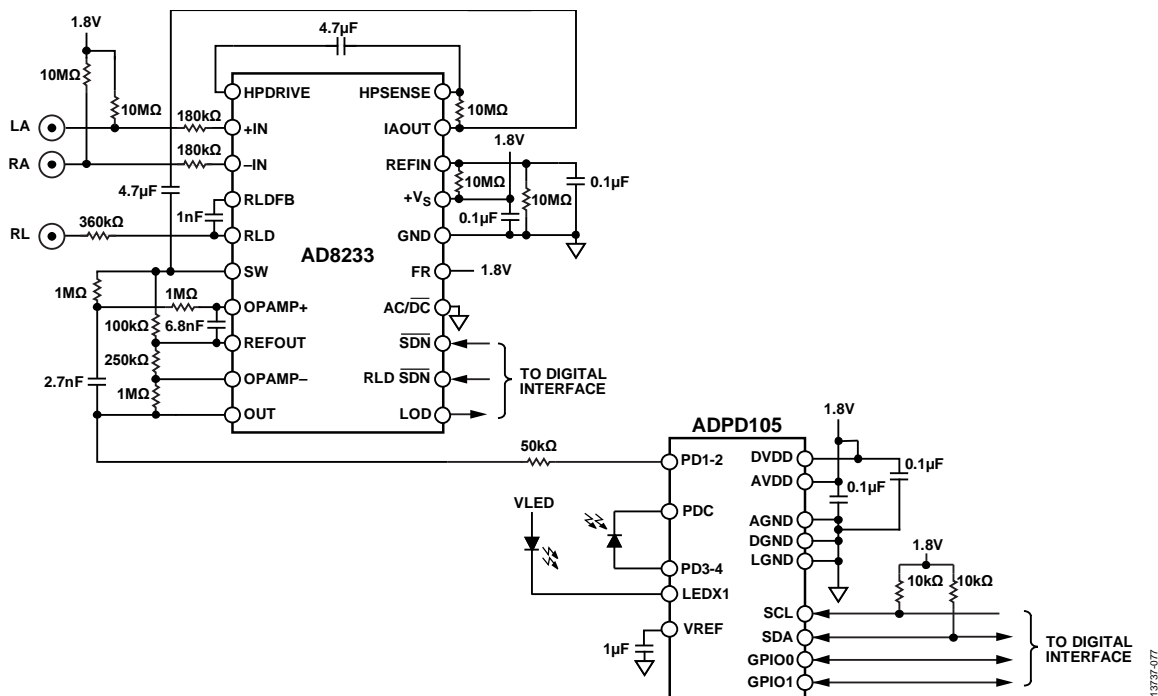


図 77. ECG と PPG の同期測定回路

パッケージとオーダー情報

外形寸法

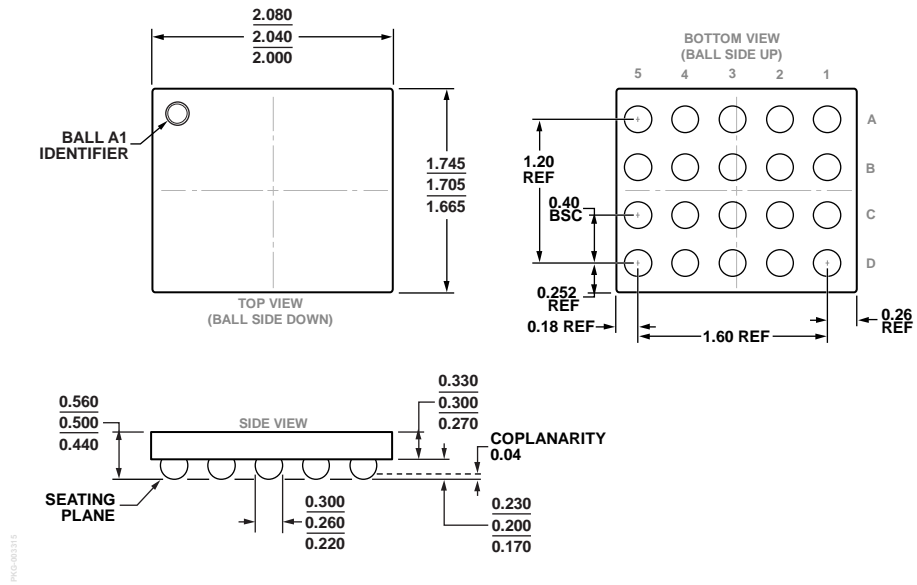


図 78.20 ボール、バックサイド・コート、ウェーハ・レベル・チップ・スケール・パッケージ [WLCSP] (CB-20-13)
寸法単位: mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option
AD8233ACBZ-R7	-40°C to +85°C	20-Ball, Backside-Coated, Wafer Level Chip Scale Package [WLCSP]	CP-20-13
AD8233CB-EBZ		Evaluation Board	

¹ Z = RoHS 準拠製品。