

特長

210°C 動作用にデザイン

低ノイズ

入力ノイズ: 1 nV/ $\sqrt{\text{Hz}}$

出力ノイズ: 45 nV/ $\sqrt{\text{Hz}}$

高い CMRR

G = 100 での最小 CMRR: 126 dB

G = 1、5 kHz までの最小 CMRR: 80 dB

優れた AC 仕様

帯域幅: 15 MHz (G = 1)

帯域幅: 1.2 MHz (G = 100)

スルーレート: 22 V/ μs

THD: 130 dB (1 kHz、G = 1)

汎用性

両電源動作: $\pm 4\text{ V} \sim \pm 17\text{ V}$

1本の抵抗でゲイン設定 (G = 1~1000)

温度範囲: $-40^\circ\text{C} \sim +210^\circ\text{C}$

アプリケーション

ダウンホール計装

厳しい環境でのデータ・アキュジション

排気ガス測定

振動解析

概要

AD8229 は、大きな同相モード電圧と高温の中で小さい信号を計測するためにデザインされた超低ノイズ計装アンプです。

AD8229 は、高温動作向けにデザインされています。製造プロセスは、高温でのリーク電流を防止する絶縁体アイソレーションを採用しています。デザイン・アーキテクチャは、高温での V_{BE} 電圧低下を補償するように選択されています。長時間信頼性を強化するため、パッケージ内のワイヤー・ボンディングは、高温での合金吸収をなくするようにデザインされています。

AD8229 は、小さい信号の識別に優れています。このデバイスは、業界をリードする 1 nV/ $\sqrt{\text{Hz}}$ の入力ノイズ性能を提供します。AD8229 は高い CMRR を持つため、不要な信号によりアキュジションが妨害されるのを防止します。ゲインが高いほど CMRR が大きくなるため、最も必要とされる場合に高い除去比が得られます。

機能ブロック図

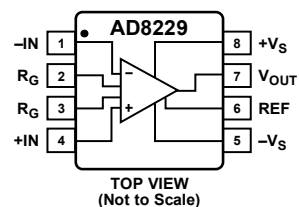


図 1.

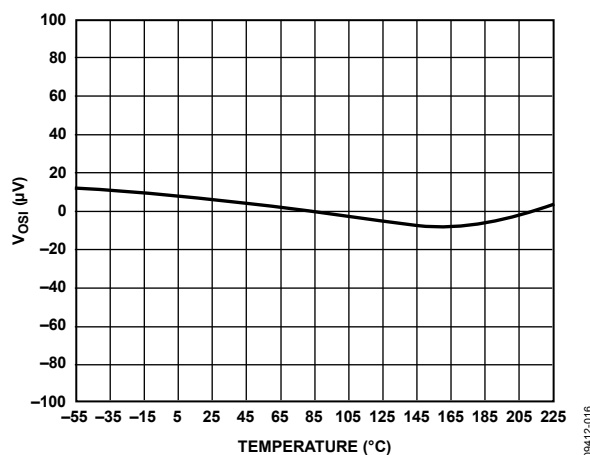


図 2. 入力オフセット (typ) の温度特性 (G = 100)

AD8229 は販売されている最高速計装アンプの 1 つです。このデバイスの電流帰還アーキテクチャでは、高いゲインでも非常に広い帯域幅を提供しています。例えば、G = 100 で 1.2 MHz です。広い帯域幅から優れた歪み性能が得られるため、振動解析などの厳しいアプリケーションでの使用が可能になっています。

ゲインは、1本の抵抗で 1~1000 の範囲で設定できます。REF ピンを使うと、出力電圧をオフセットさせることができます。この機能は、A/D コンバータとインターフェースさせる際に便利です。

AD8229 は、8 ピン・セラミック DIP パッケージを採用しています。

目次

特長.....	1	ゲインの選択.....	17
アプリケーション.....	1	REFピン.....	17
概要.....	1	入力電圧範囲.....	18
機能ブロック図.....	1	レイアウト.....	18
改訂履歴.....	2	入力バイアス電流のリターン・パス.....	19
仕様.....	3	入力保護.....	19
絶対最大定格.....	6	無線周波数干渉(RFI).....	19
熱抵抗.....	6	入力ステージ・ノイズの計算.....	20
ESDの注意.....	6	外形寸法.....	21
ピン配置およびピン機能説明.....	7	オーダー・ガイド.....	21
代表的な性能特性.....	8		
動作原理.....	17		
アーキテクチャ.....	17		

改訂履歴

1/11—Revision 0: Initial Version

仕様

特に指定がない限り、 $+V_S = 15\text{ V}$ 、 $-V_S = -15\text{ V}$ 、 $V_{REF} = 0\text{ V}$ 、 $T_A = 25^\circ\text{C}$ 、 $G = 1$ 、 $R_L = 10\text{ k}\Omega$ 。

表 1.

Parameter	Test Conditions	DIP package			Unit
		Min	Typ	Max	
COMMON-MODE REJECTION RATIO (CMRR)					
CMRR DC to 60 Hz with 1 k Ω Source Imbalance G = 1 Temperature Drift	$V_{CM} = \pm 10\text{ V}$ $T_A = -40^\circ\text{C to } +210^\circ\text{C}$	86		300	dB nV/V/ $^\circ\text{C}$
G = 10 Temperature Drift	$T_A = -40^\circ\text{C to } +210^\circ\text{C}$	106		30	dB nV/V/ $^\circ\text{C}$
G = 100 Temperature Drift	$T_A = -40^\circ\text{C to } +210^\circ\text{C}$	126		3	dB nV/V/ $^\circ\text{C}$
G = 1000	$T_A = -40^\circ\text{C to } +210^\circ\text{C}$	134			dB
CMRR at 5 kHz G = 1	$V_{CM} = \pm 10\text{ V}$	80			dB
G = 10		90			dB
G = 100		90			dB
G = 1000		90			dB
VOLTAGE NOISE					
Spectral Density ¹ : 1 kHz Input Voltage Noise, e_{in} Output Voltage Noise, e_{no} Peak to Peak: 0.1 Hz to 10 Hz G = 1 G = 1000	$V_{IN+}, V_{IN-} = 0\text{ V}$		1 45 2 100	1.1 50	nV/ $\sqrt{\text{Hz}}$ nV/ $\sqrt{\text{Hz}}$ $\mu\text{V p-p}$ nV p-p
CURRENT NOISE					
Spectral Density: 1 kHz Peak to Peak: 0.1 Hz to 10 Hz			1.5 100		pA/ $\sqrt{\text{Hz}}$ pA p-p
VOLTAGE OFFSET					
Input Offset, V_{OSI} Average TC Output Offset, V_{OSO} Average TC Offset RTI vs. Supply (PSR) G = 1 G = 10 G = 100 G = 1000	$V_{OS} = V_{OSI} + V_{OSO}/G$ $-40^\circ\text{C to } +210^\circ\text{C}$ $-40^\circ\text{C to } +210^\circ\text{C}$ $V_S = \pm 5\text{ V to } \pm 15\text{ V}$ $-40^\circ\text{C to } +210^\circ\text{C}$ $-40^\circ\text{C to } +210^\circ\text{C}$ $-40^\circ\text{C to } +210^\circ\text{C}$ $-40^\circ\text{C to } +210^\circ\text{C}$			100 1 1000 10	μV $\mu\text{V}/^\circ\text{C}$ μV $\mu\text{V}/^\circ\text{C}$ dB dB dB dB
INPUT CURRENT					
Input Bias Current High Temperature Input Offset Current High Temperature	$T_A = 210^\circ\text{C}$ $T_A = 210^\circ\text{C}$			70 200 35 50	nA nA nA nA

Parameter	Test Conditions	DIP package			Unit
		Min	Typ	Max	
DYNAMIC RESPONSE					
Small Signal Bandwidth – 3 dB					
G = 1			15		MHz
G = 10			4		MHz
G = 100			1.2		MHz
G = 1000			0.15		MHz
Settling Time 0.01%	10 V step				
G = 1			0.75		μs
G = 10			0.65		μs
G = 100			0.85		μs
G = 1000			5		μs
Settling Time 0.001%	10 V step				
G = 1			0.9		μs
G = 10			0.9		μs
G = 100			1.2		μs
G = 1000			7		μs
Slew Rate					
G = 1 to 100			22		V/μs
GAIN²					
Gain Range	G = 1 + (6 kΩ/R _G)	1		1000	V/V
Gain Error	V _{OUT} = ±10 V				
G = 1			0.01	0.03	%
G = 10			0.05	0.3	%
G = 100			0.05	0.3	%
G = 1000			0.1	0.3	%
Gain Nonlinearity	V _{OUT} = –10 V to +10 V				
G = 1 to 1000	R _L = 10 kΩ		2		ppm
Gain vs. Temperature					
G = 1	–40°C to +210°C		2	5	ppm/°C
G > 10	–40°C to +210°C			–100	ppm/°C
INPUT					
Impedance (Pin to Ground) ³			1.5 3		GΩ pF
Input Operating Voltage Range ⁴	V _S = ±5 V to ±18 V for dual supplies	–V _S + 2.8		+V _S – 2.5	V
Over Temperature	–40°C to +210°C	–V _S + 2.8		+V _S – 2.5	V
OUTPUT					
Output Swing	R _L = 2 kΩ	–V _S + 1.9		+V _S – 1.5	V
High Temperature	T _A = 210°C	–V _S + 1.1		+V _S – 1.1	V
Output Swing	R _L = 10 kΩ	–V _S + 1.8		+V _S – 1.2	V
High Temperature	T _A = 210°C	–V _S + 1.1		+V _S – 1.1	V
Short-Circuit Current			35		mA
REFERENCE INPUT					
R _{IN}			10		kΩ
I _{IN}	V _{IN+} , V _{IN–} = 0 V		70		μA
Voltage Range		–V _S		+V _S	V
Reference Gain to Output			1		V/V
Reference Gain Error			0.01		%

Parameter	Test Conditions	DIP package			Unit
		Min	Typ	Max	
POWER SUPPLY					
Operating Range		±4		±17	V
Quiescent Current			6.7	7	mA
High Temperature	T = 210°C			12	mA
TEMPERATURE RANGE					
For Specified Performance ⁵		-40		+210	°C

¹ 総合電圧ノイズ = $\sqrt{(e_{ni}^2 + (e_{no}/G)^2) + e_{RG}^2}$ 。詳細については、動作原理のセクションを参照してください。

² これらの規定値には、外付けゲイン設定抵抗 R_G の偏差は含まれません。G>1 の場合、 R_G 誤差をこの表の規定値に加算する必要があります。

³ 差動および同相モード入力インピーダンスは、ピン・インピーダンス $Z_{DIFF} = 2(Z_{PIN})$ 、 $Z_{CM} = Z_{PIN}/2$ から計算することができます。

⁴ AD8229 入力ステージのみの入力電圧範囲。入力範囲は、同相モード電圧、差動電圧、ゲイン、リファレンス電圧に依存します。詳細については、入力電圧範囲のセクションを参照してください。

⁵ 210°C での性能は、1000 時間保証します。

絶対最大定格

表 2.

Parameter	Rating
Supply Voltage	$\pm 17\text{ V}$
Output Short-Circuit Current Duration	Indefinite
Maximum Voltage at $-IN$, $+IN$ ¹	$\pm V_S$
Differential Input Voltage ¹	
Gain ≤ 4	$\pm V_S$
$4 > \text{Gain} > 50$	$\pm 50\text{ V/Gain}$
Gain ≥ 50	$\pm 1\text{ V}$
Maximum Voltage at REF	$\pm V_S$
Storage Temperature Range	
CERDIP	$-65^\circ\text{C to }+150^\circ\text{C}$
Specified Temperature Range	
CERDIP	$-40^\circ\text{C to }+210^\circ\text{C}$
Maximum Junction Temperature	
CERDIP	245°C

¹ これらの規定値を超える電圧に対しては、入力保護抵抗を使用してください。詳細については、アプリケーションのセクションを参照してください。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

熱抵抗

θ_{JA} は、自然空冷のデバイスで規定。

表 3.

Package	θ_{JA}	Unit
8-Lead, Size Brazed, CERDIP, 4-Layer JEDEC Board	100	$^\circ\text{C/W}$

ESDの注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明

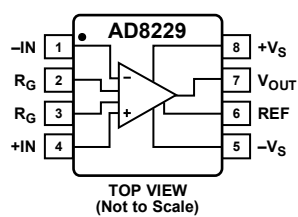


図 3. ピン配置

表 4. ピン機能の説明

ピン番号	記号	説明
1	-IN	負の入力ピン。
2、3	R _G	ゲイン設定ピン。R _G ピンに抵抗を接続してゲインを設定します。G = 1 + (6 kΩ/R _G)。
4	+IN	正の入力ピン。
5	-V _S	負の電源ピン。
6	REF	リファレンス電圧ピン。このピンを低インピーダンス電圧源で駆動して出力をレベルシフトさせます。
7	V _{OUT}	出力ピン。
8	+V _S	正の電源ピン。

代表的な性能特性

特に指定がない限り、 $T = 25^{\circ}\text{C}$ 、 $V_S = \pm 15\text{ V}$ 、 $V_{\text{REF}} = 0$ 、 $R_L = 2\text{ k}\Omega$ 。

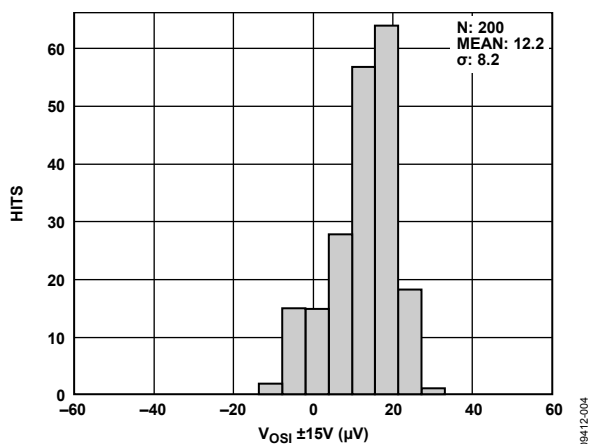


図 4.入力オフセット電圧の分布

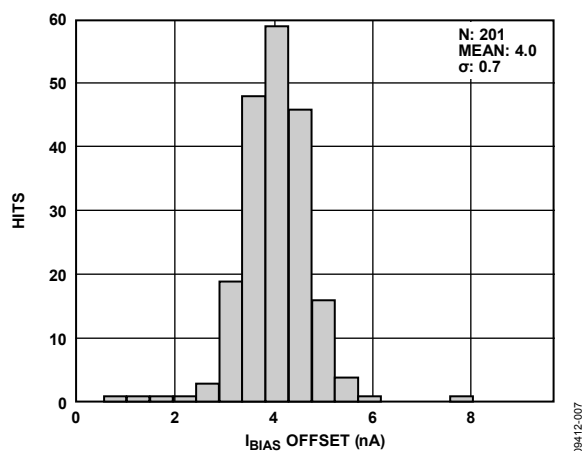


図 7.入力オフセット電流の分布

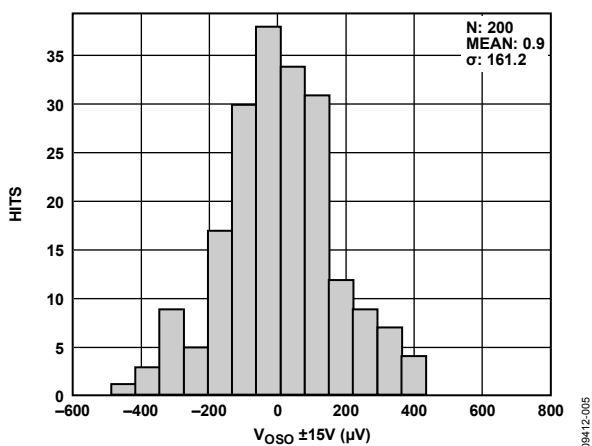


図 5.出力オフセット電圧の分布

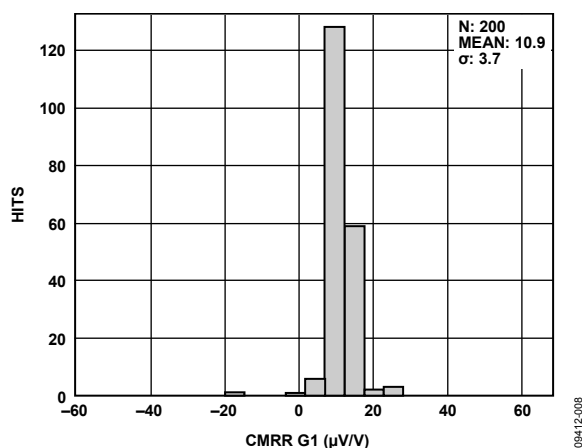


図 8.同相モード除去比(typ)の分布、 $G = 1$

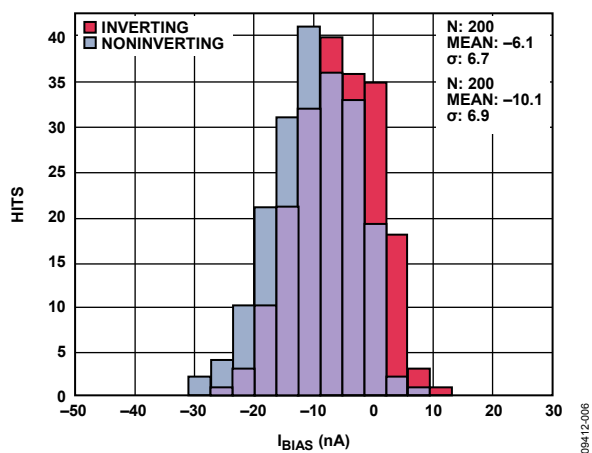


図 6.入力バイアス電流の分布

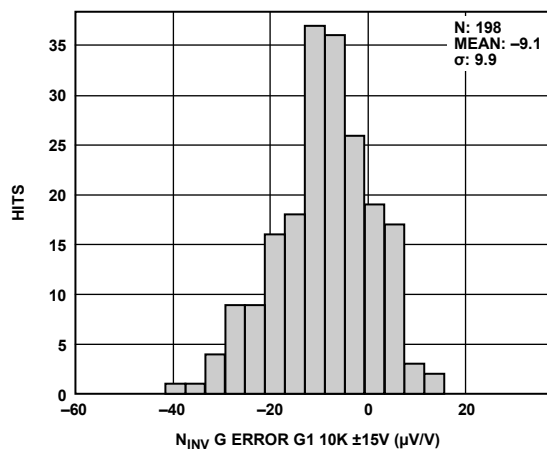


図 9.ゲイン誤差(Typ)の分布、 $G = 1$

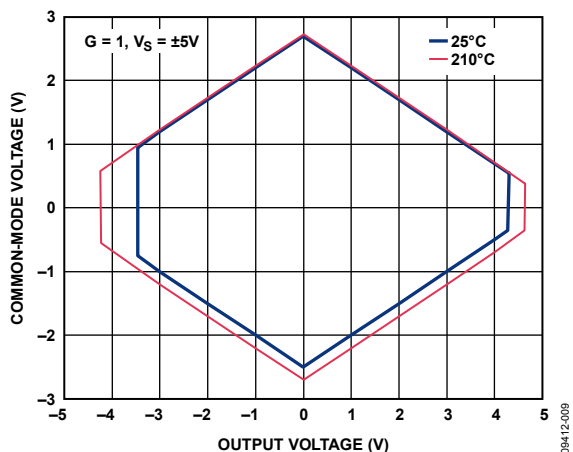


図 10. 出力電圧対入力同相モード電圧
両電源、 $V_S = \pm 5V$ 、 $G = 1$

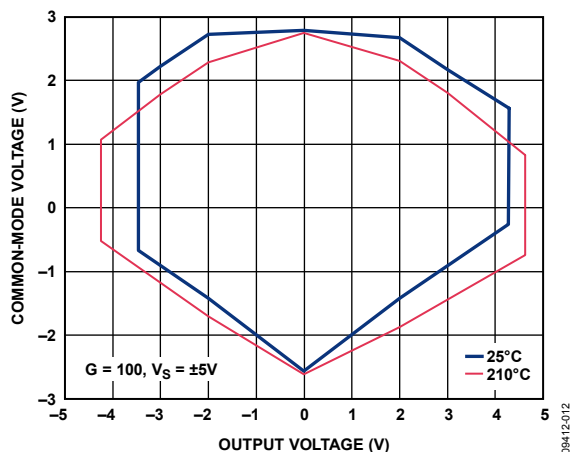


図 13. 出力電圧対入力同相モード電圧
両電源、 $V_S = \pm 5V$ 、 $G = 100$

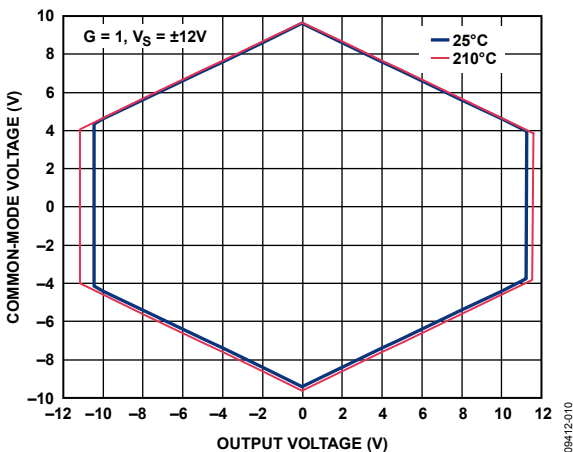


図 11. 出力電圧対入力同相モード電圧
両電源、 $V_S = \pm 12V$ 、 $G = 1$

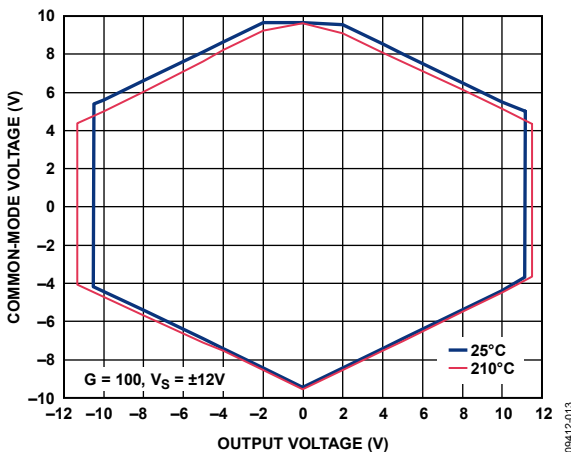


図 14. 出力電圧対入力同相モード電圧
両電源、 $V_S = \pm 12V$ 、 $G = 100$

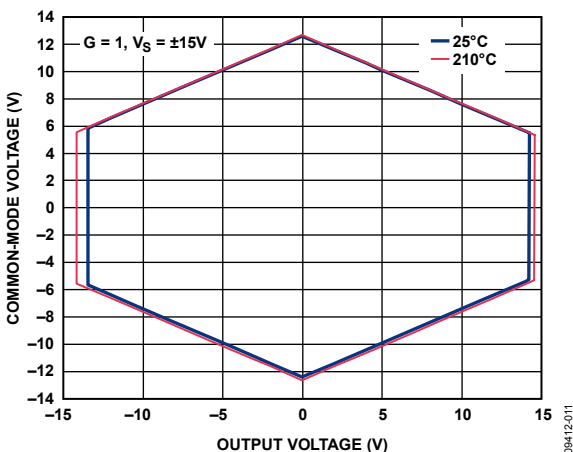


図 12. 出力電圧対入力同相モード電圧
両電源、 $V_S = \pm 15V$ 、 $G = 1$

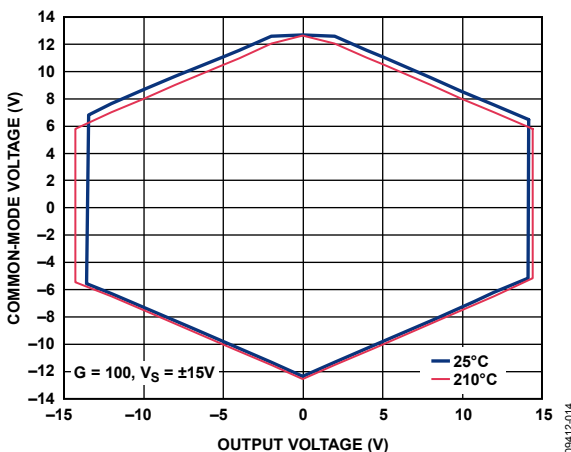


図 15. 出力電圧対入力同相モード電圧
両電源、 $V_S = \pm 15V$ 、 $G = 100$

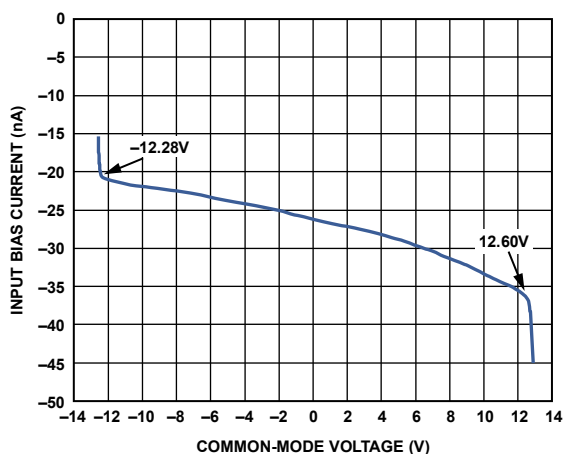


図 16.同相モード電圧対入力バイアス電流

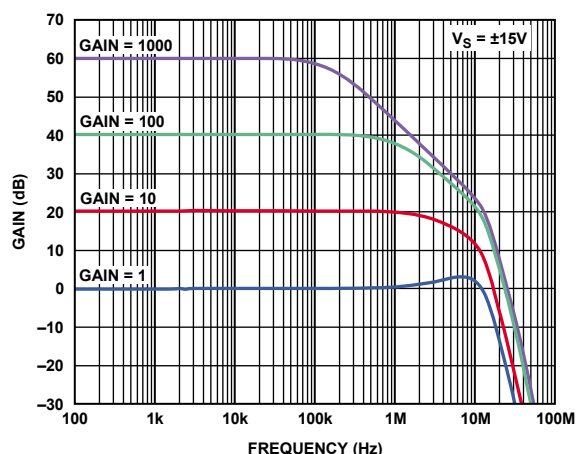


図 19.ゲインの周波数特性

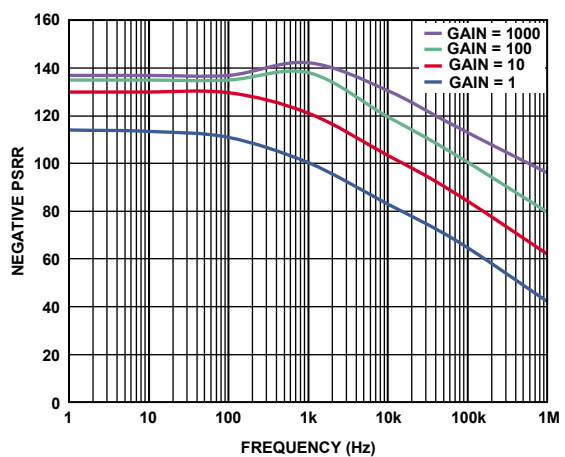


図 17.正 PSRR の周波数特性

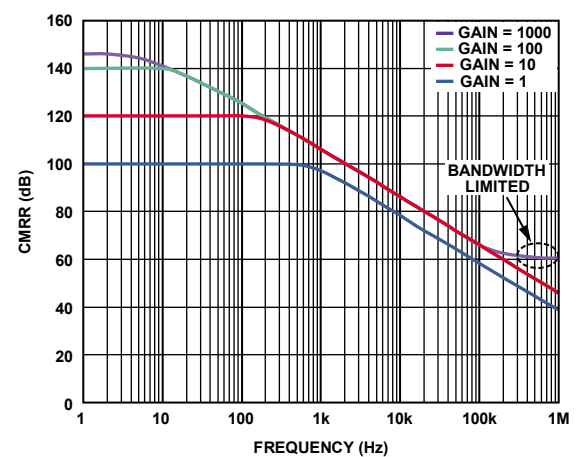


図 20.CMRR の周波数特性

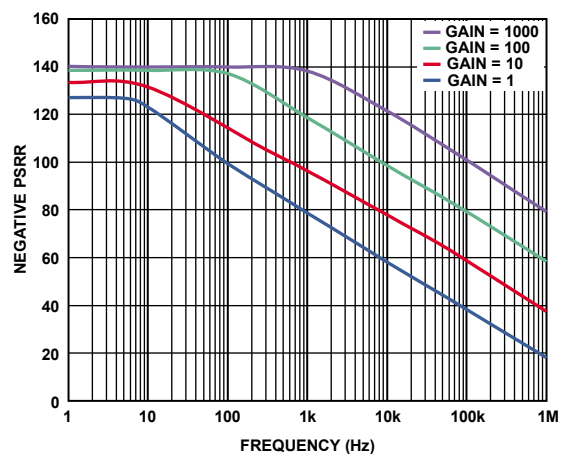


図 18.負 PSRR の周波数特性

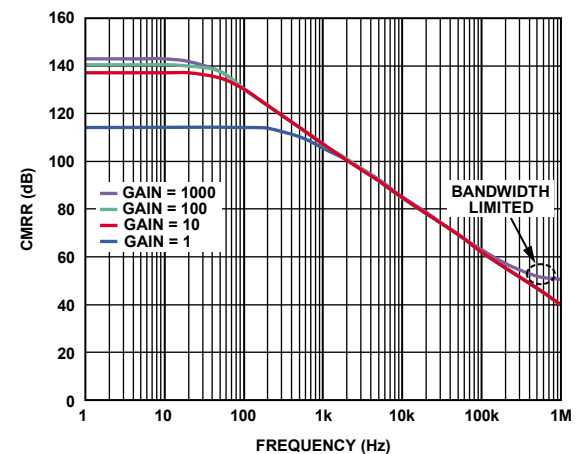
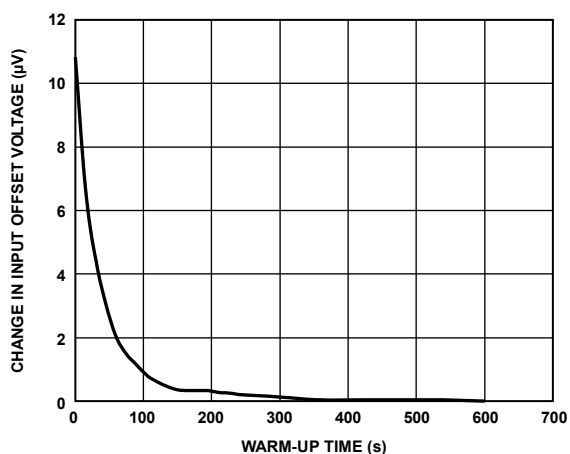
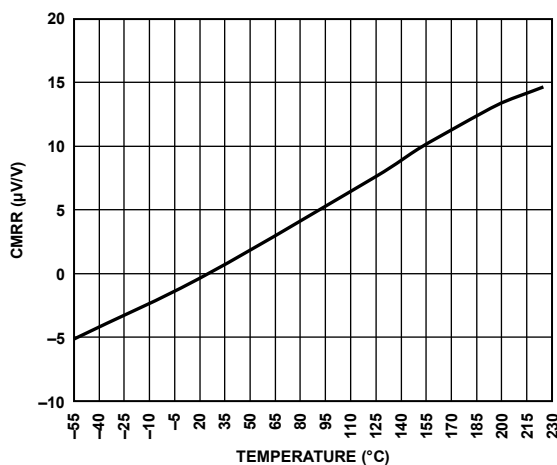


図 21.CMRR の周波数特性、1 kΩ ソース不平衡



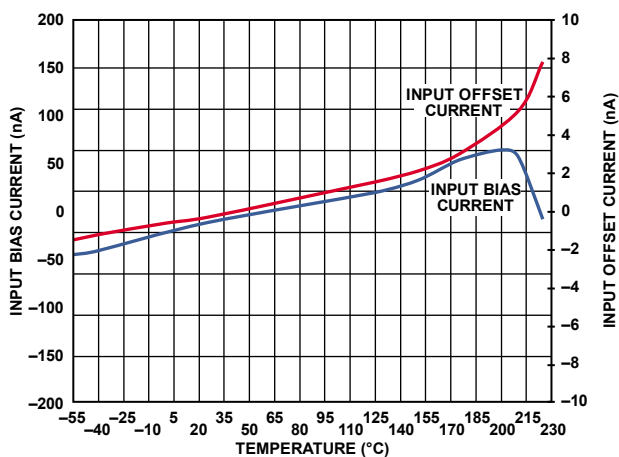
08412-071

図 22. ウォームアップ時間対入力オフセット電圧(V_{OSI})変化



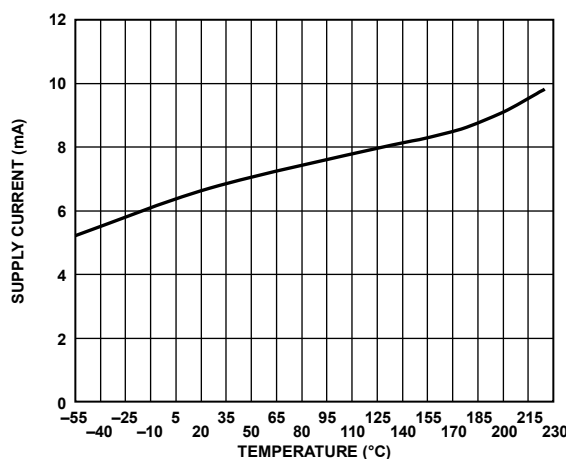
08412-023

図 25. CMRR の温度特性、 $G = 1$ 、 25°C で正規化



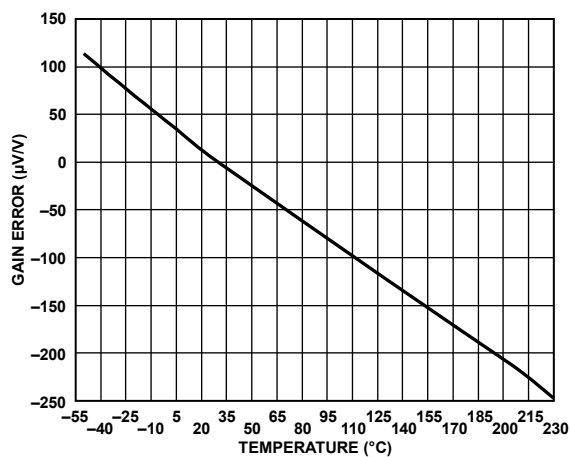
08412-072

図 23. 入力バイアス電流と入力オフセット電流の温度特性



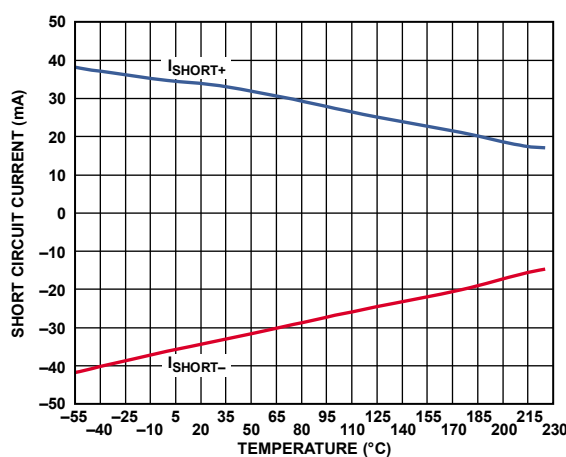
08412-074

図 26. 電源電流の温度特性、 $G = 1$



08412-073

図 24. ゲイン誤差の温度特性、 $G = 1$ 、 25°C で正規化



08412-075

図 27. 短絡電流の温度特性、 $G = 1$

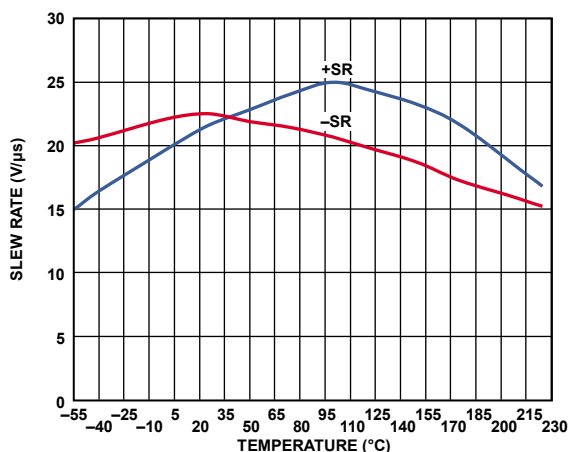


図 28. スルーレートの温度特性、 $V_S = \pm 15\text{ V}$ 、 $G = 1$

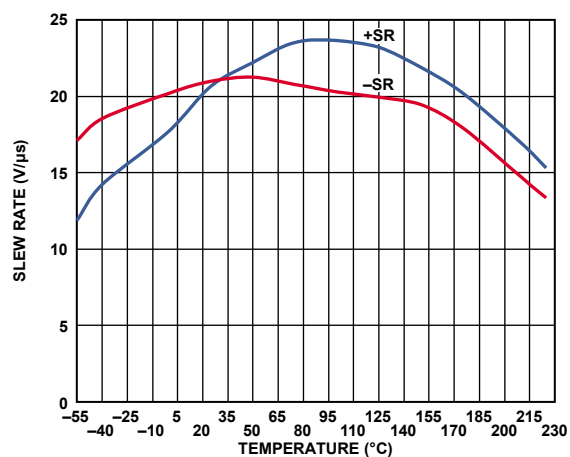


図 29. スルーレートの温度特性、 $V_S = \pm 5\text{ V}$ 、 $G = 1$

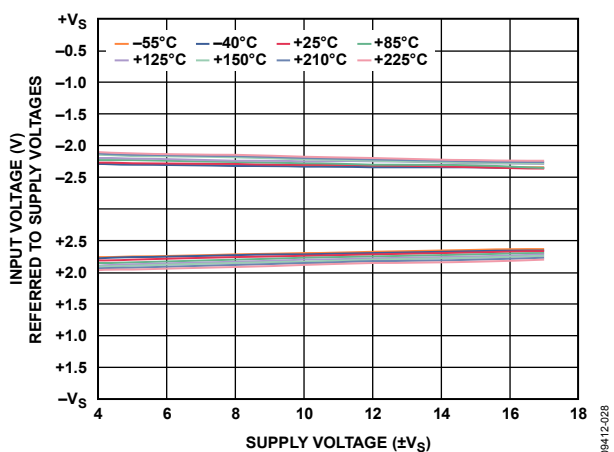


図 30. 電源電圧対入力電圧制限値

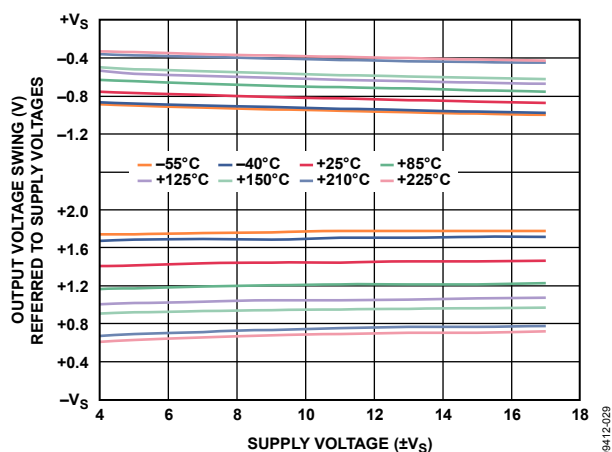


図 31. 電源電圧対出力電圧振幅、 $R_L = 10\text{ k}\Omega$

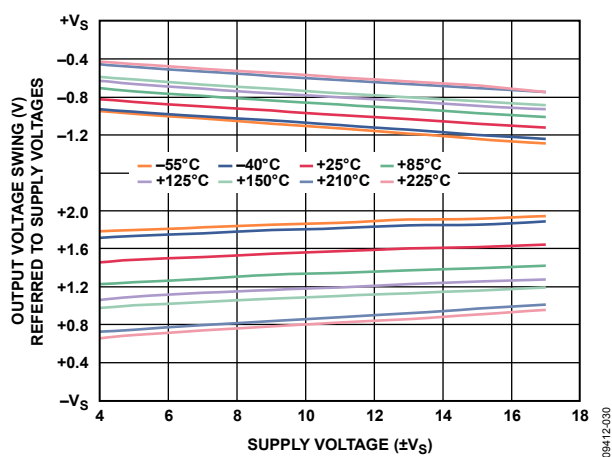


図 32. 電源電圧対出力電圧振幅、 $R_L = 2\text{ k}\Omega$

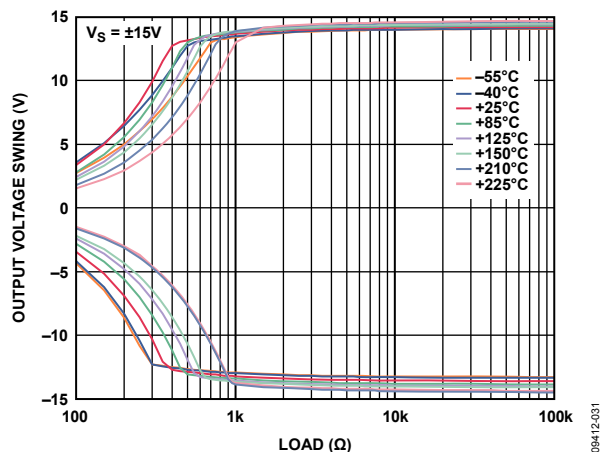


図 33. 負荷抵抗対出力電圧振幅

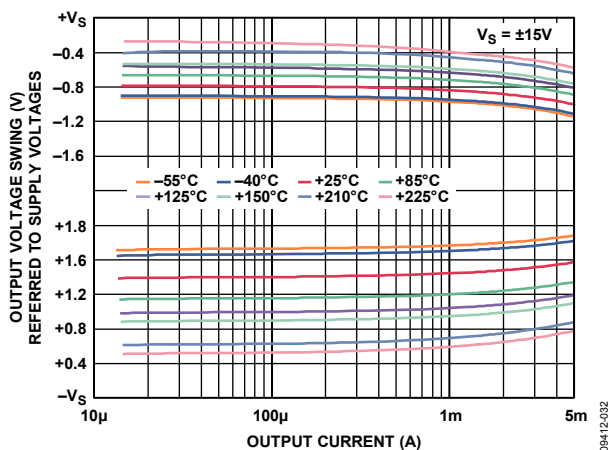


図 34. 出力電流対出力電圧振幅

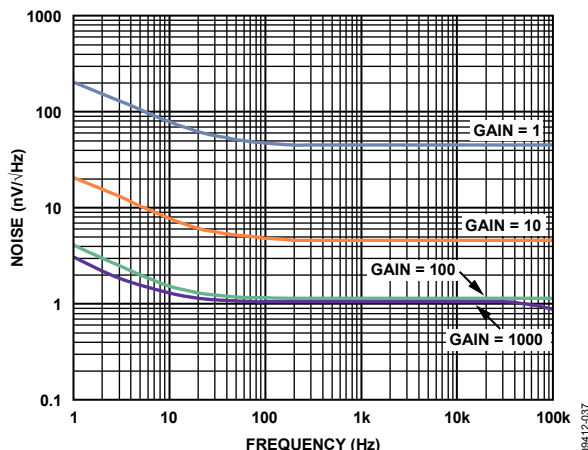


図 37. 電圧ノイズ・スペクトル密度の周波数特性

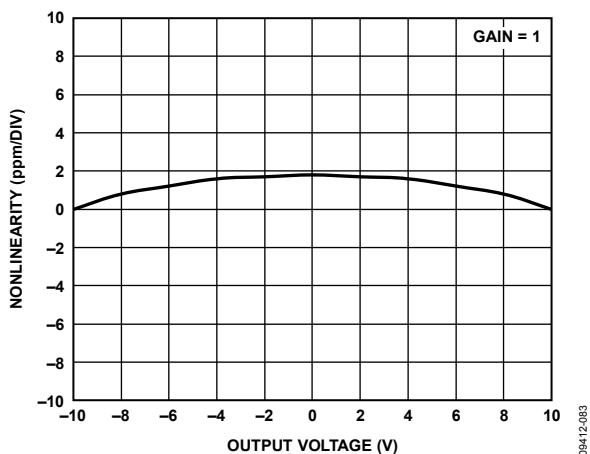


図 35. ゲイン非直線性、 $G = 1$ 、 $R_L = 10 k\Omega$

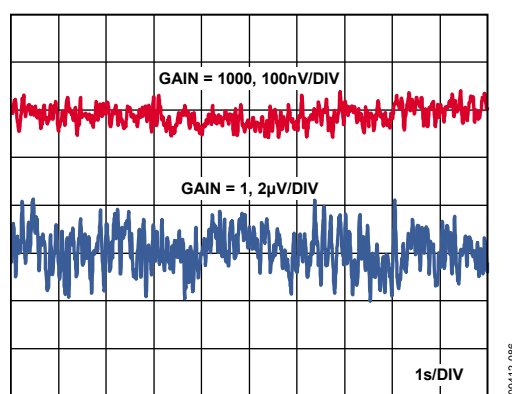


図 38. 0.1 Hz ~ 10 Hz での RTI 電圧ノイズ
 $G = 1$ 、 $G = 1000$

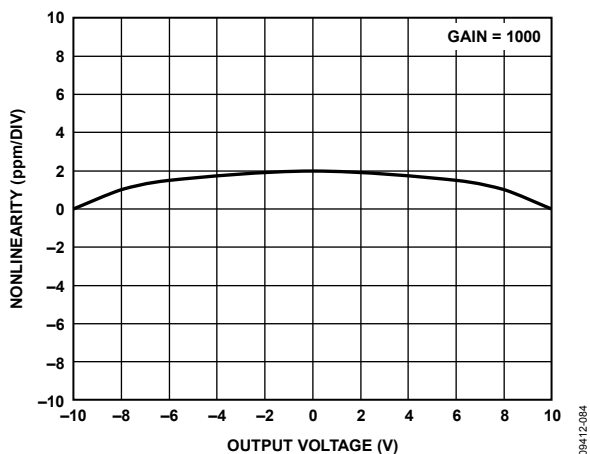


図 36. ゲイン非直線性、 $G = 1000$ 、 $R_L = 10 k\Omega$

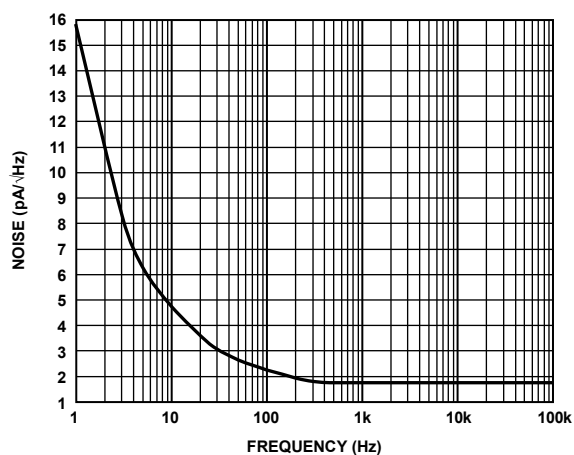


図 39. 電流ノイズ・スペクトル密度の周波数特性

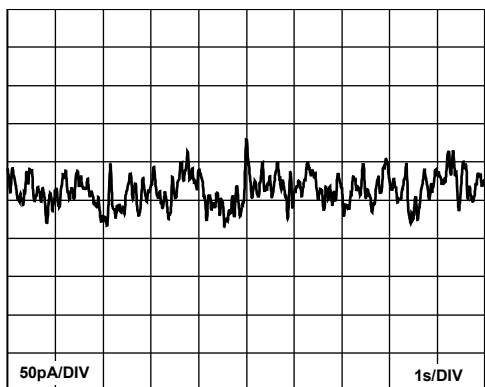


図 40. 40.1 Hz~10 Hz での電流ノイズ

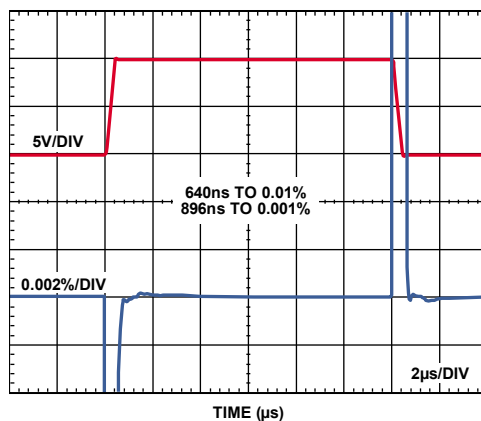


図 43. 大信号パルス応答とセトリング・タイム
G = 10、10V ステップ、 $V_S = \pm 15V$

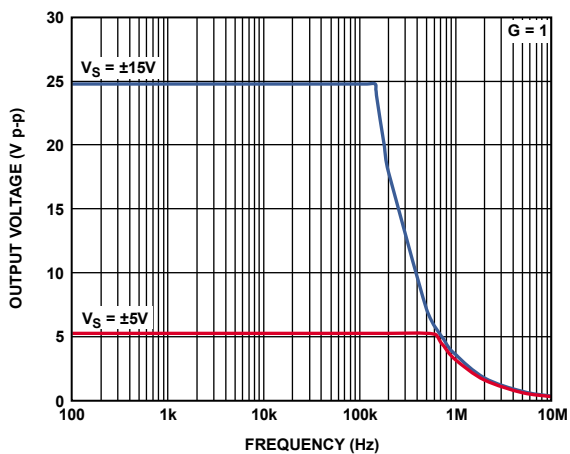


図 41. 大信号周波数応答

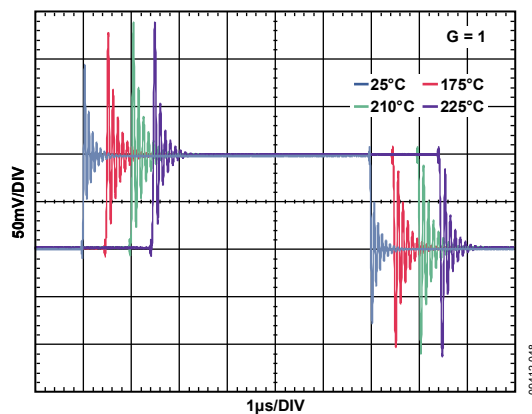


図 44. 小信号応答、G = 1、 $R_L = 10k\Omega$ 、 $C_L = 100pF$

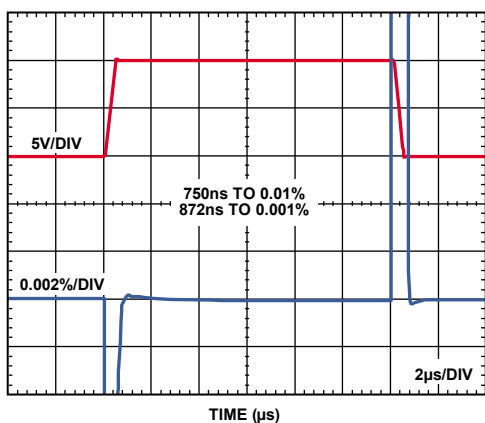


図 42. 大信号パルス応答とセトリング・タイム
G = 1、10V ステップ、 $V_S = \pm 15V$

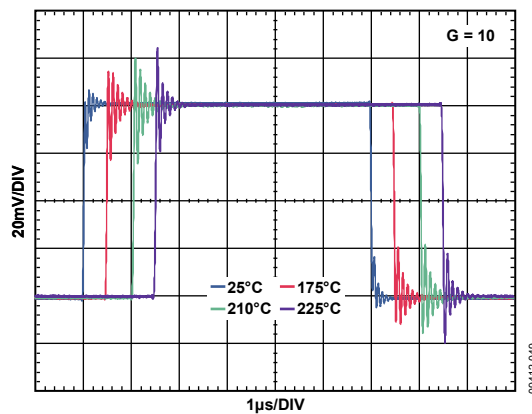


図 45. 小信号応答、G = 10、 $R_L = 10k\Omega$ 、 $C_L = 100pF$

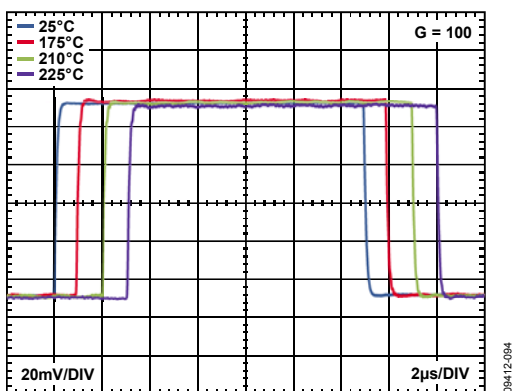


図 46. 小信号応答、 $G = 100$ 、 $R_L = 10\text{ k}\Omega$ 、 $C_L = 100\text{ pF}$

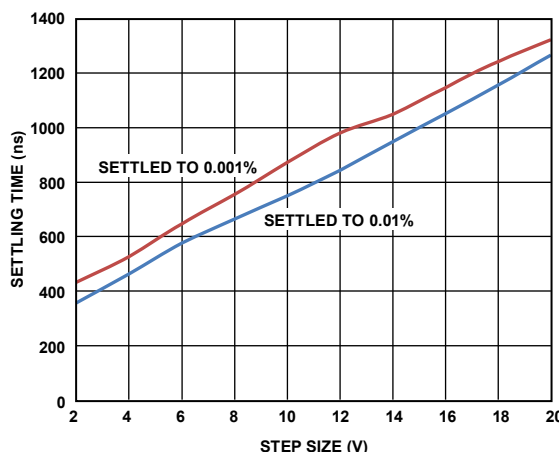


図 49. ステップ・サイズ対セトリング・タイム
 $G = 1$

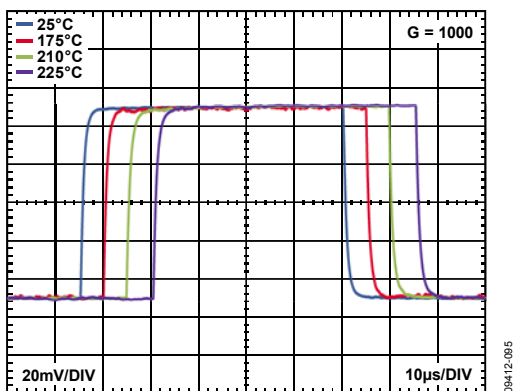


図 47. 小信号応答、 $G = 1000$ 、 $R_L = 10\text{ k}\Omega$ 、 $C_L = 100\text{ pF}$

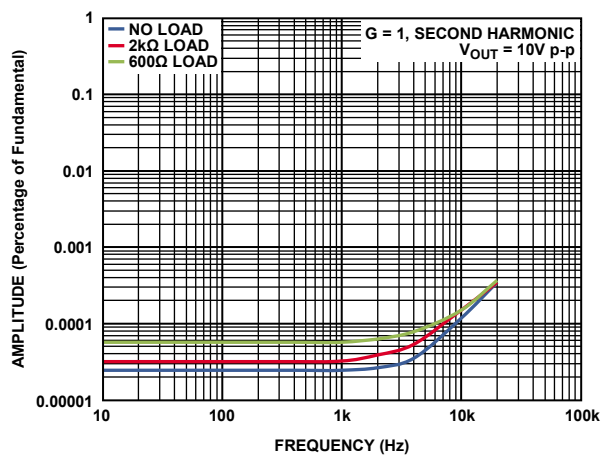


図 50. 2次高調波歪みの周波数特性、 $G = 1$

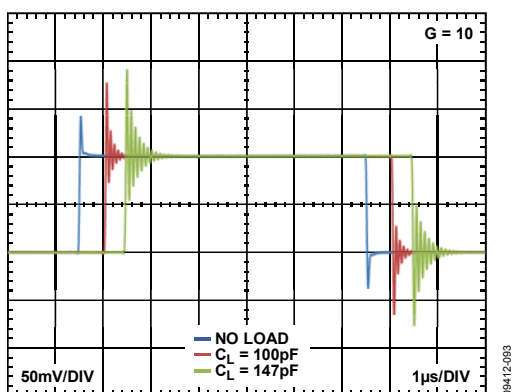


図 48. 様々な容量負荷での小信号応答
 $G = 1$ 、 $R_L = \infty$

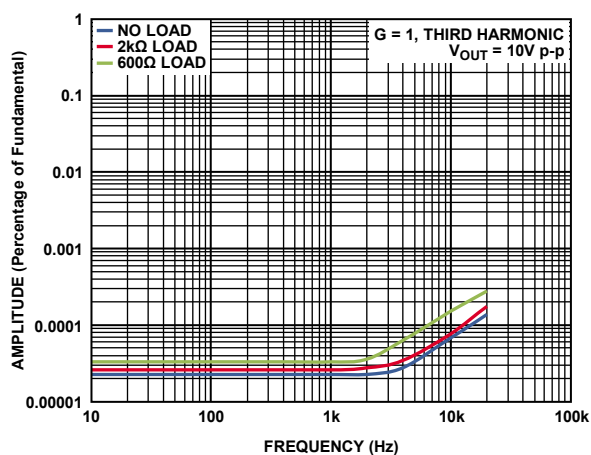


図 51. 3次高調波歪みの周波数特性、 $G = 1$

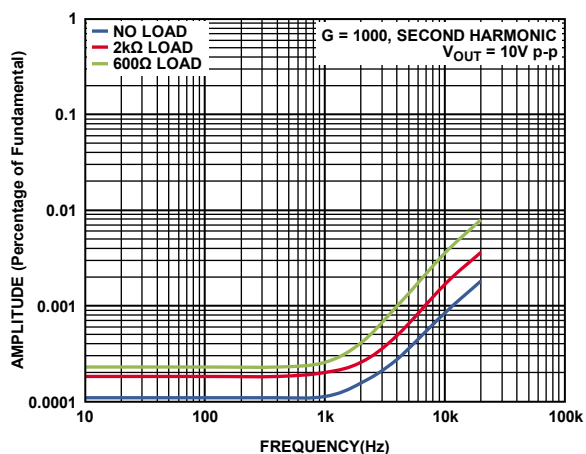


図 52.2 次高調波歪みの周波数特性、G = 1000

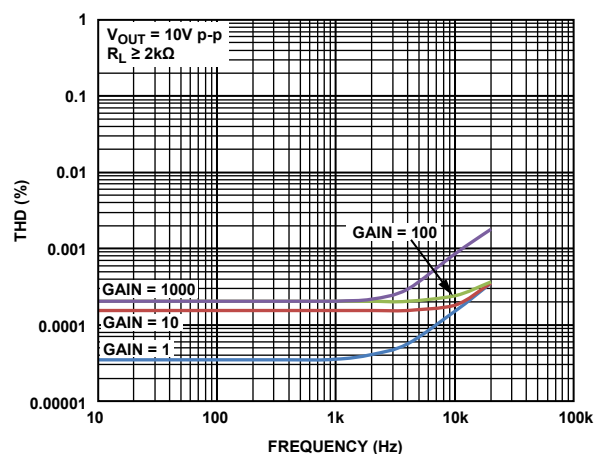


図 54.各周波数での THD

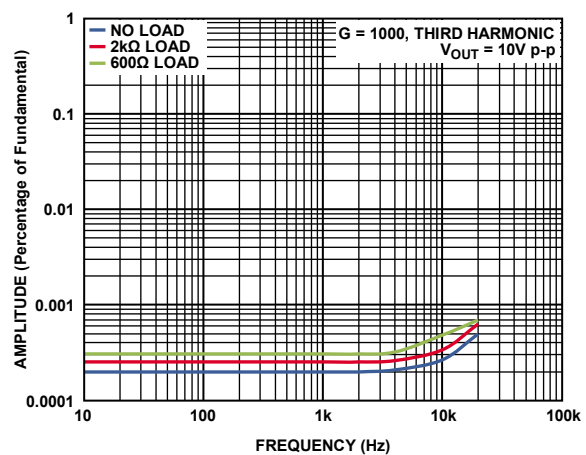


図 53.3 次高調波歪みの周波数特性、G = 1000

動作原理

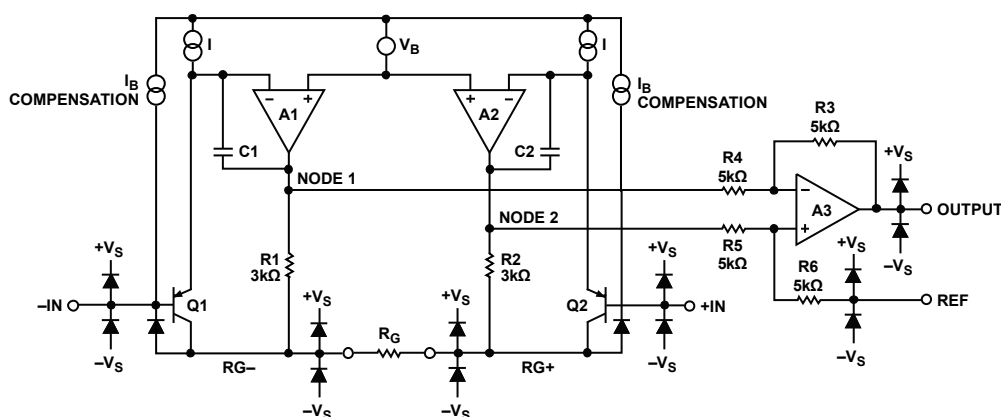


図 55.簡略化した回路図

アーキテクチャ

AD8229 は従来型 3 オペアンプ構成を採用しています。この構成は、差動増幅用のプリアンプと、それに続く同相モード電圧を除去しゲインを追加するディファレンス・アンプの 2 ステージから構成されています。図 55 に、AD8229 の簡略化した回路図を示します。

最初のステージは次のように動作します。2 つの入力の一致を維持させるため、アンプ A1 は Q1 のコレクタ電圧を一定に維持する必要があります。これは、RG-を-IN からの正確なダイオード電圧降下に一致させ、同様に A2 により RG+を+IN からの一定ダイオード電圧降下に一致させることにより実現されています。このため、ゲイン設定抵抗 R_G の両端に差動入力電圧と等しい電圧が加えられます。この抵抗を流れる電流は抵抗 R1 と R2 にも流れるため、A2 出力と A1 出力との間に増幅された差動信号が現れます。

2 段階ステージは、アンプ A3 と R3~R6 の抵抗で構成された $G = 1$ のディファレンス・アンプです。このステージでは、増幅された差動信号から同相モード信号を除去します。

AD8229 の伝達関数は次式で表されます。

$$V_{OUT} = G \times (V_{IN+} - V_{IN-}) + V_{REF}$$

ここで、

$$G = 1 + \frac{6 \text{ k}\Omega}{R_G}$$

ゲインの選択

R_G ピン間に抵抗を接続すると、AD8229 のゲインが設定されます。ゲインは、表 5 からまたは次式を使って求めることができます。

$$R_G = \frac{6 \text{ k}\Omega}{G - 1}$$

表 5.1%抵抗を使った場合のゲイン

1% Standard Table Value of R_G (Ω)	Calculated Gain
6.04 k	1.993
1.5 k	5.000
665	10.02
316	19.99
121	50.59
60.4	100.34
30.1	200.34
12.1	496.9
6.04	994.4
3.01	1994.355

ゲイン抵抗を使わない場合は、AD8229 は $G = 1$ (デフォルト) に設定されます。システムの総合ゲイン精度を求めるときは、 R_G 抵抗の偏差とゲイン・ドリフトを AD8229 の仕様に加算してください。ゲイン抵抗を使用しない場合は、ゲイン誤差とゲイン・ドリフトが小さくなります。

R_G の消費電力

AD8229 は、入力の差動電圧を R_G 抵抗の両端に再生します。 R_G の抵抗サイズは、予想消費電力を処理できるように選択する必要があります。

REF ピン

AD8229 の出力電圧は、REF ピンの電位を基準にして発生されます。これは、出力信号を正確に電源の中心レベルにオフセットさせる必要がある場合に便利です。例えば、電圧源を REF ピンに接続して、AD8229 から単電源 ADC を駆動できるように、出力をレベル・シフトさせることができます。REF ピンは ESD ダイオードで保護されているため、 $+V_S$ または $-V_S$ を 0.3 V 以上超えることはできません。

最適性能を得るためには、REFピンへ接続するソース・インピーダンスを $1\ \Omega$ 以下にする必要があります。図 55 に示すように、REFピンは $5\ \text{k}\Omega$ 抵抗の片側端子に接続されています。REFピンにインピーダンスを追加接続すると、この $5\ \text{k}\Omega$ の抵抗に加算されるため、正入力に接続された信号が増幅されます。 R_{REF} の追加によるゲインは、次のように計算することができます。

$$2(5\ \text{k}\Omega + R_{REF}) / (10\ \text{k}\Omega + R_{REF})$$

正信号パスのみが増幅されて、負信号パスは影響を受けません。増幅率が平坦でない場合、CMRR が低下します。

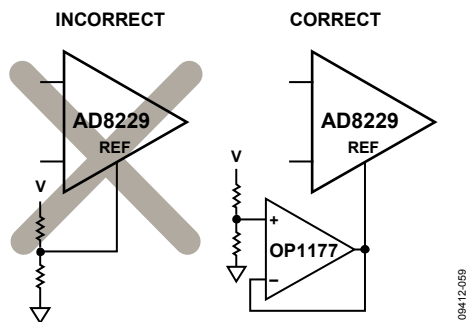


図 56. REF ピンの駆動

入力電圧範囲

図 10 ～図 15 に、種々の出力電圧と電源電圧に対する同相モード入力の許容電圧範囲を示します。AD8229 の 3 オペアンプ・アーキテクチャは、ディファレンス・アンプで同相モード電圧が除去される前に、初段ステージのゲインに適用されます。初段ステージと 2 段目ステージの間の内部ノード(図 55 のノード 1 とノード 2)には、増幅された信号、同相モード信号、ダイオード電圧降下の組み合わせが加わります。個々の入力信号と出力信号が制限されていない場合でも、この組み合わせの信号が電源電圧により制限されることがあります。

レイアウト

PCB レベルで AD8229 の最適性能を確保するためには、ボード・レイアウトのデザインに注意が必要です。AD8229 のピンは、このために論理的に配置されています。

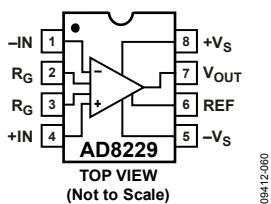


図 57. ピン配置図

全周波数での同相モード除去比

レイアウトが正しくないと、同相モード信号が差動信号に変換されて計装アンプに到達することがあります。このような変換は、入力パス相互の周波数応答が異なる場合に発生します。周波数に対して CMRR を高く維持するためには、各パスの入力ソース・インピーダンスと容量が一致している必要があります。入力パスへソース抵抗(例えば入力保護)を追加するときは、計装アンプ入力の近くに接続して、PCB パターンの寄生容量との相互作用を小さくする必要があります。

ゲイン設定ピンの寄生容量も、周波数に対する CMRR に影響を与えます。ボード・デザインでゲイン設定ピンに部品(例えばスイッチまたはジャンパ)を接続する場合は、できるだけ寄生容量の小さい部品を選ぶ必要があります。

電源

安定な DC 電圧を使って、計装アンプに電源を供給する必要があります。電源ピンのノイズは性能に悪影響を与えることがあります。PSRR性能カーブの詳細については、図 19 と図 20 のセクションを参照してください。

$0.1\ \mu\text{F}$ のコンデンサを各電源ピンのできるだけ近くに配置する必要があります。図 58 に示すように、 $10\ \mu\text{F}$ のタンタル・コンデンサをデバイスから離れたところに接続することができます。多くの場合、このコンデンサは他の高精度 IC と共用することができます。

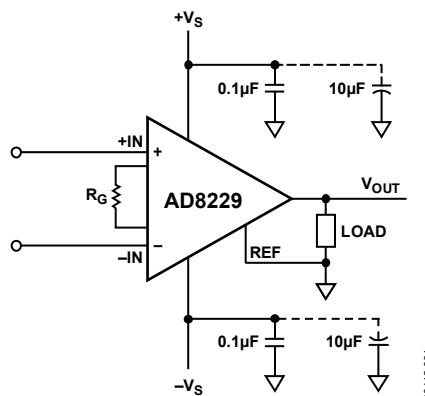


図 58. 電源デカップリング、REF、ローカル・グラウンド基準の出力

REFピン

AD8229 の出力電圧は、REF ピンの電位を基準にして発生されます。REF を適切な最寄りのグラウンドに接続するように注意してください。

入力バイアス電流のリターン・パス

AD8229 の入力バイアス電流には、グラウンドへのリターン・パスが必要です。熱電対のように信号源にリターン電流パスがない場合には、図 59 に示すように設ける必要があります。

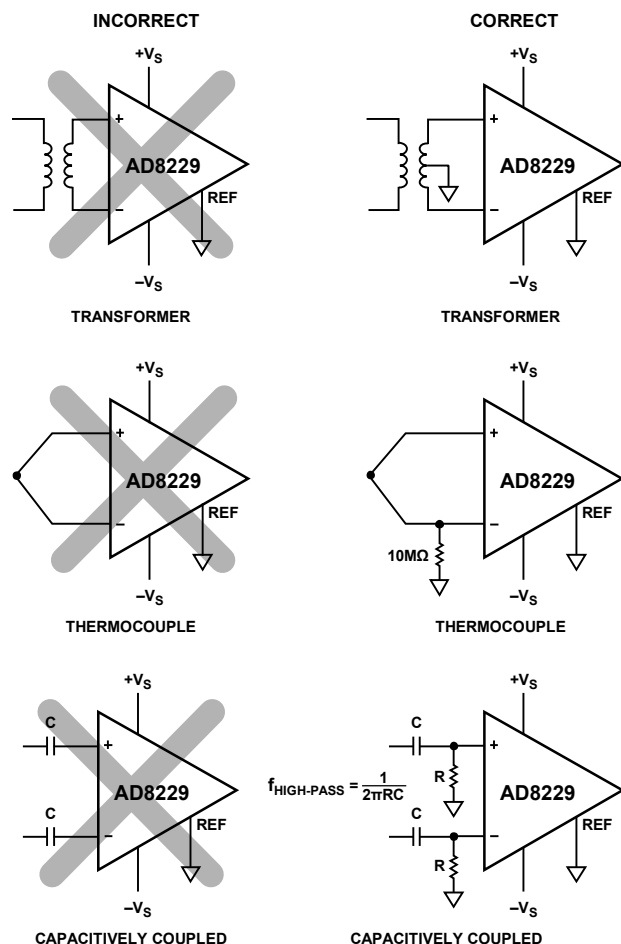


図 59. 入力バイアス電流リターン・パスの追加

入力保護

AD8229 の入力、このデータシートの絶対最大定格のセクションで規定する定格値以内に維持する必要があります。そのままでは規定値を超えてしまう場合には、AD8229 の前に保護回路を設けて入力電流を最大電流 I_{MAX} に制限することができます。

電源レールを超える入力電圧

電源レールを超える電圧が予想される場合には、外付け抵抗を各入力に直列に接続して、過負荷時の電流を制限する必要があります。入力の制限抵抗は次式で計算できます。

$$R_{PROTECT} \geq \frac{|V_{IN} - V_{SUPPLY}|}{I_{MAX}}$$

ノイズに敏感なアプリケーションでは、保護抵抗を小さくすることが必要となる場合があります。BAV199 のような低リーク・ダイオード・クランプを入力に使用して AD8229 入力から電流を側路させることにより、保護抵抗値を小さくすることができます。電流が主に外付け保護ダイオードを流れるようにするため、ダイオードと AD8229 の間に 33Ω のような小さい値抵抗を接続します。

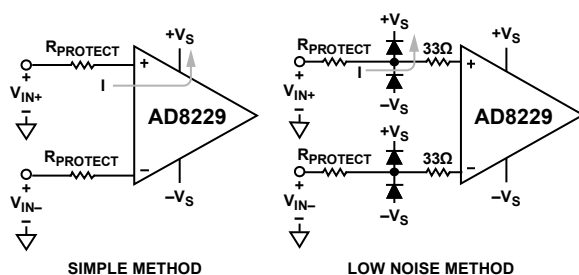


図 60. 電源レールを超える電圧に対する保護

高ゲインでの大きな差動入力電圧

高ゲインで大きな差動電圧が予想される場合には、外付け抵抗を各入力に直列に接続して、過負荷時の電流を制限する必要があります。各入力の制限抵抗は次式で計算できます。

$$R_{PROTECT} \geq \frac{1}{2} \left(\frac{|V_{DIFF}| - 1V}{I_{MAX}} - R_G \right)$$

ノイズに敏感なアプリケーションでは、保護抵抗を小さくすることが必要となる場合があります。BAV199 のような低リーク・ダイオード・クランプを入力に使用して AD8229 入力から電流を側路させることにより、保護抵抗値を小さくすることができます。

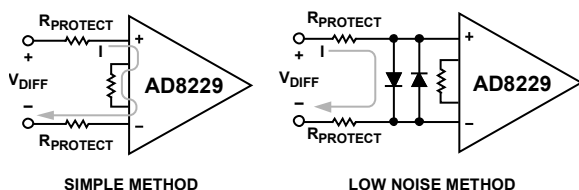


図 61. 大きな差動電圧に対する保護

I_{MAX}

AD8229 入力の最大電流 I_{MAX} は時間と温度に依存します。デバイスは、室温で 10 mA の電流に対して少なくとも 1 日間耐えることができます。この時間は、デバイスの寿命中に累積されません。 210°C では、電流は同じ時間の間 2 mA に制限する必要があります。デバイスは 210°C で 5 mA に 1 時間耐えることができ、デバイスの寿命中に累積されます。

無線周波数干渉(RFI)

アンプが強い RF 信号が存在するアプリケーションで使われる場合には、RF の整流がしばしば問題になります。外乱が小さい DC オフセット電圧として現れることがあります。高周波信号は、図 62 に示すように計装アンプの入力に接続されたローパス RC 回路で除去することができます。このフィルタは、次式の関係を使って入力信号の帯域幅を制限します。

$$FilterFrequency_{DIFF} = \frac{1}{2\pi R(2C_D + C_C)}$$

$$FilterFrequency_{CM} = \frac{1}{2\pi RC_C}$$

ここで、 $C_D \geq 10 C_C$ 。

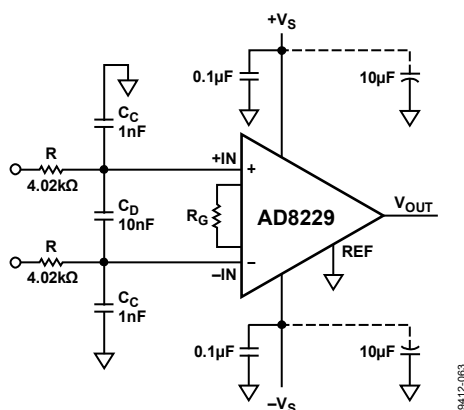


図 62. RFI の除去

C_D は差動信号に有効で、 C_C は同相モード信号に有効です。R と C_C の値は、RFI を小さくするように選択する必要があります。正入力の $R \times C_C$ と負入力の $R \times C_C$ との不一致は、AD8229 の CMRR 性能を低下させます。 C_C の値より 1 桁大きい C_D の値を使うと、不一致の影響は小さくなるので、性能が改善されます。

抵抗によりノイズが増えるので、選択する抵抗値とコンデンサ値は、ノイズ、高周波での入力インピーダンス、RFI 耐性の間でトレードオフする必要があります。RFI フィルタに使用する抵抗は、入力保護に使用する抵抗と同じにすることができます。

入力ステージ・ノイズの計算

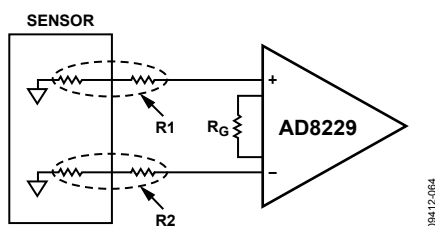


図 63. センサーのソース抵抗と保護抵抗を持つ AD8229

アンプ・フロント・エンドの総合ノイズは、このデータシートの $1 \text{ nV}/\sqrt{\text{Hz}}$ のヘッドライン規定値より遥かに大きく依存しています。総合ノイズは、ソース抵抗、計装アンプの電圧ノイズ、計装アンプの電流ノイズの 3 つの要因に依存します。

次の計算では、ノイズは入力換算です (RTI)。言い換えると、すべてがアンプ入力に存在するかのように計算されます。アンプ出力換算 (RTO) のノイズを計算するときは、RTI ノイズに計装アンプのゲインを乗算します。

ソース抵抗ノイズ

AD8229 に接続されるすべてのセンサーには出力抵抗があります。過電圧または無線周波の干渉から保護するため入力に直列に抵抗が接続されていることもあります。この組み合わせ抵抗は、図 63 では R_1 と R_2 で表してあります。いかなる抵抗でも、最小レベルのノイズが発生します。このノイズは、抵抗値の平方根に比例します。室温で、この値は $4 \text{ nV}/\sqrt{\text{Hz}} \times \sqrt{(\text{k}\Omega \text{ 抵抗値})}$ にほぼ等しくなります。

例えば、正の入力でのセンサーと保護抵抗の組み合わせを $4 \text{ k}\Omega$ とし、負の入力では $1 \text{ k}\Omega$ とすると、抵抗の総合ノイズは次のようになります。

$$\sqrt{(4 \times \sqrt{4})^2 + (4 \times \sqrt{1})^2} = \sqrt{64 + 16} = 8.9 \text{ nV}/\sqrt{\text{Hz}}$$

計装アンプの電圧ノイズ

計装アンプの電圧ノイズは、デバイス入力ノイズ、出力ノイズ、 R_g 抵抗ノイズの 3 つのパラメータを使って計算されます。次のように計算されます。

総合電圧ノイズ =

$$\sqrt{(\text{Output Noise} / G)^2 + (\text{Input Noise})^2 + (\text{Noise of } R_g \text{ Resistor})^2}$$

例えば、ゲイン = 100、ゲイン抵抗 = 60.4Ω とすると、計装アンプの電圧ノイズは次のようになります。

$$\sqrt{(43/100)^2 + 1^2 + (4 \times \sqrt{0.0604})^2} = 1.5 \text{ nV}/\sqrt{\text{Hz}}$$

計装アンプの電流ノイズ

電流ノイズは、ソース抵抗に電流ノイズを乗算して計算されます。

例えば、図 63 の R_1 ソース抵抗を $4 \text{ k}\Omega$ とし、 R_2 ソース抵抗を $1 \text{ k}\Omega$ とすると、電流ノイズの総合効果は次のように計算されます。

$$\sqrt{((4 \times 1.5)^2 + (1 \times 1.5)^2)} = 6.2 \text{ nV}/\sqrt{\text{Hz}}$$

総合ノイズの計算

計装アンプの入力換算総合ノイズを求めるときは、ソース抵抗ノイズ、電圧ノイズ、電流ノイズの各成分の 2 乗和の平方根をとります。

例えば、図 63 の R_1 ソース抵抗を $4 \text{ k}\Omega$ とし、 R_2 ソース抵抗を $1 \text{ k}\Omega$ とし、計装アンプのゲインを 100 とすると、入力換算総合ノイズは次のように計算されます。

$$\sqrt{8.9^2 + 1.5^2 + 6.2^2} = 11.0 \text{ nV}/\sqrt{\text{Hz}}$$

外形寸法

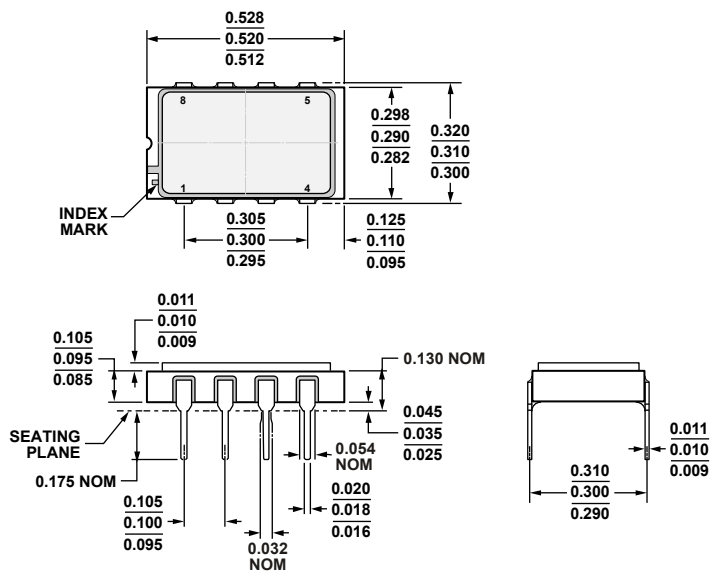


図 64.8 ピン・サイドブレース・セラミック・デュアルインライン・パッケージ [SBDIP]
(D-8-1)
寸法: インチ

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option
AD8229HDZ	-40°C to +210°C	Ceramic Dual In-Line Package [SBDIP]	D-8-1

¹ Z = RoHS 準拠製品