

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。  
この正誤表は、2010年2月9日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。  
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2010年2月9日

製品名：AD8203

対象となるデータシートのリビジョン(Rev)：Rev.B

訂正箇所：

1) P12「動作原理」

誤) The source resistance seen by the inverting input of A2 is approximately 100 k $\Omega$  to minimize the effects of the input bias current of A2.

正) A2 の非反転入力から見た信号源の抵抗値は約 100 k $\Omega$  であり、これにより A2 の入力バイアス電流の影響を最小限にしています。

2) P14「アプリケーション」低電流の検出

誤) Adding a resistor of equal value on the low impedance side of the input corrects this error.

正) このような誤差は、アンプの非反転入力側にも同等の値の抵抗を追加すると補正できます。

### 特長

- 広い同相入力電圧範囲：  
-6~+30 V (5 V 電源電圧時)
- 動作温度範囲：-40~+125°C
- 電源電圧範囲：3.5~12 V
- ローパス・フィルタ (1 極または 2 極)
- 優れた AC/DC 性能
  - 電圧オフセット：±1 mV (8 ピン SOIC)
  - ゲイン・ドリフト：±1 ppm/°C (typ)
  - CMRR：80 dB (min)、DC~10 kHz 時

### アプリケーション

- トランスミッション制御
- ディーゼル噴射制御
- エンジン管理
- アダプティブ・サスペンション制御
- 車両ダイナミクス制御

### 概要

AD8203 は、高い同相電圧 (CMV) が存在する環境で、微小の差動電圧を増幅し、ローパス・フィルタでフィルタリングするための単電源ディファレンス・アンプです。入力 CMV 範囲は、標準的な 5 V 電源電圧で -6~+30 V です。

AD8203 はパッケージ品とともにチップでも供給可能です。MSOP/SOIC パッケージは -40~+125°C の広い温度範囲で仕様が規定されていますが、チップはさらに広い温度範囲の -40~+150°C で仕様が規定されているので、AD8203 は各種の車載用アプリケーションに最適です。

車載用には、システム制御の性能をより高めるために高精度の部品が必要です。AD8203 は、優れた AC/DC 特性を提供し、システム誤差を最小限にします。SOIC パッケージ品のオフセット・ドリフトは 0.3  $\mu\text{V}/^\circ\text{C}$  typ、ゲイン・ドリフトは 1 ppm/°C typ です。MSOP パッケージ品オフセット・ドリフトは 2  $\mu\text{V}/^\circ\text{C}$  typ、ゲイン・ドリフトは 1 ppm/°C typ です。また、DC から 10 kHz までの CMRR は 80 dB (min) です。

また AD8203 のプリアンプ A1 の出力は内部で 100 k $\Omega$  抵抗に接続され出力ピンに出ているので、その出力を利用して、ローパス・フィルタを形成したり、14 以外のゲイン設定に利用できます。

### 機能ブロック図

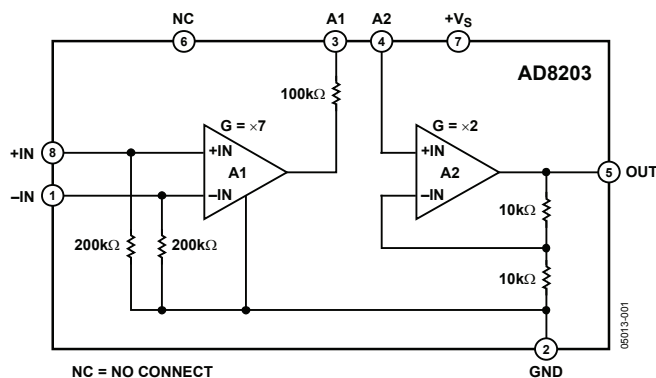


図 1. 機能ブロック図

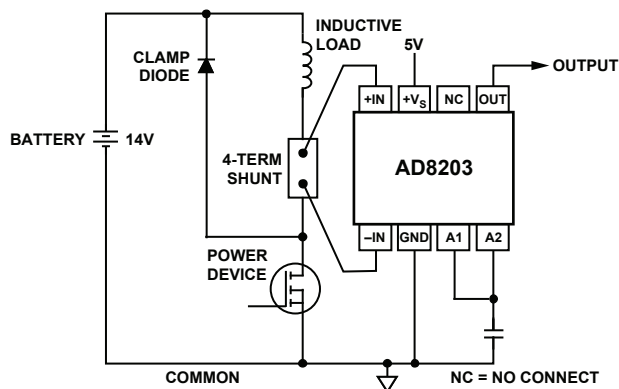


図 2. ハイライン電流センサー

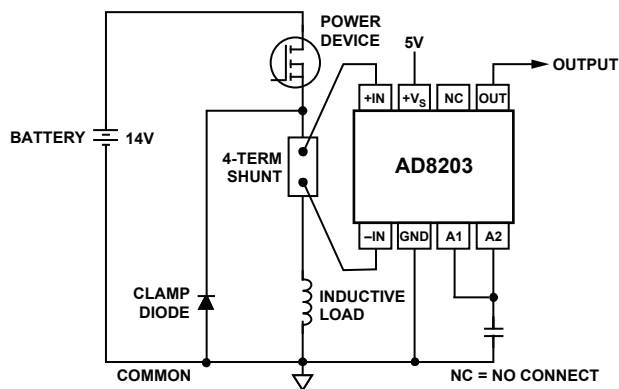


図 3. ローライン電流センサー

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。  
※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。  
©2005 Analog Devices, Inc. All rights reserved.

## 目次

特長.....	1	動作原理.....	12
アプリケーション.....	1	アプリケーション.....	14
概要.....	1	電流の検出.....	14
機能ブロック図.....	1	ゲイン調整.....	14
改訂履歴.....	2	可変抵抗を利用したゲイン調整.....	15
仕様.....	3	ローパス・フィルタ処理.....	15
単電源.....	3	LPF とゲイン調整によるハイライン電流検出.....	16
絶対最大定格.....	4	電荷再配分式 ADC の駆動.....	16
ESD に関する注意.....	4	外形寸法.....	17
ピン配置と機能の説明.....	5	オーダー・ガイド.....	17
代表的な性能特性.....	6		

## 改訂履歴

### 10/05—Rev. A to Rev. B

Added SOIC Package.....	Universal
Replaced Figure 23.....	8
Added Figure 24 to Figure 29.....	9
Changes to Theory of Operation Section.....	12
Added Figure 41.....	12
Updated Outline Dimensions.....	17
Changes to Ordering Guide.....	17

### 2/05—Rev. 0 to Rev. A

Changes to Specifications Table.....	3
Changes to Caption on Figure 6 and Figure 8.....	6
Changes to Figure 12.....	7
Added Figure 14 to Figure 23.....	7
Changes to Figure 26 and Figure 27.....	10
Changes to Figure 29.....	11
Changes to Figure 32 and Figure 33.....	12
Changes to Ordering Guide.....	13

### 10/04—Revision 0: Initial Version

## 仕様

## 単電源

特に指定のない限り、 $T_A$  = 動作温度範囲、 $V_S = 5\text{ V}$ 。

表 1.

Parameter	Conditions	AD8203 SOIC			AD8203 MSOP			AD8203 Die			Unit
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
SYSTEM GAIN											
Initial			14			14			14		V/V
Error	$0.02 \leq V_{OUT} \leq 4.8\text{ V dc @ } 25^\circ\text{C}$	-0.3		+0.3	-0.3		+0.3	-0.3		+0.3	%
vs. Temperature			1	20		1	25		1	30	ppm/°C
VOLTAGE OFFSET											
Input Offset (RTI)	$V_{CM} = 0.15\text{ V}; 25^\circ\text{C}$	-1		+1	-2		+2	-1		+1	mV
vs. Temperature	$-40^\circ\text{C to } +125^\circ\text{C}$	-10	+0.3	+10	-20	+2	+20	-10	+0.3	+10	$\mu\text{V}/^\circ\text{C}$
	$-40^\circ\text{C to } +150^\circ\text{C}$							-15	+5	+15	$\mu\text{V}/^\circ\text{C}$
INPUT											
Input Impedance											
Differential		260	320	380	260	320	380	260	320	380	k $\Omega$
Common Mode		130	160	190	130	160	190	130	160	190	k $\Omega$
CMV	Continuous	-6		+30	-6		+30	-6		+30	V
CMRR <sup>1</sup>	$V_{CM} = -6\text{ V to } +30\text{ V}$										
	$f = \text{dc}$	82			82			82			dB
	$f = 1\text{ kHz}$	82			82			82			dB
	$f = 10\text{ kHz}^2$	80			80			80			dB
PREAMPLIFIER											
Gain			7			7			7		V/V
Gain Error		-0.3		+0.3	-0.3		+0.3	-0.3		+0.3	%
Output Voltage Range		0.02		4.8	0.02		4.8	0.02		4.8	V
Output Resistance		97	100	103	97	100	103	97	100	103	k $\Omega$
OUTPUT BUFFER											
Gain			2			2			2		V/V
Gain Error	$0.02 \leq V_{OUT} \leq 4.8\text{ V dc}$	-0.3		+0.3	-0.3		+0.3	-0.3		+0.3	%
Output Voltage Range		0.02		4.8	0.02		4.8	0.02		4.8	V
Input Bias Current			40			40			40		nA
Output Resistance			2			2			2		$\Omega$
DYNAMIC RESPONSE											
System Bandwidth	$V_{IN} = 0.01\text{ V p-p}, V_{OUT} = 0.14\text{ V p-p}$	40	60		40	60		40	60		kHz
Slew Rate	$V_{IN} = 0.28\text{ V}, V_{OUT} = 4\text{ V step}$		0.33			0.33			0.33		V/ $\mu\text{s}$
NOISE											
0.1 Hz to 10 Hz			10			10			10		$\mu\text{V p-p}$
Spectral Density, 1 kHz (RTI)			300			300			300		nV/ $\sqrt{\text{Hz}}$
POWER SUPPLY											
Operating Range		3.5		12	3.5		12	3.5		12	V
Quiescent Current vs. Temperature	$V_O = 0.1\text{ V dc}$		0.25	1.0		0.25	1.0		0.25	1.0	mA
PSRR	$V_S = 3.5\text{ V to } 12\text{ V}$	75	83		75	83		75	83		dB
TEMPERATURE RANGE											
For Specified Performance		-40		+125	-40		+125	-40		+150	°C

<sup>1</sup> 信号源の不均衡 < 2  $\Omega$ 。

<sup>2</sup> AD8203 プリアンプは、10 kHz で CMRR が 80 dB 以上あります。ただし、信号は 100 k $\Omega$  抵抗を経由してのみ得られるため、1 番ピン、8 番ピン間および 3 番ピン、4 番ピン間のごく微小のピン間容量でも、大きく減衰されたプリアンプ出力の同相電圧信号より大きな入力同相信号を結合してしまいます。この場合ノード 3 にフィルタ用コンデンサを接続すれば、ほとんどのアプリケーションでピン間結合の影響を無視できる程度になります。

## 絶対最大定格

表 2.

Parameter	Rating
Supply Voltage	12.5 V
Transient Input Voltage (400 ms)	44 V
Continuous Input Voltage (Common Mode)	35 V
Reversed Supply Voltage Protection	0.3 V
Operating Temperature Range	
Die	-40°C to +150°C
SOIC	-40°C to +125°C
MSOP	-40°C to +125°C
Storage Temperature	-65°C to +150°C
Output Short-Circuit Duration	Indefinite
Lead Temperature Range (Soldering 10 sec)	300°C

左記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与える可能性があります。この定格はストレスについてのみを規定するものです；デバイスの動作機能についてはこの定格あるいはこの仕様の動作部分に記載する規定値以上のいかなる条件についても定めたものではありません。デバイスを長時間絶対最大定格の状態に置くと、デバイスの信頼性に影響を与えることがあります。

## ESDに関する注意

ESD（静電放電）の影響を受けやすいデバイスです。人体や試験機器には4,000Vもの高圧の静電気が容易に蓄積され、検知されないまま放電されることがあります。本製品は当社独自の ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。



## ピン配置と機能の説明

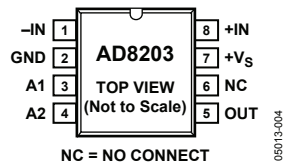


図 4. ピン配置

表 3. ピン機能の説明

Pin No.	Mnemonic	X	Y
1	-IN	-409.0	-205.2
2	GND	-244.6	-413.0
3	A1	+229.4	-413.0
4	A2	+410.0	-308.6
5	OUT	+410.0	+272.4
6	NC	NA	NA
7	+Vs	+121.0	+417.0
8	+IN	-409.0	+205.2

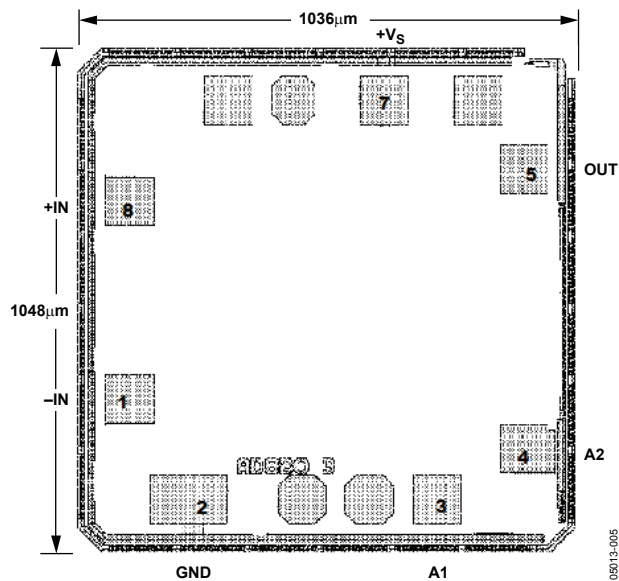


図 5. メタライゼーション写真

## 代表的な性能特性

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、 $V_S = 5\text{ V}$ 、 $V_{CM} = 0\text{ V}$ 、 $R_L = 10\text{ k}\Omega$ 。

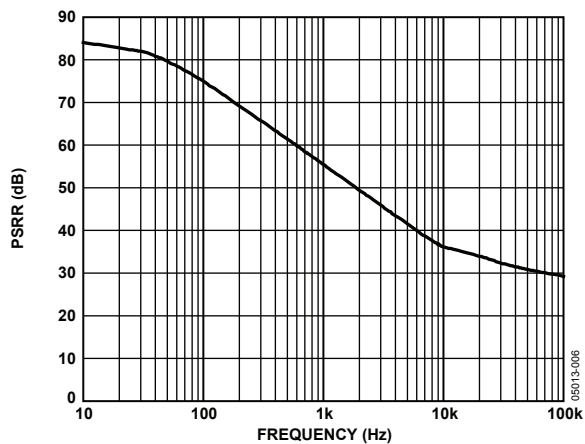


図 6. 周波数対電源電圧変動除去比  
( $-6\sim+30\text{ V}$ の同相電圧範囲)

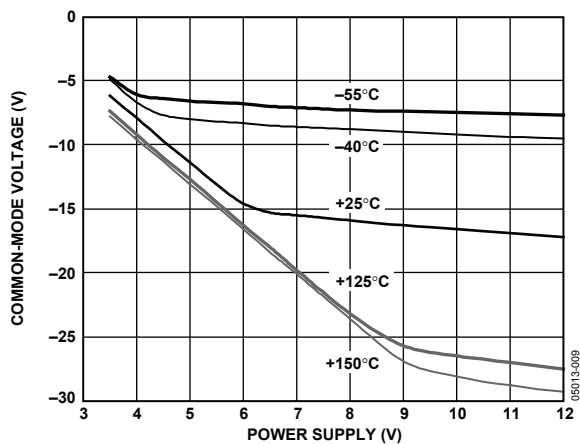


図 9. 電源電圧対負の同相電圧

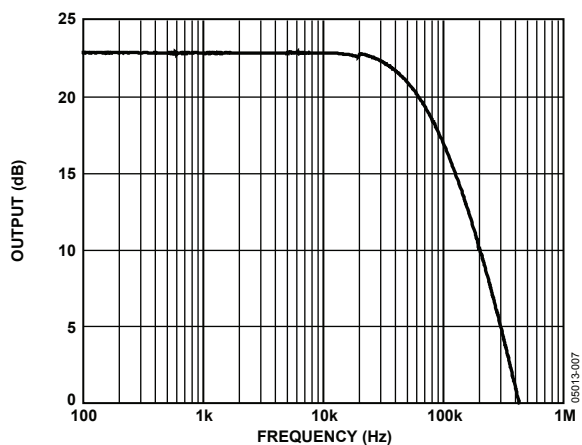


図 7. 帯域幅

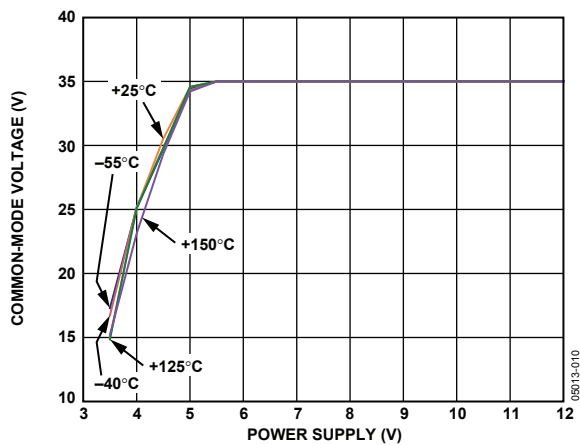


図 10. 電源電圧対正の同相電圧

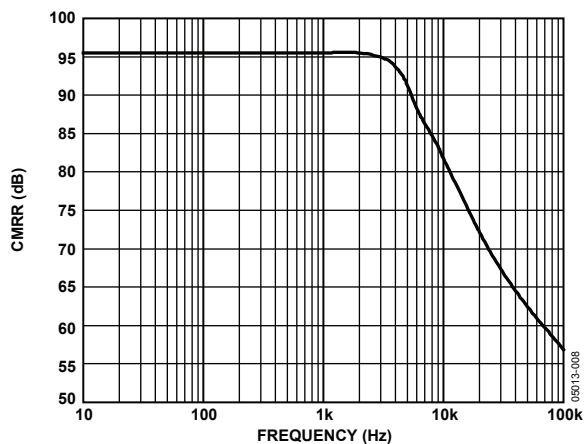


図 8. 周波数対同相ノイズ除去比  
( $-6\sim+30\text{ V}$ の同相電圧範囲)

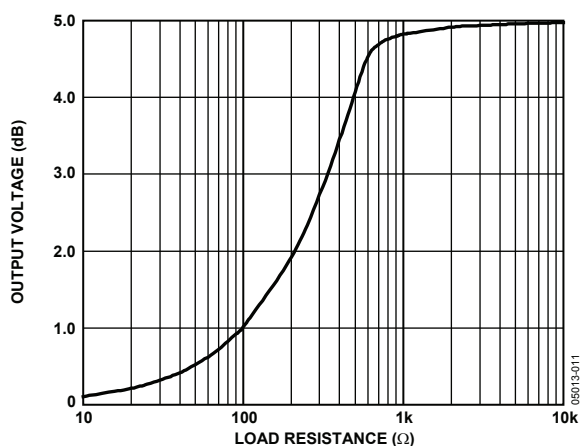


図 11. 負荷抵抗対出力振幅

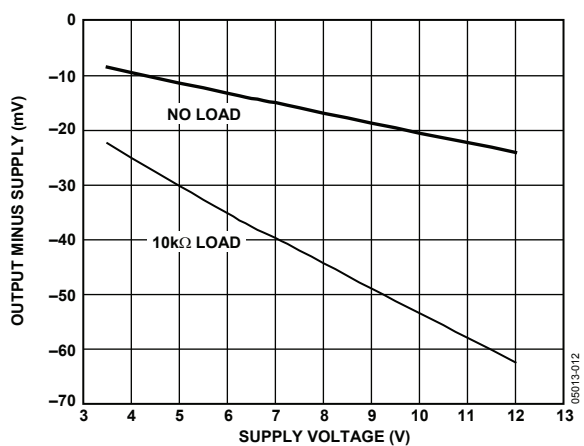


図 12. 電源電圧 対 負電源側出力電圧スイング限界

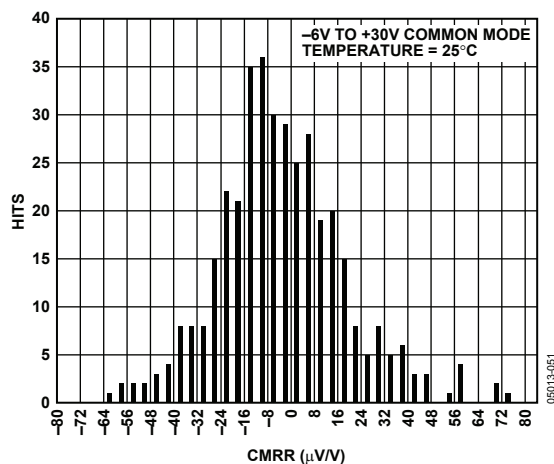


図 15. CMRR の分布 (温度 = 25°C)

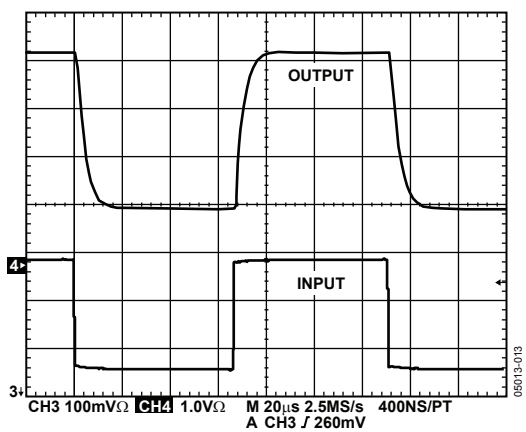


図 13. パルス応答

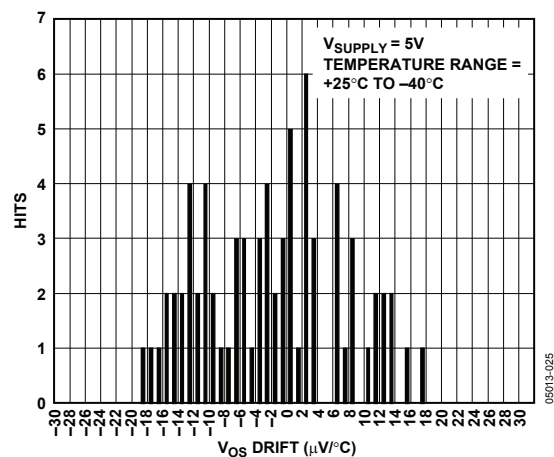


図 16. オフセット・ドリフトの分布 (MSOP、温度範囲 = +25~-40°C)

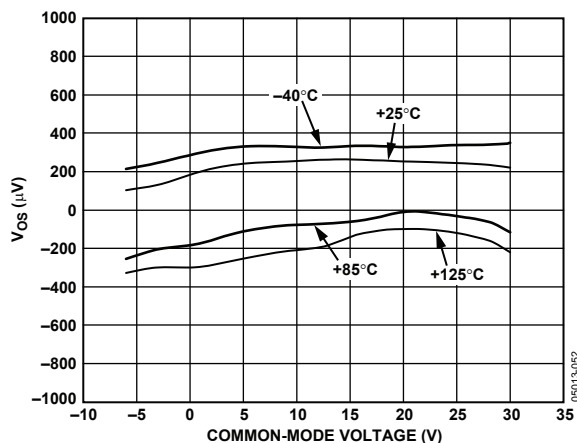


図 14. 同相電圧 対  $V_{OS}$

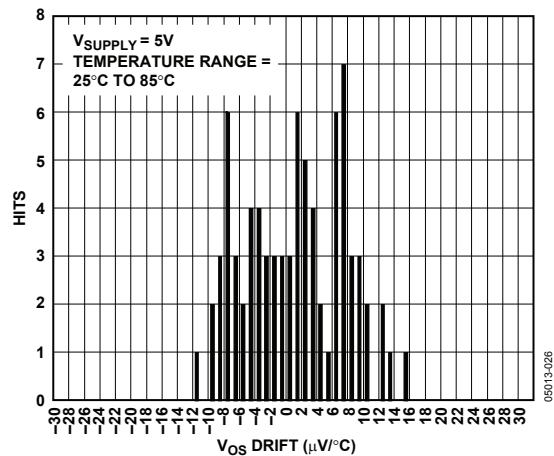


図 17. オフセット・ドリフトの分布 (MSOP、温度範囲 = 25~85°C)



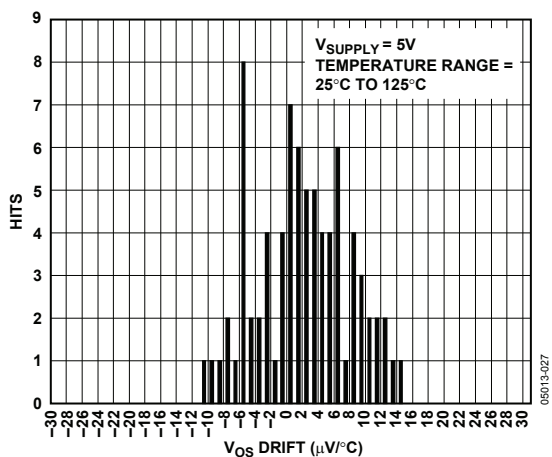


図 18.  $V_{OS}$  ドリフトの分布 (MSOP、温度範囲 = 25~125°C)

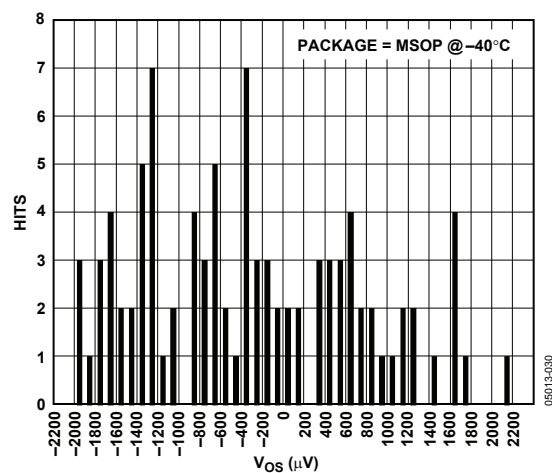


図 21.  $V_{OS}$  の分布 (MSOP、温度 = -40°C)

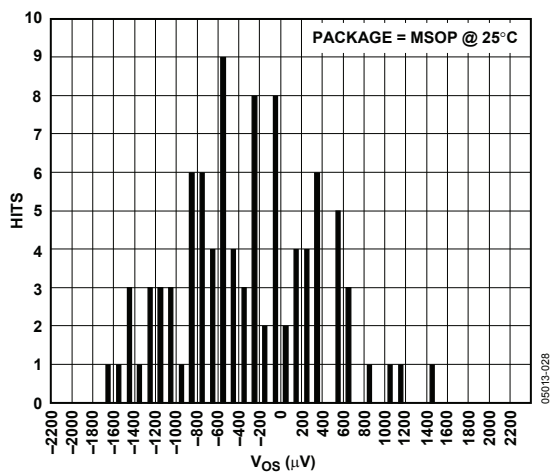


図 19.  $V_{OS}$  の分布 (MSOP、温度 = 25°C)

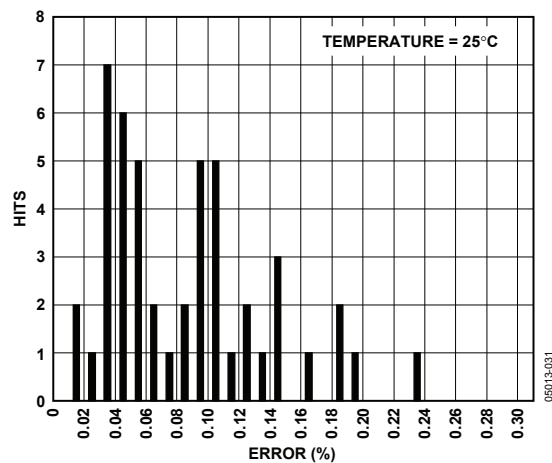


図 22. MSOP のゲイン精度 (温度 = 25°C)

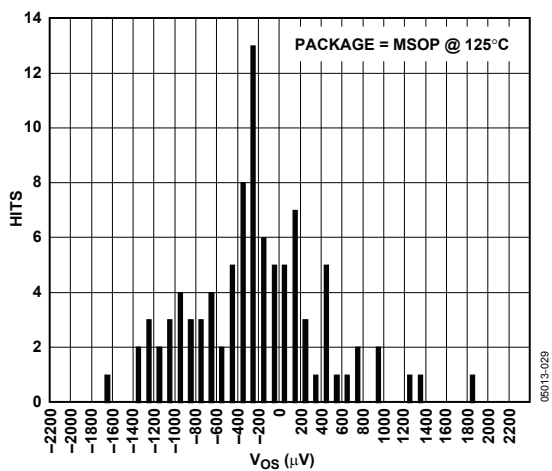


図 20.  $V_{OS}$  の分布 (MSOP、温度 = 125°C)

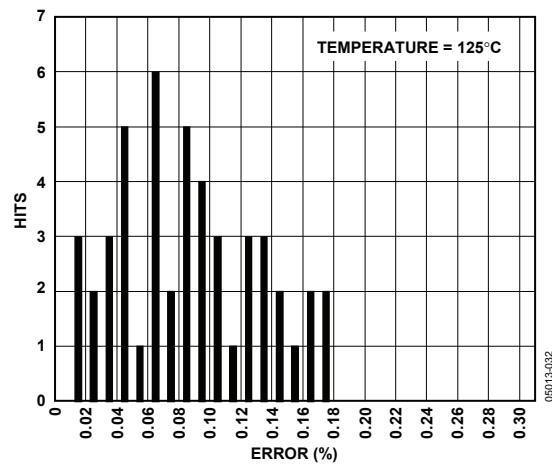


図 23. MSOP のゲイン精度 (温度 = 125°C)

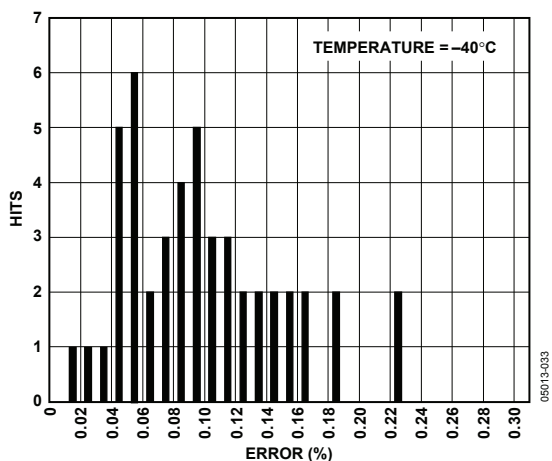


図 24. MSOP のゲイン精度 (温度 = -40°C)

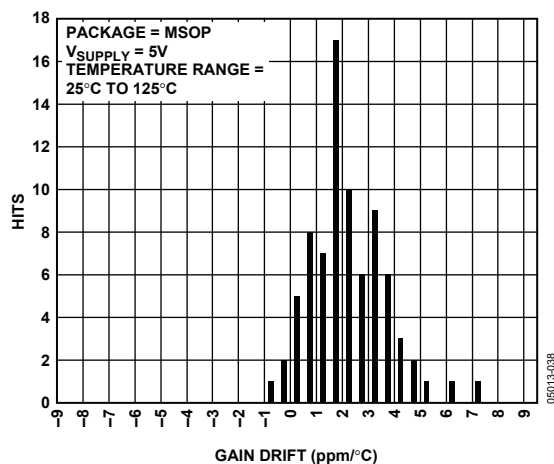


図 27. ゲイン・ドリフトの分布 (MSOP、温度範囲 = 25~125°C)

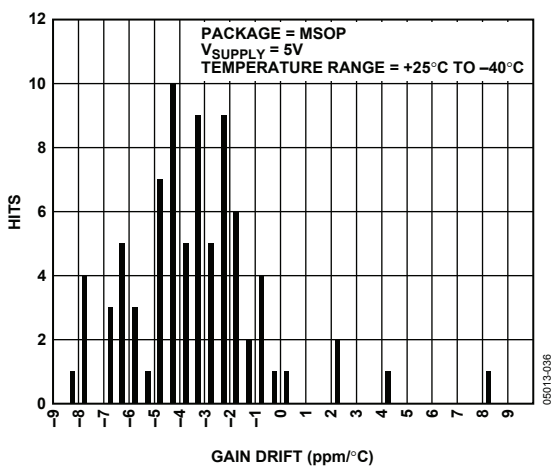


図 25. ゲイン・ドリフトの分布 (温度範囲 = +25~-40°C)

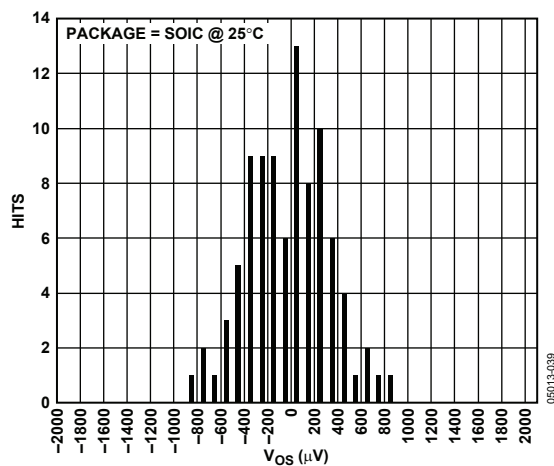


図 28. V<sub>OS</sub> の分布 (SOIC、温度 = 25°C)

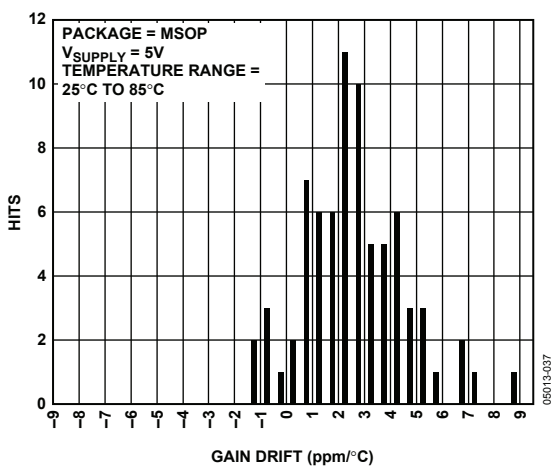


図 26. ゲイン・ドリフトの分布 (MSOP、温度範囲 = 25~85°C)

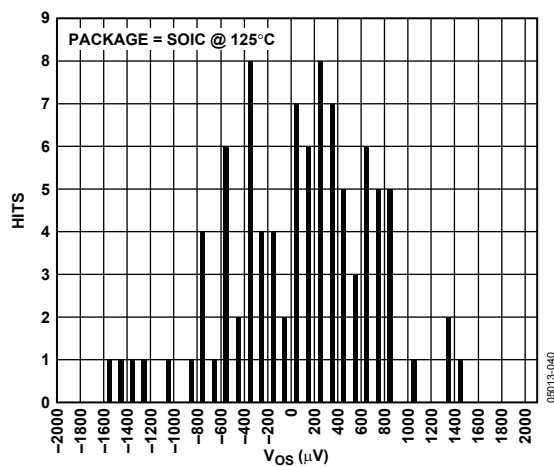


図 29. V<sub>OS</sub> の分布 (SOIC、温度 = 125°C)

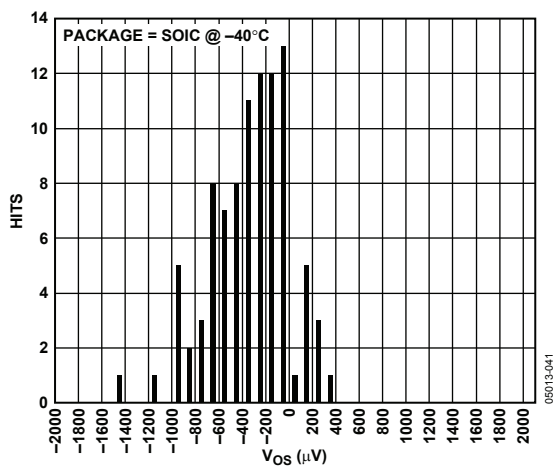


図 30.  $V_{OS}$  の分布 (SOIC、温度 = -40°C)

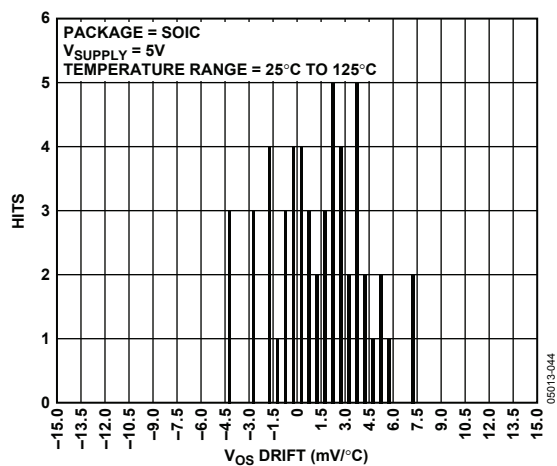


図 33. オフセット・ドリフトの分布 (SOIC、温度範囲 = +25~125°C)

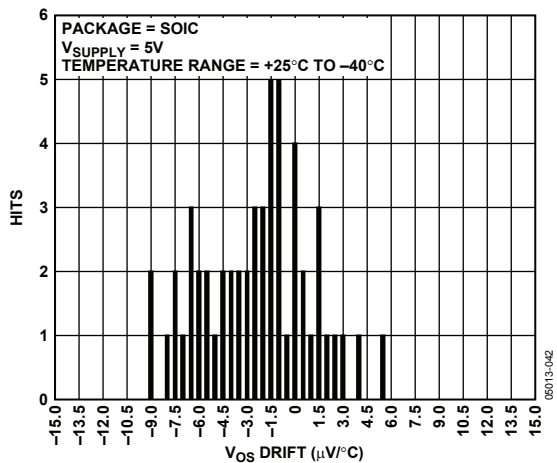


図 31. オフセット・ドリフトの分布 (SOIC、温度範囲 = +25~-40°C)

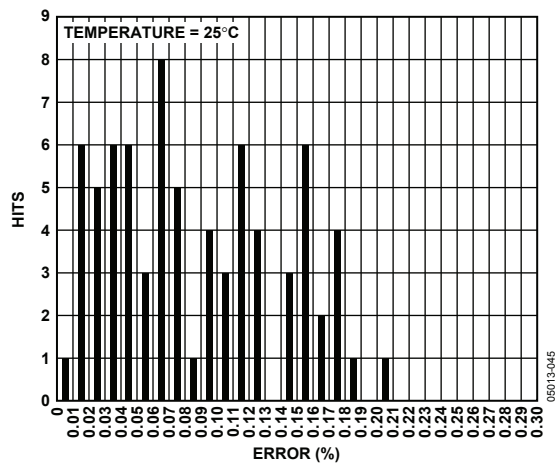


図 34. ゲイン精度 (SOIC、温度 = 25°C)

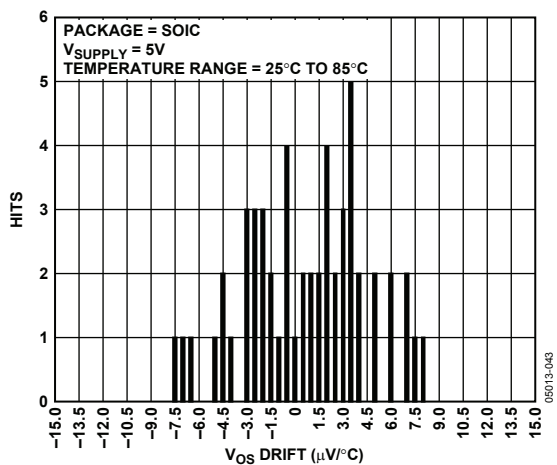


図 32. オフセット・ドリフトの分布 (SOIC、温度範囲 = 25~85°C)

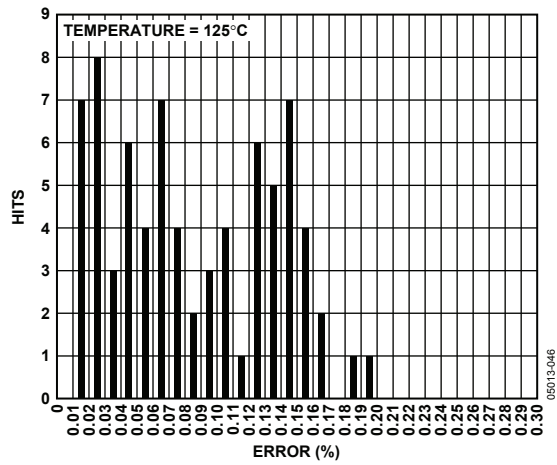


図 35. ゲイン精度 (SOIC、温度 = 125°C)

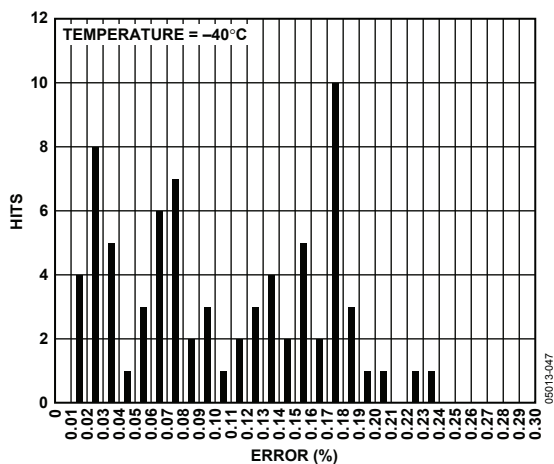


図 36. ゲイン精度 (SOIC、温度 = -40°C)

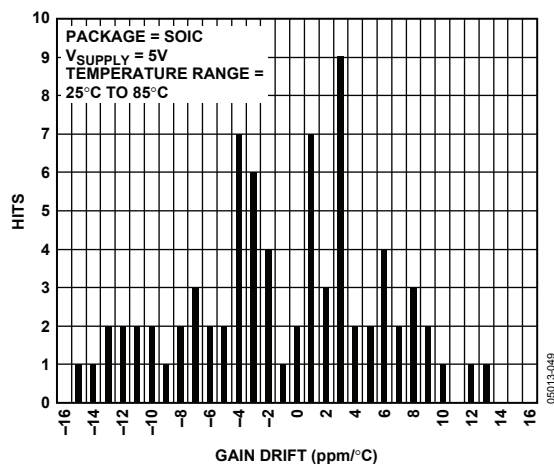


図 38. ゲイン・ドリフトの分布 (SOIC、温度範囲 = 25~85°C)

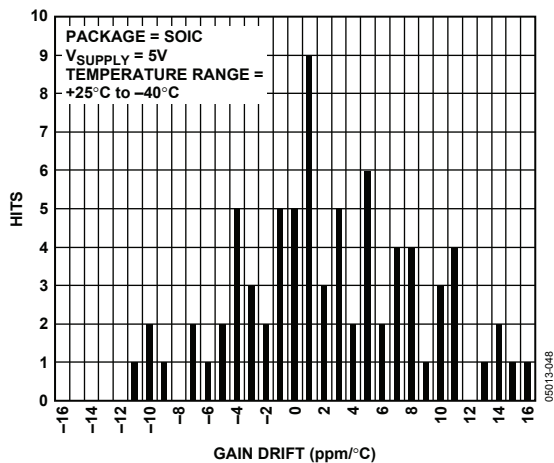


図 37. ゲイン・ドリフトの分布 (SOIC、温度範囲 = +25~-40°C)

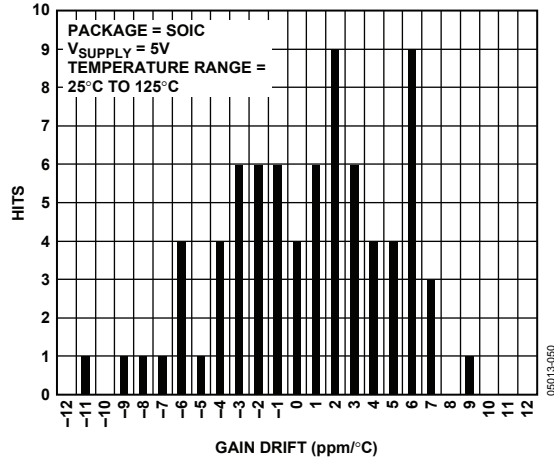


図 39. ゲイン・ドリフトの分布 (SOIC、温度範囲 = 25~125°C)

## 動作原理

AD8203は、図40に示すようにプリアンプとバッファで構成されています。同名の抵抗は、抵抗値が同じです。

プリアンプにはダイナミックブリッジ（差動）回路が組み込まれております。 $R_A$ 、 $R_B$ 、 $R_C$ 、 $R_G$ からなる2つの同一の抵抗ネットワーク（陰影をつけた部分）により1番ピンと8番ピンから供給される入力信号が減衰されます。ここで、1番ピンと8番ピンに同じ振幅の信号が印加され、A1の出力が共通電位（つまりゼロ）に等しいと、2組の減衰器がバランスのとれたブリッジ回路になります。ブリッジ回路がバランスとれると、A1の差動入力電圧、そしてその出力もゼロになります。

2つの入力に印加されたどのような値の同相電圧でもブリッジのバランスを保ち、A1出力をゼロに維持します。抵抗ネットワークのマッチングが高精度に行われているため、同相信号除去は非常に高くほぼ理想的な状態になっています。

しかし、2つの入力に印加される信号が異なると、A1の入力での電圧も違ってきます。この場合A1は $R_G$ 経由のフィードバック・ループにより、反転入力電圧が非反転入力電圧と一致するまで、その出力電圧をコントロールします。

1番ピンと8番ピンの電圧を減衰させることにより、1番ピンと8番ピンの入力レベルが電源電圧を超えたり、コモン（グラウンド）より低下しても、アンプの入力電圧は電源電圧の範囲内に保たれます。また入力抵抗ネットワークにより、ノーマル（差動）モードの電圧も減衰します。 $R_C$ と $R_G$ で構成する減衰器が、A1の大きい出力信号と小さな差動入力とのバランスがとれるように、フィードバックのスケールを決めています。抵抗の比によってプリアンプのゲインは7に設定されています。

差動入力信号は減衰されてから増幅されて、全体でゲイン7になるため、アンプA1は大きなノイズ・ゲインで動作し、1番ピンと8番ピンを基準にした入力オフセット電圧やノイズなどの誤差も増倍されます。

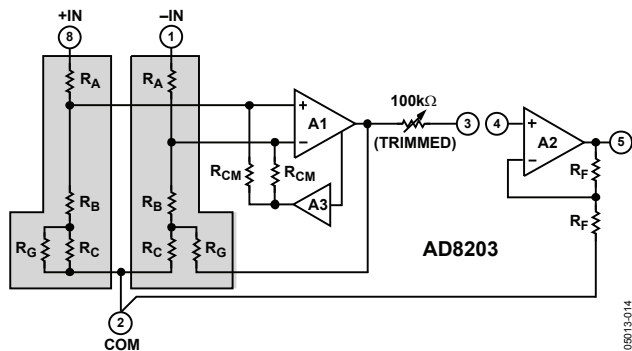


図40. 簡略回路図

このような誤差を最小限に抑えつつ同相電圧範囲を拡張するため、専用の帰還ループを採用して、規定の全入力範囲について、A1に印加される同相電圧を低減します。補償回路に印加される電圧の範囲をオフセットすることで、入力と同相電圧範囲もオフセットされ、同相電圧範囲に電源電圧より

も負の電圧が含まれるようになります。アンプA3は、A1に印加された同相信号を検知し、マッチングした $R_{CM}$ 抵抗の電圧を調整してA1入力と同相電圧範囲を低減します。これらの抵抗の同相電圧を調整することで、入力と同相電圧範囲が拡張すると同時に、ノーマル・モード信号の減衰が抑制され、入力特性が向上します。

A1から得られたダイナミックブリッジの出力は、 $100\text{ k}\Omega$ の直列抵抗（ローパス・フィルタ処理とゲイン調整用）を経由して3番ピンに出力されます。プリアンプの入力抵抗とバッファ帰還抵抗は、高精度を得るためにそれぞれ抵抗比がトリミングされています。

プリアンプの出力は、注意深くマッチングされた帰還抵抗 $R_F$ が搭載されたゲイン2のバッファ・アンプA2を駆動します。

AD8203はアンプ2段の回路構成になっているので、出力バッファの前にローパス・フィルタを組み込むことができます。全体のゲインを2段に分離したことで、プリアンプから来るフルスケールのレールtoレール信号を3番ピンでフィルタ処理し、その結果得られたハーフスケール信号を出力バッファ・アンプによって再びフルスケールに戻すことができます。A2の非反転入力から見た信号源の抵抗値は約 $100\text{ k}\Omega$ であり、これによりA2の入力バイアス電流の影響を最小限にしています。ただし、この電流はきわめて小さいので、抵抗値のミスマッチによる誤差も、それに依って小さくなります。

A2の入力バイアス電流の値は $40\text{ nA}$  (typ) ですが、この値は条件によって増加することがあります。たとえば、A2アンプへの入力信号が $V_{CC}/2$ の場合、ゲインは2なので出力は $V_{CC}$ になろうとしますが、出力は飽和してしまいます。なぜならアンプが正常動作するための最大保証出力電圧は $V_{CC}$ を $200\text{ mV}$ 下回るためです。さらにこのような条件下では、総入力バイアス電流が増加します（詳細は図41を参照）。

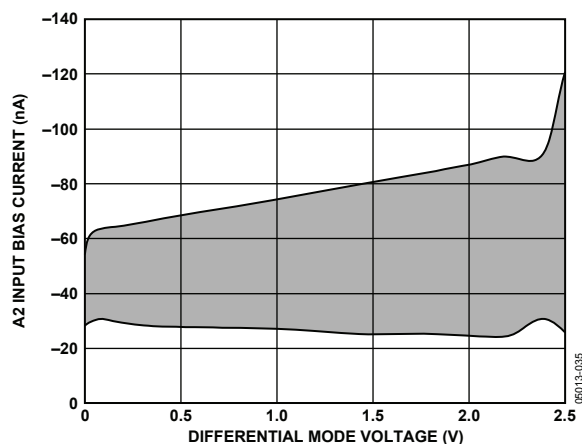


図41. A2入力バイアス電流と入力電圧および温度の関係。  
濃い色の部分は $-40\sim+125^{\circ}\text{C}$ のバイアス電流です。

A1の出力飽和電圧に加えて、A2バイアス電流の増加は、AD8203システム（3番ピンと4番ピンを短絡）の出力電圧に直接影響を及ぼします。すべての変数を考慮したAD8203

の正しい出力電圧振幅を計算する方法を一例として以下に挙げます。

- アンプ A1 の出力飽和電圧は、その出力において 20 mV まで低下する可能性があります。
- A2 の入力バイアス電流 40 nA (typ) にプリアンプの出力抵抗 100 k $\Omega$  を乗算した、下記の電圧を生じます。

$$40 \text{ nA} \times 100 \text{ k}\Omega = 4 \text{ mV} \text{ (A2 入力にて)}$$

- A2 入力での総入力電圧は、A1 の出力飽和電圧に、入力バイアス電流によって生じた電圧誤差を加算した値になります。

$$20 \text{ mV} + 4 \text{ mV} = 24 \text{ mV}$$

- A2 の入力における総誤差 24 mV にバッファのゲインが 2 なのでそれを乗算すると、バッファの出力側での誤差は 48 mV になります。つまり AD8203 の下の出力飽和電圧は 48 mV です。
- AD8203 の上の出力電圧範囲は最大 4.8 V と規定されています。したがって、標準的な A2 入力バイアス電流を考慮すると、AD8203 の出力電圧範囲は 48 mV ~ 4.8 V になります。

A2 入力バイアス電流の変化と印加された入力電圧との関係については、図 41 の例を参照してください。バイアス電流の変化によって、バッファ・アンプの入力の誤差電圧が変化します。その結果、バッファ・アンプの出力における全体の誤差電圧も変化します。

## アプリケーション

AD8203 ディファレンス・アンプは、大きい同相電圧のある環境下で小さい差動信号を増幅しなければならないアプリケーション向けに設計されました。入力抵抗の公称値は 320 kΩ であり、AD8203 は、電源電圧よりも高く、またグラウンドよりも低い同相電圧を印加することが可能です。オープン・コレクタの出力段は、グラウンドの上 20 mV 以内までおよび  $V_S$  の下 200 mV 以内まで電流を供給します。

### 電流の検出

#### ハイライン、高電流の検出

図 2 と図 3 に、AD8203 の広い同相電圧範囲特性を利用した基本的な車載用アプリケーション例を示します。図 2 は、AD8203 を一次側バッテリー電源回路のセンサー・アンプとして使用した場合です。図 3 は、AD8203 がシステム・グラウンド以下の電圧に十分対応できる例を示します。

#### 低電流の検出

AD8203 は、また図 42 に示すように 4~20 mA 電流ループのような低電流検出回路にも使用されます。このようなアプリケーションで、比較的大きいシャント抵抗を使用してしまうと、同相ノイズ除去比が低下することがあります。このような誤差は、アンプの非反転入力側にも同等の値の抵抗を追加すると補正できます。

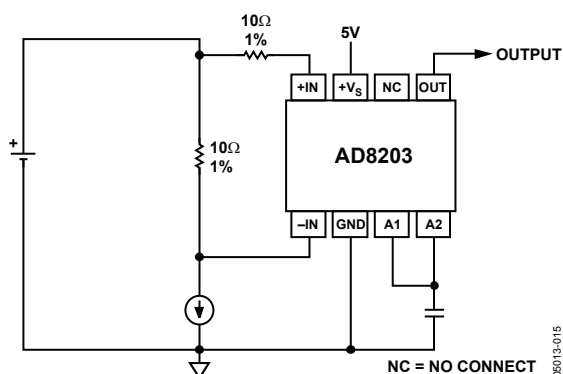


図 42. 4~20 mA の電流ループ・レシーバ

### ゲイン調整

プリアンプとバッファのデフォルト・ゲインはそれぞれ×7 と×2 であるため、合計×14 のゲインが得られます。外部抵抗またはトリマーを追加すれば、ゲインをさらに低くしたり、高くしたり、または細かく調整することが可能です。

#### 14 未満のゲイン

図 43 に示すように、プリアンプの出力抵抗は 100 kΩ であるため、3 番ピンと 4 番ピンと GND の間に外部抵抗を接続すると、ゲインはファクター  $R_{EXT}/(100\text{ k}\Omega + R_{EXT})$  に減少します。

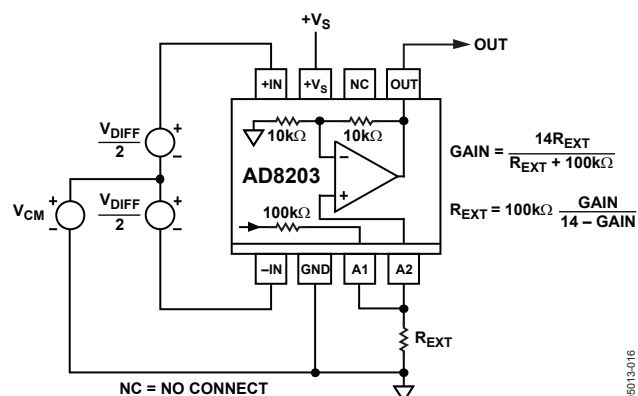


図 43. 14 未満のゲインのための調整

この方法を用いてゲインを変化させても、全体の帯域幅には影響がありませんが、バッファ入力でのソース抵抗のミスマッチにより、小さいオフセット電圧が生じることがあります。通常これは無視できる値ですが、必要であれば、100 kΩ から  $R_{EXT}$  と 100 kΩ の並列和の値を引いた値の抵抗を 4 番ピンに直列に挿入することでゼロにできます。たとえば、 $R_{EXT} = 100\text{ k}\Omega$  の場合、合計×7 のゲインになるため、追加のオフセット・ゼロ調整用抵抗は 50 kΩ になります。

#### 14 を上回るゲイン

図 44 に示すように、バッファ・アンプの出力からその非反転入力の方に抵抗を接続すると、ゲインが増加します。この場合、ゲインは  $R_{EXT}/(R_{EXT} - 100\text{ k}\Omega)$  倍になります。たとえば、 $R_{EXT} = 200\text{ k}\Omega$  の場合、ゲインは 2 倍になります。このようにして、全ゲインを 50 までにすることが可能です。なお、高ゲインになると、ゲイン精度は抵抗値に大きく依存してきます。また、1 番ピンと 8 番ピンにおける実効入力オフセット電圧 (A1 の実際のオフセットの約 6 倍) により、高ゲイン、DC 結合回路のアプリケーションでの使用は制限されます。

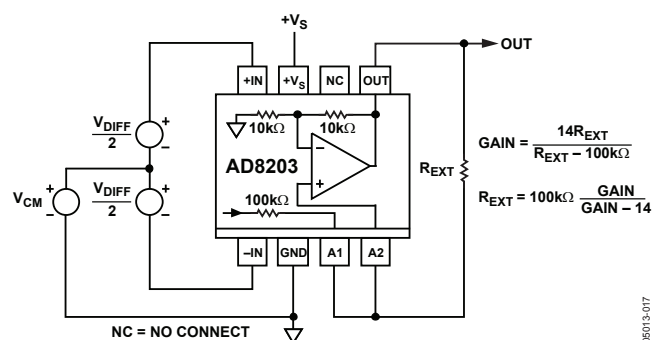


図 44. 14 を上回るゲインのための調整

## 可変抵抗を利用したゲイン調整

図 45に、トリム・ポテンショメータと外部抵抗 $R_{EXT}$ を用いるインクリメンタル・ゲイン・トリミングの方法を示します。

小さいゲインの範囲では、次の近似式を利用できます。

$$\Delta G \approx (10 \text{ M}\Omega / R_{EXT})\%$$

これにより、調整範囲は、 $R_{EXT} = 5 \text{ M}\Omega$  で $\pm 2\%$ 、 $R_{EXT} = 1 \text{ M}\Omega$  で $\pm 10\%$ 、のように計算できます。

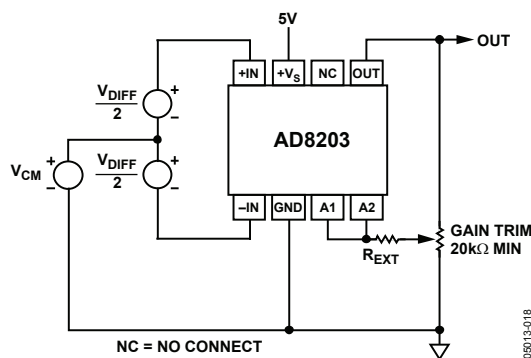


図 45. インクリメンタル・ゲイン・トリム

## 回路内部のスケールオーバーに関する留意点

ゲインを 14 以外の値に設定する場合は電源電圧とグラウンドに対して入力可能な最大入力電圧を確認する必要があります。なぜなら入力電圧が大きくなるとプリアンプ、またはバッファの出力がフルスケール値 (約  $V_S - 0.2\text{V}$ ) に達してしまうからです。全体ゲインが 7 以下の場合、 $\times 7$  の固定ゲインを持つプリアンプが出力バッファより前にそのフルスケール出力に達するため、AD8203 の入力範囲は  $(V_S - 0.2)/7$  以下に制限されます。ゲインが 7 以上の場合、バッファ出力の振幅が最初にフルスケールに達するため、AD8203 の入力範囲は  $(V_S - 0.2)/G$  以下に制限されます ( $G$  は全ゲイン)。

## ローパス・フィルタ処理

多くのトランスデューサ回路では、フィルタによって、ノイズなどの不要な高周波成分を除去したり、ピーク対平均比 (PAR) が 1 より大きな値を持つ変動信号の平均値を抽出したりする必要があります。たとえば、全波整流された正弦波の PAR は 1.57、コサイン 2 乗波の PAR は 2、半波正弦波の PAR は 3.14 です。大きいスパイクがある信号では、PAR が 10 以上になることがあります。

フィルタを使用するときには、AD8203 プリアンプ (A1) の出力が A2 に入力する前にクリップしないように PAR の大きさに注意する必要があります。さもないと、信号の非直線的な部分が平均化され、出力の誤差として現れます。このような誤差を防止するには、両方のアンプを同時にクリップさせることです。この条件は、PAR が 2 段目のアンプのゲイン (デフォルト設定では 2) を上回らない場合に満たされます。たとえば、5 の PAR が想定される場合、A2 のゲインを 5 に増やす必要があります。

AD8203 の特徴を利用することにより、いくつかの方法でローパス・フィルタを形成することができます。一番簡単な方法は、図 46 に示すように、3 番ピン、4 番ピンをショートして、A1 出力と A2 を内部の  $100 \text{ k}\Omega$  を通して接続し、さらにその点とグラウンドの間にコンデンサを接続して単極フィルタ (20 dB/ディケード) を形成するやり方です。ゲインを低下させるためにコンデンサの両端に抵抗を追加すると、コーナー周波数が増加します。これは、追加した抵抗と  $100 \text{ k}\Omega$  の並列和を用いて計算できます。

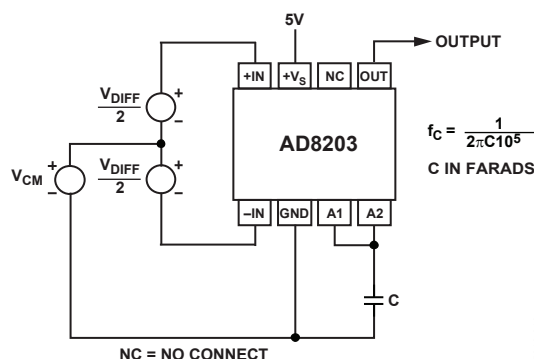


図 46. 内部  $100 \text{ k}\Omega$  抵抗を使用した単極ローパス・フィルタ

図 44 に示すように、抵抗を用いてゲインを増加させると、コーナー周波数はゲインの増加と同じ割合で低下します。たとえば  $200 \text{ k}\Omega$  の抵抗 (これに対してゲインは 2 倍になります) を用いると、コーナー周波数は  $0.796 \text{ Hz } \mu\text{F}$  (20 Hz コーナー周波数では  $0.039 \mu\text{F}$ ) になります。

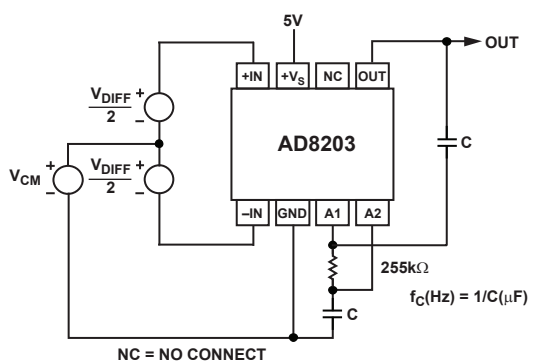


図 47. 2 極ローパス・フィルタ

図 47 に示す接続によって、40 dB/ディケードのロールオフを持つ 2 極フィルタを形成できます。これは、 $\times 2$  アンプをベースにした Sallen-Key 型フィルタです。コーナー周波数  $f_2$  を持つ 2 極フィルタとコーナー周波数  $f_1$  の単極フィルタは、周波数  $(f_2^2/f_1)$  において同じ減衰量を持つということを覚えておくことが便利です。その周波数での減衰量は、図 48 に示すように  $40 \log(f_2/f_1)$  になります。標準の抵抗値との 2 つの同等の値のコンデンサ (図 47 を参照) を使用すれば、コーナー周波数は簡単に  $1 \text{ Hz } \mu\text{F}$  (20 Hz コーナー周波数では  $0.05 \mu\text{F}$ ) にスケールアップすることができます。抵抗を  $196 \text{ k}\Omega$  まで低くすると最大限にフラットな応答が得られ、スケールアップは  $1.145 \text{ Hz } \mu\text{F}$  になります。出力オフセットは約  $5 \text{ mV}$  (入力ピンでの  $250 \mu\text{V}$  に相当) 増加します。



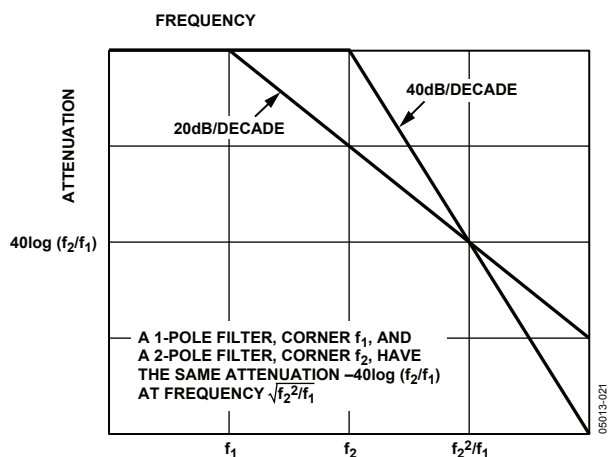


図 48. 1 極および 2 極のローパス・フィルタの応答の比較

### LPFとゲイン調整によるハイライン電流検出

図 49は図 2 のもう 1 つの改良例であり、ゲイン調整とローパス・フィルタが含まれています。

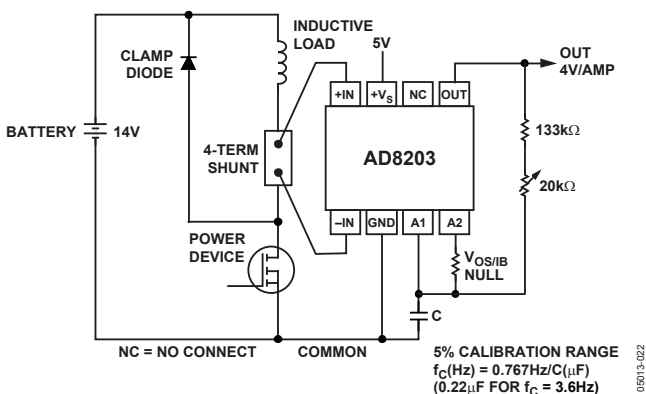


図 49. ハイライン電流センサーのインターフェース (ゲイン = ×40、単極ローパス・フィルタ)

電源のポワートランジスタは負荷電流を ON、OFF して制御します。平均電流は入力パルスのデューティ・サイクルに比例し、小さな値の抵抗によって検出されます。シャント抵抗の両端に生じる平均差動電圧は標準的には 100 mV ですが、そのピーク値は、負荷のインダクタンスの大きさと制御周波数の高さによりさらに大きくなります。これに対し、同相電圧は、グラウンドより約 1 V 高い電圧 (スイッチングトランジスタ ON 時) からバッテリー電圧より約 1.5 V 高い電圧 (スイッチングトランジスタ OFF 時) まで変化します。クランピング・ダイオードが導通することによって、デバイスに加わる同相電圧が抑制されます。たとえば、20 V のバッテリー・スパイクがあった場合、デバイスの入力に加わる同相電位は 21.5 V 程度になるでしょう。

4 V のフルスケール出力を作るにはゲインを×40 に設定し、シャント抵抗電圧のバラツキを調整するために±5%程度調整可能にします。この場合十分なヘッドルームがあるため、10%

のオーバーレンジ (4.4 V まで) まで対応できます。検出抵抗の両端に加わるほぼ三角波の電圧は、図 49 に示す 1 極ローパス・フィルタによって平均化されます。このフィルタは、コーナー周波数 3.6Hz に設定されているので 100 Hz での減衰率は約 30 dB になります。図 50 に示すように  $f_c = 20$  Hz の 2 極フィルタを使用すると、さらに高い減衰率が得られます。この回路では 2 つのコンデンサを使用しますが、合計の容量は 1 極フィルタの場合の半分以下です。

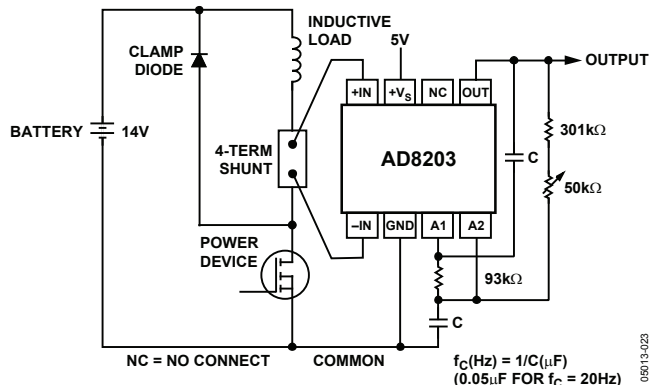


図 50. 2 極ローパス・フィルタ

### 電荷再配分式ADCの駆動

一般的なマイクロコントローラに組み込まれているような CMOS ADC を駆動する場合、電荷注入 ( $\Delta Q$ ) によって AD8203 の出力電圧に大きな波形歪みが生じることがあります。一般的には短時間のものですが、AD8203 のオープン・ループ出力インピーダンスが比較的高い (21 kΩ) ために、この波形歪みが ADC のサンプル期間が終わるまで続くことがあります。この場合出力に RC 回路を接続することで、この影響をかなり低減することができます。コンデンサは過渡電荷を吸収し、AD8203 の高周波出力インピーダンスを低下させるのに効果があります。この場合図 51 に示すように、出力信号は  $R_{LAG}$  と  $C_{LAG}$  の接続点から取り出します。

ADC からの変動が小さくなるので、AD8203 の出力インピーダンスが低く見えます。したがって、過渡応答の時定数は、2 つの遅延用部品の積 ( $C_{LAG} \times R_{LAG}$ ) に支配されます。図 51 に示す値の場合、この時定数は約 10  $\mu$ s に設定されます。したがって、数十マイクロ秒以上でサンプリングを行う場合、電荷の蓄積は無視することができます。

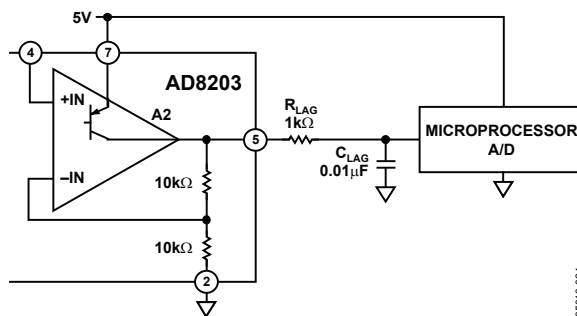


図 51. CMOS A/D を駆動するための推奨回路

## 外形寸法

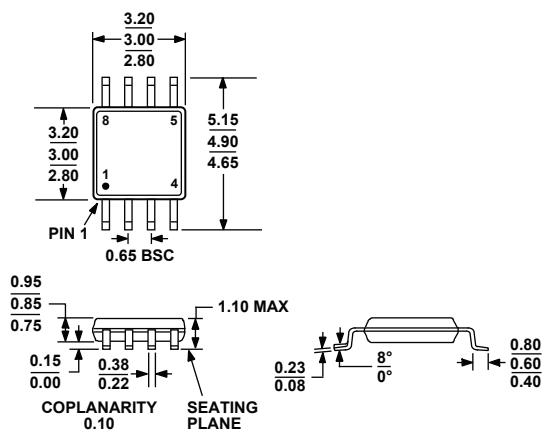


図 52. 8ピン・ミニ・スモール・アウトライン・パッケージ

[MSOP]

(RM-8)

寸法単位：mm

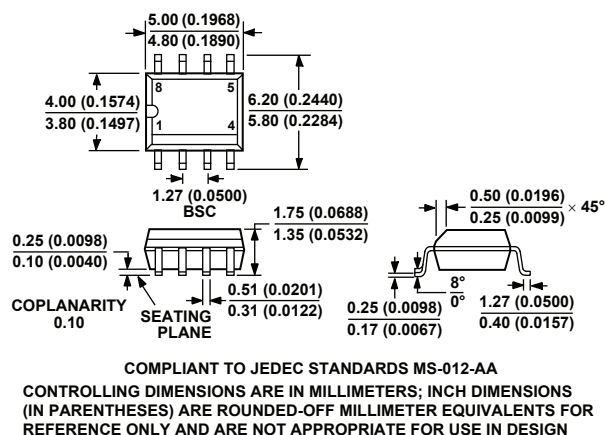


図 53. 8ピン標準スモール・アウトライン・パッケージ

[SOIC\_N]

ナロー・ボディ

(R-8)

寸法単位：mm (インチ)

## オーダー・ガイド

Model	Temperature Package	Package Description	Package Outline	Branding
AD8203YRMZ <sup>1</sup>	-40°C to +125°C	8-Lead Mini Small Outline Package [MSOP]	RM-8	JXA
AD8203YRMZ-RL <sup>1</sup>	-40°C to +125°C	8-Lead Mini Small Outline Package [MSOP]	RM-8	JXA
AD8203YRMZ-R7 <sup>1</sup>	-40°C to +125°C	8-Lead Mini Small Outline Package [MSOP]	RM-8	JXA
AD8203YRZ <sup>1</sup>	-40°C to +125°C	8-Lead Standard Small Outline Package [SOIC_N]	R-8	
AD8203YRZ-RL <sup>1</sup>	-40°C to +125°C	8-Lead Standard Small Outline Package [SOIC_N]	R-8	
AD8203YRZ-R7 <sup>1</sup>	-40°C to +125°C	8-Lead Standard Small Outline Package [SOIC_N]	R-8	
AD8203YC SURF		Die		

<sup>1</sup> Z = 鉛フリー製品。