

特長

高速

- 3 dB 帯域幅: 350 MHz
- スルーレート: 1,200 V/μs

抵抗設定のゲイン

内部同相モード帰還

ゲインと位相のバランス改善: 10 MHz で-68 dB

同相モード出力電圧を設定する別々の入力

低歪み: 5 MHz、800 Ω 負荷で-99 dBc SFDR

低消費電力: 5 V で 10.7 mA

電源電圧範囲: +2.7 V ~ ±5.5 V

AEC-Q100 認定済み(AD8132W)

アプリケーション

低消費電力差動 ADC ドライバ

差動ゲインおよび差動フィルタ

ビデオ・ライン・ドライバ

差動入力/出力レベル・シフト

シングルエンド入力/差動出力ドライバ

アクティブ・トランス

車載ドライバ・アシスタンス

車載インフォテインメント

概要

AD8132 は低価格の差動またはシングルエンド入力/差動出力アンプであり、ゲインは抵抗で設定することができます。AD8132 は、差動入力 ADC の駆動または長いラインの信号駆動を対象とするオペアンプでの大きな進歩を表しています。AD8132 はユニークな内部帰還機能を持っています。この機能は出力ゲインと位相を一致させて、10 MHz で-68 dB のバランスを与え、EMI 放射と高調波を抑圧します。

AD8132 はアナログ・デバイセズの次世代 XFCB バイポーラ製造プロセスで製造され、-3 dB 帯域幅が 350 MHz、5 MHz で-99 dBc SFDR の差動信号を提供し、しかも低価格です。AD8132 は、高性能 ADC でのトランスを不要にし、かつ低周波と DC での情報を保持します。差動出力の同相モード・レベルは V_{OCM} ピンに電圧を入力することにより設定できるため、単電源 ADC を駆動する入力信号を容易にレベル・シフトすることができます。過負荷からの回復が高速であるため、サンプリング精度が維持されます。

接続図

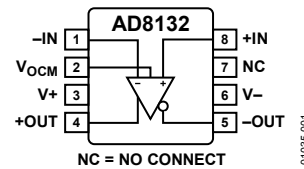


図1.

また、AD8132 は低価格のツイストペア・ケーブルまたは同軸ケーブルで高速信号を伝送する際に差動ドライバとして使用することもできます。帰還回路を調節して信号の高周波成分を持ち上げることもできます。AD8132 は、アナログまたはデジタルのビデオ信号、またはその他の高速データ伝送に使われます。AD8132 は、カテゴリ 3 またはカテゴリ 5 のツイストペアまたは同軸ケーブルを最小のライン減衰量で駆動することができます。AD8132 は、ディスクリット・ライン・ドライバ・ソリューションと比べるとコストおよび性能を大幅に改善します。

差動信号処理により、グラウンド基準システムを悩ますグラウンド・ノイズの影響が削減されます。AD8132 はシグナル・チェーン内での差動信号処理(ゲインとフィルタ)に使用することができ、差動デバイスとシングルエンド・デバイスとの間の変換が容易になります。

AD8132W は車載グレード・バージョンで、AEC-Q100 に準拠する 125°C 動作で認定されています。詳細については、車載製品のセクションを参照してください。

AD8132 は 8 ピン SOIC パッケージまたは 8 ピン MSOP パッケージを採用しており、拡張工業用温度範囲-40°C ~ +125°C で動作します。

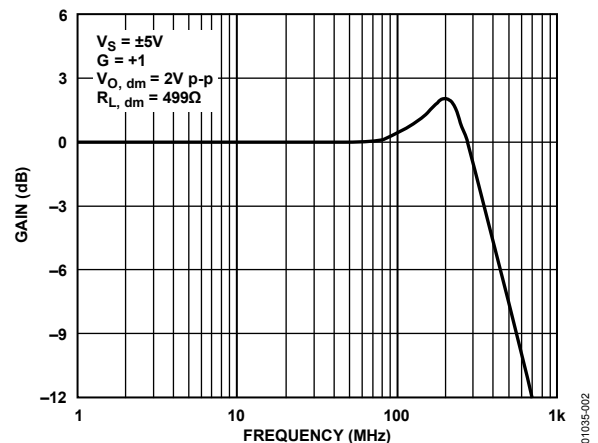


図2.大信号周波数応答

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©2000-2009 Analog Devices, Inc. All rights reserved.

Rev. I

目次

特長	1	抵抗のない差動アンプ(高入力インピーダンス反転アンプ)	22
アプリケーション	1	その他の $\beta_2 = 1$ 回路	23
概要	1	可変 β_2	23
接続図	1	$\beta_1 = 0$	23
改訂履歴	3	出力ノイズ電圧の計算	23
仕様	4	アプリケーション回路の入力インピーダンスの計算	24
$\pm D_{IN}$ から $\pm OUT$ までの仕様	4	単電源アプリケーションでの入力同相モード電圧範囲	24
V_{OCM} から $\pm OUT$ までの仕様	5	出力同相モード電圧の設定	24
$\pm D_{IN}$ から $\pm OUT$ までの仕様	6	容量負荷の駆動	24
V_{OCM} から $\pm OUT$ までの仕様	7	オープン・ループ・ゲインと位相	24
$\pm D_{IN}$ から $\pm OUT$ までの仕様	8	レイアウト、グラウンド接続、バイパス	25
V_{OCM} から $\pm OUT$ までの仕様	8	回路例	25
絶対最大定格	9	アプリケーション情報	26
熱抵抗	9	A/Dコンバータのドライバ	26
最大消費電力	9	平衡ケーブル・ドライバ	26
ESDの注意	9	送信等化器	27
ピン配置およびピン機能説明	10	差動ローパス・フィルタ	27
代表的な性能特性	11	高い同相モード出力インピーダンスを持つアンプ	28
テスト回路	20	全波整流器	29
動作説明	21	車載製品	29
用語の定義	21	外形寸法	30
回路の基本動作	21	オーダー・ガイド	30
動作原理	22		
AD8132の一般的な使い方	22		

改訂履歷**9/09—Rev. H to Rev. I**

Changes to Figure 64 Caption.....21

5/09—Rev. G to Rev. H

Changes to Features Section, Applications Section, and General Description Section.....1

Changes to Table 1.....4

Changes to Table 2.....5

Changes to Table 3.....6

Changes to Table 4.....7

Added Automotive Products Section.....29

Changes to Ordering Guide.....30

1/09—Rev. F to Rev. G

Changes to Figure 77.....26

Updated Outline Dimensions.....29

11/06—Rev. E to Rev. F

Updated Format.....Universal

Changes to Table 1.....3

Changes to Table 4.....6

Changes to Table 5.....7

Changes to Ordering Guide.....29

11/05—Rev. D to Rev. E

Changes to Table 7, Thermal Resistance Section, Maximum Power Dissipation Section, and Figure 3.....8

Changes to Ordering Guide.....29

12/04—Rev. C to Rev. D

Changes to General Description.....1

Changes to Specifications.....2

Changes to Absolute Maximum Ratings.....8

Updated Outline Dimensions.....29

Changes to Ordering Guide.....29

2/03—Rev. B to Rev. C

Changes to Specifications.....2

Addition to Estimating the Output Noise Voltage Section.....15

Updated Outline Dimensions.....21

1/02—Rev. A to Rev. B

Edits to Transmitter Equalizer Section.....18

仕様

±D_{IN}から±OUTまでの仕様

特に指定がない限り、T_A = 25°C、V_S = ±5 V、V_{OCM} = 0 V、G = +1、R_{L, dm} = 499 Ω、R_F = R_G = 348 Ω。G = +2 の場合、R_{L, dm} = 200 Ω、R_F = 1000 Ω、R_G = 499 Ω。テスト・セットアップとラベルについては、図 56 と 図 57 を参照してください。特に指定がない限り、すべての仕様はシングルエンド入力と差動出力を規定します。

表1.

Parameter	Conditions	Min	Typ	Max	Unit
DYNAMIC PERFORMANCE					
-3 dB Large Signal Bandwidth	V _{OUT} = 2 V p-p	300	350		MHz
	AD8132W only, T _{MIN} to T _{MAX}	280			MHz
-3 dB Small Signal Bandwidth	V _{OUT} = 2 V p-p, G = +2		190		MHz
	V _{OUT} = 0.2 V p-p		360		MHz
Bandwidth for 0.1 dB Flatness	V _{OUT} = 0.2 V p-p, G = +2		160		MHz
	V _{OUT} = 0.2 V p-p		90		MHz
Slew Rate	V _{OUT} = 0.2 V p-p, G = +2		50		MHz
	V _{OUT} = 2 V p-p	1000	1200		V/μs
Settling Time	AD8132W only, T _{MIN} to T _{MAX}	950			V/μs
Overdrive Recovery Time	0.1%, V _{OUT} = 2 V p-p		15		ns
	V _{IN} = 5 V to 0 V step, G = +2		5		ns
NOISE/HARMONIC PERFORMANCE					
Second Harmonic	V _{OUT} = 2 V p-p, 1 MHz, R _{L, dm} = 800 Ω		-96		dBc
	V _{OUT} = 2 V p-p, 5 MHz, R _{L, dm} = 800 Ω		-83		dBc
	V _{OUT} = 2 V p-p, 20 MHz, R _{L, dm} = 800 Ω		-73		dBc
Third Harmonic	V _{OUT} = 2 V p-p, 1 MHz, R _{L, dm} = 800 Ω		-102		dBc
	V _{OUT} = 2 V p-p, 5 MHz, R _{L, dm} = 800 Ω		-98		dBc
	V _{OUT} = 2 V p-p, 20 MHz, R _{L, dm} = 800 Ω		-67		dBc
IMD	20 MHz, R _{L, dm} = 800 Ω		-76		dBc
IP3	20 MHz, R _{L, dm} = 800 Ω		40		dBm
Input Voltage Noise (RTI)	f = 0.1 MHz to 100 MHz		8		nV/√Hz
Input Current Noise	f = 0.1 MHz to 100 MHz		1.8		pA/√Hz
Differential Gain Error	NTSC, G = +2, R _{L, dm} = 150 Ω		0.01		%
Differential Phase Error	NTSC, G = +2, R _{L, dm} = 150 Ω		0.10		Degrees
INPUT CHARACTERISTICS					
Offset Voltage (RTI)	V _{OS, dm} = V _{OUT, dm} /2; V _{DIN+} = V _{DIN-} = V _{OCM} = 0 V		±1.0	±3.5	mV
	AD8132W only, T _{MIN} to T _{MAX}			±6	mV
Input Bias Current	T _{MIN} to T _{MAX} variation		10		μV/°C
	T _A = 25°C		3	7	μA
Input Resistance	Differential			8	μA
	Common mode		12		MΩ
Input Capacitance			3.5		MΩ
Input Common-Mode Voltage			1		pF
CMRR			-4.7 to +3.0		V
	ΔV _{OUT, dm} /ΔV _{IN, cm} ; ΔV _{IN, cm} = ±1 V; resistors matched to 0.01%		-70	-60	dB
	AD8132W only, T _{MIN} to T _{MAX}			-60	dB
OUTPUT CHARACTERISTICS					
Output Voltage Swing	Maximum ΔV _{OUT} ; single-ended output		-3.6 to +3.6		V
Output Current			+70		mA
Output Balance Error	ΔV _{OUT, cm} /ΔV _{OUT, dm} ; ΔV _{OUT, dm} = 1 V		-70		dB

V_{OCM}から±OUTまでの仕様

特に指定がない限り、T_A = 25°C、V_S = ±5 V、V_{OCM} = 0 V、G = +1、R_{L, dm} = 499 Ω、R_F = R_G = 348 Ω。G = +2 の場合、R_{L, dm} = 200 Ω、R_F = 1000 Ω、R_G = 499 Ω。テスト・セットアップとラベルについては、図 56 と 図 57 を参照してください。特に指定がない限り、すべての仕様はシングルエンド入力と差動出力を規定します。

表2.

Parameter	Conditions	Min	Typ	Max	Unit
DYNAMIC PERFORMANCE					
-3 dB Bandwidth	$\Delta V_{OCM} = 600 \text{ mV p-p}$		210		MHz
Slew Rate	$\Delta V_{OCM} = -1 \text{ V to } +1 \text{ V}$		400		V/ μs
Input Voltage Noise (RTI)	f = 0.1 MHz to 100 MHz		12		nV/ $\sqrt{\text{Hz}}$
DC PERFORMANCE					
Input Voltage Range			±3.6		V
Input Resistance			50		kΩ
Input Offset Voltage	V _{OS, cm} = V _{OUT, cm} ; V _{DIN+} = V _{DIN-} = V _{OCM} = 0 V AD8132W only, T _{MIN} to T _{MAX}		±1.5	±7	mV
				±9	mV
Input Bias Current			0.5		μA
V _{OCM} CMRR	$\Delta V_{OUT, dm}/\Delta V_{OCM}$; $\Delta V_{OCM} = \pm 1 \text{ V}$; resistors matched to 0.01%		-68		dB
Gain	$\Delta V_{OUT, cm}/\Delta V_{OCM}$; $\Delta V_{OCM} = \pm 1 \text{ V}$ AD8132W only, T _{MIN} to T _{MAX}	0.985	1	1.015	V/V
		0.985		1.015	V/V
POWER SUPPLY					
Operating Range		±1.35		±5.5	V
Quiescent Current	V _{DIN+} = V _{DIN-} = V _{OCM} = 0 V AD8132W only, T _{MIN} to T _{MAX}	11	12	13	mA
	T _{MIN} to T _{MAX} variation	9		14.5	mA
Power Supply Rejection Ratio	$\Delta V_{OUT, dm}/\Delta V_S$; $\Delta V_S = \pm 1 \text{ V}$ AD8132W only, T _{MIN} to T _{MAX}		16		μA/°C
			-70	-60	dB
				-60	dB
OPERATING TEMPERATURE RANGE					
		-40		+125	°C

±D_{IN}から±OUTまでの仕様

特に指定がない限り、T_A = 25°C、V_S = ±5 V、V_{OCM} = 2.5 V、G = +1、R_{L, dm} = 499 Ω、R_F = R_G = 348 Ω。G = +2の場合、R_{L, dm} = 200 Ω、R_F = 1000 Ω、R_G = 499 Ω。テスト・セットアップとラベルについては、図 56と 図 57を参照してください。特に指定がない限り、すべての仕様はシングルエンド入力と差動出力を規定します。

表3.

Parameter	Conditions	Min	Typ	Max	Unit
DYNAMIC PERFORMANCE					
-3 dB Large Signal Bandwidth	V _{OUT} = 2 V p-p	250	300		MHz
	AD8132W only, T _{MIN} to T _{MAX}	240			MHz
-3 dB Small Signal Bandwidth	V _{OUT} = 2 V p-p, G = +2		180		MHz
	V _{OUT} = 0.2 V p-p		360		MHz
Bandwidth for 0.1 dB Flatness	V _{OUT} = 0.2 V p-p, G = +2		155		MHz
	V _{OUT} = 0.2 V p-p		65		MHz
Slew Rate	V _{OUT} = 0.2 V p-p, G = +2		50		MHz
	V _{OUT} = 2 V p-p	800	1000		V/μs
Settling Time	AD8132W only, T _{MIN} to T _{MAX}	750			V/μs
Overdrive Recovery Time	0.1%, V _{OUT} = 2 V p-p		20		ns
	V _{IN} = 2.5 V to 0 V step, G = +2		5		ns
NOISE/HARMONIC PERFORMANCE					
Second Harmonic	V _{OUT} = 2 V p-p, 1 MHz, R _{L, dm} = 800 Ω		-97		dBc
	V _{OUT} = 2 V p-p, 5 MHz, R _{L, dm} = 800 Ω		-100		dBc
	V _{OUT} = 2 V p-p, 20 MHz, R _{L, dm} = 800 Ω		-74		dBc
Third Harmonic	V _{OUT} = 2 V p-p, 1 MHz, R _{L, dm} = 800 Ω		-100		dBc
	V _{OUT} = 2 V p-p, 5 MHz, R _{L, dm} = 800 Ω		-99		dBc
	V _{OUT} = 2 V p-p, 20 MHz, R _{L, dm} = 800 Ω		-67		dBc
IMD	20 MHz, R _{L, dm} = 800 Ω		-76		dBc
IP3	20 MHz, R _{L, dm} = 800 Ω		40		dBm
Input Voltage Noise (RTI)	f = 0.1 MHz to 100 MHz		8		nV/√Hz
Input Current Noise	f = 0.1 MHz to 100 MHz		1.8		pA/√Hz
Differential Gain Error	NTSC, G = +2, R _{L, dm} = 150 Ω		0.025		%
Differential Phase Error	NTSC, G = +2, R _{L, dm} = 150 Ω		0.15		Degrees
INPUT CHARACTERISTICS					
Offset Voltage (RTI)	V _{OS, dm} = V _{OUT, dm} /2; V _{DIN+} = V _{DIN-} = V _{OCM} = 2.5 V		±1.0	±3.5	mV
	AD8132W only, T _{MIN} to T _{MAX}			±6	mV
	T _{MIN} to T _{MAX} variation		6		μV/°C
Input Bias Current	T _A = 25°C		3	7	μA
				8	μA
Input Resistance	Differential AD8132W only, T _{MIN} to T _{MAX}		10		MΩ
	Common-mode		3		MΩ
Input Capacitance			1		pF
Input Common-Mode Voltage			0.3 to 3.0		V
CMRR	ΔV _{OUT, dm} /ΔV _{IN, cm} ; ΔV _{IN, cm} = ±1 V; resistors matched to 0.01%		-70	-60	dB
	AD8132W only, T _{MIN} to T _{MAX}			-60	dB
OUTPUT CHARACTERISTICS					
Output Voltage Swing	AD8132W only, T _{MIN} to T _{MAX}		1.0 to 4.0		V
Output Current	Maximum ΔV _{OUT} ; single-ended output		50		mA
Output Balance Error	ΔV _{OUT, cm} /ΔV _{OUT, dm} ; ΔV _{OUT, dm} = 1 V		-68		dB

V_{OCM}から±OUTまでの仕様

特に指定がない限り、T_A = 25°C、V_S = ±5 V、V_{OCM} = 2.5 V、G = +1、R_{L, dm} = 499 Ω、R_F = R_G = 348 Ω。G = +2の場合、R_{L, dm} = 200 Ω、R_F = 1000 Ω、R_G = 499 Ω。テスト・セットアップとラベルについては、図 56と 図 57を参照してください。特に指定がない限り、すべての仕様はシングルエンド入力と差動出力を規定します。

表4.

Parameter	Conditions	Min	Typ	Max	Unit
DYNAMIC PERFORMANCE					
-3 dB Bandwidth	$\Delta V_{OCM} = 600 \text{ mV p-p}$		210		MHz
Slew Rate	$\Delta V_{OCM} = 1.5 \text{ V to } 3.5 \text{ V}$		340		V/ μs
Input Voltage Noise (RTI)	f = 0.1 MHz to 100 MHz		12		nV/ $\sqrt{\text{Hz}}$
DC PERFORMANCE					
Input Voltage Range			1.0 to 3.7		V
Input Resistance			30		k Ω
Input Offset Voltage	V _{OS, cm} = V _{OUT, cm} ; V _{DIN+} = V _{DIN-} = V _{OCM} = 2.5 V AD8132W only, T _{MIN} to T _{MAX}		±5	±11	mV
Input Bias Current			0.5		μA
V _{OCM} CMRR	$\Delta V_{OUT, dm}/\Delta V_{OCM}$; $\Delta V_{OCM} = 2.5 \text{ V} \pm 1 \text{ V}$; resistors matched to 0.01%		-66		dB
Gain	$\Delta V_{OUT, cm}/\Delta V_{OCM}$; $\Delta V_{OCM} = 2.5 \text{ V} \pm 1 \text{ V}$ AD8132W only, T _{MIN} to T _{MAX}	0.985	1	1.015	V/V
		0.985		1.015	V/V
POWER SUPPLY					
Operating Range		2.7		11	V
Quiescent Current	V _{DIN+} = V _{DIN-} = V _{OCM} = 2.5 V AD8132W only, T _{MIN} to T _{MAX}	9.4	10.7	12	mA
	T _{MIN} to T _{MAX} variation	6		13	mA
Power Supply Rejection Ratio	$\Delta V_{OUT, dm}/\Delta V_S$; $\Delta V_S = \pm 1 \text{ V}$ AD8132W only, T _{MIN} to T _{MAX}		10		$\mu\text{A}/^\circ\text{C}$
			-70	-60	dB
				-60	dB
OPERATING TEMPERATURE RANGE					
		-40		+125	°C

±D_{IN}から±OUTまでの仕様

特に指定がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_S = \pm 3\text{ V}$ 、 $V_{\text{OCM}} = 1.5\text{ V}$ 、 $G = +1$ 、 $R_{L,\text{dm}} = 499\ \Omega$ 、 $R_F = R_G = 348\ \Omega$ 。 $G = +2$ の場合、 $R_{L,\text{dm}} = 200\ \Omega$ 、 $R_F = 1000\ \Omega$ 、 $R_G = 499\ \Omega$ 。 テスト・セットアップとラベルについては、図 56 と 図 57 を参照してください。 特に指定がない限り、すべての仕様はシングルエンド入力と差動出力を規定します。

表5.

Parameter	Conditions	Min	Typ	Max	Unit
DYNAMIC PERFORMANCE					
-3 dB Large Signal Bandwidth	$V_{\text{OUT}} = 1\text{ V p-p}$		350		MHz
	$V_{\text{OUT}} = 1\text{ V p-p}$, $G = +2$		165		MHz
-3 dB Small Signal Bandwidth	$V_{\text{OUT}} = 0.2\text{ V p-p}$		350		MHz
	$V_{\text{OUT}} = 0.2\text{ V p-p}$, $G = +2$		150		MHz
Bandwidth for 0.1 dB Flatness	$V_{\text{OUT}} = 0.2\text{ V p-p}$		45		MHz
	$V_{\text{OUT}} = 0.2\text{ V p-p}$, $G = +2$		50		MHz
NOISE/HARMONIC PERFORMANCE					
Second Harmonic	$V_{\text{OUT}} = 1\text{ V p-p}$, 1 MHz, $R_{L,\text{dm}} = 800\ \Omega$		-100		dBc
	$V_{\text{OUT}} = 1\text{ V p-p}$, 5 MHz, $R_{L,\text{dm}} = 800\ \Omega$		-94		dBc
	$V_{\text{OUT}} = 1\text{ V p-p}$, 20 MHz, $R_{L,\text{dm}} = 800\ \Omega$		-77		dBc
Third Harmonic	$V_{\text{OUT}} = 1\text{ V p-p}$, 1 MHz, $R_{L,\text{dm}} = 800\ \Omega$		-90		dBc
	$V_{\text{OUT}} = 1\text{ V p-p}$, 5 MHz, $R_{L,\text{dm}} = 800\ \Omega$		-85		dBc
	$V_{\text{OUT}} = 1\text{ V p-p}$, 20 MHz, $R_{L,\text{dm}} = 800\ \Omega$		-66		dBc
INPUT CHARACTERISTICS					
Offset Voltage (RTI)	$V_{\text{OS, dm}} = V_{\text{OUT, dm}}/2$; $V_{\text{DIN+}} = V_{\text{DIN-}} = V_{\text{OCM}} = 1.5\text{ V}$		±10		mV
Input Bias Current			3		μA
Input Common-Mode Voltage			0.3 to 1.0		V
CMRR	$\Delta V_{\text{OUT, dm}}/\Delta V_{\text{IN, cm}}$; $\Delta V_{\text{IN, cm}} = \pm 0.5\text{ V}$; resistors matched to 0.01%		-60		dB

V_{OCM}から±OUTまでの仕様

特に指定がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_S = \pm 3\text{ V}$ 、 $V_{\text{OCM}} = 1.5\text{ V}$ 、 $G = +1$ 、 $R_{L,\text{dm}} = 499\ \Omega$ 、 $R_F = R_G = 348\ \Omega$ 。 $G = +2$ の場合、 $R_{L,\text{dm}} = 200\ \Omega$ 、 $R_F = 1000\ \Omega$ 、 $R_G = 499\ \Omega$ 。 テスト・セットアップとラベルについては、図 56 と 図 57 を参照してください。 特に指定がない限り、すべての仕様はシングルエンド入力と差動出力を規定します。

表6.

Parameter	Conditions	Min	Typ	Max	Unit
DC PERFORMANCE					
Input Offset Voltage	$V_{\text{OS, cm}} = V_{\text{OUT, cm}}$; $V_{\text{DIN+}} = V_{\text{DIN-}} = V_{\text{OCM}} = 1.5\text{ V}$		±7		mV
Gain	$\Delta V_{\text{OUT, cm}}/\Delta V_{\text{OCM}}$; $\Delta V_{\text{OCM}} = \pm 0.5\text{ V}$		1		V/V
POWER SUPPLY					
Operating Range		2.7		11	V
Quiescent Current	$V_{\text{DIN+}} = V_{\text{DIN-}} = V_{\text{OCM}} = 0\text{ V}$		7.25		mA
Power Supply Rejection Ratio	$\Delta V_{\text{OUT, dm}}/\Delta V_S$; $\Delta V_S = \pm 0.5\text{ V}$		-70		dB
OPERATING TEMPERATURE RANGE					
		-40		+125	°C

絶対最大定格

表7.

Parameter	Rating
Supply Voltage	± 5.5 V
V_{OCM}	$\pm V_S$
Internal Power Dissipation	250 mW
Operating Temperature Range	-40°C to $+125^{\circ}\text{C}$
Storage Temperature Range	-65°C to $+150^{\circ}\text{C}$
Lead Temperature (Soldering 10 sec)	300°C
Junction Temperature	150°C

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上のデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

熱抵抗

θ_{JA} はワーストケース条件で規定。すなわち表面実装パッケージの場合、デバイスを自然空冷の回路ボードにハンダ付けした状態で θ_{JA} を規定。

表8.

Package Type	θ_{JA}	Unit
8-Lead SOIC, 4-Layer	121	$^{\circ}\text{C}/\text{W}$
8-Lead MSOP, 4-Layer	142	$^{\circ}\text{C}/\text{W}$

最大消費電力

AD8132のパッケージ内での安全な最大消費電力は、チップのジャンクション温度(T_J)上昇により制限されます。約 150°C のガラス遷移温度で、プラスチックの属性が変わります。この温度規定値を一時的に超えた場合でも、パッケージからチップに加えられる応力が変化して、AD8132のパラメータ性能が永久的にシフトしてしまうことがあります。 150°C のジャンクション温度を長時間超えると、シリコン・デバイス内に変化が発生して、故障の原因になることがあります。

パッケージ内の消費電力(P_D)は、静止消費電力と全出力での負荷駆動に起因するパッケージ内の消費電力との和になります。静止電力は、電源ピン(V_S)間の電圧に静止電流(I_S)を乗算して計算されます。負荷電流は、負荷に流れる差動モード電流と同相モード電流、および外部帰還回路と内部同相モード帰還ループを流れる電流から構成されます。同相モード帰還ループ内で使用される内部抵抗タップは、出力で $1\text{ k}\Omega$ の差動負荷になります。AC信号を扱うときはrms電圧とrms電流を考慮してください。

空気流により θ_{JA} が小さくなります。さらに、メタル・パターン、スルー・ホール、グラウンド・プレーン、電源プレーンとパッケージ・ピンが直接接触する場合、これらのメタルによっても θ_{JA} が小さくなります。

図3にパッケージ内の最大安全消費電力対周囲温度を示します。8ピンSOIC ($\theta_{JA} = 121^{\circ}\text{C}/\text{W}$)パッケージと8ピンMSOP ($\theta_{JA} = 142^{\circ}\text{C}/\text{W}$)パッケージはJEDEC標準4層ボードに実装してあります。 θ_{JA} 値は近似値です。

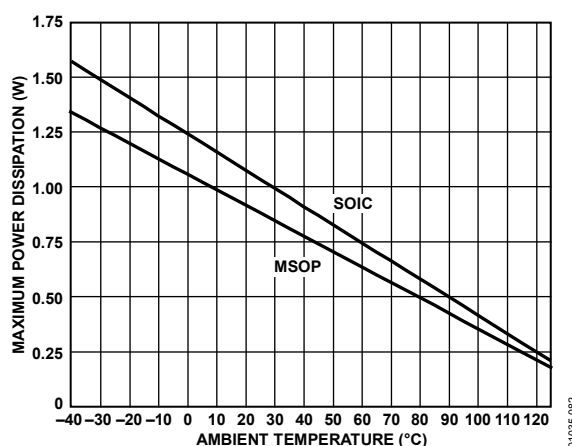


図3.最大消費電力対周囲温度

ESDの注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術であるESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明

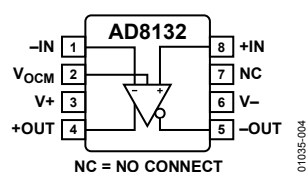


図4. ピン配置

表9. ピン機能の説明

ピン番号	記号	説明
1	-IN	負入力。
2	V _{OCM}	このピンに加える電圧により、同相モード出力電圧を比 1:1 で設定します。たとえば、V _{OCM} での 1 V dc により+OUTと-OUTの DC バイアス・レベルが 1 V に設定されます。
3	V+	正電源電圧。
4	+OUT	正側出力。-D _{IN} の電圧は+OUTでは反転されます(図 64参照)。
5	-OUT	負側出力。+D _{IN} の電圧は-OUTでは反転されます(図 64参照)。
6	V-	負電源電圧。
7	NC	未接続。
8	+IN	正入力。

代表的な性能特性

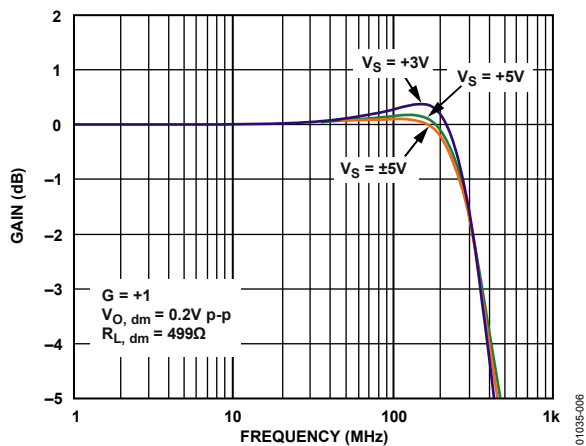


図5.小信号周波数応答(図 56参照)

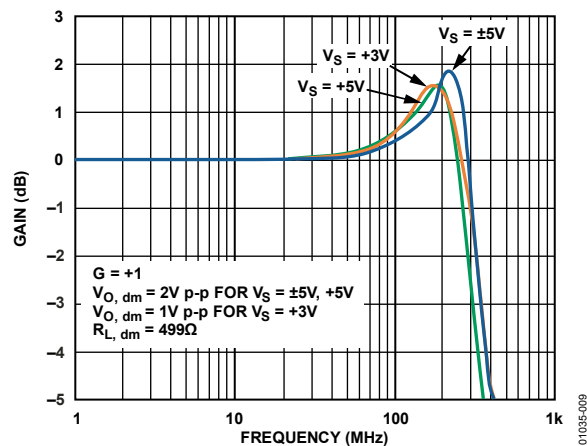


図8.大信号周波数応答; $C_F = 0$ pF (図 56参照)

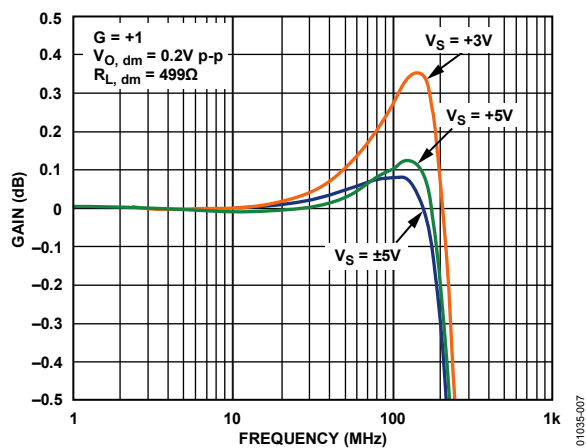


図6.0.1 dB平坦性対周波数; $C_F = 0$ pF (図 56参照)

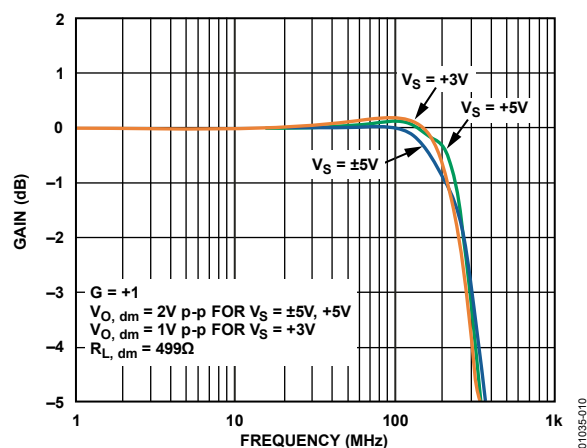


図9.大信号周波数応答; $C_F = 0.5$ pF (図 56参照)

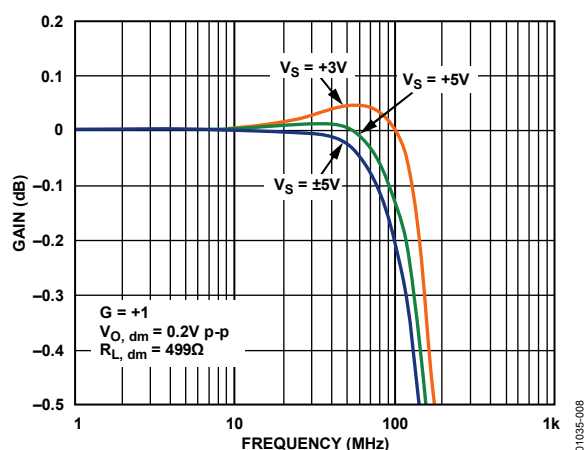


図7.0.1 dB平坦性対周波数; $C_F = 0.5$ pF (図 56参照)

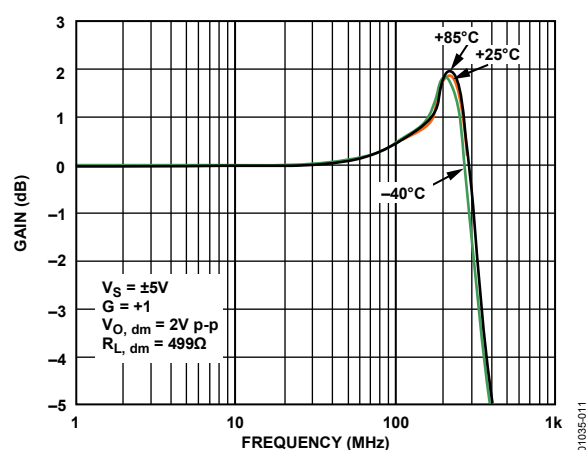


図10.大信号周波数応答の温度特性 (図 56参照)

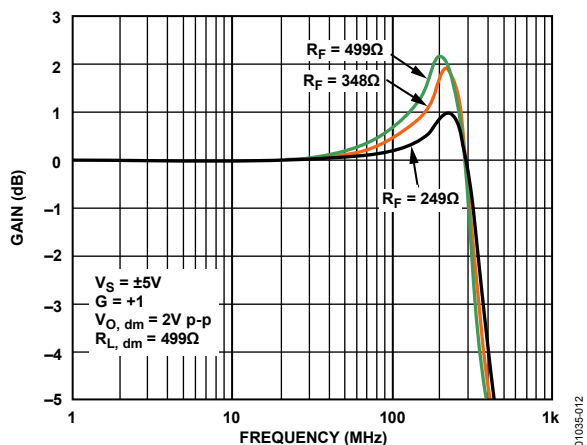


図11.大信号周波数応答対 R_F (図 56参照)

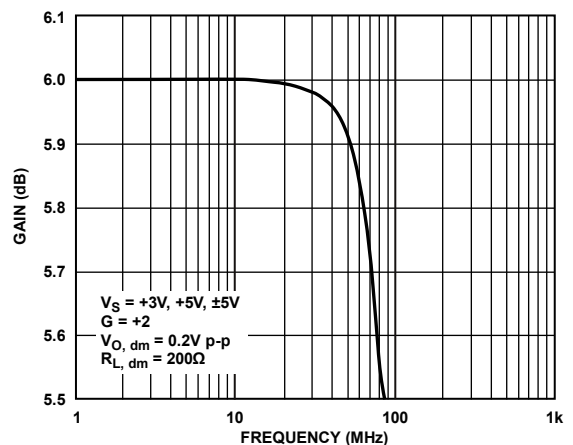


図14.0.1 0.1 dB平坦性の周波数特性(図 57参照)

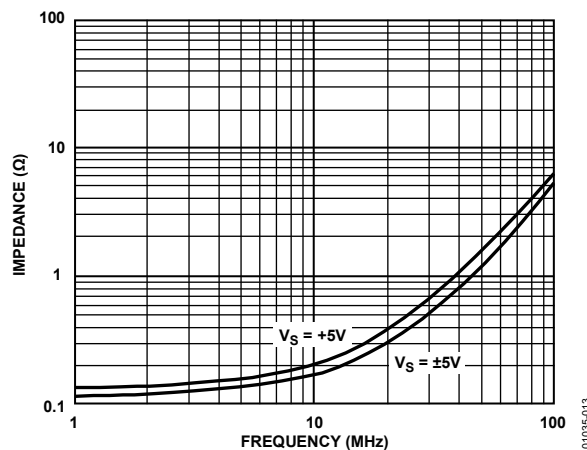


図12.クローズド・ループ・シングルエンド Z_{OUT} の周波数特性
 $G = +1$ (図 56参照)

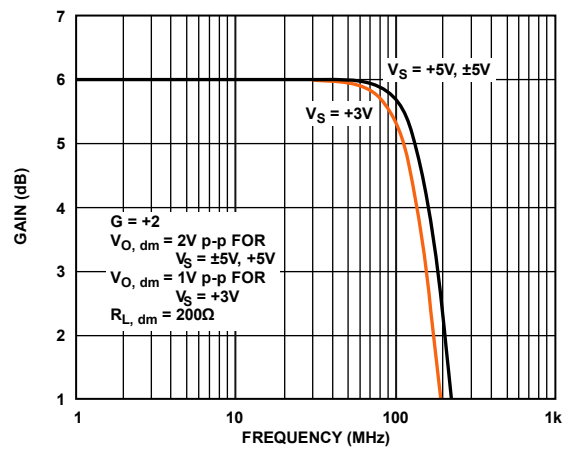


図15.大信号周波数応答(図 57参照)

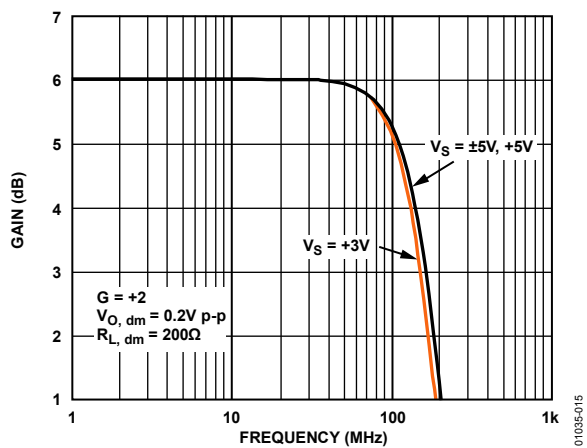


図13.小信号周波数応答(図 57参照)

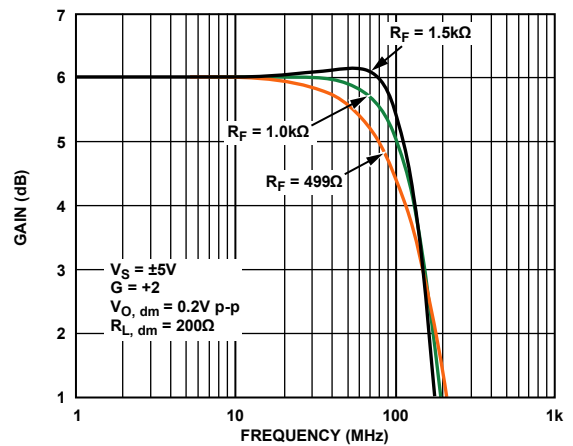


図16.小信号周波数応答対 R_F (図 57参照)

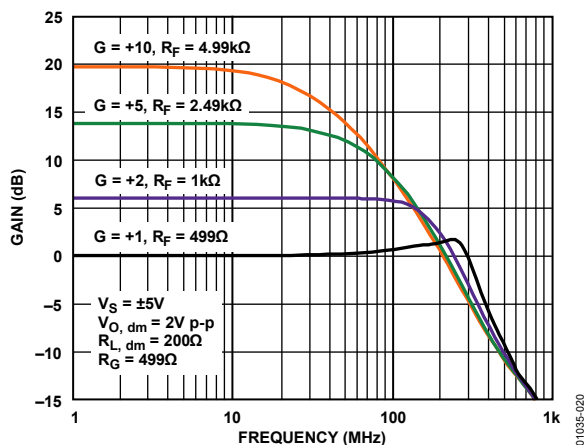


図17.さまざまなゲインでの大信号周波数応答 (図 58参照)

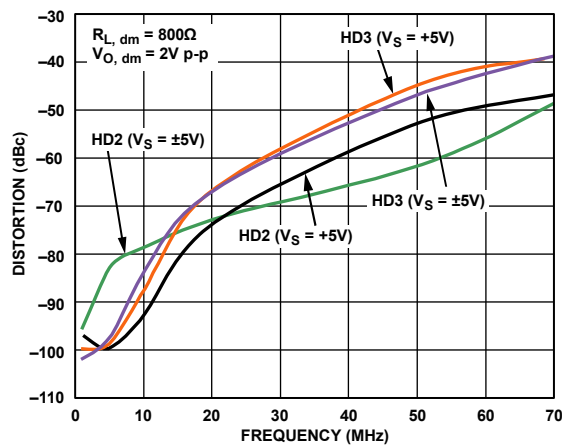


図20.高調波歪みの周波数特性、G = 1 (図 62参照)

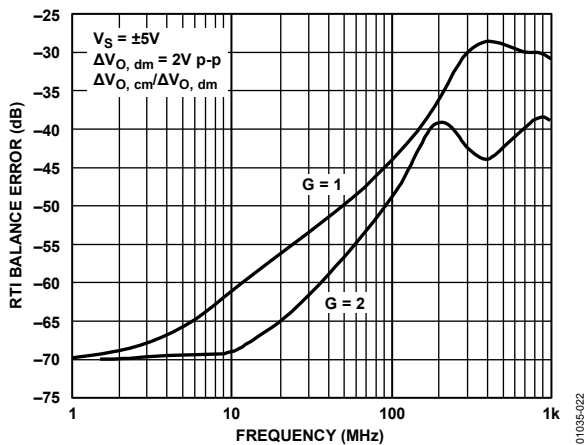


図18.RTI出力バランス誤差の周波数特性(図 59参照)

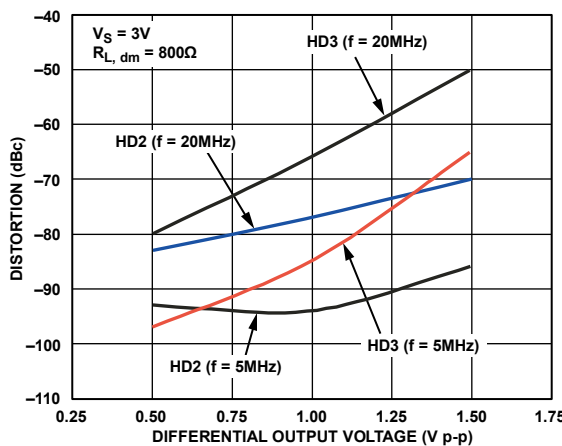


図21.高調波歪み対差動出力電圧、G = 1 (図 62参照)

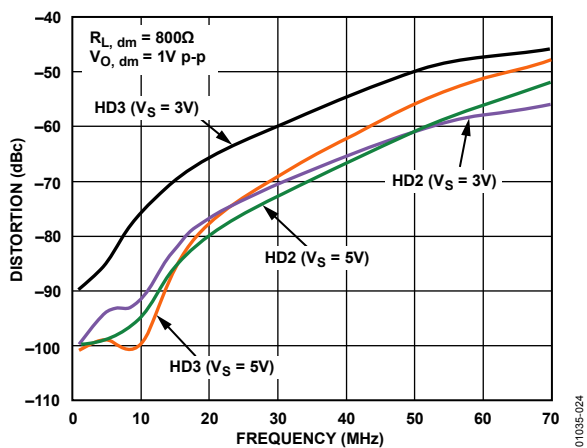


図19.高調波歪みの周波数特性、G = +1 (図 62参照)

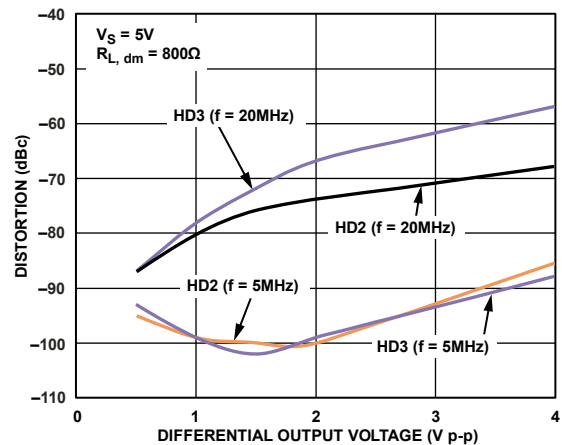


図22.高調波歪み対差動出力電圧、G = +1 (図 62参照)

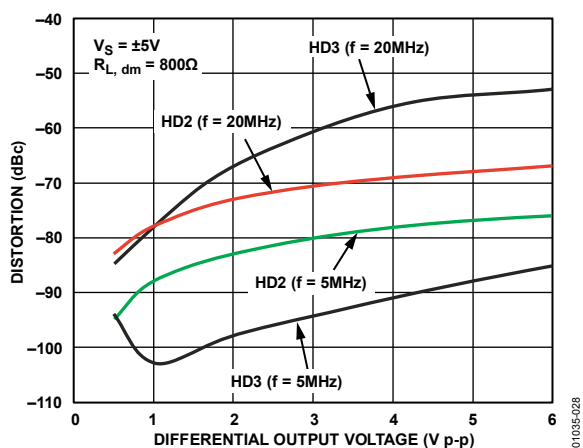


図23.高調波歪み対差動出力電圧、 $G = +1$ (図 62参照)

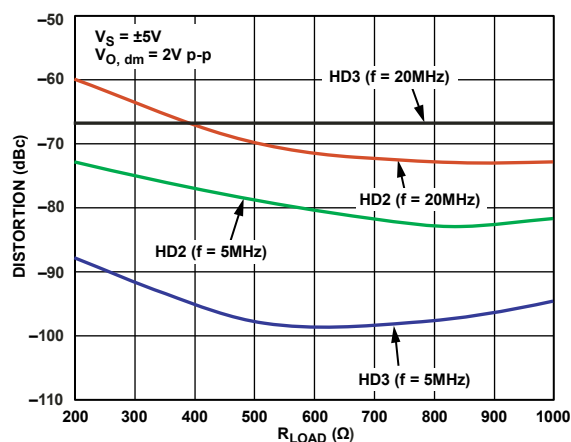


図26.高調波歪み対 R_{LOAD} 、 $G = +1$ (図 62参照)

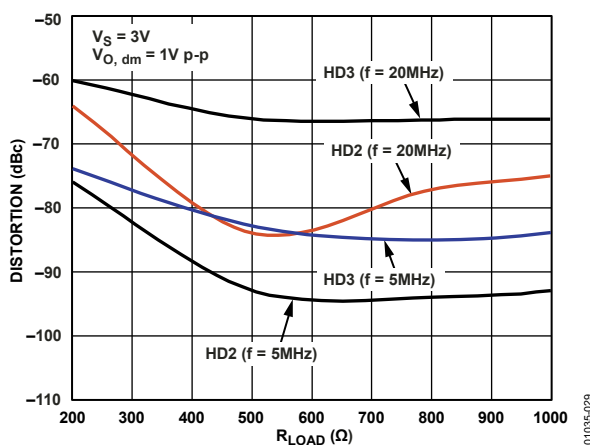


図24.高調波歪み対 R_{LOAD} 、 $G = +1$ (図 62参照)

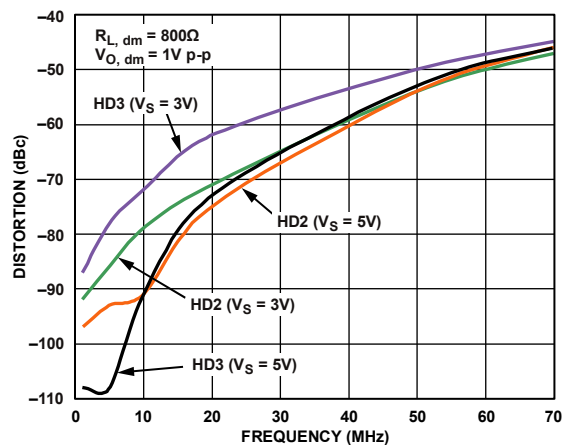


図27.高調波歪みの周波数特性、 $G = +2$ (図 63参照)

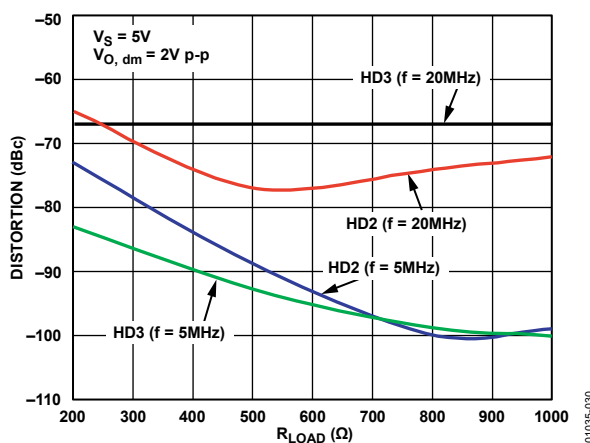


図25.高調波歪み対 R_{LOAD} 、 $G = +1$ (図 62参照)

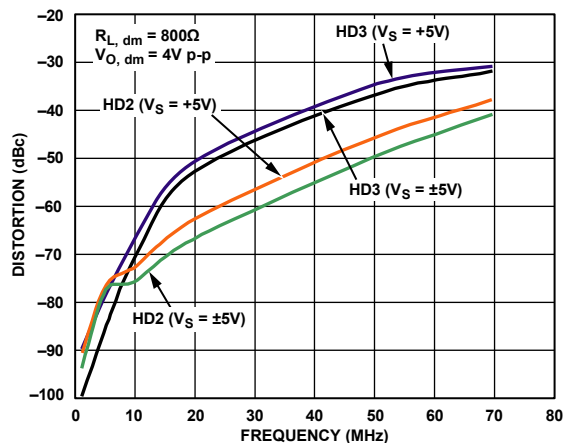


図28.高調波歪みの周波数特性、 $G = +2$ (図 63参照)

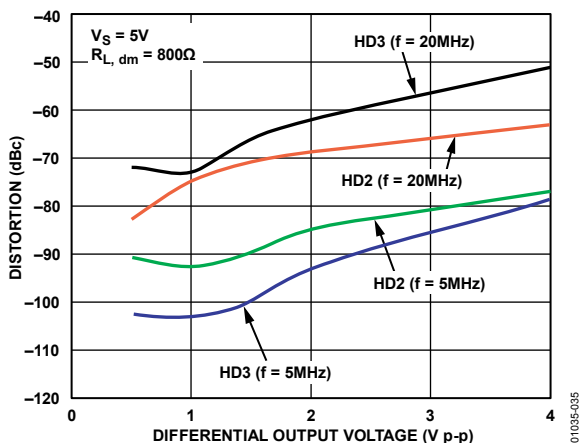


図29.高調波歪み対
差動出力電圧、G = +2 (図 63参照)

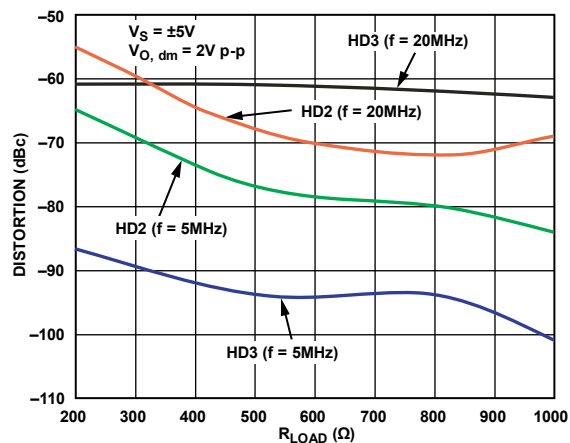


図32.高調波歪み対RL, G = +2 (図 63参照)

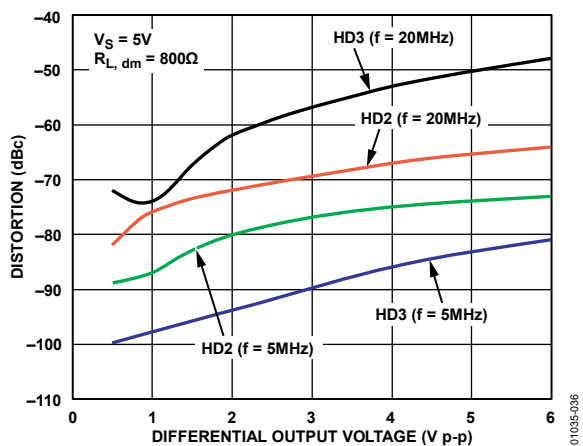


図30.高調波歪み対
差動出力電圧、G = +2 (図 63参照)

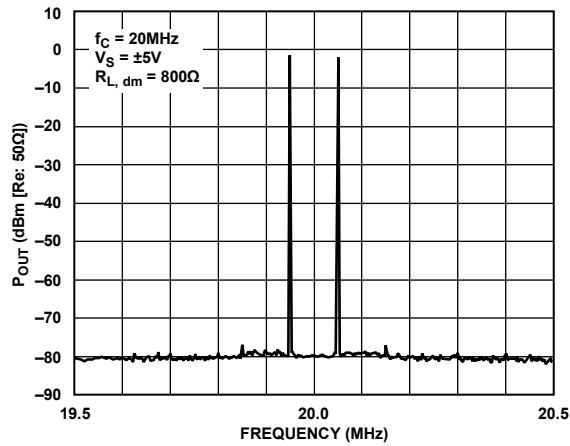


図33.相互変調歪み、G = +1

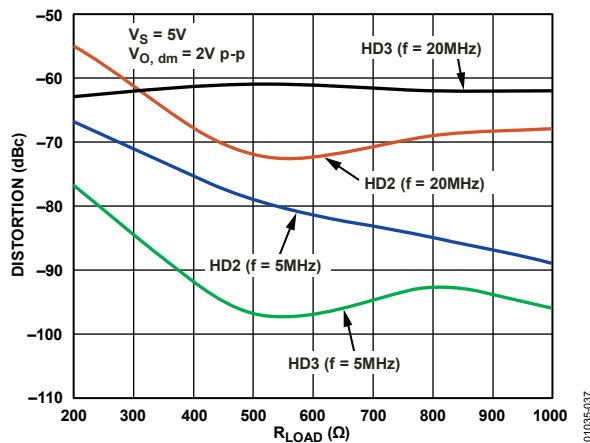


図31.高調波歪み対RL, G = +2 (図 63参照)

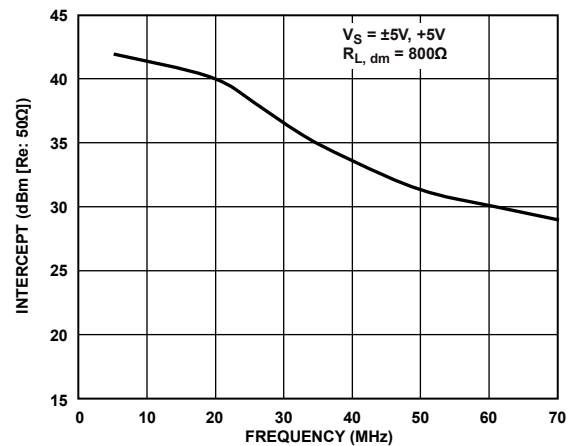


図34.3次インターセプトの周波数特性、G = +1

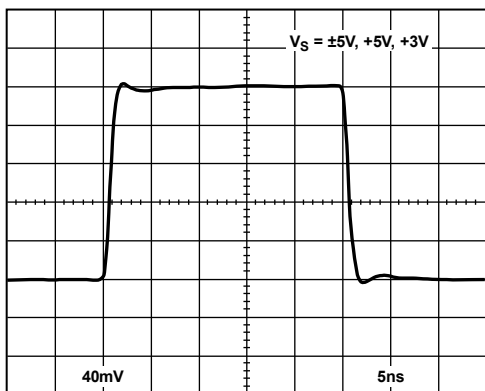


图35.小信号过渡应答、G = +1

01035-041

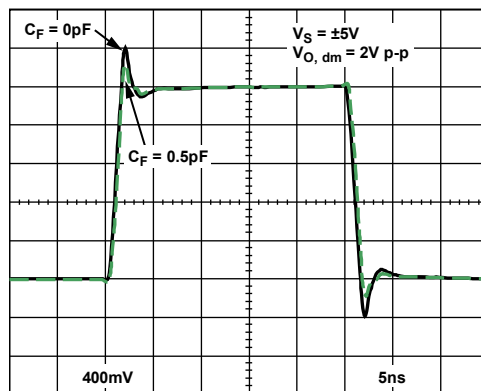


图38.大信号过渡应答、G = +1

01035-044

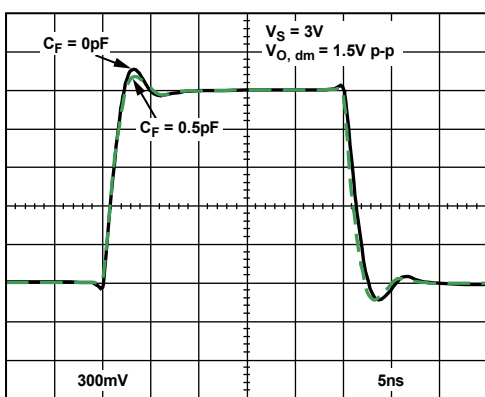


图36.大信号过渡应答、G = +1

01035-042

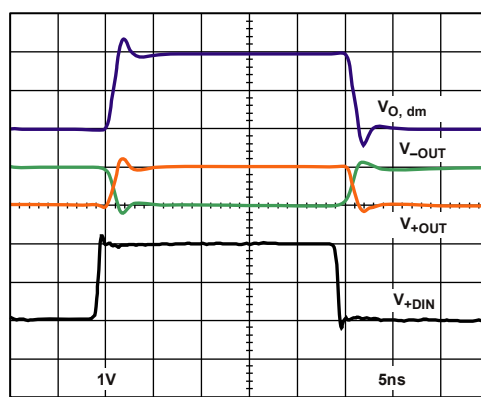


图39.大信号过渡应答、G = +1

01035-045

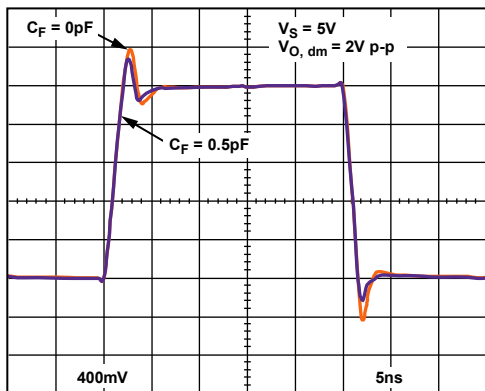


图37.大信号过渡应答、G = +1

01035-043

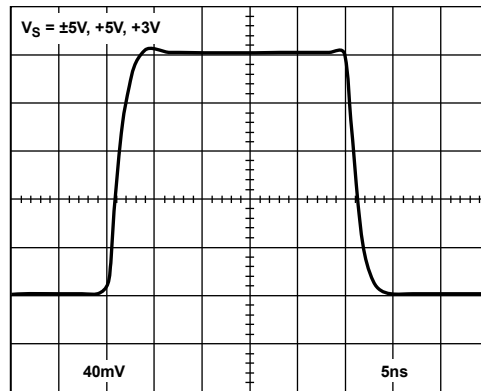


图40.小信号过渡应答、G = +2

01035-046

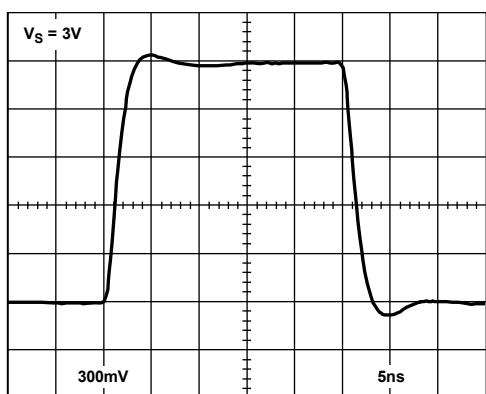


図41.大信号過渡応答、G = +2

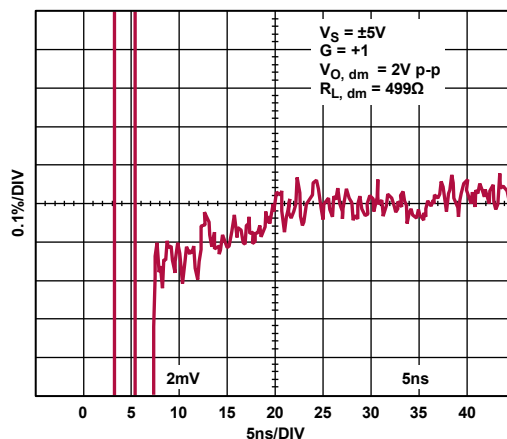


図44.0.1%セトリング・タイム

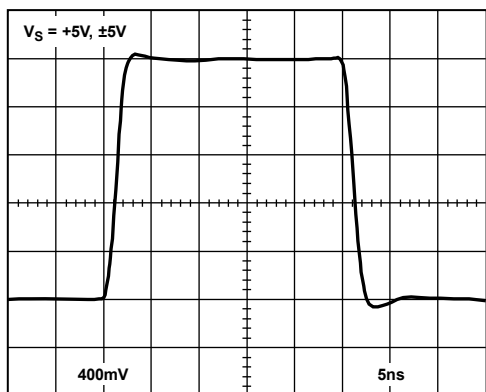


図42.大信号過渡応答、G = +2

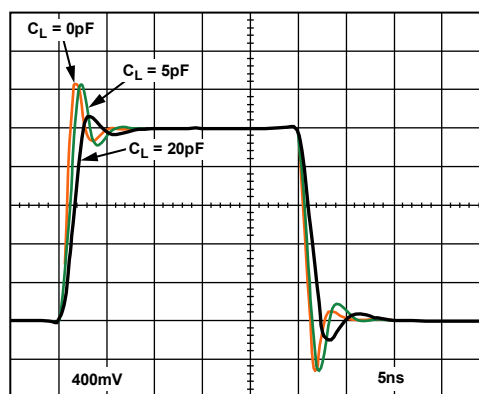


図45.さまざまなコンデンサ負荷での大信号過渡応答 (図 60 参照)

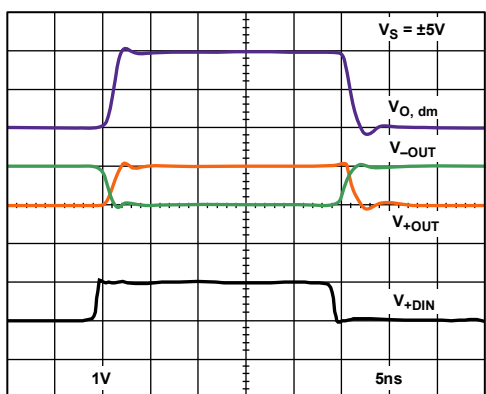


図43.大信号過渡応答、G = +2

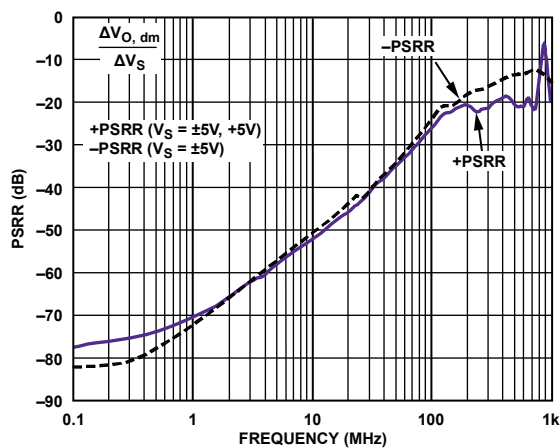


図46.PSRR の周波数特性

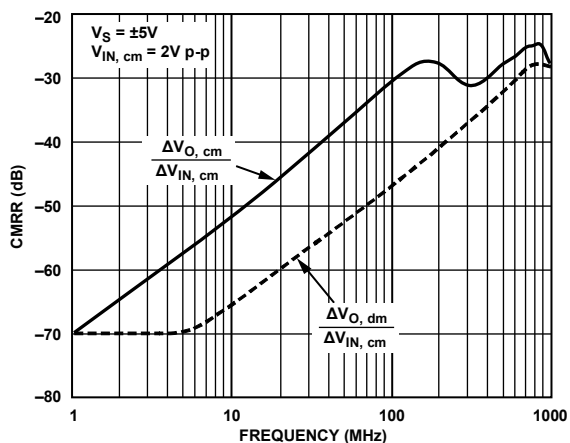


図47. CMRRの周波数特性(図 61参照)

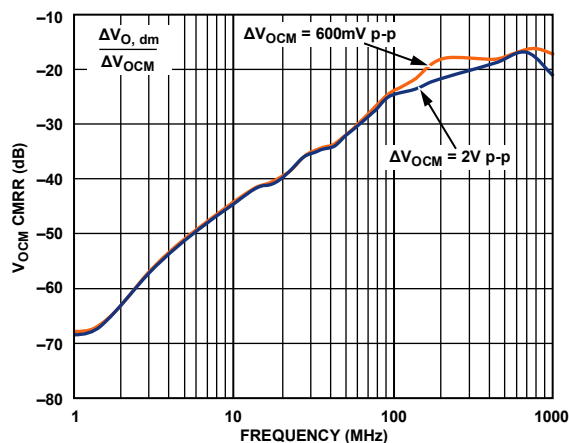


図50. V_{OCM} CMRR の周波数特性

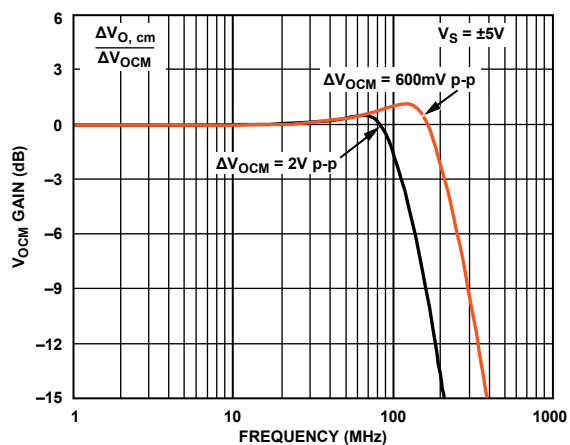


図48. V_{OCM} ゲイン応答

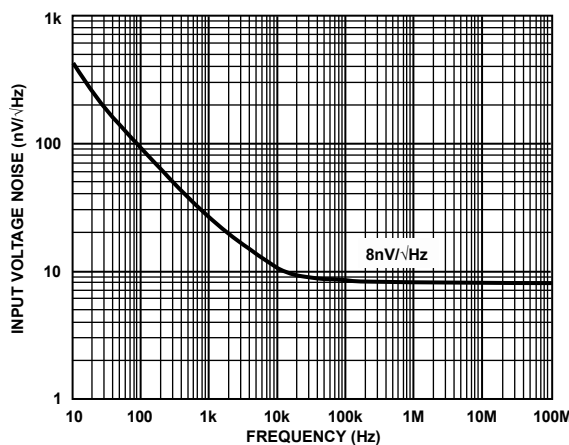


図51. 入力電圧ノイズの周波数特性

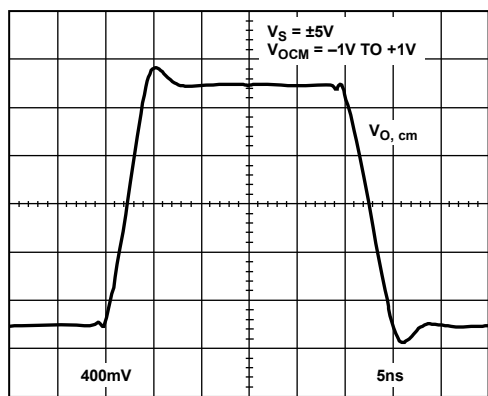


図49. V_{OCM} 過渡応答

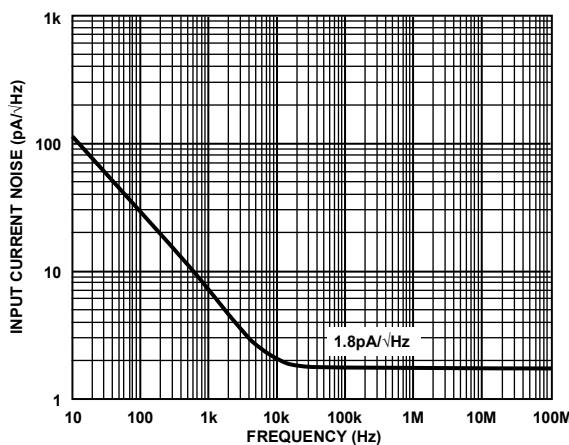


図52. 入力電流ノイズの周波数特性

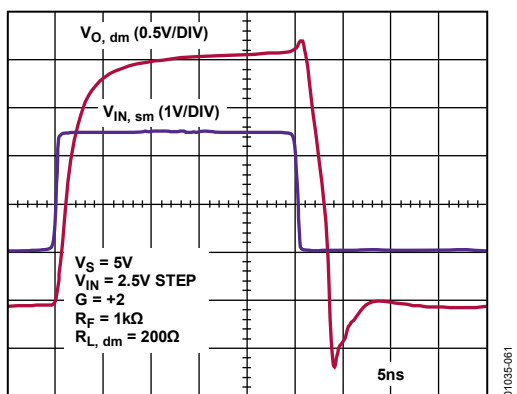


図53.オーバードライブ回復

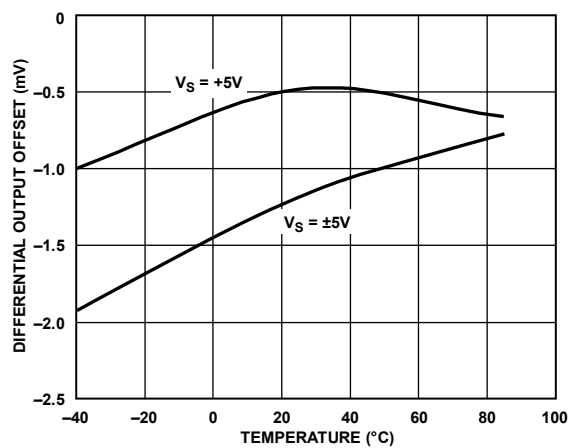


図55.差動出力オフセット電圧の温度特性

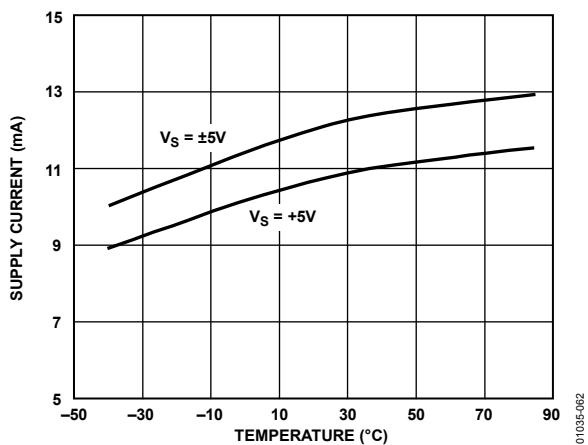


図54.電源電流の温度特性

テスト回路

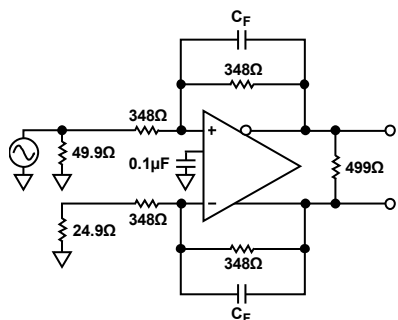
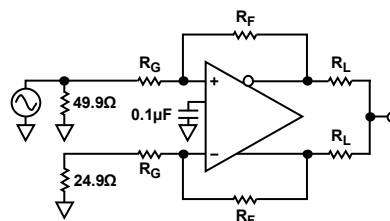


図56.基本テスト回路、G = +1

01035-005



G = +1: $R_F = R_G = 348\Omega$, $R_L = 249\Omega$ ($R_{L, dm} = 498\Omega$)
 G = +2: $R_F = 1000\Omega$, $R_G = 499\Omega$, $R_L = 100\Omega$ ($R_{L, dm} = 200\Omega$)

図59.出力バランスのテスト回路

01035-021

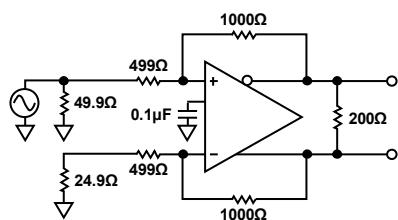


図57.基本テスト回路、G = +2

01035-014

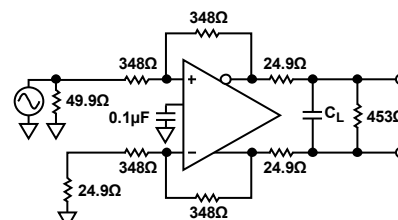


図60.コンデンサ負荷駆動のテスト回路

01035-051

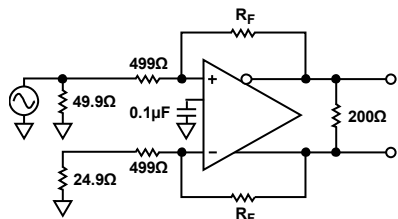
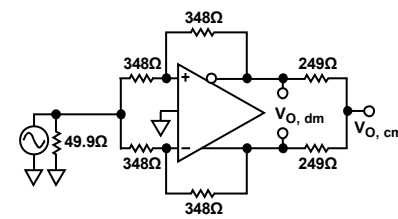


図58.さまざまなゲインでのテスト回路

01035-019



NOTES
 RESISTORS MATCHED TO 0.01%.

図61.CMRR テスト回路

01035-054

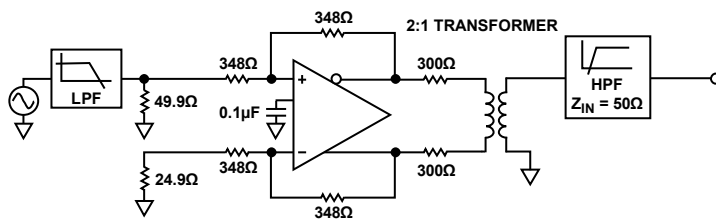


図62.高調波歪みテスト回路、G = +1、 $R_{L, dm} = 800\Omega$

01035-023

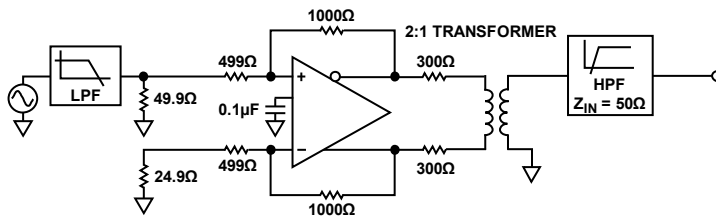


図63.高調波歪みテスト回路、G = +2、 $R_{L, dm} = 800\Omega$

01035-032

動作説明

用語の定義

差動電圧

2つのノード電圧間の差。たとえば、出力差動電圧(または等価な出力差動モード電圧)は、次のように定義されます。

$$V_{OUT, dm} = (V_{+OUT} - V_{-OUT})$$

ここで、 V_{+OUT} と V_{-OUT} は+OUTピンと-OUTピンの電圧(共通リファレンスを基準)。

同相モード電圧

2つのノード電圧間の平均。出力同相モード電圧は次式で定義されます。

$$V_{OUT, cm} = (V_{+OUT} + V_{-OUT})/2$$

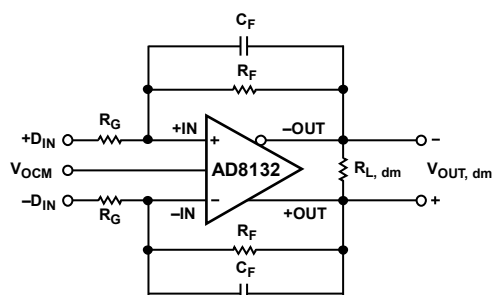


図64. 回路の定義

回路の基本動作

AD8132の使い方を理解する便利で容易な方法の1つは、等しい比を持つ2つの帰還回路を提供することです。寄生の影響を等しくするため、これらの回路を2つの等しい値の帰還抵抗(R_F)と2つの等しい値のゲイン抵抗(R_G)で構成します。この回路を図64に示します。

AD8132は従来型オペアンプと同様に、2つの差動入力を持っており、これらは差動モード入力電圧($V_{IN, dm}$)と同相モード入力電圧($V_{IN, cm}$)で駆動することができます。

AD8132にはもう1つの入力(V_{OCM})があり、これは従来型オペアンプにはありません。 V_{OCM} は、前述の入力から完全に分離されています。

相補出力は2つあり、その応答は差動モード出力($V_{OUT, dm}$)と同相モード出力($V_{OUT, cm}$)により決定することができます。

表10に、任意のタイプの入力からいずれかのタイプの出力までのゲインを示します。

表10. 差動モード・ゲインと同相モード・ゲイン

Input	$V_{OUT, dm}$	$V_{OUT, cm}$
$V_{IN, dm}$	R_F/R_G	0 (by design)
$V_{IN, cm}$	0	0 (by design)
V_{OCM}	0	1 (by design)

表10に示すように、差動出力($V_{OUT, dm}$)は差動入力電圧($V_{IN, dm}$)と R_F/R_G の積に等しくなります。この場合、両差動入力駆動されているか、または一方の出力が駆動され、他方がグラウンドなどの基準電圧に固定されているかは、問題になりません。 $V_{OUT, dm}$ の列に示す2つのゼロから分かるように、いずれの同相モード入力もこのゲインに影響を与えません。

$V_{IN, dm}$ から $V_{OUT, cm}$ までのゲインは0であり、一次では帰還回路の比の一致に依存しません。同相モード帰還ループはAD8132内で、このゲイン項を小さくする対策を提供します。項のバランス誤差は、このゲイン項が0から離れている度合を表します。

$V_{IN, cm}$ から $V_{OUT, dm}$ までのゲインは、帰還回路の一致度に直接依存します。この伝達関数に似た項は(従来型オペアンプで使用)、同相モード除去比(CMRR)です。したがって、高いCMRRを持つ場合は、帰還比が一致していることを意味します。

$V_{IN, cm}$ から $V_{OUT, cm}$ までのゲインは理論的に0で、一次では帰還比の一致に依存しません。 $V_{IN, dm}$ から $V_{OUT, cm}$ までの場合と同様に、同相モード帰還ループがこの項を小さく維持します。

V_{OCM} から $V_{OUT, dm}$ までのゲインは、帰還比が一致する場合にのみ理論的に0です。 V_{OCM} の変化で発生する差動出力信号の大きさは、帰還回路内の一致度に関係します。

V_{OCM} は、ゲイン=1の伝達関数で出力同相モード電圧 $V_{OUT, cm}$ を制御します。比の等しい帰還回路では(前に仮定したように)、各出力に対する影響は等しく、すなわち V_{OCM} から $V_{OUT, dm}$ までのゲインが0になります。駆動されない場合は、出力同相モード電圧は内部分圧器を使って電源の中央値のレベルに設定されます。0.1 μ Fのバイパス・コンデンサを V_{OCM} に接続することが推奨されます。

等しくない帰還比を使用する場合は、 $V_{OUT, dm}$ に対応する2つのゲインは非ゼロになります。これにより数学的解析が複雑になり、デバイス動作の直感的理解が難しくなります。

動作原理

AD8132 は、追加された入力と出力が外部に出ている点で従来型オペアンプと異なっています。追加された入力 V_{OCM} が、出力同相モード電圧を制御します。追加された出力は、従来型オペアンプの1つの出力のアナログ相補信号になっています。この動作のために、AD8132 は2つの帰還ループを使います。これは、従来型オペアンプのシングル・ループとは対照的です。これは種々の新しい回路をつくる場合に自由度を大きくしますが、それでもオペアンプの基本理論を使って動作を解析することができます。

帰還ループの1つが出力同相モード電圧 $V_{OUT,cm}$ を制御します。その入力は V_{OCM} (ピン2)で、出力は同相モード、すなわち2つの差動出力(+OUT と -OUT)の平均電圧です。この回路のゲインは内部で1に設定されています。AD8132 が直線領域で動作しているとき、これが動作制約の1つ $V_{OUT,cm} = V_{OCM}$ を設定します。

2つ目の帰還ループは差動動作を制御します。オペアンプと同様に、ゲインと伝達関数のゲイン・カーブは受動帰還回路を追加することにより制御することができますが、ループを閉じて動作をフルに制約するためには1つの帰還回路のみが必要ですが、必要とされる機能に応じて、2つの帰還回路を使うことができます。差動入力に対して各々が反転された2つの出力があるため、これが可能です。

AD8132 の一般的な使い方

ここで、一次解析のために幾つかの仮定を行います。これらは、オペアンプの解析で使われる一般的な仮定です。

- 入力バイアス電流は無視できるほどに十分小さい。
- 出力インピーダンスは十分小さい。
- オープン・ループ・ゲインは十分大きいため、入力差動電圧が実質的に0となる状態までアンプを駆動する。
- オフセット電圧は0と見なす。

AD8132 を純差動入力で動作させることができますが、多くのアプリケーションではシングルエンド入力で差動出力の回路が必要とされます。

シングルエンド/差動変換回路の場合、駆動されない入力の R_G は基準電圧すなわちグラウンドに接続されます。その他の条件は次のセクションで説明します。さらに、 V_{OCM} の電圧が上がって $V_{OUT,cm}$ は、グラウンドと見なされます。図67に、2つの帰還パスを持つAD8132を使ったこのような回路の一般化した回路図を示します。

各帰還回路に対して、帰還係数は、反対符号の入力に帰還される出力信号に乗算する小数値として定義することができます。これらの項は次のようになります。

$$\beta_1 = R_{G1}/(R_{G1} + R_{F1})$$

$$\beta_2 = R_{G2}/(R_{G2} + R_{F2})$$

帰還係数 β_1 は駆動される側のもので、帰還係数 β_2 は基準電圧(グラウンド)に接続される側のものです。各帰還係数は0~1の範囲の値であることに注意してください。

シングルエンド/差動変換ゲインの式は、次式から求めることができます(β_1 と β_2 の全値に対して可能)。

$$G = \frac{2(1 - \beta_1)}{(\beta_1 + \beta_2)}$$

この式は直感的ではありませんが、幾つかの例を使うと意味を理解できます。 β_1 の許容誤差はゲインに対して β_2 の許容誤差と同じ影響を与えないということが直ちに分かりません。

抵抗のない差動アンプ(高入力インピーダンス反転アンプ)

抵抗を必要としない最も簡単なクロズド・ループ回路を図70に示します。この回路では、 $\beta_1 = 0$ 、 $\beta_2 = 1$ 、ゲイン=2です。

さらに単純な考察により、直感的にゲインを求めることができます。 $+OUT$ を $-IN$ に接続すると、その電圧は平衡状態で $+IN$ の電圧に等しくなります。このため、 $+V_{OUT}$ は V_{IN} と等しくなり、このパスのゲインは1になります。同相モードの制約のため $-OUT$ の振幅は $+OUT$ とは逆向きに振れる必要があるため、その影響は出力信号の2倍になり、ゲインは2になります。

この回路が提供する1つの便利な機能は、高入力インピーダンスのインバータです。 $+OUT$ を無視すると、 $+IN$ から $-OUT$ までで構成されるゲイン=1の高入力インピーダンス・アンプが得られます。大部分の従来型オペアンプ・インバータは別のアンプでバッファされないかぎり、比較的低い入力インピーダンスを持っています。

V_{OCM} は電源電圧の中央値とします。 $+V_{OUT}$ と V_{IN} は一致する必要があるという制約がまだあるため、 V_{OCM} 電圧を変更しても $+V_{OUT} (=V_{IN})$ は変化しません。このため、 V_{OCM} を変更した影響は $-OUT$ に現れます。

たとえば、 V_{OCM} を1V増加させると、 $-V_{OUT}$ は2V増加する必要があります。これにより、 $V_{OUT,cm}$ も1V増加します。これは、2つの差動出力電圧の平均として定義されているためです。これは、 V_{OCM} から差動出力までのゲインが2であることを意味しています。

その他の $\beta_2 = 1$ 回路

前述の $\beta_2 = 1$ 、ゲイン=2の単純な構成は、この条件下でつくれる最高ゲインの回路です。 $\beta_1 = 0$ であったため、大きな値の β_1 だけが可能です。大きな値の β_1 を持つ回路は、2より小さいゲインを持ちますが、 $\beta_1 = 1$ の回路は実用的ではありません。これは有効な入力を持たないためゲインが0になるためです。

β_1 を0より大きくするためには、帰還回路内に抵抗を2個追加する必要があります。0より大きい値の β_1 を持つ一般化した回路を図69に示します。実現可能な便利なゲインとしては、 $\beta_1 = 1/3$ でのゲイン=1、および $\beta_1 = 0.6$ でのゲイン=0.5などがあります。

これらの回路で $\beta_2 = 1$ にすると、 V_{OCM} は入力電圧と各出力電圧を測定する際の基準電圧として機能します。一般に、等しくない帰還回路を持つ回路内で V_{OCM} を変えると、加えられた V_{OCM} 電圧に比例する差動出力信号が発生します。

可変 β_2

$\beta_2 = 1$ 回路は β_2 を1に設定しますが、 β_2 を0に設定する別のクラスのシンプルな回路をつくることができます。これは、+OUTから-INへの帰還がないことを意味します。このクラスの回路は従来型反転オペアンプに非常に似ていますが、AD8132回路では追加出力と同相モード入力があり、これらは別々に解析することができます(図71)。

-INをグラウンドに接続すると、+INは従来型オペアンプで使われた用語の意味での仮想グラウンドになります。両入力は平衡動作で同じ電圧を維持する必要があるため、一方がグラウンドに設定されると、他方もグラウンドへ駆動されます。入力インピーダンスも従来型オペアンプと同様に、 R_G に等しい必要があります。

ただし、この場合、正の入力と負側出力が帰還回路に使用されます。従来型オペアンプには負側出力がないため、反転入力のみが帰還回路に使用されました。AD8132は対称であるため、いずれの側の帰還回路を使っても同じ結果を得ることができます。

従来型オペアンプと同様に考えると、+INは加算点であるため、 V_{IN} から-OUTまでのゲインは $-R_F/R_G$ になります。これは V_{OCM} の電圧によらず成立し、+OUTが同じ量だけ-OUTから逆向きに移動するため、全体ゲインは $-2(R_F/R_G)$ になります。

V_{OCM} は依然 $V_{OUT,cm}$ を制御しているため、+OUTは V_{OCM} を変えたとき移動する唯一の出力になります。 $V_{OUT,cm}$ は2つの出力の平均であるため、+OUTは V_{OCM} と同じ向きに2倍移動して正しい $V_{OUT,cm}$ を発生する必要があります。このため、 V_{OCM} から+OUTまでのゲインは2になります。

これらの回路で $\beta_2 = 0$ にすると、反転モードの従来型オペアンプの場合と同様に、ゲインは理論的に0の近くから無限大までの任意の値に設定することができます。ただし、

実用限界と寄生により許容ゲイン範囲はより適切な値に制限されます。

$\beta_1 = 0$

-OUTから+INまでの帰還がない、さらに別のクラスの回路があります。これは $\beta_1 = 0$ のケースです。抵抗のない差動アンプ(高入力インピーダンス反転アンプ)のセクションで説明した抵抗のない差動アンプはこの条件を満たしますが、 $\beta_2 = 1$ の条件の場合のみを説明しました。この回路のゲインは2であったことを思い出してください。

この回路で β_2 を1より小さくすると、+ V_{OUT} の-INへ帰還される部分が小さくなるため、ゲインが増加します(図68)。この回路は非反転オペアンプ構成と非常に似ていますが、相補出力が追加されている点が異なります。このため、全体ゲインは非反転オペアンプの2倍、すなわち $2 \times (1 + R_{F2}/R_{G2}) = 2 \times (1/\beta_2)$ になります。

この場合も、 V_{OCM} を変えても同様に両出力に影響を与えません。したがって、ゲイン=1で $V_{OUT,cm}$ を変える他に、 V_{OCM} を変えることにより $V_{OUT,dm}$ にも影響があります。

出力ノイズ電圧の計算

従来型オペアンプの場合と同様に、差動出力誤差(ノイズ電圧とオフセット電圧)は+INと-INでの入力換算項に回路ノイズ・ゲインを乗算することにより計算することができます。ノイズ・ゲインは次のように定義されます。

$$G_N = 1 + \left(\frac{R_F}{R_G} \right)$$

図64の回路の総合出力換算ノイズを計算するときは、抵抗 R_F と R_G の影響に注意が必要です。種々のクローズド・ループ・ゲインでの出力ノイズ電圧密度の計算については表11を参照してください。

表11.特定のゲインに対する推奨抵抗値とノイズ性能

Gain	R_G (Ω)	R_F (Ω)	Bandwidth -3 dB (MHz)	Output Noise AD8132 Only (nV/ \sqrt{Hz})	Output Noise AD8132 + R_G, R_F (nV/ \sqrt{Hz})
1	499	499	360	16	17
2	499	1.0 k	160	24.1	26.1
5	499	2.49 k	65	48.4	53.3
10	499	4.99 k	20	88.9	98.6

$\beta_1 \neq \beta_2$ のゲイン設定で AD8132 を使う場合は、 V_{OCM} 回路内の入力換算電圧ノイズのために次式に従って差動出力ノイズが発生します。

$$V_{OND} = 2 V_{NOCM} \left[\frac{\beta_1 - \beta_2}{\beta_1 + \beta_2} \right]$$

ここで、

V_{OND} は出力差動ノイズ。

V_{NOCM} は V_{OCM} での入力換算電圧ノイズ。

アプリケーション回路の入カインピーダンスの計算

図 64 の $+D_{IN}$ と $-D_{IN}$ での実効入力インピーダンスのように、回路の実効入力インピーダンスは、シングルエンドまたは差動のいずれの信号源でアンプを駆動するかに依存します。平衡差動入力信号の場合、入力間 ($+D_{IN}$ と $-D_{IN}$) の入力インピーダンス ($R_{IN, dm}$) は $R_{IN, dm} = 2 \times R_G$ になります。

シングルエンド入力信号の場合は (たとえば、 $-D_{IN}$ をグラウンドに接続し、入力信号を $+D_{IN}$ に加える場合)、入力インピーダンスは次のようになります。

$$R_{IN, dm} = \left(\frac{R_G}{1 - \frac{R_G}{2 \times (R_G + R_F)}} \right)$$

回路の入力インピーダンスは、インバータとして接続された従来型オペアンプの場合より実効的に高くなります。これは、差動出力電圧の成分が同相モード信号として入力に現れて、特に入力抵抗 R_G 両端の電圧を持ち上げるためです。

単電源アプリケーションでの入力同相モード電圧範囲

AD8132 は、レベル・シフト (グラウンド基準の入力信号) に対して最適化されています。シングルエンド入力の場合、これはアンプの負側電源電圧 (V^-) が 0 V に設定されると、図 64 の $-D_{IN}$ の電圧も 0 V になることを意味します。

出力同相モード電圧の設定

AD8132 の V_{OCM} ピンは、内部で電源の中心値 ($V+$ と $V-$ の電圧の平均値) にほぼ等しくバイアスされています。内部バイアスを使用すると、出力同相モード電圧が約 100 mV 以内の期待値で発生します。

出力同相モード・レベルの正確な制御が必要な場合には、外付け電源または抵抗分圧器 ($R_{SOURCE} < 10 \text{ k}\Omega$) を使用することが推奨されます。仕様のセクションに示す出力同相モード・オフセットは、 V_{OCM} 入力が高インピーダンス電圧源から駆動される場合です。

容量負荷の駆動

純容量負荷は、AD8132 のピンとボンディング・ワイヤーのインダクタンスに反応して、パルス応答で高周波リングを発生させることがあります。この影響を小さくする 1 つの方法は、各帰還抵抗の両端に小さいコンデンサを接続することです。追加する容量は、アンプの不安定化を防止するため小さくする必要があります。もう 1 つの方法は、小さい抵抗をアンプ出力に直列に接続する方法です (図 60 参照)。

オープン・ループ・ゲインと位相

オープン・ループ・ゲインと位相のグラフを 図 65 と 図 66 に示します。

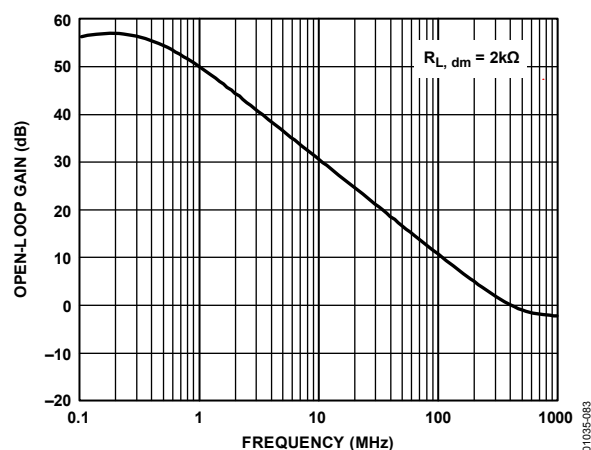


図65. オープン・ループ・ゲインの周波数特性

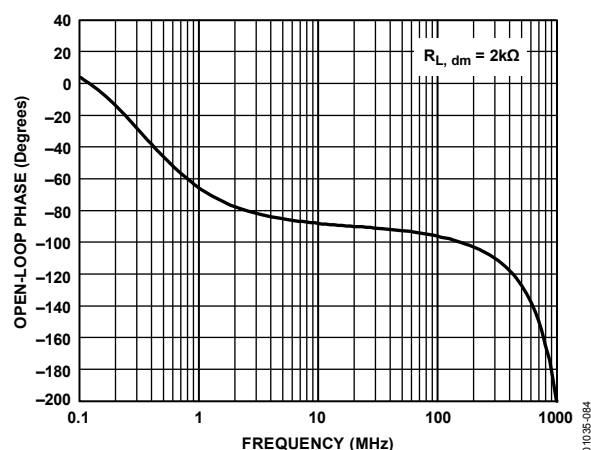


図66. オープン・ループ位相の周波数特性

レイアウト、グラウンド接続、バイパス

他の高速デバイスの場合と同様に、AD8132もプリント回路ボード(PCB)環境に敏感です。優れた仕様を実現するためには、高速PCBデザインに細心の注意を払う必要があります。

最初の条件は、AD8132を取り囲むできるだけ多くのボード領域をカバーするしっかりしたグラウンド・プレーンを設けることです。これに対する唯一の例外は、2本の入力ピン(ピン1とピン8)をグラウンド・プレーンから数ミリ離し、これらの入力ピンの下の内層とボード裏面からグラウンドピンを除去することです。これにより、これらのノードの浮遊容量が小さくなるため、周波数に対するゲインの平坦性の維持に役立ちます。

デバイスのできるだけ近くで、電源ピンを最寄りのグラウンド・プレーンへ高周波セラミック・チップ・コンデンサを使ってバイパスします。各電源に対して $0.01\ \mu\text{F} \sim 0.1\ \mu\text{F}$ の容量値を使ってください。さらに離れたところに、低周波バイパスの $10\ \mu\text{F}$ タンタル・コンデンサを各電源とグラウンドとの間に接続します。

寄生の影響を防止するため、信号パターンは短く、かつダイレクトにする必要があります。相補信号が存在する場合は、長さの一致した対称なレイアウトを可能な限り採用してバランス性能を維持する必要があります。長い差動信号を配線する場合は、両PCBパターンを互いに近づけるか、または差動対の各線を擦ってループ面積が最小になるようにする必要があります。こうすることにより、放射エネルギーを減らして、回路を干渉に対して強くします。

回路例

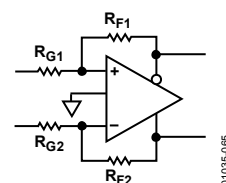


図67. 代表的な 4 抵抗帰還回路

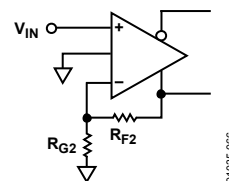


図68. $\beta_1 = 0$ の代表的な回路

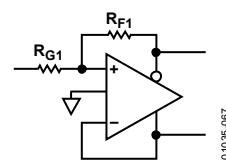


図69. $\beta_2 = 1$ の代表的な回路

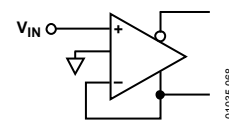


図70. $G = +2$ の回路、 $\beta_1 = 0$ 、抵抗なし

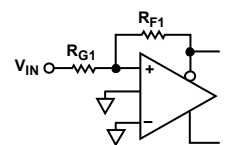


図71. $\beta_2 = 0$ の代表的な回路

アプリケーション情報

A/Dコンバータのドライバ

多くの新しい高速ADCは単電源動作で差動入力を採用しています。このため、これらのデバイスに対するドライバは、シングルエンド信号から差動信号へ変換する機能と出力同相モード・レベル・シフト機能を持ち、さらに低歪みかつ低ノイズです。AD8132は、AD9203 (10ビット 40 MSPSのADC)を駆動する際にこれらの機能を実行するので便利です。

図 73では、ゲイン=1に設定されたAD8132の入力を1 V p-p信号で駆動しています。AD8132とAD9203は、単電源3 Vを使用しています。分圧器により V_{OCM} を電源電圧の中央値にバイアスし、これにより $V_{OUT,cm}$ を電源電圧の1/2に駆動しています。これは、AD9203の同相モード範囲内で行われています。

ADCとドライバの間に1極の差動フィルタが接続されています。このフィルタはノイズの除去とADCのスイッチド・キャパシタ入力に役立ちます。各ADC入力は、1.25 V dc~1.75 V dcの範囲の0.5 V p-p信号により駆動されます。クロック・レート=40 MSPS、入力周波数=2.5 MHzで動作させたときの回路性能のFFTプロットを図 72に示します。

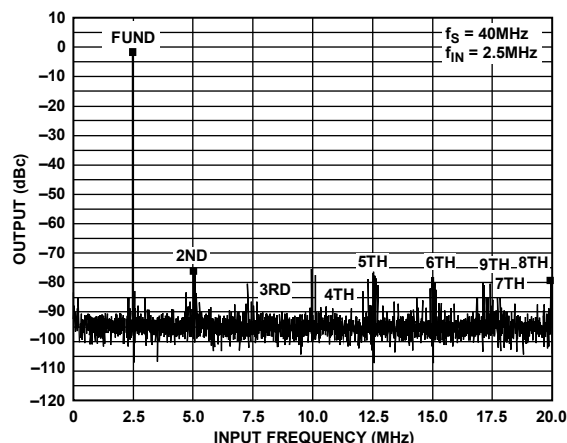


図72. AD9203を駆動するAD8132のFTT応答

平衡ケーブル・ドライバ

ツイストペア・ケーブルを駆動するときは、純差動信号のみをラインへ駆動することが望まれます。信号が純差動(すなわち平衡信号)で、かつ伝送線が撚り線で平衡な場合は、信号の放射が最小になります。

相補電界の大部分が2本の撚り線の間の空間に閉じ込められるため、ケーブルからの大きな放射はありません。ケーブル内の電流は磁界を発生し、これがある程度放射されますが、放射量は撚り線にすることにより軽減されます。これは、2つの隣接する撚りで発生する各磁界は、互いに逆極性を持つためです。撚りのピッチが十分きつい場合は、これらの小さい磁界ループが大部分の磁束を含むため、遠端磁界強度は無視できます。

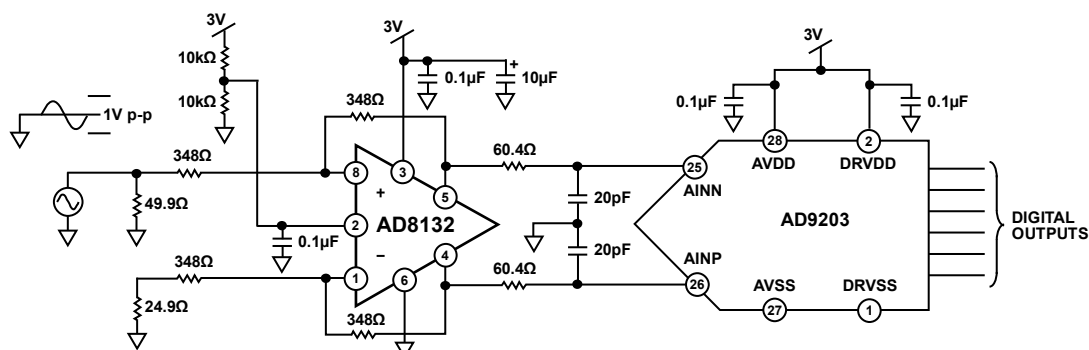


図73. AD9203(10ビット 40 MSPS ADC)を駆動するAD8132

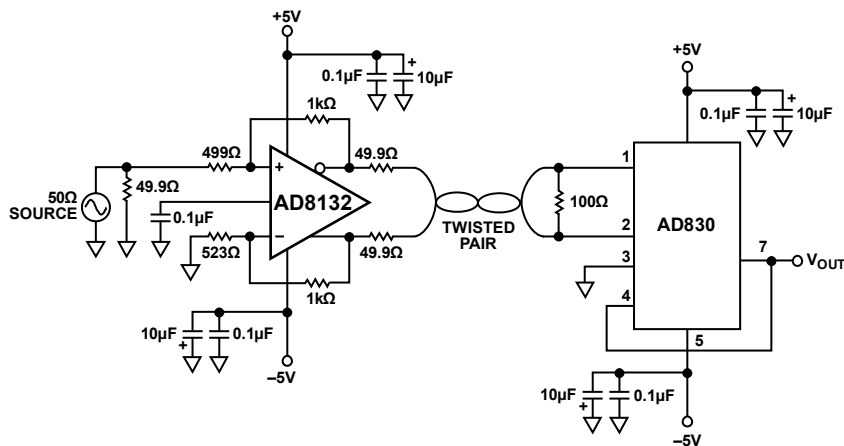


図74. AD8132 と AD830を使用した平衡ライン・ドライバレシーバ

差動駆動信号内の不平衡は、ケーブル上で同相モード信号として現れます。これは、同相モード信号で駆動された単線と等価です。この場合、線はアンテナとして機能して放射が発生します。したがって、差動ツイストペア・ケーブルを駆動する際に放射を少なくするためには、差動駆動信号が良く平衡していることを確認してください。

AD8132 の同相モード帰還ループは、出力での同相モード電圧を小さくするのに役立つため、平衡度の優れた差動ライン・ドライバの作成に使用することができます。図 74に、AD8132 を平衡ライン・ドライバとして、AD830を差動レシーバ(ゲイン=1)として、それぞれ使用したアプリケーションを示します。この回路は、10 mのカテゴリ 5 ケーブルで動作させました。

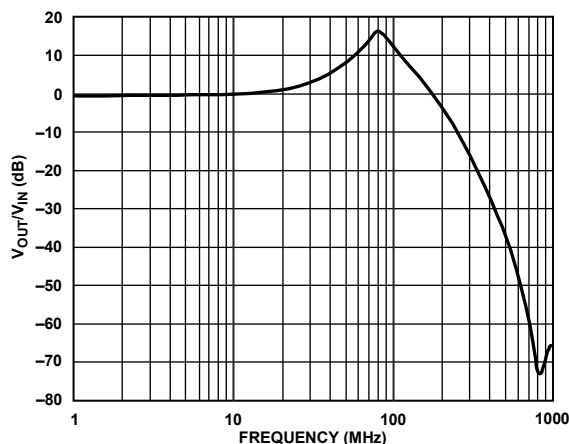


図76.送信ブースト回路の周波数応答

送信等化器

伝送線の長さによって伝送する信号が減衰させられます。この影響は高い周波数ほど大きくなります。これを補償する1つの方法は、送信回路で高い周波数を持ち上げる等化器を使用して、ケーブルの受信端で減衰効果を相殺させることです。

高い周波数で帰還回路の R_G 部品のインピーダンスを小さくすることにより、高周波でのゲインを大きくすることができます。図 75に、2 ライン・ドライバのゲインを示します。 R_G 抵抗に並列に 10 pFのコンデンサが接続されています。この効果を 図 76の周波数応答プロットに示します。

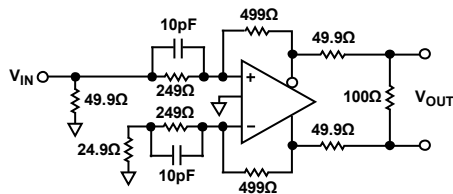


図75.周波数ブースト回路

差動ローパス・フィルタ

オペアンプと同様に、AD8132 を使って種々のタイプのアクティブ・フィルタを構成することができます。これらはシングルエンド入力/差動出力にすることができ、差動ADCを駆動する際に折り返し防止機能として使うことができます。

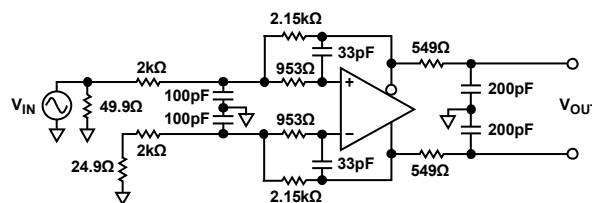


図77.1 MHz、3極の差動出力ローパス複数帰還フィルタ

図 77 に、複数帰還ローパス・フィルタの回路図を示します。アクティブ・セクションには2極が含まれ、出力にさらに1極が追加されています。フィルタは、1 MHzの-3 dB周波数としてデザインされています。

-3 dB周波数の測定値は 1.12 MHzです(図 78)。

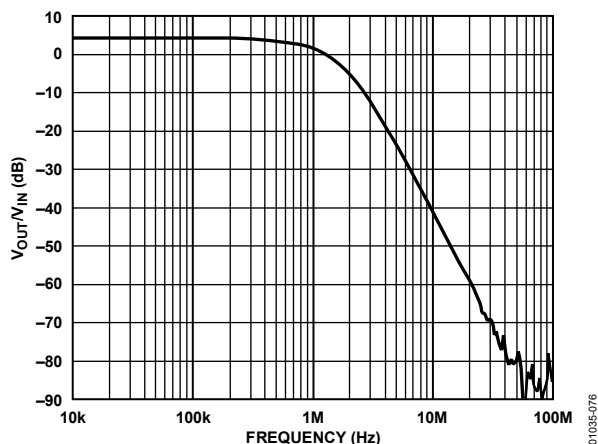


図78.1 MHz ローパス・フィルタの周波数応答

高い同相モード出力インピーダンスを持つアンプ

V_{OCM} (ピン 2)への接続を変えると、同相モード低インピーダンスから高インピーダンスへ変えることができます。 V_{OCM} を特定の電圧に設定すると、AD8132は $V_{OUT,cm}$ を比較的低い出力インピーダンスの同じ電圧にしようとします。前述のすべての解析では、この出力インピーダンスは回路内の負荷条件を駆動するためには十分低いと仮定していますが、アプリケーションによっては、高い同相モード出力インピーダンスが必要な場合があります。これは、図 79に示す回路で実現することができます。

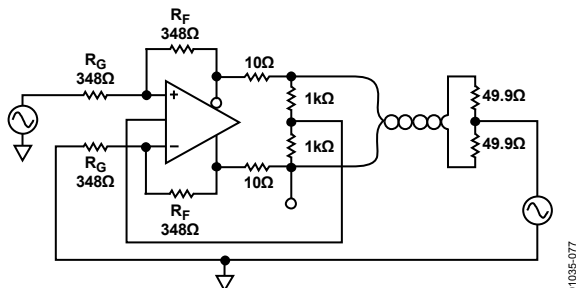


図79.高い同相モード出力インピーダンスを持つ差動アンプ

V_{OCM} は、出力同相モード電圧を測定する抵抗分圧器から駆動されます。このため、同相モード出力電圧は被駆動回路から設定される値を引き継ぎます。このケースでは、10 mのカテゴリ 5 ツイストペア・ケーブルの受信端での終端の中央値からこの値を得ています。

受信端の同相モード電圧をグラウンドに設定すると、受信端用に適しています。ケーブル内でノイズから混入する同相モード信号は送信端に現れるため、トランスミッタで吸収する必要があります。このため、ケーブルに混入する同相モード信号の振幅を吸収し、クリップを避けるために十分な同相モード出力範囲をトランスミッタが持つことが重要です。

これを調べるもう 1つの方法は、回路がトランス動作と呼ばれる動作を行うことです。大きな違いの 1つは、AD8132は DC を通過させますがトランスは通過させない点です。

また、トランスは高いまたは低い同相モード出力インピーダンスを持つように容易に構成することができます。トランスのセンター・タップを安定な電圧基準に接続すると、トランスの二次側の同相モード電圧が設定されます。このケースでは、差動出力の一方がグラウンドに接続されると、他方の出力は差動出力信号の 1/2 になります。これにより、同相モード電圧がグラウンドに維持されます。これはこのセンター・タップ接続のためです。これは、低出力インピーダンス同相モードで動作するAD8132の場合も同じです(図 80)。



図80.二次側低出力インピーダンスを V_{OCM} に設定したトランス

図 81のようにトランス二次側のセンター・タップをフローティングにできる場合(またはセンター・タップがない場合)、トランスは高い同相モード出力インピーダンスを持ちます。これは、二次側の同相モードは、接続により決定されて、トランス自体には関係ないことを意味します。

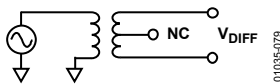


図81.高い二次側出力インピーダンスを持つトランス

トランスの差動端の一方がグラウンドに接続されると、他方はフル出力電圧で変化します。これは、出力電圧の同相モードは差動出力電圧の 1/2 であることを意味します。ただし、これは同相モードが低インピーダンスを介して与えられた電圧に強制されないことを意味しています。同相モード出力電圧は、他の出力ピンを使って、任意の電圧へ容易に変えることができます。

図 79の一方の出力をグラウンドに接続すると、AD8132は同じ性能を示すことができます。他方の出力はフル差動出力電圧で変化します。同相モード信号は、出力と V_{OCM} への入力との間の分圧器を使って測定します。そして、これが $V_{OUT,cm}$ を同じレベルに駆動します。高い周波数では、 V_{OCM} ノードの容量を小さくすることが重要です。そうしないと、位相シフトにより性能が低下します。周波数応答を改善するために、分圧器の抵抗を小さくすることもできます。

全波整流器

AD8132 の平衡出力と数個のショットキ・ダイオードを組み合わせて使用すると、非常に高速な全波整流器を構成することができます。このような回路は、AC 電圧の測定やその他の計算に便利です。

図 82 に、このような回路の構成を示します。AD8132 の各出力は、HP2835 ショットキ・ダイオードのノードを駆動します。これらのショットキ・ダイオードは、高速動作に選択します。低い周波数(10 MHz以下)では、1N4148 のようなシリコン信号ダイオードを使うことができます。2 個のダイオードのカソードを相互に接続し、この出力ノードを 100 Ω の抵抗を介してグラウンドに接続します。

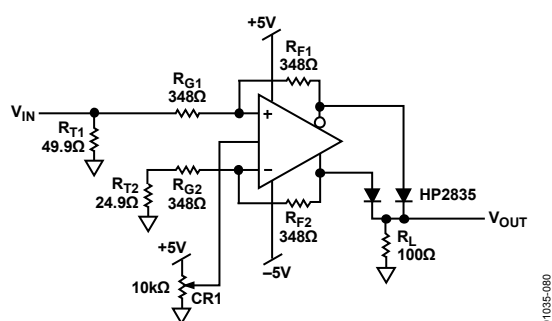


図82.全波整流器

差動出力電圧がゼロのとき、少し順方向にバイアスされるようにダイオードを動作させます。ショットキ・ダイオードの場合、これは約 400 mV です。順方向バイアスは CR1 を使って調節することができます。この回路では、差動出力電圧を発生することなく $V_{OUT,cm}$ を変化させることができます。

この回路の利点の 1 つは、各ダイオードがループ内で極性を反転する際に帰還ループが一時的にオープンにならないことです。この方式は、従来型オペアンプを使用する全波整流器で使用されています。これらの従来型回路は、約 1 MHz 以上の周波数では良く動作しません。

順方向バイアスが十分でない場合は ($V_{OUT,cm}$ が低すぎる)、全波整流出力波形の下側先端が丸くなります。さらに、周波数が高くなると、下側先端の丸みが強くなります。順方向バイアスを大きくして、高い周波数で先端をシャープにすることができます。

全波整流器の性能を測定する、数値化できる高信頼の方法はありません。理論的な波形はシャープな周期的不連続性を持つため、上限周波数のない高調波(大部分は偶数次)を持っていますが、実用的回路では、周波数が高いほど、高い高調波が減衰するので、低い周波数で現れたシャープな先端はかなり丸くなります。

300 MHz までの周波数で回路を動作させる場合、動作はしているのですが、出力には主に 2 次高調波が残ります。これは 600 MHz で正弦波のように見えます。図 83 に、100 MHz、2.5 V p-p 入力で駆動した際の出力のオシロスコープ・プロットを示します。

DAC を 2 倍でオーバーサンプルする際のクロックを発生するために、2 次高調波ジェネレータの使用が便利があります。この回路の出力をローパス・フィルタを通過して動作させると、2 次高調波ジェネレータとして使用することができます。

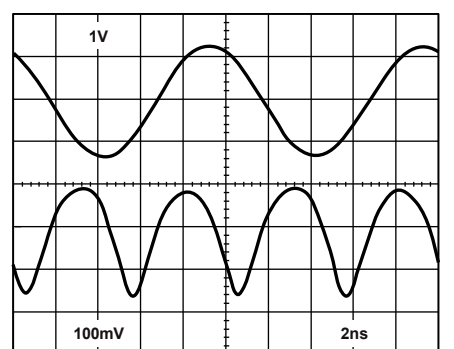
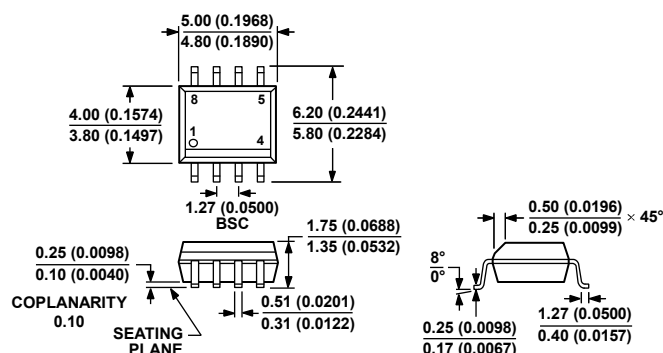


図83. 100 MHz 入力での全波整流器の応答

車載製品

AD8132W は、AEC-Q100 に準拠した車載アプリケーション用に認定されています。厳しい車載性能と品質条件を満たすために、この製品のカスタム・バージョンを提供しています。

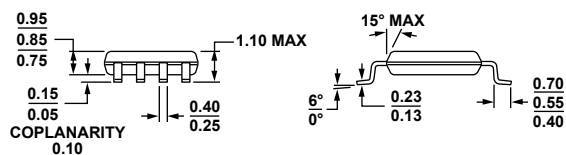
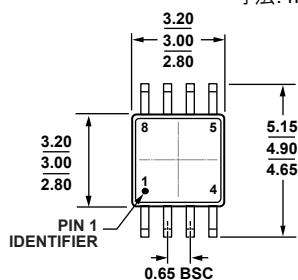
外形寸法



COMPLIANT TO JEDEC STANDARDS MS-012-AA
CONTROLLING DIMENSIONS ARE IN MILLIMETERS; INCH DIMENSIONS
(IN PARENTHESES) ARE ROUNDED-OFF MILLIMETER EQUIVALENTS FOR
REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.

図84.8 ピン標準スモール・アウトライン・パッケージ[SOIC_N]

ナロー・ボディ
(R-8)
寸法: mm (インチ)



COMPLIANT TO JEDEC STANDARDS MO-187-AA

図85.8 ピン・ミニ・スモール・アウトライン・パッケージ[MSOP]

(RM-8)

寸法: mm

オーダー・ガイド

Model	Temperature Range	Package Description	Package Option	Branding	Ordering Quantity
AD8132AR	-40°C to +125°C	8-Lead SOIC_N	R-8		
AD8132AR-REEL	-40°C to +125°C	8-Lead SOIC_N, 13" Tape and Reel	R-8		2,500
AD8132AR-REEL7	-40°C to +125°C	8-Lead SOIC_N, 7" Tape and Reel	R-8		1,000
AD8132ARZ ¹	-40°C to +125°C	8-Lead SOIC_N	R-8		
AD8132ARZ-RL ¹	-40°C to +125°C	8-Lead SOIC_N, 13" Tape and Reel	R-8		2,500
AD8132ARZ-R7 ¹	-40°C to +125°C	8-Lead SOIC_N, 7" Tape and Reel	R-8		1,000
AD8132ARM	-40°C to +125°C	8-Lead MSOP	RM-8	HMA	
AD8132ARM-REEL	-40°C to +125°C	8-Lead MSOP, 13" Tape and Reel	RM-8	HMA	3,000
AD8132ARM-REEL7	-40°C to +125°C	8-Lead MSOP, 7" Tape and Reel	RM-8	HMA	1,000
AD8132ARMZ ¹	-40°C to +125°C	8-Lead MSOP	RM-8	HMA#	
AD8132ARMZ-REEL ¹	-40°C to +125°C	8-Lead MSOP, 13" Tape and Reel	RM-8	HMA#	3,000
AD8132ARMZ-REEL7 ¹	-40°C to +125°C	8-Lead MSOP, 7" Tape and Reel	RM-8	HMA#	1,000
AD8132WARMZ-R7 ^{1,2}	-40°C to +125°C	8-Lead MSOP, 7" Tape and Reel	RM-8	H14	1,000

¹ Z = RoHS 準拠品。#は RoHS 準拠品を表し、上部または下部に表示。

² 車載認定品。