

特長

超ロー・ノイズ: $0.95\text{nV}/\sqrt{\text{Hz}}$ 、 $2.6\text{pA}/\sqrt{\text{Hz}}$

超低歪み

2次高調波 $R_L=1\text{k}\Omega$ 、 $G=+2$
10MHzで -92dB

3次高調波 $R_L=1\text{k}\Omega$ 、 $G=+2$
10MHzで -105dB

高速

GB積: 3.8GHz

-3dB 帯域幅:

700MHz ($G=+2$)

550MHz ($G=+10$)

スルーレート:

$475\text{V}/\mu\text{s}$ ($G=+2$)

$1350\text{V}/\mu\text{s}$ ($G=+10$)

新しいピン配置

カスタム外部補償、ゲイン範囲 -1 、 $+2\sim+10$

電源電流: 15mA

最大オフセット電圧: 0.5mV

広い電源電圧範囲: $5\sim12\text{V}$

アプリケーション

プリアンプ

レシーバ

計測機器

フィルタ

IFアンプおよびベースバンド・アンプ

A/Dドライバ

DACバッファ

光電子機器

接続図

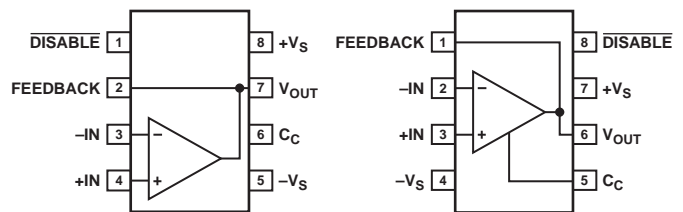


図1. 8ピンCSP (CP-8)

図2. 8ピンSOIC-ED (RD-8)

概要

AD8099は超ロー・ノイズ ($0.95\text{nV}/\sqrt{\text{Hz}}$) かつ超低歪み (-92dBc @ 10MHz) の電圧帰還型オペアンプで、ロー・ノイズと低歪みの組み合わせにより16および18ビットのシステムに最適です。AD8099は、高スルーレートで低ゲインでのフル・パワー帯域幅 (FPBW) を広げる、極めて直線性の優れた新しいロー・ノイズ入力段を内蔵しています。アナログ・デバイス独自の次世代XFCBプロセスにより、比較的消費電力であるにもかかわらず、高性能なアンプが可能になりました。

AD8099は外部補償機能を備えているので、ゲイン帯域幅積 (GB積) を設定することができます。外部補償機能を使うと、帯域幅の犠牲を最小限にして、 $+2\sim+10$ のゲインが可能になります。また、AD8099は $1350\text{V}/\mu\text{s}$ と極めて高いスルーレートを持っているため、帯域幅または歪みを犠牲にすることなく、ダイナミック・レンジ全体を使って設計できる柔軟性を提供します。AD8099は18ns以内に0.1%にセトリングし、オーバードライブから50ns以内に回復します。

AD8099は画期的な性能レベルで 100Ω の負荷を、わずか 15mA の電源電流で駆動します。広い電源電圧範囲 ($5\sim12\text{V}$)、低いオフセット電圧 (typ: 0.1mV)、広い帯域幅 ($G=+2$ で 700MHz)、最大 3.8GHz のGB積を持つAD8099は、さまざまなアプリケーションで動作するように設計されています。

AD8099は $3\text{mm}\times3\text{mm}$ リード・フレーム・チップ・スケール・パッケージ (LFCSFP) を採用し、高性能、高速アンプ向けにピン配置が特別に最適化されています。新しいパッケージとピン配置により、これまでアンプでは達成できなかった画期的な性能を実現しており、 $-40\sim+125^\circ\text{C}$ の拡張工業用温度範囲で動作します。

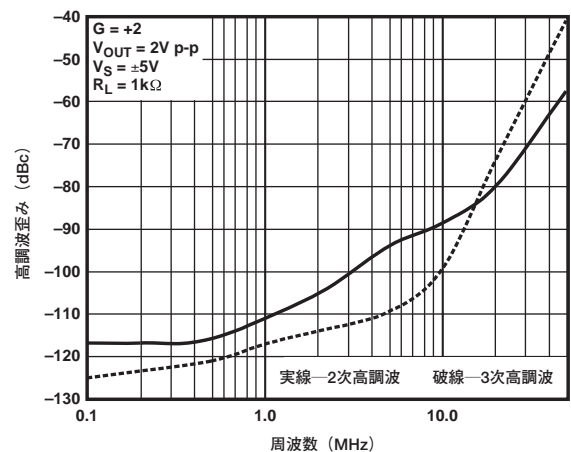


図3. 高調波歪みの周波数特性 (SOIC)

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。本紙記載の商標および登録商標は、各社の所有に属します。

* 日本語データシートは、REVISIONが古い場合があります。最新の内容については英語版をご参照ください。
©2004 Analog Devices, Inc. All rights reserved.

REV.A

AD8099

目次

仕様	3	推奨値	17
仕様 (±5V電源)	3	回路構成	17
仕様 (+5V電源)	4	外付け部品の値と性能	19
絶対最大定格	5	総合出力ノイズの計算と設計	20
最大消費電力	5	入力バイアス電流とDCオフセット	21
ESDの注意	5	$\overline{\text{DISABLE}}$ ピンと入力バイアス相殺機能	21
代表的な性能特性	6	16ビットADCドライバ	22
動作原理	15	回路の注意事項	23
アプリケーション	16	デザイン・ツールおよびテクニカル・サポート	24
AD8099の使い方	16	外形寸法	25
回路部品	16	オーダー・ガイド	26

改訂履歴

04年1月、データシートのREV.0からREV.Aへ改訂

変更

ページ

新しい図3を追加	1
仕様を変更	3
新しい図22～34を追加	8
新しい図51～55を追加	14
「動作原理」を変更	16
「回路部品」を変更	17
表4を変更	18
図60を変更	18
「総合出力ノイズの計算と設計」を変更	21
図62を変更	23
「16ビットADCドライバ」を変更	23
表6を変更	23
「PCボードのレイアウト」に追加	23

03年11月、Rev. 0: 初版

仕様

±5V電源仕様

表1. 特に指定のない限り、 $T_A = 25$ 、 $G = +2$ 、 $R_L = 1k$ （グラウンドに接続）で規定。外付け部品の値とゲイン設定は、図60～66を参照。

パラメータ	条件	Min	Typ	Max	単位
動的性能					
–3dB帯域幅	$G = +5$ 、 $V_{OUT} = 0.2V$ p-p	450	510		MHz
	$G = +5$ 、 $V_{OUT} = 2V$ p-p	205	235		MHz
平坦性0.1dBでの帯域幅(SOIC/CSP)	$G = +2$ 、 $V_{OUT} = 0.2V$ p-p		34/25		MHz
スルーレート	$G = +10$ 、 $V_{OUT} = 6V$ ステップ	1120	1350		$V/\mu s$
	$G = +2$ 、 $V_{OUT} = 2V$ ステップ	435	470		$V/\mu s$
0.1%へのセトリング時間	$G = +2$ 、 $V_{OUT} = 2V$ ステップ		18		ns
ノイズ/歪み性能					
高調波歪み (dBc) HD2/HD3	$f_C = 500kHz$ 、 $V_{OUT} = 2V$ p-p、 $G = +10$		–102/–111		dBc
	$f_C = 10MHz$ 、 $V_{OUT} = 2V$ p-p、 $G = +10$		–84/–92		dBc
入力電圧ノイズ	$f = 100kHz$		0.95		nV/\sqrt{Hz}
入力電流ノイズ	$f = 100kHz$ 、 $\overline{DISABLE}$ ピンは解放		2.6		pA/\sqrt{Hz}
	$f = 100kHz$ 、 $\overline{DISABLE}$ ピン = $+V_S$		5.2		pA/\sqrt{Hz}
DC性能					
入力オフセット電圧			0.1	0.5	mV
入力オフセット電圧ドリフト			2.3		$\mu V/^\circ C$
入力バイアス電流	$\overline{DISABLE}$ ピンは解放		–6	–13	μA
	$\overline{DISABLE}$ ピン = $+V_S$		–0.1	–2	μA
入力バイアス電流ドリフト			3		$nA/^\circ C$
入力バイアス・オフセット電流			0.06	1	μA
オープン・ループ・ゲイン		82	85		dB
入力特性					
入力抵抗	差動モード		4		$k\Omega$
	コモン・モード		10		$M\Omega$
入力容量			2		pF
入力コモン・モード電圧範囲			–3.7~+3.7		V
同相ノイズ除去比	$V_{CM} = \pm 2.5V$	98	105		dB
$\overline{DISABLE}$ ピン					
$\overline{DISABLE}$ 入力電圧	出力をディスエーブル		<2.4		V
ターンオフ時間	$\overline{DISABLE}$ の50%から最終 V_{OUT} の10%未満まで、 $V_{IN} = 0.5V$ 、 $G = +2$		105		ns
ターンオン時間	$\overline{DISABLE}$ の50%から最終 V_{OUT} の10%未満まで、 $V_{IN} = 0.5V$ 、 $G = +2$		39		ns
イネーブルピンのリーク電流	$\overline{DISABLE} = +5V$		17	21	μA
$\overline{DISABLE}$ ピンのリーク電流	$\overline{DISABLE} = -5V$		35	44	μA
出力特性					
出力オーバードライブ回復時間 (立上がり/立下がり)	$V_{IN} = -2.5 \sim 2.5V$ 、 $G = +2$		30/50		ns
出力電圧振幅	$R_L = 100\Omega$	–3.4~+3.5	–3.6~+3.7		V
	$R_L = 1k\Omega$	–3.7~+3.7	–3.8~+3.8		V
短絡電流	シンキングおよびソーシング		131/178		mA
オフ・アイソレーション	$f = 1MHz$ 、 $\overline{DISABLE} = \text{ロー}$		–61		dB
電源					
動作範囲			± 5	± 6	V
静止電流			15	16	mA
静止電流(ディスエーブル時)	$\overline{DISABLE} = \text{ロー}$		1.7	2	mA
正電源電圧変動除去比	$+V_S = 4 \sim 6V$ 、 $-V_S = -5V$ (入力換算)	85	91		dB
負電源電圧変動除去比	$+V_S = 5V$ 、 $-V_S = -6 \sim -4V$ (入力換算)	86	94		dB

AD8099

+5V電源仕様

表2. 特に指定のない限り、 $T_A = 25$ 、 $G = +2$ 、 $R_L = 1k$ （電源中央に接続）で規定。外付け部品の値とゲイン設定は、図60～66を参照。

パラメータ	条件	Min	Typ	Max	単位
動的性能					
−3dB帯域幅	$G = +5$ 、 $V_{OUT} = 0.2V$ p-p	415	440		MHz
	$G = +5$ 、 $V_{OUT} = 2V$ p-p	165	210		MHz
平坦性0.1dBでの帯域幅 (SOIC/CSP)	$G = +2$ 、 $V_{OUT} = 0.2V$ p-p		33/23		MHz
スルーレート	$G = +10$ 、 $V_{OUT} = 2V$ ステップ	630	715		V/ μ s
	$G = +2$ 、 $V_{OUT} = 2V$ ステップ	340	365		V/ μ s
0.1%へのセトリング時間	$G = +2$ 、 $V_{OUT} = 2V$ ステップ		18		ns
ノイズ/歪み性能					
高調波歪み (dBc) HD2/HD3	$f_C = 500kHz$ 、 $V_{OUT} = 1V$ p-p、 $G = +10$		−82/−94		dBc
	$f_C = 10MHz$ 、 $V_{OUT} = 1V$ p-p、 $G = +10$		−80/−75		dBc
入力電圧ノイズ	$f = 100kHz$		0.95		nV/ \sqrt{Hz}
入力電流ノイズ	$f = 100kHz$ 、 $\overline{DISABLE}$ ピンは解放		2.6		pA/ \sqrt{Hz}
	$f = 100kHz$ 、 $\overline{DISABLE}$ ピン = $+V_S$		5.2		pA/ \sqrt{Hz}
DC性能					
入力オフセット電圧			0.1	0.5	mV
入力オフセット電圧ドリフト			2.5		μ V/ $^{\circ}C$
入力バイアス電流	$\overline{DISABLE}$ ピンは解放		−6.2	−13	μ A
	$\overline{DISABLE}$ ピン = $+V_S$		−0.2	−2	μ A
入力バイアス・オフセット電流			0.05	1	μ A
入力バイアス・オフセット電流ドリフト			2.4		nA/ $^{\circ}C$
オープン・ループ・ゲイン	$V_{OUT} = 1 \sim 4V$	76	81		dB
入力特性					
入力抵抗	差動モード		4		k Ω
	コモン・モード		10		M Ω
入力容量			2		pF
入力コモン・モード電圧範囲			1.3~3.7		V
同相ノイズ除去比	$V_{CM} = 2 \sim 3V$	88	105		dB
$\overline{DISABLE}$ ピン					
$\overline{DISABLE}$ 入力電圧	出力をデイスエーブル		<2.4		V
ターンオフ時間	$\overline{DISABLE}$ の50%から最終 V_{OUT} の10%未満まで、 $V_{IN} = 0.5V$ 、 $G = +2$		105		ns
ターンオン時間	$\overline{DISABLE}$ の50%から最終 V_{OUT} の10%未満まで、 $V_{IN} = 0.5V$ 、 $G = +2$		61		ns
イネーブルピンのリーク電流	$\overline{DISABLE} = 5V$		16	21	μ A
$\overline{DISABLE}$ ピンのリーク電流	$\overline{DISABLE} = 0V$		33	44	μ A
出力特性					
オーバードライブ回復時間 (立上がり/立下がり)	$V_{IN} = 0 \sim 2.5V$ 、 $G = +2$		50/70		ns
出力電圧振幅	$R_L = 100\Omega$	1.5~3.5	1.2~3.8		V
	$R_L = 1k\Omega$	1.2~3.8	1.2~3.8		V
短絡電流	シンキングおよびソーシング		60/80		mA
オフ・アイソレーション	$f = 1MHz$ 、 $\overline{DISABLE} = \text{ロー}$		−61		dB
電源					
動作範囲			± 5	± 6	V
静止電流			14.5	15.4	mA
静止電流 (デイスエーブル時)	$\overline{DISABLE} = \text{ロー}$		1.4	1.7	mA
正電源電圧変動除去比	$+V_S = 4.5 \sim 5.5V$ 、 $-V_S = 0V$ (入力換算)	84	89		dB
負電源電圧変動除去比	$+V_S = 5V$ 、 $-V_S = -0.5 \sim 0.5V$ (入力換算)	84	90		dB

絶対最大定格

表3. AD8099のストレス定格

パラメータ	定格
電源電圧	12.6V
消費電力	図4参照
差動入力電圧	±1.8V
保存温度	-65~+125℃
動作温度範囲	-40~+125℃
ピン温度範囲(ハンダ処理、10秒)	300℃
ジャンクション温度	150℃

絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定は、ストレス定格のみを指定するものであり、この仕様の動作に関するセクションに記載されている規定値以上のデバイス動作を定めたものではありません。長時間デバイスを絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

最大消費電力

AD8099パッケージでの安全な最大消費電力は、チップのジャンクション温度(T_J)上昇によって制限されます。チップをプラスチック封止すると、局所的にジャンクション温度に到達します。約150℃のガラス遷移温度で、プラスチックの属性が変わります。この温度規定値を一時的にでも超えた場合は、パッケージからチップに加えられる応力が変化し、AD8099のパラメータ性能が永久的に変化することがあります。150℃のジャンクション温度を長時間超えると、シリコン・デバイス内に変化が発生し、故障の原因になることがあります。

パッケージとPCボードの自然空冷時の熱特性(θ_{JA})、周囲温度(T_A)、パッケージ内の合計消費電力(P_D)によって、チップのジャンクション温度が決定されます。ジャンクション温度は次式で計算されます。

$$T_J = T_A + (P_D \times \theta_{JA})$$

パッケージ内の消費電力(P_D)は、静止消費電力と、全出力での負荷駆動に起因するパッケージ内の消費電力との和になります。静止電力は、電源ピン間の電圧(V_S)に静止電流(I_S)を乗算して計算されます。負荷(R_L)は電源電圧の midpoint を基準にすると、合計駆動電力は $V_S/2 \times I_{OUT}$ になり、この電力がパッケージ内と負荷($V_{OUT} \times I_{OUT}$)とで消費されます。

注意

ESD(静電放電)の影響を受けやすいデバイスです。人体や試験機器には4,000Vもの高圧の静電気が容易に蓄積され、検知されないまま放電されることがあります。本製品は当社独自のESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣下や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。

合計駆動電力と負荷電力の差が、パッケージ内で消費される駆動電力です。

$$P_D = \text{静止消費電力} + (\text{合計駆動電力} - \text{負荷消費電力})$$

$$P_D = (V_S \times I_S) + \left[\frac{V_S}{2} \times \frac{V_{OUT}}{R_L} \right] - \frac{V_{OUT}^2}{R_L}$$

RMS出力電圧についても検討する必要があります。単電源動作の場合のように R_L が V_S を基準とすると、合計駆動電力は $V_S \times I_{OUT}$ になります。RMS信号レベルが不確定の場合は、電源電圧の midpoint を基準とする R_L に対して $V_{OUT} = V_S/4$ とするときの、ワースト・ケースを検討します。

$$P_D = (V_S \times I_S) + \frac{(V_S/4)^2}{R_L}$$

V_S を基準とする R_L を使う単電源動作では、ワースト・ケースは、 $V_{OUT} = V_S/2$ になります。

空気流があると放熱効果が良くなり θ_{JA} が小さくなります。また、メタル・パターン、スルー・ホール、グラウンド・プレーン、電源プレーンからパッケージ・ピンへ直接接続されるメタルが増えた場合にも、 θ_{JA} が小さくなります。「PCボードのレイアウト」で説明するように、高速オペアンプの入力ピンでの寄生容量を小さくするように注意する必要があります。

図4は、パッケージ内での安全な最大消費電力と周囲温度の関係、JEDEC規格4層ボードに実装したパドル露出型(e-pad) SOIC-8 (70℃/W)パッケージとCSP (70℃/W)パッケージについて示しています。 θ_{JA} 値は近似値です。

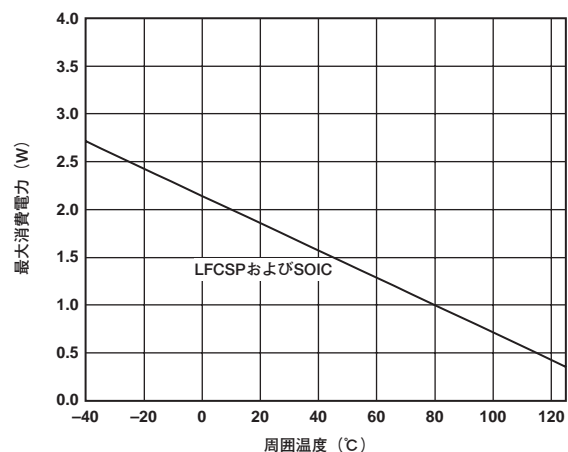


図4. 最大消費電力



代表的な性能特性

デフォルト条件: 特に指定のない限り、 $V_S = \pm 5V$ 、 $T_A = 25^\circ C$ 、 $R_L = 1k\Omega$ (グラウンドに接続)、外付け部品の値とゲイン設定は、図63~66を参照。

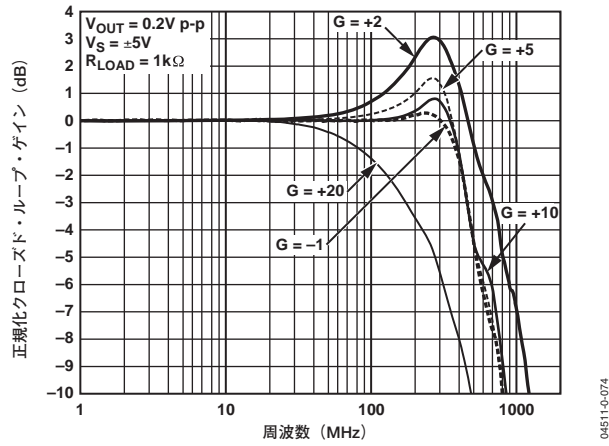


図5. 各ゲインに対する小信号周波数応答(SOIC)

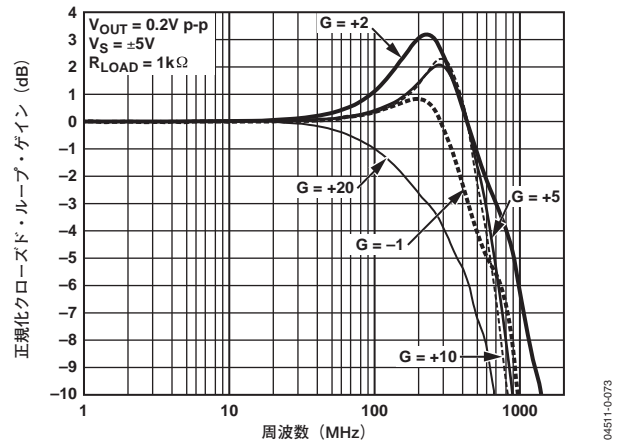


図8. 各ゲインに対する小信号周波数応答(CSP)

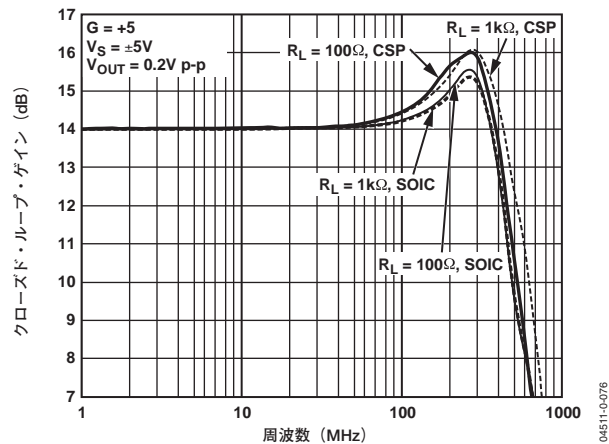


図6. 各負荷抵抗に対する小信号周波数応答

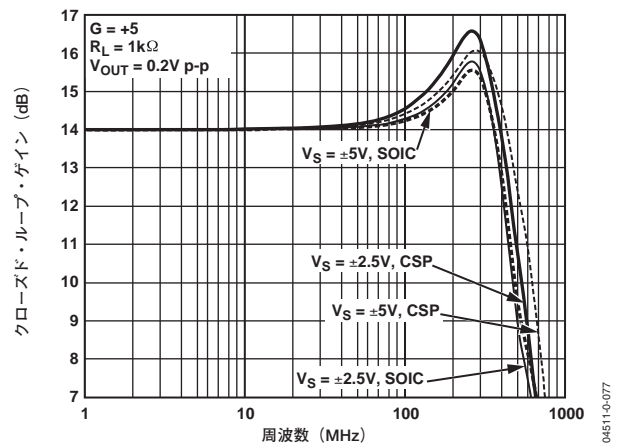


図9. 各電源電圧に対する小信号周波数応答

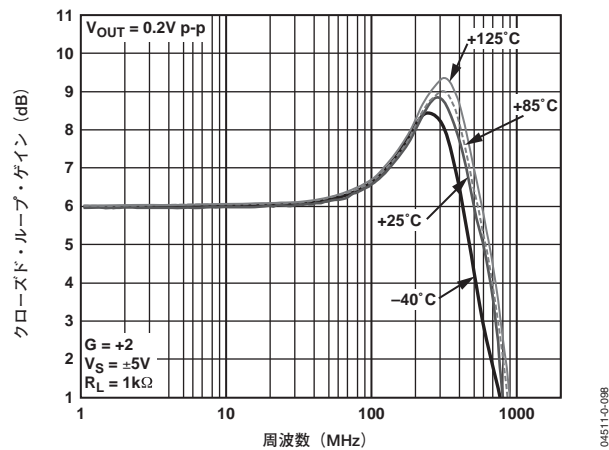


図7. 各温度に対する小信号周波数応答(SOIC)

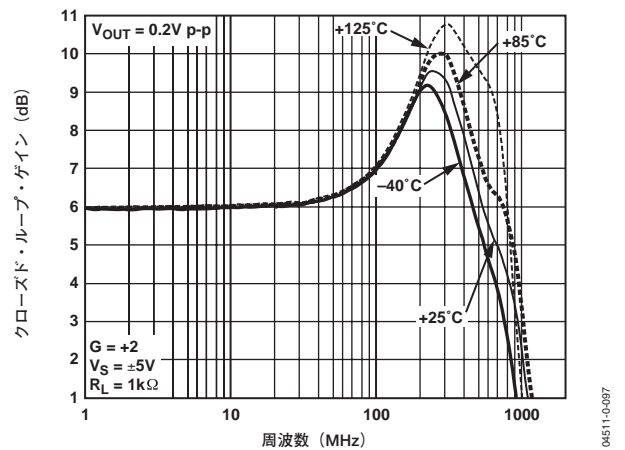


図10. 各温度に対する小信号周波数応答(CSP)

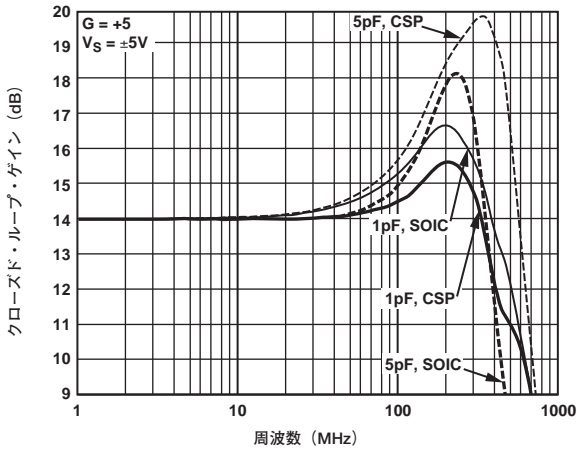


図11. 各容量性負荷に対する小信号周波数応答

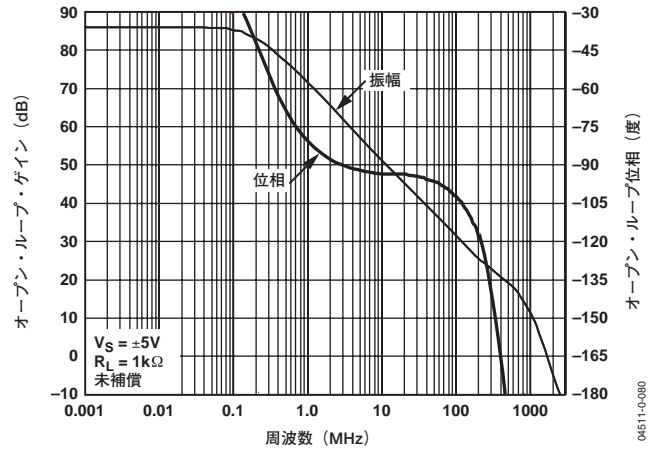


図14. オープン・ループ周波数応答

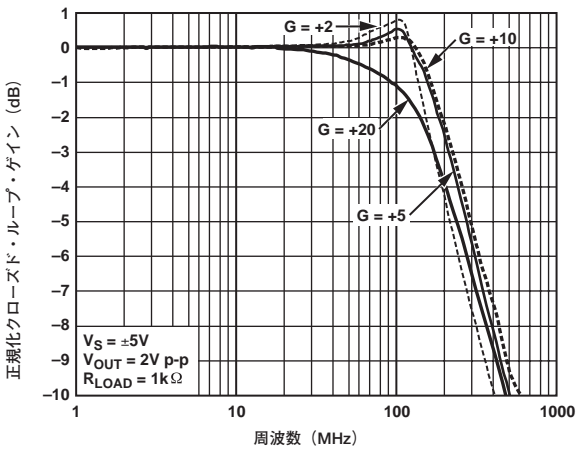


図12. 各ゲインに対する大信号周波数応答(SOIC)

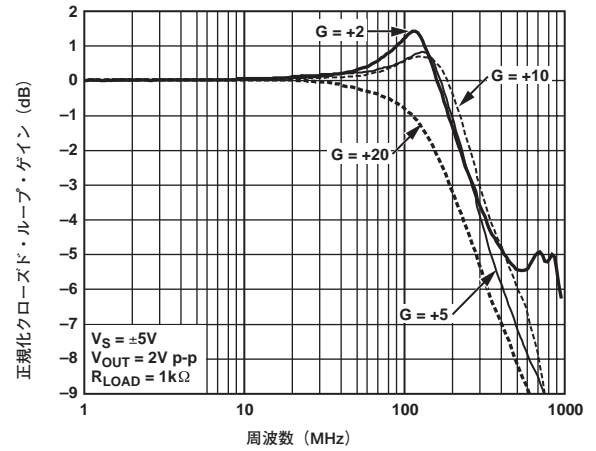


図15. 各ゲインに対する大信号周波数応答(CSP)

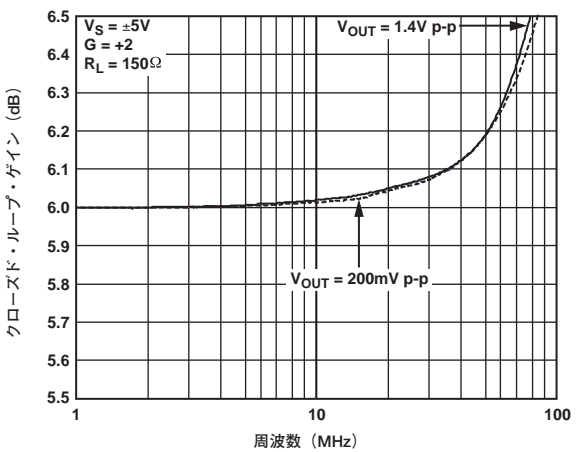


図13. 0.1dB平坦性(SOIC)

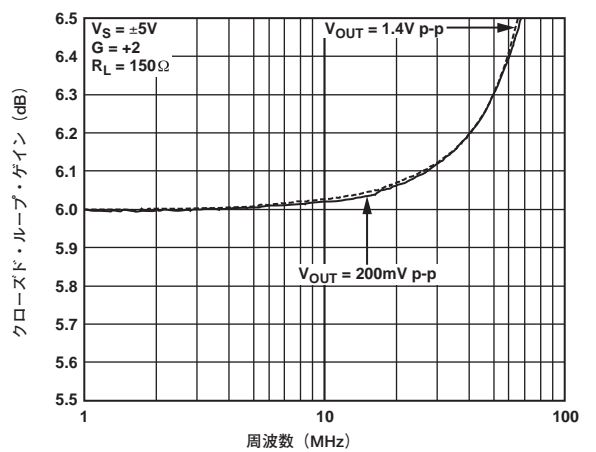


図16. 0.1dB平坦性(CSP)

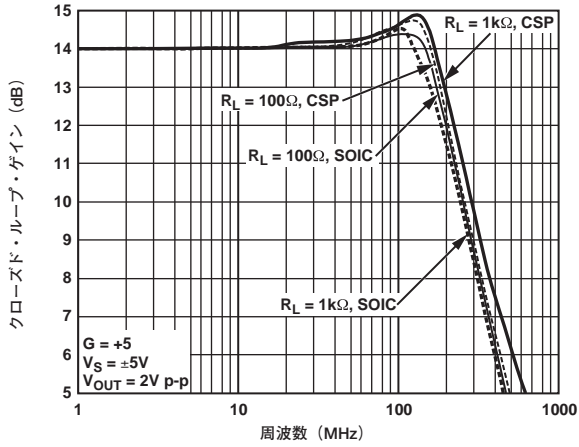


図17. 各負荷抵抗に対する大信号周波数応答

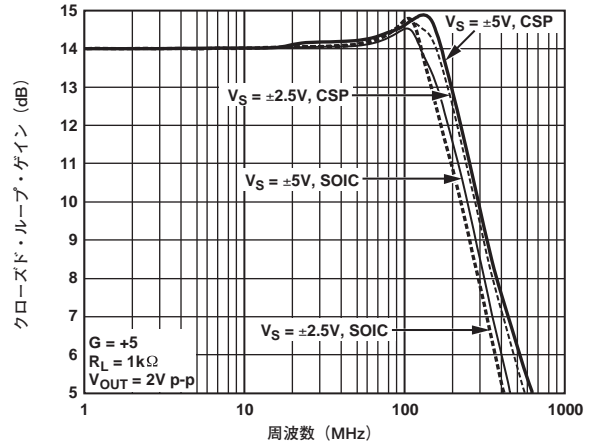


図20. 各電源電圧に対する大信号周波数応答

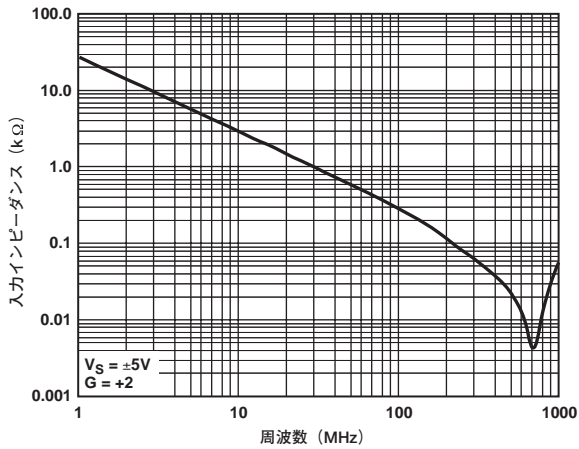


図18. 入力インピーダンスの周波数特性

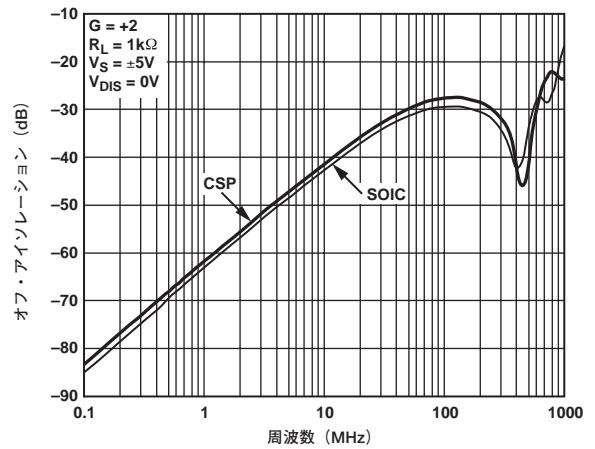


図21. オフ・アイソレーションの周波数特性

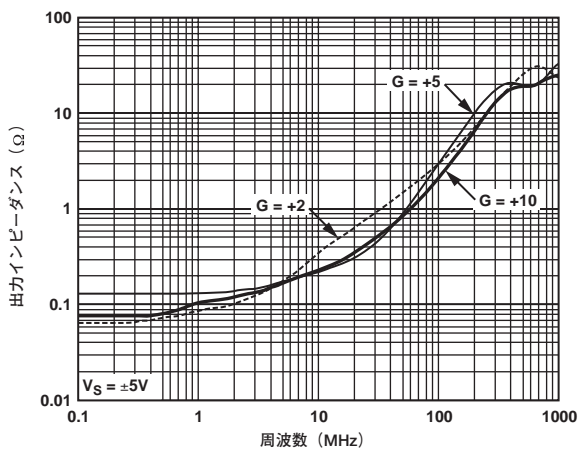


図19. 各ゲインに対する出力インピーダンスの周波数特性

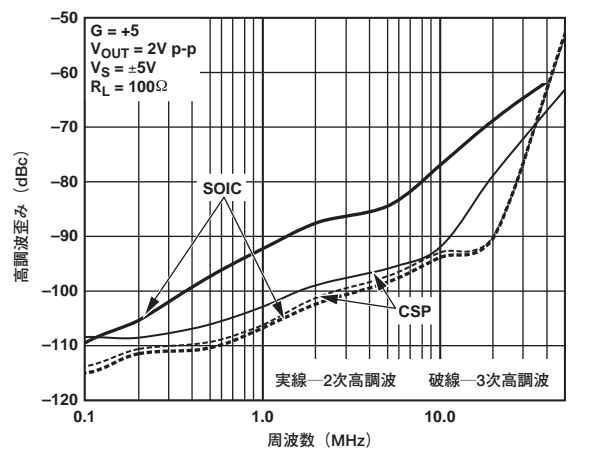


図22. 高調波歪みの周波数特性

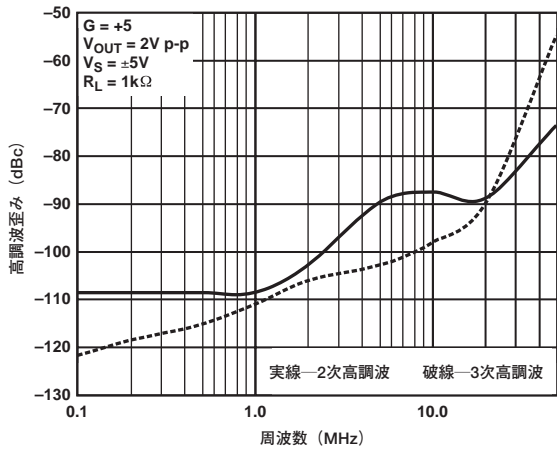


図23. 高調波歪みの周波数特性(SOIC)

04511-A-009

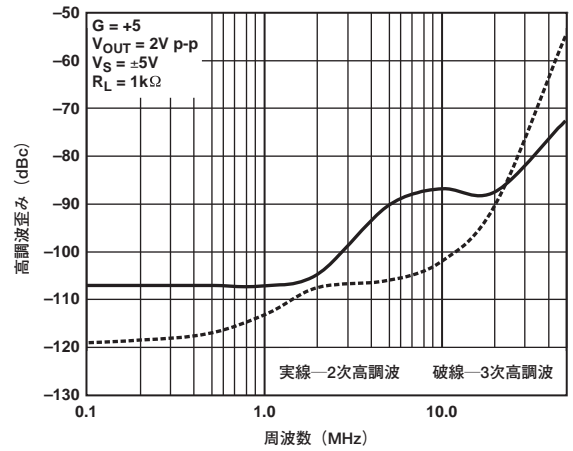


図26. 高調波歪みの周波数特性(CSP)

04511-A-012

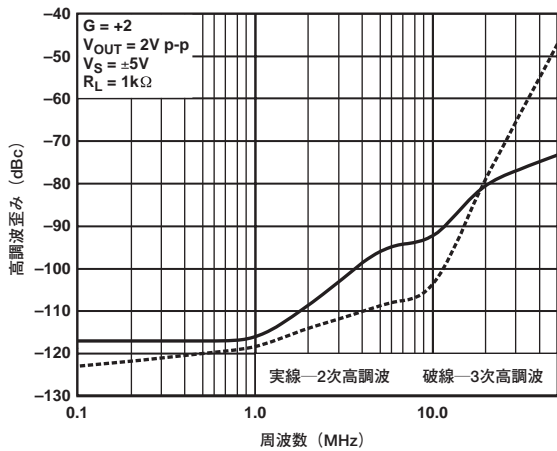


図24. 高調波歪みの周波数特性(SOIC)

04511-A-010

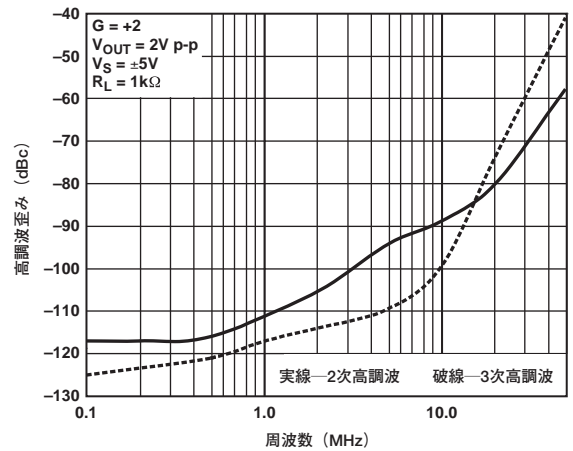


図27. 高調波歪みの周波数特性(CSP)

04511-A-013

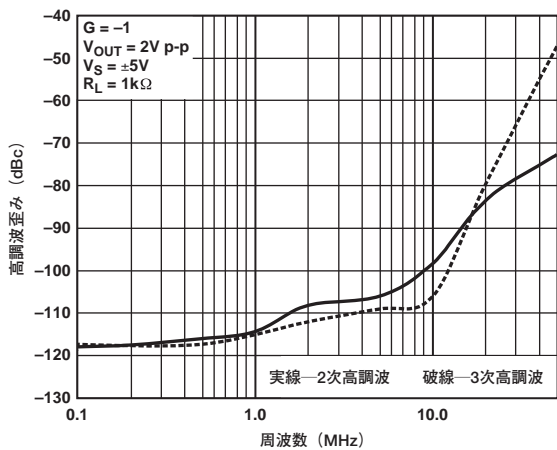


図25. 高調波歪みの周波数特性(SOIC)

04511-A-011

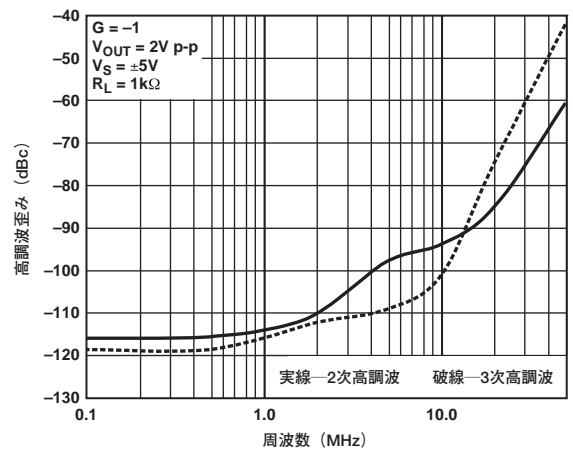
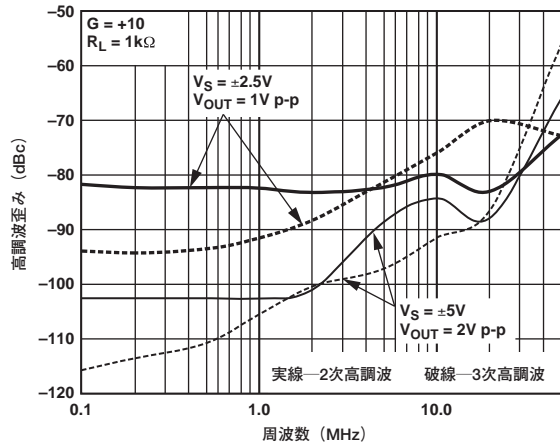


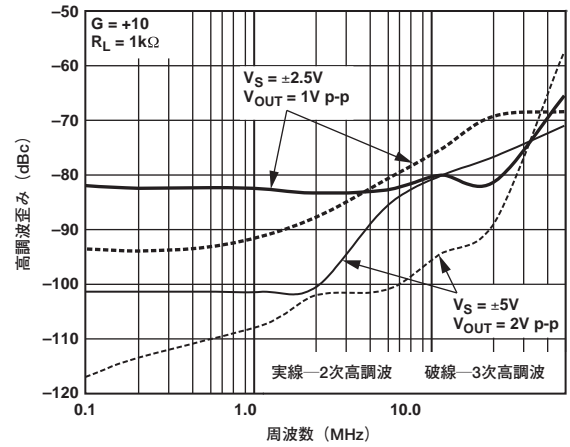
図28. 高調波歪みの周波数特性(CSP)

04511-A-014



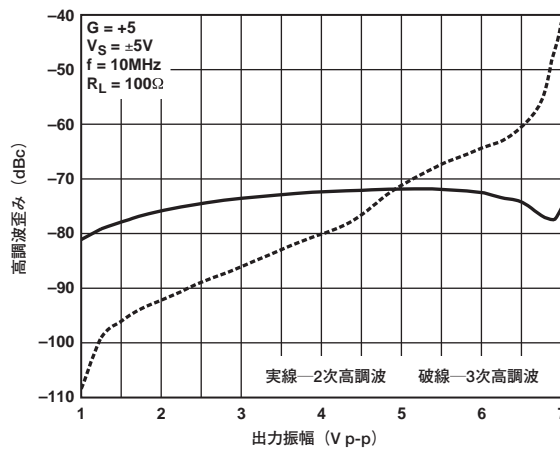
04511-A-015

図29. 各電源電圧に対する高調波歪みの周波数特性(SOIC)



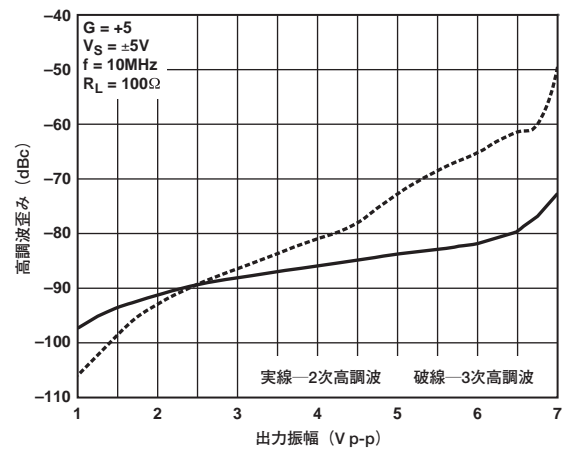
04511-A-018

図32. 各電源電圧に対する高調波歪みの周波数特性(CSP)



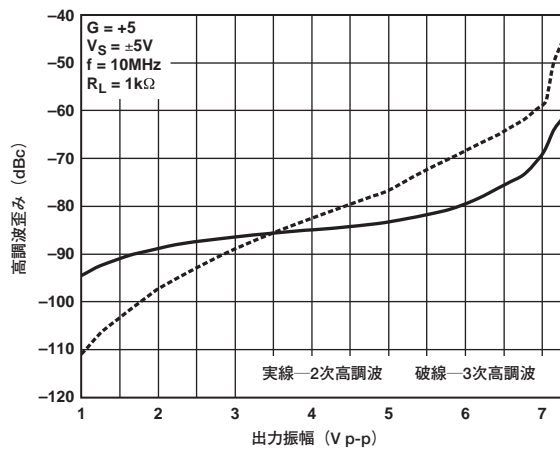
04511-A-016

図30. 出力振幅対高調波歪み(SOIC)



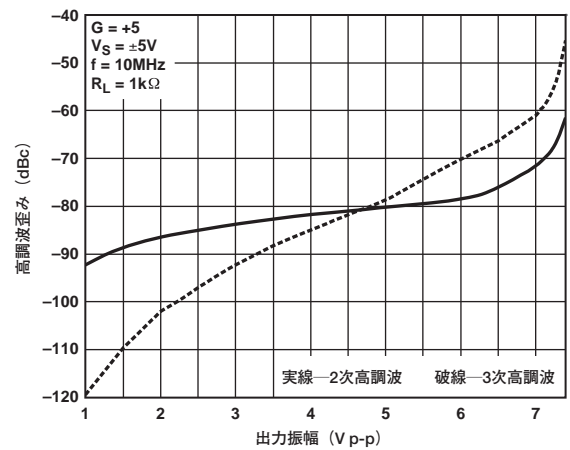
04511-A-019

図33. 出力振幅対高調波歪み(CSP)



04511-A-017

図31. 出力振幅対高調波歪み(SOIC)



04511-A-021

図34. 出力振幅対高調波歪み(CSP)

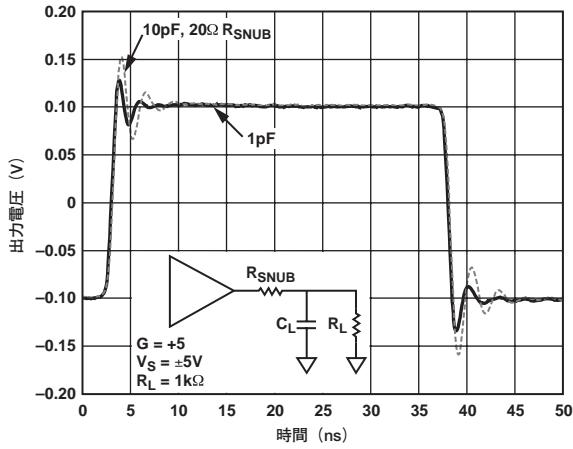


図35. 各容量性負荷に対する小信号過渡応答(SOIC)

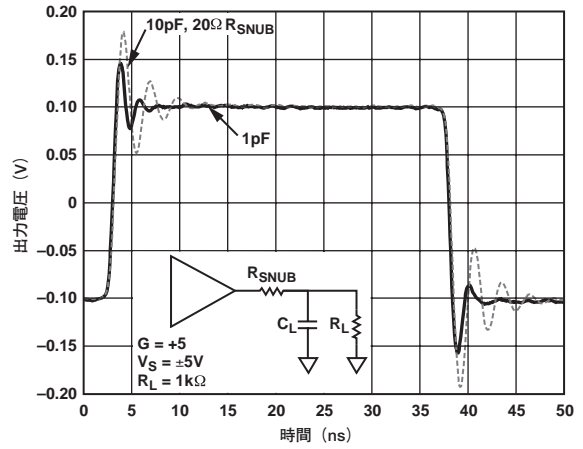


図38. 各容量性負荷に対する小信号過渡応答(CSP)

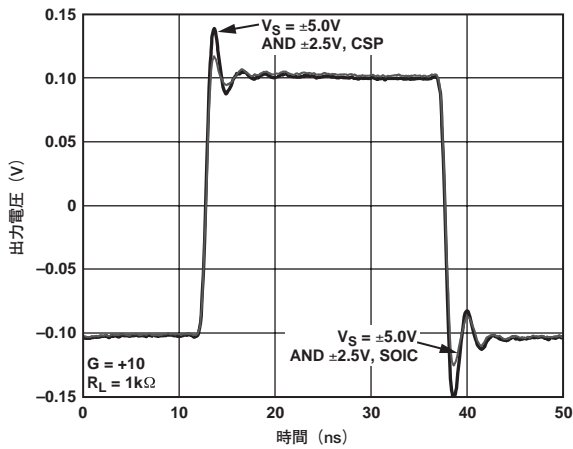


図36. 各電源電圧に対する小信号過渡応答

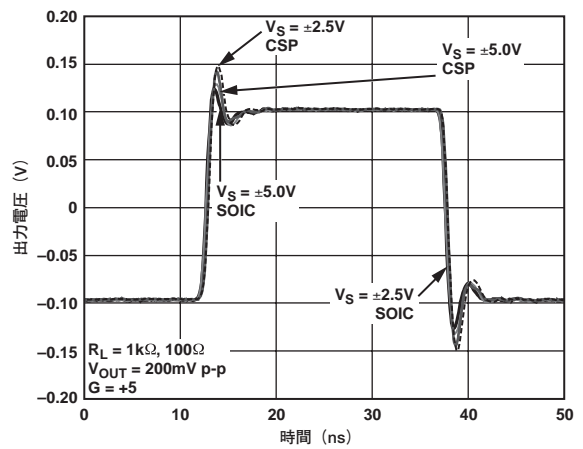


図39. 各電源電圧に対する小信号過渡応答

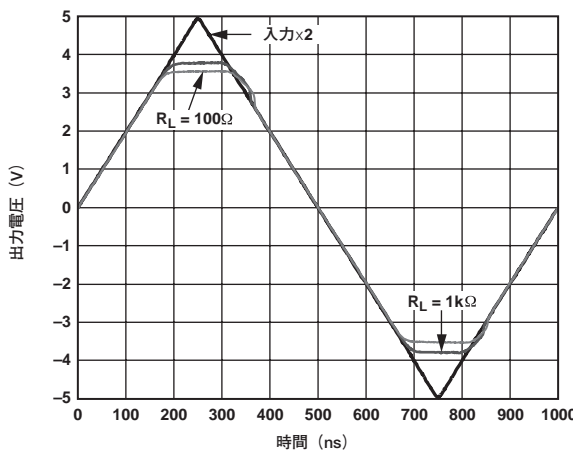


図37. 各抵抗負荷に対する出力オーバードライブ回復時間

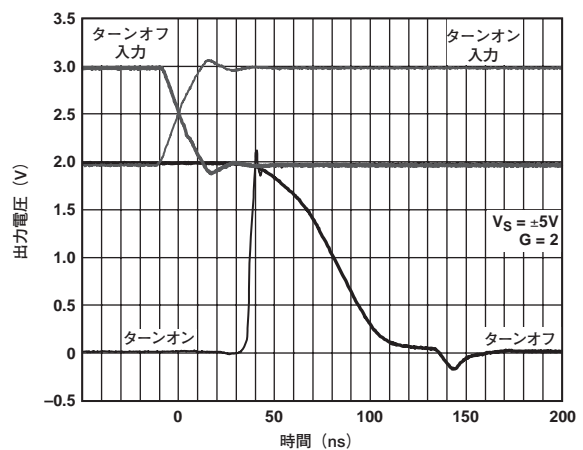


図40. ディスエーブル/イネーブルのスイッチング速度

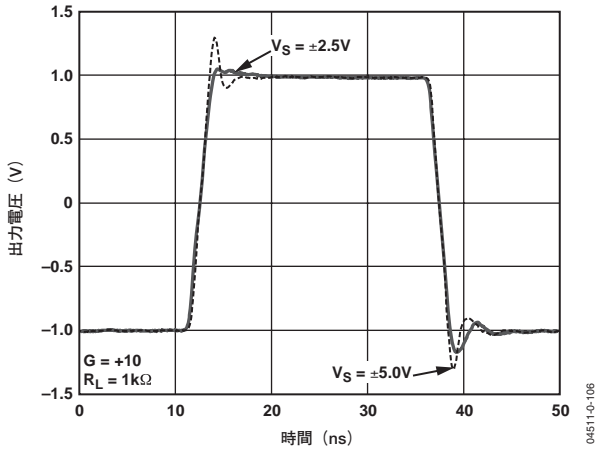


図41. 各電源電圧に対する大信号過渡応答(CSP)

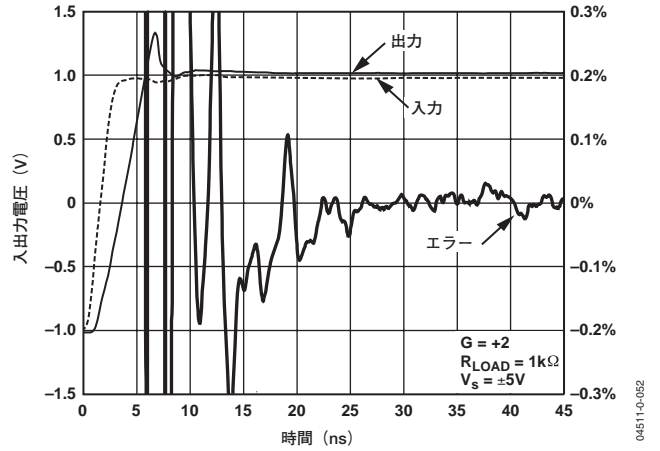


図44. 短時間セトリング時間(CSP)

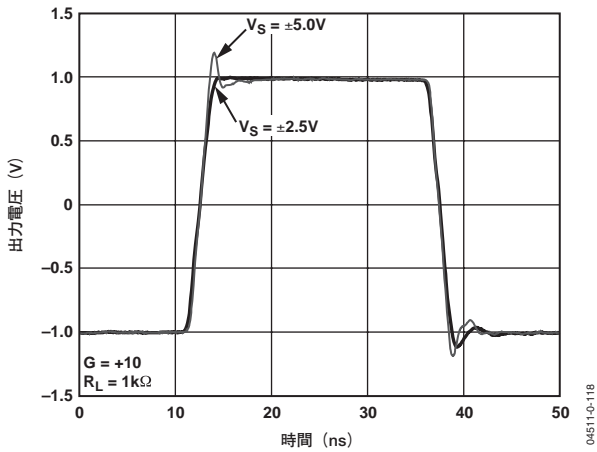


図42. 各電源電圧に対する大信号周波数応答(SOIC)

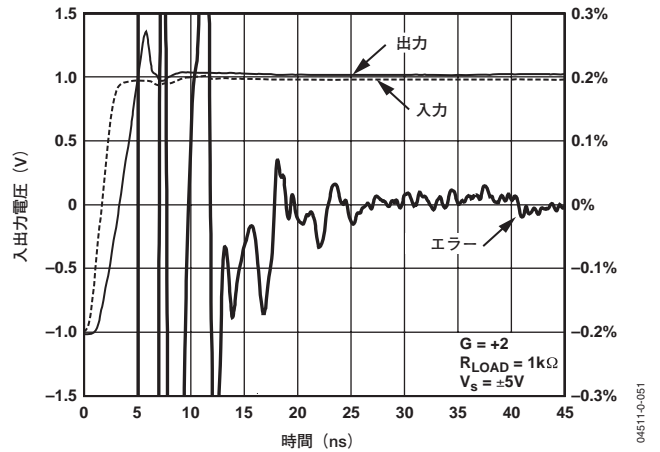


図45. 短時間セトリング時間(SOIC)

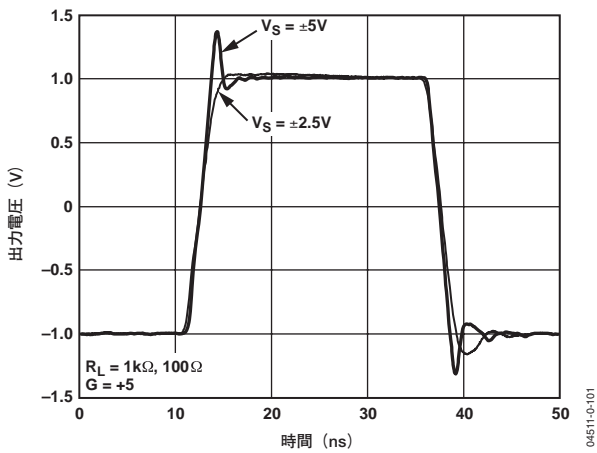


図43. 各電源電圧および負荷抵抗に対する大信号過渡応答 (SOICおよびCSP)

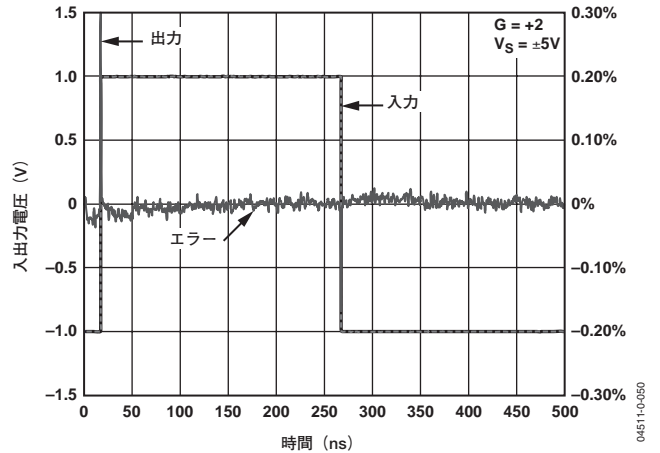


図46. 長時間セトリング時間

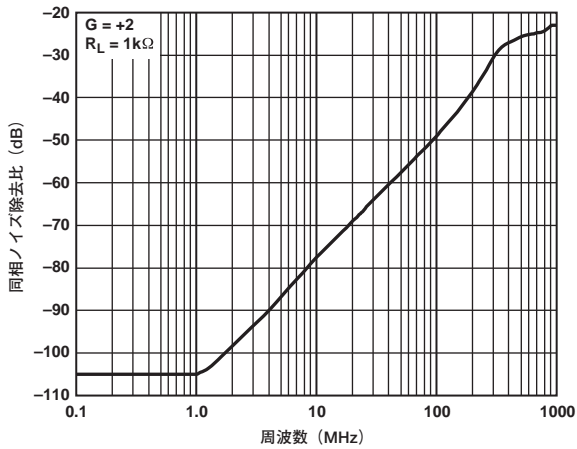


図47. 同相ノイズ除去比の周波数特性

04511-0-113

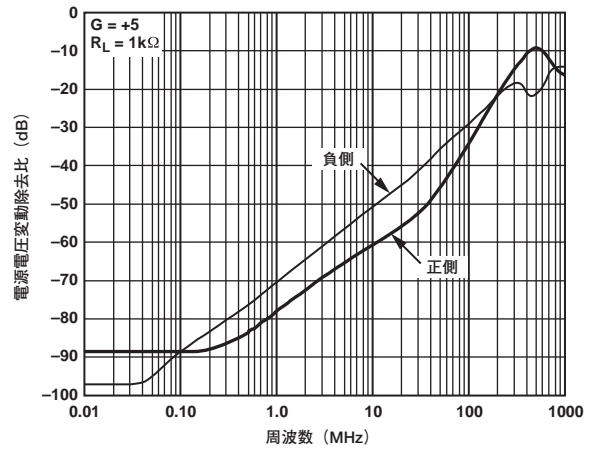


図50. 電源電圧変動除去比の周波数特性

04511-0-114

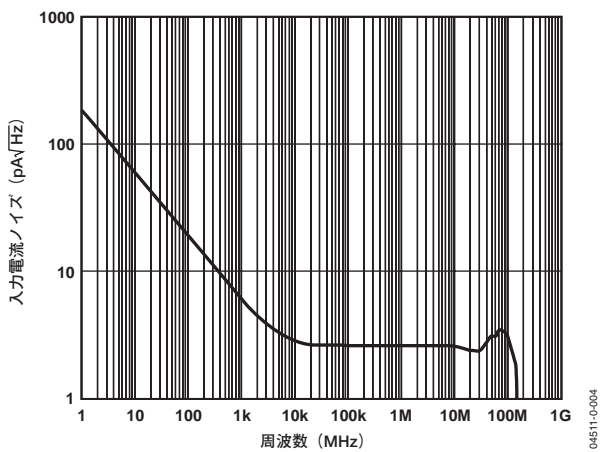


図48. 入力電流ノイズの周波数特性 ($\overline{\text{DISABLE}} = \text{オープン}$)

04511-0-004

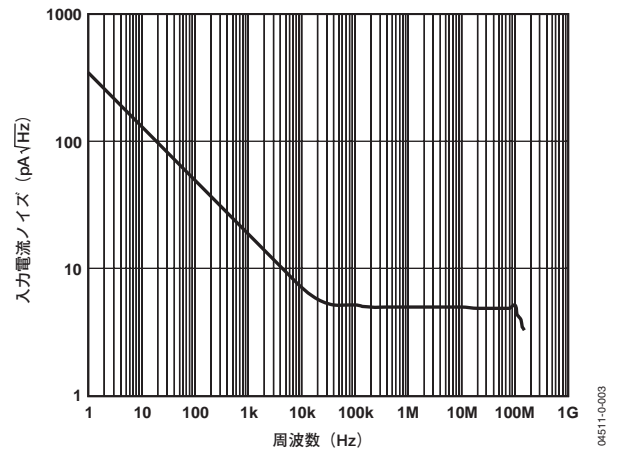


図51. 入力電流ノイズの周波数特性 ($\overline{\text{DISABLE}} = +V_S$)

04511-0-003

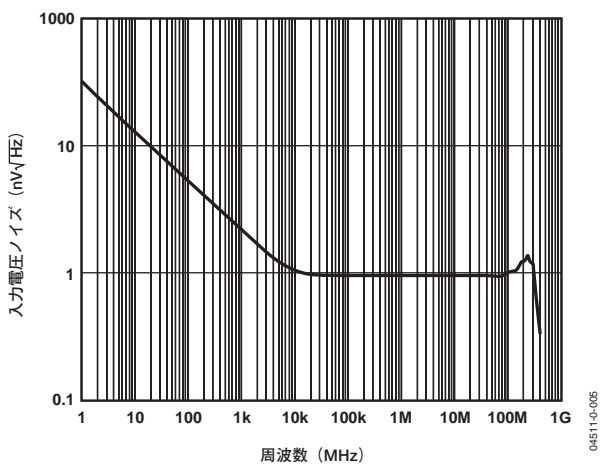


図49. 入力電圧ノイズの周波数特性

04511-0-005

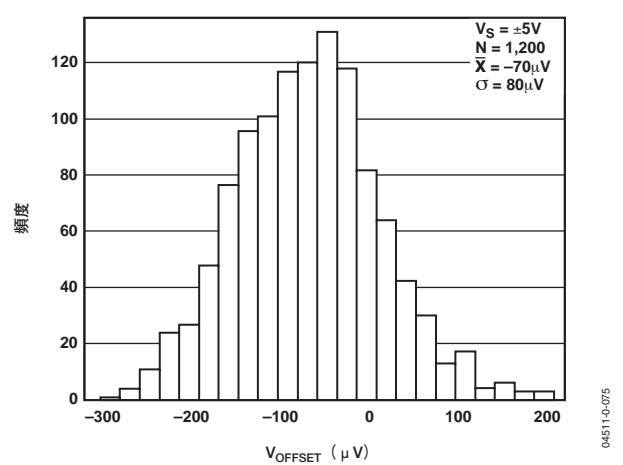


図52. 入力オフセット電圧分布

04511-0-075

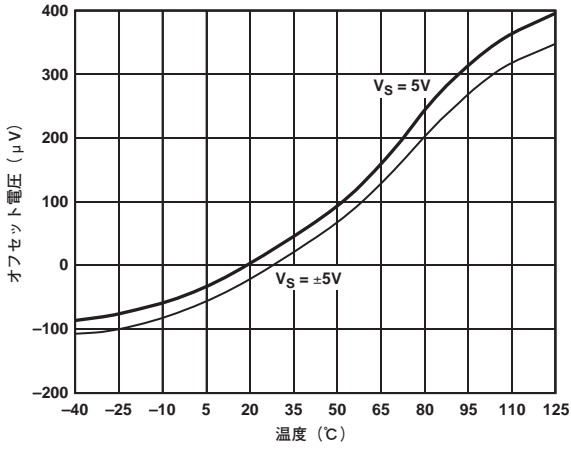


図53. 入力オフセット電圧の温度特性

04511-A-003

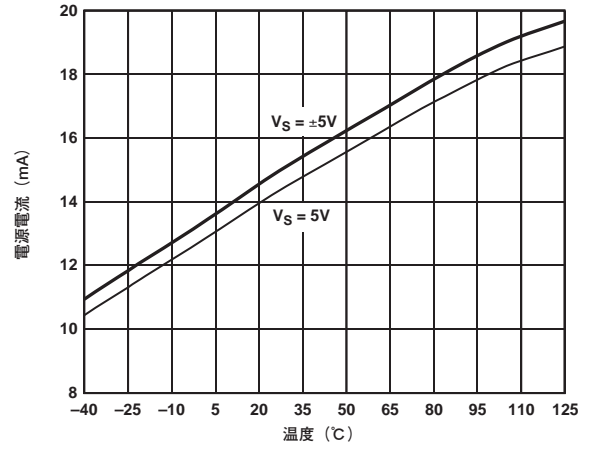


図56. 電源電流の温度特性

04511-A-006

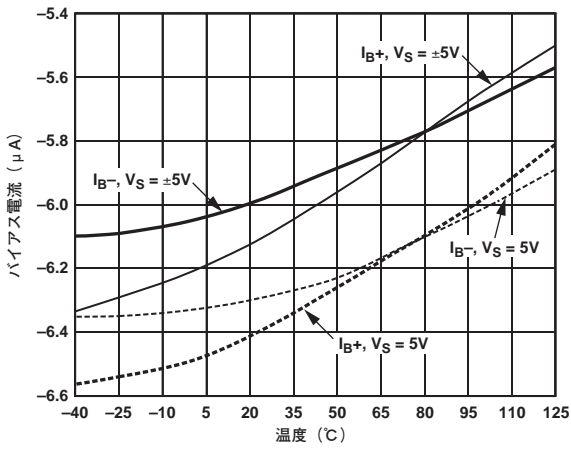


図54. 入力バイアス電流の温度特性
(DISABLEピン解放)

04511-A-004

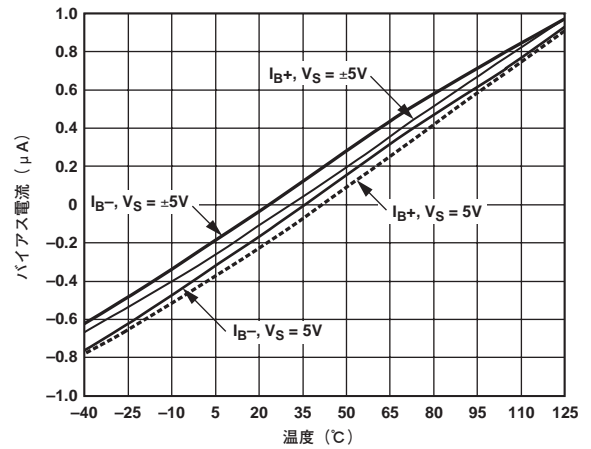


図57. 入力バイアス電流の温度特性
(DISABLEピン = +V_S)

04511-A-007

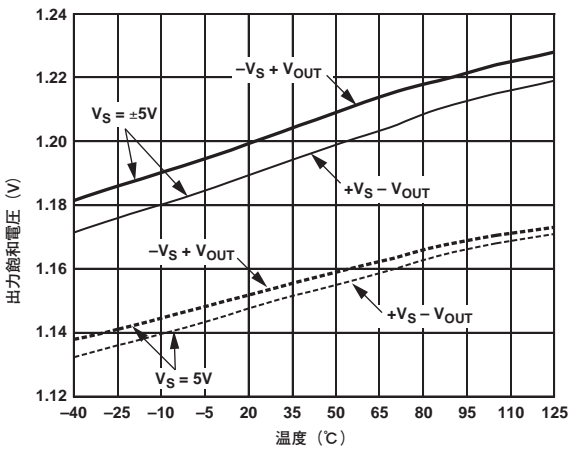


図55. 出力飽和電圧の温度特性

04511-A-005

動作原理

AD8099は、直線性の優れた新しいロー・ノイズ入力段を採用した電圧帰還型オペアンプです。AD8099は、この入力段により、2V p-pで90dBを超える歪み性能と $1\text{nV}/\sqrt{\text{Hz}}$ 以下の入力換算電圧ノイズで10MHzの出力信号を達成しています。このノイズ・レベル性能と歪み性能はこれまで、完全に非補償のアンプでのみ達成可能でした。AD8099は、+2までの小さなゲインでこのレベルの性能を達成します。また、この新しい入力段は、同等な補償済み $1\text{nV}/\sqrt{\text{Hz}}$ アンプの3倍のスルーレートを達成可能です。

AD8099の簡略回路図を図58に示します。このアンプは、アナログ・デバイス社の超高速相補型バイポーラ・プロセス(XFCB)を使って製造したユニティ・ゲインの出力バッファを持つ1段のゲイン段です。AD8099は、85dBのオープン・ループ・ゲインを持ち、CMRR、PSRR、 V_{OS} 、 $\Delta V_{\text{OS}}/\Delta T$ の高精度仕様を、通常は2段以上のゲイン段を持つ回路に該当するレベルに維持しています。

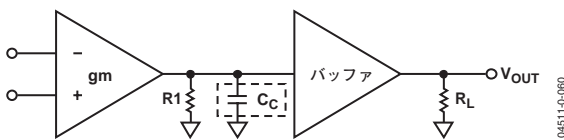


図58. AD8099の回路

AD8099は、RC回路を使って外部補償することにより、ゲイン=2まで下げることができます。ゲイン=15より上では、外部補償回路は不要です。フルGP積を実現するには、外部補償ピンまたはその周辺にPCボードのパターンを接続しないようにして容量を最小にする必要があります。

外部補償機能を使うと、ピーキングを最小化するようにクローズド・ループ応答を最適化できると同時に、高ゲインでGP積を大きくし、内部補償されたデバイスの高ゲインで顕著に発生する歪み誤差を小さくすることができます。固定ゲイン帯域幅の場合、クローズド・ループ・ゲインが2から4になると、広帯域の歪み成分は一般に6dB増加します。AD8099のGP積を大きくすると、クローズド・ループ・ゲインが大きくなり、この影響を解消します。

AD8099はSOICまたはLFCSPを採用し、両パッケージとも、動作温度を下げるためにサーマル・パッドを使用しています。ボード・レイアウトではこのパッドを回避できるように、両パッケージとも出力ピンの反対側にもう1つ出力ピン(FEEDBACKピン)を備えており、帰還ネットワークを入力に接続しやすくしています。このFEEDBACKピンも、出力の容量性負荷、パッケージの自己インダクタンス、帰還ループからのボンディング・ワイヤ間の干渉を防止します。帰還に対してFEEDBACKピンを使う一方で、 V_{out} のインダクタンスは、アンプの出力インピーダンスから容量性負荷を分離するのを助けます。SOICは出力で大きなインダクタンスを持つため、LFCSPより容量性負荷の駆動に優れています。両パッケージで V_{out} を帰還に使うと、LFCSPのほうがSOICより容量性負荷の駆動に優れています。

LFCSPとSOICのピン配置は同じですが、LFCSPでは全ピンが反時計回りに1ピン分、回転されています。この回転により、入力が高電源ピンから離され、重い負荷を駆動する際に顕著に発生する相互インダクタンス結合が解消されます。このため、重い負荷を駆動する際の2次高調波が、LFCSPではSOICに比べて大幅に改善されています。

AD8099には、高インピーダンス・パワーダウンとオプションの入力バイアス電流相殺回路のために、スリーステート入力ピンが用意されています。高インピーダンス出力を使うと、複数のAD8099が同じADCまたは出力ラインを時分割で駆動できます。 $\overline{\text{DISABLE}}$ ピンをローレベルにすると、高インピーダンス状態になります。閾値レベルについては、表5を参照。 $\overline{\text{DISABLE}}$ ピンが解放されたままの場合、AD8099は通常の動作を行います。 $\overline{\text{DISABLE}}$ ピンを正側電圧の0.7V以内にプルアップすると、オプションの入力バイアス電流相殺回路がオンになり、入力バイアス電流が200nA未満になります。このモードでは、AD8099を高DCソース・インピーダンスで駆動し、かつインピーダンス・マッチング技術を使わずに出力換算オフセットを最小に維持できます。さらに、AD8099は高DCインピーダンス回路をもった入力とAC結合することもできます。入力バイアス電流相殺回路は入力換算電流ノイズを倍加しますが、広帯域インピーダンスを小さく維持する限り、この影響は大きくありません(図48、図51を参照)。

内部で接続された1対のダイオードにより、AD8099の非反転入力と反転入力との間の差動電圧が制限されています。ダイオードの各セットには2個の直列ダイオードが付いており、これらは逆向きで並列に接続されています。この回路が、両入力間の差動電圧を約 $\pm 1.8\text{V}$ に制限します。AD8099のすべてのピンは、両レール間に接続された電圧制限ダイオードによりESDに対して保護されています。保護ダイオードは5mAの静止状態電流を処理できます。電流は、直列制限抵抗を使って5mA以下に制限する必要があります。

AD8099

アプリケーション

AD8099の使い方

AD8099は低い信号ゲイン構成で、非常に優れたノイズ性能と歪み性能を提供します。低ゲイン構成(15未満)では外部補償が必要です。必要なゲインと性能に応じて補償回路が決定されます。

ここでは、AD8099の最高性能を引き出すのに有効な手法を紹介し、ユーザがAD8099の補償を行うのをサポートします。このデータシートのデータは、次ページに示す部品の値と回路構成を使って得たものです。これらの値と回路構成は、設計の出発点になります。最終的な構成と部品の値は、回路アプリケーションにより決まります。

回路部品

ここでは、AD8099の性能全体に各部品がどのようにかかわっているか、簡単に説明します。これらの部品は図59(AD8099の推奨非反転回路図)を参照してください。一般に使われている部品の値と性能データについては表4を参照してください。

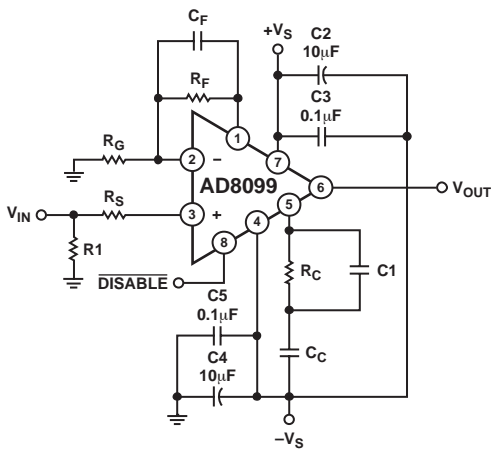


図59. 広帯域非反転ゲイン構成 (SOIC)

R_FおよびR_G — 帰還抵抗とゲイン設定抵抗がアンプのノイズ・ゲインを決定します。通常、R_F値の範囲は250~499Ωです。

C_F — ループ応答内にゼロ点を形成し、入力容量(浮遊容量を含む)と帰還抵抗R_Fで構成される極を補償します。C_Fは、クローズド・ループ応答内の高周波ピーキングとリンギングを抑えるのに役立ちます。代表的な範囲は、ここで使用する評価回路に対して0.5~1.5pFです。

R₁ — この抵抗は、信号源のソース抵抗と整合を図るための終端抵抗で、通常、50Ωが用いられます(これはアプリケーションにより決まり、必ずしも必要とは限りません)。

R_S — 低ゲイン構成の多くの高速アンプは、安定性を維持するため公称インピーダンスで入力段を終端する必要があります。ロー・ノイズ性能を維持するには、R_S値を50Ω以下に保つ必要があります。高ゲインでは、R_Sは減少するか、なくなります。代表的な範囲は0~50Ωです。

C_C — 補償コンデンサは、位相性能が低下する高周波でのオープン・ループ・ゲインを低下させます。ここでオープン・ループ・ゲインを低下させると、位相マージンが大きくなるためアンプが安定します。代表的な範囲は0~5pFです。C_Cの値はゲインに依存します。

R_C — パッケージの直列リード・インダクタンスと補償容量(C_C)が、直列共振回路を構成します。R_Cは共振を制動し、発振を防止します。R_Cの推奨値はクローズド・ループ・ゲイン=2に対して50Ωです。この抵抗はオープン・ループ応答内にゼロを構成するため、値を小さくして、このゼロ点がより高い周波数で発生するようにします。補償回路の目的は、オープン・ループ・ゲインを下げることです。抵抗が大きくなり過ぎると、ゲインは抵抗値まで減少しますが、0Ωにする必要はありません。これは全周波数に対して1個のコンデンサでできることです。代表的な値の範囲は、0~50Ωです。

C₁ — R_Cのインピーダンスを下げるため、C₁をR_Cに並列に接続します。C₁は必須というわけではありませんが、低クローズド・ループ・ゲインでのピーキングを大幅に減少させます。代表的な値の範囲は0~2pFです。

C₂およびC₃ — 最適な歪み性能とPSRR性能を得るために、バイパス・コンデンサを両電源の間に接続します。これらのコンデンサは、アンプの電源ピンのできるだけ近くに配置する必要があります。C₃とC₅には、0508サイズを使う必要があります。0508サイズは、インダクタンスが小さく、優れた周波数応答を持っています。

C₄およびC₂ — 電解バイパス・コンデンサ

推奨値

表4. 推奨値とAD8099の性能

ゲイン	パッケージ	帰還ネットワークの値				補償回路の値			-3dB SS帯域幅 (MHz)	スルー レート (V/ μ s)	ピーキング (dB)	出力ノイズ (AD8099のみ) (nV/ \sqrt Hz)	抵抗を含む 総合出力ノイズ (nV/ \sqrt Hz)
		R _F	R _G	R _S	C _F	R _C	C _C	C ₁					
-1, 2	SOIC	250	250	50	1.5	50	4	1.5	440/700	515	0.3/3.1	2.1	4
2	CSP	250	250	50	0.5	50	5	2	700	475	3.2	2.1	4
-1	CSP	250	250	50	1.0	50	5	2	420	475	0.8	2.1	4
5	CSP/SOIC	499	124	20	0.5	50	1	0	510	735	1.4	4.9	8.6
10	CSP/SOIC	499	54	0	0	0	0.5	0	550	1350	0.8	9.6	13.3
20	CSP/SOIC	499	26	0	0	0	0	0	160	1450	0	19	23.3

回路構成

図60～66に、さまざまなゲイン構成でのAD8099の代表的な回路図を示します。表4のデータは、図60～66に示す回路を使って得たものです。図60～66に示す抵抗R1は、テスト装置の終端抵抗です。通常の動作ではR1は**不要です**が、正確を期すために示します。

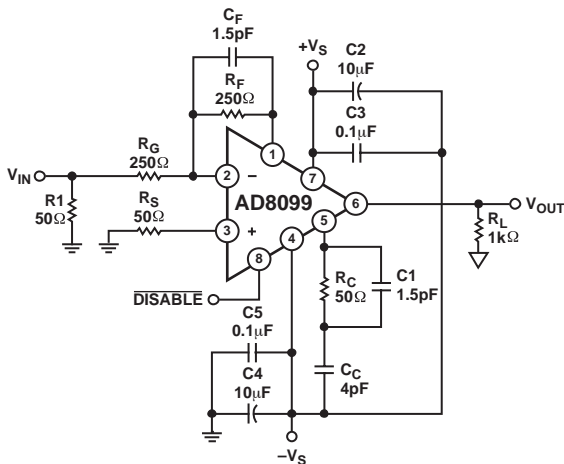


図60. SOICパッケージでのアンプ構成(ゲイン = -1)

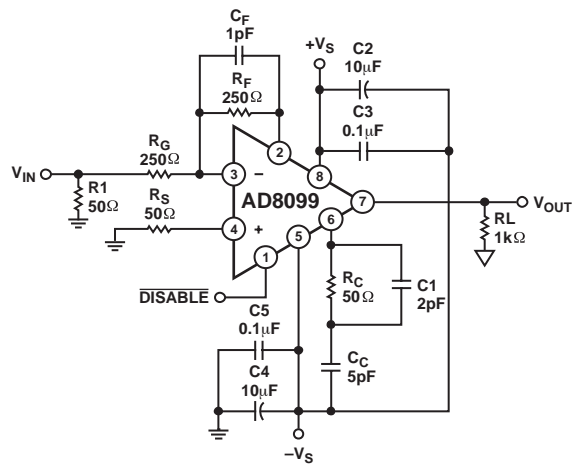


図62. CSPパッケージでのアンプ構成(ゲイン = -1)

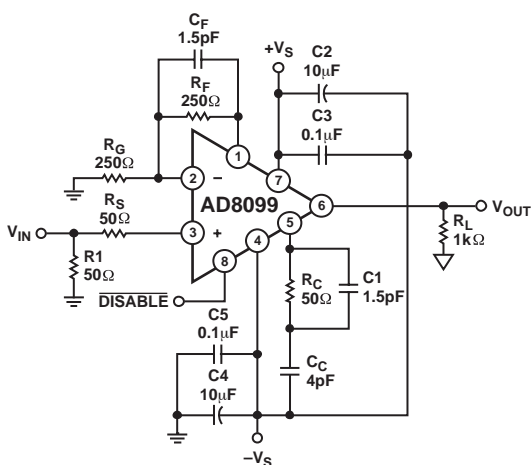


図61. SOICパッケージでのアンプ構成(ゲイン = +2)

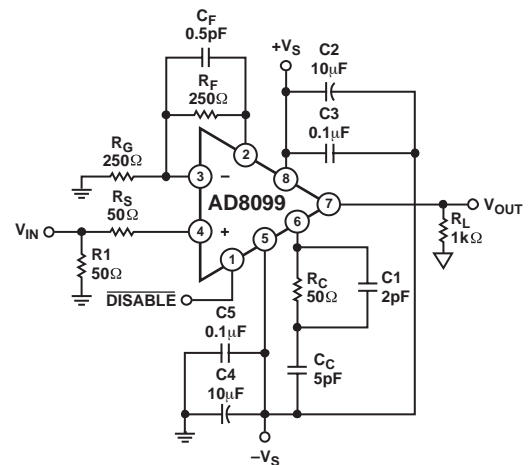
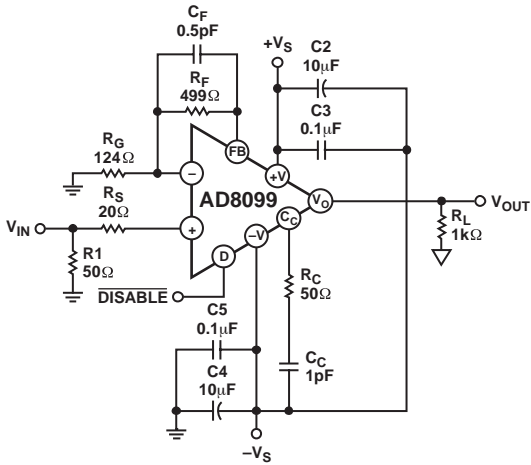


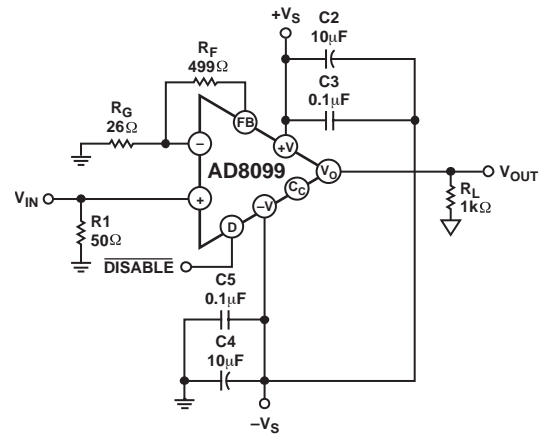
図63. CSPパッケージでのアンプ構成(ゲイン = +2)

AD8099



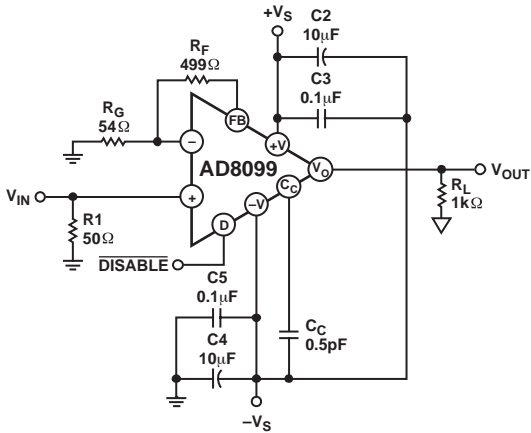
04511-0-055

図64. CSPおよびSOICパッケージでのアンプ構成(ゲイン = +5)



04511-0-057

図66. CSPおよびSOICパッケージでのアンプ構成(ゲイン = +20)



04511-0-056

図65. CSPおよびSOICパッケージでのアンプ構成(ゲイン = +10)

外付部品の値と性能

AD8099の周波数応答に対する各部品の影響を、図67と図68に示します。図67と図68では、変化する個々の部品を除き、すべての部品の値は一定に保たれています。たとえば、図68の R_S 性能プロットでは、0から50 Ω まで変化する R_S を除くすべての部品が一定に維持されています。一見ただけで、 R_S がAD8099のピーキングと帯域幅に大きな影響を与えることがわかります。

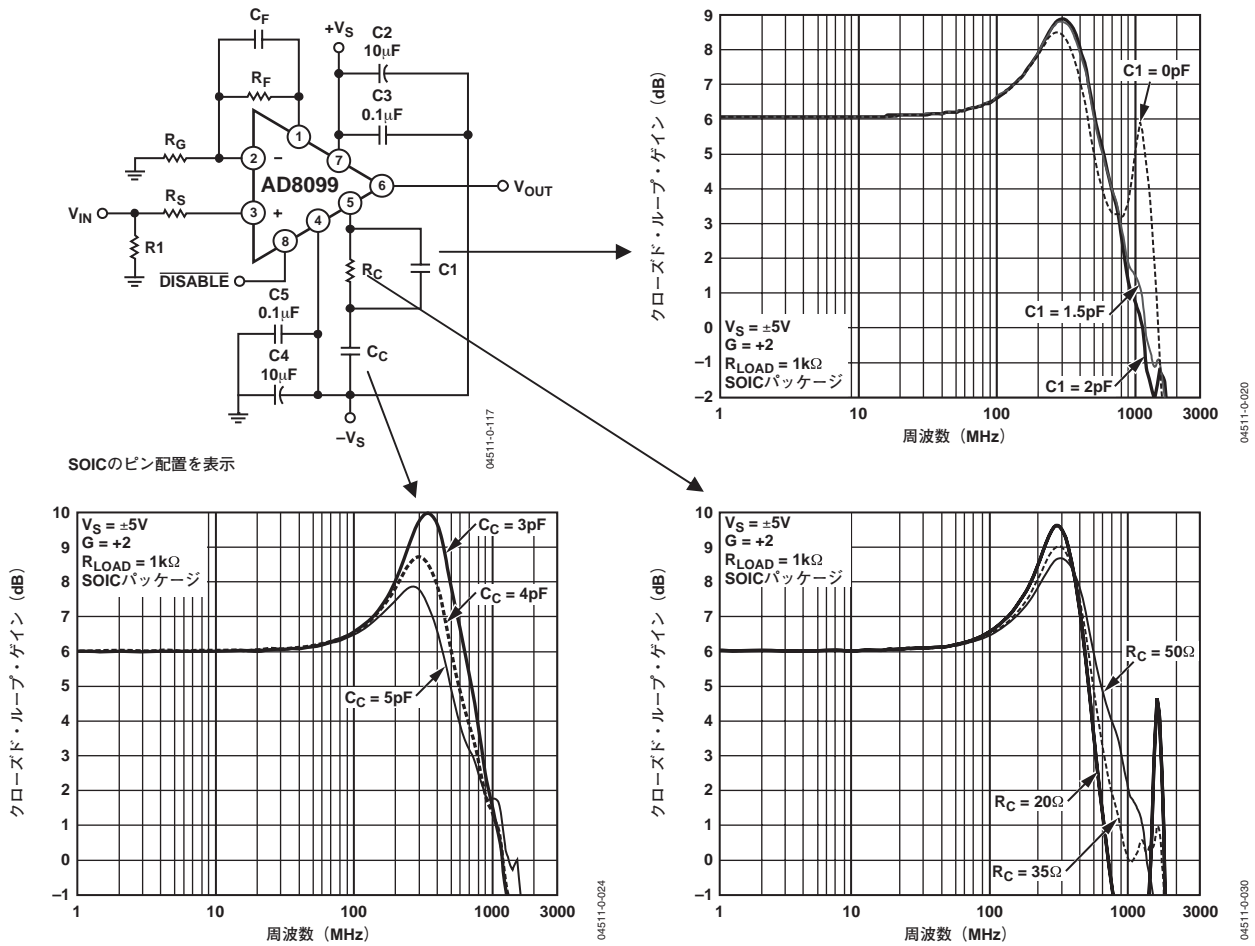


図67. C_1 、 C_C 、 R_C の各値に対する周波数応答

AD8099

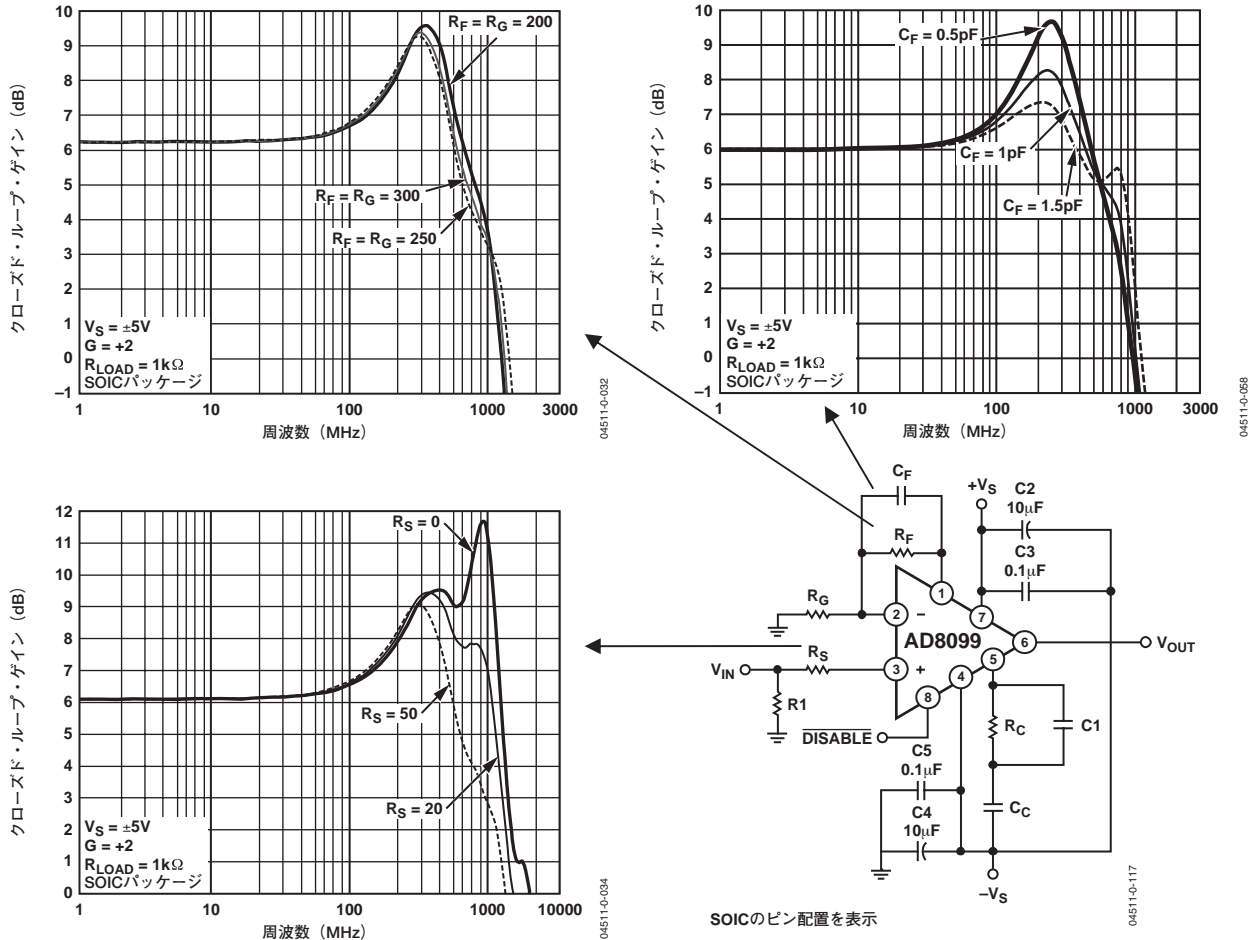


図68. R_F 、 C_F 、 R_S の各値に対する周波数応答

総合出力ノイズの計算とデザイン

アンプ回路のノイズ性能を解析するには、個々のノイズ源を特定する必要があります。次に、ノイズ源がアンプの全体ノイズ性能に大きな影響を与えているか否かを調べます。ノイズの計算を簡単にするため、実際の電圧ではなくノイズ・スペクトル密度を使って、式から帯域幅を除去します（一般に nV/\sqrt{Hz} で表されるノイズ・スペクトル密度は、帯域幅1Hzのノイズと等価です）。

図69に示すノイズ・モデルは、3つの抵抗の熱抵抗（ジョンソン）ノイズ、オペアンプ電圧ノイズ、アンプの各入力の電流ノイズという、6つのノイズ源を持っています。各ノイズ源はそれぞれ、出力でのノイズに影響を与えています。ノイズは一般にRTI（入力換算）で規定されますが、出力換算（RTO）ノイズの計算のほうが簡単なので、これをノイズ・ゲインで除算してRTIノイズを求めます。

すべての抵抗は $\sqrt{4k_BTR}$ のジョンソン・ノイズを持っています。ここで、 k はボルツマン定数 ($1.38 \times 10^{-23} \text{ J/K}$)、 T はケルビンで表した絶対温度、 B はHzで表した帯域幅、 R は Ω で表した抵抗です。覚えやすい簡単な関係は、 50Ω の抵抗が25°Cで $\ln V/\sqrt{Hz}$ のジョンソン・ノイズを発生することです。AD8099アンプは、 50Ω の抵抗とほぼ同等ノイズを持っています。

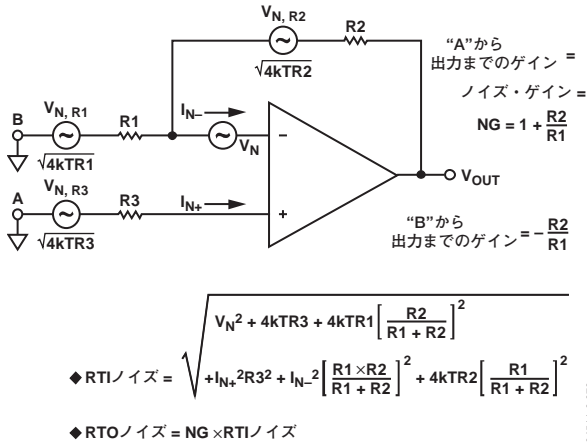


図69. オペアンプ・ノイズの解析モデル

ノイズ感度が重要なアプリケーションでは、他の大きなノイズ源がアンプに導入されないように注意する必要があります。各抵抗はノイズ源になります。設計、レイアウト、部品選択に対する注意は、ロー・ノイズ性能を維持するために重要です。アンプと関連する抵抗に関するノイズ性能を表4にまとめてあります。

入力バイアス電流とDCオフセット

高ノイズ・ゲインの構成では、入力バイアス電流と入力オフセット電圧を低くした場合でも、出力オフセット電圧の影響が大きくなる場合があります。図70に、包括的なオフセット電圧モデルを示します。このモデルを使用し、アンプの出力換算 (RTO) オフセット電圧または入力換算 (RTI) オフセット電圧を求めることができます。

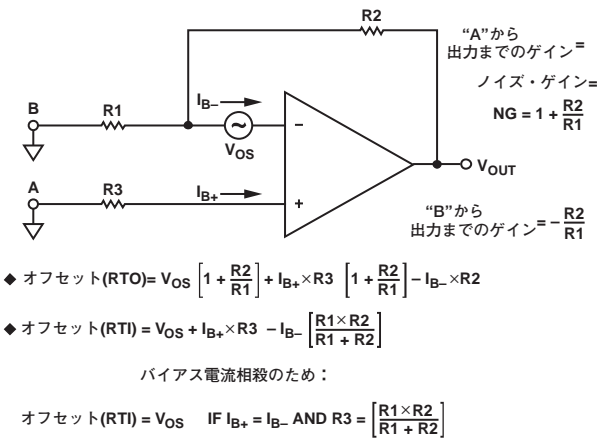


図70. オペアンプの総合オフセット電圧モデル

RTOの計算では、入力オフセット電圧とR3を流れるバイアス電流によって発生する電圧に、アンプのノイズ・ゲインを乗算します。R2を流れる I_{B-} によって発生する電圧に前のオフセット電圧を加算すると、最終的な出力オフセット電圧が得られます。また、オフセット電圧の入力換算 (RTI) は、計算された出力オフセット電圧をノイズ・ゲインで除算すると得られます。

図70に示すように、 I_{B+} と I_{B-} が等しく、R3がR1とR2の並列接続に等しい場合は、RTIオフセット電圧は V_{Os} になります。これは、出力オフセット電圧を減らすために使用する一般的な方法です。抵抗を小さくしておくこと、オフセット誤差電圧を最小化するのに役立ち、電圧ノイズが低く保たれます。

DISABLEピンと入力バイアス相殺機能

AD8099のDISABLEピンは、入力バイアス電流のイネーブル、デイスエーブル、削減の3つの機能を実行します。DISABLEピンを正側電圧の0.7V以内になると、入力バイアス電流が約1/60に削減されますが、入力電流ノイズは $5.2\text{pA}/\sqrt{\text{Hz}}$ に倍増します。表5に、DISABLEピン機能の概要を示します。

表5. DISABLEピンの真値表

電源電圧	±5V	+5V
デイスエーブル	-5 ~ +2.4	0 ~ 2.4
イネーブル	オープン	オープン
低入力バイアス電流	4.3 ~ 5	4.3 ~ 5

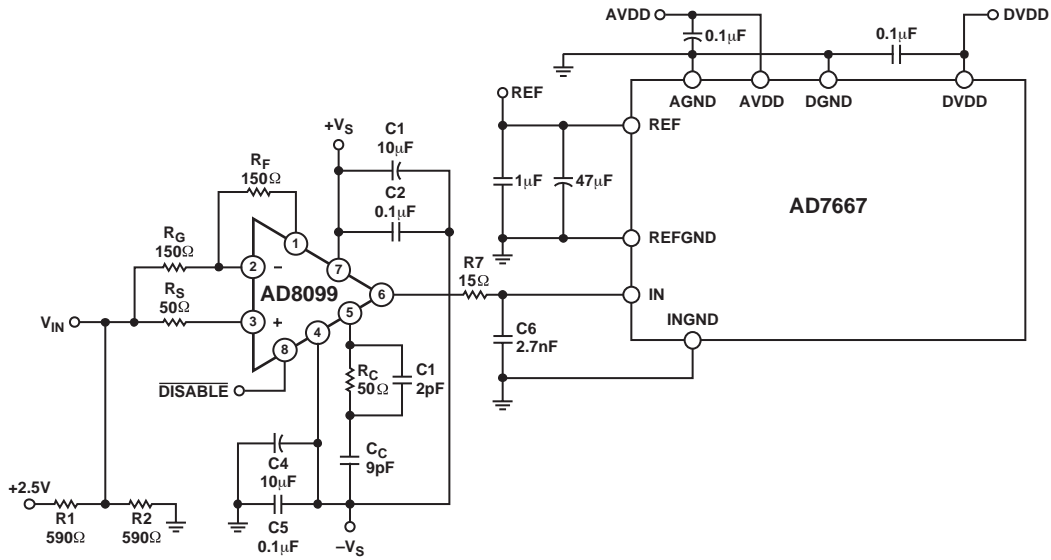


図71. ADCドライバ

16ビットADCドライバ

超ロー・ノイズかつ超低歪み性能のAD8099は、ADCドライバに最適です。AD8099はユニティ・ゲインでは安定しませんが、正味のゲイン=+1のアンプとして構成することができます(図71)。ゲイン=+2とゲイン=-1を組み合わせることで、正味のゲイン=+1を実現できます。ADCの入力範囲は0~2.5Vです。

表6に、AD8099とアナログ・デバイセズのAD7667(1MSPSの16ビットADC)の性能データを示します。

表6. ADCドライバの性能($f_c = 20\text{kHz}$ 、 $V_{OUT} = 2.24\text{V p-p}$)

パラメータ	測定(dB)
2次高調波歪み	-111.4
3次高調波歪み	-103.2
THD	-101.4
SFDR	102.2
SNR	88.1

回路の注意事項

AD8099の性能の最適化には、ボードのレイアウトと信号ルーティングに細心の注意を払う必要があります。電源バイパス、寄生容量、部品の選択はすべて、アンプの全体性能に影響を与えます。

PCボードのレイアウト

補償回路はアンプのゲイン条件により決定されます。低いゲインでは、レイアウトと部品の配置がさらに重要になります。高いゲインでは、補償部品が少なくなるので、レイアウトは簡単になります。レイアウト、グラウンディ

ング、部品配置に十分な注意を払うことで、AD8099の評価用ボードは最高性能を得るように最適化されています。これは、お客さまに提供されるのと同じ評価用ボードです。オーダー・ガイドは表7を参照してください。SOICとCSPの非反転評価用ボードのレイアウトを図72と図73に示します。図72と図73に示すレイアウト情報を新しい設計に採用することを推奨します。最適な回路性能を確かなものにするのに役立ちます。図72と図73に示したレイアウト、グラウンディング、部品配置の概念は、反転構成にも適用できます。ボードのサイズは2インチ×2インチです。

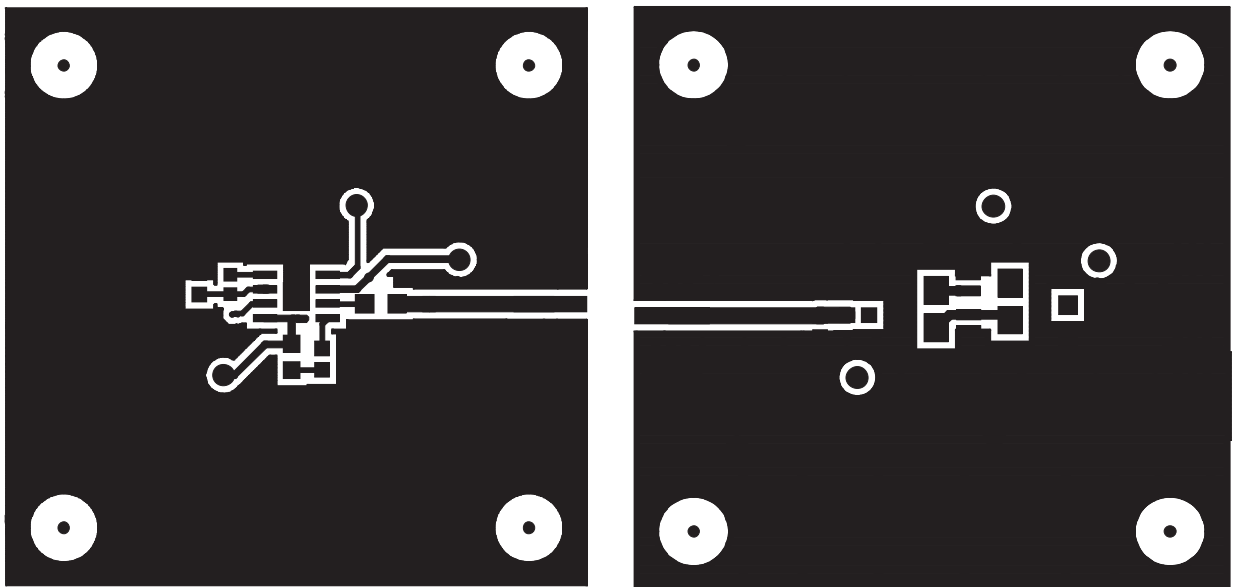


図72. SOIC評価用ボードのレイアウト

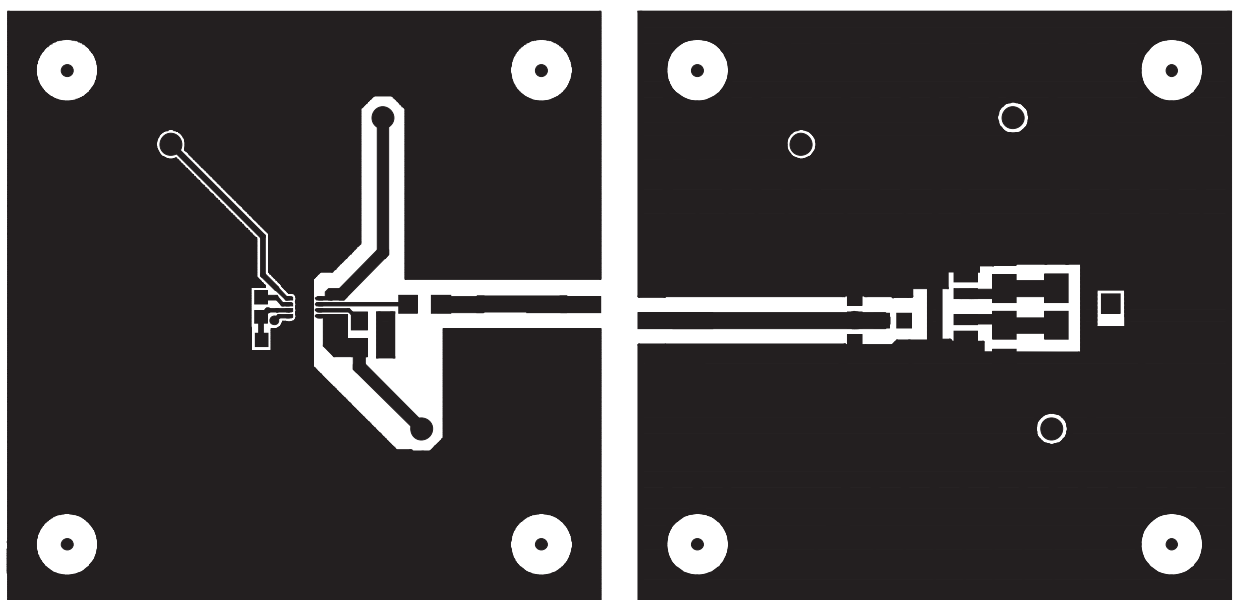


図73. CSP評価用ボードのレイアウト

AD8099

寄生

補償ピンの周辺領域は、寄生容量に非常に敏感です。AD8099のフルGP積を実現するには、外部補償ピンまたはその周辺にパターンを配置しないようにして、容量を最小に抑える必要があります。補償が必要な場合は、補償ピン、負電源、部品間の相互接続(図59ではC_C、C₁、R_C)に使用するパターンをできるだけ太くして、インダクタンスを最小化する必要があります。

AD8099のピンの下のすべてのグラウンド・プレーンと電源プレーンは銅箔を除去して、入力および出力ピンとグラウンドとの間の寄生容量が発生しないようにする必要があります。AD8099のピンの下のグラウンドまたは電源プレーンの銅箔を除去しない場合、SOICフットプリント上の1個の実装パッドで、グラウンドとの間に0.2pFもの容量が追加されてしまいます。寄生容量はピーキングと不安定性の原因となるので、正常動作を確保するには最小限に抑える必要があります。

AD8099の新しいピン配置では、アンプの出力と反転入力との間の距離が小さくなっています。これは、帰還パスの寄生インダクタンスと寄生容量を最小化するのに役立ち、リングングと2次高調波歪みを小さくするのに役立っています。

グラウンディング

可能な場合は、グラウンド・プレーンと電源プレーンを使用すべきです。グラウンド・プレーンと電源プレーンは、電源配線とグラウンド・リターンとの抵抗とインダクタンスを小さくします。複数層のプレーンを使用する場合は、複数のビアを使って相互接続する必要があります。入力のリターン、出力の終端、バイパス・コンデンサ、R_Gはすべて、AD8099のできるだけ近くに配置する必要があります。グラウンド・ビアを部品実装パッドのいちばん端に配置して、確実にグラウンド・リターンを確保する必要があります。出力負荷のグラウンドとバイパス・コンデンサのグラウンドは、寄生インダクタンスを最小化して歪み性能を改善するため、グラウンド・プレーン上の共通の1点に戻す必要があります。PCボードのレイアウトと設計上の考慮事項の詳細は、「2002 Analog Devices Op Amp Applications book」のセクション7-2を参照してください。

表7. 評価用ボード・セレクション・ガイド

ボード設定	パッケージタイプ	
	CSP	SOIC
反転	EVAL-ADOPAMP-1CSP-IN	EVAL-ADOPAMP-1R-IN
非反転	EVAL-ADOPAMP-1CSP-NI	EVAL-ADOPAMP-1R-NI

電源のバイパス

AD8099の電源バイパスは、本データシートの「回路構成」にある図60～66に示した各ゲイン設定に最適化されています。可能な場合は、記載してある値を使ってください。バイパスは、安定性、周波数応答、歪み、PSRR性能にとって重要です。図60～66に示す0.1 μFのコンデンサは、AD8099の電源ピンのできるだけ近くに配置し、電解コンデンサはその側に配置する必要があります。

部品の選択

1206 SMTサイズより小型の部品は、実装パッドが小さいため、寄生も小さく、より小型のレイアウトが可能です。高品質で許容誤差の小さな(重要な場合)、低ドリフトの部品を使うことが最適性能のためには重要です。たとえば、許容誤差と低ドリフトは、図60で使用した帰還コンデンサの選択では重要です。図60の帰還補償コンデンサは1.5pFです。このコンデンサは、NPO材を用いる必要があります。NPO材は、-55～+125℃の温度範囲で±30ppm/℃(typ)で変化します。100℃の変化に対して、4.5fFの容量変化が発生しますが、これに対してX7R材は0.23pFの変化(公称値から15%の変化)となります。これは図68のC_Fの周波数応答特性に示すように、大きなピーキングが発生します。

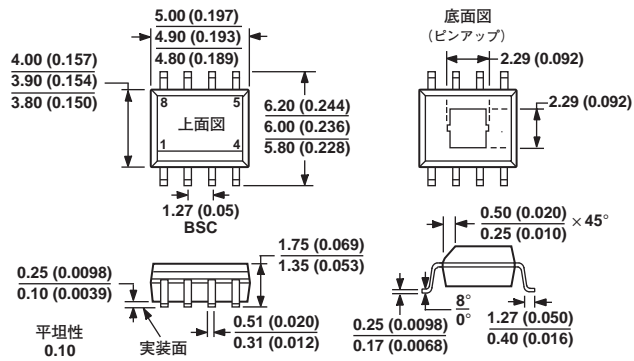
デザイン・ツールおよびテクニカル・サポート

アナログ・デバイセズは、テクニカル・サポートとオンライン・デザイン・ツールを提供して、デザイン・プロセスをサポートしています。アナログ・デバイセズは、無償の評価用ボード、サンプルIC、SPICEモデル、対話型評価用ツール、アプリケーション・ノート、電話サポート、Eメール・サポートにより、テクニカル・サポートを提供しています。www.analog.comを参照してください。

評価用ボード

表7に示す4種類の評価用ボードを提供しています。

外形寸法



JEDEC規格MS-012に準拠
 基本単位はミリメートルです。括弧内に示したインチの値は、
 ミリメートル値をもとに算出した概数です。参考のみ使用し、設計には用いないでください。

図74. 8ピン標準SOP [SOIC-ED]
 (RD-8-1)

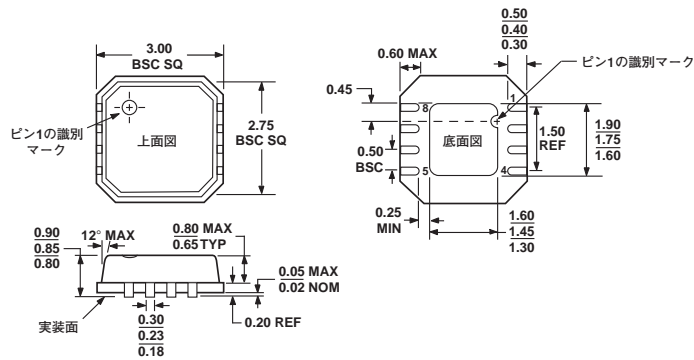


図75. 8ピン・プラスチック表面実装パッケージ [CSP]
 (CP-8)
 寸法単位 : mm

AD8099

オーダー・ガイド

製品モデル	最小注文数量	温度範囲	パッケージ	ブランド	パッケージ・オプション
AD8099ARD	1	-40~+125℃	8ピンSOIC-ED		RD-8-1
AD8099ARD-REEL	2,500	-40~+125℃	8ピンSOIC-ED		RD-8-1
AD8099ARD-REEL7	1,000	-40~+125℃	8ピンSOIC-ED		RD-8-1
AD8099ARDZ ¹	1	-40~+125℃	8ピンSOIC-ED		RD-8-1
AD8099ARDZ-REEL ¹	2,500	-40~+125℃	8ピンSOIC-ED		RD-8-1
AD8099ARDZ-REEL7 ¹	1,000	-40~+125℃	8ピンSOIC-ED		RD-8-1
AD8099ACP-R2	250	-40~+125℃	8ピンCSP	HDB	CP-8
AD8099ACP-REEL	5,000	-40~+125℃	8ピンCSP	HDB	CP-8
AD8099ACP-REEL7	1,500	-40~+125℃	8ピンCSP	HDB	CP-8

¹ Zは鉛不使用。

ノート

AD8099