

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2011年4月28日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2011年4月28日

製品名：AD8091、AD8092

対象となるデータシートのリビジョン(Rev)：Rev.C

訂正箇所：

P.1

左上の特長の欄、上から13行目を次のように訂正します。(優れたビデオ仕様の項)

(誤) 微分位相誤差 $R_L = 1\text{K}\Omega$ で 0, 03%

(正) 微分位相誤差 $R_L = 1\text{K}\Omega$ で 0, 03度

AD8091/AD8092

特長

低価格のシングル・アンプ(AD8091)とデュアル・アンプ(AD8092)

仕様を+3 V、+5 V、±5 V 電源で規定

単電源動作

出力振幅: 両レールの内側 25 mV まで

5 V での高速動作と高速セトリング

-3 dB 帯域幅: 110 MHz (G = +1)

スルーレート: 145 V/μs

0.1%へのセトリング・タイム: 50 ns

優れたビデオ仕様(G = +2)

ゲイン平坦性: $R_L = 150 \Omega$ で 20 MHz まで 0.1 dB

微分ゲイン誤差: $R_L = 1 k\Omega$ で 0.03%

微分位相誤差: $R_L = 1 k\Omega$ で 0.03%

低歪み

総合高調波歪み: 1 MHz、 $R_L = 100 \Omega$ で -80 dBc

優れた負荷駆動能力

電源レールから 0.5 V で 45 mA を駆動

50 pF の容量負荷を駆動(G = +1)

低消費電力: アンプあたり 4.4 mA

アプリケーション

同軸ケーブル・ドライバ

アクティブ・フィルタ

ビデオ・スイッチ

業務用カメラ

CCD 画像処理システム

CD/DVD

クロック・バッファ

概要

AD8091 (シングル)と AD8092 (デュアル)は、低価格、電圧帰還の高速アンプであり、+3 V、+5 V、±5 V の電源で動作するようにデザインされています。これらのデバイスは、負側レールの下側 200 mV まで、かつ正側レールの内側 1V までの入力電圧範囲を持つ真の単電源動作機能を持っています。

AD8091/AD8092 は、低価格ですが優れた全体性能と多機能性を提供します。出力電圧振幅が各レールの内側 25 mV まで延びているため、最大の出力ダイナミック・レンジと優れたオーバードライブ回復性能を提供します。このため、AD8091/AD8092 はカメラ、ビデオ・スイッチャ、高速ポータブル機器のようなビデオ機器に適しています。また、低歪みと高速セトリングであるため、アクティブ・フィルタ・アプリケーションに最適です。

接続図

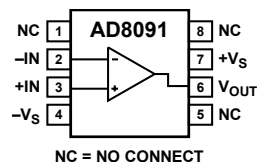


図 1.SOIC-8 (R-8)

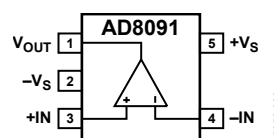


図 2.SOT23-5 (RJ-5)

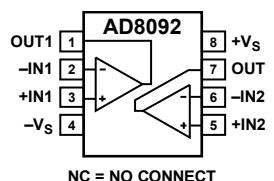


図 3.MSOP-8 および SOIC-8 (RM-8、R-8)

AD8091/AD8092 は、単電源 3 V を使用し、小さい電源電流で動作することができます。これらの機能は、サイズと消費電力が重要となるポータブル・バッテリー・アプリケーションに最適です。

これらのアンプは広い帯域幅と高速スルー・レートを持つため、最大±6 V の両電源と+3 V~+12 V の単電源を必要とする多くの汎用高速アプリケーションに適しています。

これらのデバイスは、8 ピン SOIC (AD8091/AD8092)、小型 SOT23-5 (AD8091)、または MSOP (AD8092)パッケージを採用しています。

目次

特長.....	1	電源のバイパス.....	12
アプリケーション.....	1	グラウンド接続.....	12
接続図.....	1	入力容量.....	12
概要.....	1	入力から出力へのカップリング.....	12
改訂履歴.....	2	容量負荷の駆動.....	13
仕様.....	3	オーバードライブ回復.....	13
絶対最大定格.....	6	アクティブ・フィルタ.....	13
ESD の注意.....	6	同期ストリッパ.....	14
最大消費電力.....	7	単電源コンポジット・ビデオ・ライン・ドライバ.....	14
代表的な性能特性.....	8	外形寸法.....	16
レイアウト、グラウンド、バイパスの考慮事項.....	12	オーダー・ガイド.....	17

改訂履歴

9/07—Rev. B to Rev. C

Changes to Applications Section.....	1
Updated Outline Dimensions.....	16
Changes to Ordering Guide.....	17

3/05—Rev. A to Rev. B

Changes to Format.....	Universal
Changes to Features.....	1
Updated Outline Dimensions.....	17
Changes to Ordering Guide.....	18

5/02—Rev. 0 to Rev. A

Edits to Product Description.....	1
Edit to TPC 6.....	7
Edits to TPCs 21–24.....	10
Edits to Figure 3.....	11

2/02—Revision 0: Initial Version

仕様

特に指定がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_S = 5\text{ V}$ 、 $R_L = 2\text{ k}\Omega$ (2.5 Vへ接続)。

表 1.

Parameter	Conditions	Min	Typ	Max	Unit
DYNAMIC PERFORMANCE					
-3 dB Small Signal Bandwidth	$G = +1$, $V_O = 0.2\text{ V p-p}$	70	110		MHz
	$G = -1, +2$, $V_O = 0.2\text{ V p-p}$		50		MHz
Bandwidth for 0.1 dB Flatness	$G = +2$, $V_O = 0.2\text{ V p-p}$, $R_L = 150\ \Omega$ to 2.5 V, $R_F = 806\ \Omega$		20		MHz
Slew Rate	$G = -1$, $V_O = 2\text{ V step}$	100	145		V/ μs
Full Power Response	$G = +1$, $V_O = 2\text{ V p-p}$		35		MHz
Settling Time to 0.1%	$G = -1$, $V_O = 2\text{ V step}$		50		ns
NOISE/DISTORTION PERFORMANCE					
Total Harmonic Distortion (See Figure 11)	$f_c = 5\text{ MHz}$, $V_O = 2\text{ V p-p}$, $G = +2$		-67		dB
Input Voltage Noise	$f = 10\text{ kHz}$		16		nV/ $\sqrt{\text{Hz}}$
Input Current Noise	$f = 10\text{ kHz}$		850		fA/ $\sqrt{\text{Hz}}$
Differential Gain Error (NTSC)	$G = +2$, $R_L = 150\ \Omega$ to 2.5 V		0.09		%
	$R_L = 1\text{ k}\Omega$ to 2.5 V		0.03		%
Differential Phase Error (NTSC)	$G = +2$, $R_L = 150\ \Omega$ to 2.5 V		0.19		Degrees
	$R_L = 1\text{ k}\Omega$ to 2.5 V		0.03		Degrees
Crosstalk	$f = 5\text{ MHz}$, $G = +2$		-60		dB
DC PERFORMANCE					
Input Offset Voltage			1.7	10	mV
	T_{MIN} to T_{MAX}			25	mV
Offset Drift			10		$\mu\text{V}/^\circ\text{C}$
Input Bias Current			1.4	2.5	μA
	T_{MIN} to T_{MAX}			3.25	μA
Input Offset Current			0.1	0.75	μA
Open-Loop Gain	$R_L = 2\text{ k}\Omega$ to 2.5 V	86	98		dB
	T_{MIN} to T_{MAX}		96		dB
	$R_L = 150\ \Omega$ to 2.5 V	76	82		dB
	T_{MIN} to T_{MAX}		78		dB
INPUT CHARACTERISTICS					
Input Resistance			290		k Ω
Input Capacitance			1.4		pF
Input Common-Mode Voltage Range			-0.2 to +4		V
Common-Mode Rejection Ratio	$V_{\text{CM}} = 0\text{ V}$ to 3.5 V	72	88		dB
OUTPUT CHARACTERISTICS					
Output Voltage Swing	$R_L = 10\text{ k}\Omega$ to 2.5 V		0.015 to 4.985		V
	$R_L = 2\text{ k}\Omega$ to 2.5 V	0.100 to 4.900	0.025 to 4.975		V
	$R_L = 150\ \Omega$ to 2.5 V	0.300 to 4.625	0.200 to 4.800		V
Output Current	$V_{\text{OUT}} = 0.5\text{ V}$ to 4.5 V		45		mA
	T_{MIN} to T_{MAX}		45		mA
Short-Circuit Current	Sourcing		80		mA
	Sinking		130		mA
Capacitive Load Drive	$G = +1$		50		pF
POWER SUPPLY					
Operating Range		3		12	V
Quiescent Current/Amplifier			4.4	5	mA
Power Supply Rejection Ratio	$\Delta V_S = \pm 1\text{ V}$	70	80		dB
OPERATING TEMPERATURE RANGE					
		-40		+85	$^\circ\text{C}$

特に指定がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_S = +3\text{ V}$ 、 $R_L = 2\text{ k}\Omega$ (+1.5 Vへ接続)。

表 2.

Parameter	Conditions	Min	Typ	Max	Unit
DYNAMIC PERFORMANCE					
-3 dB Small Signal Bandwidth	$G = +1$, $V_O = 0.2\text{ V p-p}$	70	110		MHz
	$G = -1, +2$, $V_O = 0.2\text{ V p-p}$		50		MHz
Bandwidth for 0.1 dB Flatness	$G = +2$, $V_O = 0.2\text{ V p-p}$, $R_L = 150\ \Omega$ to 2.5 V , $R_F = 402\ \Omega$		17		MHz
Slew Rate	$G = -1$, $V_O = 2\text{ V step}$	90	135		V/ μs
Full Power Response	$G = +1$, $V_O = 1\text{ V p-p}$		65		MHz
Settling Time to 0.1%	$G = -1$, $V_O = 2\text{ V step}$		55		ns
NOISE/DISTORTION PERFORMANCE					
Total Harmonic Distortion (see Figure 11)	$f_C = 5\text{ MHz}$, $V_O = 2\text{ V p-p}$, $G = -1$, $R_L = 100\ \Omega$ to 1.5 V		-47		dB
Input Voltage Noise	$f = 10\text{ kHz}$		16		nV/ $\sqrt{\text{Hz}}$
Input Current Noise	$f = 10\text{ kHz}$		600		fA/ $\sqrt{\text{Hz}}$
Differential Gain Error (NTSC)	$G = +2$, $V_{CM} = 1\text{ V}$ $R_L = 150\ \Omega$ to 1.5 V		0.11		%
	$R_L = 1\text{ k}\Omega$ to 1.5 V		0.09		%
Differential Phase Error (NTSC)	$G = +2$, $V_{CM} = 1\text{ V}$ $R_L = 150\ \Omega$ to 1.5 V		0.24		Degrees
	$R_L = 1\text{ k}\Omega$ to 1.5 V		0.10		Degrees
Crosstalk	$f = 5\text{ MHz}$, $G = +2$		-60		dB
DC PERFORMANCE					
Input Offset Voltage			1.6	10	mV
	T_{MIN} to T_{MAX}			25	mV
Offset Drift			10		$\mu\text{V}/^\circ\text{C}$
Input Bias Current			1.3	2.6	μA
	T_{MIN} to T_{MAX}			3.25	μA
Input Offset Current			0.15	0.8	μA
Open-Loop Gain	$R_L = 2\text{ k}\Omega$	80	96		dB
	T_{MIN} to T_{MAX}		94		dB
	$R_L = 150\ \Omega$	74	82		dB
	T_{MIN} to T_{MAX}		76		dB
INPUT CHARACTERISTICS					
Input Resistance			290		k Ω
Input Capacitance			1.4		pF
Input Common-Mode Voltage Range			-0.2 to +2.0		V
Common-Mode Rejection Ratio	$V_{CM} = 0\text{ V}$ to 1.5 V	72	88		dB
OUTPUT CHARACTERISTICS					
Output Voltage Swing	$R_L = 10\text{ k}\Omega$ to 1.5 V		0.01 to 2.99		V
	$R_L = 2\text{ k}\Omega$ to 1.5 V	0.075 to 2.9	0.02 to 2.98		V
	$R_L = 150\ \Omega$ to 1.5 V	0.20 to 2.75	0.125 to 2.875		V
Output Current	$V_{OUT} = 0.5\text{ V}$ to 2.5 V		45		mA
	T_{MIN} to T_{MAX}		45		mA
Short Circuit Current	Sourcing		60		mA
	Sinking		90		mA
Capacitive Load Drive	$G = +1$		45		pF
POWER SUPPLY					
Operating Range		3		12	V
Quiescent Current/Amplifier			4.2	4.8	mA
Power Supply Rejection Ratio	$\Delta V_S = +0.5\text{ V}$	68	80		dB
OPERATING TEMPERATURE RANGE					
		-40		+85	$^\circ\text{C}$

特に指定がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_S = \pm 5\text{ V}$ 、 $R_L = 2\text{ k}\Omega$ (グラウンドへ接続)。

表 3.

Parameter	Conditions	Min	Typ	Max	Unit
DYNAMIC PERFORMANCE					
-3 dB Small Signal Bandwidth	$G = +1$, $V_O = 0.2\text{ V p-p}$	70	110		MHz
	$G = -1, +2$, $V_O = 0.2\text{ V p-p}$		50		MHz
Bandwidth for 0.1 dB Flatness	$G = +2$, $V_O = 0.2\text{ V p-p}$, $R_L = 150\ \Omega$, $R_F = 1.1\text{ k}\Omega$		20		MHz
Slew Rate	$G = -1$, $V_O = 2\text{ V step}$	105	170		V/ μs
Full Power Response	$G = +1$, $V_O = 2\text{ V p-p}$		40		MHz
Settling Time to 0.1%	$G = -1$, $V_O = 2\text{ V step}$		50		ns
NOISE/DISTORTION PERFORMANCE					
Total Harmonic Distortion (see Figure 11)	$f_c = 5\text{ MHz}$, $V_O = 2\text{ V p-p}$, $G = +2$		-71		dB
Input Voltage Noise	$f = 10\text{ kHz}$		16		nV/ $\sqrt{\text{Hz}}$
Input Current Noise	$f = 10\text{ kHz}$		900		fA/ $\sqrt{\text{Hz}}$
Differential Gain Error (NTSC)	$G = +2$, $R_L = 150\ \Omega$		0.02		%
	$R_L = 1\text{ k}\Omega$		0.02		%
Differential Phase Error (NTSC)	$G = +2$, $R_L = 150\ \Omega$		0.11		Degrees
	$R_L = 1\text{ k}\Omega$		0.02		Degrees
Crosstalk	$f = 5\text{ MHz}$, $G = +2$		-60		dB
DC PERFORMANCE					
Input Offset Voltage			1.8	11	mV
	T_{MIN} to T_{MAX}			27	mV
Offset Drift			10		$\mu\text{V}/^\circ\text{C}$
Input Bias Current			1.4	2.6	μA
	T_{MIN} to T_{MAX}			3.5	μA
Input Offset Current			0.1	0.75	μA
Open-Loop Gain	$R_L = 2\text{ k}\Omega$	88	96		dB
	T_{MIN} to T_{MAX}		96		dB
	$R_L = 150\ \Omega$	78	82		dB
	T_{MIN} to T_{MAX}		80		dB
INPUT CHARACTERISTICS					
Input Resistance			290		k Ω
Input Capacitance			1.4		pF
Input Common-Mode Voltage Range			-5.2 to +4.0		V
Common-Mode Rejection Ratio	$V_{\text{CM}} = -5\text{ V to }+3.5\text{ V}$	72	88		dB
OUTPUT CHARACTERISTICS					
Output Voltage Swing	$R_L = 10\text{ k}\Omega$		-4.98 to +4.98		V
	$R_L = 2\text{ k}\Omega$	-4.85 to +4.85	-4.97 to +4.97		V
	$R_L = 150\ \Omega$	-4.45 to +4.30	-4.60 to +4.60		V
Output Current	$V_{\text{OUT}} = -4.5\text{ V to }+4.5\text{ V}$		45		mA
	T_{MIN} to T_{MAX}		45		mA
Short Circuit Current	Sourcing		100		mA
	Sinking		160		mA
Capacitive Load Drive	$G = +1$ (AD8091/AD8092)		50		pF
POWER SUPPLY					
Operating Range		3		12	V
Quiescent Current/Amplifier			4.8	5.5	mA
Power Supply Rejection Ratio	$\Delta V_S = \pm 1\text{ V}$	68	80		dB
OPERATING TEMPERATURE RANGE					
		-40		+85	$^\circ\text{C}$

絶対最大定格

表 4.

Parameter	Rating
Supply Voltage	12.6 V
Power Dissipation	See Figure 4
Common-Mode Input Voltage	$\pm V_S$
Differential Input Voltage	± 2.5 V
Output Short-Circuit Duration	See Figure 4
Storage Temperature Range	-65°C to +125°C
Operating Temperature Range	-40°C to +85°C
Lead Temperature (Soldering 10 sec)	300°C

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上のデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

ESD の注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

最大消費電力

AD8091/AD8092 のパッケージ内での安全な最大消費電力は、チップのジャンクション温度(T_J)上昇により制限されます。チップをプラスチック封止すると、局所的にジャンクション温度に到達します。約 150°C のガラス遷移温度で、プラスチックの属性が変わります。この温度規定値を一時的に超えた場合でも、パッケージからチップに加えられる応力が変化して、AD8091/AD8092 のパラメータ性能を永久的にシフトしてしまうことがあります。175°C のジャンクション温度を長時間超えると、シリコン・デバイス内に変化が発生して、故障の原因になることがあります。

パッケージの自然空冷時の熱特性(θ_{JA})、周囲温度(T_A)、パッケージ内の合計消費電力(P_D)を使って、チップのジャンクション温度を決定することができます。

ジャンクション温度は次式で計算されます。

$$T_J = T_A + (P_D \times \theta_{JA})$$

パッケージ内の消費電力(P_D)は、静止消費電力と全出力での負荷駆動に起因するパッケージ内の消費電力との和になります。静止電力は、電源ピン(V_S)間の電圧に静止電流(I_S)を乗算して計算されます。負荷(R_L)は電源電圧の midpoint を基準とすると仮定すると、合計駆動電力は $V_S/2 \times I_{OUT}$ になり、この電力の一部がパッケージ内と負荷($V_{OUT} \times I_{OUT}$)で消費されます。合計駆動電力と負荷電力の差が、パッケージ内で消費される駆動電力です。

$$P_D = \text{quiescent power} + (\text{total drive power} - \text{load power})$$

$$P_D = (V_S \times I_S) + \left(\left(\frac{V_S}{2} \times \frac{V_{OUT}}{R_L} \right) - \left(\frac{V_{OUT}^2}{R_L} \right) \right)$$

RMS 出力電圧についても検討する必要があります。単電源動作の場合のように R_L が $-V_S$ を基準とすると、合計駆動電力は $V_S \times I_{OUT}$ になります。

rms 信号レベルが不確定の場合には、電源電圧の midpoint を基準とする R_L に対して $V_{OUT} = V_S/4$ とするときの、ワースト・ケースを検討します。

$$P_D = (V_S \times I_S) + \frac{\left(\frac{V_S}{4} \right)^2}{R_L}$$

$-V_S$ を基準とする R_L を使う単電源動作では、ワースト・ケースは $V_{OUT} = V_S/2$ となります。

強制空冷を使うと、放熱量が増えるため、実効的に θ_{JA} が小さくなります。また、メタル・パターン、スルー・ホール、グラウンド・プレーン、電源プレーンからパッケージ・ピンへ直接接続されるメタルが増える場合にも、 θ_{JA} が小さくなります。入力容量のセクションで説明するように、高速オペアンプの入力ピンでの寄生容量を小さくするように注意する必要があります。

図 4 に、パッケージ内での安全な最大消費電力と周囲温度の関係を、JEDEC 標準 4 層ボードに実装した SOIC-8 (125°C/W) パッケージ、SOT23-5 (180°C/W) パッケージ、MSOP-8 (150°C/W) パッケージについて示します。

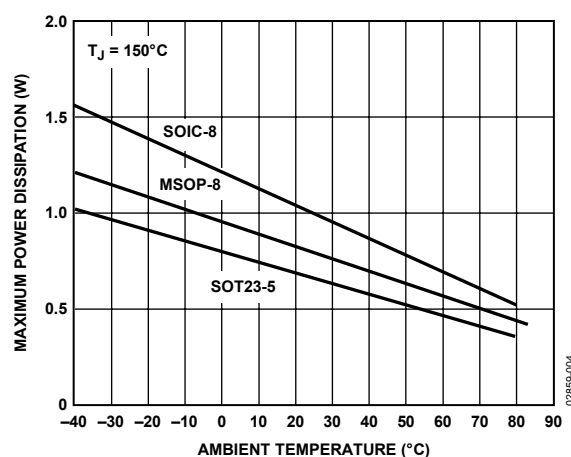


図 4. 最大消費電力対温度、4 層ボード

代表的な性能特性

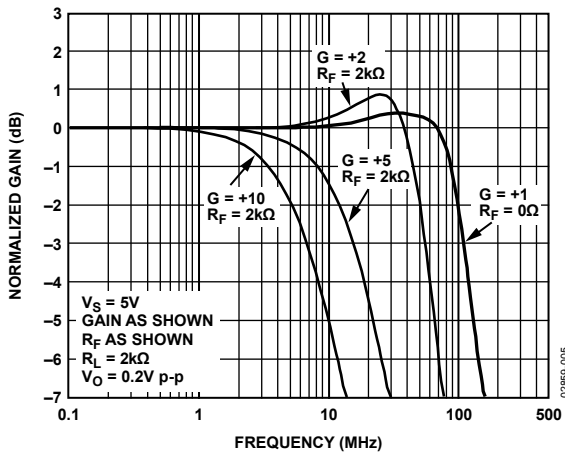


図 5. 正規化ゲインの周波数特性; $V_S = +5V$

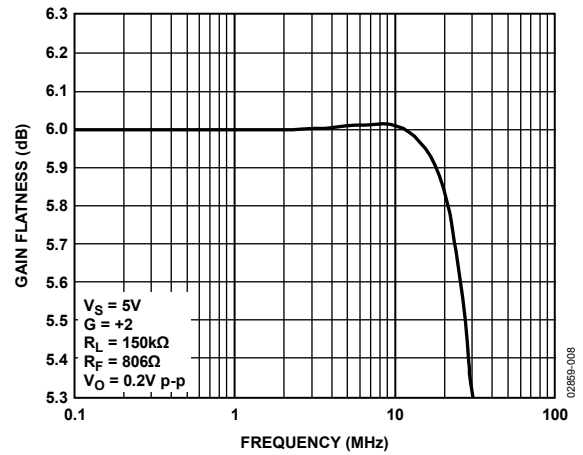


図 8.0.1 dB ゲイン平坦性の周波数特性; $G = +2$

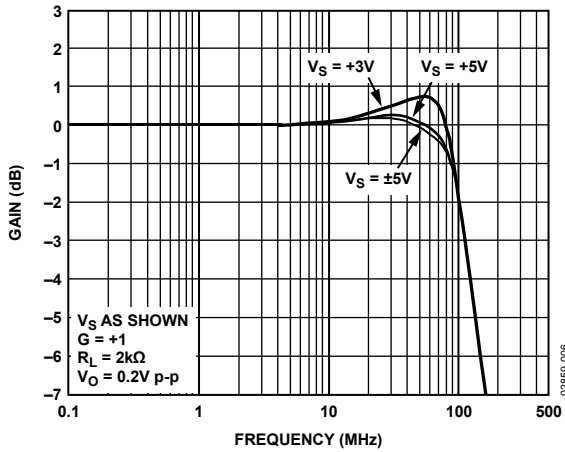


図 6. ゲインの周波数特性対電源

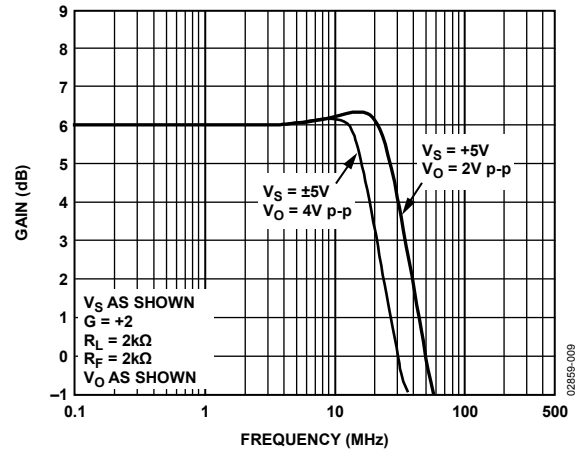


図 9. 大信号周波数応答; $G = +2$

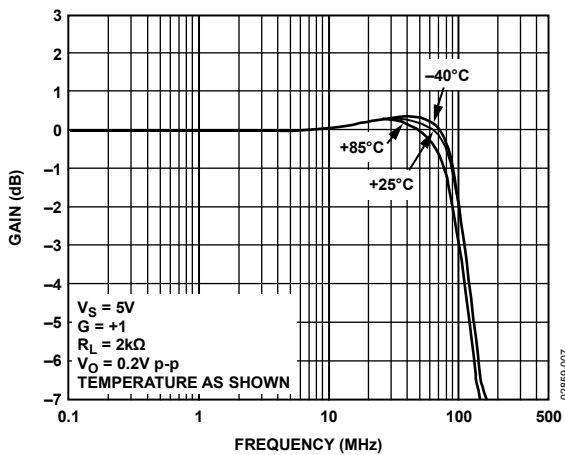


図 7. ゲインの周波数特性と温度特性

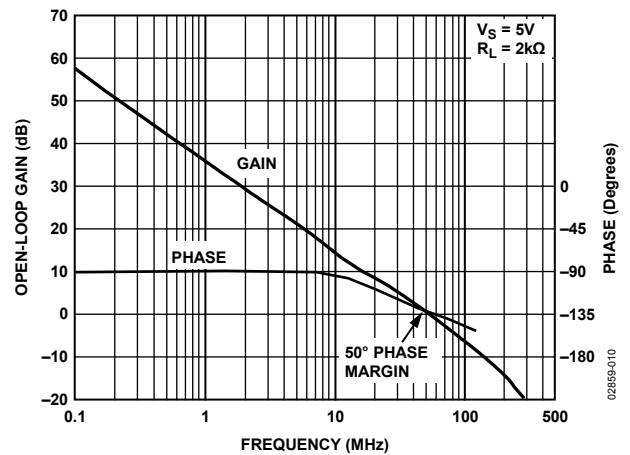


図 10. オープン・ループ・ゲインおよび位相の周波数特性

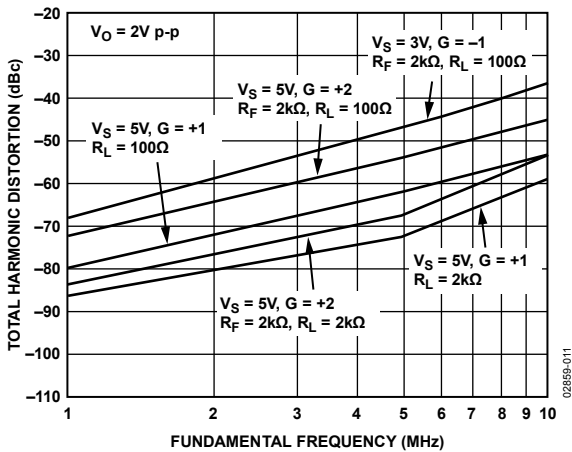


図 11. 総合高調波歪み

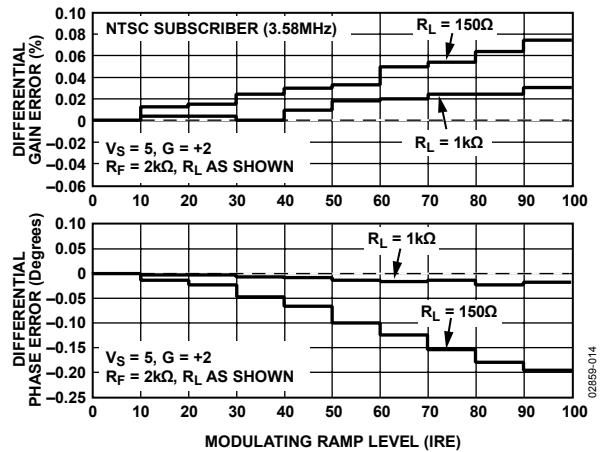


図 14. 微分ゲイン誤差と微分位相誤差

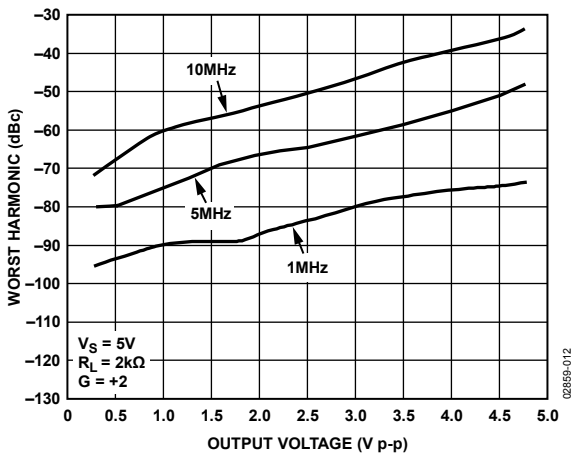


図 12. ワースト・ケース高調波対出力電圧

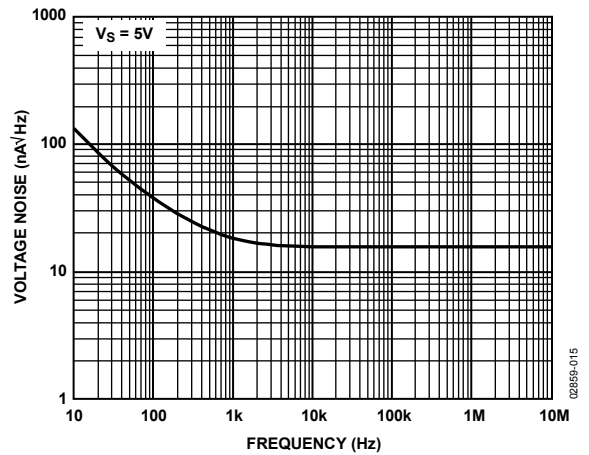


図 15. 入力電圧ノイズの周波数特性

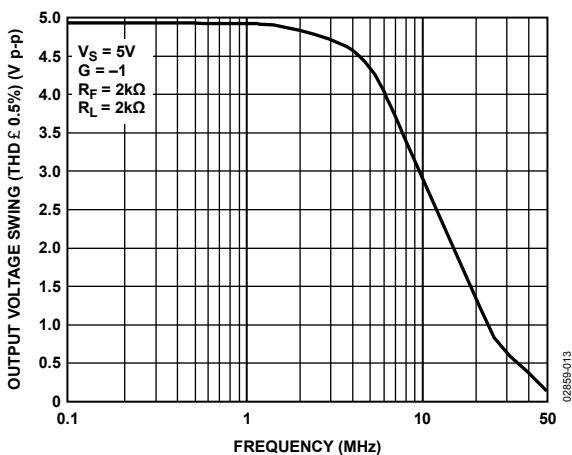


図 13. 低歪みのレール to レール出力振幅

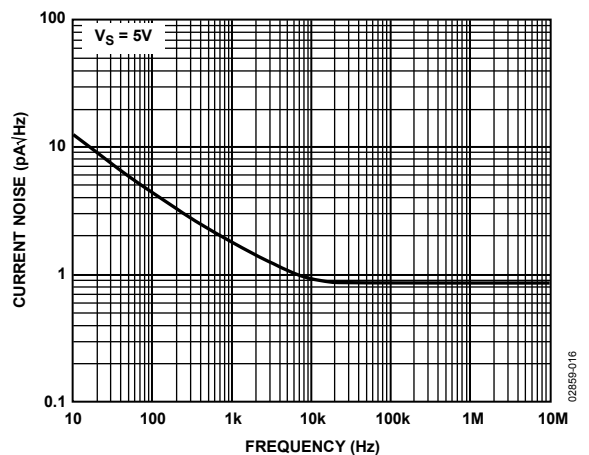


図 16. 入力電流ノイズの周波数特性

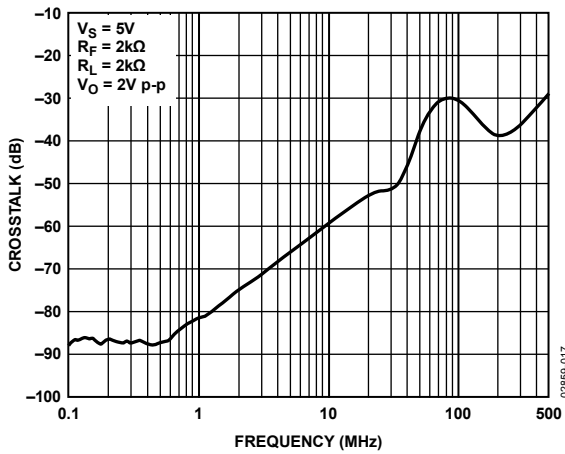


図 17. AD8092 クロストーク(出力ー出力間)の周波数特性

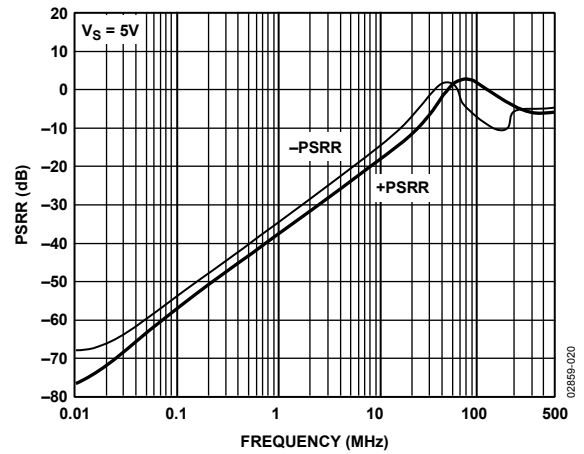


図 20. PSRR の周波数特性

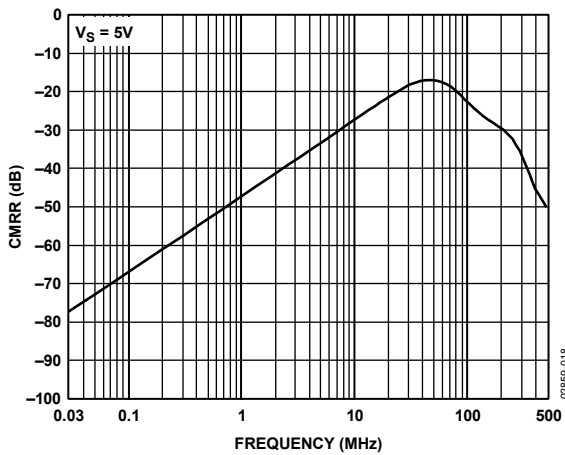


図 18. CMRR の周波数特性

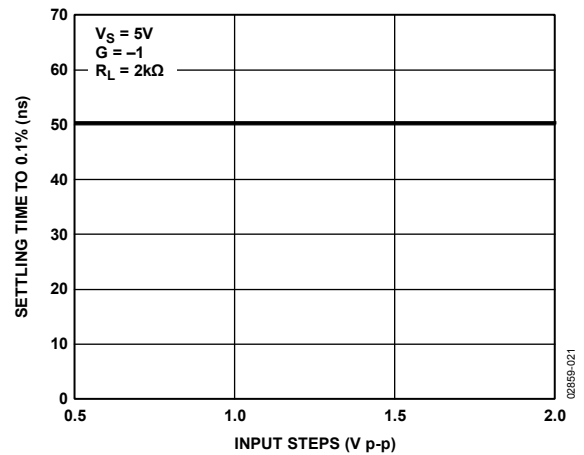


図 21. セトリング・タイム対入力ステップ

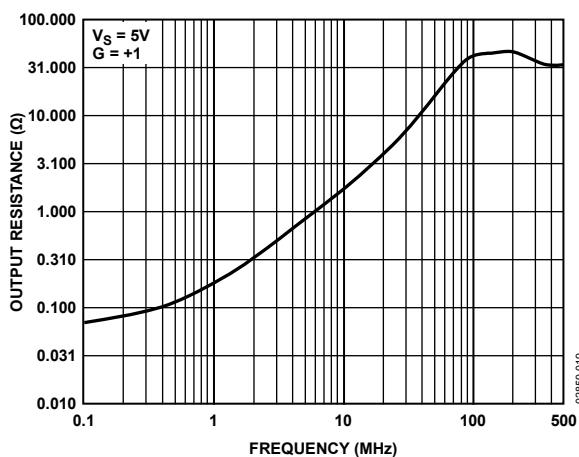


図 19. クローズド・ループ出力抵抗の周波数特性

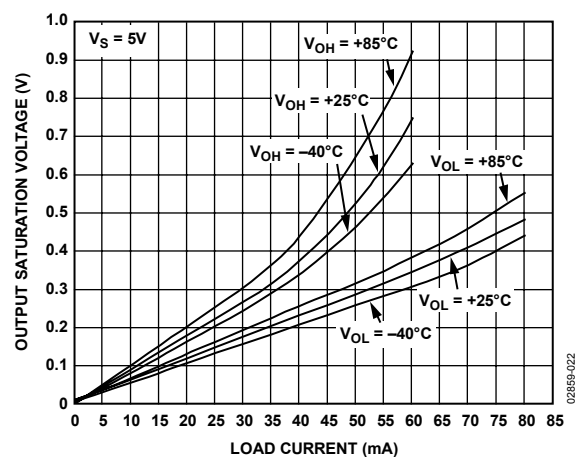


図 22. 出力飽和電圧対負荷電流

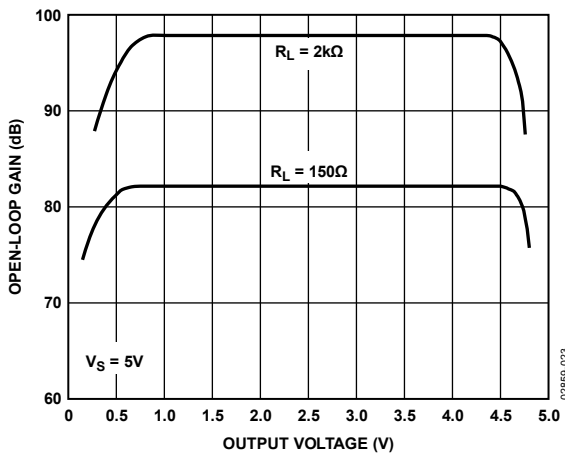


図 23.オープン・ループ・ゲイン対出力電圧

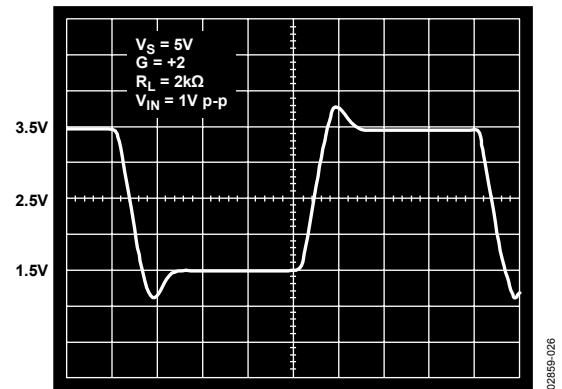


図 26.大信号ステップ応答; $V_S = +5V$ 、 $G = +2$

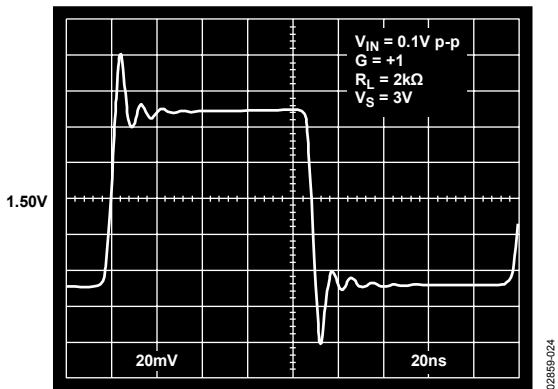


図 24.100 mV ステップ応答; $G = +1$

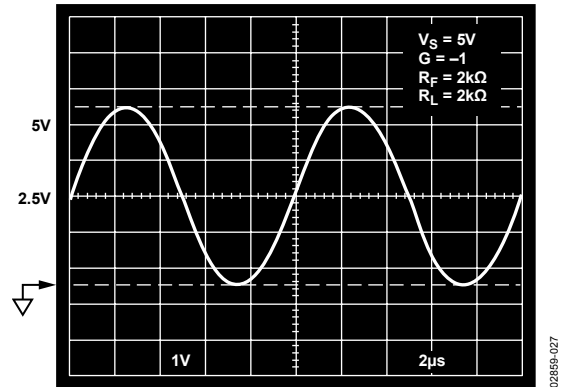


図 27.出力振幅; $G = -1$ 、 $R_L = 2k\Omega$

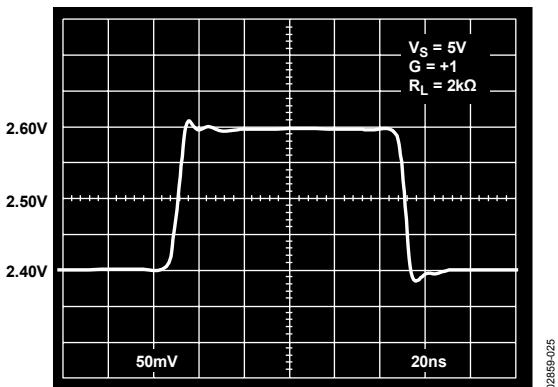


図 25.200 mV ステップ応答; $V_S = +5V$ 、 $G = +1$

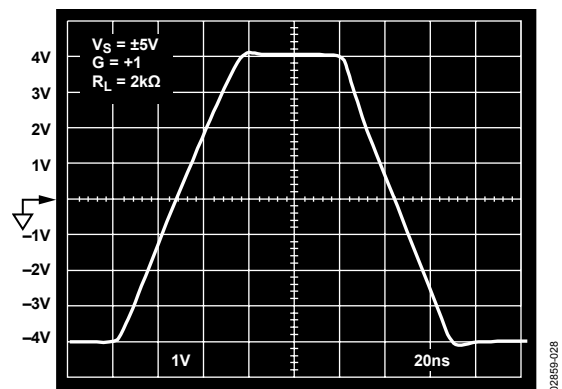


図 28.大信号ステップ応答; $V_S = \pm 5V$ 、 $G = +1$

レイアウト、グラウンド、バイパスの考慮事項

電源のバイパス

電源ピンは実際には入力であるため、これらの入力に対してクリーンな低ノイズの DC 電圧源を接続するように注意する必要があります。バイパス・コンデンサの目的は、電源からグラウンドまでの低インピーダンスをすべての周波数で実現することですが、このためにノイズの大部分が除去されます。

デカップリング方法は、コンデンサの並列組み合わせを使って全周波数でバイパス・インピーダンスを小さくするようにデザインされます。0.01 μF または 0.001 μF のチップ・コンデンサ (X7R または NPO) は重要で、アンプ・パッケージのできるだけ近くに配置する必要があります。0.1 μF コンデンサのような大きなチップ・コンデンサは、同じ信号パス内の隣接する複数のアクティブ部品間で共用することができます。10 μF のコンデンサは高周波バイパスに影響しないため、多くの場合、ボードあたり電源入力に 1 個で済みます。

グラウンド接続

グラウンド・プレーン層は、高密度実装の PC ボードでは電流を分散して寄生インダクタンスを小さくするために重要です。ただし、回路内の電流が流れる場所を理解することは、高速回路デザインを効果的に実現するためには重要です。電流パスの長さは寄生インダクタンスの大きさに直接比例するため、パスの高周波インピーダンスにも比例します。誘導性のグラウンド・リターンに高速電流が流れると、不要な電圧ノイズが発生します。

高周波バイパス・コンデンサのリード長は重要です。バイパス・グランディング内の寄生インダクタンスは、バイパス・コンデンサによりつくられた低インピーダンスとは反対の働きをします。各バイパス・コンデンサのグラウンド・リードは同じ場所に接続してください。負荷電流は電源からも流れるため、負荷インピーダンスのグラウンドはバイパス・コンデンサのグラウンドと同じ場所に配置する必要があります。低い周波数でも効果的であることをねらった大きな値のコンデンサの場合は、電流リターン・パスの長さ問題になりません。

入力容量

バイパスとグラウンドの他に、高速アンプは入力とグラウンドとの寄生容量に対しても敏感です。高い周波数では、数 pF の容量でも入力インピーダンスを低下させて、アンプ・ゲインを大きくするため、周波数応答でのピーキングが、または最悪の場合には発振さえも発生することがあります。入力ピンに接続される外付けの受動部品は、寄生容量を回避するため出来るだけ入力の近くに配置することが推奨されます。グラウンド・プレーンと電源プレーンは、ボードの全層で入力ピンから少なくとも 0.05 mm 離す必要があります。

入力から出力へのカップリング

入力と出力の間の容量結合を小さくして、正帰還を防止するため、入力信号パターンと出力信号パターンを並行させないようにしてください。

容量負荷の駆動

容量性の大きい負荷はアンプ出力と干渉して、位相マージンの低下と後段でのピーキングまたは発振の原因になります(図 29 と図 30 参照)。この影響を小さくするためには、次の 2 つの方法があります。

- 小さい値の抵抗を出力に直列に挿入して、アンプの出力ステージから負荷容量を分離します。
- ノイズ・ゲインを大きくして位相マージンを増やすか、または $-IN$ から出力までに並列抵抗とコンデンサを接続して、極を追加します。

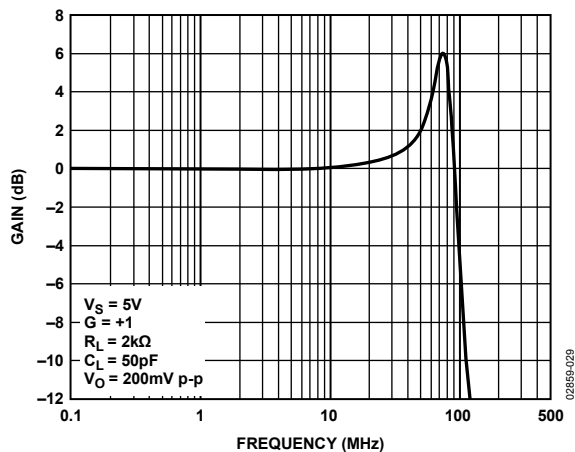


図 29.クローズド・ループ周波数応答: $C_L = 50$ pF

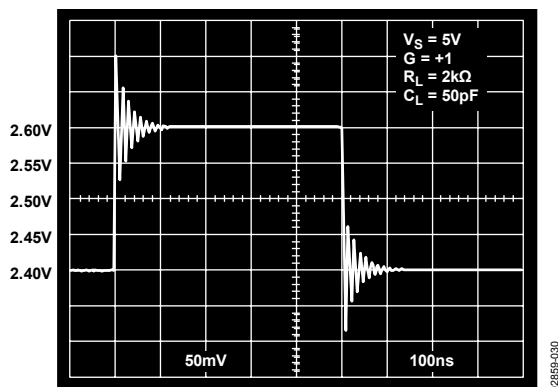


図 30.200 mV ステップ応答: $C_L = 50$ pF

クローズド・ループ・ゲインが増加すると、位相マージンが増えるため、大きなコンデンサ負荷を接続してもピーキングが大きくなりません。低いゲインで、小さい値の抵抗を負荷に直列に接続しても同じ効果が得られます。図 31 に、種々の電圧ゲインに対する直列抵抗の効果を示します。大きな容量負荷では、アンプの周波数応答は直列抵抗と容量負荷により支配されます。

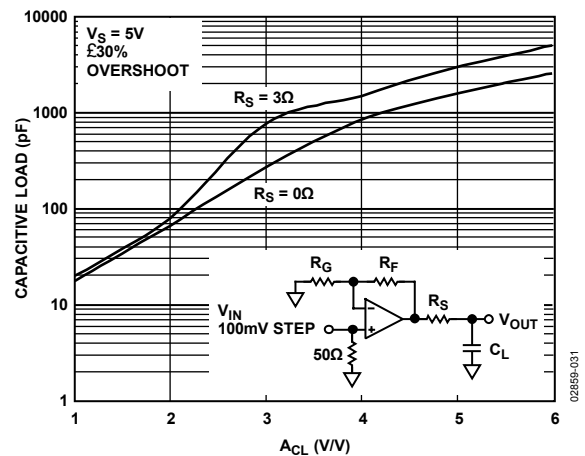


図 31.容量負荷駆動対クローズド・ループ・ゲイン

オーバードライブ回復

アンプのオーバードライブは、出力範囲および/または入力範囲を超えたときに発生します。アンプは、このオーバードライブ状態から抜け出す必要があります。AD8091/AD8092 は、負のオーバードライブからは 60 ns 以内に、正のオーバードライブからは 45 ns 以内にそれぞれ回復します(図 32 参照)。

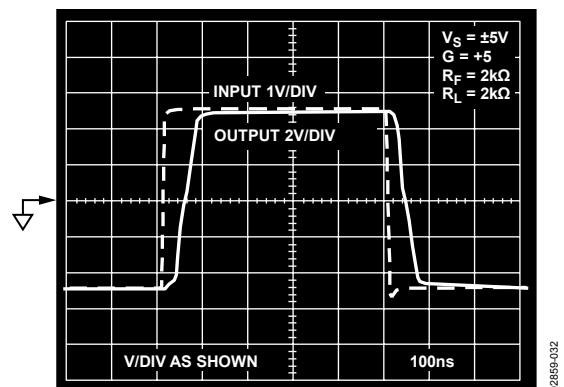


図 32.オーバードライブ回復

アクティブ・フィルタ

高い周波数のアクティブ・フィルタほど、有効に機能するためには広い帯域幅のオペアンプを必要とします。オペアンプの周波数が低いことで発生する位相シフトが大きすぎると、アクティブ・フィルタ性能が大きな影響を受けます。

図 33 に、3 個のオペアンプを使用する 2 MHz バイ・クワッド帯域幅フィルタの例を示します。このような回路は、A/D 変換の前でアナログ信号のノイズ帯域幅を狭くするために医用超音波システムで使用されます。未使用のアンプ入力はグラウンドに接続しておく必要があることに注意してください。

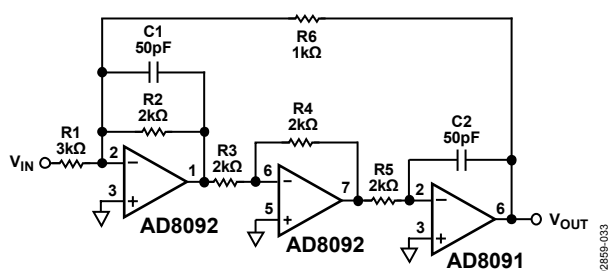


図 33.2 MHz バイ・クワッド・バンドパス・フィルタ

この回路の周波数応答を図 34 に示します。

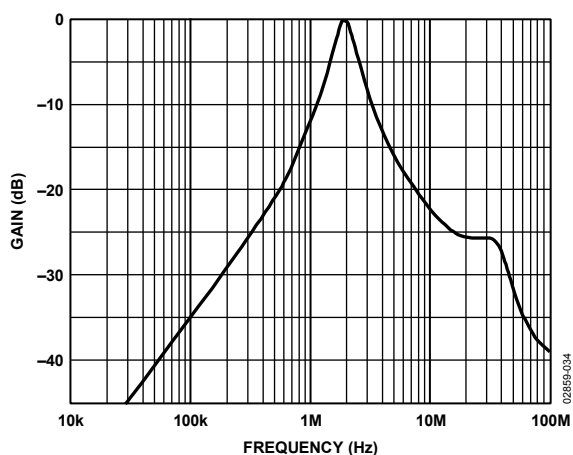


図 34.2 MHz バンドパス・バイ・クワッド・フィルタの周波数応答

同期ストリッパ

同期情報を別チャンネルで伝送する煩わしさをなくするため、ビデオ信号上で同期パルスを伝送することが良く行われていますが、A/D 変換のような機能にとって、ビデオ信号上に同期パルスが存在することは望ましくありません。これらのパルスはビデオ信号のダイナミック・レンジを小さくし、このような機能にとって有効な情報を提供しません。

同期ストリッパはビデオ信号から同期パルスを除去し、有効なすべてのビデオ情報を通過させます。図 35 に、AD8091 を 1 個使用した実用的な単電源回路を示します。この回路は逆終端のビデオ・ラインを直接駆動することができます。

ビデオ信号と同期の組み合わせが、正しい終端を持つ非反転入力に加えられます。アンプ・ゲインは、帰還回路内の 2 本の 1 kΩ 抵抗によって 2 に設定されています。入力信号の同期パルスが適切なレベルで除去できるように、バイアス電圧を R1 に加える必要があります。

入力ビデオ・パルスのブランキング・レベルが、同期情報を分離するレベルになります。アンプはこのレベルを 2 倍に増幅します。同期の分離を行うためには、このレベルは出力でグラウンドになる必要があります。R1 の入力から出力までのアンプ・ゲインは -1 であるため、 $2 \times V_{\text{BLANK}}$ に等しい電圧を加えて、ブランキング・レベルがグラウンドになるようにする必要があります。

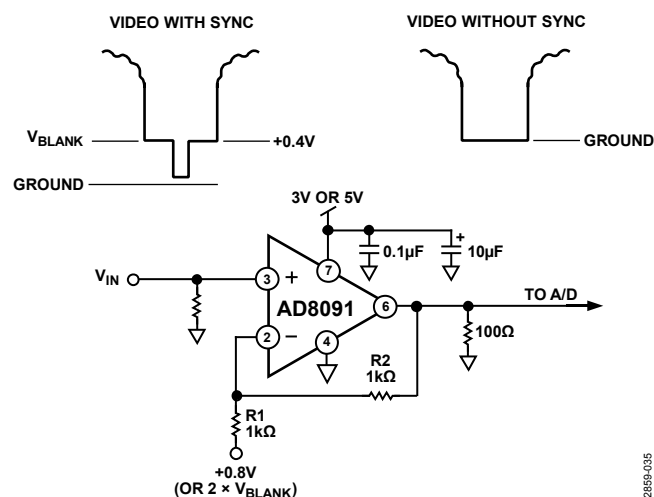


図 35.同期ストリッパ

単電源コンポジット・ビデオ・ライン・ドライバ

多くのコンポジット・ビデオ信号は、ブランキング・レベルをグラウンドとして、正と負のビデオ情報を持っています。このような信号は、両電源アンプを必要としますが、AC レベル・シフトを使って、単電源アンプを使ってこれらの信号を処理することができます。このような技術では次のような問題が生じます。

デューティ・サイクルが変化する、有界なピーク to ピーク振幅の信号では、AC 結合の後にその(有界)ピーク to ピーク振幅より広いダイナミック振幅能力が必要になります。ワースト・ケースでは、ダイナミック信号振幅がピーク to ピーク値の 2 倍に近づきます。最大ダイナミック振幅条件を決定する 2 つの条件の内 1 つは、ほとんどの間ロー・レベルを維持して短い間ハイ・レベルになる、小さいパーセント値のデューティ・サイクルを持つ信号です。これと反対の条件が 2 つ目の条件を決定します。

コンポジット・ビデオのワースト・ケースは、これほど厳しいものではありません。1 つの境界条件は、フレーム全体で黒が続き、最小幅スパイクの白(フル振幅)がフレーム内に少なくとも 1 回発生する信号です。

他の極限は、全体が白のビデオ信号です。このような信号のブランキング間隔と同期情報は、コンポジット・ビデオ仕様に準拠すると、立ち下がり変化を持っています。水平ブランキング間隔と垂直ブランキング間隔の組み合わせにより、このような信号が最大約 75%の時間、最高(白)レベルを占めるようになっています。

デューティ・サイクルが 2 つの極限の間にあるため、ゲイン=2 で増幅された 1 V p-p のコンポジット・ビデオ信号により、出力でのダイナミック電圧振幅を約 3.2 V p-p にすることが必要とされ、オペアンプが歪みなしで任意に変化するデューティ・サイクルを持つコンポジット・ビデオ信号を通過させるようにする必要があります。

回路によっては、同期を比較的一定レベルに維持する同期クランプを使って、必要とされるダイナミック信号振幅を小さくすることが行われていますが、これらの回路では、非常に小さい出力インピーダンスを持つ信号源から駆動されないかぎり、同期区間の圧縮のような効果が発生します。AD8091/AD8092 は、5 V 単電源で動作して AC 結合のコンポジット・ビデオ信号を処理するために、十分な信号振幅を持っています。

図 36 に示す回路への入力は、グラウンドのブランキング・レベルを持つ標準コンポジット(1 V p-p)ビデオ信号です。入力回路では、AC 結合を使ってビデオ信号をレベル・シフトしています。オペアンプの非反転入力は、電源電圧の midpoint にバイアスされています。

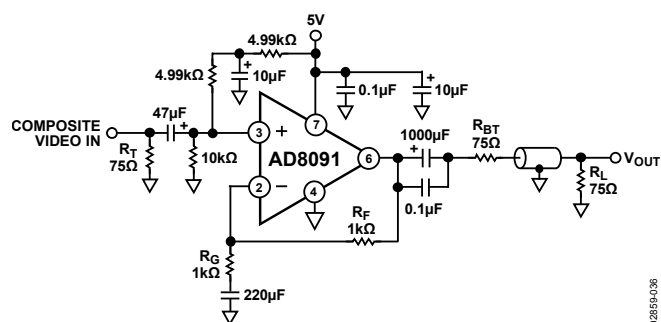
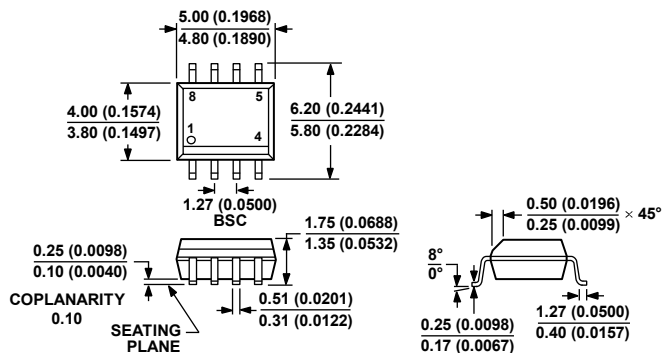


図 36. 単電源コンポジット・ビデオ・ライン・ドライバ

帰還回路は入力の DC バイアスのためにユニティ・ゲインを提供し、ビデオ帯域幅内のすべての信号に対してゲイン=2を提供しています。出力は AC 結合でラインを駆動しています。

コンデンサ値は、最小のチルトすなわちビデオ信号フィールドの最小時間歪みを提供します。これらの値は、スタジオ品質または放送品質のビデオで必要とされますが、低グレードのビデオ(コンシューマ・ビデオと呼ばれることがあります)が必要な場合には、最小の画像品質低下のもとに、コンデンサの値とコストを 1/5 まで小さくすることができます。

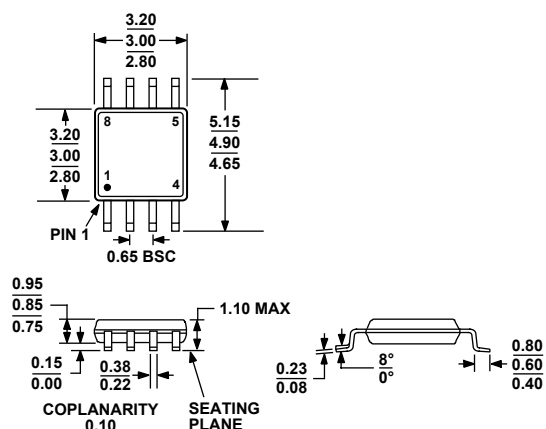
外形寸法



COMPLIANT TO JEDEC STANDARDS MS-012-AA
 CONTROLLING DIMENSIONS ARE IN MILLIMETERS; INCH DIMENSIONS (IN PARENTHESES) ARE ROUNDED-OFF MILLIMETER EQUIVALENTS FOR REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.

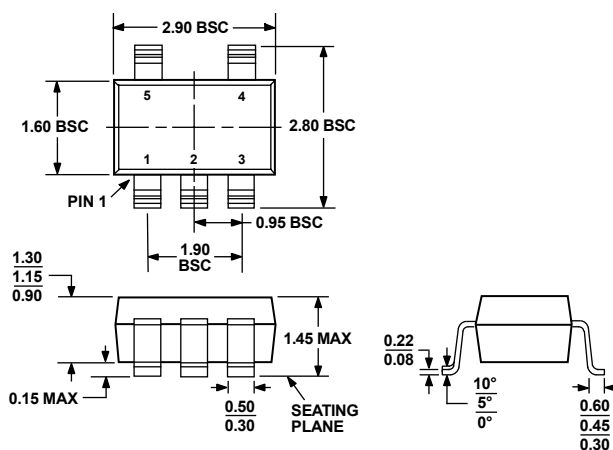
012407-A

図 37.8 ピン標準スモール・アウトライン・パッケージ[SOIC_N]
 ナロウ・ボディ(R-8)
 寸法: mm (インチ)



COMPLIANT TO JEDEC STANDARDS MO-187-AA

図 38.8 ピン・ミニ・スモール・アウトライン・パッケージ[MSOP]
 (RM-8)
 寸法: mm



COMPLIANT TO JEDEC STANDARDS MO-178-AA

図 39.5 ピン・スモール・アウトライン・トランジスタ・パッケージ[SOT-23]
 (RJ-5)
 寸法: mm

オーダー・ガイド

Model	Temperature Range	Package Description	Package Option	Branding
AD8091AR	-40°C to +85°C	8-Lead SOIC	R-8	
AD8091AR-REEL	-40°C to +85°C	8-Lead SOIC, 13" Tape and Reel	R-8	
AD8091AR-REEL7	-40°C to +85°C	8-Lead SOIC, 7" Tape and Reel	R-8	
AD8091ARZ ¹	-40°C to +85°C	8-Lead SOIC	R-8	
AD8091ARZ-REEL ¹	-40°C to +85°C	8-Lead SOIC, 13" Tape and Reel	R-8	
AD8091ARZ-REEL7 ¹	-40°C to +85°C	8-Lead SOIC, 7" Tape and Reel	R-8	
AD8091ART-R2	-40°C to +85°C	5-Lead SOT-23	RJ-5	HVA
AD8091ART-REEL	-40°C to +85°C	5-Lead SOT-23, 13" Tape and Reel	RJ-5	HVA
AD8091ART-REEL7	-40°C to +85°C	5-Lead SOT-23, 7" Tape and Reel	RJ-5	HVA
AD8091ARTZ-R2 ¹	-40°C to +85°C	5-Lead SOT-23	RJ-5	HVA#
AD8091ARTZ-R7 ¹	-40°C to +85°C	5-Lead SOT-23, 7" Tape and Reel	RJ-5	HVA#
AD8091ARTZ-RL ¹	-40°C to +85°C	5-Lead SOT-23, 13" Tape and Reel	RJ-5	HVA#
AD8092AR	-40°C to +85°C	8-Lead SOIC	R-8	
AD8092AR-REEL	-40°C to +85°C	8-Lead SOIC, 13" Tape and Reel	R-8	
AD8092AR-REEL7	-40°C to +85°C	8-Lead SOIC, 7" Tape and Reel	R-8	
AD8092ARZ ¹	-40°C to +85°C	8-Lead SOIC	R-8	
AD8092ARZ-REEL ¹	-40°C to +85°C	8-Lead SOIC, 13" Tape and Reel	R-8	
AD8092ARZ-REEL7 ¹	-40°C to +85°C	8-Lead SOIC, 7" Tape and Reel	R-8	
AD8092ARM	-40°C to +85°C	8-Lead MSOP	RM-8	HWA
AD8092ARM-REEL	-40°C to +85°C	8-Lead MSOP, 13" Tape and Reel	RM-8	HWA
AD8092ARM-REEL7	-40°C to +85°C	8-Lead MSOP, 7" Tape and Reel	RM-8	HWA
AD8092ARMZ ¹	-40°C to +85°C	8-Lead MSOP	RM-8	HWA#
AD8092ARMZ-REEL ¹	-40°C to +85°C	8-Lead MSOP, 13" Tape and Reel	RM-8	HWA#
AD8092ARMZ-REEL7 ¹	-40°C to +85°C	8-Lead MSOP, 7" Tape and Reel	RM-8	HWA#

¹ Z = RoHS 準拠製品。#は鉛フリーを表し、上部または下部に表示。