

特長

FET入力アンプ：0.6pAの入力バイアス電流

ゲイン ≥ 8 で安定

高速

54MHz、-3dB帯域幅 (G=+10)

640V/ μ sスルーレート

ローノイズ

6.6nV/ $\sqrt{\text{Hz}}$

0.6fA/ $\sqrt{\text{Hz}}$

低オフセット電圧 (最大1.0mV)

広い電源電圧範囲：5~24V

位相反転なし

低入力容量

単電源とレールtoレール出力

優れた歪み仕様：1MHzでSFDR 95dBc

高いコモン・モード除去比：-106dB

低消費電力：電源電流6.5mA (代表値)

低価格

小型パッケージ：SOT-23-5

アプリケーション

フォトダイオード・プリアンプ

精密な高ゲイン・アンプ

高ゲイン、高帯域幅の複合アンプ

概要

AD8067 Fast FET™アンプは、FET入力の電圧帰還型アンプで、広い帯域幅 (G = +10 で 54MHz) と高いスルーレート (640V/ μ s) を提供します。AD8067は、当社独自の誘電体絶縁された高速相補型バイポーラ (XFCEB) プロセスを採用、高速かつ低消費電力の高性能なFET入力アンプを実現します。

AD8067は、高速フォトダイオード・プリアンプなど、高速性と低入力バイアス電流を必要とするアプリケーション用に設計されています。フォトダイオード・アプリケーションに求められる条件に合うようにレーザー・トリミングしたAD8067は、優れたDC電圧オフセット (最大1.0mV) とドリフト (最大15 μ V/ $^{\circ}$ C) を備えています。

接続図

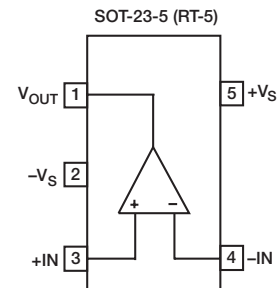


図1. 接続図 (上面図)

FET入力バイアス電流 (最大5pA) と低電圧ノイズ (6.6nV/ $\sqrt{\text{Hz}}$) も、精密アプリケーションでの利用に適した特長です。AD8067の広い電源電圧範囲 (5~24V) とレールtoレール出力によって、広いダイナミックレンジと低い歪みが必要とされるさまざまなアプリケーションに最適のデバイスとなっています。

AD8067は、わずか6.5mAの電源電流しか消費しませんが、30mAの負荷電流を供給し、100pFの容量性負荷を駆動することができます。SOT-23-5パッケージを採用し、-40~+85 $^{\circ}$ Cの工業用温度範囲で動作するように設計されています。

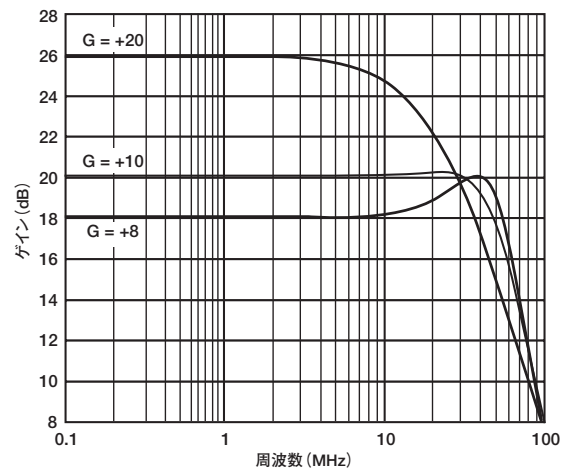


図2. 小信号周波数応答

AD8067

目次

AD8067 — ±5V用の仕様.....	4	入力保護.....	18
AD8067 — +5V用の仕様.....	5	容量性負荷の駆動.....	18
AD8067—±12V用の仕様.....	6	レイアウト、接地、バイパスのポイント.....	18
絶対最大定格.....	7	アプリケーション.....	20
最大消費電力.....	7	広帯域フォトダイオード・プリアンプ.....	20
代表的な性能特性.....	8	ゲイン8未満でAD8067を使用する場合.....	21
テスト回路.....	13	単電源動作.....	22
動作原理.....	15	高ゲイン、高帯域幅の複合アンプ.....	22
基本的な周波数応答.....	15	外形寸法.....	24
広帯域動作のための抵抗の選択.....	16	オーダー・ガイド.....	24
入/出力の過負荷現象.....	17		

表

表I. R_G と R_F の推奨値.....	15	表II. フォトダイオード・プリアンプの RMSノイズ寄与分.....	20
-----------------------------	----	----------------------------------------	----

改定履歴

リビジョン0：初期バージョン

目次 (続き)

図

図1. 接続図 (上面図).....	1
図2. 小信号周波数応答.....	1
図3. 4層基板での最大消費電力と温度の関係.....	7
図4. さまざまなゲインに対する小信号周波数応答.....	8
図5. さまざまな電源に対する小信号周波数応答.....	8
図6. さまざまな電源に対する大信号周波数応答.....	8
図7. 0.1dB平坦性の周波数応答.....	8
図8. さまざまな C_{LOAD} に対する小信号周波数応答.....	8
図9. さまざまな出力振幅に対する周波数応答.....	8
図10. さまざまな R_f に対する小信号周波数応答.....	9
図11. さまざまな負荷に対する歪みと周波数の関係.....	9
図12. さまざまな振幅に対する歪みと周波数の関係.....	9
図13. オープンループ・ゲインと位相.....	9
図14. さまざまな電源に対する歪みと周波数の関係.....	9
図15. さまざまな負荷に対する歪みと出力振幅の関係.....	9
図16. 小信号過渡応答、5V電源.....	10
図17. 出力オーバードライブ回復.....	10
図18. 長期セトリング時間.....	10
図19. 小信号過渡応答、±5V電源.....	10
図20. 大信号過渡応答.....	10
図21. 0.1%のセトリング時間.....	10
図22. 入力バイアス電流と温度.....	11
図23. 入力オフセット電圧のヒストグラム.....	11
図24. 電圧ノイズ.....	11
図25. 入力バイアス電流とコモン・モード電圧.....	11
図26. 入力オフセット電圧とコモン・モード電圧.....	11
図27. CMRRと周波数.....	11
図28. 出力インピーダンスと周波数.....	12
図29. 出力飽和電圧と出力負荷電流.....	12
図30. PSRRと周波数.....	12
図31. さまざまな電源電圧に対する静止電流と温度の関係.....	12
図32. 出力飽和電圧と温度.....	12
図33. さまざまな電源に対する オープンループ・ゲインと負荷電流.....	12
図34. 標準のテスト回路.....	13
図35. オープンループ・ゲインのテスト回路.....	13
図36. 容量性負荷のテスト回路.....	13
図37. CMRRのテスト回路.....	14
図38. 正PSRRのテスト回路.....	14
図39. 出力インピーダンスのテスト回路.....	14
図40. 非反転ゲイン構成.....	15
図41. オープンループ周波数応答.....	15
図42. 反転ゲイン構成.....	15
図43. 入力容量と基板容量.....	16
図44. オペアンプのDC誤差源.....	17
図45. 簡略化した入力回路図.....	17
図46. 電流制限抵抗.....	18
図47. ガード・リングの構成.....	18
図48. ガード・リングのレイアウト、SOT-23-5.....	18
図49. 広帯域フォトダイオード・プリアンプ.....	20
図50. フォトダイオードの電圧ノイズ寄与.....	20
図51. フォトダイオード・プリアンプ.....	21
図52. フォトダイオード・プリアンプの周波数応答.....	21
図53. フォトダイオード・プリアンプのパルス応答.....	21
図54. ゲインが2未満の回路図.....	21
図55. ゲイン2のパルス応答.....	22
図56. 単電源動作の回路図.....	22
図57. AD8067/AD8009複合アンプ.....	23
図58. 同複合アンプのゲイン帯域幅応答.....	23
図59. 同複合アンプの大信号応答.....	23
図60. 同複合アンプの小信号応答.....	23

AD8067 — ±5V用の仕様

$V_S = \pm 5V$ (特に指定のない限り、 $T_A = +25^\circ C$ 、 $G = +10$ 、 $R_F = R_L = 1k\Omega$)

パラメータ	条件	最小	標準	最大	単位
ダイナミック性能					
−3dB帯域幅	$V_O = 0.2V_{p-p}$	39	54		MHz
	$V_O = 2V_{p-p}$		54		MHz
平坦性0.1dBでの帯域幅	$V_O = 0.2V_{p-p}$		8		MHz
出力オーバードライブ回復時間 (正/負)	$V_I = \pm 0.6V$		115/190		ns
スルーレート	$V_O = 5V$ ステップ	500	640		V/ μs
0.1%までのセトリング時間	$V_O = 5V$ ステップ		27		ns
ノイズ/歪み性能					
スプリアス・フリー・ダイナミックレンジ (SFDR)	$f_c = 1MHz$ 、 $2V_{p-p}$		95		dBc
	$f_c = 1MHz$ 、 $8V_{p-p}$		84		dBc
	$f_c = 5MHz$ 、 $2V_{p-p}$		82		dBc
	$f_c = 1MHz$ 、 $2V_{p-p}$ 、 $R_L = 150\Omega$		72		dBc
入力電圧ノイズ	$f = 10kHz$		6.6		nV/ \sqrt{Hz}
入力電流ノイズ	$f = 10kHz$		0.6		fA/ \sqrt{Hz}
DC性能					
入力オフセット電圧			0.2	1.0	mV
入力オフセット電圧ドリフト			1	15	$\mu V/^\circ C$
入力バイアス電流			0.6	5	pA
	$T_{MIN} \sim T_{MAX}$		25		pA
入力オフセット電流			0.2	1	pA
	$T_{MIN} \sim T_{MAX}$		1		pA
オープンループ・ゲイン	$V_O = \pm 3V$	103	119		dB
入力特性					
コモン・モード入力インピーダンス			1000 1.5		G Ω pF
差動入力インピーダンス			1000 2.5		G Ω pF
入力コモン・モード電圧範囲		−5.0		2.0	V
コモン・モード除去比 (CMRR)	$V_{CM} = -1 \sim +1V$	−85	−106		dB
出力特性					
出力電圧振幅	$R_L = 1k\Omega$	−4.86 ~ +4.83	−4.92 ~ +4.92		V
	$R_L = 150\Omega$		−4.67 ~ +4.72		V
出力電流	SFDR > 60dBc、 $f = 1MHz$		30		mA
短絡電流			105		mA
容量性負荷駆動	30%オーバーシュート		120		pF
電源					
動作範囲		5		24	V
静止電流			6.5	6.8	mA
電源除去比 (PSRR)		−90	−109		dB

AD8067 — +5V用の仕様

$V_S=+5V$ (特に指定のない限り、 $T_A=+25^\circ\text{C}$ 、 $G=+10$ 、 $R_F=R_L=1k\Omega$)

パラメータ	条件	最小	標準	最大	単位
ダイナミック性能					
−3dB帯域幅	$V_O=0.2V_{p-p}$	36	54		MHz
	$V_O=2V_{p-p}$		54		MHz
平坦性0.1dBでの帯域幅	$V_O=0.2V_{p-p}$		8		MHz
出力オーバードライブ回復時間 (正/負)	$V_I=+0.6V$		150/200		ns
スルーレート	$V_O=3V$ ステップ	390	490		V/ μs
0.1%までのセトリング時間	$V_O=2V$ ステップ		25		ns
ノイズ/歪み性能					
スプリアス・フリー・ダイナミックレンジ (SFDR)	$f_c=1\text{MHz}$ 、 $2V_{p-p}$		86		dBc
	$f_c=1\text{MHz}$ 、 $4V_{p-p}$		74		dBc
	$f_c=5\text{MHz}$ 、 $2V_{p-p}$		60		dBc
	$f_c=1\text{MHz}$ 、 $2V_{p-p}$ 、 $R_L=150\Omega$		72		dBc
入力電圧ノイズ	$f=10\text{kHz}$		6.6		$nV/\sqrt{\text{Hz}}$
入力電流ノイズ	$f=10\text{kHz}$		0.6		$fA/\sqrt{\text{Hz}}$
DC性能					
入力オフセット電圧			0.2	1.0	mV
入力オフセット電圧ドリフト			1	15	$\mu\text{V}/^\circ\text{C}$
入力バイアス電流			0.5	5	pA
	$T_{\text{MIN}}\sim T_{\text{MAX}}$		25		pA
入力オフセット電流			0.1	1	pA
	$T_{\text{MIN}}\sim T_{\text{MAX}}$				pA
オープンループ・ゲイン	$V_O=0.5\sim 4.5V$	100	117		dB
入力特性					
コモン・モード入力インピーダンス			1000 2.3		$G\Omega pF$
差動入力インピーダンス			1000 2.5		$G\Omega pF$
入力コモン・モード電圧範囲		0		2.0	V
コモン・モード除去比 (CMRR)	$V_{\text{CM}}=0.5\sim 1.5V$	−81	−98		dB
出力特性					
出力電圧振幅	$R_L=1k\Omega$	0.07~4.89	0.03~4.94		V
	$R_L=150\Omega$		0.08~4.83		V
出力電流	SFDR>60dBc、 $f=1\text{MHz}$		22		mA
短絡電流			95		mA
容量性負荷駆動	30%オーバーシュート		120		pF
電源					
動作範囲		5		24	V
静止電流			6.4	6.7	mA
電源除去比 (PSRR)		−87	−103		dB

AD8067 — ±12V用の仕様

$V_S = \pm 12V$ (特に指定のない限り、 $T_A = +25^\circ C$ 、 $G = +10$ 、 $R_F = R_L = 1k\Omega$)

パラメータ	条件	最小	標準	最大	単位	
ダイナミック性能 -3dB帯域幅	$V_O = 0.2V_{p-p}$	39	54		MHz	
	$V_O = 2V_{p-p}$		53		MHz	
	平坦性0.1dBでの帯域幅		8		MHz	
	出力オーバードライブ回復時間 (正/負)	$V_I = \pm 1.5V$		75/180		ns
	スルーレート	$V_O = 5V$ ステップ	500	640		V/ μs
0.1%までのセトリング時間	$V_O = 5V$ ステップ		27		ns	
ノイズ/歪み性能 スプリアス・フリー・ ダイナミックレンジ (SFDR)	$f_C = 1MHz$ 、 $2V_{p-p}$		92		dBc	
	$f_C = 1MHz$ 、 $20V_{p-p}$		84		dBc	
	$f_C = 5MHz$ 、 $2V_{p-p}$		74		dBc	
	$f_C = 1MHz$ 、 $2V_{p-p}$ 、 $R_L = 150\Omega$		72		dBc	
	入力電圧ノイズ	$f = 10kHz$		6.6		nV/ \sqrt{Hz}
入力電流ノイズ	$f = 10kHz$		0.6		fA/ \sqrt{Hz}	
DC性能	入力オフセット電圧		0.2	1.0	mV	
	入力オフセット電圧ドリフト		1	15	$\mu V/^\circ C$	
	入力バイアス電流		1.0	5	pA	
	入力オフセット電流	$T_{MIN} \sim T_{MAX}$		25		pA
	オープンループ・ゲイン	$T_{MIN} \sim T_{MAX}$ $V_O = \pm 10V$	107	119		pA dB
入力特性	コモン・モード入力インピーダンス		1000 1.5		G Ω pF	
	差動入力インピーダンス		1000 2.5		G Ω pF	
	入力コモン・モード電圧範囲		-12.0	9.0	V	
	コモン・モード除去比 (CMRR)	$V_{CM} = -1 \sim +1V$	-89	-108		dB
出力特性	出力電圧振幅	$R_L = 1k\Omega$ $R_L = 500\Omega$	-11.70 ~ +11.70	-11.85 ~ +11.84 -11.31 ~ +11.73	V V	
	出力電流	SFDR > 60dBc、 $f = 1MHz$		26	mA	
	短絡電流			125	mA	
	容量性負荷駆動	30%オーバーシュート		120		pF
電源	動作範囲		5	24	V	
	静止電流			6.6	mA	
	電源除去比 (PSRR)		-86	-97	dB	

絶対最大定格

電源電圧26.4V
消費電力図3を参照
コモン・モード入力電圧 $V_{EE}-0.5V\sim V_{CC}+0.5V$
差動入力電圧1.8V
保存温度 $-65\sim+125^{\circ}\text{C}$
動作温度範囲 $-40\sim+85^{\circ}\text{C}$
ピン温度範囲 (ハンダ付け10秒) 300°C
接合温度 150°C

上記の絶対最大定格リストを超えるストレスを加えると、デバイスに永久的な損傷を与えることがあります。この定格はストレス定格のみを規定するものであり、これらの規定値あるいはこの仕様書の動作セクションに記載した規定値を超える条件で、デバイスが機能的に動作することを意味するものではありません。長期間にわたって絶対最大定格条件で放置すると、デバイスの信頼性に影響を与えるおそれがあります。

最大消費電力

AD8067パッケージにおける安全な最大消費電力は、動作に伴ってチップ上の接合温度 (T_J) が上昇することによって制約を受けます。ガラス転移温度である約 150°C になると、プラスチックの特性が変化します。この温度限界を一時的にでも超えると、パッケージがチップに及ぼすストレスが変化して、AD8067のパラメータ性能が永久的に変化してしまうことがあります。 175°C の接合温度を長時間にわたって超過した場合には、シリコン・デバイスが変化して、障害が生じることがあります。

パッケージが消費する電力 (P_D) は、静止消費電力と、負荷の駆動によってパッケージ内で消費される電力との合計です。静止電力は、電源ピン間の電圧 (V_S) に静止電流 (I_S) を乗算した値です。負荷 (R_L) の基準を電源電圧の半分と想定すると、合計駆動電力は $V_S/2 \times I_{OUT}$ になり、その一部はパッケージ内や負荷で消費 ($V_{OUT} \times I_{OUT}$) されます。合計駆動電力と負荷電力との差が、パッケージで消費する駆動電力です。RMS出力電圧を考慮してください。

$$P_D = \text{静止電力} + (\text{合計駆動電力} - \text{負荷電力})$$

$$P_D = (V_S \times I_S) + \left(\frac{V_S}{2} \times \frac{V_{OUT}}{R_L} \right) - \frac{V_{OUT}^2}{R_L}$$

単電源動作のように R_L が V_S を基準にする場合は、合計駆動電力は $V_S \times I_{OUT}$ です。

RMSの信号レベルが不定の場合には、最悪の条件を考えます。電源電圧の半分を基準とする R_L に対して $V_{OUT} = V_S/4$ の場合、次のようになります。

$$P_D = (V_S \times I_S) + \frac{(V_S/4)^2}{R_L}$$

R_L が V_S を基準にする単電源動作では、最悪の条件は $V_{OUT} = V_S/2$ の場合です。

空気流によって放熱の効果が增大すると、 θ_{JA} が減少します。さらに、メタル・パターン、スルー・ホール、グラウンド、電源プレーンからパッケージのピンに直接触れる金属が多いと、 θ_{JA} が減ります。

図3に、JEDEC規格の4層基板に搭載したSOT-23-5 ($180^{\circ}\text{C}/\text{W}$) パッケージに関して、パッケージの最大安全消費電力と周囲温度の関係を示します。 θ_{JA} の値は近似値です。

温度が 10°C 上昇するごとに、 I_B はおよそ2倍になります (図2を参照)。

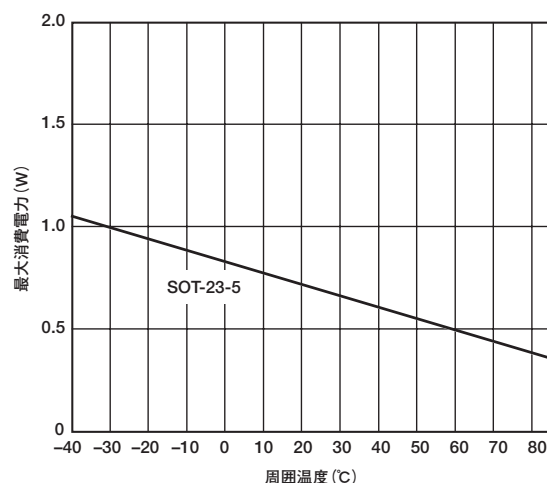


図3. 4層基板での最大消費電力と温度の関係

AD8067

代表的な性能特性

デフォルト条件 $V_S = \pm 5V$ (特に指定のない限り、 $T_A = +25^\circ C$ 、 $G = +10$ 、 $R_L = R_F = 1k\Omega$)

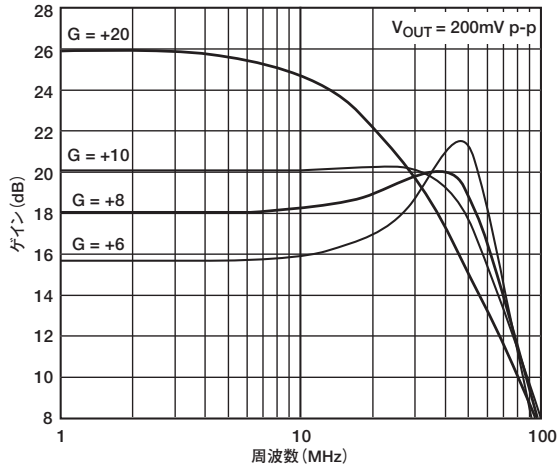


図4. さまざまなゲインに対する小信号周波数応答

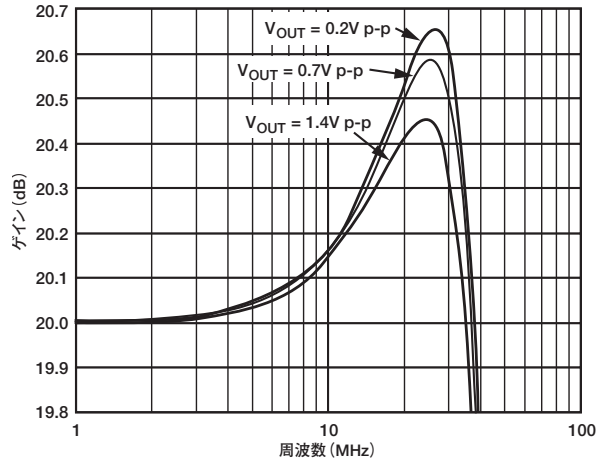


図7. 平坦性0.1dBの周波数応答

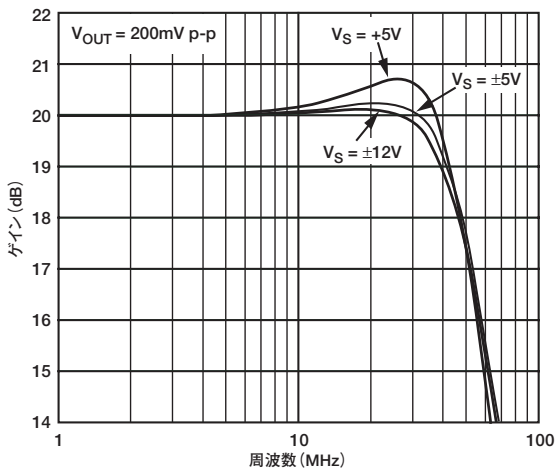


図5. さまざまな電源に対する小信号周波数応答

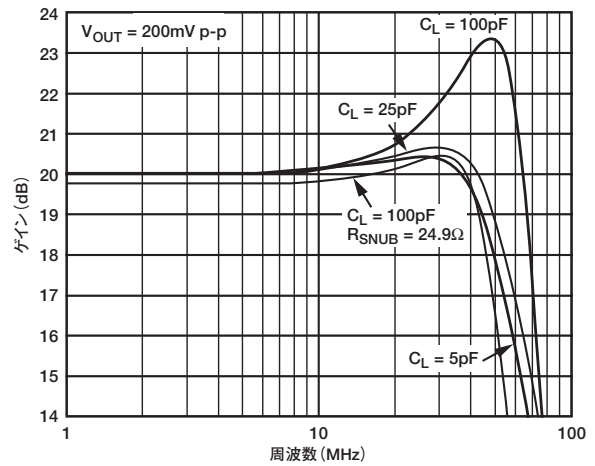


図8. さまざまな C_{LOAD} に対する小信号周波数応答

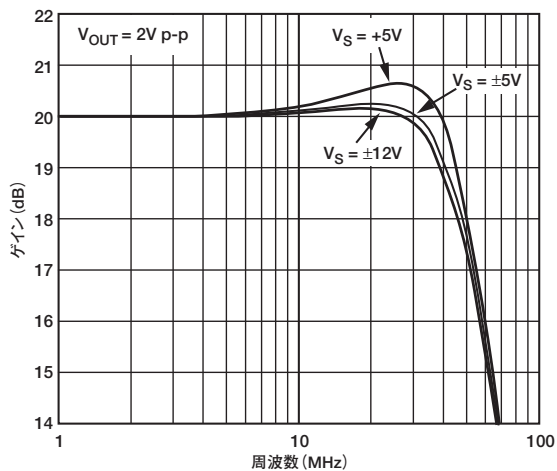


図6. さまざまな電源に対する大信号周波数応答

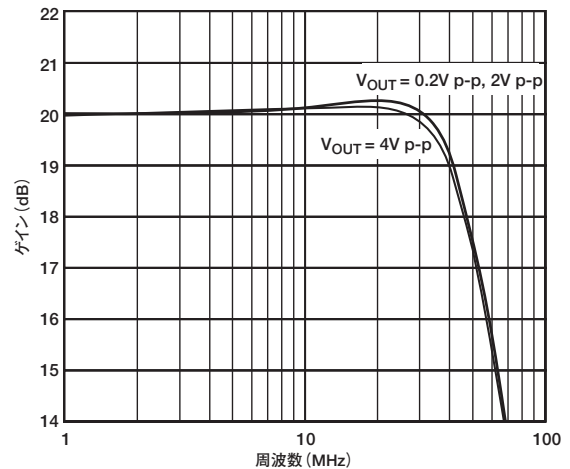


図9. さまざまな出力振幅に対する周波数応答

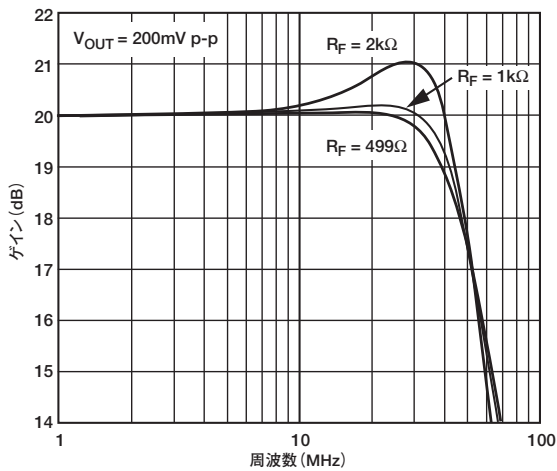


図10. さまざまな R_F に対する小信号周波数応答

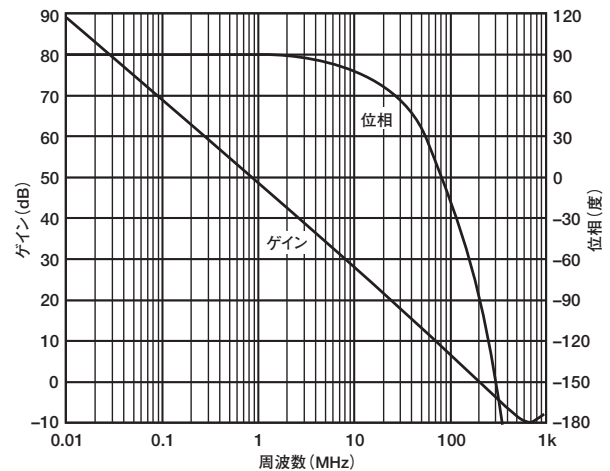


図13. オープンループ・ゲインと位相

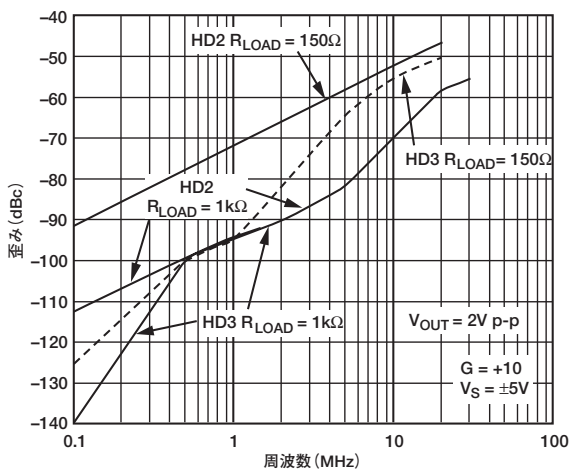


図11. さまざまな負荷に対する歪みと周波数の関係

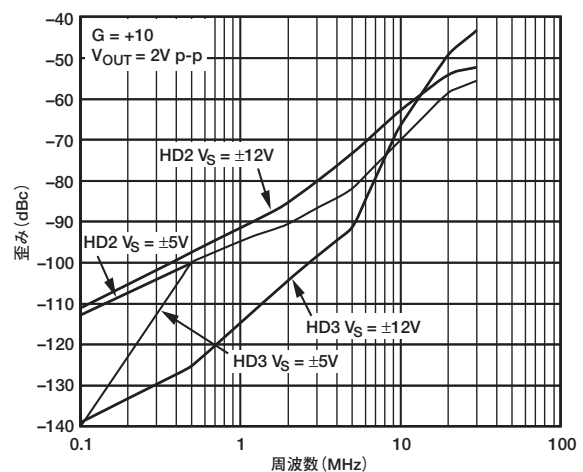


図14. さまざまな電源に対する歪みと周波数の関係

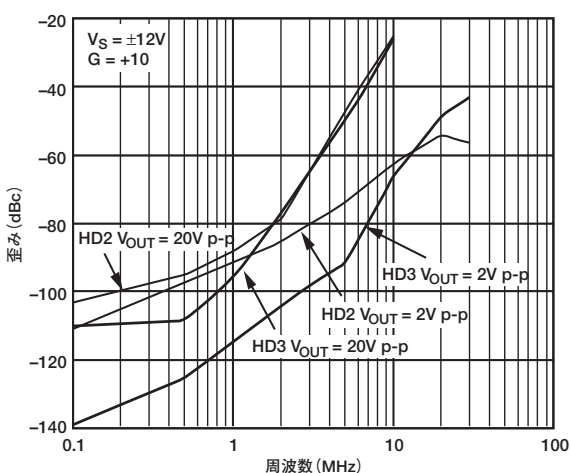


図12. さまざまな振幅に対する歪みと周波数の関係

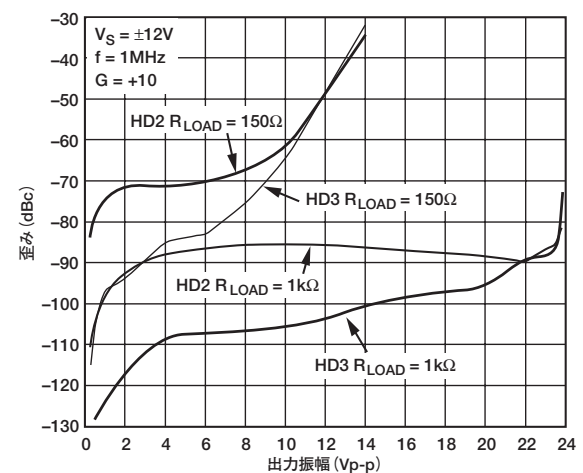


図15. さまざまな負荷に対する歪みと出力振幅の関係

AD8067

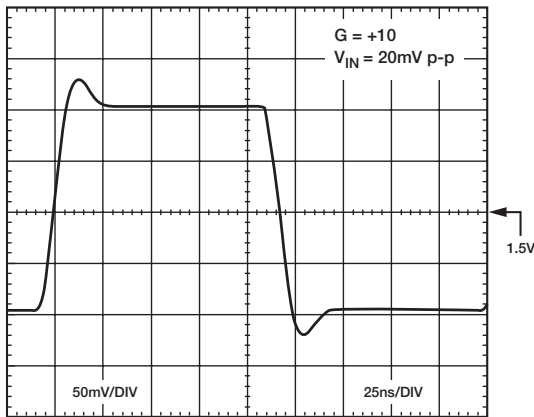


図16. 小信号過渡応答、5V電源

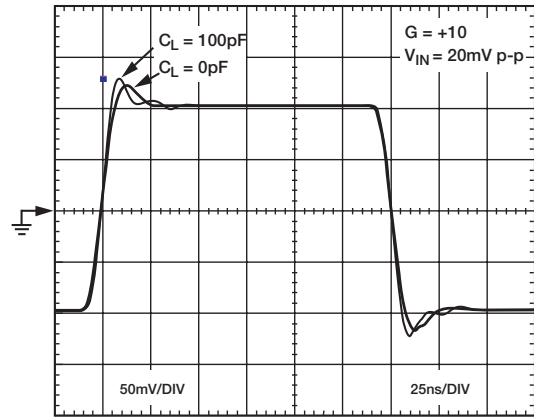


図19. 小信号過渡応答、±5V電源

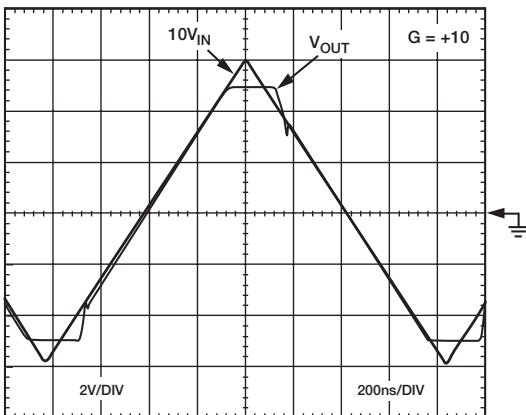


図17. 出力オーバードライブ回復

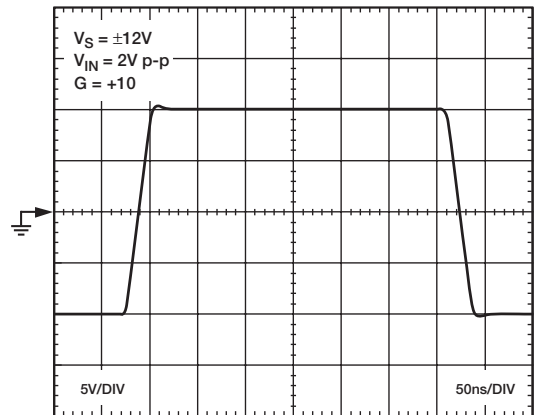


図20. 大信号過渡応答

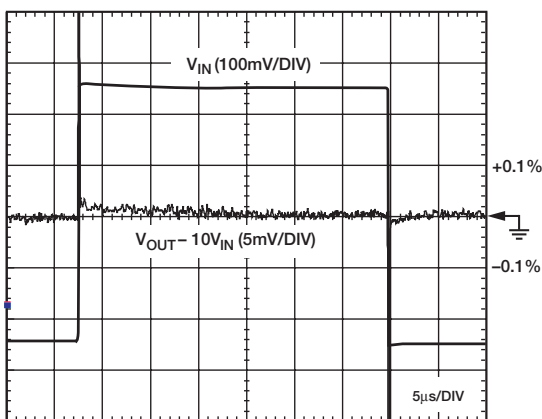


図18. 長期セトリング時間

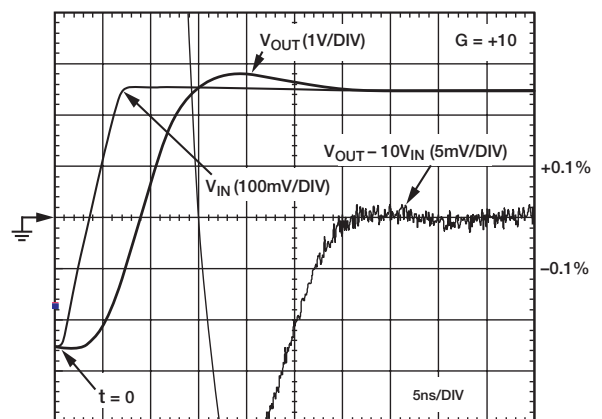


図21. 0.1%のセトリング時間

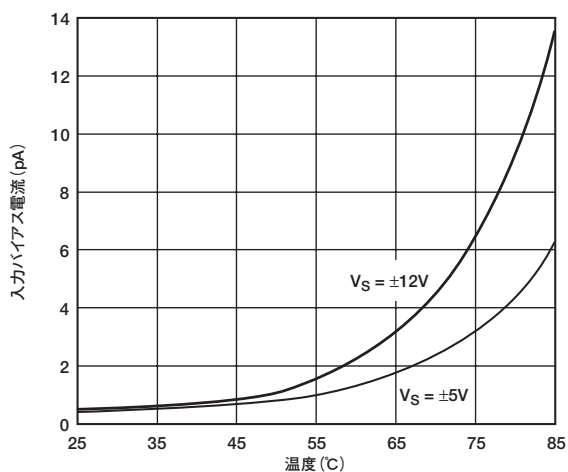


図22. 入力バイアス電流と温度

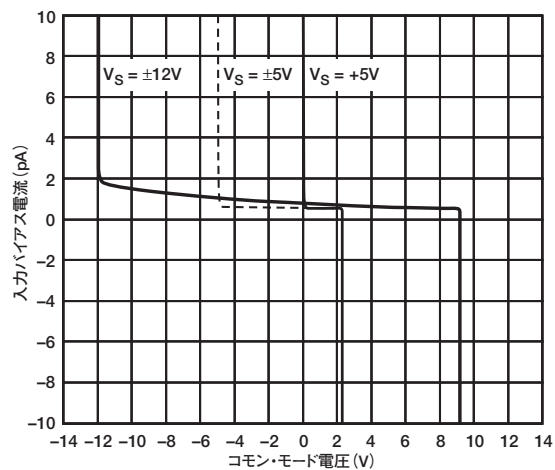


図25. 入力バイアス電流とコモン・モード電圧

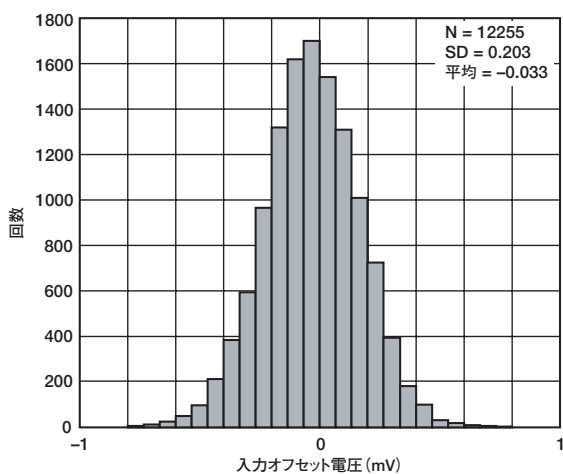


図23. 入力オフセット電圧のヒストグラム

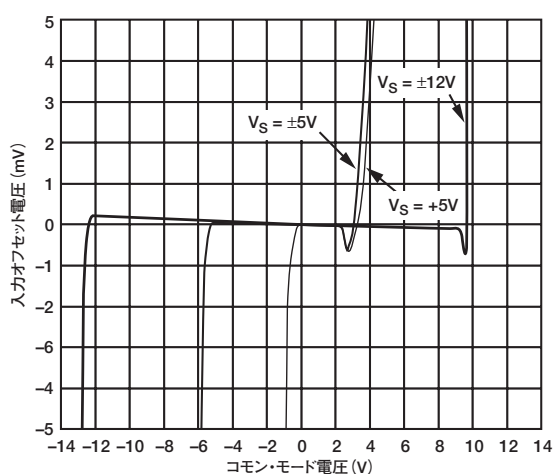


図26. 入力オフセット電圧とコモン・モード電圧

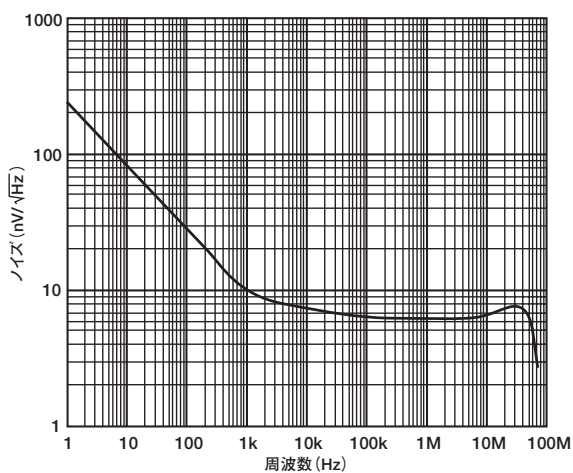


図24. 電圧ノイズ

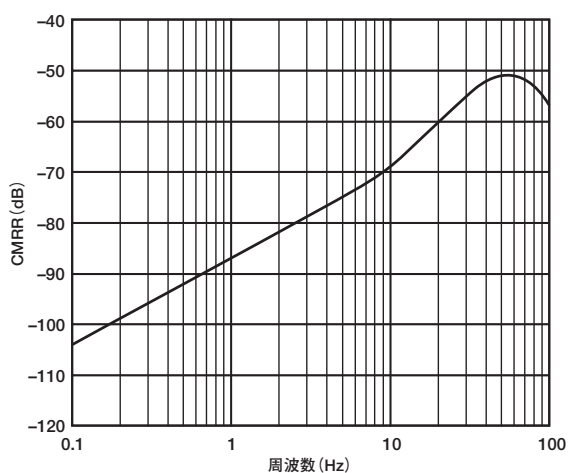


図27. CMRRと周波数

AD8067

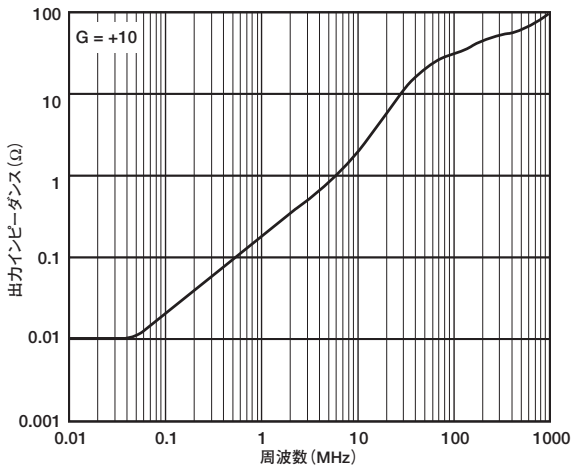


図28. 出力インピーダンスと周波数

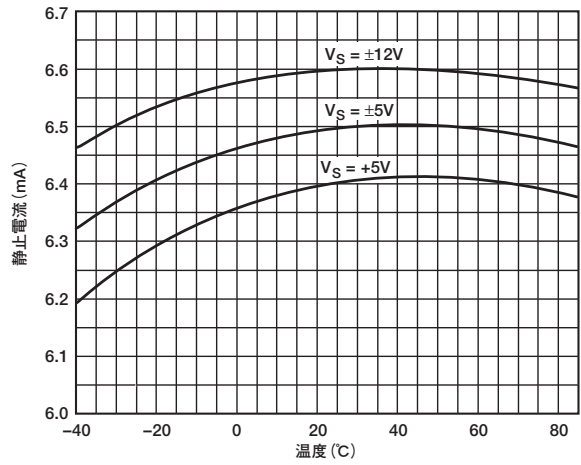


図31. さまざまな電源電圧に対する静止電流と温度の関係

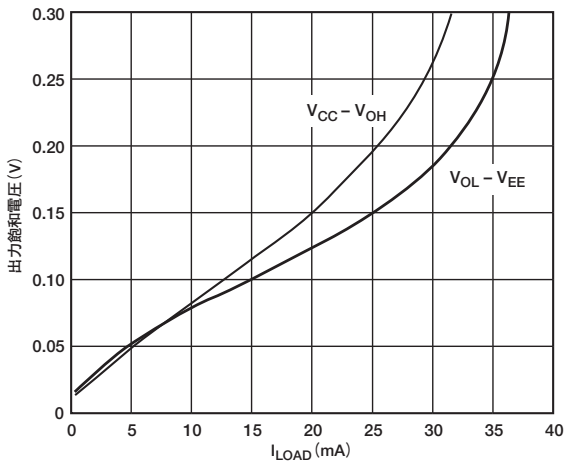


図29. 出力飽和電圧と出力負荷電流

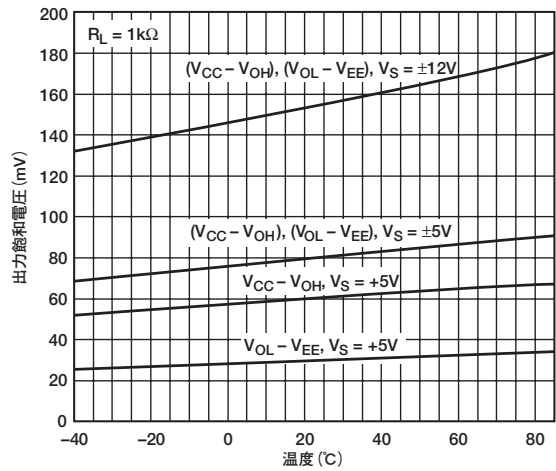


図32. 出力飽和電圧と温度

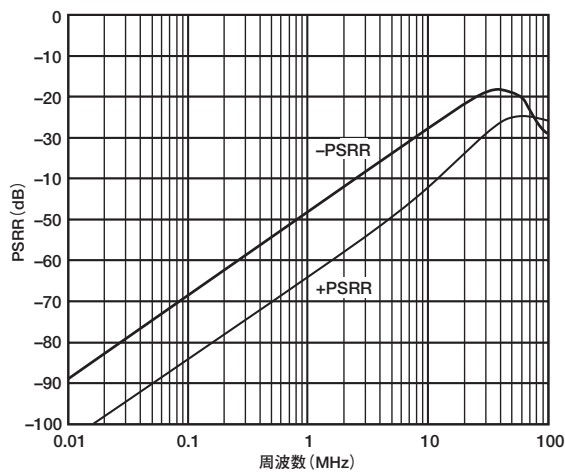


図30. PSRRと周波数

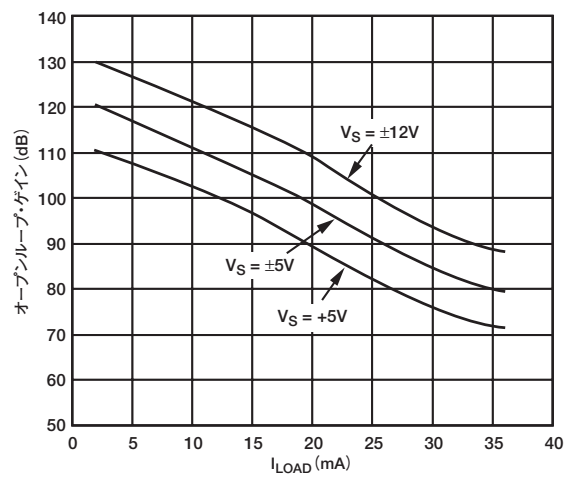


図33. さまざまな電源に対するオープンループ・ゲインと負荷電流

テスト回路

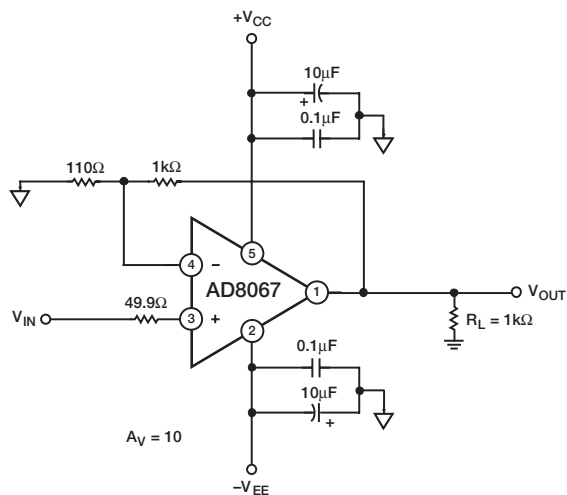


図34. 標準のテスト回路

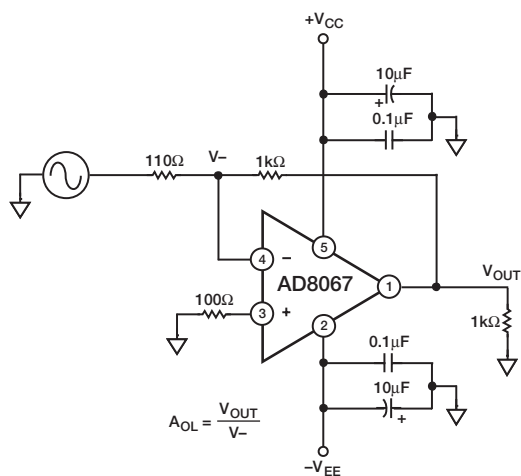


図35. オープンループ・ゲインのテスト回路

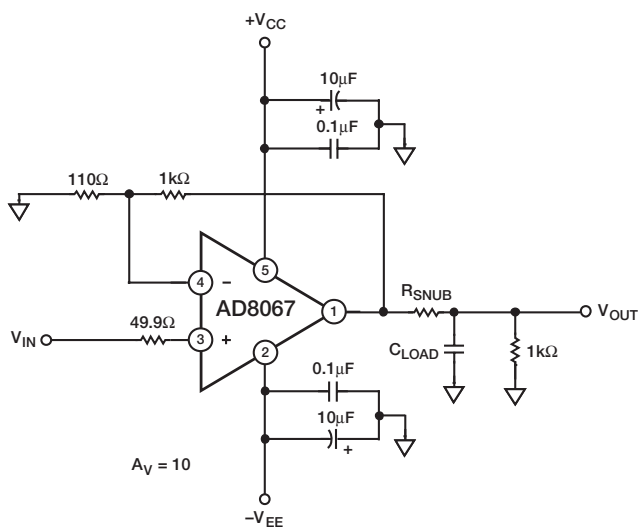


図36. 容量性負荷のテスト回路

AD8067

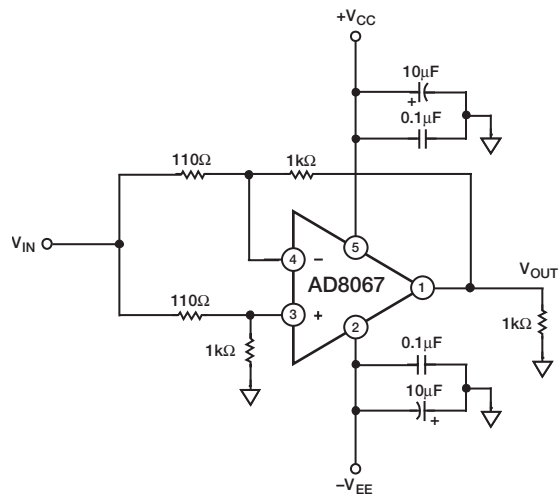


図37. CMRRのテスト回路

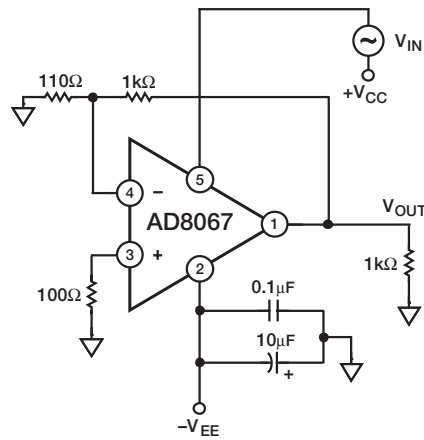


図38. 正PSRRのテスト回路

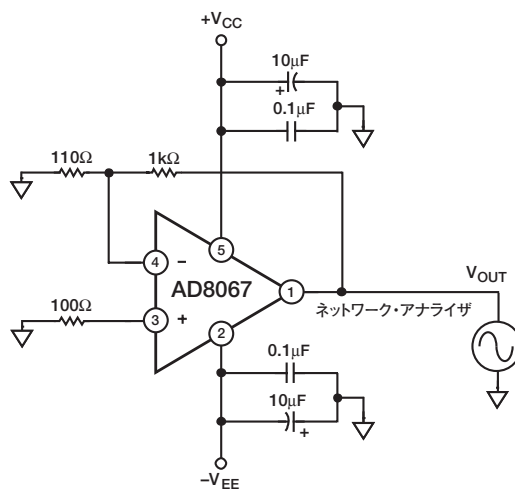


図39. 出力インピーダンスのテスト回路

動作原理

AD8067は、高性能JFET入力段とアナログ・デバイスサイズの誘電体絶縁された高速相補型バイポーラ（XFCEB）プロセスBJTを組み合わせた、ローノイズ、広帯域の電圧帰還型オペアンプで、5～24Vの電源電圧範囲で動作します。特許取得済みのレールtoレール出力段によって、30mAのソース電流またはシンク電流を供給しながら、電源レールの0.25V以内まで駆動できます。Nチャンネル・デバイスで構成されるJFET入力のコモン・モード入力範囲は負電源レールから、正電源-3Vまで対応します。さらに、電源内の入力電圧であれば、位相反転現象をおこしません。

ローノイズ、DC精度、高帯域幅を兼ね備えたAD8067は、広帯域で、入力インピーダンスがきわめて高く、高ゲイン・バッファのアプリケーションに最適です。また、フォトダイオード・インターフェースなど、きわめて低い入力電流と優れたDC精度が必要な広帯域トランスインピーダンス・アプリケーションにも適しています。

基本的な周波数応答

AD8067の代表的なオープンループ応答（図41を参照）には、+10のゲインで60°の位相余裕があります。図40と図42に、非反転と反転の電圧ゲイン・アプリケーション用の代表的な構成を示します。

基本的な非反転ゲイン構成のクローズド・ループ周波数応答は、次の式を使用して概算することができます。

$$\text{クローズド・ループ-3dB周波数} = (GBP) \times \frac{R_G}{(R_F + R_G)}$$

$$\text{DCゲイン} = \frac{R_F}{R_G} + 1$$

GBP（Gain Bandwidth Product）はアンプのゲイン帯域幅積です。AD8067の代表的なGBPは300MHzです。R_GとR_Fの推奨値については、表Iを参照してください。

$$\text{非反転構成のノイズ・ゲイン} = \frac{R_F}{R_G} + 1$$

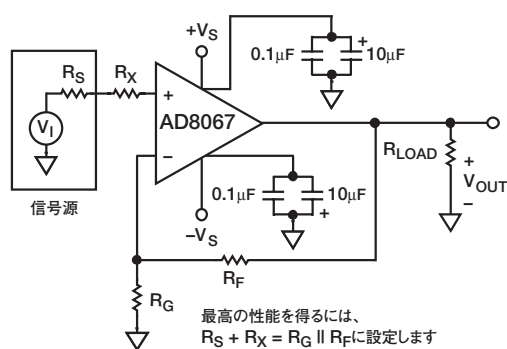


図40. 非反転ゲイン構成

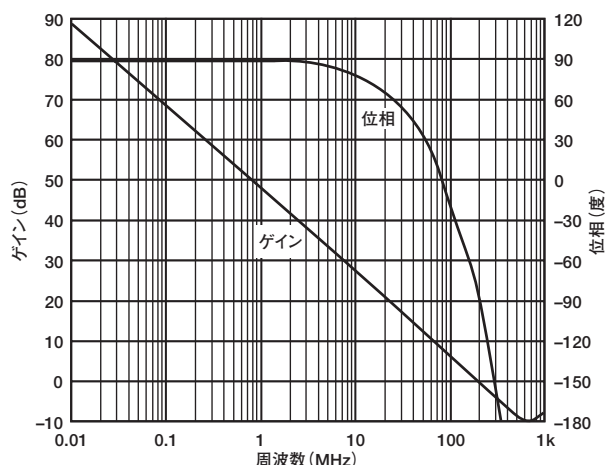


図41. オープンループ周波数応答

この帯域幅の式は、アプリケーションの位相余裕が90°に近づいたときに成立します。これは高ゲインの構成になります。G = +10のバッファで使用するAD8067の帯域幅は54MHzで、クローズド・ループの-3dBの周波数の式で予測される30MHzよりもかなり高速になります。帯域幅がこのように広がるのは、位相余裕が90°ではなく60°になるためです。図4に示すように、+10より低いゲインではピーキングの量が増加します。+7未満のゲインの場合には、ユニティ・ゲイン帯域幅145MHzの安定したユニティ・ゲインを有するJFET入力オペアンプのAD8065を使用します。ゲイン2でAD8067を使用する場合は、アプリケーションのセクションを参照してください。

表I. R_GとR_Fの推奨値

ゲイン	R _G (Ω)	R _F (kΩ)	BW (MHz)
10	110	1	54
20	49.9	1	15
50	20	1	6
100	10	1	3

抵抗は、入手性を考慮して、1%の標準値抵抗を使用しているため、ゲインに多少のエラーが生じる場合があります。

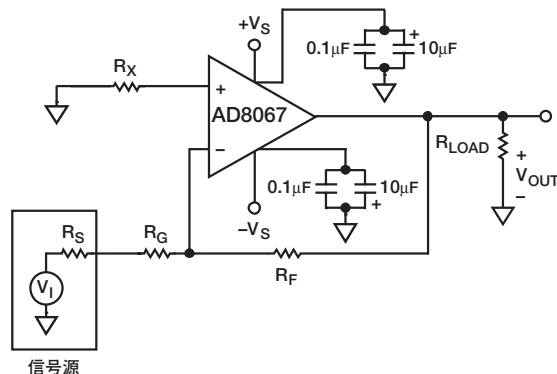


図42. 反転ゲイン構成

AD8067

反転電圧ゲインのアプリケーションでは、入力信号のソース・インピーダンスを考慮する必要があります。これによって、アプリケーションのノイズ・ゲインと見掛けのクロズド・ループ・ゲインが設定されることになります。反転アプリケーションの基本的な周波数を表す式は次のようになります。

$$\text{クロズド・ループ-3dB周波数} = (GBP) \times \frac{R_G + R_S}{R_F + R_G + R_S}$$

$$\text{DCゲイン} = \frac{R_F}{R_G + R_S}$$

GBPはアンプのゲイン帯域幅積、 R_S は信号源抵抗です。

$$\text{反転構成のノイズ・ゲイン} = \frac{R_F + R_G + R_S}{R_G + R_S}$$

安定性のために、反転アプリケーションのノイズ・ゲインを6より大きくすることが大切です。インバータを駆動している信号源として別のアンプを使用している場合は、AD8067の期待されるクロズド・ループ帯域幅の周波数スパン全体で、駆動アンプの出力インピーダンスが低くなるようにしてください。

広帯域動作のための抵抗の選択

電圧帰還型アンプでは、広範な抵抗値を使用してゲインを設定します。アプリケーションのフィードバック・ネットワークを正しく設計するには、以下の点を考慮する必要があります。

- ・アンプの入力端子での抵抗とアンプの入力容量によって形成されるポール
- ・ソース・インピーダンスの不整合の影響
- ・抵抗値がアプリケーションの出力電圧ノイズに及ぼす影響
- ・アンプの負荷効果

AD8067には、1.5pFのコモン・モード入力容量 (C_M) と、2.5pFの差動入力容量 (C_D) があります。これを図43に示します。非反転バッファの正入力を駆動するソース・インピーダンスが、主としてアンプのコモン・モード入力容量と、基板のレイアウトに基づく寄生容量 (C_{PAR}) によってポールを形成します。これによって、獲得可能な帯域幅が制限されます。G=+10のバッファでは、ソース・インピーダンス > 1k Ω で帯域幅の制限が明白になります。

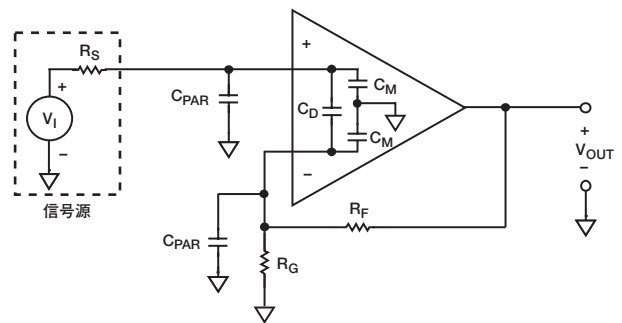


図43. 入力容量と基板容量

アンプの負入力 ($R_G || R_F$) に見られるソース・インピーダンスとアンプの差動入力容量、コモン・モード入力容量、基板の寄生容量の合計によって、帰還ループ応答にポールが生じます。これによってループの位相余裕が減少し、安定性の問題（つまり、応答において許容できないピーキングとリングング）が生じることがあります。この問題を回避するには、すべての広帯域電圧ゲイン・アプリケーションで、AD8067の負入力での抵抗を200 Ω 未満に保持することをお勧めします。

広帯域電圧ゲイン・アプリケーションでは、AD8067の入力でインピーダンスを整合させることもお勧めします。これによって、セトリング時間と歪み性能を大幅に低下させる、非線形のコモン・モード容量の影響を最小限に抑えます。

AD8067の入力電圧ノイズは6.6nV/ $\sqrt{\text{Hz}}$ という低い値です。入力端子に500 Ω を超えるソース抵抗があると、アプリケーションの見掛けの入力換算 (RTI) 電圧ノイズが大幅に増えます。

アンプは、負荷だけではなく、そのフィードバック・ネットワークにも出力電流を供給する必要があります。たとえば、図40のアンプに供給される負荷抵抗は $R_{LOAD} || (R_F + R_G)$ です。100 Ω の R_{LOAD} 、1k Ω の R_F 、100 Ω の R_G で、アンプはおよそ92 Ω の合計負荷抵抗を駆動します。これは、 R_F の値が減少するにつれて問題になります。AD8067は、30mAの低歪み出力電流を提供するよう定格されています。出力駆動条件が厳しくなるとデバイスの消費電力も増大するため、この点も考慮してください。

DC誤差の計算

図44に、電圧帰還型アンプに関連する主なDC誤差を示します。反転構成にも非反転構成にも、次の式が成立します。

$$V_{OS}による出力電圧誤差 = V_{OS} \left(\frac{R_G + R_F}{R_G} \right)$$

$$I_Bによる出力電圧誤差 = I_{B+} \times R_S \left(\frac{R_F + R_G}{R_G} \right) - I_{B-} \times R_F$$

合計誤差は、この2つの合計となります。

次の式で合計 V_{OS} をモデル化して、DCコモン・モードと電源の効果を追加できます。

$$V_{OS}(tot) = V_{OS}(nom) + \frac{\Delta V_S}{PSR} + \frac{\Delta V_{CM}}{CMR}$$

$V_{OS}(nom)$ は、公称条件で規定されたオフセット電圧です（最大1mV）。 ΔV_S は、公称条件からの電源電圧の変化です。 PSR は電源除去比です（最小90dB）。 ΔV_{CM} は、公称のテスト条件からのコモン・モード電圧の変化です。 CMR はコモン・モード除去です（AD8067では最小85dB）。

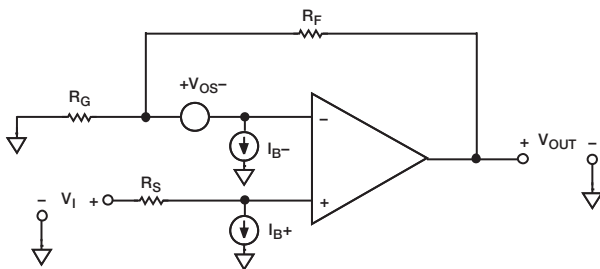


図44. オペアンプのDC誤差源

入/出力の過負荷時の現象

図45に、AD8067入力段の簡略化した回路図を示します。ここでは、カスコードされたNチャンネルJFET入力ペア、ESDやその他の保護ダイオード、位相反転現象を防止する補助NPN入力段が示されています。

アンプへのコモン・モード入力電圧が正電源の約3V以内に駆動されると、入力JFETのバイアス電流がオフになり、NPNペアのバイアスがオンになって、アンプの制御を引き継ぎます。ここで、NPN差動ペアがアンプのオフセットを設定し、入力バイアス電流が数十 μA の範囲になります。この現象を図25と図26に示します。通常の動作を再開するのは、コモン・モード電圧が正電源スレッシュホールドから3V下になったときです。

出力トランジスタには、出力がオーバードライブされたときに、その飽和の程度を制限する回路があります。これによって、出力回復時間を短縮します。図17に、 $G=+10$ のバッファとして使用するAD8067の出力回復時間のプロットを示します。

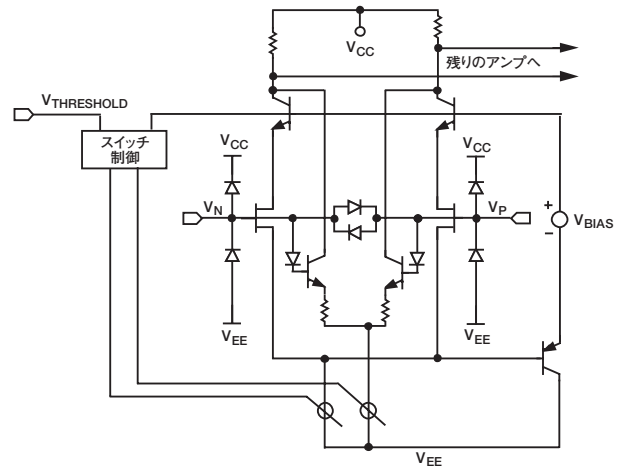


図45. 簡略化した入力回路図

AD8067

入力保護

AD8067の入力は、入力端子間にそれぞれ配置したダイオードや、電源のESDダイオードによって保護されています。これにより、入力段はピコ・アンペアの入力電流となり、劣化を生じることなく2kVのESD（人体モデル）に耐えられるようになっています。

保護デバイスによる消費電力が大きくなりすぎると、アンプの破壊や性能の低下を招きます。差動電圧が0.7Vより大きくなると、入力電流はおよそ $(|V_+ - V_-| - 0.7V) / (R_I + R_G)$ になります。ここで、 R_I と R_G は抵抗です（図46を参照）。入力電圧が正電源を超える場合、入力電流はおよそ $(V_I - V_{CC} - 0.7V) / R_I$ になり、負電源を超える場合、およそ $(V_I - V_{EE} + 0.7V) / R_I$ になります。これらの条件のいずれについても、入力電流を50mA以下に制限するように R_I の値を選択してください。

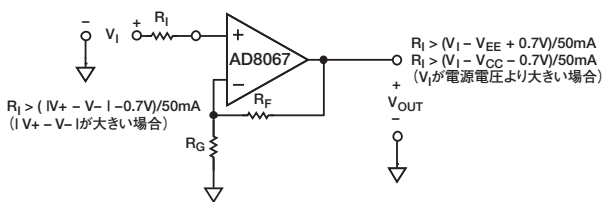


図46. 電流制限抵抗

容量性負荷の駆動

アンプの出力インピーダンスが有限であるために、容量性負荷によってアンプのループ応答にポールを生じます。このために、応答に過剰なピーキングとリングングが発生することがあります。ゲインが+10のAD8067なら、過剰なピーキングを発生することなく30pFまでの容量性負荷を処理します（図8を参照）。これより大きな容量性負荷の駆動が必要な場合には、負荷と直列に小さな抵抗を挿入することを考えてください（最初は24.9Ωをお勧めします）。容量性負荷の駆動能力は、アンプのゲインが増加するにつれて増大します。

レイアウト、接地、バイパスのポイント

レイアウト

入力バイアス電流がきわめて低いアンプ・アプリケーションでは、浮遊リーク電流経路を最小限にする必要があります。アンプ入力と周辺のパターンとの間に電圧差があると、PCBを通じてリーク経路が生じます。アンプの入力に、グラウンドまでの100GΩと1V信号が存在するとします。結果として生じるリーク電流は10pAです。これは、アンプの入力バイアス電流の10倍です。PCBレイアウトの不良、汚れ、基板材料によって大きなリーク電流が生じることもあります。基板上によくある汚染物質としては、皮膚の油脂、水分、ハンダ用フラックス、洗浄剤があります。AD8067の低入力バイアス電流をフルに活用するには、基板を十分にきれいにし、基板表面に汚染物質がないようにする必要があります。

リーク経路を大幅に減らすために、入力の周辺にガード・リング／シールドを使用してください。入力ピンを囲むガード・リングは、入力信号と同じ電位に駆動されるため、ピン間の電位差を減らします。ガード・リングの効果を十分に発揮させるには、比較的低いインピーダンス・ソースで駆動するほか、多層基板を使用して入力ピンの全側面、上、下を完全に囲む必要があります（図47を参照）。SOT-23-5パッケージの場合、リーク経路を最小限にするのは難しくなります。ピンの間隔が非常に狭いため、ガード・リングを設計するときには特に注意する必要があります（ガード・リングの推奨レイアウトについては図48を参照）。

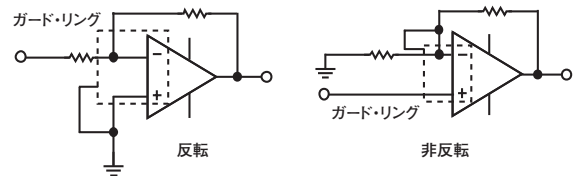


図47. ガード・リングの構成

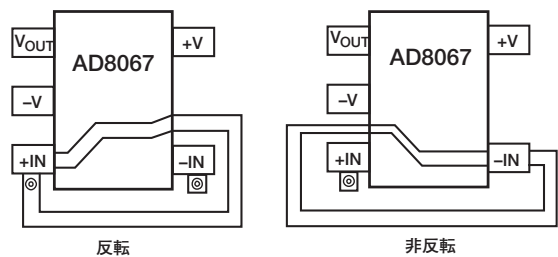


図48. ガード・リングのレイアウト、SOT-23-5

接地

密度を高くして実装した高速の基板でグラウンド・ループと寄生インダクタンスを最小限に抑えるには、グラウンド・プレーン層が重要です。高速回路設計の実装では、回路内のどこに電流が流れるかを把握しておくことが重要です。電流経路の長さは、寄生インダクタンスの大きさに正比例するため、その経路の高周波数インピーダンスにも正比例することになります。グラウンド・リターン経路のインダクタンス成分に流れる高速に変化する電流によって、望ましくないノイズとリングングが発生します。

高周波数バイパス・コンデンサのリード長が重要です。バイパス・グラウンド経路内の寄生インダクタンスが、バイパス・コンデンサから生じる低インピーダンスに逆らって作用します。グラウンドだけでなく電源からも負荷電流が流れるため、バイパス・コンデンサのグラウンドと物理的に同じ長さの位置に負荷を配置する必要があります。低周波数での効果を目的とした大きな値のコンデンサの場合は、電流のリターンパスの長さはあまり重要ではありません。

電源のバイパス

電源ピンは実際には入力であるため、これらの入力には、クリーンでローノイズのDC電圧源を用いるよう注意してください。バイパス・コンデンサには2つの機能があります。

1. 不要な周波数に対して電源入力からグラウンドまで低インピーダンスの経路にして、電源ラインに対するノイズの影響を減らします。
2. 局部的に電荷蓄積を行います。このためには、通常大きな電解コンデンサを使用します。

すべての周波数でバイパス・インピーダンスを最小限に抑えるデカップリング方式に設計します。グラウンドに対してコンデンサを並列に入れて実現します。上質のセラミック・チップ・コンデンサ (X7RまたはNPO) を使用し、必ずアンプ・パッケージの近くに入れます。0.1 μ Fのセラミックと10 μ Fの電解との並列組み合わせによって、不要ノイズを広範囲に除去することができます。高周波数のバイパスでは、10 μ Fコンデンサはそれほど重要ではありません。ほとんどの場合、電源ラインごとに1個で十分です。

AD8067

アプリケーション

広帯域フォトダイオード・プリアンプ

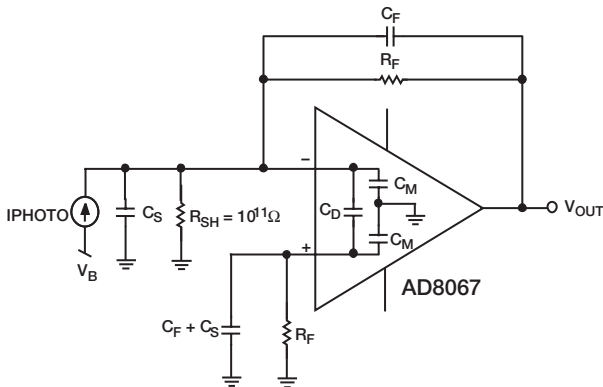


図49. 広帯域フォトダイオード・プリアンプ

図49に、フォトダイオードを用いたI/Vコンバータ例を示します。

基本伝達関数は次のとおりです。

$$V_{OUT} = \frac{I_{PHOTO} \times R_F}{1 + sC_F R_F}$$

ここで、 I_{PHOTO} はフォトダイオードの出力電流で、 R_F と C_F の並列組み合わせによって信号の帯域幅を設定します。

このプリアンプで実現可能な安定帯域幅は、 R_F 、アンプのゲイン帯域幅積、 C_S にアンプの入力容量を含めたアンプの加算接合部における全容量との関数です。 R_F と合計容量によってアンプのループ伝達内にポールが生じ、ピーキングや不安定性をもたらすことがあります。 C_F を追加すると、ループ伝達内にゼロが生じ、ポールの影響を相殺し、信号帯域幅を減少させます。 45° の位相余裕 ($f_{(45)}$) をもたらず信号帯域幅は、次の式で表されます。

$$f_{(45)} = \sqrt{\frac{GBP}{2\pi \times R_F \times C_S}}$$

GBP はゲイン帯域幅積、 R_F はフィードバック抵抗、 C_S はアンプの加算接合部における全容量です (アンプ+フォトダイオード+基板の寄生容量)。

$f_{(45)}$ を生成する C_F の値は、次の式で表すことができます。

$$C_F = \sqrt{\frac{C_S}{2\pi \times R_F \times GBP}}$$

この場合の周波数応答では、約2dBのピーキングと15%のオーバーシュートが見られます。 C_F を2倍にして帯域幅を半分カットすると、約5%のオーバーシュートを持つ平坦な周波数応答になります。

図50に、周波数全体にわたるプリアンプの出力ノイズを示します。

表II. フォトダイオード・プリアンプのRMSノイズ寄与分

要因	式	RMSノイズ ¹ (μV)
$R_F \times 2$	$\sqrt{2 \times 4kT \times R_F \times f_2 \times 1.57}$	152
Amp ~ f_1	$V_{noise} \times \sqrt{f_1}$	4.3
Amp ($f_2 \sim f_1$)	$V_{noise} \times \sqrt{\frac{(C_S + C_M + C_F + 2C_D)}{C_F}} \times \sqrt{f_2 - f_1}$	96
Amp ($f_2 \sim$)	$V_{noise} \times \frac{(C_S + C_M + C_F + 2C_D)}{C_F} \times \sqrt{f_3 \times 1.57}$	684
	RSS合計	708

¹ $R_F=50k\Omega$, $C_S=0.67pF$, $C_F=0.33pF$, $C_M=1.5pF$, $C_D=2.5pF$ でのRMSノイズ

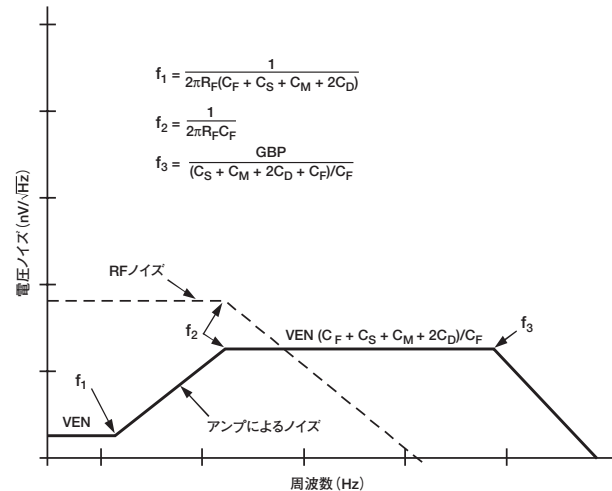
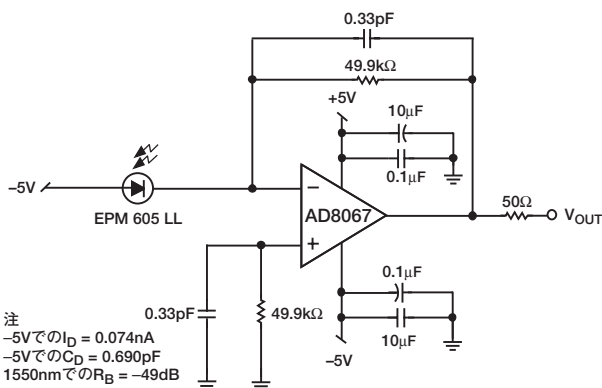


図50. フォトダイオードの電圧ノイズ寄与

図51に、トランスインピーダンス・フォトダイオード・アンプとして構成されたAD8067を示します。JDS Uniphaseフォトダイオード検出器と組み合わせて、アンプを使用します。図52に示すように、このアンプの帯域幅は9.6MHzで、図50に示す設計式で確認できます。



注
 -5Vでの $I_D = 0.074\text{nA}$
 -5Vでの $C_D = 0.690\text{pF}$
 1550nmでの $R_B = -49\text{dB}$

図51. フォトダイオード・プリアンプ

図52と図53に、プリアンプのテスト・データを示します。

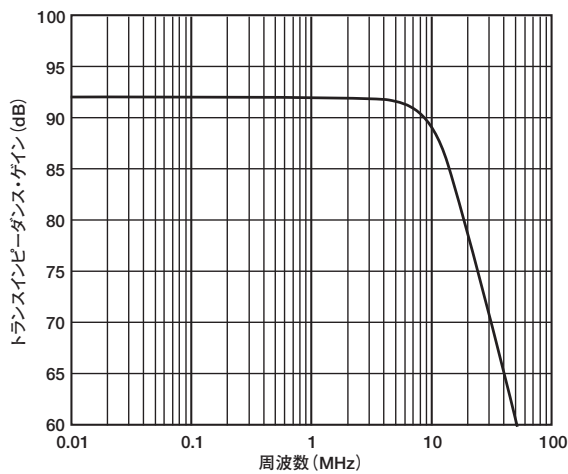


図52. フォトダイオード・プリアンプの周波数応答

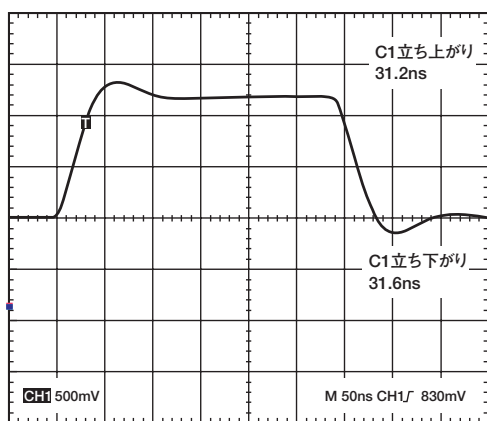


図53. フォトダイオード・プリアンプのパルス応答

ゲイン8未満でAD8067を使用する場合

位相補正のないアンプを安定させるためには、一般に、信号ゲインにかかわらず、ノイズ・ゲインを増やす方法が用いられます。アンプのノイズ・ゲインを少なくとも推奨最小信号ゲインの8に設定すれば、AD8067を8未満の信号ゲインでも使用することができます (図54を参照)。

非反転アンプ用の信号とノイズ・ゲインの式は、以下のとおりです。

$$\text{信号ゲイン} = 1 + \frac{R3}{R1}$$

$$\text{ノイズ・ゲイン} = 1 + \frac{R3}{R1}$$

抵抗 $R2$ を追加すると、下に示すように、ノイズ・ゲインの式が変化しますが、信号ゲインの式は変わりません。

$$\text{ノイズ・ゲイン} = 1 + \frac{R3}{R1 \parallel R2}$$

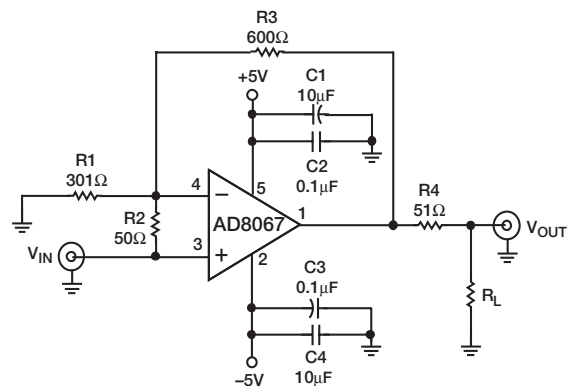


図54. ゲインが2未満の回路図

この方法で、8未満のゲイン構成の設計でAD8067を使用できます。このタイプの補償の欠点は、ノイズ・ゲインの値によって、入力ノイズとオフセット電圧も増幅されてしまうことです。そのほか、歪み性能も低下します。容量性負荷を駆動するときの過剰なオーバーシュートとリングングを回避するため、小さな直列抵抗によってAD8067をバッファリングしてください。ここでは、51Ωの抵抗を使用しています。

AD8067

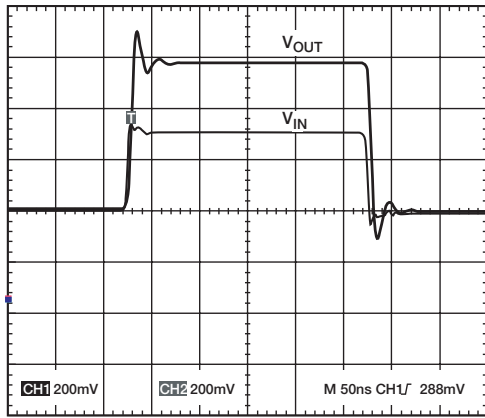


図55. ゲイン2のパルス応答

単電源動作

AD8067は、NチャンネルJFET入力段とレールtoレール出力段を備えているため、低電圧の単電源アプリケーションに特に適しています。AD8067は、5V電源に完全に対応した仕様になっています。単電源アプリケーションを成功させるには、アンプの入/出力ヘッドルーム限界内に信号電圧を保持することが重要です。入力段のヘッドルームは、5V電源で1.7V（最小）まで、入力範囲の中心は0.85Vです。出力ヘッドルームのハード制限は、出力飽和限界で決まります。この限界は、図29に示すように、アンプがソースまたはシンクしている電流の量に依存します。

グラウンドをリファレンスにした入力ネットワークによってオフセット電圧が発生します。これによって、出力がDCリファレンス・ポイント（一般に電源電圧の半分）を中心に変動することになります。アンプにどのくらいヘッドルームが必要か十分に注意してください。この場合、正電源からの必要なヘッドルームは3Vです。したがって、リファレンスに1.5Vを選択し、入力では100mVの信号を使用できます。図56に、1.5Vのリファレンス電圧で5V電源動作で構成したAD8067を示します。コンデンサC1とC5で信号をAC結合し、入/出力の帯域幅を決定します。

$$V_{INPUT}-3dB帯域幅 = \frac{1}{2\pi R1C1}$$

$$V_{OUTPUT}-3dB帯域幅 = \frac{1}{2\pi R_L C5}$$

抵抗R2とR3で、出力信号の変化の中心となる1.5Vの出力バイアス・ポイントに設定します。リファレンス電圧に優れたACグラウンドを提供するには、十分なバイパス処理が大切です。一般に、リファレンス・ネットワーク（R2、R3、C2）の帯域幅を入力帯域幅の10分の1にします。これによって、入力帯域幅より下の周波数がリファレンス・ネットワークを通過してアンプに入ってくるようになります。

リファレンス・ネットワーク

$$V_{+REF}-3dB帯域幅 = \frac{1}{2\pi (R2||R3) C2}$$

抵抗R4とR1で、ゲインを設定します。この場合、10の反転ゲインを選択しています。このアプリケーションでは、入/出力帯域幅を約10Hzに設定し、リファレンス・ネットワークは約1Hz、入/出力帯域幅の10分の1に設定してあります。

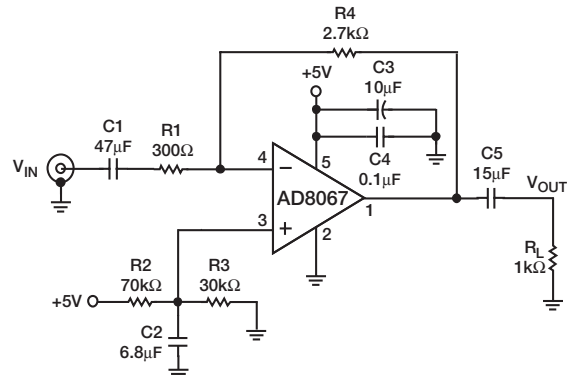


図56. 単電源動作の回路図

高ゲイン、高帯域幅の複合アンプ

複合アンプの利点は、通常のシングル・アンプでは両立しない主要パラメータを組み合わせることができるところです。たとえば、大部分の精密アンプには優れたDC特性がありますが、高速のAC特性を欠いています。複合アンプでは、両方のアンプの最も良い面を合わせ、シングル・オペアンプより優れた性能を実現します。AD8067とAD8009は複合アンプ回路に非常に適しており、DC精度とともに高ゲインと高帯域幅を実現します。回路は、約20mAの動作電流で±5V電源から動作します。この複合アンプは、約40dBのゲインで、<1pAの入力電流、6.1GHzのゲイン帯域幅積、630V/μsのスルーレートを實現します。

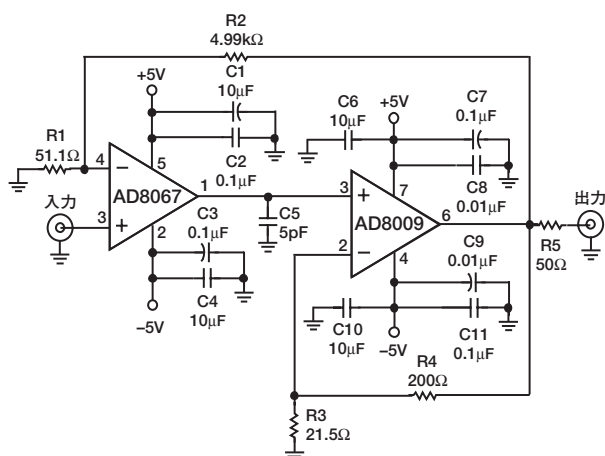


図57. AD8067/AD8009複合アンプ、
 $A_v=100$ 、 $GBWP=6.1\text{GHz}$

この複合アンプは100のゲインで設定されています。全体のゲインは、次の式で設定できます。

$$\frac{V_o}{V_i} = \frac{R2}{R1} + 1$$

出力段は+10のゲインに設定します。したがって、AD8067の実効ゲインは+10になり、55MHzを超える帯域幅を維持できます。

この回路はさまざまなゲイン値に合わせて調整できます。比率をほぼ同じにすれば、帯域幅をきちんと維持できます。基板のレイアウトによっては、出力でのリングングを減らすためにコンデンサC5が必要になります。図58、図59、図60に、ゲイン帯域幅とパルス応答を示します。

この回路のレイアウトでは、フィードバック・パスの配線の仕方と長さに注意してください。浮遊容量を最小限に抑えるために、フィードバック・パスをできるだけ短くします。

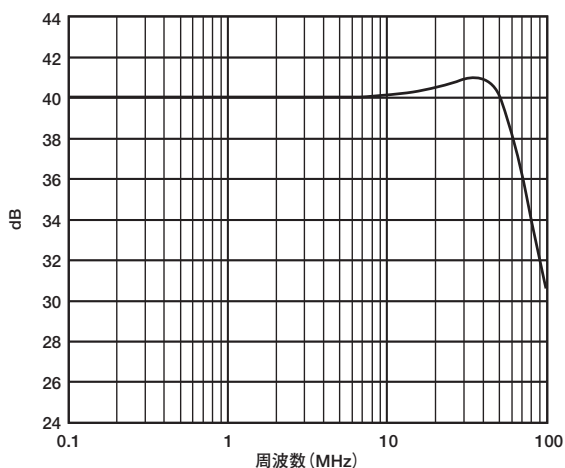


図58. 同複合アンプのゲイン帯域幅応答

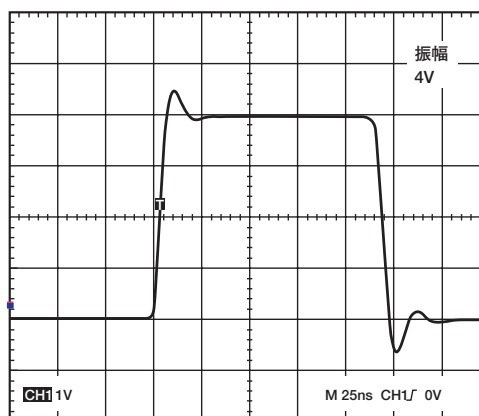


図59. 同複合アンプの大信号応答

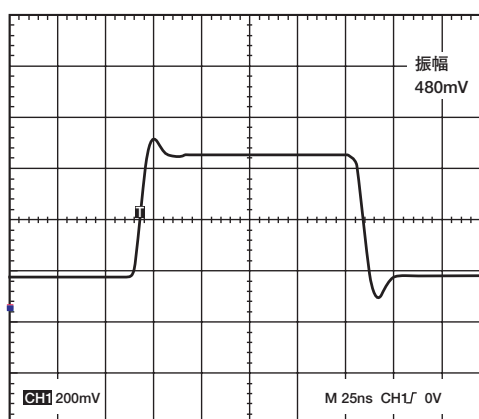
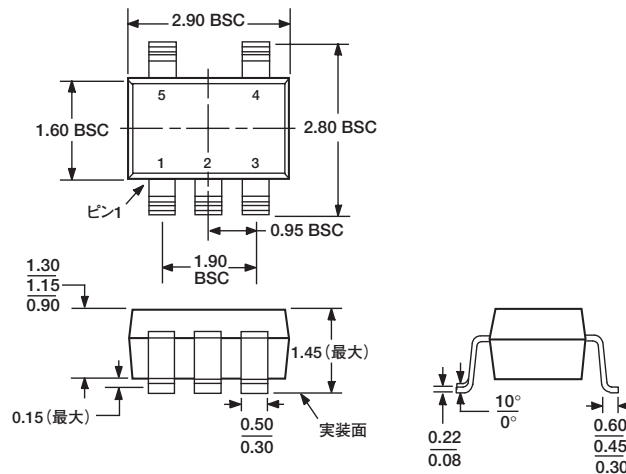


図60. 同複合アンプの小信号応答

外形寸法

5ピン・プラスチック表面実装パッケージ[SOT-23]
(RT-5)

寸法はミリメートルで表示



JEDEC規格MO-178AAに準拠

注意

ESD（静電放電）の影響を受けやすいデバイスです。人体や試験機器には4,000Vもの高圧の静電気が容易に蓄積され、検知されないまま放電されます。本製品は当社独自のESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。



オーダー・ガイド

モデル	温度範囲	パッケージ	パッケージ外形	ブランド・コード
AD8067ART-REEL	-40～+85℃	5ピンSOT-23	RT-5	HAB
AD8067ART-REEL7	-40～+85℃	5ピンSOT-23	RT-5	HAB
AD8067ART-R2	-40～+85℃	5ピンSOT-23	RT-5	HAB