



# 低価格 高速レールtoレール・アンプ

## AD8051/AD8052/AD8054

### 特長

5 Vでの高速動作と高速セトリング

AD8051/AD8052 の-3 dB 帯域幅: 110 MHz、(G = +1)

AD8054 の-3 dB 帯域幅: 150 MHz、(G = +1)

スルーレート: 145 V/ $\mu$ s

0.1%へのセトリング・タイム: 50 ns

単電源動作

出力振幅: 両電源レールの内側 25 mV まで

入力電圧範囲: -0.2 V ~ +4 V、 $V_S = 5$  V

ビデオ仕様 (G = +2)

0.1 dB ゲイン平坦性: 20 MHz、 $R_L = 150 \Omega$

微分ゲイン/微分位相: 0.03%/0.03°

低歪み

1 MHz、 $R_L = 100 \Omega$  での総合高調波歪: -80 dBc

優れた負荷駆動能力

駆動電流 45 mA、電源レールから 0.5 V (AD8051/AD8052)

50 pF の容量負荷を駆動 (G = +1) (AD8051/AD8052)

低消費電力: 2.75 mA/アンプ (AD8054)

低消費電力: 4.4 mA/アンプ (AD8051/AD8052)

### アプリケーション

アクティブ・フィルタ

A/D コンバータのドライバ

クロック・バッファ

民生ビデオ

業務用カメラ

CCD 画像処理システム

CD/DVD ROM

### 概要

AD8051 (シングル)、AD8052 (デュアル)、AD8054 (クワッド) は、低価格の高速電圧帰還アンプです。これらのアンプは、+3 V、+5 V、 $\pm 5$  V の電源で動作し、電源電流は小さくなっています。これらのデバイスは、負側電源レールの下側 200 mV まで、かつ正側電源レールから 1V 以内までの入力電圧範囲を持つ真の単電源動作機能を持っています。

AD8051/AD8052/AD8054 は、低価格ですが優れた総合性能と多機能性を提供します。出力電圧振幅が各電源レールの内側 25 mV まで延びているため、最大の出力ダイナミック・レンジと優れたオーバードライブ回復性能をもっています。

このため、AD8051/AD8052/AD8054 は、ビデオ機器、カメラ、ビデオ・スイッチャや、その他の高速ポータブル機器に適しています。また、低い歪み特性と高速セトリングであるため、アクティブ・フィルタ・アプリケーションに最適です。

AD8051 は 8 ピン SOIC、AD8052 は 8 ピン SOIC または 8 ピン MSOP を、AD8054 は 14 ピン SOIC または 14 ピン TSSOP パッケージを、それぞれ採用し、-40°C ~ +125°C の拡張温度範囲で動作します。

### ピン配置 (上面図)

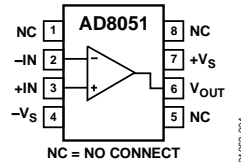


図 1. SOIC-8 (R)

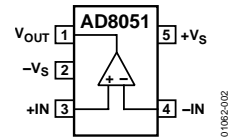


図 2. SOT-23-5 (RJ)

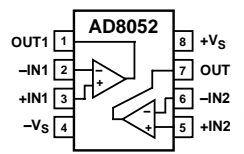


図 3. SOIC (R-8) と MSOP (RM-8)

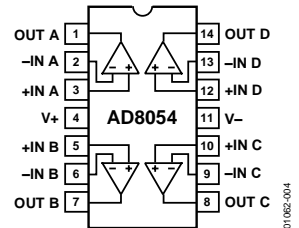


図 4. SOIC (R-14) と TSSOP (RU-14)

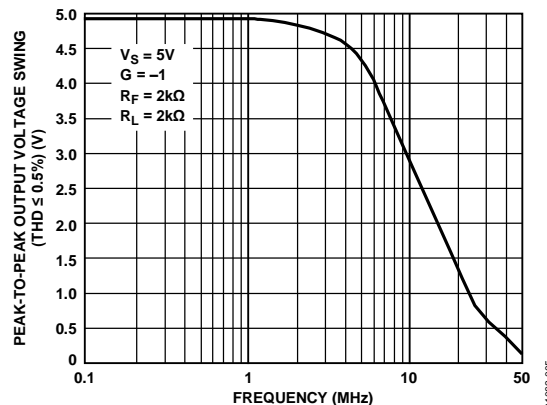


図 5. 低歪みのレール to レール出力振幅

Rev. J

アナログ・デバイセズ株式会社

本 社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル  
電話 03 (5402) 8200  
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー  
電話 06 (6350) 6868

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許その他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。  
※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。  
©2009 Analog Devices, Inc. All rights reserved.

## 目次

特長.....	1	回路説明.....	16
アプリケーション.....	1	アプリケーション情報.....	17
ピン配置 (上面図).....	1	オーバードライブからの回復.....	17
概要.....	1	容量負荷の駆動.....	17
改訂履歴.....	2	レイアウト時の考慮事項.....	18
仕様.....	3	アクティブ・フィルタ.....	18
絶対最大定格.....	9	A/D変換器アプリケーションと	
熱抵抗.....	9	D/A変換器アプリケーション.....	19
最大消費電力.....	9	同期ストリップ.....	20
ESDの注意.....	9	単電源のコンボジット・ビデオ・ライン・ドライバ.....	20
代表的な性能特性.....	10	外形寸法.....	21
動作原理.....	16	オーダー・ガイド.....	23
<b>改訂履歴</b>			
<b>7/09—Rev. I to Rev. J</b>		<b>2/03—Rev. C to Rev. D</b>	
Changes to Figure 22.....	12	Changes to General Description.....	1
<b>12/08—Rev. H to Rev. I</b>		Changes to Specifications.....	3
Change to Settling Time to 0.1% Parameter, Table 1.....	3	Changes to Absolute Maximum Ratings.....	6
Updated Outline Dimensions.....	20	<b>1/03—Rev. B to Rev. C</b>	
<b>12/07—Rev. G to Rev. H</b>		Changes to General Description.....	1
Changes to Applications.....	1	Changes to Pin Connections.....	1
Updated Outline Dimensions.....	21	Changes to Specifications.....	2
Changes to Ordering Guide.....	23	Changes to Absolute Maximum Ratings.....	9
<b>5/06—Rev. F to Rev. G</b>		Changes to Figure 2.....	9
Updated Format.....	Universal	Changes to Ordering Guide.....	9
Changes to Features, Applications, and General Description.....	1	Updated Outline Dimensions.....	20
Changes to Figure 15.....	12		
Changes to the Ordering Guide.....	22		
<b>9/04—Rev. E to Rev. F</b>			
Changes to Ordering Guide.....	7		
Changes to Figure 15.....	15		
<b>3/04—Rev. D to Rev. E</b>			
Changes to General Description.....	2		
Changes to Specifications.....	3		
Changes to Ordering Guide.....	6		

## 仕様

特に指定がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_S = 5\text{ V}$ 、 $R_L = 2\text{ k}\Omega$  (2.5 Vへ接続)。

表 1.

Parameter	Conditions	AD8051A/AD8052A			AD8054A			Unit
		Min	Typ	Max	Min	Typ	Max	
<b>DYNAMIC PERFORMANCE</b>								
-3 dB Small Signal Bandwidth	$G = +1$ , $V_{OUT} = 0.2\text{ V p-p}$	70	110		80	150		MHz
	$G = -1, +2$ , $V_{OUT} = 0.2\text{ V p-p}$		50			60		MHz
Bandwidth for 0.1 dB Flatness	$G = +2$ , $V_{OUT} = 0.2\text{ V p-p}$ , $R_L = 150\ \Omega$ to 2.5 V $R_F = 806\ \Omega$ (AD8051A/ AD8052A) $R_F = 200\ \Omega$ (AD8054A)		20			12		MHz
Slew Rate	$G = -1$ , $V_{OUT} = 2\text{ V step}$	100	145		140	170		V/ $\mu\text{s}$
Full Power Response	$G = +1$ , $V_{OUT} = 2\text{ V p-p}$		35			45		MHz
Settling Time to 0.1%	$G = -1$ , $V_{OUT} = 2\text{ V step}$		50			40		ns
<b>NOISE/DISTORTION PERFORMANCE</b>								
Total Harmonic Distortion <sup>1</sup>	$f_C = 5\text{ MHz}$ , $V_{OUT} = 2\text{ V p-p}$ , $G = +2$		-67			-68		dB
Input Voltage Noise	$f = 10\text{ kHz}$		16			16		nV/ $\sqrt{\text{Hz}}$
Input Current Noise	$f = 10\text{ kHz}$		850			850		fA/ $\sqrt{\text{Hz}}$
Differential Gain Error (NTSC)	$G = +2$ , $R_L = 150\ \Omega$ to 2.5 V $R_L = 1\text{ k}\Omega$ to 2.5 V		0.09 0.03			0.07 0.02		% %
Differential Phase Error (NTSC)	$G = +2$ , $R_L = 150\ \Omega$ to 2.5 V $R_L = 1\text{ k}\Omega$ to 2.5 V		0.19 0.03			0.26 0.05		Degrees Degrees
Crosstalk	$f = 5\text{ MHz}$ , $G = +2$		-60			-60		dB
<b>DC PERFORMANCE</b>								
Input Offset Voltage			1.7	10		1.7	12	mV
	$T_{MIN} - T_{MAX}$			25			30	mV
Offset Drift			10			15		$\mu\text{V}/^\circ\text{C}$
Input Bias Current			1.4	2.5		2	4.5	$\mu\text{A}$
	$T_{MIN} - T_{MAX}$			3.25			4.5	$\mu\text{A}$
Input Offset Current			0.1	0.75		0.2	1.2	$\mu\text{A}$
Open-Loop Gain	$R_L = 2\text{ k}\Omega$ to 2.5 V	86	98		82	98		dB
	$T_{MIN} - T_{MAX}$		96			96		dB
	$R_L = 150\ \Omega$ to 2.5 V	76	82		74	82		dB
	$T_{MIN} - T_{MAX}$		78			78		dB
<b>INPUT CHARACTERISTICS</b>								
Input Resistance			290			300		k $\Omega$
Input Capacitance			1.4			1.5		pF
Input Common-Mode Voltage Range			-0.2 to +4			-0.2 to +4		V
Common-Mode Rejection Ratio	$V_{CM} = 0\text{ V}$ to 3.5 V	72	88		70	86		dB
<b>OUTPUT CHARACTERISTICS</b>								
Output Voltage Swing	$R_L = 10\text{ k}\Omega$ to 2.5 V		0.015 to 4.985			0.03 to 4.975		V
	$R_L = 2\text{ k}\Omega$ to 2.5 V	0.1 to 4.9	0.025 to 4.975		0.125 to 4.875	0.05 to 4.95		V
	$R_L = 150\ \Omega$ to 2.5 V	0.3 to 4.625	0.2 to 4.8		0.55 to 4.4	0.25 to 4.65		V
Output Current	$V_{OUT} = 0.5\text{ V}$ to 4.5 V		45			30		mA
	$T_{MIN} - T_{MAX}$		45			30		mA
Short-Circuit Current	Sourcing		80			45		mA
	Sinking		130			85		mA
Capacitive Load Drive	$G = +1$ (AD8051/AD8052) $G = +2$ (AD8054)		50			40		pF pF
<b>POWER SUPPLY</b>								
Operating Range		3		12	3		12	V

# AD8051/AD8052/AD8054

Parameter	Conditions	AD8051A/AD8052A			AD8054A			Unit
		Min	Typ	Max	Min	Typ	Max	
Quiescent Current/Amplifier			4.4	5		2.75	3.275	mA
Power Supply Rejection Ratio	$\Delta V_S = \pm 1$ V	70	80		68	80		dB
OPERATING TEMPERATURE RANGE	RJ-5	-40		+85				°C
	RM-8, R-8, RU-14, R-14	-40		+125	-40		+125	°C

<sup>1</sup> 图 19 参照。

特に指定がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_S = 3\text{ V}$ 、 $R_L = 2\text{ k}\Omega$  (1.5 V ~ 接続)。

表 2.

Parameter	Conditions	AD8051A/AD8052A			AD8054A			Unit	
		Min	Typ	Max	Min	Typ	Max		
<b>DYNAMIC PERFORMANCE</b>									
-3 dB Small Signal Bandwidth	$G = +1$ , $V_{OUT} = 0.2\text{ V p-p}$	70	110		80	135		MHz	
Bandwidth for 0.1 dB Flatness	$G = -1, +2$ , $V_{OUT} = 0.2\text{ V p-p}$		50			65		MHz	
	$G = +2$ , $V_{OUT} = 0.2\text{ V p-p}$ , $R_L = 150\ \Omega$ to 2.5 V $R_F = 402\ \Omega$ (AD8051A/ AD8052A) $R_F = 200\ \Omega$ (AD8054A)		17			10		MHz	
Slew Rate	$G = -1$ , $V_{OUT} = 2\text{ V step}$	90	135		110	150		V/ $\mu\text{s}$	
Full Power Response	$G = +1$ , $V_{OUT} = 1\text{ V p-p}$		65			85		MHz	
Settling Time to 0.1%	$G = -1$ , $V_{OUT} = 2\text{ V step}$		55			55		ns	
<b>NOISE/DISTORTION PERFORMANCE</b>									
Total Harmonic Distortion <sup>1</sup>	$f_C = 5\text{ MHz}$ , $V_{OUT} = 2\text{ V p-p}$ , $G = -1$ , $R_L = 100\ \Omega$ to 1.5 V		-47			-48		dB	
Input Voltage Noise	$f = 10\text{ kHz}$		16			16		nV/ $\sqrt{\text{Hz}}$	
Input Current Noise	$f = 10\text{ kHz}$		600			600		fA/ $\sqrt{\text{Hz}}$	
Differential Gain Error (NTSC)	$G = +2$ , $V_{CM} = 1\text{ V}$		0.11			0.13		%	
	$R_L = 150\ \Omega$ to 1.5 V $R_L = 1\text{ k}\Omega$ to 1.5 V		0.09			0.09		%	
Differential Phase Error (NTSC)	$G = +2$ , $V_{CM} = 1\text{ V}$		0.24			0.3		Degrees	
	$R_L = 150\ \Omega$ to 1.5 V $R_L = 1\text{ k}\Omega$ to 1.5 V		0.10			0.1		Degrees	
Crosstalk	$f = 5\text{ MHz}$ , $G = +2$		-60			-60		dB	
<b>DC PERFORMANCE</b>									
Input Offset Voltage	$T_{MIN} - T_{MAX}$		1.6	10		1.6	12	mV	
				25			30	mV	
Offset Drift			10			15		$\mu\text{V}/^\circ\text{C}$	
Input Bias Current	$T_{MIN} - T_{MAX}$		1.3	2.6		2	4.5	$\mu\text{A}$	
				3.25			4.5	$\mu\text{A}$	
Input Offset Current			0.15	0.8		0.2	1.2	$\mu\text{A}$	
Open-Loop Gain	$R_L = 2\text{ k}\Omega$ $T_{MIN} - T_{MAX}$ $R_L = 150\ \Omega$ $T_{MIN} - T_{MAX}$	80	96		80	96		dB	
			94			94		dB	
		74	82		72	80		dB	
			76			76		dB	
<b>INPUT CHARACTERISTICS</b>									
Input Resistance			290			300		k $\Omega$	
Input Capacitance			1.4			1.5		pF	
Input Common-Mode Voltage Range			-0.2 to +2			-0.2 to +2		V	
Common-Mode Rejection Ratio	$V_{CM} = 0\text{ V}$ to 1.5 V	72	88		70	86		dB	
<b>OUTPUT CHARACTERISTICS</b>									
Output Voltage Swing	$R_L = 10\text{ k}\Omega$ to 1.5 V $R_L = 2\text{ k}\Omega$ to 1.5 V $R_L = 150\ \Omega$ to 1.5 V		0.01 to 2.99			0.025 to 2.98		V	
			0.075 to 2.9	0.02 to 2.98		0.1 to 2.9	0.35 to 2.965		V
			0.2 to 2.75	0.125 to 2.875		0.35 to 2.55	0.15 to 2.75		V
Output Current	$V_{OUT} = 0.5\text{ V}$ to 2.5 V $T_{MIN} - T_{MAX}$		45			25		mA	
			45			25		mA	
Short-Circuit Current	Sourcing		60			30		mA	
		Sinking	90			50		mA	
Capacitive Load Drive	$G = +1$ (AD8051/AD8052) $G = +2$ (AD8054)		45					pF	
						35		pF	

# AD8051/AD8052/AD8054

Parameter	Conditions	AD8051A/AD8052A			AD8054A			Unit
		Min	Typ	Max	Min	Typ	Max	
POWER SUPPLY								
Operating Range		3		12	3		12	V
Quiescent Current/Amplifier			4.2	4.8		2.625	3.125	mA
Power Supply Rejection Ratio	$\Delta V_S = 0.5 \text{ V}$	68	80		68	80		dB
OPERATING TEMPERATURE RANGE								
	RJ-5	-40		+85				°C
	RM-8, R-8, RU-14, R-14	-40		+125	-40		+125	°C

<sup>1</sup> 图 19 参照。

# AD8051/AD8052/AD8054

特に指定がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_S = \pm 5\text{ V}$ 、 $R_L = 2\text{ k}\Omega$  (グラウンドへ接続)。

表 3.

Parameter	Conditions	AD8051A/AD8052A			AD8054A			Unit
		Min	Typ	Max	Min	Typ	Max	
<b>DYNAMIC PERFORMANCE</b>								
-3 dB Small Signal Bandwidth	$G = +1, V_{OUT} = 0.2\text{ V p-p}$	70	110		85	160		MHz
Bandwidth for 0.1 dB Flatness	$G = -1, +2, V_{OUT} = 0.2\text{ V p-p}$ $G = +2, V_{OUT} = 0.2\text{ V p-p}$ , $R_L = 150\ \Omega$ , $R_F = 1.1\text{ k}\Omega$ (AD8051A/ AD8052A) $R_F = 200\ \Omega$ (AD8054A)		50			65		MHz
Slew Rate	$G = -1, V_{OUT} = 2\text{ V step}$	105	170		150	190		V/ $\mu\text{s}$
Full Power Response	$G = +1, V_{OUT} = 2\text{ V p-p}$		40			50		MHz
Settling Time to 0.1%	$G = -1, V_{OUT} = 2\text{ V step}$		50			40		MHz
<b>NOISE/DISTORTION PERFORMANCE</b>								
Total Harmonic Distortion	$f_C = 5\text{ MHz}, V_{OUT} = 2\text{ V p-p}$ , $G = +2$		-71			-72		dB
Input Voltage Noise	$f = 10\text{ kHz}$		16			16		nV/ $\sqrt{\text{Hz}}$
Input Current Noise	$f = 10\text{ kHz}$		900			900		fA/ $\sqrt{\text{Hz}}$
Differential Gain Error (NTSC)	$G = +2, R_L = 150\ \Omega$		0.02			0.06		%
	$R_L = 1\text{ k}\Omega$		0.02			0.02		%
Differential Phase Error (NTSC)	$G = +2, R_L = 150\ \Omega$		0.11			0.15		Degrees
	$R_L = 1\text{ k}\Omega$		0.02			0.03		Degrees
Crosstalk	$f = 5\text{ MHz}, G = +2$		-60			-60		dB
<b>DC PERFORMANCE</b>								
Input Offset Voltage			1.8	11		1.8	13	mV
	$T_{MIN} - T_{MAX}$			27			32	mV
Offset Drift			10			15		$\mu\text{V}/^\circ\text{C}$
Input Bias Current			1.4	2.6		2	4.5	$\mu\text{A}$
	$T_{MIN} - T_{MAX}$			3.5			4.5	$\mu\text{A}$
Input Offset Current			0.1	0.75		0.2	1.2	$\mu\text{A}$
Open-Loop Gain	$R_L = 2\text{ k}\Omega$	88	96		84	96		dB
	$T_{MIN} - T_{MAX}$		96			96		dB
	$R_L = 150\ \Omega$	78	82		76	82		dB
	$T_{MIN} - T_{MAX}$		80			80		dB
<b>INPUT CHARACTERISTICS</b>								
Input Resistance			290			300		k $\Omega$
Input Capacitance			1.4			1.5		pF
Input Common-Mode Voltage Range			-5.2 to +4			-5.2 to +4		V
Common-Mode Rejection Ratio	$V_{CM} = -5\text{ V to } +3.5\text{ V}$	72	88		70	86		dB
<b>OUTPUT CHARACTERISTICS</b>								
Output Voltage Swing	$R_L = 10\text{ k}\Omega$		-4.98 to +4.98			-4.97 to +4.97		V
	$R_L = 2\text{ k}\Omega$	-4.85 to +4.85	-4.97 to +4.97		-4.8 to +4.8	-4.9 to +4.9		V
	$R_L = 150\ \Omega$	-4.45 to +4.3	-4.6 to +4.6		-4.0 to +3.8	-4.5 to +4.5		V
Output Current	$V_{OUT} = -4.5\text{ V to } +4.5\text{ V}$		45			30		mA
	$T_{MIN} - T_{MAX}$		45			30		mA
Short-Circuit Current	Sourcing		100			60		mA
	Sinking		160			100		mA
Capacitive Load Drive	$G = +1$ (AD8051/AD8052)		50					pF
	$G = +2$ (AD8054)					40		pF
<b>POWER SUPPLY</b>								
Operating Range		3		12	3		12	V
Quiescent Current/Amplifier			4.8	5.5		2.875	3.4	mA
Power Supply Rejection Ratio	$\Delta V_S = \pm 1$	68	80		68	80		dB

**AD8051/AD8052/AD8054**

Parameter	Conditions	AD8051A/AD8052A			AD8054A			Unit
		Min	Typ	Max	Min	Typ	Max	
OPERATING TEMPERATURE RANGE	RJ-5	-40		+85				°C
	RM-8, R-8, RU-14, R-14	-40		+125	-40		+125	°C



## 絶対最大定格

表 4.

Parameter	Ratings
Supply Voltage	12.6 V
Internal Power Dissipation <sup>1</sup>	
SOIC Packages	Observe power derating curves
SOT-23 Package	Observe power derating curves
MSOP Package	Observe power derating curves
TSSOP Package	Observe power derating curves
Input Voltage (Common Mode)	$\pm V_S$
Differential Input Voltage	$\pm 2.5$ V
Output Short-Circuit Duration	Observe power derating curves
Storage Temperature Range (R)	-65°C to +150°C
Operating Temperature Range (A Grade)	-40°C to +125°C
Lead Temperature (Soldering 10 sec)	300°C

<sup>1</sup> 表 5 を参照。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

## 熱抵抗

仕様は、自然空冷のデバイスで規定。

表 5. 熱抵抗

Package Type	$\theta_{JA}$	Unit
8-Lead SOIC	125	°C/W
5-Lead SOT-23	180	°C/W
8-Lead MSOP	150	°C/W
14-Lead SOIC	90	°C/W
14-Lead TSSOP	120	°C/W

## 最大消費電力

AD8051/AD8052/AD8054 のパッケージ内での安全な最大消費電力は、チップのジャンクション温度上昇により制限されます。プラスチック・パッケージを採用するデバイスの安全な最大ジャンクション温度は、プラスチックのガラス転移温度により決定され、約 150 °C です。この値を一時的に超えると、パッケージからチップに加わるストレスの変化によりパラメータ性能がシフトすることがあります。175°C のジャンクション温度を長時間超えると、故障の原因になることがあります。

AD8051/AD8052/AD8054 は内部で短絡保護されていますが、最大ジャンクション温度(150°C)がすべての条件で超えないことを保証するためには、これは十分ではありません。正常動作のためには、最大消費電力ディレーティング・カーブに従う必要があります。

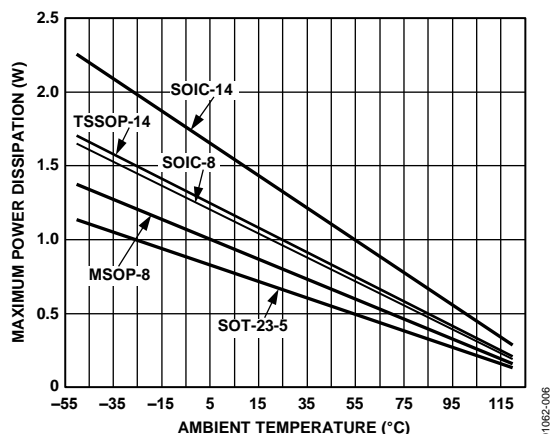


図 6. AD8051/AD8052/AD8054 の温度対最大消費電力

## ESD の注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されずにそのまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

代表的な性能特性

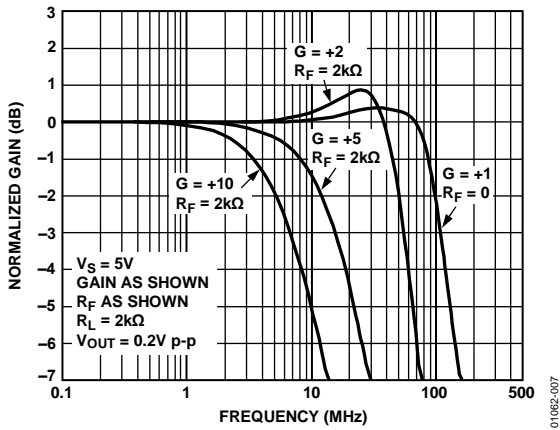


図 7. AD8051/AD8052 正規化ゲインの周波数特性、 $V_S = 5V$

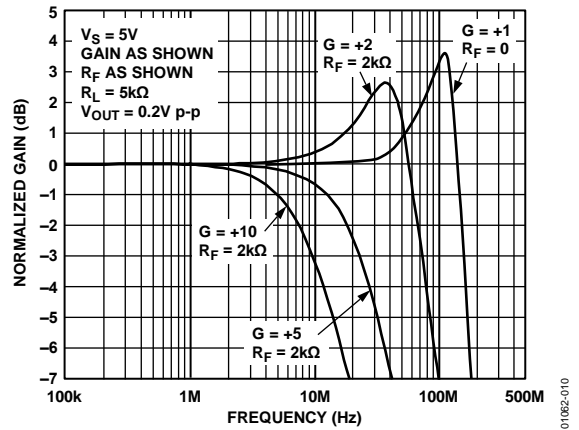


図 10. AD8054 正規化ゲインの周波数特性、 $V_S = 5V$

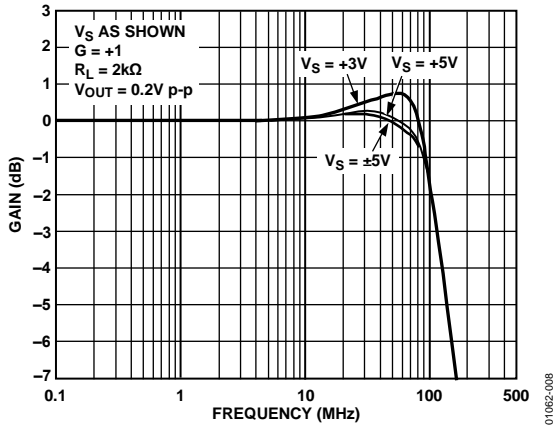


図 8. 様々な電源での AD8051/AD8052 ゲインの周波数特性

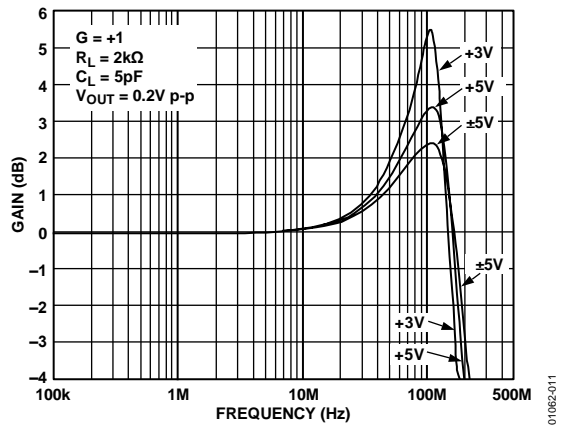


図 11. 様々な電源での AD8054 ゲインの周波数特性

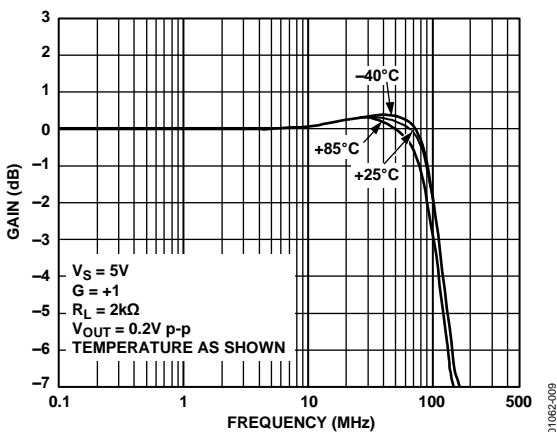


図 9. 様々な温度での AD8051/AD8052 ゲインの周波数特性

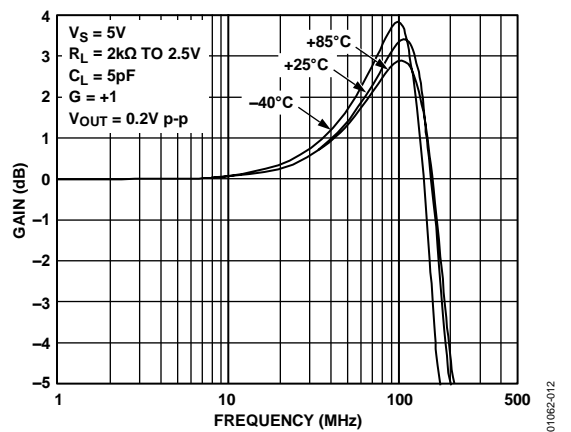


図 12. 様々な温度での AD8054 ゲインの周波数特性

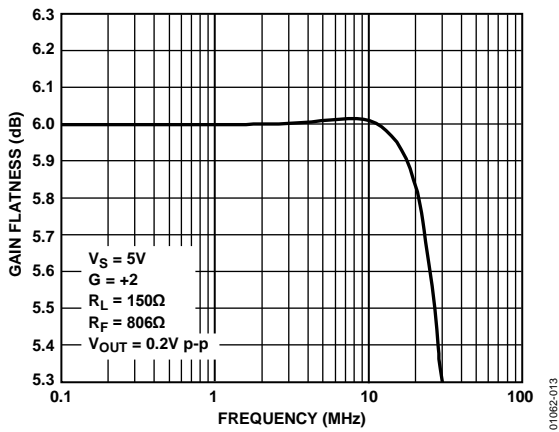


図 13. AD8051/AD8052 の 0.1 dB ゲイン平坦性の周波数特性、  
G = +2

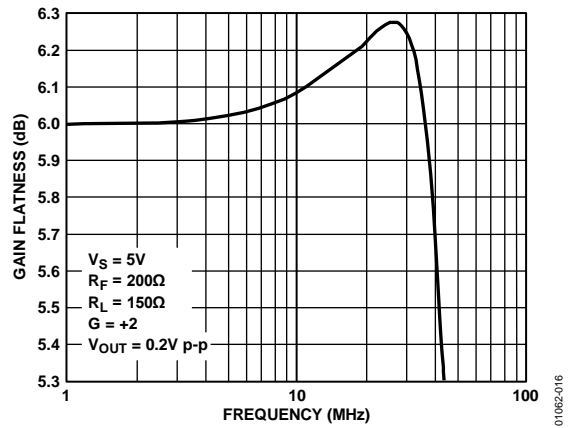


図 16. AD8054 の 0.1 dB ゲイン平坦性の周波数特性  
G = +2

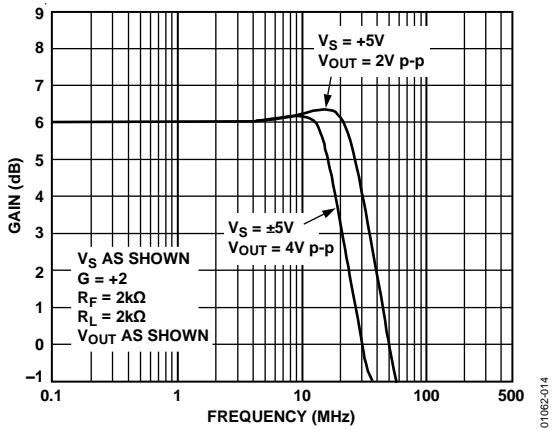


図 14. AD8051/AD8052 の大信号周波数応答、G = +2

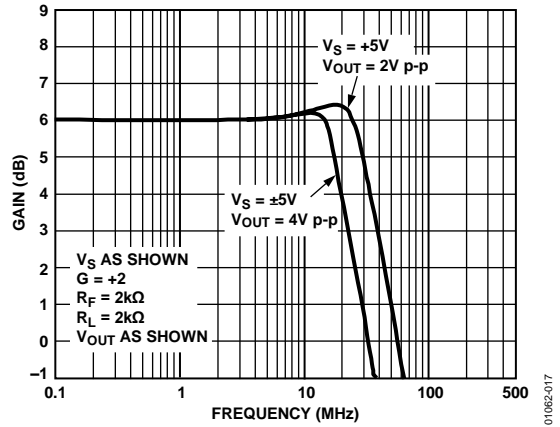


図 17. AD8054 大信号周波数応答、G = +2

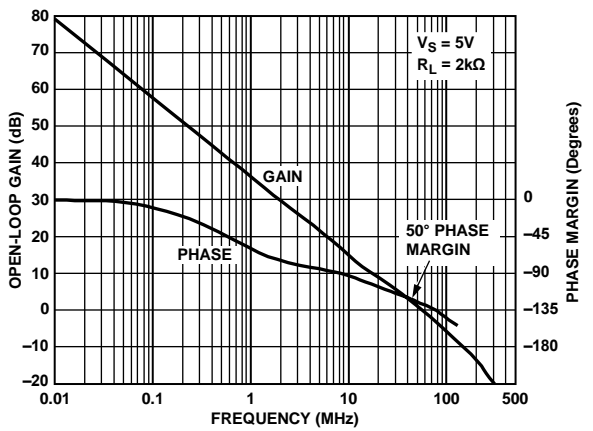


図 15. AD8051/AD8052 のオープン・ループ・ゲインと  
位相の周波数特性

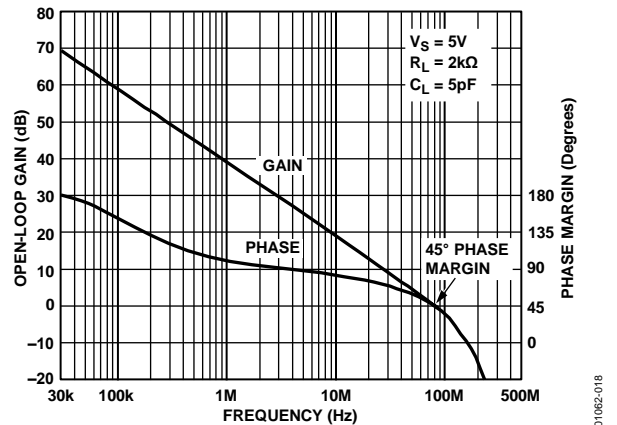


図 18. AD8054 のオープン・ループ・ゲインと  
位相マージンの周波数特性

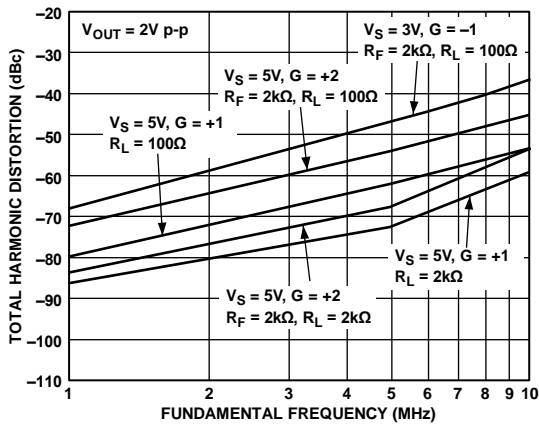


図 19.総合高調波歪み

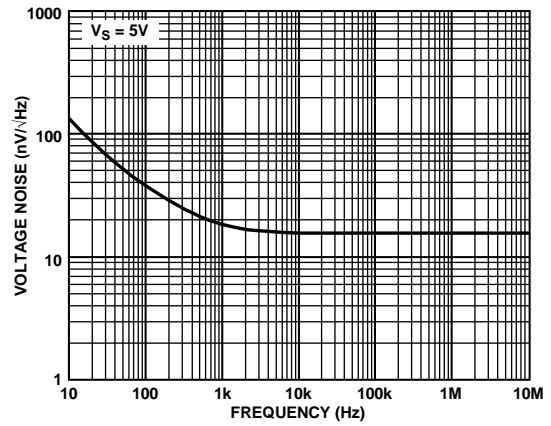


図 22.入力換算電圧性ノイズの周波数特性

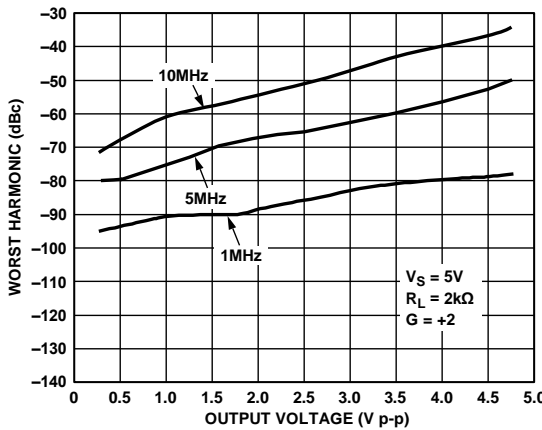


図 20.出力電圧対ワースト・ケース高調波

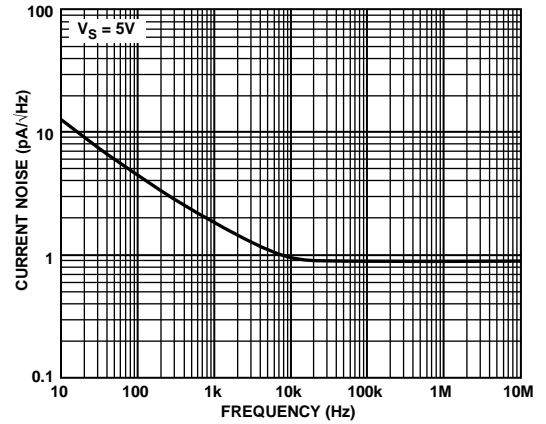


図 23.入力電流ノイズの周波数特性

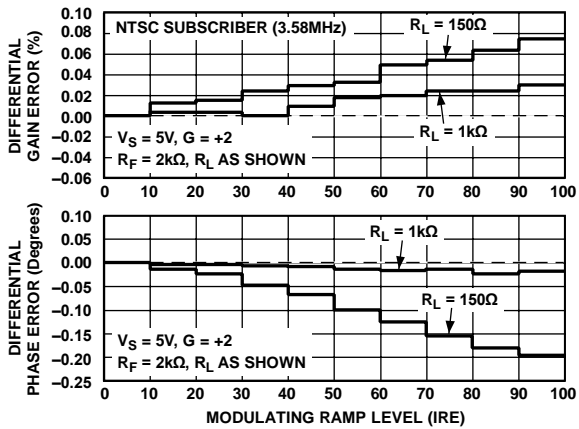


図 21.AD8051/AD8052 の微分ゲイン誤差と微分位相誤差

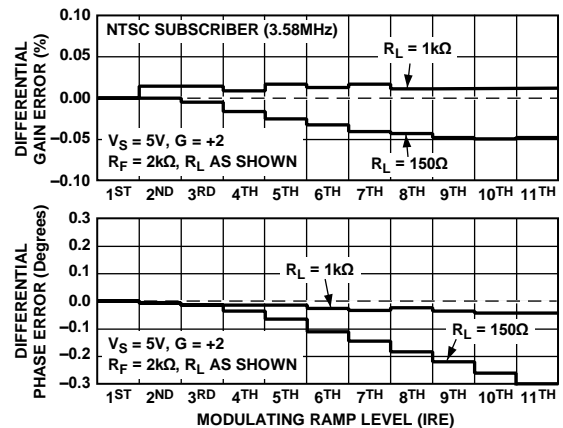


図 24.AD8054 の微分ゲイン誤差と微分位相誤差

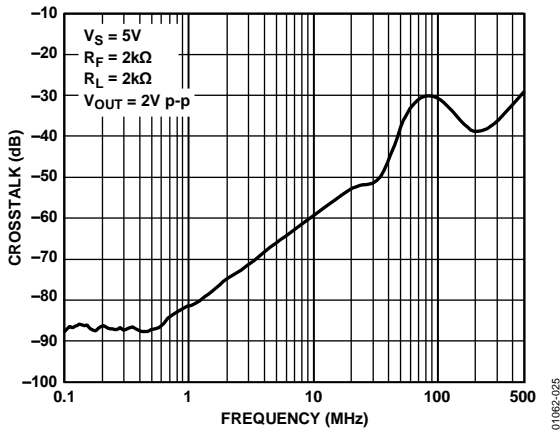


図 25. AD8052 クロストーク (出力→出力)の周波数特性

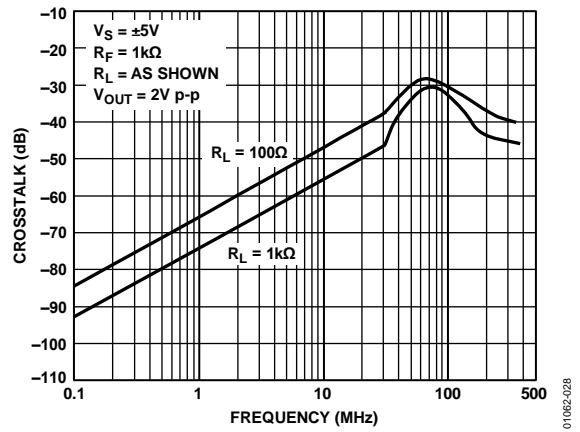


図 28. AD8054 クロストーク (出力→出力)の周波数特性

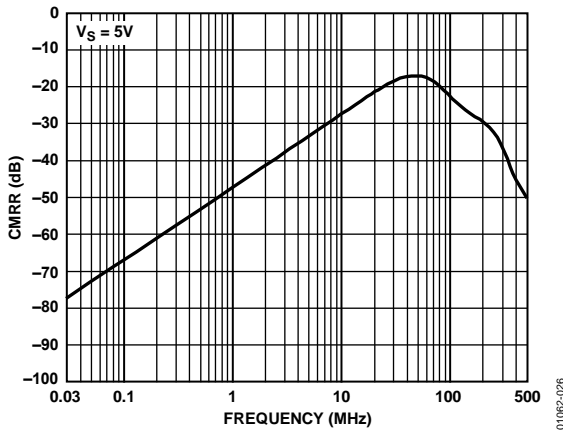


図 26. CMRR の周波数特性

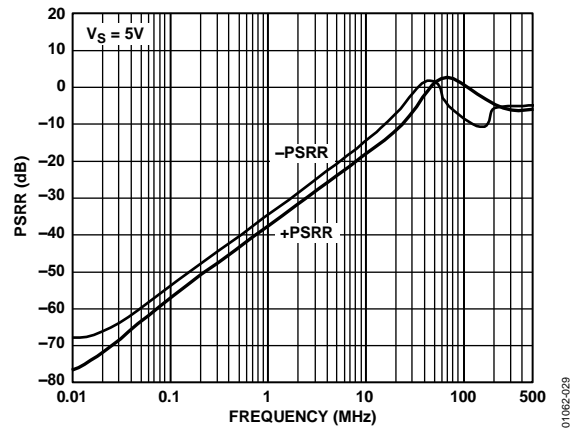


図 29. PSRR の周波数特性

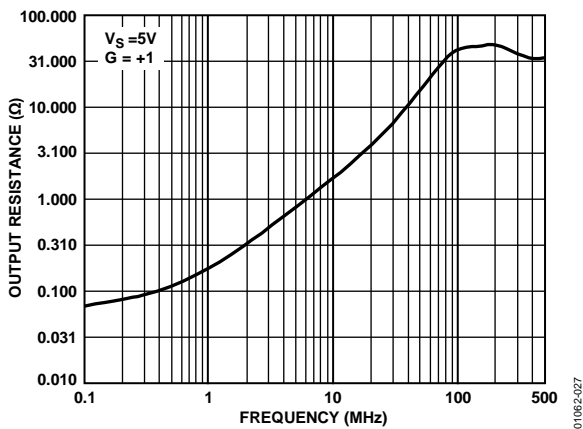


図 27. クローズド・ループ出力抵抗の周波数特性

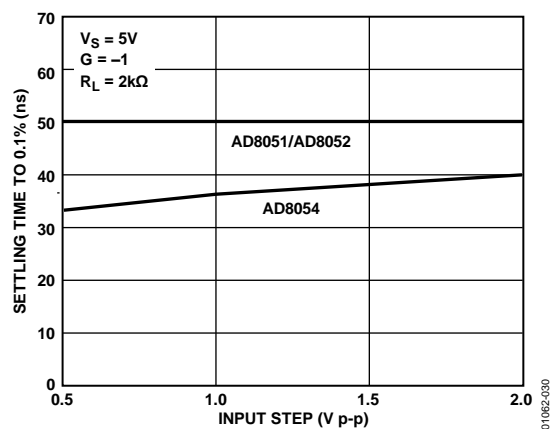
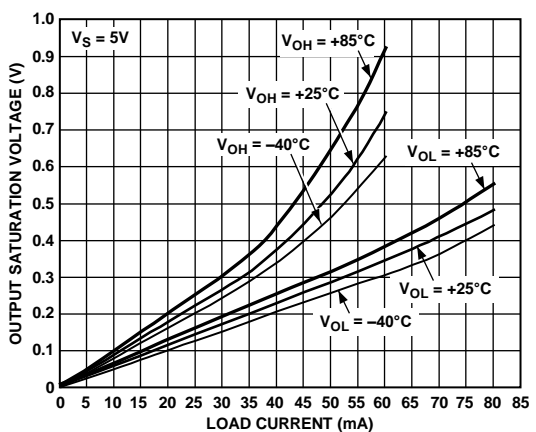
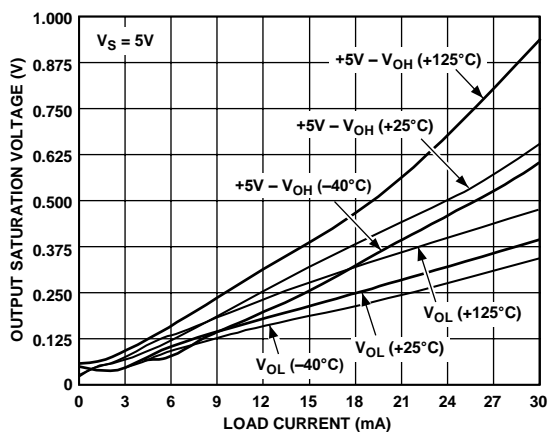


図 30. ステップ入力対セトリング・タイム



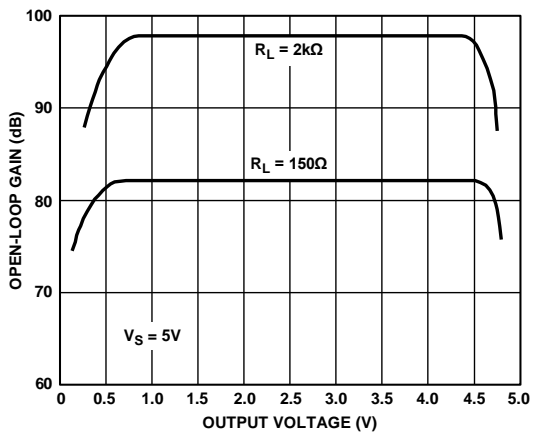
01062-031

図 31. AD8051/AD8052 の負荷電流対出力飽和電圧



01062-033

図 33. AD8054 の負荷電流対出力飽和電圧



01062-032

図 32. 出力電圧対オープン・ループ・ゲイン

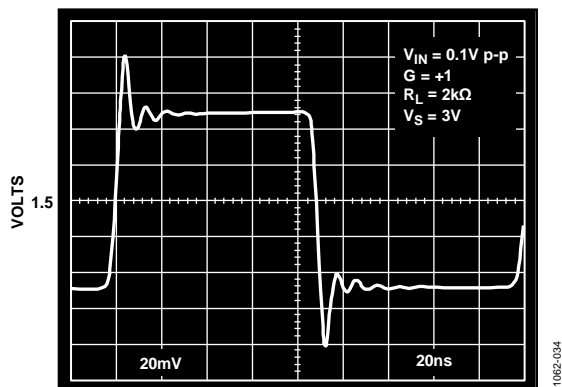


図 34.100 mV ステップ応答、G = +1

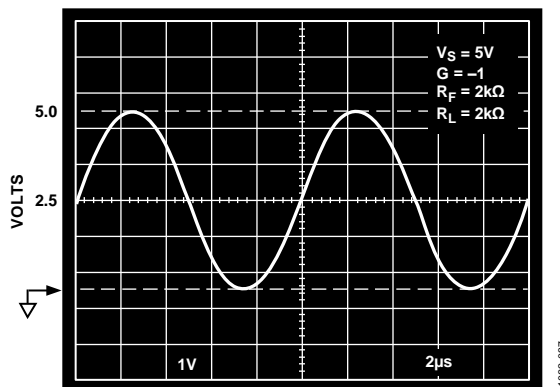


図 37.出力振幅、G = -1、R<sub>L</sub> = 2 kΩ

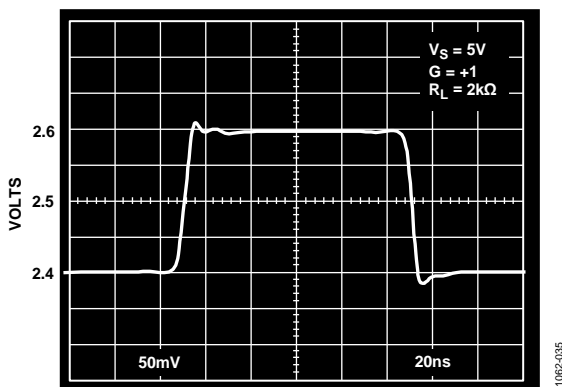


図 35.AD8051/AD8052 の 200 mV ステップ応答  
V<sub>S</sub> = 5 V、G = +1

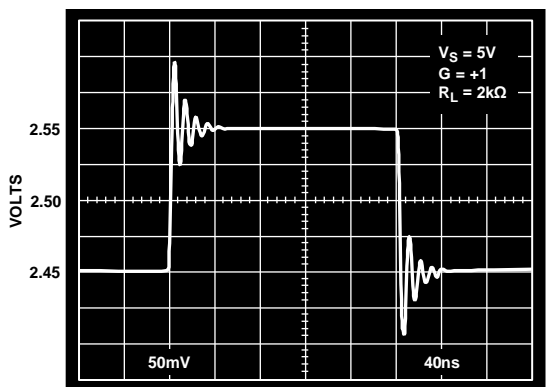


図 38.AD8054 の 100 mV ステップ応答  
V<sub>S</sub> = 5 V、G = +1

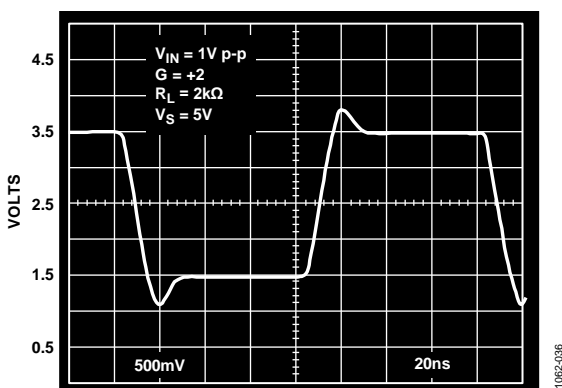


図 36.大信号ステップ応答、V<sub>S</sub> = 5 V、G = +2

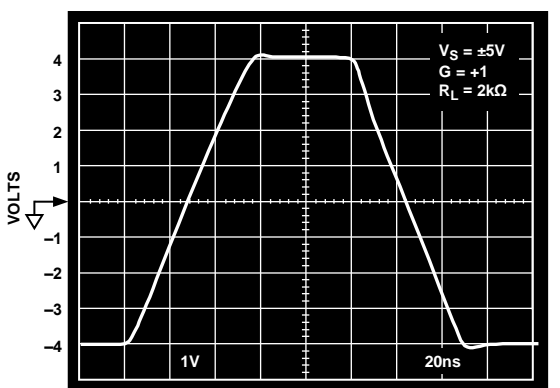


図 39.大信号ステップ応答、V<sub>S</sub> = ±5 V、G = +1

## 動作原理

### 回路説明

AD8051/AD8052/AD8054 は、アナログ・デバイス独自の eXtra 高速コンプリメンタリ・バイポーラ (XFCB) プロセスで製造されています。この製造プロセスは、2 GHz~4 GHz 領域で同じ  $f_T$  を持つ PNP トランジスタと NPN トランジスタが実現可能です。この製造プロセスでは、ジャンクションで作るアイソレーションで発生する寄生素子とラッチアップの問題を解消できる、絶縁体によるアイソレーションを採用しています。これらにより、低電流で高周波動作かつ低歪みのアンプが可能になっています。このデザインは出力段での差動入力構造により帯域幅とヘッドルームを大きくしています (図 40 参照)。初段の出力 (SIP ノードと SIN ノード) で必要とされる信号振幅も小さくできることで、ジャンクション容量により生じる非直線電流の影響を小さくして、歪み性能を向上させています。このデザインでは、5 V 単電源で  $V_{OUT} = 2 \text{ V p-p}$  (ゲイン = +1)、100  $\Omega$  負荷の場合、1 MHz で -80 dBc の高調波歪みを実現しています。

デバイスの入力は、負電源レールの下側 -0.2 V から正電源レールの 1 V 以内までの電圧を扱うことができます。これらの電圧を超えても位相反転は生じませんが、入力電圧が電源レールより 0.5 V 以上大きくなると、入力 ESD デバイスが導通し始めます。このオーバードライブ状態では、出力は電源レール電圧を維持します。

AD8051/AD8052/AD8054 のレール to レール出力範囲は、コンプリメンタリ共通エミッタ出力段で実現されています。高い出力駆動能力は、出力をプリドライブする全ての電流を、出力トランジスタ Q8 と Q36 のベースへ直接流しこむことで実現しています。Q8 と Q36 のバイアスは、I8 と I5、および同相モード帰還ループ (表示していない) から与えられています。この回路方式により、AD8051/AD8052 では 45 mA、AD8054 では 30 mA の出力電流を、電源レールから 0.5 V 以内の出力電圧でそれぞれ駆動できるようになっています。

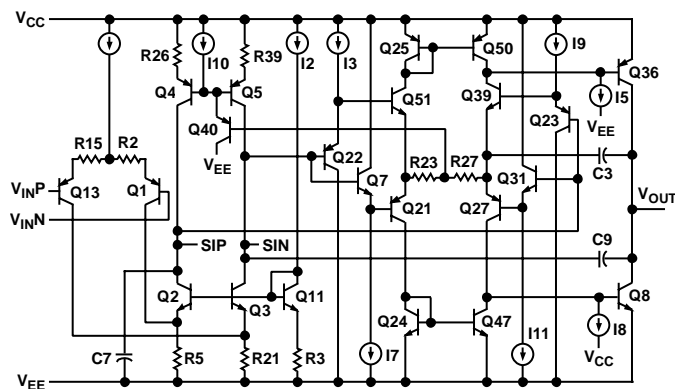


図 40. AD8051/AD8052 の簡略化した回路図



## アプリケーション情報

### オーバードライブからの回復

アンプのオーバードライブは、出力電圧範囲および/または入力電圧範囲を超えたとき発生します。アンプは、このオーバードライブ状態から回復する必要があります。AD8051/AD8052/AD8054 は、負のオーバードライブからは 60 ns 以内に、正のオーバードライブからは 45 ns 以内にそれぞれ回復します(図 41 参照)。

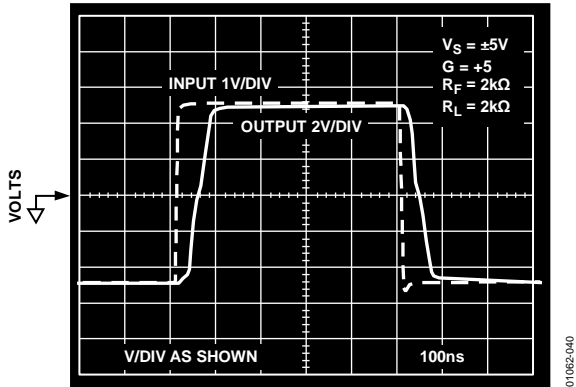


図 41.オーバードライブからの回復

### 容量負荷の駆動

AD8051/AD8052 をクローズド・ループ・ゲイン = +1、 $V_S = 5$  V、負荷は 2 k $\Omega$  と 50 pF の並列接続とした場合について考えます。図 42 と図 43 に小信号時の周波数領域と時間領域の応答をそれぞれ示します。AD8051/AD8052/AD8054 の容量負荷を駆動する能力は、小抵抗を負荷に直列に接続することで大きくできます。図 44 と図 45 に、各種の電圧ゲインにおける容量負荷の駆動に対する直列抵抗の効果を示します。クローズド・ループ・ゲインが増加すると、位相マージンが増えるため、大きなコンデンサ負荷を接続してもピーキングが大きくなりません。小さいクローズド・ループ・ゲインで直列抵抗を挿入した場合にも同じ効果が得られます。大きな容量負荷では、アンプの周波数応答は、直列抵抗と容量負荷によるロールオフで決まります。

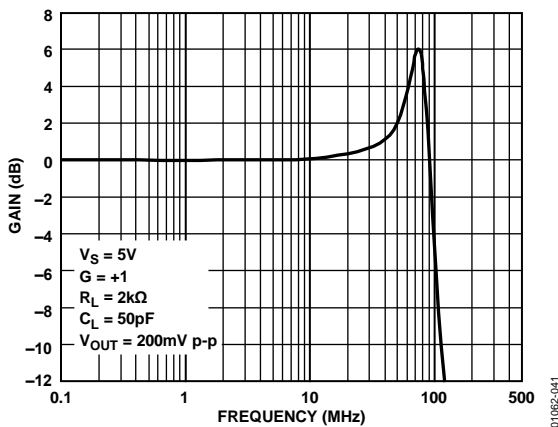


図 42.AD8051/AD8052 のクローズド・ループ周波数応答  $C_L = 50$  pF

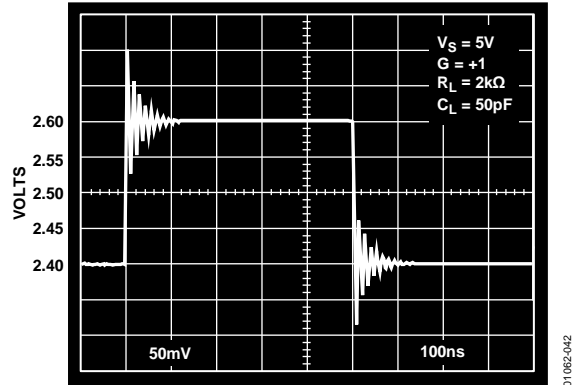


図 43.AD8051/AD8052 の 200 mV ステップ応答  $C_L = 50$  pF

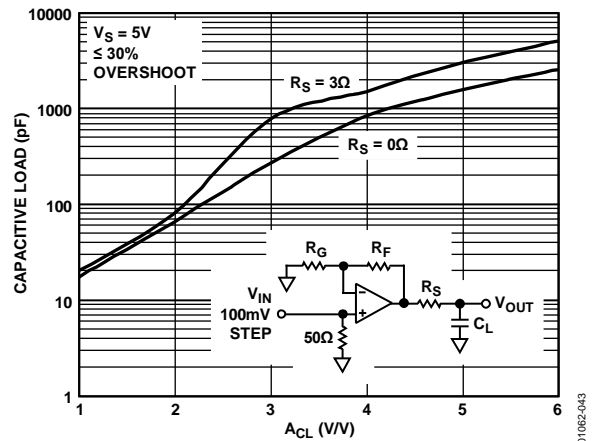


図 44.AD8051/AD8052 のクローズド・ループ・ゲイン対容量負荷の駆動能力

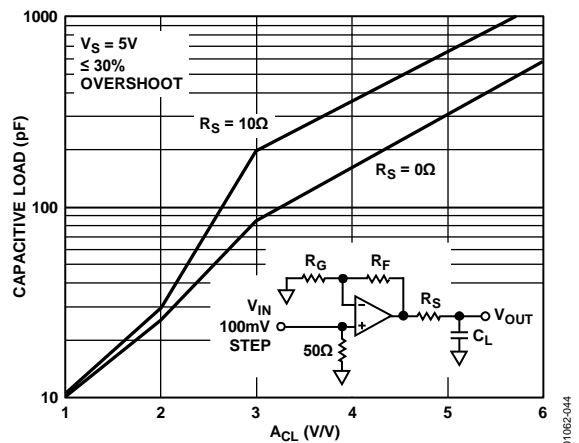


図 45.AD8054 のクローズド・ループ・ゲイン対容量負荷の駆動能力

## レイアウト時の考慮事項

AD8051/AD8052/AD8054 の高速性能では、ボード・レイアウトと部品の選定に十分な注意が必要です。適切な RF デザイン技術と寄生の小さい部品の選択が不可欠です。

PCB には部品面の未使用部分すべてを覆うグラウンド・プレーンを設けて、インピーダンスを低くする必要があります。入力ピンと出力ピンの近傍と下側のすべての層からグラウンド・プレーンを除去すると、寄生容量を小さくすることができます。

電源バイパスにはチップ・コンデンサを使用する必要があります。一端はグラウンド・プレーンに接続し、他端は各電源ピンから 3 mm 以内に接続します。さらに、出力での高速で大きな信号変化に電源電流を供給するため、大きな値 (4.7  $\mu\text{F}$ ~10  $\mu\text{F}$ ) のタンタル電解コンデンサを並列に接続する必要がありますが、必ずしも近づける必要はありません。

帰還抵抗を反転入力ピンのできるだけ近くに配置して、このノードの寄生容量を小さくする必要があります。1 pF より小さい反転入力寄生容量でも高速性能に大きな影響が生じます。

25 mm 以上の長い信号パターンには、ストリップライン・デザイン技術を使用する必要があります。これらは 50  $\Omega$  または 75  $\Omega$  の特性インピーダンスでデザインし、各端で正しく終端する必要があります。

## アクティブ・フィルタ

高い周波数のアクティブ・フィルタほど、有効に動作させるためには広帯域のオペアンプを必要とします。低周波用オペアンプでは、発生する位相シフトが大きすぎるため、アクティブ・フィルタ性能が大きな影響を受けます。

図 46 に、3 個の AD8054 オペアンプを使用した 2 MHz バイ・クワッド・バンドパス・フィルタの例を示します。このような回路は、A/D 変換の前にアナログ信号のノイズ帯域幅を制限するために医用超音波システムで使用されます。

未使用のアンプ入力はグラウンドに接続しておく必要があることに注意してください。

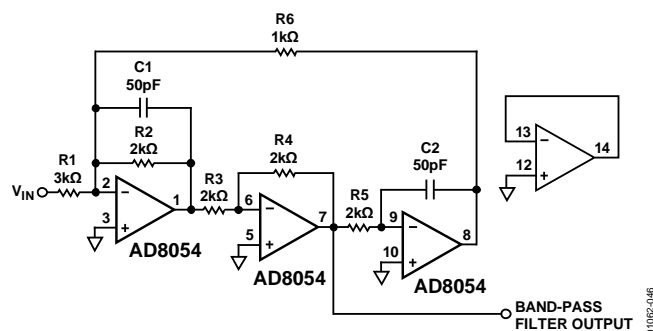


図 46. AD8054 を使用した  
2 MHz バイ・クワッド・バンドパス・フィルタ

この回路の周波数応答を図 47 に示します。

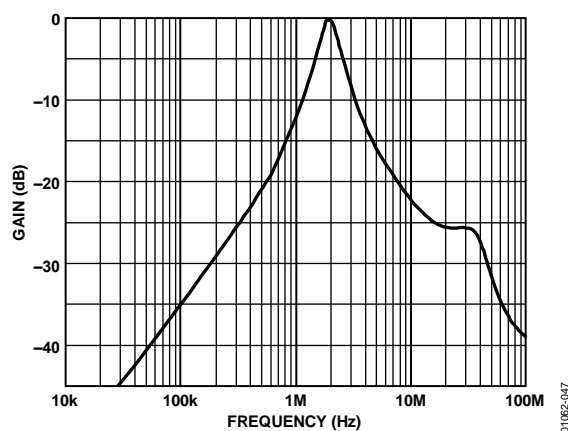


図 47. 2 MHz バンドパス・バイ・クワッド・フィルタの  
周波数応答

## A/D 変換アプリケーションと D/A 変換アプリケーション

図 50 に、AD8051 を AD9201 のドライバとして使用した、10 ビット、20 MSPS、デュアル A/D コンバータの回路図を示します。このコンバータは、通信システムで I 入力信号と Q 入力信号を変換するようにデザインされています。このアプリケーションでは、I チャンネルのみが駆動されています。I チャンネルは、SELECT (ピン 13) をハイ・レベルにしてイネーブルします。

AD8051 は両電源で動作し、ゲイン = +2 に設定されています。入力信号は 50 Ω で終端され、出力は 2 V p-p であり、これは AD9201 の最大入力範囲です。22 Ω の直列抵抗で最大電流を制限しているため、ADC の歪みを小さくできます。

AD9201 は、各チャンネルに対して差動入力を持っています。これらは、A 入力と B 入力と表示されています。各チャンネルの B 入力は VREF (ピン 22) に接続され、これが 2.5 V の正リファレンス電圧になっています。各 B 入力には簡単なローパス・フィルタがあり、これによっても歪みを小さくできています。

オペアンプ出力は、2 個の並列コンデンサで INA-I (ピン 16) に AC 結合され、高周波と低周波ともども良好な結合を提供しています。1 kΩ の抵抗には INB-I に入力される VREF と信号が加わり、INB-I に加えられるバイアス電圧を中心にして、INA-I は正負に変化します。

サンプリング・クロックは 20 MSPS で動作し、A/D コンバータ出力はデジタル・アナライザで解析されます。1 MHz と 9.5 MHz の 2 つ入力周波数が使用され、これはナイキスト周波数より少し低くなっています。これらの信号はフィルタ処理されており、高調波成分が最小になっています。

図 48 に、1 MHz アナログ入力の場合の ADC の FFT 応答を示します。SFDR は 71.66 dB で、A/D コンバータは 8.8 ENOB(実効ビット数)を出力します。アナログ周波数を 9.5 MHz に上げると、SFDR が -60.18 dB に低下し、ADC は 8.46 ENOB で動作しました(図 49 参照)。

このことで、回路内に AD8051 を使用しても、AD9201 の歪み性能の低下は無いことがわかります。

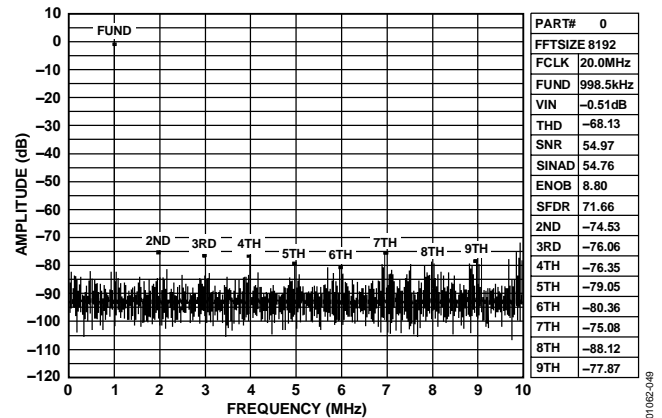


図 48. 1 MHz で AD9201 を AD8051 から駆動した際の FFT プロット

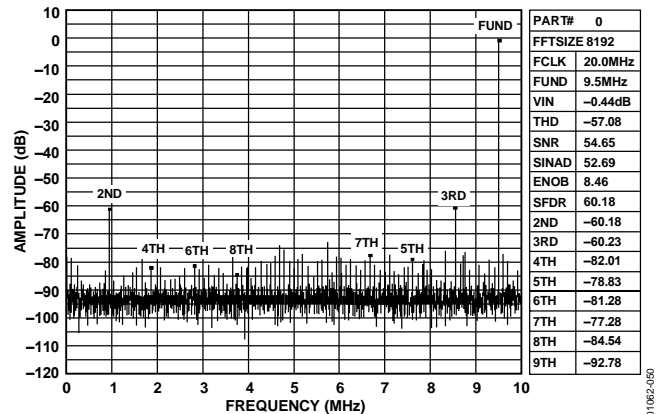


図 49. 9.5 MHz で AD9201 を AD8051 から駆動した際の FFT プロット

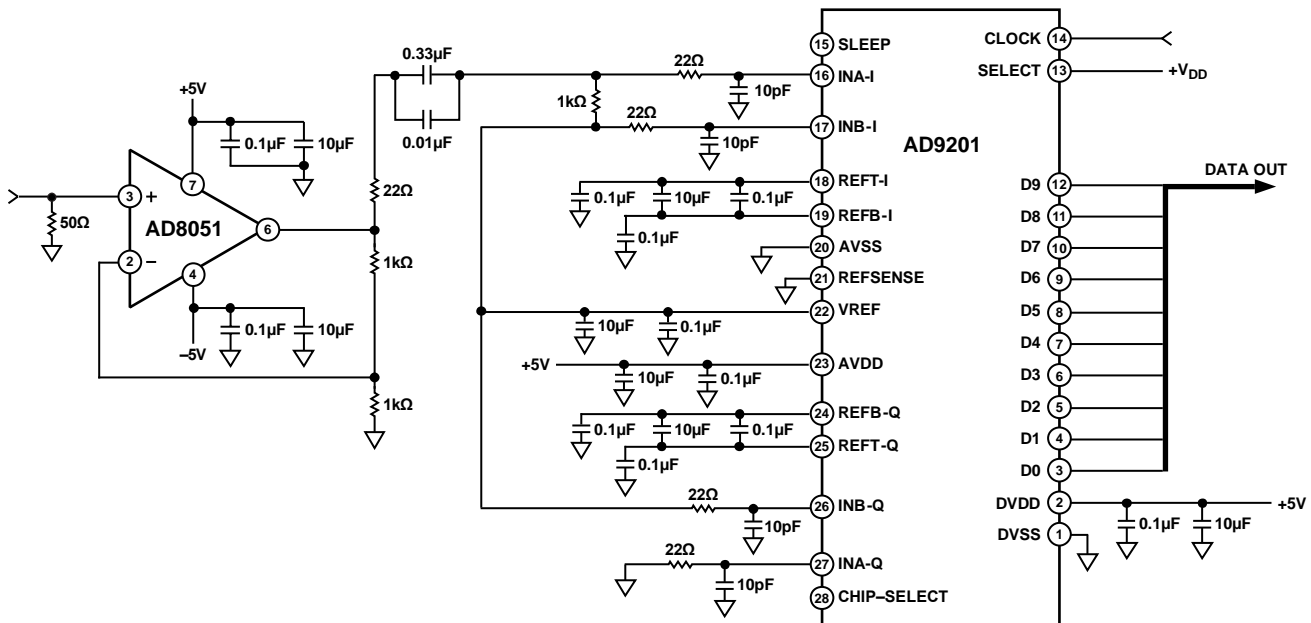


図 50. 10 ビット 20 MSPS A/D コンバータ AD9201 を AD8051 から駆動

## 同期ストリッパ

別チャンネルで同期情報を伝送するをなくすために、ビデオ信号上に同期パルスを重畳して伝送することが良く行われています。しかし A/D 変換のような機能には、ビデオ信号上に同期パルスがあることは望ましくありません。これらのパルスはビデオ信号のダイナミック・レンジを小さくし、このような機能にとって有効な情報にはなりません。

同期ストリッパはビデオ信号から同期パルスを除去し、有効なすべてのビデオ情報を通過させます。図 51 に、AD8051 を 1 個使用した実用的な単電源回路を示します。この回路は逆終端のビデオ・ラインを直接駆動することができます。

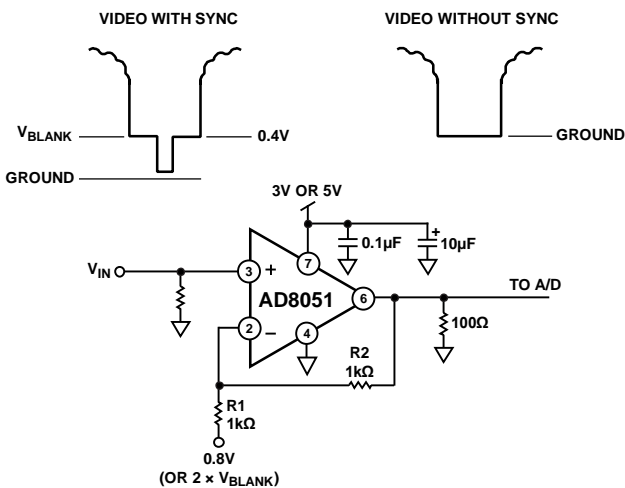


図 51.同期ストリッパ

ビデオ信号と同期信号が重畳したものが、適切に終端された非反転入力に加えられます。アンプのゲインは帰還回路の 2 本の 1 kΩ 抵抗によって 2 に設定されています。入力信号の同期パルスを適切なレベルで除去できるように、R1 にバイアス電圧を加える必要があります。

入力ビデオ・パルスのブランキング・レベルが、同期情報が除去されるべきレベルになります。このレベルをアンプで 2 倍にします。同期を除去するためには、出力でこのレベルがグラウンドになる必要があります。R1 の入力から出力までのアンプ・ゲインは -1 であるため、 $2 \times V_{\text{BLANK}}$  に等しい電圧を加えて、ブランキング・レベルがグラウンドになるようにします。

## 単電源のコンポジット・ビデオ・ライン・ドライバ

多くのコンポジット・ビデオ信号は、グラウンドがブランキング・レベルで、正負電圧のビデオ情報を持っています。このような信号は両電源アンプが必要ですが、AC レベル・シフトを使えば単電源アンプでもこれらの信号を処理できます。このような技術では次のような問題が生じます。

デューティ・サイクルが変化する、あるピーク to ピーク振幅の信号では、AC 結合の後段でそのピーク to ピーク振幅より広いダイナミック振幅の能力が必要です。ワースト・ケースでは、ダイナミック信号振幅がピーク to ピーク値の 2 倍に近づきます。最大ダイナミック振幅条件を決定する 2 つの極端な条件のうち 1 つは、大部分の間ロー・レベルを維持して短い間だけハイ・レベルになる、デューティ・サイクルのパーセント値が小さい信号で、もう 1 つの極端な条件はこれと反対の信号です。

コンポジット・ビデオのワースト・ケースは、これほど厳しいものではありません。1 つの極端な条件は、フレーム全体で黒が続く、最小幅スパイクの白(フル振幅)がフレーム内に少なくとも 1 回発生する信号です。

他の極端な条件は、全体が白のビデオ信号です。このような信号のブランキング間隔と同期情報は、コンポジット・ビデオ仕様に準拠して立下がり方向に変化します。このような信号は、水平ブランキング間隔と垂直ブランキング間隔の組み合わせにより、最高(白)レベルが最大で約 75%の間を占めるように制限されています。

デューティ・サイクルは上記の 2 つの極端な条件の間にあるため、1 V p-p のコンポジット・ビデオ信号は、ゲイン=2 で増幅された出力でのダイナミック電圧振幅として、約 3.2 V p-p にする必要があります。これは任意に変化するデューティ・サイクルを持つコンポジット・ビデオ信号を、歪みなしでオペアンプが通過させるために必要なことです。

回路によっては、同期を比較的一定なレベルに維持できる同期クランプを使って、必要とされるダイナミック信号振幅を小さくすることが行われていますが、これらの回路では、非常に小さい出力インピーダンスの信号源から駆動されないかぎり、同期が圧縮されるような影響が生じます。AD8051/AD8052/AD8054 は 5 V 単電源で動作して、AC 結合のコンポジット・ビデオ信号を処理するために、十分な信号振幅を持っています。

図 52 の回路への入力は、グラウンドのブランキング・レベルを持つ標準コンポジット (1 V p-p) ビデオ信号です。入力回路では、AC 結合でビデオ信号をレベル・シフトしています。オペアンプの非反転入力は、電源電圧の midpoint にバイアスされています。

帰還回路は、入力の DC バイアスにはユニティ・ゲインで動作し、ビデオ帯域幅内のすべての信号にはゲイン=2 で動作します。出力は AC 結合で、整合終端したうねでラインを駆動しています。

コンデンサ値は、チルトが最小になるように、すなわちビデオ信号フィールドの時間歪みが最小となるように選択しました。これらの値は、スタジオ品質または放送品質のビデオが必要とされますが、低グレードのビデオ(コンシューマ・ビデオと呼ばれるもの)の場合には、画像品質低下を最小に維持したまま、コンデンサの大きさとコストを 1/5 まで小さくすることができます。

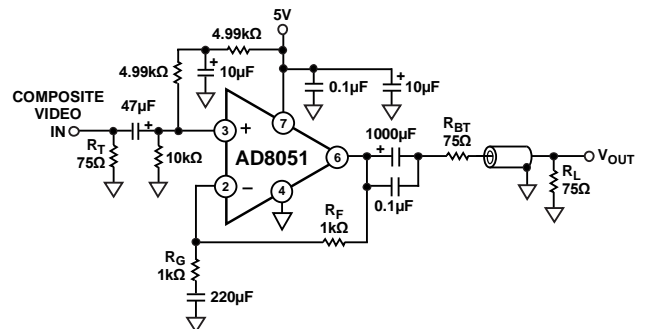
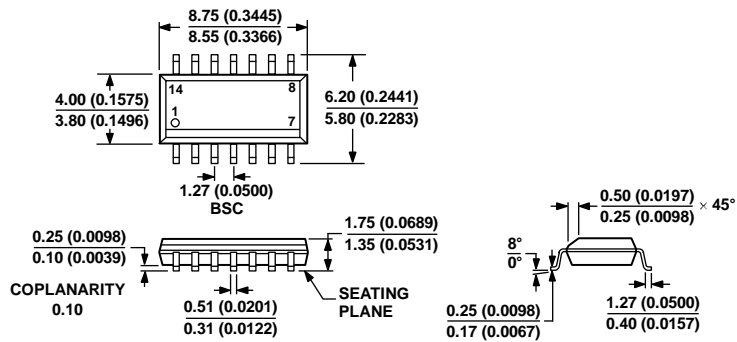


図 52.単電源コンポジット・ビデオ・ライン・ドライバ

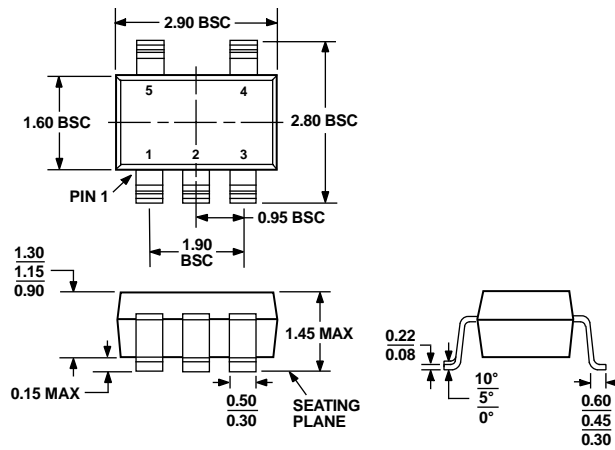
外形寸法



COMPLIANT TO JEDEC STANDARDS MS-012-AB  
 CONTROLLING DIMENSIONS ARE IN MILLIMETERS; INCH DIMENSIONS  
 (IN PARENTHESES) ARE ROUNDED-OFF MILLIMETER EQUIVALENTS FOR  
 REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.

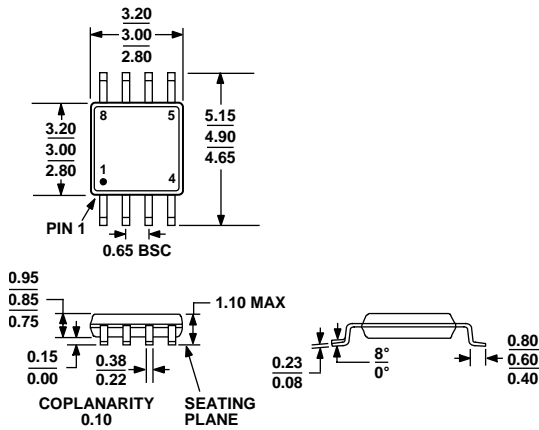
060608-A

図 53.14 ピン標準スモール・アウトライン・パッケージ[SOIC\_N]  
 ナロー・ボディ(R-14)  
 寸法: mm (インチ)



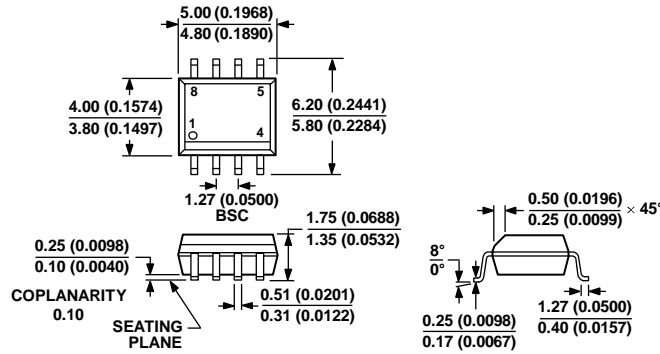
COMPLIANT TO JEDEC STANDARDS MO-178-AA

図 54.5 ピン・スモール・アウトライン・トランジスタ・パッケージ[SOT-23]  
 (RJ-5)  
 寸法: mm



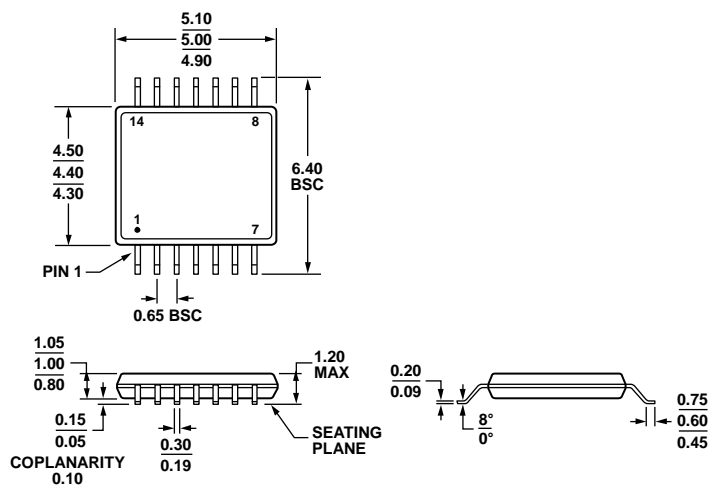
COMPLIANT TO JEDEC STANDARDS MO-187-AA

図 55.8 ピン・ミニ・スモール・アウトライン・パッケージ[MSOP] (RM-8)  
寸法: mm



COMPLIANT TO JEDEC STANDARDS MS-012-AA  
CONTROLLING DIMENSIONS ARE IN MILLIMETERS; INCH DIMENSIONS (IN PARENTHESES) ARE ROUNDED-OFF MILLIMETER EQUIVALENTS FOR REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.

図 56.8 ピン標準スモール・アウトライン・パッケージ[SOIC\_N] ナロー・ボディ (R-8)  
寸法: mm (インチ)



COMPLIANT TO JEDEC STANDARDS MO-153-AB-1

図 57.14 ピン薄型シュリンク・スモール・アウトライン・パッケージ[TSSOP] (RU-14)  
寸法: mm

## オーダー・ガイド

Model	Temperature Range	Package Description	Package Option	Branding
AD8051AR	-40°C to +125°C	8-Lead SOIC_N	R-8	
AD8051AR-REEL	-40°C to +125°C	8-Lead SOIC_N, 13" Tape and Reel	R-8	
AD8051AR-REEL7	-40°C to +125°C	8-Lead SOIC_N, 7" Tape and Reel	R-8	
AD8051ARZ <sup>1</sup>	-40°C to +85°C	8-Lead SOIC_N	R-8	
AD8051ARZ-REEL <sup>1</sup>	-40°C to +85°C	8-Lead SOIC_N, 13" Tape and Reel	R-8	
AD8051ARZ-REEL7 <sup>1</sup>	-40°C to +85°C	8-Lead SOIC_N, 7" Tape and Reel	R-8	
AD8051ART-R2	-40°C to +85°C	5-Lead SOT-23, 7" Tape and Reel	RJ-5	H2A
AD8051ART-REEL	-40°C to +85°C	5-Lead SOT-23, 13" Tape and Reel	RJ-5	H2A
AD8051ART-REEL7	-40°C to +85°C	5-Lead SOT-23, 7" Tape and Reel	RJ-5	H2A
AD8051ARTZ-R2 <sup>1</sup>	-40°C to +85°C	5-Lead SOT-23, 7" Tape and Reel	RJ-5	H06
AD8051ARTZ-REEL <sup>1</sup>	-40°C to +85°C	5-Lead SOT-23, 13" Tape and Reel	RJ-5	H06
AD8051ARTZ-REEL7 <sup>1</sup>	-40°C to +85°C	5-Lead SOT-23, 7" Tape and Reel	RJ-5	H06
AD8052AR	-40°C to +125°C	8-Lead SOIC_N	R-8	
AD8052AR-REEL	-40°C to +125°C	8-Lead SOIC_N, 13" Tape and Reel	R-8	
AD8052AR-REEL7	-40°C to +125°C	8-Lead SOIC_N, 7" Tape and Reel	R-8	
AD8052ARZ <sup>1</sup>	-40°C to +125°C	8-Lead SOIC_N	R-8	
AD8052ARZ-REEL <sup>1</sup>	-40°C to +125°C	8-Lead SOIC_N, 13" Tape and Reel	R-8	
AD8052ARZ-REEL7 <sup>1</sup>	-40°C to +125°C	8-Lead SOIC_N, 7" Tape and Reel	R-8	
AD8052ARM	-40°C to +125°C	8-Lead MSOP	RM-8	H4A
AD8052ARM-REEL	-40°C to +125°C	8-Lead MSOP, 13" Tape and Reel	RM-8	H4A
AD8052ARM-REEL7	-40°C to +125°C	8-Lead MSOP, 7" Tape and Reel	RM-8	H4A
AD8052ARMZ <sup>1</sup>	-40°C to +125°C	8-Lead MSOP	RM-8	H4A#
AD8052ARMZ-REEL7 <sup>1</sup>	-40°C to +125°C	8-Lead MSOP, 7" Tape and Reel	RM-8	H4A#
AD8054AR	-40°C to +125°C	14-Lead SOIC_N	R-14	
AD8054AR-REEL	-40°C to +125°C	14-Lead SOIC_N, 13" Tape and Reel	R-14	
AD8054AR-REEL7	-40°C to +125°C	14-Lead SOIC_N, 7" Tape and Reel	R-14	
AD8054ARZ <sup>1</sup>	-40°C to +125°C	14-Lead SOIC_N	R-14	
AD8054ARZ-REEL <sup>1</sup>	-40°C to +125°C	14-Lead SOIC_N, 13" Tape and Reel	R-14	
AD8054ARZ-REEL7 <sup>1</sup>	-40°C to +125°C	14-Lead SOIC_N, 7" Tape and Reel	R-14	
AD8054ARU	-40°C to +125°C	14-Lead TSSOP	RU-14	
AD8054ARU-REEL	-40°C to +125°C	14-Lead TSSOP, 13" Tape and Reel	RU-14	
AD8054ARU-REEL7	-40°C to +125°C	14-Lead TSSOP, 7" Tape and Reel	RU-14	
AD8054ARUZ <sup>1</sup>	-40°C to +125°C	14-Lead TSSOP	RU-14	
AD8054ARUZ-REEL <sup>1</sup>	-40°C to +125°C	14-Lead TSSOP, 13" Tape and Reel	RU-14	
AD8054ARUZ-REEL7 <sup>1</sup>	-40°C to +125°C	14-Lead TSSOP, 7" Tape and Reel	RU-14	

<sup>1</sup>Z = RoHS 準拠製品。#は鉛フリーを表し、上部または下部に表示。