

AD8033/AD8034

特長

FET入力アンプ

1pAの入力バイアス電流

高速

80MHzの -3dB帯域幅($G = +1$)

80V/ μ sのスルーレート($G = +2$)

低ノイズ

11nV/ $\sqrt{\text{Hz}}$ ($f = 100\text{kHz}$)の入力電圧ノイズ

0.6fA/ $\sqrt{\text{Hz}}$ ($f = 100\text{kHz}$)の入力電流ノイズ

電源電圧範囲: 5V ~ 24V

低オフセット電圧: 1mV(代表値)

単電源およびレールtoレール出力

高いコモン・モード除去比: -100dB

低消費電力

アンプ1個あたり3.3mA(代表値)の消費電流

位相反転なし

小型パッケージ: 8ピンのSOICおよびSOT23パッケージ

概要

Fast FETアンプAD8033/AD8034は、使いやすく性能の優れたFET入力の電圧帰還型アンプです。AD8033はシングル・アンプ、AD8034はデュアルです。アナログ・デバイセズ社独自開発のXFCBプロセスによって製造されたFast FETアンプAD8033/AD8034は、低ノイズ(11nV/ $\sqrt{\text{Hz}}$ および0.6fA/ $\sqrt{\text{Hz}}$)、高速(80MHzの帯域幅と80V/ μ sのスルーレート)などを始め、他の低価格帯のFET入力アンプよりも大幅に優れた性能を備えています。

AD8033/AD8034アンプは電源電圧範囲が5 ~ 24Vと幅広く、しかも単電源で動作するので、同等の価格帯のFET入力アンプよりも多くのアプリケーションに利用できます。さらに、AD8033/AD8034はレールtoレール出力を備えているために、融通性も高くなっています。

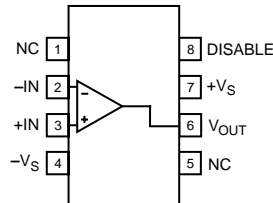
このアンプは低価格にもかかわらず、その全体性能は非常に優れています。すなわち、-100dBの高いコモン・モード除去比、2mV(最大値)の低い入力オフセット電圧、および11nV/ $\sqrt{\text{Hz}}$ の低ノイズ性能を備えています。

AD8033/AD8034アンプの消費電流は低く、その無負荷時電源電流はアンプ1個あたりわずか3.3mAに抑えられていますが、最大40mAで負荷をドライブする能力を備えています。

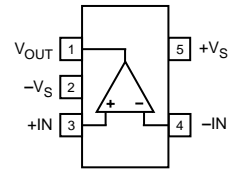
AD8033は8ピンSOICとSC70、AD8034は8ピンSOICとSOT23の小型パッケージが用意されており、-40 ~ +85の温度範囲で動作するように仕様規定されています。

機能ブロック図

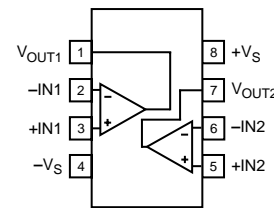
SOIC-8 (R)



SC70 (KS) *



SOIC-8およびSOT-23-8 (RT)



アプリケーション

計装機器

フィルタ

レベル・シフト

バッファリング

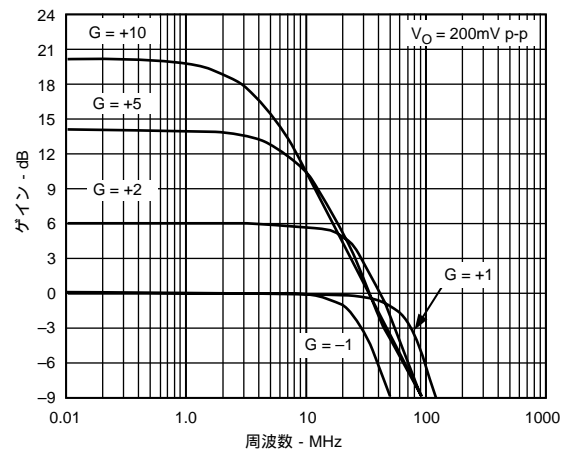


図1 小信号応答特性

Fast FETはアナログ・デバイセズの商標です。

REV.A

アナログ・デバイセズ社が提供する情報は正確で信頼できるものを期していますが、その情報の利用または利用したことにより引き起こされる第三者の特許または権利の侵害に関して、当社はいっさいの責任を負いません。さらに、アナログ・デバイセズ社の特許または特許の権利の使用を許諾するものでもありません。
*日本語データシートは、REVISIONが古い場合があります。最新の内容については英語版をご参照ください。

AD8033/AD8034 仕様

(特に注記のない限り、 $T_A = 25$ 、 $V_S = \pm 5V$ 、 $R_L = 1k$ 、ゲイン = +2)

パラメータ	条件	Min	Typ	Max	単位
ダイナミック特性					
- 3dB帯域幅	G = +1、 $V_O = 0.2V_{p-p}$	65	80		MHz
	G = +2、 $V_O = 0.2V_{p-p}$		30		MHz
	G = +2、 $V_O = 2V_{p-p}$		21		MHz
入力オーバードライブ回復時間	- 6V ~ +6V入力		135		ns
出力オーバードライブ回復時間	- 3V ~ +3V入力、G = +2		135		ns
スルーレート (25% ~ 75%)	G = +2、 $V_O = 4V$ ステップ	55	80		V/ μs
セトリング時間 (0.1%に対する)	G = +2、 $V_O = 2V$ ステップ		95		ns
	G = +2、 $V_O = 8V$ ステップ		225		ns
ノイズ / 高調波特性					
歪み	$f_C = 1MHz$ 、 $V_O = 2V_{p-p}$				
2次高調波	$R_L = 500$		- 82		dBc
	$R_L = 1k$		- 85		dBc
3次高調波	$R_L = 500$		- 70		dBc
	$R_L = 1k$		- 81		dBc
出力間クロストーク	$f = 1MHz$ 、G = +1		- 89		dB
入力電圧ノイズ	$f = 100kHz$		11		nV/ \sqrt{Hz}
入力電流ノイズ	$f = 100kHz$		0.7		fA/ \sqrt{Hz}
DC特性					
入力オフセット電圧	$V_{CM} = 0V$		1	2	mV
	$T_{MIN} \sim T_{MAX}$			3.5	mV
入力オフセット電圧マッチング				2.5	mV
入力オフセット電圧ドリフト			4	27	$\mu V/$
入力バイアス電流			1.5	11	pA
	$T_{MIN} \sim T_{MAX}$		50		pA
オープン・ループ・ゲイン	$V_O = \pm 3V$	89	92		dB
入力特性					
コモン・モード入力抵抗値			1000	2.3	G pF
差動入力抵抗値			1000	1.7	G pF
入力コモン・モード電圧範囲					
FET入力範囲				- 5.0 ~ +2.2	V
使用可能な有効入力範囲				- 5.0 ~ +5.0	V
コモン・モード除去比	$V_{CM} = (- 3V \sim +1.5V)$	- 89	- 100		dB
出力特性					
出力電圧振幅レベル		± 4.75	± 4.95		V
出力短絡電流			40		mA
容量性負荷駆動	30%のオーバーシュート、G = +1		35		pF
電源					
動作範囲		5		24	V
無負荷時消費電流 (アンプ1個あたり)		3.0	3.3	3.5	mA
電源電圧変動除去比	$V_S = \pm 2V$	- 90	- 100		dB

AD8033/AD8034

仕様 (特に注記のない限り、 $T_A = 25$ 、 $V_S = +5V$ 、 $R_L = 1k$ 、ゲイン = +2)

パラメータ	条件	Min	Typ	Max	単位
ダイナミック特性					
- 3dB帯域幅	$G = +1$ 、 $V_O = 0.2V_{p-p}$	70	80		MHz
	$G = +2$ 、 $V_O = 0.2V_{p-p}$		32		MHz
	$G = +2$ 、 $V_O = 2V_{p-p}$		29		MHz
入力オーバードライブ回復時間	- 3V ~ +3V入力		180		ns
出力オーバードライブ回復時間	- 1.5V ~ +1.5V入力、 $G = +2$		200		ns
スルーレート (25% ~ 75%)	$G = +2$ 、 $V_O = 4V$ ステップ	55	70		V/ μs
セトリング時間 (0.1%に対する)	$G = +2$ 、 $V_O = 2V$ ステップ		100		ns
ノイズ/高調波特性					
歪み	$f_c = 1MHz$ 、 $V_O = 2V_{p-p}$				
2次高調波	$R_L = 500$		- 80		dBc
	$R_L = 1k$		- 84		dBc
3次高調波	$R_L = 500$		- 70		dBc
	$R_L = 1k$		- 80		dBc
出力間クロストーク	$f = 1MHz$ 、 $G = +1$		- 89		dB
入力電圧ノイズ	$f = 100kHz$		11		nV/ \sqrt{Hz}
入力電流ノイズ	$f = 100kHz$		0.6		fA/ \sqrt{Hz}
DC特性					
入力オフセット電圧	$V_{CM} = 0V$		1	2.0	mV
	$T_{MIN} \sim T_{MAX}$			3.5	mV
入力オフセット電圧マッチング				2.5	mV
入力オフセット電圧ドリフト			7	57	μV
入力バイアス電流			1	10	pA
オープン・ループ・ゲイン	$T_{MIN} \sim T_{MAX}$ $V_O = 0V \sim 3V$	87	92		pA dB
入力特性					
コモン・モード入力抵抗値			1000	2.3	G pF
差動入力抵抗値			1000	1.7	G pF
入力コモン・モード電圧範囲				0 ~ 2.0	V
FET入力範囲				0 ~ 5.0	V
使用可能な有効入力範囲					
コモン・モード除去比	$V_{CM} = (1.0V \sim 2.5V)$	- 80	- 100		dB
出力特性					
出力電圧振幅レベル	$R_L = 1k$	0.16 ~ 4.83	0.04 ~ 4.95		V
出力短絡電流			30		mA
容量性負荷駆動	30%のオーバーシュート、 $G = +1$		25		pF
電源					
動作範囲		5		24	V
無負荷時消費電流 (アンプ1個あたり)		3.0	3.3	3.5	mA
電源電圧変動除去比	$V_S = \pm 1V$	- 80	- 100		dB

AD8033/AD8034

仕様 (特に注記のない限り、 $T_A = 25$ 、 $V_S = \pm 12V$ 、 $R_L = 1k$ 、ゲイン = +2)

パラメータ	条件	Min	Typ	Max	単位
ダイナミック特性					
- 3dB帯域幅	G = +1、 $V_O = 0.2V_{p-p}$	65	80		MHz
	G = +2、 $V_O = 0.2V_{p-p}$		30		MHz
	G = +2、 $V_O = 2V_{p-p}$		21		MHz
入力オーバードライブ回復時間	- 13V ~ +13V入力		100		ns
出力オーバードライブ回復時間	- 6.5V ~ +6.5V入力、G = +2		100		ns
スルーレート (25% ~ 75%)	G = +2、 $V_O = 4V$ ステップ	55	80		V/ μs
セトリング時間 (0.1%に対する)	G = +2、 $V_O = 2V$ ステップ		90		ns
	G = +2、 $V_O = 10V$ ステップ		225		ns
ノイズ / 高調波特性					
歪み	$f_C = 1MHz$ 、 $V_O = 2V_{p-p}$				
2次高調波	$R_L = 500$		- 82		dBc
	$R_L = 1k$		- 95		dBc
3次高調波	$R_L = 500$		- 70		dBc
	$R_L = 1k$		- 82		dBc
出力間クロストーク	$f = 1MHz$ 、G = +1		- 89		dB
入力電圧ノイズ	$f = 100kHz$		11		nV/ \sqrt{Hz}
入力電流ノイズ	$f = 100kHz$		0.6		fA/ \sqrt{Hz}
DC特性					
入力オフセット電圧	$V_{CM} = 0V$		1	2.0	mV
	$T_{MIN} \sim T_{MAX}$			3.5	mV
入力オフセット電圧マッチング				2.5	mV
入力オフセット電圧ドリフト			4	24	$\mu V/$
入力バイアス電流			2	12	pA
	$T_{MIN} \sim T_{MAX}$			50	pA
オープン・ループ・ゲイン	$V_O = \pm 8V$	91	96		dB
入力特性					
コモン・モード入力抵抗値			1000	2.3	G pF
差動入力抵抗値			1000	1.7	G pF
入力コモン・モード電圧範囲				- 12.0 ~ +9.0	V
FET入力範囲				- 12.0 ~ +12.0	V
使用可能な有効入力範囲				- 12.0 ~ +12.0	V
コモン・モード除去比	$V_{CM} = \pm 5V$	- 92	- 100		dB
出力特性					
出力電圧振幅レベル		± 11.52	± 11.84		V
出力短絡電流			60		mA
容量性負荷駆動	30%のオーバーシュート、G = +1		35		pF
電源					
動作範囲		5		24	V
無負荷時消費電流 (アンプ1個あたり)		3.0	3.3	3.5	mA
電源電圧変動除去比	$V_S = \pm 2V$	- 85	- 100		dB

絶対最大定格*

電源電圧	26.4V
電力損失	図2を参照
コモン・モード入力電圧	26.4V
差動入力電圧	1.4V
保管温度範囲	- 65 ~ +125
動作温度範囲	- 40 ~ +85
ピン温度範囲 (ハンダ付け10秒)	300

注

*左記の絶対最大定格を超えるストレスを加えると、デバイスに永久破壊をもたらすことがあります。この定格は、デバイスの単なるストレスの度合いであり、基本的な動作あるいは動作の項に示す条件において、この定格は考慮されていません。デバイスを長期間絶対最大定格条件に置くと、デバイスの信頼度に影響を与えます。

最大電力損失

AD8033/AD8034パッケージの最大安全電力損失は、ダイ上の接合部温度(T_J)の上昇によって制限されます。ダイをカプセル封止するプラスチックは、局部的に接合部温度に達します。ガラス遷移温度である約150のときに、プラスチックの特性が変化します。一時的であってもこの温度限界値を超えると、ダイに対して作用するパッケージのストレスが変化し、そのためにAD8033/AD8034のパラメータ特性が永続的にシフトする可能性があります。長時間にわたって175の接合部温度を超えると、シリコン・デバイスに変化が生じる結果となり、故障が引き起こされる可能性が高くなります。

パッケージとPCBの静止空気時サーマル特性(J_A)、周辺温度(T_A)およびパッケージ内部の全電力損失(P_D)によって、ダイの接合部温度が求められます。接合部温度は、以下の数式から計算できます。

$$T_J = T_A + (P_D \times J_A)$$

パッケージ内部の全電力損失(P_D)は、無負荷時の消費電力と全出力に対する負荷駆動のためにパッケージ内部で消費される電力を合計したものです。無負荷時消費電力は、電源ピン間の電圧(V_S)を無負荷時電源電流(I_S)と乗算した値になります。負荷(R_L)が電源の midpoint を基準にすると仮定すれば、トータル駆動電力は $V_S/2 \times I_{OUT}$ に等しくなり、その一部はパッケージ内部で消費され、また一部は負荷($V_{OUT} \times I_{OUT}$)で消費されます。トータル駆動電力と負荷電力との差が、パッケージ内部で消費される駆動電力です。

$$P_D = \text{無負荷時消費電力} + (\text{トータル駆動電力} - \text{負荷電力})$$

$$P_D = [V_S \times I_S] + [(V_S/2) \times (V_{OUT}/R_L)] - [V_{OUT}^2/R_L]$$

rms出力電圧を考慮に入れる必要があります。単電源動作の場合のように R_L が V_S を基準にすると仮定すれば、トータル駆動電力は $V_S \times I_{OUT}$ になります。

rms信号レベルが不確定の場合には、 R_L が中間電源を基準にする $V_{OUT} = V_S/4$ の最悪時のケースを考慮に入れてください。

$$P_D = (V_S \times I_S) + (V_S/4)^2/R_L$$

R_L が V_S を基準にする単電源動作では、 $V_{OUT} = V_S/2$ が最悪時のケースです。

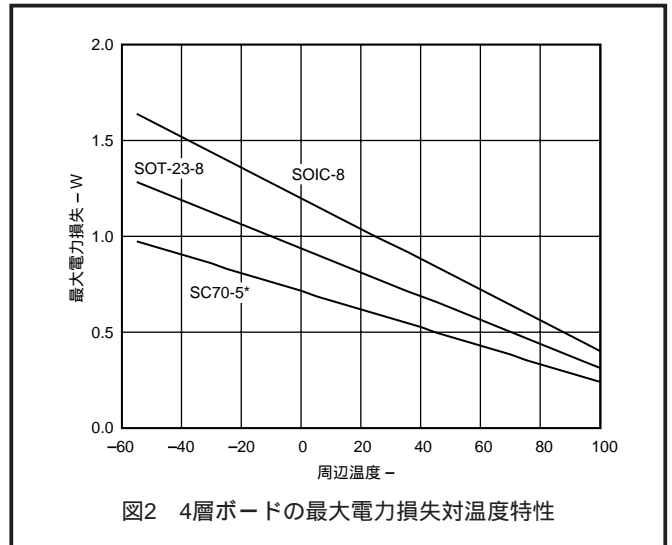
オーダー・ガイド

モデル	温度範囲	パッケージの説明	パッケージ・オプション	ブランド情報
AD8033AR	-40 ~ +85	8ピンSOIC	SOIC-8	
AD8033AR-REEL	-40 ~ +85	8ピンSOIC	SOIC-8	
AD8033AR-REEL7	-40 ~ +85	8ピンSOIC	SOIC-8	
AD8033AKS-REEL*	-40 ~ +85	5ピンSC70	SC70-5	H3B
AD8033AKS-REEL7*	-40 ~ +85	5ピンSC70	SC70-5	H3B
AD8034AR	-40 ~ +85	8ピンSOIC	SOIC-8	
AD8034AR-REEL7	-40 ~ +85	8ピンSOIC	SOIC-8	
AD8034AR-REEL	-40 ~ +85	8ピンSOIC	SOIC-8	
AD8034ART-REEL	-40 ~ +85	8ピンSOT-23	SOT-23-8	HZA
AD8034ART-REEL7	-40 ~ +85	8ピンSOT-23	SOT-23-8	HZA

*開発中

注意

ESD (静電放電) の影響を受けやすいデバイスです。4000Vにおよぶ高圧の静電気が人体やテスト装置に容易に帯電し、検知されることなく放電されることがあります。本製品には当社独自のESD保護回路を備えています。高エネルギーの静電放電を受けたデバイスには回復不可能な損傷が発生することがあります。このため、性能低下や機能喪失を回避するために、適切なESD防止措置をとるようお奨めします。



エアフローによって放熱効果が増進され、 J_A が効果的に低下します。さらに、金属パターン配線、スルーホール、グラウンドおよび電源プレーンの金属部分とのコンタクトによって、 J_A が低下します。ボード・レイアウトのセクションで説明するように、高速オペアンプの入力ピンの寄生容量を最小限に抑えるように、注意を払う必要があります。

図2には、JEDEC規格に適合した4層ボード上に実装されるSOIC-8 (125 W)、SC70 (210 W) とSOT23-8 (160 W) の各パッケージを対象とした最大安全電力損失対周辺温度特性を图示しています。 J_A は概算値です。

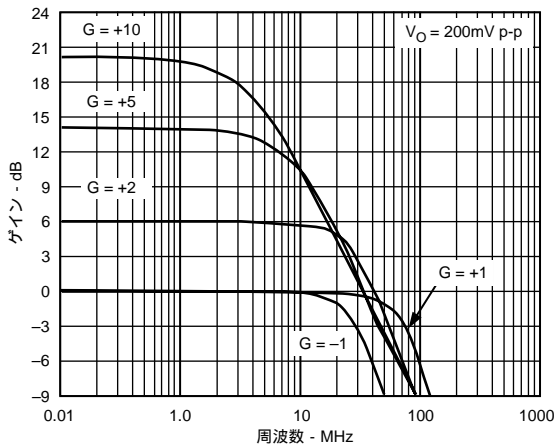
出力短絡 (必要時)

出力をグラウンドに短絡するか、またはAD8033/AD8034の消費電流が過度に増加すると、致命的な障害が引き起こされる可能性が高くなります。

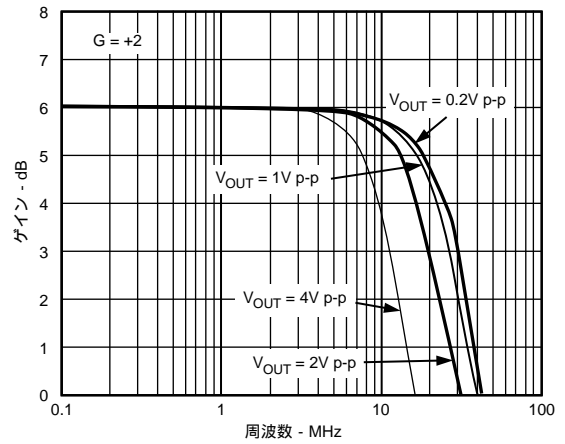


AD8033/AD8034 代表的な特性

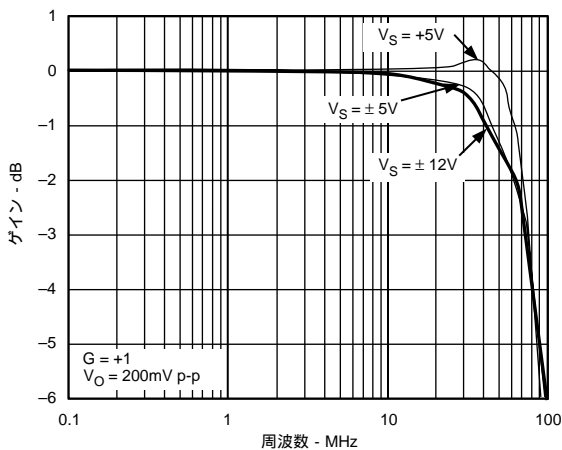
デフォルト条件: $\pm 5V$ 、 $C_L = 5pF$ 、 $R_L = 1k$ 、温度 = 25



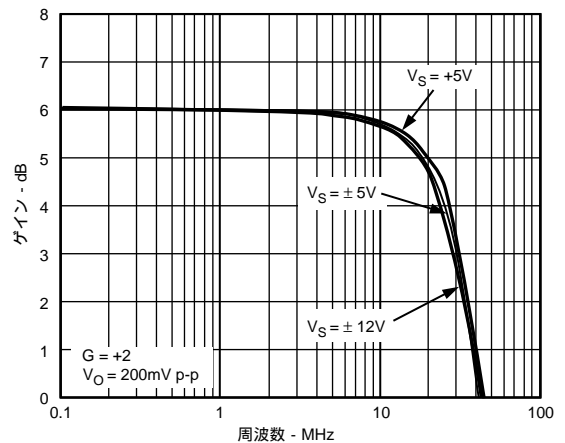
特性1 さまざまなゲイン設定時の小信号周波数応答性



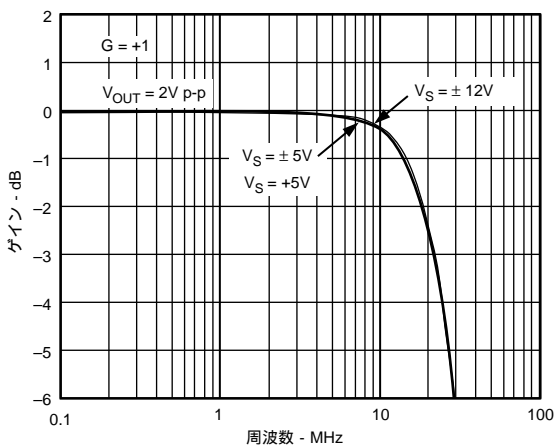
特性4 さまざまな出力振幅時の周波数応答性 (テスト回路2を参照)



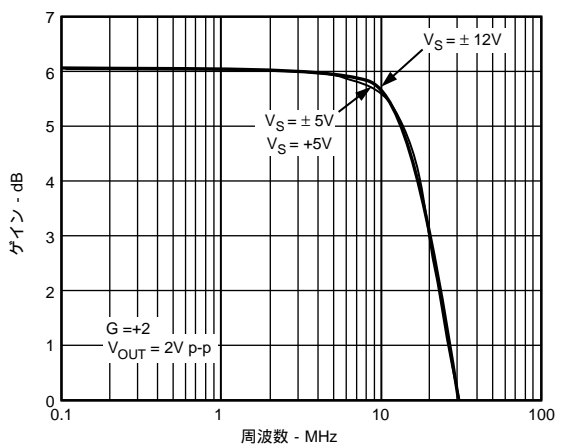
特性2 さまざまな電源動作時の小信号周波数応答性 (テスト回路1を参照)



特性5 さまざまな電源動作時の小信号周波数応答性 (テスト回路2を参照)

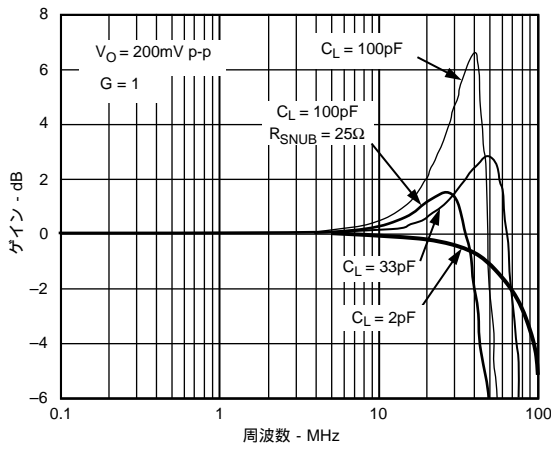


特性3 さまざまな電源動作時の大信号周波数応答性 (テスト回路1を参照)

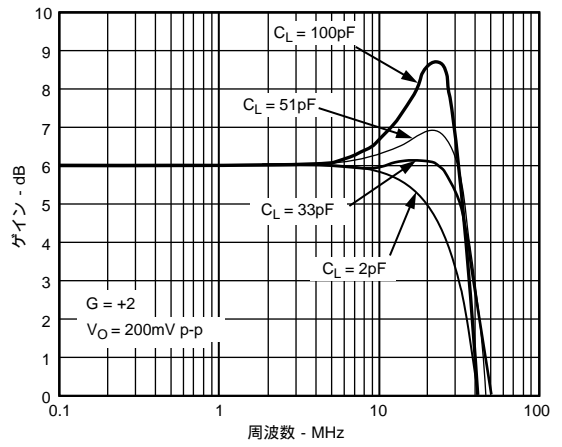


特性6 さまざまな電源動作時の大信号周波数応答性 (テスト回路2を参照)

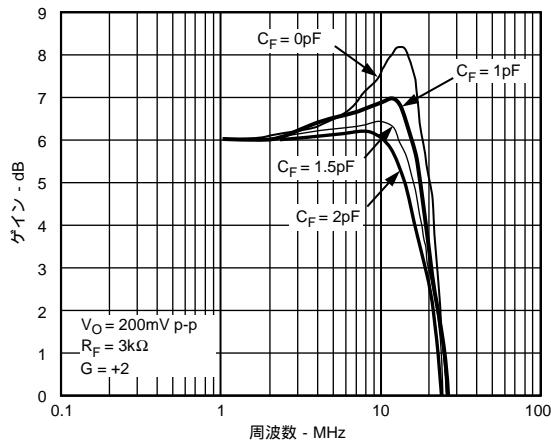
デフォルト条件: $\pm 5V$ 、 $C_L = 5pF$ 、 $R_L = 1k$ 、温度 = 25



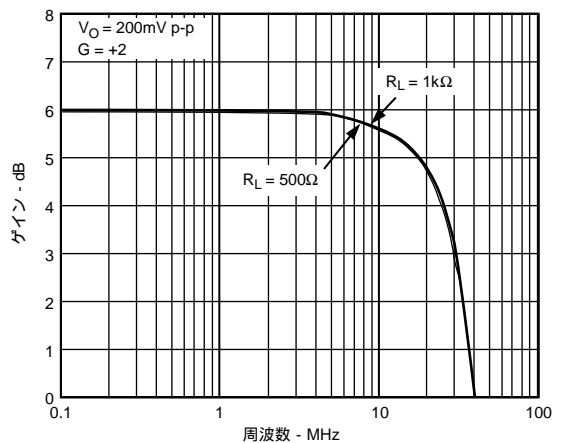
特性7 さまざまな C_{LOAD} 時の小信号周波数応答性 (テスト回路1を参照)



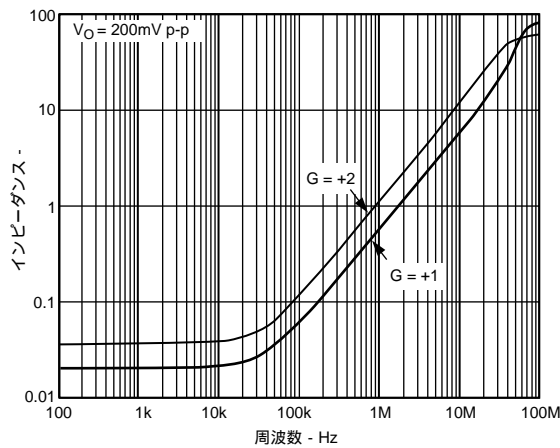
特性10 さまざまな C_{LOAD} 時の小信号周波数応答性 (テスト回路1を参照)



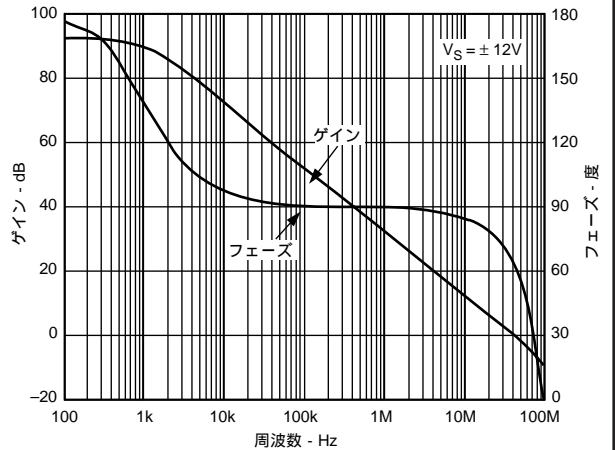
特性8 さまざまな R_F/C_F 時の小信号周波数応答性 (テスト回路2を参照)



特性11 さまざまな R_{LOAD} 時の小信号周波数応答性 (テスト回路2を参照)



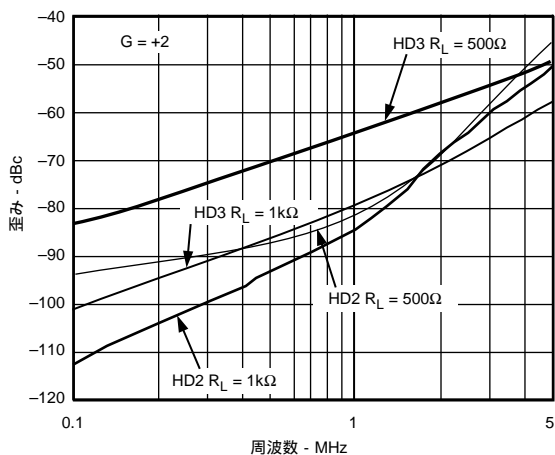
特性9 出力インピーダンス対周波数 (テスト回路4および7を参照)



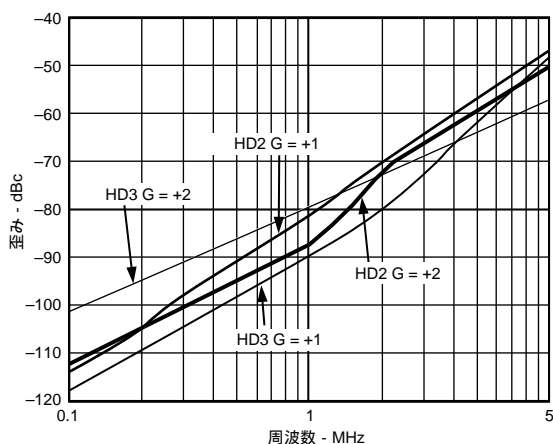
特性12 オープン・ループ応答性

AD8033/AD8034

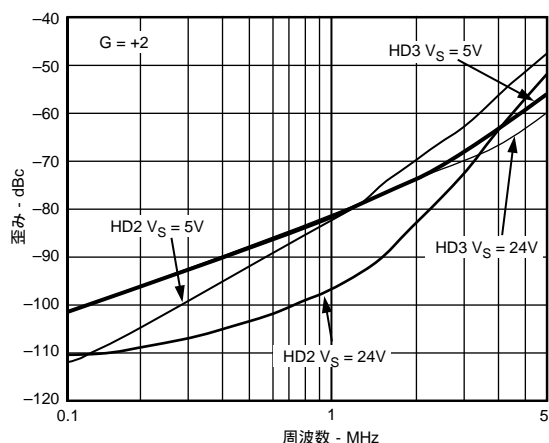
デフォルト条件：±5V、 $C_L = 5\text{pF}$ 、 $R_L = 1\text{k}$ 、温度 = 25



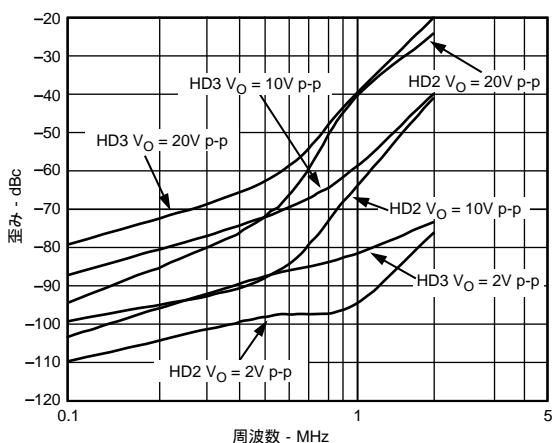
特性13 さまざまな負荷時の高調波歪み 対 周波数
(テスト回路2を参照)



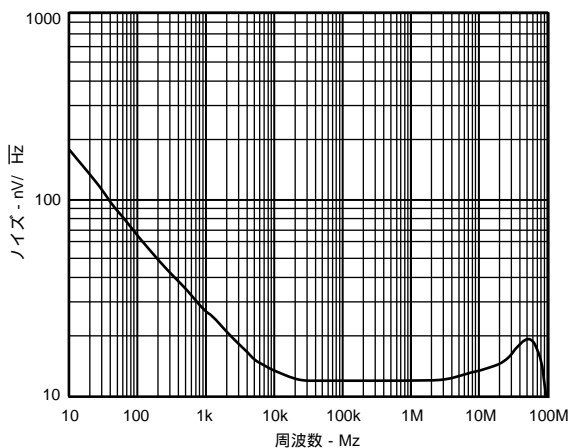
特性16 さまざまなゲイン設定時の高調波歪み 対 周波数



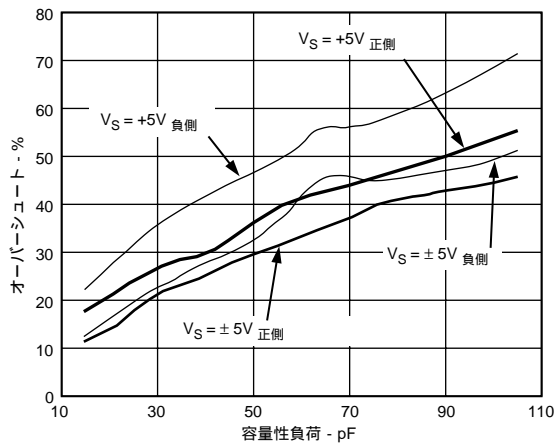
特性14 さまざまな電源電圧時の高調波歪み 対 周波数
(テスト回路2を参照)



特性17 さまざまな振幅時の高調波歪み 対 周波数
(テスト回路2を参照)、 $V_S = 24\text{V}$

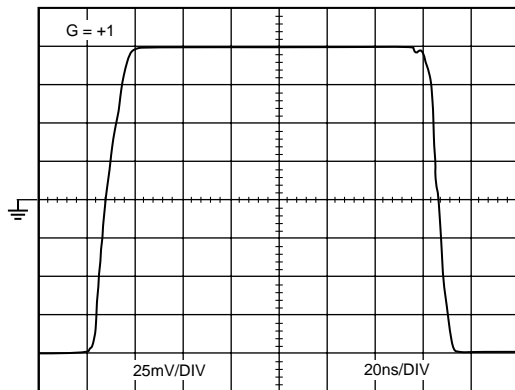


特性15 電圧ノイズ

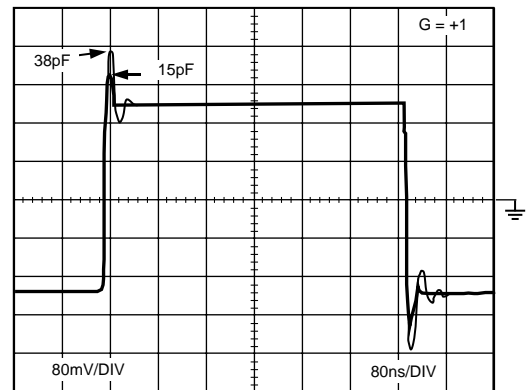


特性18 容量性負荷 対 オーバーシュート(%)、 $G = +1$
(テスト回路1を参照)

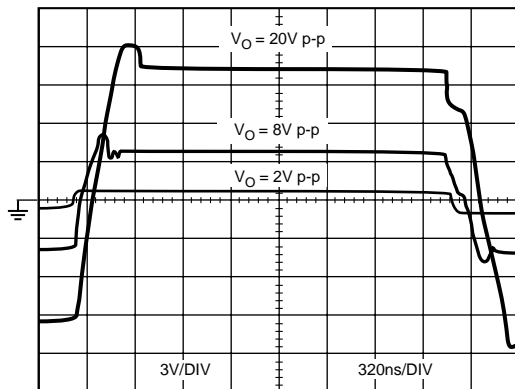
デフォルト条件：±5V、 $C_L = 5\text{pF}$ 、 $R_L = 1\text{k}$ 、温度 = 25



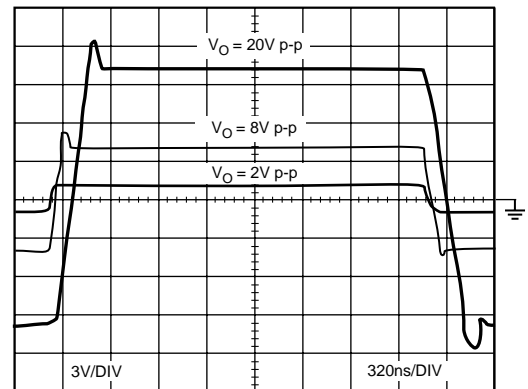
特性19 小信号応答性、+5V (テスト回路1を参照)



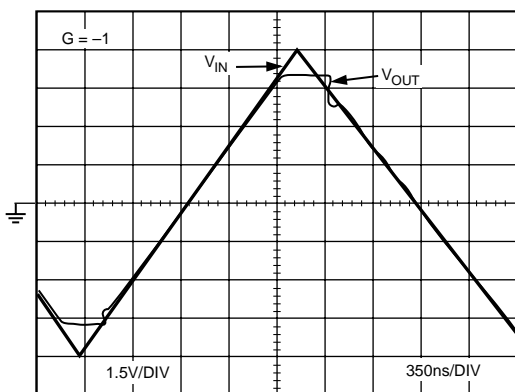
特性22 小信号応答性、±5V (テスト回路1を参照)



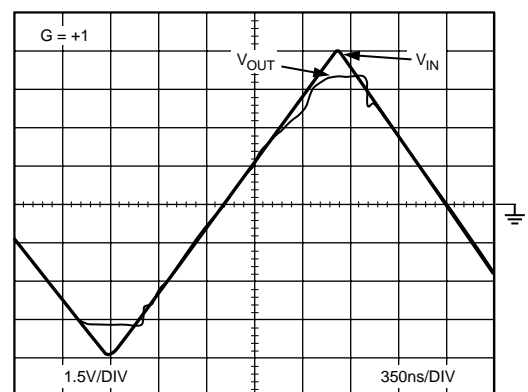
特性20 大信号応答性、G = +1 (テスト回路1を参照)



特性23 大信号応答性、G = +2 (テスト回路2を参照)



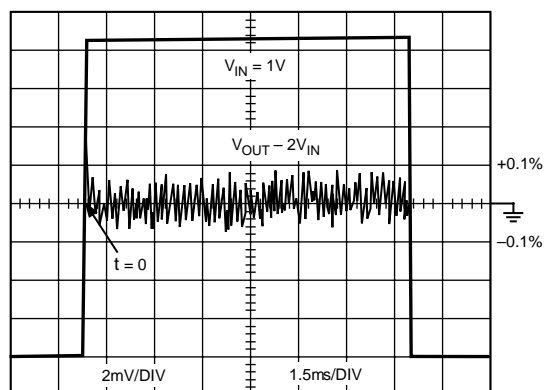
特性21 出力オーバードライブ回復(テスト回路3を参照)



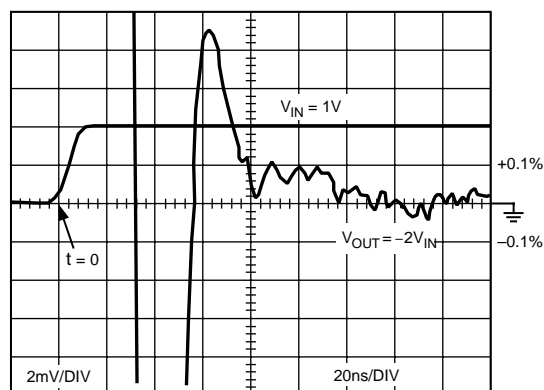
特性24 入力オーバードライブ回復(テスト回路1を参照)

AD8033/AD8034

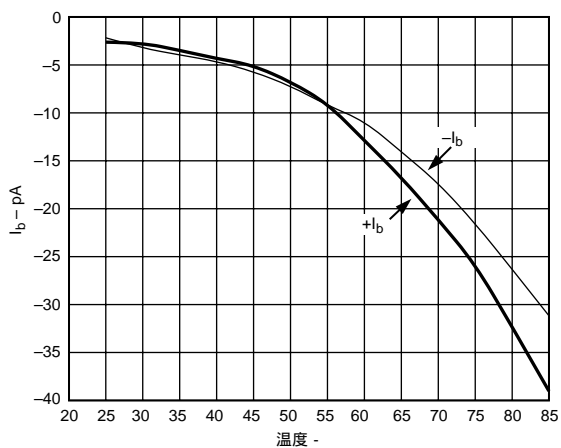
デフォルト条件： $\pm 5V$ 、 $C_L = 5pF$ 、 $R_L = 1k$ 、温度 = 25



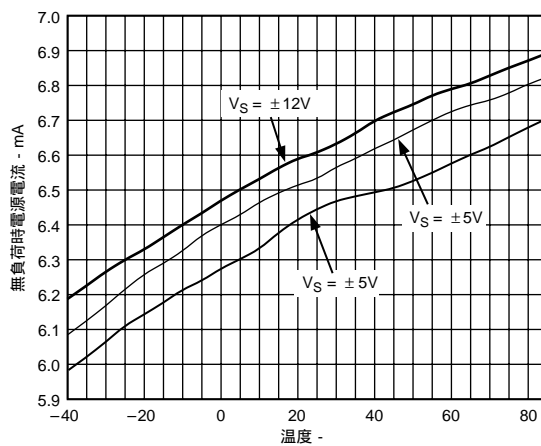
特性25 長期セトリング時間



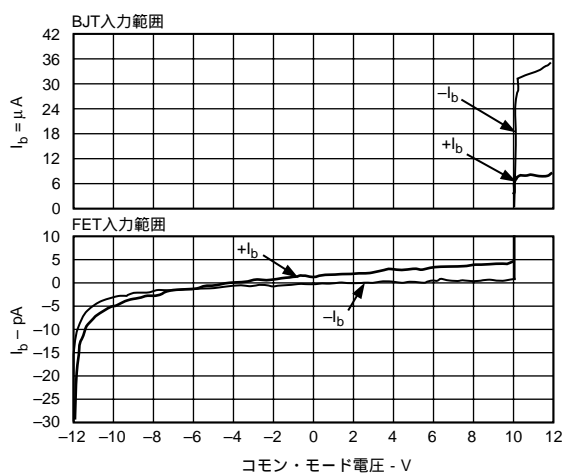
特性28 0.1%に対する短期セトリング時間



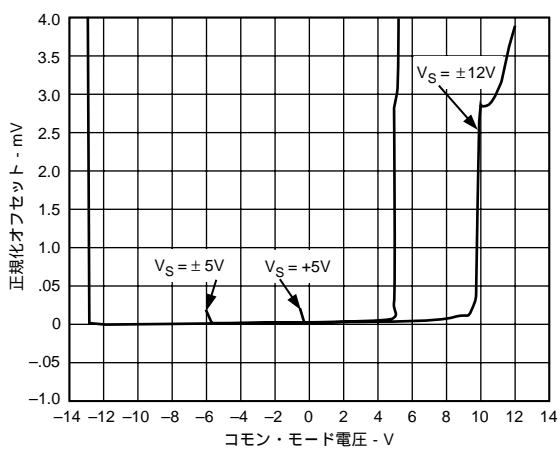
特性26 I_b 対 温度



特性29 さまざまな電源電圧時の無負荷時電源電流 対 温度

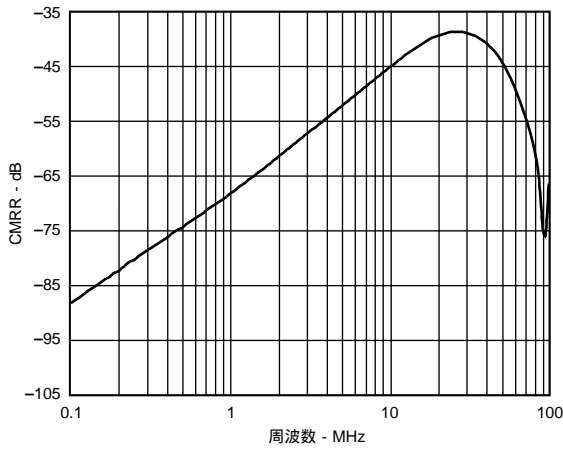


特性27 入力バイアス電流 対 コモン・モード電圧範囲

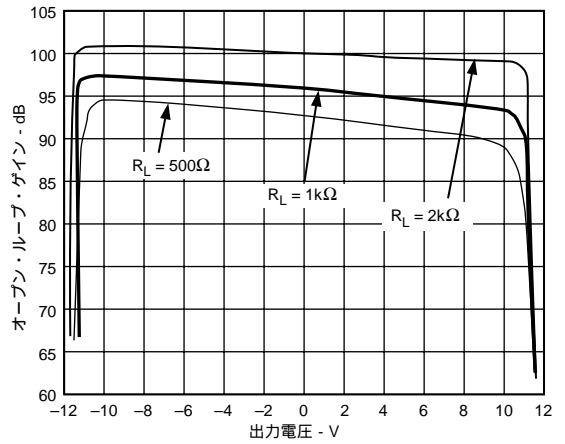


特性30 CMRR 対 コモン・モード電圧

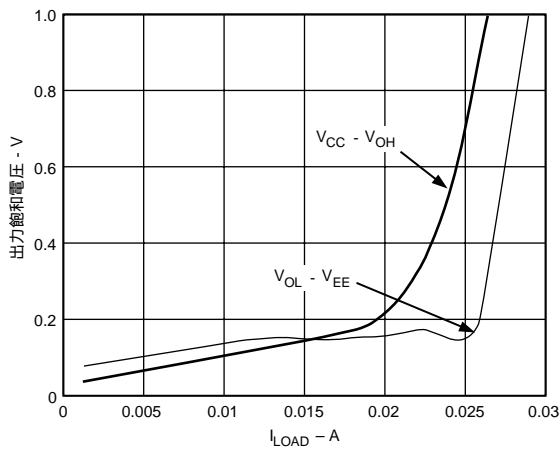
デフォルト条件 : $\pm 5V$ 、 $C_L = 5pF$ 、 $R_L = 1k$ 、温度 = 25



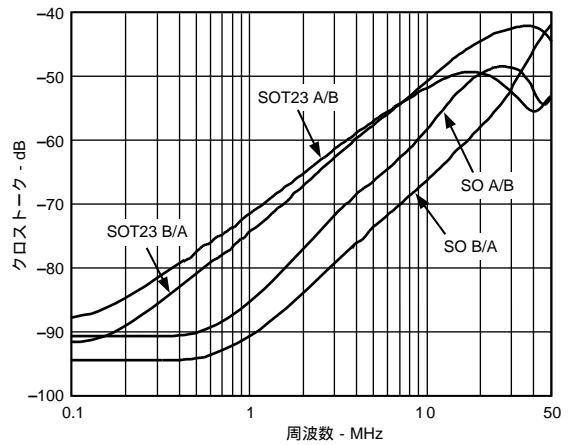
特性31 CMRR 対 周波数 (テスト回路7を参照)



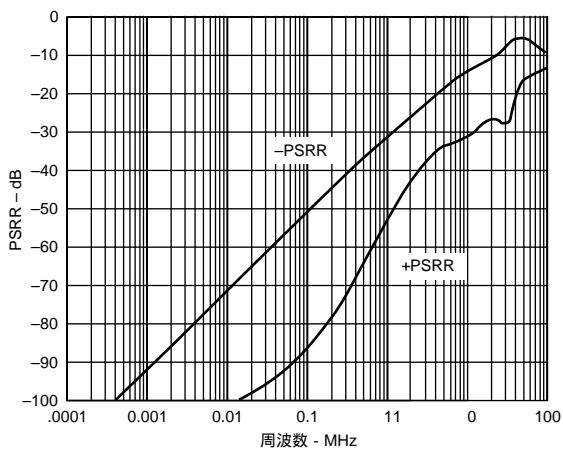
特性34 さまざまな R_{LOAD} 時のオープン・ループ・ゲイン 対 出力電圧範囲



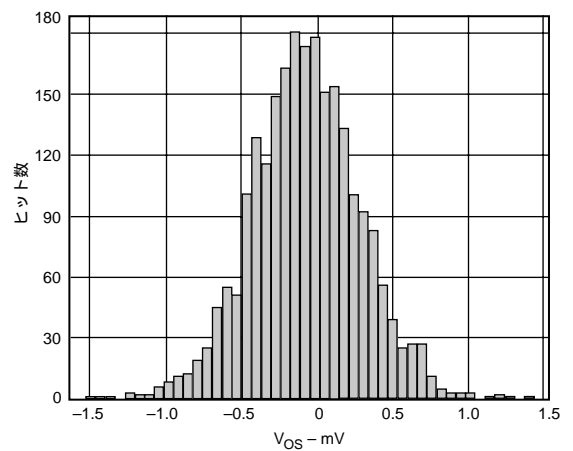
特性32 出力飽和電圧 対 負荷電流



特性35 クロストーク (テスト回路9を参照)



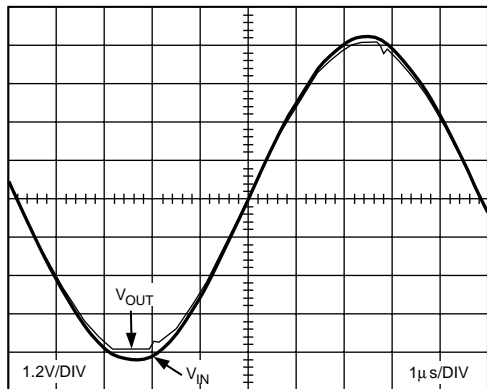
特性33 PSRR 対 周波数 (テスト回路6および8を参照)



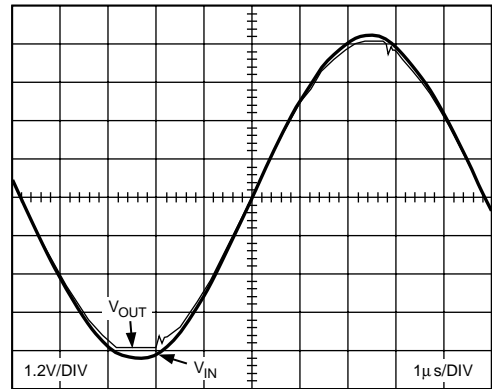
特性36 初期オフセット

AD8033/AD8034

デフォルト条件： $\pm 5V$ 、 $C_L = 5pF$ 、 $R_L = 1k$ 、温度 = 25

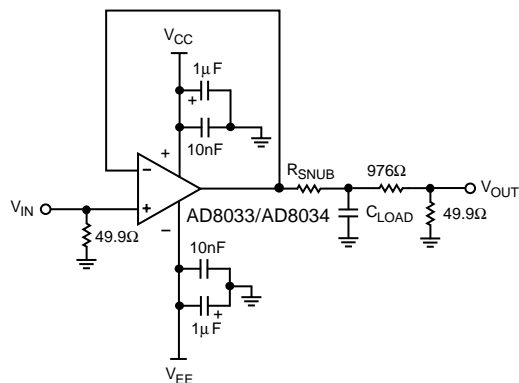


特性37 $G = +1$ 応答性、 $V_S = \pm 5V$

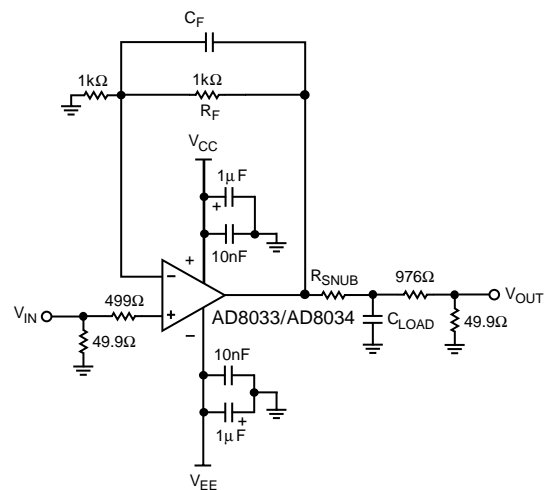


特性38 $G = +2$ 応答性、 $V_S = \pm 5V$

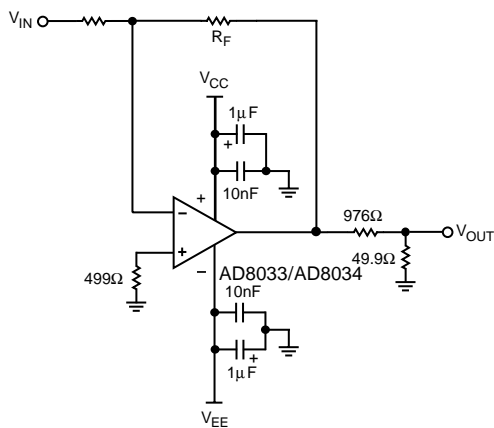
テスト回路



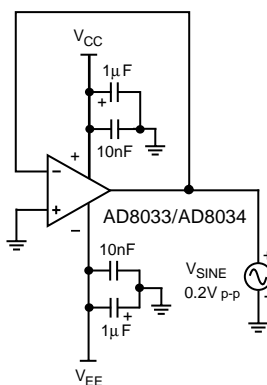
テスト回路1 $G = +1$



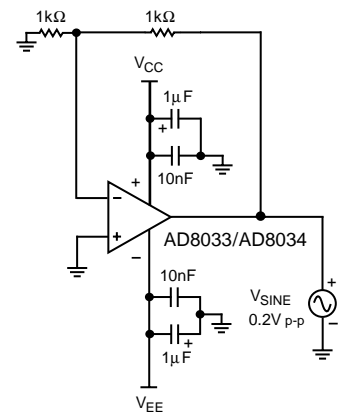
テスト回路2 $G = +2$



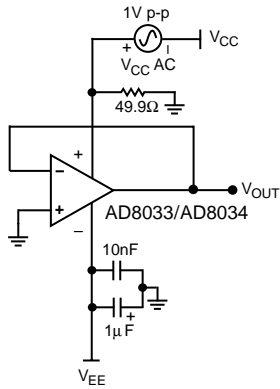
テスト回路3 $G = -1$



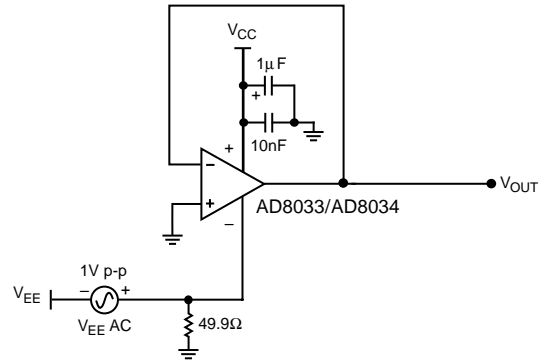
テスト回路4 出力インピーダンス、 $G = +1$



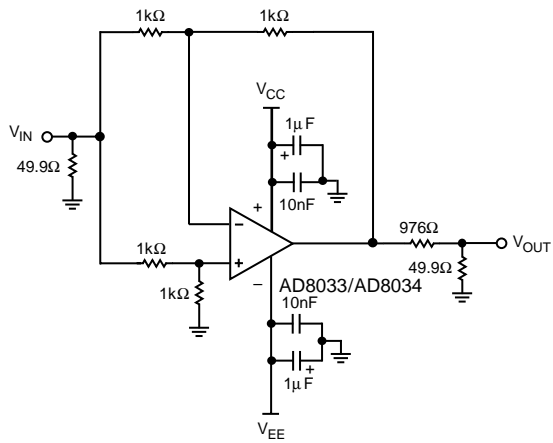
テスト回路5 出力インピーダンス、 $G = +2$



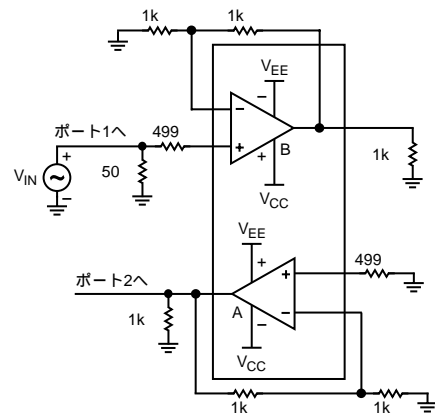
テスト回路6 正のPSRR



テスト回路8 負のPSRR



テスト回路7 CMRR



テスト回路9 クロストーク

AD8033/AD8034

動作原理

AD8033/AD8034は、アナログ・デバイスズの高電圧XFCBプロセスにJFETデバイスを組み込むことによって、性能が格段に改善されています。AD8033/AD8034は、FET入力でありながらバイポーラで強化されたコモン・モード入力範囲を備えた電圧帰還型のレールtoレール出力アンプです。AD8034のように高速アンプにJFETデバイスを採用することで、アプリケーション範囲が低入力バイアス電流と高帯域幅で低歪みの両方に広がります。

NチャンネルJFETとカスケード入力トポロジーの採用により、コモン・モード入力レベルは負電源レールより0.2V低い電位から正電源レールの3.0V以内までの範囲で動作します。入力段のカスケード接続によって、コモン・モード範囲の全域で低い入力バイアス電流が保証されると同時に、CMRRとPSRRの仕様は90dBを上回っています。その上、カスケード接続の成果として、電源電圧が高い場合に一般的に起こる長期セトリング時間の問題が最小限に抑えられます。

出力段の駆動と容量性負荷の駆動

コモン・エミッタ出力段によってレールtoレール出力性能が得られ、この回路は35pFを駆動するように補償されています ($G = +1$ 時で30%のオーバーシュート)。小さな値の緩衝抵抗を容量性負荷と直列に接続し、特性7に示すように出力段から負荷を効果的にデカップリングすると、さらに大きい容量の駆動が可能になります。出力段は、電源レールの500mV以内で20mAの電流、そして電源レールの100mV以内で1mAの電流をそれぞれソースおよびシンクする能力を備えています。

入力のオーバードライブ

AD8033/AD8034の追加機能として、フェーズ反転の問題を許容することのできないアプリケーション向けに特別にレールtoレールのコモン・モード入力性能を追加するバイポーラ入力ペアがあります。

通常のコモン・モード動作条件下では、このバイポーラ入力ペアはOFF状態に保たれ、 I_b を1pA以下に維持します。入力コモン・モード電圧が正電源レールの3.0V以内の範囲に入ると、R14とQ9によってセットアップされる電圧によって、電流I1がターンオフし、またI4がターンオンして、バイポーラ

ラ入力ペアのQ25とQ27に電流が供給されます。この設定により、フェーズ反転をまったく引き起こすことなく、正電源レールを超える範囲まで入力を駆動できるようになります (図3を参照)。

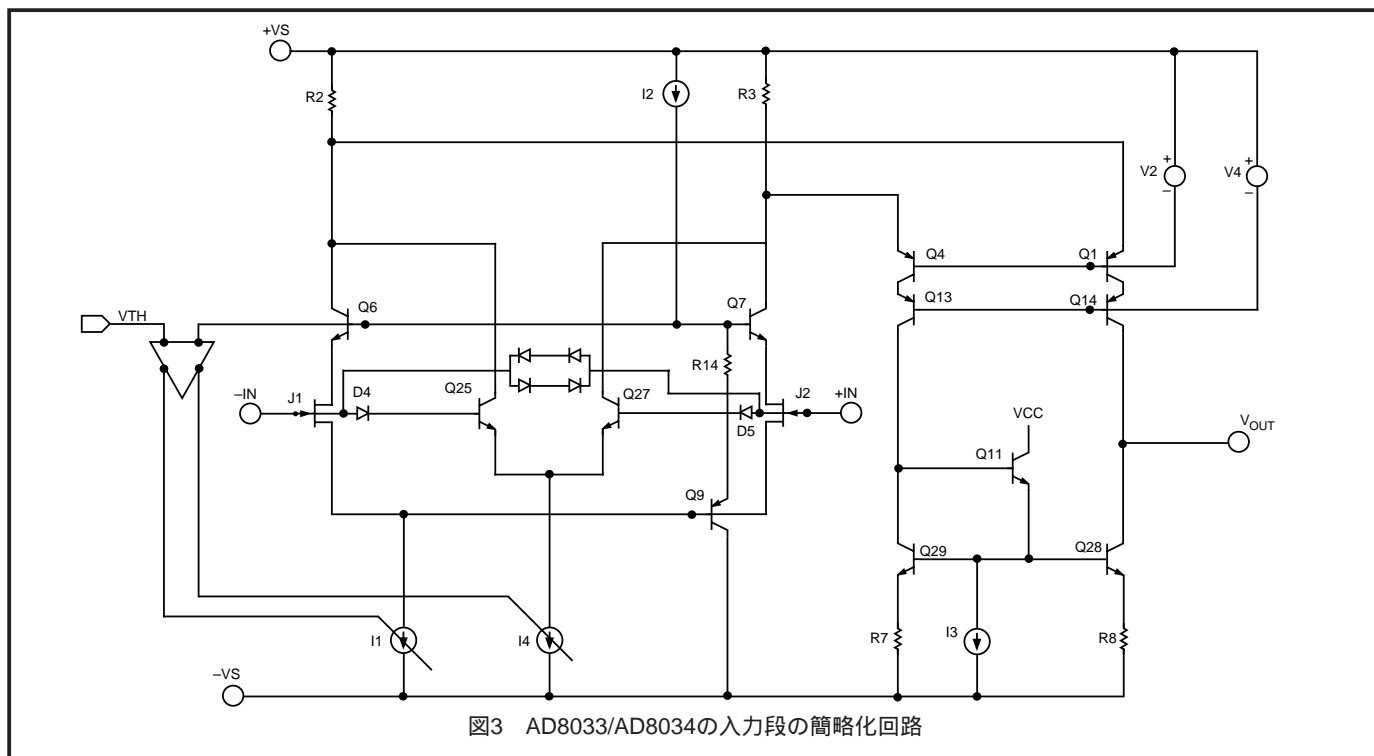
バイポーラ動作モードに入ると、オフセットと入力バイアス電流のシフトが起こります。使用されている内部のバイポーラ・デバイスの I_b とオフセットのいずれも特性評価を行っていませんが、代表的な平均値として I_b が5 μ A、そしてオフセットが2mVです。JFETコモン・モード範囲に再び入った約100ns後にアンプは回復します (過入力特性については特性24を参照)。過入力時には、ESD保護ダイオードが働き、入力バイアス電流が急激に増加することになります。電源レールを超える入力に加わる場合には、入力バイアス電流を10mA以下に制限するために、入力に直列に抵抗を挿入してください。

入力インピーダンス

AD8033/AD8034の入力容量は帰還ネットワークとともに1つの極を形成するために、ピーキングとリングングが応答特性に発生する結果となります。寄生による極をゲイン設定の-3dB帯域幅の外にするために、帰還ネットワークの等価インピーダンスを十分に小さく維持する必要があります。大きなインピーダンス値が必要とされる場合には、小さな容量のコンデンサを帰還抵抗と並列に入れることによって、補償してください。特性8には、小さな容量の帰還コンデンサを値の大きな帰還抵抗と組み合わせることで改善された周波数応答性を示しています。

発熱に関する考慮事項

AD8034は小型のSOT23-8パッケージ (160 μ W) で ± 12 Vまでの電源動作を行うので、その電力損失がパッケージの限界値を容易に超える可能性があり、これが原因でデバイスの特性が変化したり、場合によってはデバイスの障害が引き起こされる結果になります。これと同様に高い電源電圧が起因して、負荷が軽い場合であっても接合部温度が高くなり、その結果、入力バイアス電流とオフセット・ドリフトが増加します。特性26に示すように、入力バイアス電流は温度が10 $^{\circ}$ C上昇することに2倍に増加します。負荷と電源電圧に基づいたダイ温度の概算値計算については、「最大電力損失」のセクションを参照してください。



レイアウト、グラウンド処理、およびバイパス処理に関する考察

電源バイパス処理

電源ピンは実際には入力であるために、ノイズのない安定したDC電圧が供給されるように配慮する必要があります。バイパス・コンデンサの目的はすべての周波数帯域で電源とグラウンド間のインピーダンスを低くすることで、ノイズの大半をシャントまたはフィルタリングすることです。コンデンサの並列接続によって、バイパス・インピーダンスがすべての周波数帯域で最小限に抑えられるように、デカップリングを設計します。0.01 μF または 0.001 μF (X7R または NPO) のチップ・コンデンサが不可欠であり、これらをアンプのパッケージに可能な限り近接させて配置することが必要です。0.1 μF コンデンサなどのより大きなチップ・コンデンサは、同じ信号経路内に密接して配置される他の能動部品のスペースに置いてかまいません。10 μF のタンタル・コンデンサは、高周波数バイパス処理用としてその重要性が低くなり、ほとんどの場合、電源用として必要とされるのは、各ボードに1個に過ぎません。

グラウンド処理

高密度実装のPCボードでは、電流の分散によって寄生インダクタンスを最小限に抑えるために、グラウンド・プレーン層が重要になります。しかし、電流が回路内のどの場所を流れるかを理解することが、効果的な高速回路設計を実現する上で極めて重要です。電流経路の長さは寄生インダクタンスの大きさと比例するので、経路の高周波数インピーダンスに比例することになります。誘導性グラウンド・リターンでの高速電流は、不要な電圧ノイズを発生します。高周波数バイパス・コンデンサのリード長が非常に重要になります。バイパス・グラウンド処理で発生する寄生インダクタンスは、バイパス・コンデンサによってもたらされる低いインピーダンスに対して逆らうこととなります。したがって、バイパス・コンデンサのグラウンド・リードは、物理的に同じ場所に配置してください。

負荷電流も同様に電源から流れるので、負荷インピーダンス用のグラウンドをバイパス・コンデンサのグラウンドと同じ物理的位置にすることが必要です。低周波数帯域に対して効果を求めるもっとも容量の大きいコンデンサの場合、電流リターン経路の距離はそれ程重要ではありません。

リーク電流

不適切なPCボード・レイアウト、汚れ、およびボードの絶縁材は、AD8033/AD8034の入力バイアス電流よりもはるかに大きいリーク電流を発生する要因になることがあります。入力とそれに近接して走る信号との間に電圧差があると、PCボードの絶縁体を通してリーク電流が発生します。たとえば、1V/100G では、10pAのリーク電流が発生することになります。これと同様に、ボード上に少しでも汚れがあると、大きなリーク電流が発生する可能性があります(皮脂がよく問題となります)。このリーク電流を大幅に低減するには、入力の周囲にガード・リング(シールド)を設け、入力ピンを入力と同じ電位になるようにしてください。この手法によって、入力とその周辺との間にリーク電流を発生させる電位がなくなります。ガード・リングを完全に効果的なものにするために、比較的低いインピーダンス

の信号源で駆動し、多層ボードを使用してすべての側面、上側および下側で入力ピンを完全に取り囲むようにする必要があります。

リーク電流を発生する可能性のあるもう1つの要因として、絶縁材自体の電荷吸収が挙げられます。入力リードとガード・リングとの間に使用される材料の量を可能な限り少なくする方法が、この吸収量を少なくするうえで役立ちます。時にはTeflon[®]やセラミックなどの低電荷吸収素材の利用が必要になることがあります。

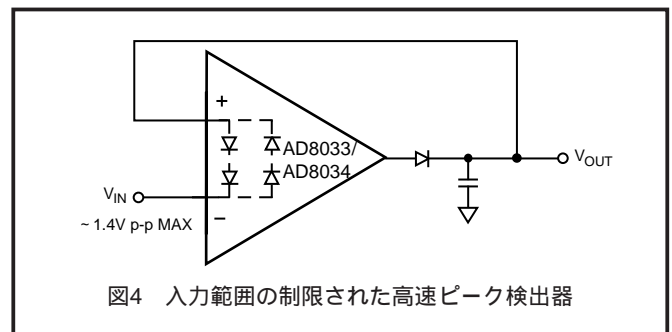
入力容量

バイパス処理およびグラウンドに加えて、高速アンプは入力とグラウンド間の寄生容量で影響を受ける可能性があります。高周波数では、わずかに数pFの容量によって入力インピーダンスが低下し、これに伴ってアンプのゲインが増加し、これが起因して応答性全体にピーキングが発生するか、時には発振が起こる可能性さえあります。寄生容量の発生を少なくするために、入力ピンに外付けする受動部品を可能な限り入力に近づけて配置してください。グラウンド・プレーンと電源プレーンは、ボードのすべての層において入力ピンから少なくとも0.05mm以上離しておいてください。

アプリケーション

高速ピーク検出器

AD8033/AD8034はその低い入力バイアス電流と高速性によって、高速セトリングの低リーク電流ピーク検出器への応用に最適です。図4に示すように、AD8033/AD8034の場合には入力間に保護ダイオードがあるので、ダイオードを出力側に用いる従来の高速、低リーク電流回路方式の入力電圧範囲は最大1.4V_{p-p}に制限されます。



AD8033/AD8034を使用すると、図5に示すように、300nsのパルスを取り込むと同時に、AD8033/AD8034の低い入力バイアス電流と幅広いコモン・モード入力範囲を利用するユニティ・ゲインのピーク検出器を構成することが可能です。

AD8033/AD8034

2個のアンプを使用して、ピーク・レベルと現在の入力レベルとの差が、R2にかかるようにしています。立ち上がりパルスが発生する場合には、第1アンプがD2およびD3間の電圧降下を補償し、ノード3の電圧がノード1の電圧と等しくなるように働きます。この時D1はOFFに維持され、R2にかかる電圧降下はゼロになります。コンデンサC3は、第1アンプの入力容量に必要な電荷を供給することによってループを高速化するので、サンプリング・モード時のR2での電圧降下を最小限にするうえで効果的です。エッジの立ち下がりによって、D2とD3がOFFになり、D1がONになります。これにより、第1アンプの周囲ループが閉じ、R2にかかる電圧が $V_{OUT} \sim V_{IN}$ になります。R4によって、D2にかかる電圧がゼロになるので、C2の電圧によってD3から発生するリーク電流とキックバックが最小化されます。

第2アンプの出力によって第1アンプのサミング・ジャンクションで負帰還をかけることが可能になる前に、第1アンプの出力が V_{IN} のピーク値をオーバーシュートすることのないように、入力信号パルス・エッジのレートを制限する必要があります。これはR1とC1の組み合わせによって達成され、ノード1の電圧が V_{IN} の0.1%に対して270nsでセトリングすることが可能になります。C2とR3の値は、ドループ・レート、セトリング時間、およびキックバックを考慮に入れて選択します。R3は、ノード3でのオーバーシュートの発生を防止します。最良の性能を達成するためには、R1とC1およびR3とC2の時定数をほぼ等しい値とします。ドループ・レートとキックバックの最小化を最優先し、セトリング時間が増加しても構わない場合には、C2の値を大きくして、より低速に対応した大きな時定数を選択してください。R1とC1の値も同様にマッチングするように大きくする必要があり、これによってキックバックに及ぶ入力信号パルスの悪影響が低減されます。

図6には、図5に示すピーク検出器が10mVのキックバックと5V/sのドループ・レートで300nsの4Vパルスを捕捉するときの応答性を示

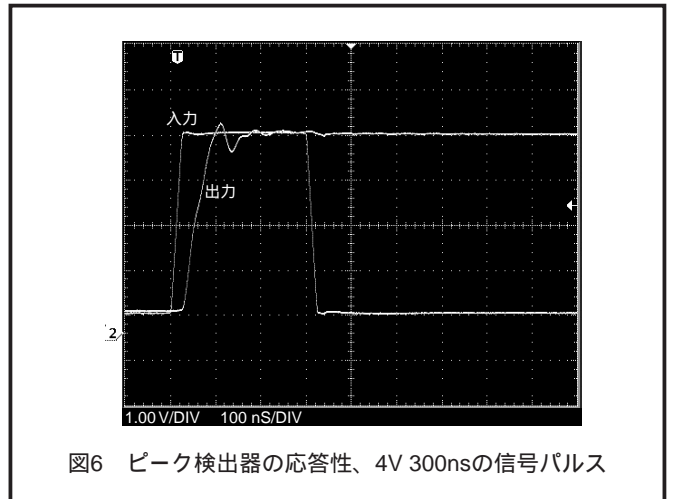


図6 ピーク検出器の応答性、4V 300nsの信号パルス

しています。p-pパルスがこれよりもっと大きい場合には、オーバーシュートを低減するために、R1、C1およびR3、C2の時定数を大きくしてください。ノード3から寄生抵抗成分を絶縁すると、ベストなドループ・レートが確保されます。これを達成する手法として、第2アンプの出力にガード・バンドを接続し、そのサミング・ジャンクション（ノード3）を取り囲むようにします。

両方の時定数を3倍に大きくすると、もっと大きなピーク・パルスの捕捉が可能になり、しかも出力精度が向上します。

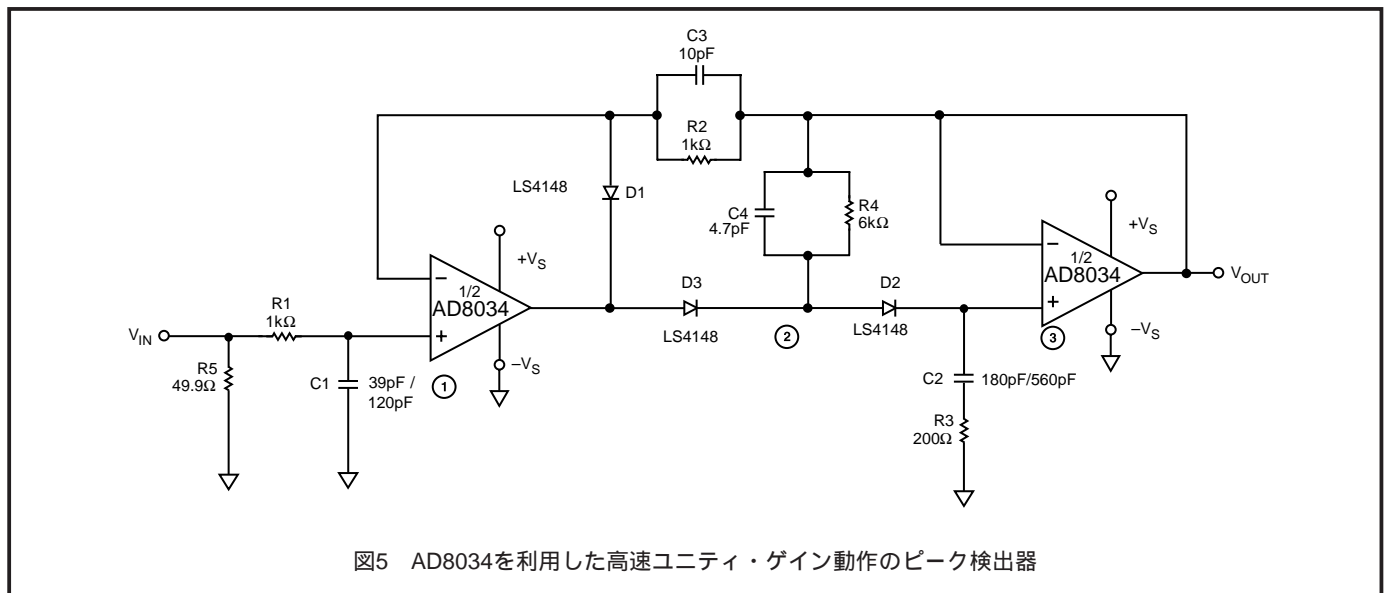


図5 AD8034を利用した高速ユニティ・ゲイン動作のピーク検出器

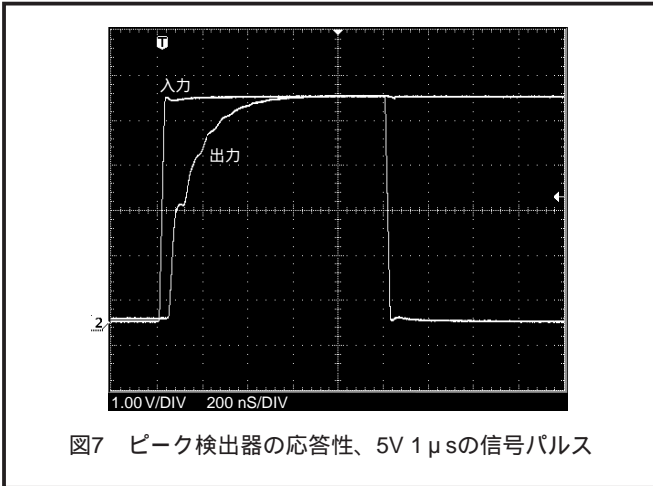


図7 ピーク検出器の応答性、5V 1 μ sの信号パルス

図7には、キックバックを1mV以下に抑えて1 μ sで5Vピーク・パルスを捕捉する応答性を示しています。この時定数の選択では、オーバーシュートを起こすことなく最大で20Vまでのピーク・パルスを取り込むことが可能です。

アクティブ・フィルタ

アクティブ・フィルタの応答性は、能動デバイスの性能に依存して大きく変動します。フィルタの次数に加えて、オープン・ループ帯域幅とゲインによって、阻止帯域減衰量と最大カットオフ周波数が決定され、さらに入力容量に基づいて、どの受動部品を使用するかに関する制限が設定されます。アクティブ・フィルタのトポロジーは多種多様であり、その一部には能動デバイスの性能に対する依存性が他のトポロジーより高いものがあります。

Sallen-Keyフィルタは能動デバイスに対する依存性が最も小さく、これは単にゲイン・ブロックとして使用されるので、阻止帯域周波数を越えるまで帯域幅が平坦であることが必要とされます。Q特性の高いフィルタ段の場合には、ピーキングがアンプのオープン・ループ帯域幅と線形入力範囲を超えることがあってはいけません。

AD8033/AD8034を利用すると、図8に示すように、 $f_c = 1$ MHzおよび阻止帯域の減衰レベルが80dB以上の4次カスケード接続Sallen-Keyフィルタを構成できます。

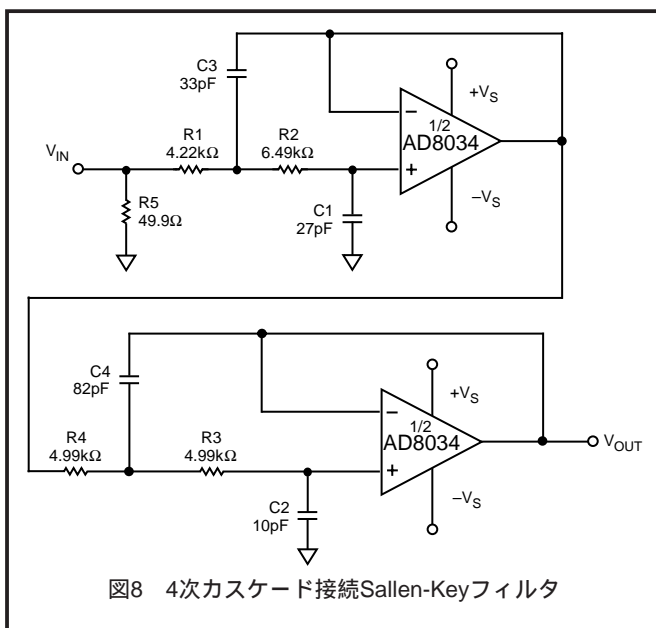


図8 4次カスケード接続Sallen-Keyフィルタ

部品の値については、正規化されたカスケード接続の2段パワース・フィルタ表と2次Sallen-Keyアクティブ・フィルタ数式を用いて選択しています。この全体的な周波数応答性を図9に示します。

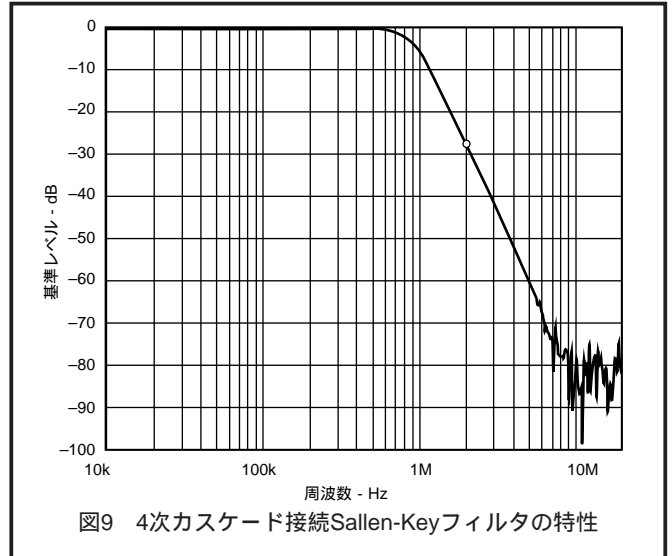


図9 4次カスケード接続Sallen-Keyフィルタの特性

部品の選択に際しては、2pFのコモン・モード入力容量を考慮に入れることが必要です。

AD8033/AD8034を使用すると、1MHzを超える範囲までフィルタのカットオフ周波数を上げることが可能ですが、それに伴ってオープン・ループ・ゲインが制限され、さらに入力インピーダンスがQ特性のより高い段で干渉を受けることとなります。これが原因で、応答性全体の早期ロールオフが引き起こされることがあります。

これに加えて、阻止帯域減衰量はオープン・ループ・ゲインの低下に伴って小さくなります。

このような制約を考慮に入れたうえで、Q特性が0.707と比較的低く、さらに f_c より先1オクターブ高い帯域で15dBの減衰レベルを維持し、また35dBの阻止帯域減衰レベルを保つ、 $f_c = 4$ MHzの2次Sallen-Keyパワース・フィルタを構成することが可能です。このフィルタ回路と応答性をそれぞれ図10と11に示します。

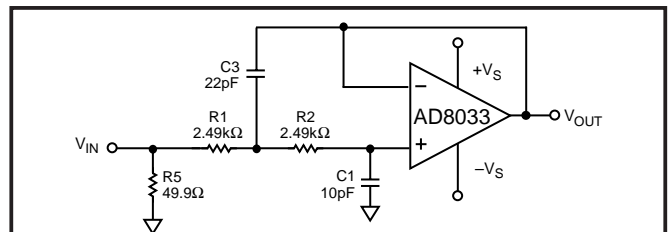


図10 2次パワース・アクティブ・フィルタ

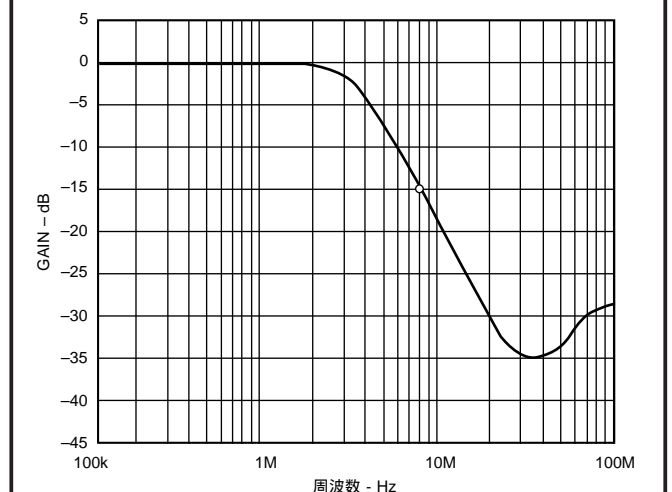


図11 2次パワース・アクティブ・フィルタの応答性

AD8033/AD8034

広帯域フォトダイオード用プリアンプ

フォトダイオードの電気的モデルを入れたI/Vコンバータ回路を図12に示しています。

この基本的な伝達関数は、以下の数式によって表されます。

$$V_{OUT} = \frac{I_{PHOTO} \times R_F}{1 + sC_F R_F}$$

ここで、 I_{PHOTO} はフォトダイオードの出力電流を示し、 R_F と C_F の並列接続によって信号帯域幅を設定します。

このプリアンプで達成可能な安定した帯域幅は、 R_F 、アンプのゲイン帯域、および C_S とアンプの入力容量を含む、アンプのサミング・ジャンクションにおけるトータル容量の関数になります。 R_F とトータル容量によってアンプのループの伝送特性で極が形成され、その結果としてピーキングと不安定性が引き起こされる可能性が高くなります。 C_F を追加すると、ループの伝送特性でゼロが形成されるので、極の影響が補償され、信号帯域幅が小さくなります。45度のフェーズマージンとなる信号帯域幅(f_{45})は、以下の式によって表すことができます。

$$f_{(45)} = \sqrt{\frac{f_{cr}}{2\pi \times R_F \times C_S}}$$

f_{CR} = アンプのクロスオーバー周波数

R_F = 帰還抵抗

C_S = アンプのサミング・ジャンクションにおけるトータル容量
(アンプ+フォトダイオード+ボードの寄生容量)

f_{45} を得るための C_F の値は、以下の式から求めることができます。

$$C_F = \sqrt{\frac{C_S}{2\pi \times R_F \times f_{cr}}}$$

このケースでの周波数応答性は、約2dBのピーキングと15%のオーバーシュートを示します。 C_F を2倍に増加して、帯域幅を1/2に下げると、平坦な周波数応答性が確保され、トランジェント・オーバーシュートは約5%になります。

プリアンプの出力ノイズ対周波数特性を図13に掲載しています。

ループでの極は、アンプのノイズ・ゲインでゼロに変換されるために、周波数範囲で入力電圧ノイズが増幅される結果になります。 C_F によって導入されるループでのゼロは、増幅を制限します。ノイズ・

ゲインの帯域幅は、プリアンプの信号帯域以上に伸びており、アンプのループ・ゲインの減少によって最終的にロールオフします。出力ノイズに追加される共通モード・ノイズのピーキングの影響を排除するために、入力端子のインピーダンス・マッチングを維持することを推奨します。

周波数範囲における出力電圧ノイズのスペクトル密度の二乗とその総和をした後、平方根値が求めるプリアンプのトータルrms出力ノイズとなります。

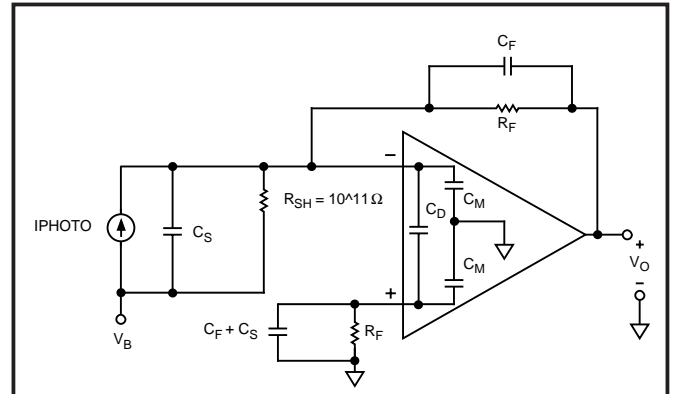


図12 広帯域フォトダイオード用プリアンプ

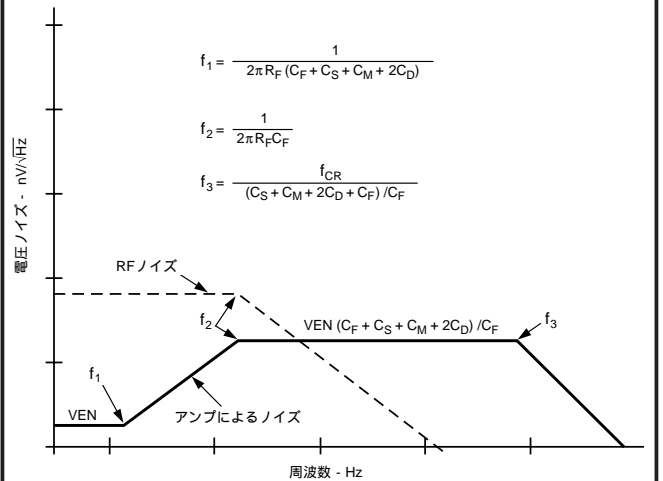
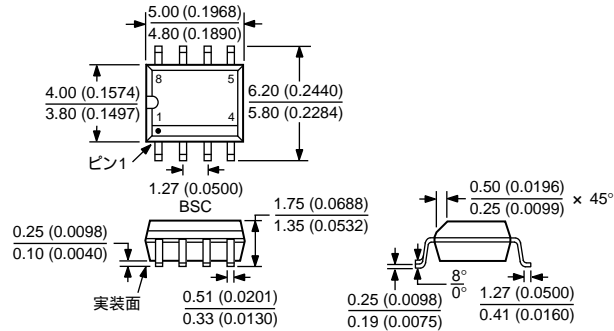


図13 フォトダイオードに起因する電圧ノイズ特性

外形寸法

8ピン標準SOP[SOIC] 小型ボディ (R-8)

サイズはミリメートルと(インチ)で示します。

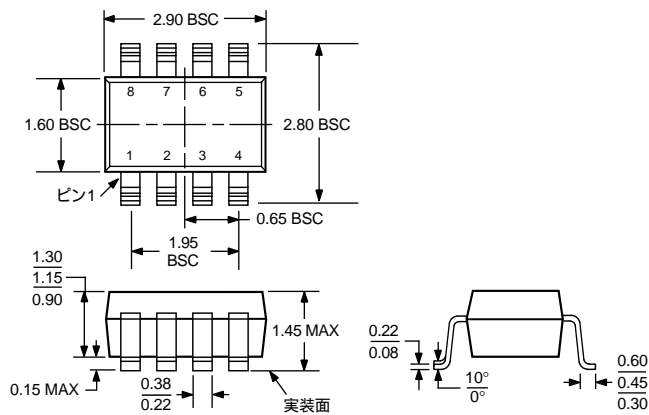


寸法管理はミリメートル。括弧内のインチ寸法は、参考用にミリメートルを丸め処理してあるため、設計用には向きません。

JEDEC標準MS-012AAに準拠

8ピン・プラスチック表面実装パッケージ[SOT-23] (RT-8)

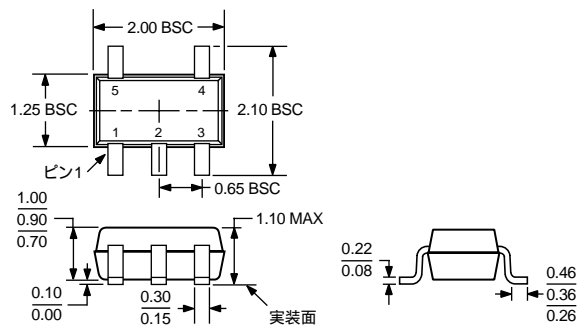
サイズはミリメートルで示します。



JEDEC標準MO-178BAに準拠

5ピン・プラスチック表面実装パッケージ[SC70] (KS-5)

サイズはミリメートルで示します。



JEDEC標準MO-203AAに準拠

AD8033/AD8034

TDS03/2003/700

PRINTED IN JAPAN

