

## AD7993/AD7994

### 特長

- 高速変換の10/12ビットADC：2μs (typ)
- 4つのシングルエンド・アナログ入力チャンネル
- V<sub>DD</sub>仕様：2.7~5.5V
- 低消費電力
- 高速スループット・レート：188kSPS
- 温度範囲：-40~+125°C
- シーケンス動作
- 自動サイクル・インターバル・モード
- I<sup>2</sup>C<sup>®</sup>互換のシリアル・インターフェース
- I<sup>2</sup>Cインターフェースで標準/ファースト/ハイスピード・モードをサポート
- アウトオブレンジ・インジケータ/アラート機能
- ASによるピン選択可能なアドレッシング
- シャットダウン・モード：1μA (max)
- 16ピンTSSOPパッケージ
- 8チャンネルと2チャンネルの等価デバイスについては、それぞれAD7998とAD7992を参照

### 概要

AD7993/AD7994は、I<sup>2</sup>C互換インターフェースを備えた、4チャンネル、10/12ビット、低消費電力、逐次比較型A/Dコンバータ (SAR ADC) です。AD7993/AD7994は、2.7~5.5Vの単電源で動作し、2μsの変換時間を実現します。また、11MHzまでの入力周波数に対応できるトラック&ホールド・アンプと4チャンネル・マルチプレクサを備えています。

AD7993/AD7994は、I<sup>2</sup>Cインターフェース互換の2線式シリアル・インターフェースを提供します。各デバイスにはそれぞれ2つのバージョン (AD7993-0/AD7994-0およびAD7993-1/AD7994-1) があり、さらに各バージョンが少なくとも2つの異なるI<sup>2</sup>Cアドレスに対応しています。AD7993-0/AD7994-0のI<sup>2</sup>Cインターフェースは、標準/ファーストのI<sup>2</sup>Cインターフェース・モードをサポートします。AD7993-1/AD7994-1のI<sup>2</sup>Cインターフェースは、標準/ファースト/ハイスピードのI<sup>2</sup>Cインターフェース・モードをサポートします。

AD7993/AD7994は通常、シャットダウン状態を維持し、変換時のみパワーアップします。変換プロセスの制御にはCONVSTピンを使用し、I<sup>2</sup>Cの書き込み動作の間に変換が行われるコマンド・モードと、ソフトウェア制御によって選択する自動変換インターバル・モードがあります。

AD7993/AD7994に必要な外部リファレンスは、REF<sub>IN</sub>ピンに接続し、1.2V~V<sub>DD</sub>の範囲が可能です。これによって、ADCは最も広いダイナミック入力レンジを確保できます。

### 機能ブロック図

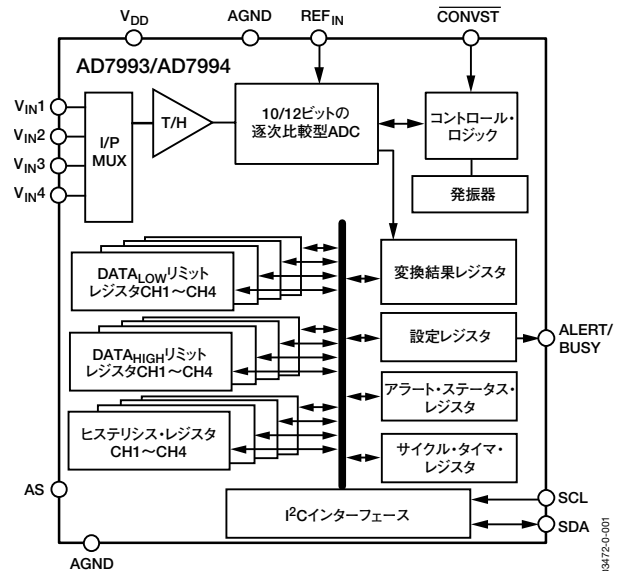


図1

オンチップ・リミット・レジスタは、変換結果の上/下限によってプログラムできます。変換結果が上/下限の設定値に収まらない場合は、オープン・ドレインのアウトオブレンジ・インジケータ出力 (ALERT) がアクティブになります。この出力は割込みとして使用できます。

### 製品のハイライト

1. 低消費電力で2μsの変換時間
2. ピン選択可能なアドレスを持つI<sup>2</sup>C互換のシリアル・インターフェース。2つのバージョンによって、5つのAD7993/AD7994デバイスを同じシリアル・バスに接続できます。
3. 最大のパワー効率を得るため、AD7993/AD7994は、変換時以外は自動的にシャットダウンします。シャットダウン・モードでの消費電流は1μA (max) です。
4. リファレンスは電源まで駆動できます。
5. アウトオブレンジ・インジケータは、ソフトウェアでイネーブル/ディスエーブルにできます。
6. ワンショット/自動変換レート
7. レジスタは最小と最大の変換結果を格納できます。

# AD7993/AD7994

## 目次

AD7993の仕様	3	シリアル・インターフェース	23
AD7994の仕様	5	シリアル・バス・アドレス	23
I <sup>2</sup> Cのタイミング仕様	7	AD7993/AD7994への書込み	24
絶対最大定格	9	後で読出しを行うためのアドレス・ポインタ・レジスタへの書込み	24
ESDに関する注意	9	アラート・ステータス・レジスタやサイクル・レジスタへのシングル・バイト・データの書込み	24
ピン配置とピン機能の説明	10	リミット・レジスタやヒステリシス・レジスタへの2バイト・データの書込み	24
用語の説明	11	AD7993/AD7994からのデータ読出し	26
代表的な性能特性	12	ALERT/BUSYピン	27
回路情報	15	SMBus ALERT	27
コンバータの動作	15	BUSY	27
代表的な接続図	16	AD7993-1/AD7994-1をハイスピード・モードにする場合	27
アナログ入力	16	アドレス選択 (AS) ピン	27
内部レジスタの構造	18	動作モード	28
アドレス・ポインタ・レジスタ	18	モード1—CONVSTピンを使用	28
設定レジスタ	19	モード2—コマンド・モード	29
変換結果レジスタ	20	モード3—自動サイクル・インターバル・モード	30
リミット・レジスタ	20	外形寸法	31
アラート・ステータス・レジスタ	21	オーダー・ガイド	31
サイクル・タイム・レジスタ	22	I <sup>2</sup> C互換のADC製品ファミリーに含まれる関連デバイス	31
サンプル遅延とビット・トライアル遅延	22		

## 改訂履歴

2004年10月—リビジョン0：初版

## AD7993の仕様

Bバージョンの温度範囲は $-40\sim+125^{\circ}\text{C}$ 。特に指定のない限り $V_{\text{DD}}=2.7\sim 5.5\text{V}$ 、 $\text{REF}_{\text{IN}}=2.5\text{V}$ 。特に指定のない限りAD7993-0のすべての仕様は400kHzまでの $f_{\text{SCL}}$ に適用、AD7993-1のすべての仕様は3.4MHzまでの $f_{\text{SCL}}$ に適用、 $T_{\text{A}}=T_{\text{MIN}}\sim T_{\text{MAX}}$

表1

パラメータ	Bバージョン	単位	テスト条件/備考
<b>動的性能<sup>1</sup></b>			1.7~3.4MHzの $f_{\text{SCL}}$ では、 $F_{\text{IN}}=10\text{kHz}$ の正弦波 400kHzまでの $f_{\text{SCL}}$ では、 $F_{\text{IN}}=1\text{kHz}$ の正弦波
信号/ノイズ&歪み (SINAD) <sup>2</sup>	61	dB (min)	
全高調波歪み (THD) <sup>2</sup>	-75	dB (max)	
ピーク高調波またはスプリアス・ノイズ (SFDR) <sup>2</sup>	-76	dB (max)	
相互変調歪み (IMD) <sup>2</sup>			1.7~3.4MHzの $f_{\text{SCL}}$ では、 $f_{\text{a}}=10.1\text{kHz}$ 、 $f_{\text{b}}=9.9\text{kHz}$ 400kHzまでの $f_{\text{SCL}}$ では、 $f_{\text{a}}=1.1\text{kHz}$ 、 $f_{\text{b}}=0.9\text{kHz}$
2次項	-86	dB (typ)	
3次項	-86	dB (typ)	
アバーチャ遅延 <sup>2</sup>	10	ns (max)	
アバーチャ・ジッタ <sup>2</sup>	50	ps (typ)	
チャンネル間絶縁 <sup>2</sup>	-90	dB (typ)	$F_{\text{IN}}=108\text{Hz}$ 、「用語の説明」を参照
フルパワー帯域幅 <sup>2</sup>	11	MHz (typ)	@3dB
	2	MHz (typ)	@0.1dB
<b>DC精度</b>			
分解能	10	ビット	
積分非直線性 <sup>1, 2</sup>	$\pm 0.5$	LSB (max)	
微分非直線性 <sup>1, 2</sup>	$\pm 0.5$	LSB (max)	10ビットまでノー・ミスコード保証
オフセット誤差 <sup>2</sup>	$\pm 1.5$	LSB (max)	モード1 (CONVSTモード)
	$\pm 2.5$	LSB (max)	モード2 (コマンド・モード)
オフセット誤差マッチ <sup>2</sup>	$\pm 0.5$	LSB (max)	
ゲイン誤差 <sup>2</sup>	$\pm 1.5$	LSB (max)	
ゲイン誤差マッチ <sup>2</sup>	$\pm 0.5$	LSB (max)	
<b>アナログ入力</b>			
入力電圧範囲	$0\sim\text{REF}_{\text{IN}}$	V	
DCリーク電流	$\pm 1$	$\mu\text{A}$ (max)	
入力容量	30	pF (typ)	
<b>リファレンス入力</b>			
$\text{REF}_{\text{IN}}$ 入力電圧範囲	$1.2\sim V_{\text{DD}}$	V (min/max)	
DCリーク電流	$\pm 1$	$\mu\text{A}$ (max)	
入力インピーダンス	69	k $\Omega$ (typ)	変換時
<b>ロジック入力 (SDA、SCL)</b>			
ハイレベル入力電圧 ( $V_{\text{INH}}$ )	$0.7 (V_{\text{DD}})$	V (min)	
ローレベル入力電圧 ( $V_{\text{INL}}$ )	$0.3 (V_{\text{DD}})$	V (max)	
入力リーク電流 ( $I_{\text{IN}}$ )	$\pm 1$	$\mu\text{A}$ (max)	$V_{\text{IN}}=0\text{V}$ または $V_{\text{DD}}$
入力容量 ( $C_{\text{IN}}$ ) <sup>3</sup>	10	pF (max)	
入力ヒステリシス ( $V_{\text{HYST}}$ )	$0.1 (V_{\text{DD}})$	V (min)	

# AD7993/AD7994

パラメータ	Bバージョン	単位	テスト条件/備考
ロジック入力 (CONVST) ハイレベル入力電圧 ( $V_{INH}$ )	2.4	V (min)	$V_{DD}=5V$
	2.0	V (min)	$V_{DD}=3V$
ローレベル入力電圧 ( $V_{INL}$ )	0.8	V (max)	$V_{DD}=5V$
	0.4	V (max)	$V_{DD}=3V$
入力リーク電流 ( $I_{IN}$ )	$\pm 1$	$\mu A$ (max)	$V_{IN}=0V$ または $V_{DD}$
入力容量 ( $C_{IN}$ ) <sup>3</sup>	10	pF (max)	
ロジック出力 (オープン・ドレイン) ローレベル出力電圧 ( $V_{OL}$ )	0.4	V (max)	$I_{SINK}=3mA$
	0.6	V (max)	$I_{SINK}=6mA$
フロート状態リーク電流	$\pm 1$	$\mu A$ (max)	
フロート状態出力容量 <sup>3</sup>	10	pF (max)	
出力コーディング	ストレート・バイナリ		
変換レート			「動作モード」を参照
変換時間	2	$\mu s$ (typ)	
スループット・レート			
モード1 (変換後の読出し)	5	kSPS (typ)	$f_{SCL}=100kHz$
	21	kSPS (typ)	$f_{SCL}=400kHz$
	121	kSPS (typ)	$f_{SCL}=3.4MHz$
モード2	5.5	kSPS (typ)	$f_{SCL}=100kHz$
	22	kSPS (typ)	$f_{SCL}=400kHz$
	147	kSPS (typ)	$f_{SCL}=3.4MHz$ , 188kSPS (typ) @5V
電源条件			
$V_{DD}$	2.7/5.5	V (min/max)	
$I_{DD}$			デジタル入力=0Vまたは $V_{DD}$
パワーダウン・モード、インターフェースは非アクティブ	1/2	$\mu A$ (max)	$V_{DD}=3.3/5.5V$
パワーダウン・モード、インターフェースはアクティブ	0.07/0.3	mA (max)	$V_{DD}=3.3/5.5V$ , 400kHz $f_{SCL}$
	0.3/0.6	mA (max)	$V_{DD}=3.3/5.5V$ , 3.4MHz $f_{SCL}$
動作中、インターフェースは非アクティブ	0.06/0.1	mA (max)	$V_{DD}=3.3/5.5V$ , 400kHz $f_{SCL}$
	0.3/0.6	mA (max)	$V_{DD}=3.3/5.5V$ , 3.4MHz $f_{SCL}$
動作中、インターフェースはアクティブ	0.15/0.4	mA (max)	$V_{DD}=3.3/5.5V$ , 400kHz $f_{SCL}$
	0.6/1.1	mA (max)	$V_{DD}=3.3/5.5V$ , 3.4MHz $f_{SCL}$ モード1
	0.7/1.4	mA (typ)	$V_{DD}=3.3/5.5V$ , 3.4MHz $f_{SCL}$ モード2
モード3 (I <sup>2</sup> C非アクティブ、 $T_{CONVERT} \times 32$ )	0.7/1.5	mA (max)	$V_{DD}=3.3/5.5V$
消費電力			
フル稼働			
動作中、インターフェースはアクティブ	0.495/2.2	mW (max)	$V_{DD}=3.3/5.5V$ , 400kHz $f_{SCL}$
	1.98/6.05	mW (max)	$V_{DD}=3.3/5.5V$ , 3.4MHz $f_{SCL}$ モード1
	2.31/7.7	mW (typ)	$V_{DD}=3.3/5.5V$ , 3.4MHz $f_{SCL}$ モード2
パワーダウン、インターフェースは非アクティブ	3.3/11	$\mu W$ (max)	$V_{DD}=3.3/5.5V$

<sup>1</sup> min/maxのAC動的性能とINL/DNL仕様は、I<sup>2</sup>Cハイスピード・モードのSCL周波数によりモード2で動作するときのtyp仕様です。モード2用の仕様は、モード3にも適用されます。

サンプル遅延とビット・トライアル遅延はイネーブルです。

<sup>2</sup> 「用語の説明」を参照してください。

<sup>3</sup> 初期特性評価によって保証されています。

## AD7994の仕様

Bバージョンの温度範囲は $-40\sim+125^{\circ}\text{C}$ 。特に指定のない限り $V_{\text{DD}}=2.7\sim 5.5\text{V}$ 、 $\text{REF}_{\text{IN}}=2.5\text{V}$ 。特に指定のない限りAD7994-0のすべての仕様は400kHzまでの $f_{\text{SCL}}$ に適用、AD7994-1のすべての仕様は3.4MHzまでの $f_{\text{SCL}}$ に適用、 $T_{\text{A}}=T_{\text{MIN}}\sim T_{\text{MAX}}$

表2

パラメータ	Bバージョン	単位	テスト条件/備考
<b>動的性能<sup>1</sup></b>			1.7~3.4MHzの $f_{\text{SCL}}$ では、 $F_{\text{IN}}=10\text{kHz}$ の正弦波 400kHzまでの $f_{\text{SCL}}$ では、 $F_{\text{IN}}=1\text{kHz}$ の正弦波
信号/ノイズ&歪み (SINAD) <sup>2</sup>	70.5	dB (min)	1.7~3.4MHzの $f_{\text{SCL}}$ では、 $f_{\text{a}}=10.1\text{kHz}$ 、 $f_{\text{b}}=9.9\text{kHz}$ 400kHzまでの $f_{\text{SCL}}$ では、 $f_{\text{a}}=1.1\text{kHz}$ 、 $f_{\text{b}}=0.9\text{kHz}$
S/N比 (SNR) <sup>2</sup>	71	dB (min)	
全高調波歪み (THD) <sup>2</sup>	-78	dB (max)	
ピーク高調波またはスプリアス・ノイズ (SFDR) <sup>2</sup>	-79	dB (max)	
相互変調歪み (IMD) <sup>2</sup>			
2次項	-90	dB (typ)	
3次項	-90	dB (typ)	
アパーチャ遅延 <sup>2</sup>	10	ns (max)	
アパーチャ・ジッタ <sup>2</sup>	50	ps (typ)	
チャンネル間絶縁 <sup>2</sup>	-90	dB (typ)	
フルパワー帯域幅 <sup>2</sup>	11	MHz (typ)	$F_{\text{IN}}=108\text{Hz}$ 、「用語の説明」を参照 @3dB @0.1dB
2	2	MHz (typ)	
<b>DC精度</b>			
分解能	12	ビット	12ビットまでノー・ミスコード保証
積分非直線性 <sup>1, 2</sup>	$\pm 1$	LSB (max)	
	$\pm 0.2$	LSB (typ)	
微分非直線性 <sup>1, 2</sup>	$+1/-0.9$	LSB (max)	
	$\pm 0.2$	LSB (typ)	
オフセット誤差 <sup>2</sup>	$\pm 4$	LSB (max)	
	$\pm 6$	LSB (max)	
オフセット誤差マッチ <sup>2</sup>	$\pm 1$	LSB (max)	
ゲイン誤差 <sup>2</sup>	$\pm 2$	LSB (max)	
ゲイン誤差マッチ <sup>2</sup>	$\pm 1$	LSB (max)	
<b>アナログ入力</b>			
入力電圧範囲	$0\sim\text{REF}_{\text{IN}}$	V	
DCリーク電流	$\pm 1$	$\mu\text{A}$ (max)	
入力容量	30	pF (typ)	
<b>リファレンス入力</b>			
$\text{REF}_{\text{IN}}$ 入力電圧範囲	$1.2\sim V_{\text{DD}}$	V (min/max)	
DCリーク電流	$\pm 1$	$\mu\text{A}$ (max)	
入力インピーダンス	69	k $\Omega$ (typ)	変換時
<b>ロジック入力 (SDA、SCL)</b>			
ハイレベル入力電圧 ( $V_{\text{INH}}$ )	$0.7 (V_{\text{DD}})$	V (min)	$V_{\text{IN}}=0\text{V}$ または $V_{\text{DD}}$
ローレベル入力電圧 ( $V_{\text{INL}}$ )	$0.3 (V_{\text{DD}})$	V (max)	
入力リーク電流 ( $I_{\text{IN}}$ )	$\pm 1$	$\mu\text{A}$ (max)	
入力容量 ( $C_{\text{IN}}$ ) <sup>3</sup>	10	pF (max)	
入力ヒステリシス ( $V_{\text{HYST}}$ )	$0.1 (V_{\text{DD}})$	V (min)	

# AD7993/AD7994

パラメータ	Bバージョン	単位	テスト条件/備考
ロジック入力 (CONVST) ハイレベル入力電圧 ( $V_{INH}$ )	2.4 2.0	V (min) V (min)	$V_{DD}=5V$ $V_{DD}=3V$
ローレベル入力電圧 ( $V_{INL}$ )	0.8 0.4	V (max) V (max)	$V_{DD}=5V$ $V_{DD}=3V$
入力リーク電流 ( $I_{IN}$ ) 入力容量 ( $C_{IN}$ ) <sup>3</sup>	±1 10	μA (max) pF (max)	$V_{IN}=0V$ または $V_{DD}$
ロジック出力 (オープン・ドレイン) ローレベル出力電圧 ( $V_{OL}$ )	0.4 0.6	V (max) V (max)	$I_{SINK}=3mA$ $I_{SINK}=6mA$
フローティング状態リーク電流 フローティング状態出力容量 <sup>3</sup> 出力コーディング	±1 10	μA (max) pF (max)	ストレート・バイナリ
変換レート 変換時間 スループット・レート モード1 (変換後の読出し)	2 5 21 121	μs (typ) kSPS (typ) kSPS (typ) kSPS (typ)	「シリアル・インターフェース」を参照 $f_{SCL}=100kHz$ $f_{SCL}=400kHz$ $f_{SCL}=3.4MHz$
モード2	5.5 22 147	kSPS (typ) kSPS (typ) kSPS (typ)	$f_{SCL}=100kHz$ $f_{SCL}=400kHz$ $f_{SCL}=3.4MHz$ , 188kSPS (typ) @5V
電源条件 $V_{DD}$ $I_{DD}$ パワーダウン・モード、インターフェースは非アクティブ パワーダウン・モード、インターフェースはアクティブ 動作中、インターフェースは非アクティブ 動作中、インターフェースはアクティブ モード3 (I <sup>2</sup> C非アクティブ、 $T_{CONVERT} \times 32$ )	2.7/5.5 1/2 0.07/0.3 0.3/0.6 0.06/0.1 0.3/0.6 0.15/0.4 0.6/1.1 0.7/1.4 0.7/1.5	V (min/max) μA (max) mA (max) mA (max) mA (max) mA (max) mA (max) mA (max) mA (typ) mA (max)	デジタル入力=0Vまたは $V_{DD}$ $V_{DD}=3.3/5.5V$ $V_{DD}=3.3/5.5V$ , 400kHz $f_{SCL}$ $V_{DD}=3.3/5.5V$ , 3.4MHz $f_{SCL}$ $V_{DD}=3.3/5.5V$ , 400kHz $f_{SCL}$ $V_{DD}=3.3/5.5V$ , 3.4MHz $f_{SCL}$ $V_{DD}=3.3/5.5V$ , 400kHz $f_{SCL}$ $V_{DD}=3.3/5.5V$ , 3.4MHz $f_{SCL}$ モード1 $V_{DD}=3.3/5.5V$ , 3.4MHz $f_{SCL}$ モード2 $V_{DD}=3.3/5.5V$
消費電力 フル稼働 動作中、インターフェースはアクティブ パワーダウン、インターフェースは非アクティブ	0.495/2.2 1.98/6.05 2.31/7.7 3.3/11	mW (max) mW (max) mW (typ) μW (max)	$V_{DD}=3.3/5.5V$ , 400kHz $f_{SCL}$ $V_{DD}=3.3/5.5V$ , 3.4MHz $f_{SCL}$ モード1 $V_{DD}=3.3/5.5V$ , 3.4MHz $f_{SCL}$ モード2 $V_{DD}=3.3/5.5V$

<sup>1</sup> min/maxのAC動的性能とINL/DNL仕様は、I<sup>2</sup>Cハイスピード・モードのSCL周波数によりモード2で動作するときのtyp仕様です。モード2用の仕様は、モード3にも適用されます。

サンプル遅延とビット・トライアル遅延はイネーブルです。

<sup>2</sup> 「用語の説明」を参照してください。

<sup>3</sup> 初期特性評価によって保証されています。

## I<sup>2</sup>Cのタイミング仕様

初期特性評価により保証。すべての値は入力フィルタリングをイネーブルにして測定。C<sub>B</sub>はバス・ラインでの容量性負荷を表します。trとtfは0.3V<sub>DD</sub>と0.7V<sub>DD</sub>の間で測定。

ハイスピード・モードのタイミング仕様は、AD7993-1/AD7994-1にのみ適用されます。標準/ファースト・モードのタイミング仕様は、AD7993-0/AD7994-0とAD7993-1/AD7994-1の両方に適用されます。図2を参照。

特に指定のない限り、V<sub>DD</sub>=2.7~5.5V、REF<sub>IN</sub>=2.5V、T<sub>A</sub>=T<sub>MIN</sub>~T<sub>MAX</sub>

表3

パラメータ	条件	AD7993/AD7994 T <sub>MIN</sub> 、T <sub>MAX</sub> での限界値			説明
		Min	Max	単位	
f <sub>SCL</sub>	標準モード ファースト・モード ハイスピード・モード C <sub>B</sub> =100pF (max) C <sub>B</sub> =400pF (max)		100 400 3.4 1.7	kHz kHz MHz MHz	シリアル・クロック周波数
t <sub>1</sub>	標準モード ファースト・モード ハイスピード・モード C <sub>B</sub> =100pF (max) C <sub>B</sub> =400pF (max)	4 0.6 60 120		μs μs ns ns	t <sub>HIGH</sub> 、SCLハイ時間
t <sub>2</sub>	標準モード ファースト・モード ハイスピード・モード C <sub>B</sub> =100pF (max) C <sub>B</sub> =400pF (max)	4.7 1.3 160 320		μs μs ns ns	t <sub>LOW</sub> 、SCLロー時間
t <sub>3</sub>	標準モード ファースト・モード ハイスピード・モード	250 100 10		ns ns ns	t <sub>SU:DAT</sub> 、データ・セットアップ・タイム
t <sub>4</sub> <sup>1</sup>	標準モード ファースト・モード ハイスピード・モード C <sub>B</sub> =100pF (max) C <sub>B</sub> =400pF (max)	0 0 0 0	3.45 0.9 70 <sup>2</sup> 150	μs μs ns ns	t <sub>HD:DAT</sub> 、データ・ホールド・タイム
t <sub>5</sub>	標準モード ファースト・モード ハイスピード・モード	4.7 0.6 160		μs μs ns	t <sub>SU:STA</sub> 、連続スタート状態のセットアップ・タイム
t <sub>6</sub>	標準モード ファースト・モード ハイスピード・モード	4 0.6 160		μs μs ns	t <sub>HD:STA</sub> 、(連続)スタート状態のホールド・タイム
t <sub>7</sub>	標準モード ファースト・モード	4.7 1.3		μs μs	t <sub>BUF</sub> 、ストップ状態とスタート状態の間のバス・フリー・タイム
t <sub>8</sub>	標準モード ファースト・モード ハイスピード・モード	4 0.6 160		μs μs ns	t <sub>SU:STO</sub> 、ストップ状態のセットアップ・タイム
t <sub>9</sub>	標準モード ファースト・モード ハイスピード・モード C <sub>B</sub> =100pF (max) C <sub>B</sub> =400pF (max)	20+0.1C <sub>B</sub> 10 20	1000 300 80 160	ns ns ns ns	t <sub>RDA</sub> 、SDA信号の立上がり時間

# AD7993/AD7994

パラメータ	条件	AD7993/AD7994 $T_{MIN}$ 、 $T_{MAX}$ での限界値			説明
		Min	Max	単位	
$t_{10}$	標準モード		300	ns	$t_{FDA}$ 、SDA信号の立下がり時間
	ファースト・モード	$20+0.1C_B$	300	ns	
	ハイスピード・モード				
	$C_B=100\text{pF (max)}$ $C_B=400\text{pF (max)}$	10 20	80 160	ns ns	
$t_{11}$	標準モード		1000	ns	$t_{RCL}$ 、SCL信号の立上がり時間
	ファースト・モード	$20+0.1C_B$	300	ns	
	ハイスピード・モード				
	$C_B=100\text{pF (max)}$ $C_B=400\text{pF (max)}$	10 20	40 80	ns ns	
$t_{11A}$	標準モード		1000	ns	$t_{RCL1}$ 、連続スタート状態の後およびアクセラレーション・ビットの後でのSCL信号の立上がり時間
	ファースト・モード	$20+0.1C_B$	300	ns	
	ハイスピード・モード				
	$C_B=100\text{pF (max)}$ $C_B=400\text{pF (max)}$	10 20	80 160	ns ns	
$t_{12}$	標準モード		300	ns	$t_{FCL}$ 、SCL信号の立下がり時間
	ファースト・モード	$20+0.1C_B$	300	ns	
	ハイスピード・モード				
	$C_B=100\text{pF (max)}$ $C_B=400\text{pF (max)}$	10 20	40 80	ns ns	
$t_{SP}^2$	ファースト・モード	0	50	ns	スパイクのパルス幅
	ハイスピード・モード	0	10	ns	
$t_{POWER-UP}$		1		$\mu\text{s (typ)}$	パワーアップ時間

<sup>1</sup> SCL立下がりエッジの不定領域を回避するために、SDAにデータ・ホールド・タイムを設ける必要があります。

<sup>2</sup> 3V電源の場合、 $C_B=100\text{pF (max)}$ での最大ホールド・タイムは100ns (max)です。

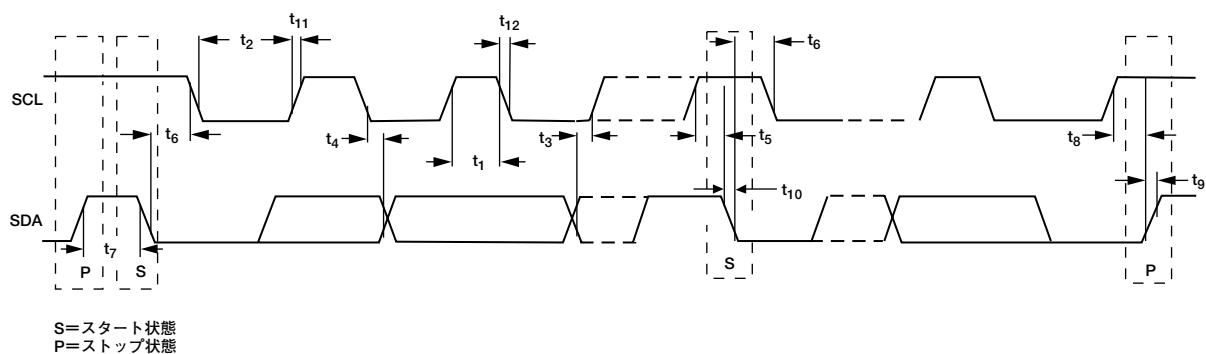


図2. 2線式シリアル・インターフェースのタイミング図

03472-0-002



## 絶対最大定格

特に指定のない限り、 $T_A=25^{\circ}\text{C}$

表4

パラメータ	定格
GNDに対する $V_{DD}$	-0.3~7V
GNDに対するアナログ入力電圧	-0.3V~ $V_{DD}+0.3\text{V}$
GNDに対するリファレンス入力電圧	-0.3V~ $V_{DD}+0.3\text{V}$
GNDに対するデジタル入力電圧	-0.3~+7V
GNDに対するデジタル出力電圧	-0.3V~ $V_{DD}+0.3\text{V}$
電源以外のピンへの入力電流 <sup>1</sup>	$\pm 10\text{mA}$
動作温度範囲	
商用 (Bバージョン)	-40~+125 $^{\circ}\text{C}$
保存温度範囲	-65~+150 $^{\circ}\text{C}$
ジャンクション温度	150 $^{\circ}\text{C}$
20ピンTSSOP	
$\theta_{JA}$ 熱抵抗	150.4 $^{\circ}\text{C}/\text{W}$
$\theta_{JC}$ 熱抵抗	27.6 $^{\circ}\text{C}/\text{W}$
Pb/SN温度、ハンダ処理	
リフロー (10~30秒)	240 (+0/-5) $^{\circ}\text{C}$
Pb-Free (鉛フリー) 温度、ハンダ処理	
リフロー	260 (+0) $^{\circ}\text{C}$
ESD	1.5kV

左記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作に関するセクションに記載されている規定値以上のデバイス動作を定めたものではありません。長期間デバイスを絶対最大定格条件に置くと、デバイスの信頼性に影響を与えることがあります。

<sup>1</sup> 100mAまでの過渡電流では、SCRラッチアップは発生しません。

### 注意

ESD（静電放電）の影響を受けやすいデバイスです。人体や試験機器には4000Vもの高圧の静電気が容易に蓄積され、検知されないまま放電されることがあります。本製品は当社独自のESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。



# AD7993/AD7994

## ピン配置とピン機能の説明

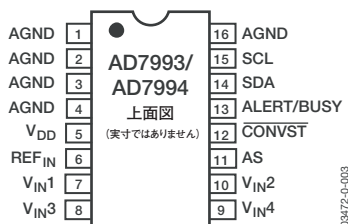


図3. 16ピンTSSOPのピン配置

表5. ピン機能の説明

ピン番号	記号	機能
1、2、3、4、16	AGND	アナログ・グラウンド。AD7993/AD7994の全回路のグラウンド基準ポイント。全アナログ入力信号は、このAGND電圧を基準とします。
5	$V_{DD}$	電源入力。AD7993/AD7994の $V_{DD}$ 範囲は2.7~5.5Vです。
6	$REF_{IN}$	電圧リファレンス入力。この入力ピンには、AD7993/AD7994の外部リファレンスを接続します。外部リファレンスの電圧範囲は1.2V~ $V_{DD}$ です。REF <sub>IN</sub> とAGNDの間には、0.1 $\mu$ Fと1 $\mu$ Fのコンデンサを挿入します。図22を参照。
7	$V_{IN1}$	アナログ入力1。シングルエンド・アナログ入力チャンネル。入力範囲は0V~REF <sub>IN</sub> です。
8	$V_{IN3}$	アナログ入力3。シングルエンド・アナログ入力チャンネル。入力範囲は0V~REF <sub>IN</sub> です。
9	$V_{IN4}$	アナログ入力4。シングルエンド・アナログ入力チャンネル。入力範囲は0V~REF <sub>IN</sub> です。
10	$V_{IN2}$	アナログ入力2。シングルエンド・アナログ入力チャンネル。入力範囲は0V~REF <sub>IN</sub> です。
11	AS	ロジック入力。表6に示すAD7993/AD7994の3つのI <sup>2</sup> Cアドレスのうち1つを選択する、アドレス選択入力。デバイス・アドレスは、このピンに印加される電圧に依存します。
12	$\overline{CONVST}$	ロジック入力信号/変換開始信号。これはエッジ・トリガされたロジック入力です。デバイスは、この信号の立上がりエッジでパワーアップされます。デバイスのパワーアップ時間は1 $\mu$ sです。 $\overline{CONVST}$ の立下がりエッジでは、トラック&ホールドがホールド・モードになり、変換を開始します。 $\overline{CONVST}$ のハイ・パルスには少なくとも1 $\mu$ sのパワーアップ時間を確保する必要があります。パワーアップ時間がないと、変換結果が無効になります（「動作モード」を参照）。
13	ALERT/BUSY	ALERTまたはBUSYの出力機能として選択可能なデジタル出力です。ALERT出力として設定した場合、このピンはアウトオブレンジ・インジケータとして機能し、イネーブル時に変換結果がDATA <sub>HIGH</sub> またはDATA <sub>LOW</sub> のレジスタ値を超えるとアクティブになります。「リミット・レジスタ」を参照。BUSY出力として設定した場合、このピンは変換実行中にアクティブになります。オープン・ドレイン出力。
14	SDA	デジタルI/O。シリアル・バス双方向データ。オープン・ドレイン出力。外付けプルアップ抵抗が必要。
15	SCL	デジタル入力。シリアル・バス・クロック。外付けプルアップ抵抗が必要。

表6. I<sup>2</sup>Cアドレスの選択

製品番号	ASピン	I <sup>2</sup> Cアドレス
AD7993-0	GND	010 0001
AD7993-0	$V_{DD}$	010 0010
AD7993-1	GND	010 0011
AD7993-1	$V_{DD}$	010 0100
AD7993-x <sup>1</sup>	開放	010 0000
AD7994-0	GND	010 0001
AD7994-0	$V_{DD}$	010 0010
AD7994-1	GND	010 0011
AD7994-1	$V_{DD}$	010 0100
AD7994-x	開放	010 0000

<sup>1</sup> AD7993/AD7994デバイスでASピンを開放したままにすると、デバイス・アドレスは010 0000となります。

## 用語の説明

### 信号/ノイズ&歪み比 (SINAD)

A/Dコンバータの出力で測定した信号/ノイズ&歪みの比です。信号は基本波のrms振幅で、ノイズは、DCを除き、サンプリング周波数の半分 ( $f_s/2$ ) までのすべての非基本波信号の合計です。この比はデジタル化プロセスの量子化レベル数に依存し、レベル数が大きいほど、量子化ノイズは小さくなります。正弦波を入力した場合の、理想的なNビット・コンバータに対する信号/ノイズ&歪み比の理論値は、次式で得られます。

$$\text{信号/ノイズ&歪み比} = (6.02N + 1.76) \text{ dB}$$

この式から、SINADは、10ビット・コンバータでは61.96dB、12ビット・コンバータでは74dBになります。

### 全高調波歪み (THD)

高調波のrms値総和と基本波の比です。AD7993/AD7994の場合、次のように定義されます。

$$\text{THD(dB)} = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2}}{V_1}$$

ここで、 $V_1$ は基本波のrms振幅、 $V_2$ 、 $V_3$ 、 $V_4$ 、 $V_5$ 、 $V_6$ は2次～6次高調波のrms振幅です。

### ピーク高調波またはスプリアス・ノイズ (SFDR)

ADC出力スペクトル内で2番目に大きい成分のrms値 (DCを除き、 $f_s/2$ まで) と基本波のrms値との比です。通常、この仕様値は、スペクトル内の最大の高調波によって決まりますが、高調波がノイズ・フロアに埋もれているADCの場合は、ノイズ・ピークがこれにあたります。

### 相互変調歪み (IMD)

2つの周波数 $f_a$ と $f_b$ の正弦波から成る入力を与えると、非直線性を備えたアクティブ・デバイスは、 $m f_a \pm n f_b$  ( $m, n=0, 1, 2, 3, \dots$ ) という和と差の周波数で歪み成分を発生させます。相互変調歪み項は、この $m$ と $n$ が非ゼロの項です。たとえば、2次項には  $(f_a + f_b)$  と  $(f_a - f_b)$  があり、3次項には  $(2f_a + f_b)$ 、 $(2f_a - f_b)$ 、 $(f_a + 2f_b)$ 、 $(f_a - 2f_b)$  があります。

AD7993/AD7994は、入力帯域幅の上限に近い2つの入力周波数を用いるCCIF標準を使ってテストされています。この場合、2次項は通常、元の正弦波の周波数から離れたところに、3次項は通常、入力周波数に近い周波数に位置します。このため、2次項と3次項は別々に指定されます。相互変調歪みの計算は、THDの仕様と同様に、個々の歪み成分のrms総和と基本波の和のrms振幅との比であり、単位はdBです。

### チャンネル間絶縁

チャンネル間のクロストーク・レベルの測定値であり、フルスケールの正弦波信号を非選択入力チャンネルに入力し、選択チャンネルにおける108Hz信号の減衰量を測定したものです。非選択チャンネルに1kHzから2MHzまで周波数を変えて正弦波信号を入力し、それぞれの周波数での選択チャンネルにおける108Hz信号の減衰量を測定します。この値は、全チャンネルにおける最悪時のレベルを表します。

### アパーチャ遅延

サンプリング・クロックの立上がりエッジから、ADCがサンプルを取得するまでに要する時間。

### アパーチャ・ジッタ

サンプルを取得する有効時点のサンプル間変動。

### フルパワー帯域幅

再構成された基本波の振幅がフルスケール入力に対して0.1dBまたは3dB低下する入力周波数。

### 電源電圧変動除去比 (PSRR)

フルスケール周波数 $f$ でのADC出力のパワーと、周波数 $f_s$ のADC  $V_{DD}$ 電源に加えられる200mV p-p正弦波のパワーとの比です。

$$\text{PSRR(dB)} = 10 \log(P_f/P_{f_s})$$

ここで、 $P_f$ はADC出力における周波数 $f$ でのパワー、 $P_{f_s}$ はADC  $V_{DD}$ 電源に結合された周波数 $f_s$ でのパワーです。

### 積分非直線性 (INL)

ADC伝達関数の2つのエンドポイントを結ぶ直線からの最大偏差をいいます。エンドポイントとは、最初のコード遷移より1LSB下にあるゼロスケールと、最後のコード遷移より1LSB上にあるフルスケールです。

### 微分非直線性 (DNL)

ADCの2つの隣接コード間における1LSB変化の測定値と理想値との差です。

### オフセット誤差

最初のコード遷移 (00...000から00...001) と理想的な遷移 (AGND+1LSB) との偏差です。

### オフセット誤差マッチ

任意の2チャンネル間のオフセット誤差の差をいいます。

### ゲイン誤差

オフセット誤差を調整した後の、最後のコード遷移 (111...110から111...111) と理想的な遷移 ( $\text{REF}_{IN} - 1\text{LSB}$ ) との偏差です。

### ゲイン誤差マッチ

任意の2チャンネル間のゲイン誤差の差をいいます。

# AD7993/AD7994

## 代表的な性能特性

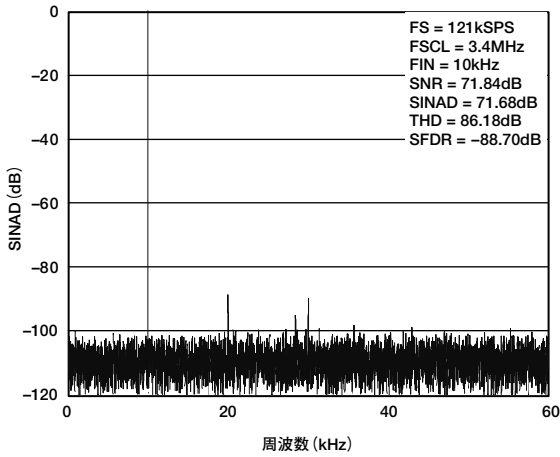


図4. AD7994の動的性能 (5V電源と2.5Vリファレンス、121kSPS、モード1)

03473-0-004

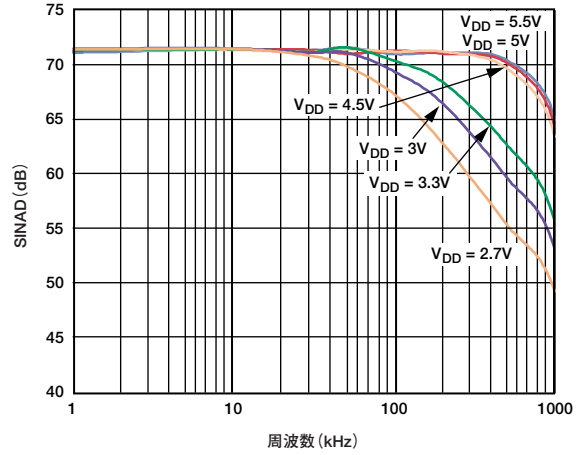


図7. AD7994のアナログ入力周波数対 SINAD (さまざまな電源電圧、3.4MHzの $f_{SCL}$ 、136kSPS)

03473-0-007

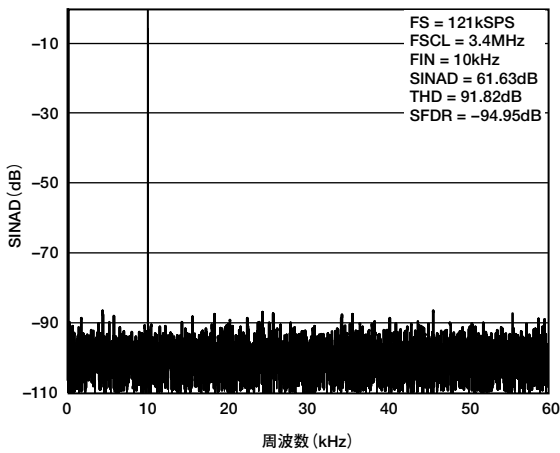


図5. AD7993の動的性能 (5V電源と2.5Vリファレンス、121kSPS、モード1)

03473-0-005

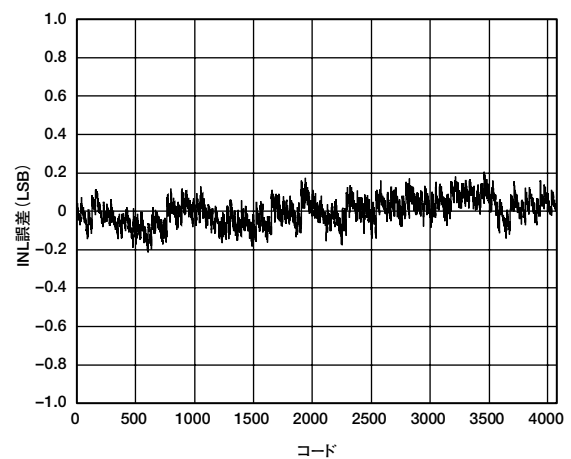


図8. AD7994の代表的なINL ( $V_{DD}=5.5V$ 、モード1、3.4MHzの $f_{SCL}$ 、121kSPS)

03473-0-008

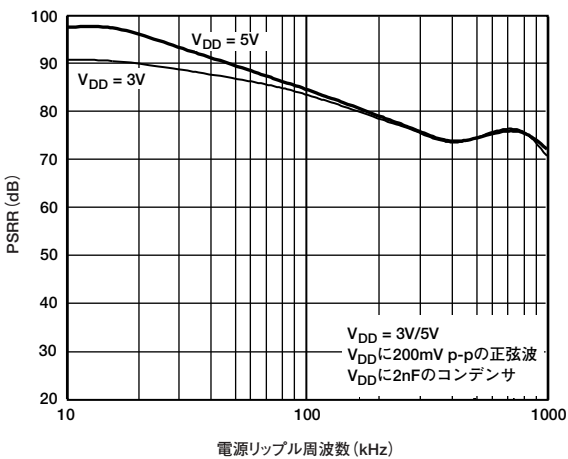


図6. 電源リップル周波数対 PSRR

03473-0-006

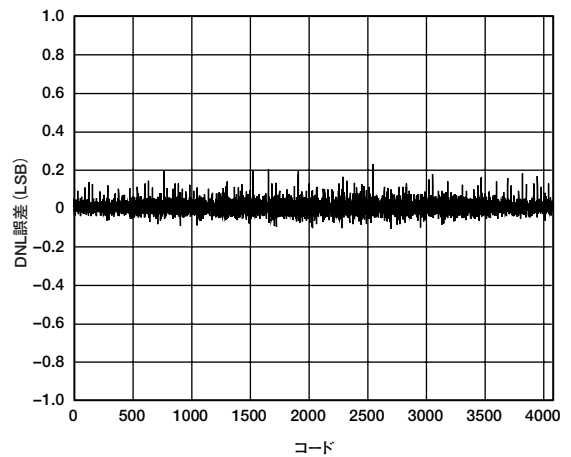


図9. AD7994の代表的なDNL ( $V_{DD}=5.5V$ 、モード1、3.4MHzの $f_{SCL}$ 、121kSPS)

03473-0-009

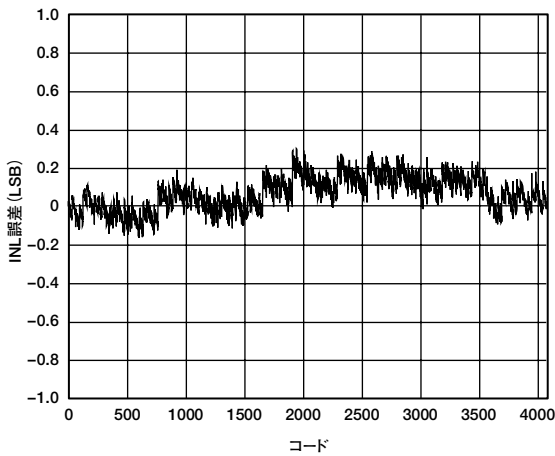


図10. 代表的なINL ( $V_{DD}=2.7V$ 、モード1、 $3.4MHz$ の $f_{SCL}$ 、 $121kSPS$ )

03473-0-010

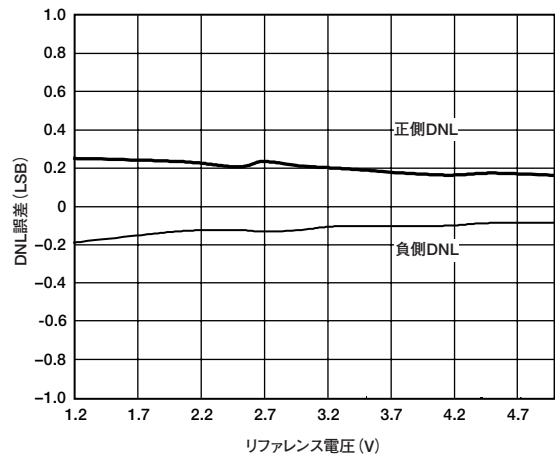


図13. AD7994のリファレンス電圧対DNL変化 ( $V_{DD}=5V$ 、モード1、 $121kSPS$ )

03473-0-013

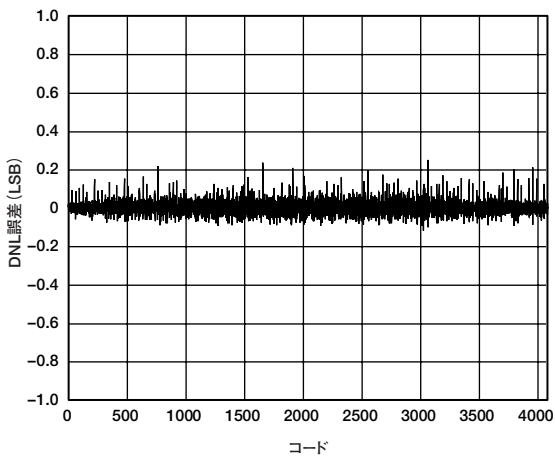


図11. AD7994の代表的なDNL ( $V_{DD}=2.7V$ 、モード1、 $3.4MHz$ の $f_{SCL}$ 、 $121kSPS$ )

03473-0-011

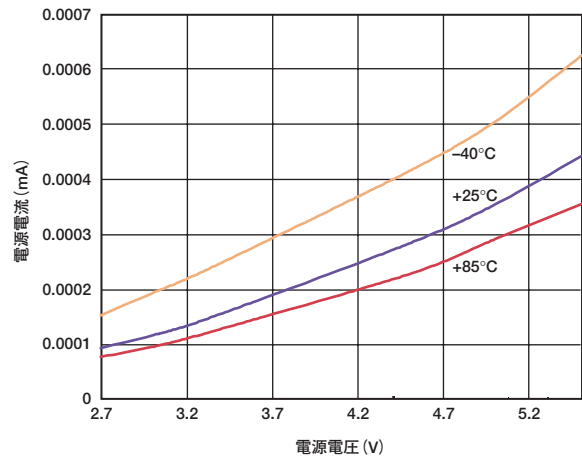


図14. AD7994の電源電圧対シャットダウン電流 ( $-40^{\circ}C$ 、 $+25^{\circ}C$ 、 $+85^{\circ}C$ )

03473-0-014

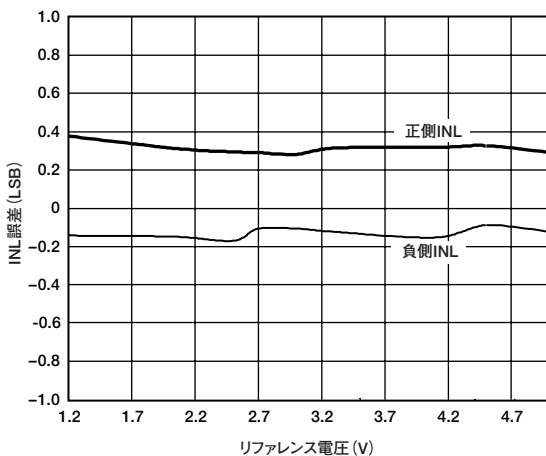


図12. AD7994のリファレンス電圧対INL変化 ( $V_{DD}=5V$ 、モード1、 $121kSPS$ )

03473-0-012

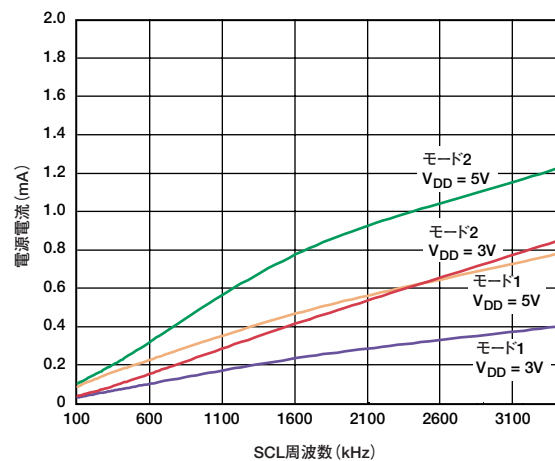


図15. AD7994のI<sup>2</sup>Cバス・レート対平均電源電流 ( $V_{DD}=3V$ および $5V$ )

03473-0-015

# AD7993/AD7994

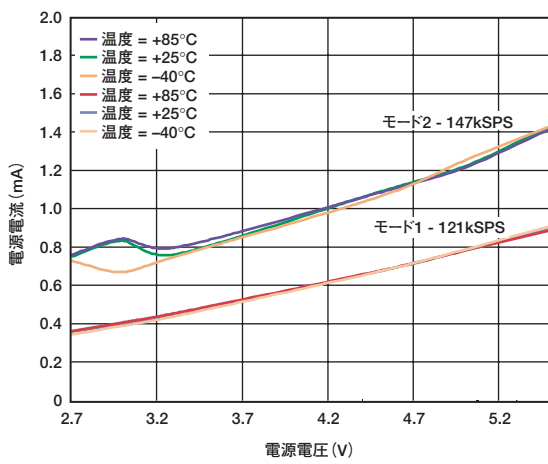


図16. AD7994の電源電圧 対 平均電源電流 (さまざまな温度)

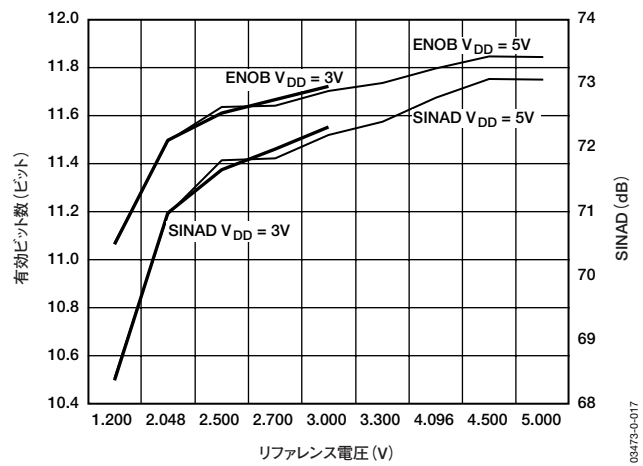


図17. AD7994のリファレンス電圧 対 SINAD/有効ビット数 (モード1、121kSPS)

## 回路情報

AD7993/AD7994は、単電源、低消費電力の4チャンネル、10/12ビットA/Dコンバータで、2.7~5.5Vの電源で動作します。

4チャンネルのマルチプレクサ、オンチップ・トラック&ホールド、A/Dコンバータ、オンチップ発振器、内部データ・レジスタ、I<sup>2</sup>C互換のシリアル・インターフェースのすべてを、16ピンTSSOPパッケージで提供します。したがって、他のソリューションに比べて、大幅にスペースを削減できます。AD7993/AD7994には、1.2V~V<sub>DD</sub>の外部リファレンスが必要です。

AD7993/AD7994は通常、変換時以外はパワーダウン状態を維持します。電源が最初に加えられると、パワーダウン状態で立ち上がります。変換の前にパワーアップが開始され、変換が完了するとデバイスはシャットダウン状態に戻ります。AD7993/AD7994で変換を開始するには、自動サイクル・インターバル・モードを使用するか、または書き込みアドレス機能の実行中にウェイクアップと変換が行われるコマンド・モード（「動作モード」を参照）を使用して、CONVST信号にパルスを与えます。変換が完了すると、AD7993/AD7994は再びシャットダウン・モードに入ります。この自動シャットダウン機能によって、次の変換を行うまでの節電が可能になります。デバイスがシャットダウン状態にある間、I<sup>2</sup>Cインターフェースを介して読出し/書き込み動作が可能です。

### コンバータの動作

AD7993/AD7994は、容量性DACをベースにした逐次比較型A/Dコンバータです。図18と図19は、アキュイジション時と変換時のADCの簡略回路図です。図18は、アキュイジション時のADCです。SW2は閉じており、SW1はポジションAにあります。コンパレータは平衡状態にあり、サンプリング・コンデンサがV<sub>IN</sub>X上の信号を取り込みます。

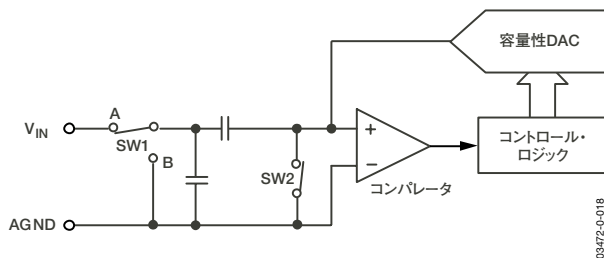


図18. アキュイジション時のADC

ADCが変換を開始すると、図19に示すように、SW2が開き、SW1がポジションBに移動するため、コンパレータは不平衡状態になります。変換が始まると、入力が切断されます。コントロール・ロジックと容量性DACを使って、サンプリング・コンデンサに一定量の電荷を加算および減算し、コンパレータを平衡状態に戻します。コンパレータが平衡状態に戻ると、変換が完了します。コントロール・ロジックは、ADC出力コードを生成します。図20にADCの伝達関数を示します。

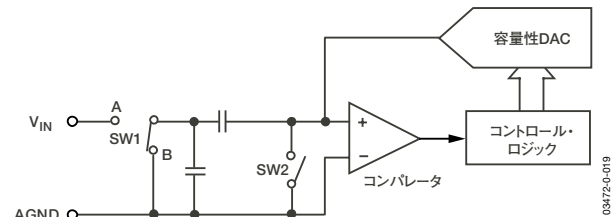


図19. 変換時のADC

### ADCの伝達関数

AD7993/AD7994の出力コーディングはストレート・バイナリです。設計されたコード遷移は、連続した整数LSB値（1LSB、2LSBなど）で発生します。LSBサイズは、AD7993ではREF<sub>IN</sub>/1024、AD7994ではREF<sub>IN</sub>/4096です。図20にAD7993/AD7994の理想的な伝達特性を示します。

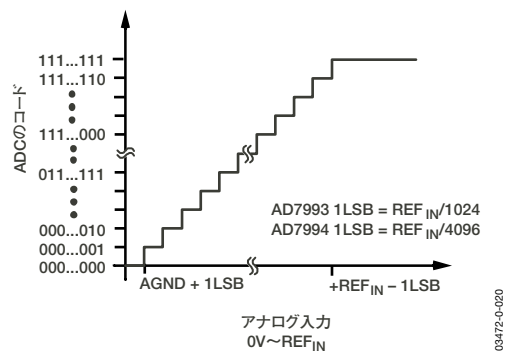


図20. AD7993/AD7994の伝達特性

# AD7993/AD7994

## 代表的な接続図

図22は、AD7993/AD7994の代表的な接続図です。図22では、アドレス選択ピン（AS）が $V_{DD}$ に接続されています。ASピンは、AGNDに接続したり、開放したままにできるため、同じシリアル・バス上でAD7993/AD7994デバイスを5つまで選択できます。AD7993/AD7994には外部リファレンスが必要です。リファレンスの範囲は、 $1.2V \sim V_{DD}$ です。ADCにリファレンス電圧を供給するには、REF 19xファミリー、AD780、ADR03、ADR381などの高精度リファレンスを使用できます。

SDAとSCLによって、2線式のI<sup>2</sup>C/SMBus互換インターフェースが実現します。SDAラインとSCLラインのどちらにも、外付けプルアップ抵抗が必要です。

AD7993-0/AD7994-0には標準とファーストのI<sup>2</sup>Cインターフェース・モード、AD7993-1/AD7994-1には、標準、ファースト、ハイスピードのI<sup>2</sup>Cインターフェース・モードがあります。AD7993/AD7994を標準モードまたはファースト・モードで動作させる場合、次に示すように、最大5つのAD7993/AD7994デバイスをバスに接続できます。

3×AD7993-0/AD7994-0と2×AD7993-1/AD7994-1

または

3×AD7993-1/AD7994-1と2×AD7994-0/AD7993-0

ハイスピード・モードでは、最大3つのAD7993-1/AD7994-1デバイスをバスに接続できます。

変換前のシャットダウンからのウェイクアップ時間は約1 $\mu$ sであり、変換時間は約2 $\mu$ sです。各変換後、AD7993/AD7994は再びシャットダウン・モードに入ります。これは、消費電力が重要視されるアプリケーションで有益です。

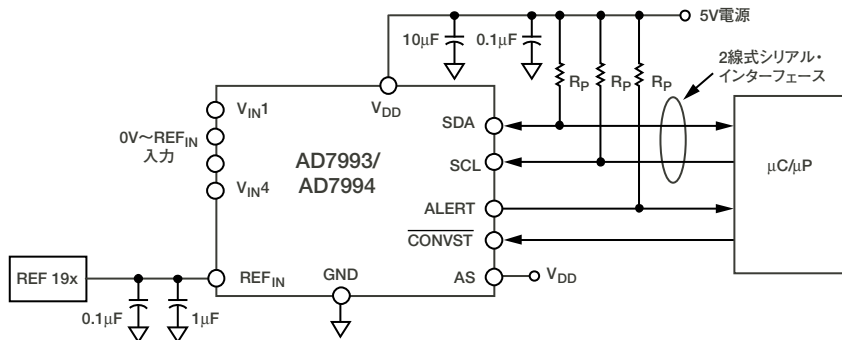


図22. AD7993/AD7994の代表的な接続図

## アナログ入力

図21は、AD7993/AD7994のアナログ入力構造の等価回路を示しています。2つのダイオード（D1とD2）は、アナログ入力に対するESD保護機能を実現します。アナログ入力信号が電源レールを300mV以上超えないように注意する必要があります。300mVを超えると、ダイオードが順方向にバイアスされて、サブストレートに電流が流れてしまいます。デバイスに不可逆的な損傷を与えることなく、ダイオードが許容できる最大電流は10mAです。

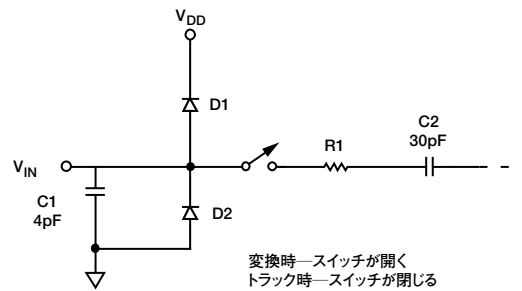


図21. アナログ入力等価回路

図21のコンデンサC1は、一般に約4pFであり、主にピン容量です。抵抗R1は、スイッチ（トラック&ホールド・スイッチ）のオン抵抗（ $R_{ON}$ ）と入力マルチプレクサの $R_{ON}$ を含みます。合計抵抗は、一般に約400 $\Omega$ です。ADCサンプリング・コンデンサC2には、一般に30pFの容量があります。



ACアプリケーションについては、該当するアナログ入力ピンにRCバンドパス・フィルタを使用して、アナログ入力信号から高周波成分を除去することを推奨します。高調波歪みとS/N比が重要視されるアプリケーションでは、アナログ入力を低インピーダンス・ソースから駆動する必要があります。ソース・インピーダンスが高いと、ADCのAC性能に大きく影響します。このため、入力バッファ・アンプの使用が必要になる場合があります。オペアンプの選択は、アプリケーションに依存します。

アンプを使用せずにアナログ入力を駆動するときは、ソース・インピーダンスを小さい値に制限する必要があります。最大ソース・インピーダンスは、許容できる全高調波歪み (THD) に依存します。ソース・インピーダンスが大きくなるほどTHDが大きくなり、性能が低下します。図23は、 $3V \pm 10\%$ と $5V \pm 10\%$ の電源電圧を使用する時の、アナログ入力信号周波数とTHDの関係を示します。図24は、さまざまなソース・インピーダンスに対するアナログ入力信号周波数とTHDの関係を示します。

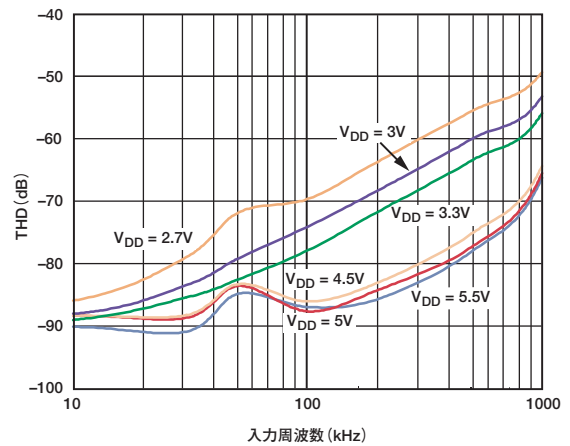


図23. さまざまな電源電圧に対するアナログ入力周波数 対 THD ( $F_s=136\text{kSPS}$ 、モード1)

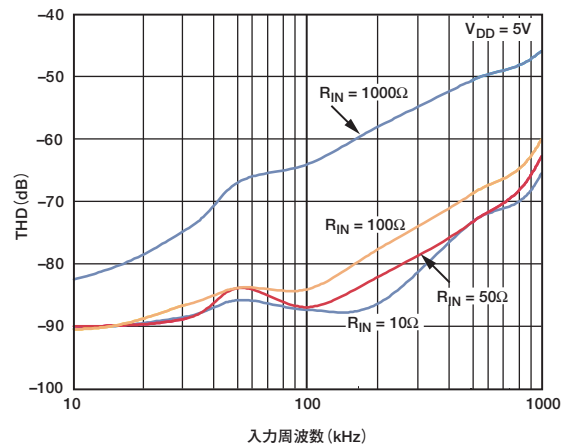


図24. さまざまなソース・インピーダンスに対するアナログ入力周波数 対 THD ( $V_{DD}=5V$ 、 $136\text{kSPS}$ 、モード1)

# AD7993/AD7994

## 内部レジスタの構造

AD7993/AD7994には17個の内部レジスタ（図25を参照）があり、変換結果、変換の上/下限、デバイスの設定/制御情報を格納します。16個のデータ・レジスタとアドレス・ポインタ・レジスタ1つで構成されています。

各データ・レジスタには、通信を行う際にアドレス・ポインタ・レジスタが指定するアドレスがあります。変換結果レジスタのみ、読み出し専用のデータ・レジスタです。

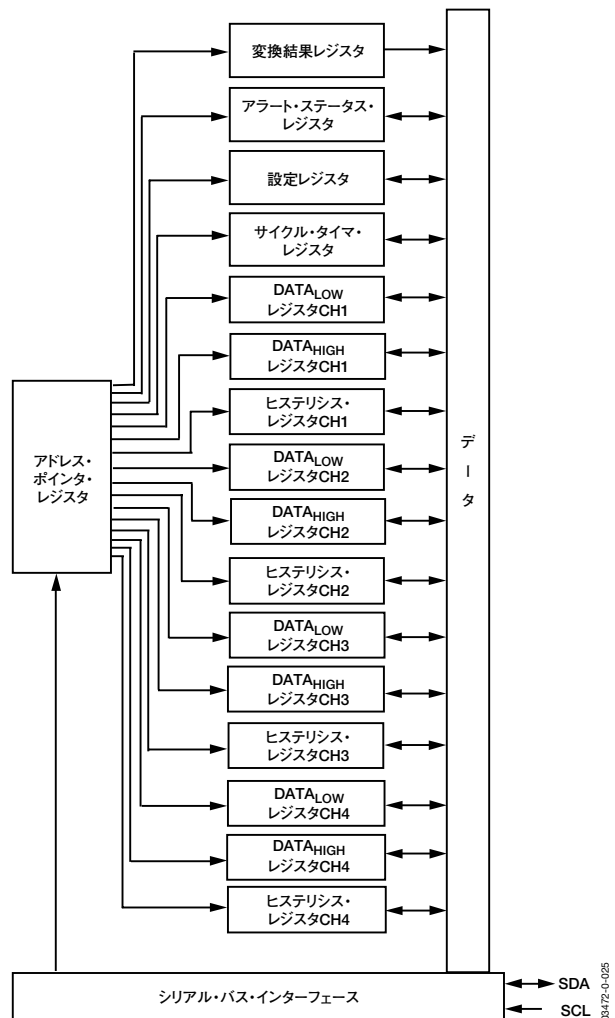


図25. AD7993/AD7994のレジスタ構造

## アドレス・ポインタ・レジスタ

すべての書き込み動作の最初のデータバイトは自動的にアドレス・ポインタ・レジスタに書き込まれるため、アドレス・ポインタ・レジスタにはアドレスがありません。アドレス・ポインタ・レジスタは8ビット・レジスタであり、4つのLSBをポインタ・ビットとして使用し、AD7993/AD7994のデータ・レジスタの1つを指定するアドレスを格納します。4つのMSBを、モード2で動作するときのコマンド・ビットとして使用します（「動作モード」を参照）。各書き込みアドレスに続く最初のバイトは、データ・レジスタの1つのアドレスであり、アドレス・ポインタ・レジスタに格納され、それ以降のデータバイトが書き込まれるデータ・レジスタを選択します。データ・レジスタの選択で使用するのは、このレジスタの4つのLSBのみです。パワーアップ時には、アドレス・ポインタ・レジスタはオール0となり、変換結果レジスタを指定します。

表7. アドレス・ポインタ・レジスタ

C4	C3	C2	C1	P3	P2	P1	P0
0	0	0	0	レジスタ選択			

表8. AD7993/AD7994のレジスタ・アドレス

P3	P2	P1	P0	レジスタ
0	0	0	0	変換結果レジスタ（読み出し）
0	0	0	1	アラート・ステータス・レジスタ（読み出し/書き込み）
0	0	1	0	設定レジスタ（読み出し/書き込み）
0	0	1	1	サイクル・タイム・レジスタ（読み出し/書き込み）
0	1	0	0	DATA <sub>LOW</sub> レジスタCH1（読み出し/書き込み）
0	1	0	1	DATA <sub>HIGH</sub> レジスタCH1（読み出し/書き込み）
0	1	1	0	ヒステリシス・レジスタCH1（読み出し/書き込み）
0	1	1	1	DATA <sub>LOW</sub> レジスタCH2（読み出し/書き込み）
1	0	0	0	DATA <sub>HIGH</sub> レジスタCH2（読み出し/書き込み）
1	0	0	1	ヒステリシス・レジスタCH2（読み出し/書き込み）
1	0	1	0	DATA <sub>LOW</sub> レジスタCH3（読み出し/書き込み）
1	0	1	1	DATA <sub>HIGH</sub> レジスタCH3（読み出し/書き込み）
1	1	0	0	ヒステリシス・レジスタCH3（読み出し/書き込み）
1	1	0	1	DATA <sub>LOW</sub> レジスタCH4（読み出し/書き込み）
1	1	1	0	DATA <sub>HIGH</sub> レジスタCH4（読み出し/書き込み）
1	1	1	1	ヒステリシス・レジスタCH4（読み出し/書き込み）

## 設定レジスタ

設定レジスタは8ビットのリード/ライト・レジスタであり、AD7993/AD7994の動作モードの設定に使用します。ビット機能の概要を表9に示します。設定レジスタに書き込むには、シングル・バイトで書き込む必要があります。

表9. 設定レジスタのビット機能説明とパワーアップ時のデフォルト設定

D7	D6	D5	D4	D3	D2	D1	D0
CH4	CH3	CH2	CH1	FLTR	ALERT EN	BUSY/ALERT	ALERT/BUSY POLARITY
0	0	0	0	1	0	0	0

表10. ビット機能説明

ビット	記号	備考
D7~D4	CH4~CH1	これらの4チャンネル・アドレス・ビットで、変換するアナログ入力チャンネルを選択します。ビットD7~D4のいずれかが1ならば、変換用のチャンネルが1つ選択されています。複数のチャンネル・ビットを1に設定した場合、AD7993/AD7994は、最下位チャンネルから順にチャンネルを選択します。未使用チャンネルはすべて0に設定します。表11は、これらの4チャンネル・アドレス・ビットがどのようにデコードされるかを示しています。変換開始前に、設定レジスタでチャンネルを選択する必要があります。
D3	FLTR	コントロール・レジスタのこのビットに書き込まれた値により、SDAとSCLでのフィルタリングがイネーブルにされるか、バイパスされるかが決まります。このビットが1の場合、フィルタリングはイネーブルにされ、このビットが0の場合、フィルタリングはバイパスされます。
D2	ALERT EN	ハードウェアのALERT機能は、このビットを1に設定した場合イネーブルになり、0に設定した場合ディスエーブルになります。このビットはBUSY/ALERTビットと組み合わせて使用し、ALERT/BUSYピンがALERT出力として機能するか、BUSY出力として機能するかを決定します(表12を参照)。
D1	BUSY/ALERT	このビットはALERT ENビットと組み合わせて使用し、ALERT/BUSY出力のピン13がALERT出力またはBUSY出力として機能するか(表12を参照)、またピン13をALERT出力ピンとして設定する場合は、ピン13をリセットするかどうかを決定します。
D0	BUSY/ALERT POLARITY	このビットはALERT/BUSYピンのアクティブ極性を決定します。ピンの設定(ALERT出力/BUSY出力)とは無関係です。ALERT/BUSYピンは、このビットを0に設定した場合はアクティブ・ローであり、1に設定した場合はアクティブ・ハイです。

表11. チャンネル選択

D7	D6	D5	D4	アナログ入力チャンネル	備考
0	0	0	0	チャンネル選択なし。アドレス・ポインタ・バイト、モード2を参照。	AD7993/AD7994は、シーケンス内の選択されたチャンネルを最下位チャンネルから昇順に変換します。
0	0	0	1	V <sub>IN1</sub> を変換。	
0	0	1	0	V <sub>IN2</sub> を変換。	
0	0	1	1	V <sub>IN1</sub> とV <sub>IN2</sub> の間で順番に変換。	
0	1	0	0	V <sub>IN3</sub> を変換。	
0	1	0	1	V <sub>IN1</sub> とV <sub>IN3</sub> の間で順番に変換。	
0	1	1	0	V <sub>IN2</sub> とV <sub>IN3</sub> の間で順番に変換。	
0	1	1	1	V <sub>IN1</sub> 、V <sub>IN2</sub> 、V <sub>IN3</sub> の間で順番に変換。	
1	0	0	0	V <sub>IN4</sub> を変換。	
1	0	0	1	V <sub>IN1</sub> とV <sub>IN4</sub> の間で順番に変換。	
1	0	1	0	V <sub>IN2</sub> とV <sub>IN4</sub> の間で順番に変換。	
1	0	1	1	V <sub>IN1</sub> 、V <sub>IN2</sub> 、V <sub>IN4</sub> の間で順番に変換。	
1	1	0	0	V <sub>IN3</sub> とV <sub>IN4</sub> の間で順番に変換。	
1	1	0	1	V <sub>IN1</sub> 、V <sub>IN3</sub> 、V <sub>IN4</sub> の間で順番に変換。	
1	1	1	0	V <sub>IN2</sub> 、V <sub>IN3</sub> 、V <sub>IN4</sub> の間で順番に変換。	
1	1	1	1	V <sub>IN1</sub> 、V <sub>IN2</sub> 、V <sub>IN3</sub> 、V <sub>IN4</sub> の間で順番に変換。	

表12. ALERT/BUSY機能

D2	D1	ALERT/BUSYピンの設定
0	0	ピンは割込み信号を供給しません。
0	1	ピンはビジー出力として設定されます。
1	0	ピンはアラート出力として設定されます。
1	1	ALERT出力ピン、変換結果レジスタのAlert_Flagビット、アラート・ステータス・レジスタ全体をリセットします(いずれかがアクティブの場合)。ALERTピン、Alert_Flagビット、アラート・ステータス・レジスタをリセットするために、設定レジスタのビットD2/D1に1/1が書き込まれた場合は、設定レジスタの内容は、D2/D1に対してそれぞれ1/0として読み出されます。

# AD7993/AD7994

## 変換結果レジスタ

変換結果レジスタは16ビットの読出し専用レジスタであり、ADCからの変換結果をストレート・バイナリ・フォーマットで格納します。このレジスタからデータを読み出すには、2バイトで読み出す必要があります。表13と表14はそれぞれ、AD7993/AD7994から読み出される最初のバイトの内容と2番目のバイトの内容です。

表13. 変換値レジスタ（最初の読出し）

D15	D14	D13	D12	D11	D10	D9	D8
Alert_Flag	ゼロ	CH <sub>ID1</sub>	CH <sub>ID0</sub>	MSB	B10	B9	B8

表14. 変換値レジスタ（2番目の読出し）

D7	D6	D5	D4	D3	D2	D1	D0
B7	B6	B5	B4	B3	B2	B1/0	B0/0

AD7993/AD7994の変換結果は、Alert\_Flagビット、ゼロ・ビット、2つのチャンネル識別子ビット、10/12ビットのデータ結果で構成されています。AD7993の場合、2番目の読出しの下位2ビット（D1とD0）は、0となっています。

Alert\_Flagビットは、読み出された変換結果やその他のチャンネル結果が、関連するリミット・レジスタの限界値を超えているかどうかを示します。Alert\_Flagビットをセットしていれば、アラートが発生した場合、マスターは、アラート・ステータス・レジスタを読み出して、アラートの発生場所に関する詳しい情報を取得することもできます。

Alert\_Flagビットの後には、ゼロ・ビット、および変換結果の対応チャンネルを示す2つのチャンネル識別子ビットが続きます。これらの後には、さらに10/12ビットの変換結果がMSBファーストで続きます。

表15. チャンネル識別子ビット

Alert_Flag	ゼロ	CH <sub>ID1</sub>	CH <sub>ID0</sub>	チャンネル番号結果
0/1	0	0	0	チャンネル1 (V <sub>IN1</sub> )
0/1	0	0	1	チャンネル2 (V <sub>IN2</sub> )
0/1	0	1	0	チャンネル3 (V <sub>IN3</sub> )
0/1	0	1	1	チャンネル4 (V <sub>IN4</sub> )

## リミット・レジスタ

AD7993/AD7994には、4ペアのリミット・レジスタがあります。各ペアは、アナログ入力チャンネルについて変換の上/下限を格納します。リミット・レジスタの各ペアには、関連するヒステリシス・レジスタが1つあります。12個のレジスタはすべて16ビット幅であり、AD7993/AD7994ではレジスタの12のLSBのみを使用します。AD7993の場合、2つのLSB（D1とD0）には0を格納します。パワーアップ時には、チャンネルごとのDATA<sub>HIGH</sub>レジスタの内容はフルスケールですが、DATA<sub>LOW</sub>レジスタの内容はデフォルトによりゼロスケールとなっています。変換結果がリミット・レジスタによって設定された上/下限を超えた場合は、AD7993/AD7994は（設定によってハードウェア、ソフトウェア、またはその両方で）アラートを通知します。

## DATA<sub>HIGH</sub>レジスタのCH1/CH2/CH3/CH4

各チャンネルのDATA<sub>HIGH</sub>レジスタは16ビットのリード/ライト・レジスタであり、各レジスタの12のLSBのみを使用します。このレジスタに格納される上限によって、変換結果レジスタのAlert\_FlagビットやALERT出力がアクティブになります。チャンネルの変換結果レジスタの値が、そのチャンネルのDATA<sub>HIGH</sub>レジスタの値を超える場合は、アラートが発生します。変換結果がDATA<sub>HIGH</sub>レジスタ値より少なくともN LSB下の値に戻ると、ALERT出力ピンとAlert\_Flagビットがリセットされます。このN値は、そのチャンネルに関連するヒステリシス・レジスタから得られます。設定レジスタのビットD2とD1に書き込むことにより、ALERTピンもリセットできます。AD7993の場合、DATA<sub>HIGH</sub>レジスタのD1とD0には0を格納します。

表16. DATA<sub>HIGH</sub>レジスタ（最初の読出し/書き込み）

D15	D14	D13	D12	D11	D10	D9	D8
0	0	0	0	B11	B10	B9	B8

表17. DATA<sub>HIGH</sub>レジスタ（2番目の読出し/書き込み）

D7	D6	D5	D4	D3	D2	D1	D0
B7	B6	B5	B4	B3	B2	B1	B0

## DATA<sub>LOW</sub>レジスタのCH1/CH2/CH3/CH4

各チャンネルのDATA<sub>LOW</sub>レジスタは16ビットのリード/ライト・レジスタであり、各レジスタの12のLSBのみを使用します。このレジスタに格納される下限によって、変換結果レジスタのAlert\_FlagビットやALERT出力がアクティブになります。チャンネルの変換結果レジスタの値が、そのチャンネルのDATA<sub>LOW</sub>レジスタの値を下回る場合は、アラートが発生します。変換結果がDATA<sub>LOW</sub>レジスタ値より少なくともN LSB上の値に戻ると、ALERT出力ピンとAlert\_Flagビットがリセットされます。このN値は、そのチャンネルに関連するヒステリシス・レジスタから得られます。設定レジスタのビットD2とD1に書き込むことにより、ALERT出力ピンもリセットできます。AD7993の場合、DATA<sub>LOW</sub>レジスタのD1とD0には0を格納します。

表18. DATA<sub>LOW</sub>レジスタ（最初の読出し/書き込み）

D15	D14	D13	D12	D11	D10	D9	D8
0	0	0	0	B11	B10	B9	B8

表19. DATA<sub>LOW</sub>レジスタ（2番目の読出し/書き込み）

D7	D6	D5	D4	D3	D2	D1	D0
B7	B6	B5	B4	B3	B2	B1	B0

### ヒステリシス・レジスタ (CH1/CH2/CH3/CH4)

各ヒステリシス・レジスタは16ビットのリード/ライト・レジスタであり、レジスタの12のLSBのみを使用します。リミット・レジスタを使用するとき、ヒステリシス・レジスタには、ヒステリシス値Nが格納されます。リミット・レジスタの各ペアには、専用のヒステリシス・レジスタがあります。限界値を超えた場合のALERTピン/Alert\_Flagのリセット・ポイントは、ヒステリシス値によって決まります。たとえば、チャンネル1の上/下限で8 LSBのヒステリシス値が必要な場合は、CH1のヒステリシス・レジスタに12ビット・ワードの0000 0000 1000を書き込む必要があります（アドレスは表8にあります）。パワーアップ時、ヒステリシス・レジスタには、AD7994では8 LSB、AD7993では2 LSBの値が格納されています。異なるヒステリシス値が必要な場合は、当該チャンネルのヒステリシス・レジスタにその値を書き込む必要があります。AD7993の場合、ヒステリシス・レジスタのD1とD0には0を格納します。

表20. ヒステリシス・レジスタ（最初の読出し/書き込み）

D15	D14	D13	D12	D11	D10	D9	D8
0	0	0	0	B11	B10	B9	B8

表21. ヒステリシス・レジスタ（2番目の読出し/書き込み）

D7	D6	D5	D4	D3	D2	D1	D0
B7	B6	B5	B4	B3	B2	B1	B0

### リミット・レジスタを使用して変換結果の最小/最大値をCH1~CH4に格納する

フルスケール（つまりオール1）を特定チャンネルのヒステリシス・レジスタに書き込んだ場合は、そのチャンネルのDATA<sub>HIGH</sub>レジスタとDATA<sub>LOW</sub>レジスタは、前述のようなリミット・レジスタとしては機能せず、特定期間のチャンネル変換により得られた変換結果の最大/最小値を記憶するレジスタとして機能します。この機能は、アラートによって介入の必要性を通知する必要はないものの、実際の変換結果の最大幅を使用しなければならぬアプリケーションに最適です。たとえば、この機能により、冷凍貨物輸送時の最高/最低温度を監視することができます。

なお、パワーアップ時には、各チャンネルのDATA<sub>HIGH</sub>レジスタの内容はフルスケールですが、DATA<sub>LOW</sub>レジスタの内容は、デフォルトによりゼロスケールとなっています。このため、電源を切断したり再投入した場合は、格納された変換の最小/最大値は失われます。

### アラート・ステータス・レジスタ

アラート・ステータス・レジスタは8ビットのリード/ライト・レジスタであり、アラート・イベントに関する情報を提供します。「リミット・レジスタ」で説明したように、変換によって、変換結果レジスタのAlert\_FlagビットやALERTピンがアクティブになった場合、アラート・ステータス・レジスタを読み出すことで、詳細な情報が得られることがあります。このレジスタには、チャンネルごとに2つのステータス・ビットが含まれており、1つはDATA<sub>HIGH</sub>限界値に、もう1つはDATA<sub>LOW</sub>限界値に対応しています。ステータスが1のビットは、どのチャンネルで限界値を超えたのか、またその場合、上限/下限のどちらの限界値を超えたかを示します。最初のアラートを受信してからアラート・ステータス・レジスタに問い合わせるまでの間に、もう一方のチャンネルで2番目のアラート・イベントが発生した場合は、そのアラート・イベントに対応するビットもセットされます。

表12に示すように、設定レジスタのビットD2とD1に1、1を書き込むことによって、アラート・ステータス・レジスタの内容全体をクリアすることもできます。また、アラート・ステータス・レジスタ自体にオール1を書き込んでも同様にクリアできます。したがって、アラート・ステータス・レジスタが書き込み動作にアドレス指定された場合（オール1）、アラート・ステータス・レジスタの内容はクリア（オール0にリセット）されます。

表22. アラート・ステータス・レジスタ

D7	D6	D5	D4	D3	D2	D1	D0
CH4 <sub>HI</sub>	CH4 <sub>LO</sub>	CH3 <sub>HI</sub>	CH3 <sub>LO</sub>	CH2 <sub>HI</sub>	CH2 <sub>LO</sub>	CH1 <sub>HI</sub>	CH1 <sub>LO</sub>

表23. アラート・ステータス・レジスタのビット機能説明

ビット	記号	備考
D0	CH1 <sub>LO</sub>	このビットが1の場合はチャンネル1でDATA <sub>LOW</sub> 限界値の超過があり、ビットが0の場合は超過なし。
D1	CH1 <sub>HI</sub>	このビットが1の場合はチャンネル1でDATA <sub>HIGH</sub> 限界値の超過があり、ビットが0の場合は超過なし。
D2	CH2 <sub>LO</sub>	このビットが1の場合はチャンネル2でDATA <sub>LOW</sub> 限界値の超過があり、ビットが0の場合は超過なし。
D3	CH2 <sub>HI</sub>	このビットが1の場合はチャンネル2でDATA <sub>HIGH</sub> 限界値の超過があり、ビットが0の場合は超過なし。
D4	CH3 <sub>LO</sub>	このビットが1の場合はチャンネル3でDATA <sub>LOW</sub> 限界値の超過があり、ビットが0の場合は超過なし。
D5	CH3 <sub>HI</sub>	このビットが1の場合はチャンネル3でDATA <sub>HIGH</sub> 限界値の超過があり、ビットが0の場合は超過なし。
D6	CH4 <sub>LO</sub>	このビットが1の場合はチャンネル4でDATA <sub>LOW</sub> 限界値の超過があり、ビットが0の場合は超過なし。
D7	CH4 <sub>HI</sub>	このビットが1の場合はチャンネル4でDATA <sub>HIGH</sub> 限界値の超過があり、ビットが0の場合は超過なし。

# AD7993/AD7994

## サイクル・タイマ・レジスタ

サイクル・タイマ・レジスタは8ビットのリード/ライト・レジスタであり、AD7993/AD7994の自動サイクル・インターバル・モード用の変換間隔値を格納します（「動作モード」を参照）。サイクル・タイマ・レジスタのD5～D3は未使用で、常に0を格納します。パワーアップ時には、サイクル・タイマ・レジスタはオール0で、AD7993/AD7994の自動サイクル動作はディスエーブルです。自動サイクル・モードをイネーブルにするには、サイクル・タイマ・レジスタに書き込みを行って、必要な変換間隔を選択します。表24は、サイクル・タイマ・レジスタの詳細です。表25には、このレジスタのビットをデコードして、さまざまな自動サンプリング間隔を得る方法を示します。

表24. サイクル・タイマ・レジスタとデフォルトのパワーアップ設定値

D7	D6	D5	D4	D3	D2	D1	D0
サンプル遅延	ビット・トライアル遅延	0	0	0	サイクル・ビット2	サイクル・ビット1	サイクル・ビット0
0	0	0	0	0	0	0	0

表25. サイクル・タイマの間隔

D2	D1	D0	代表的な変換間隔 ( $T_{\text{CONVERT}} = \text{ADCの変換時間}$ )
0	0	0	モードが選択されていません
0	0	1	$T_{\text{CONVERT}} \times 32$
0	1	0	$T_{\text{CONVERT}} \times 64$
0	1	1	$T_{\text{CONVERT}} \times 128$
1	0	0	$T_{\text{CONVERT}} \times 256$
1	0	1	$T_{\text{CONVERT}} \times 512$
1	1	0	$T_{\text{CONVERT}} \times 1024$
1	1	1	$T_{\text{CONVERT}} \times 2048$

## サンプル遅延とビット・トライアル遅延

変換を行っているときは、I<sup>2</sup>Cバス・アクティビティを発生させないようにしてください。ただ、たとえばモード2やモード3での動作のように、これができない場合があります。その場合は、ADCの性能を維持するため、I<sup>2</sup>Cバス上にアクティビティがある間、サイクル・タイマ・レジスタのビットD7とD6を使用してクリティカルなサンプル間隔とビット・トライアルの発生を遅延させます。こうすることで、ビット決定ごとに静止期間が発生します。インターフェース・ラインに過剰なアクティビティが存在する場合は全体的な変換時間が増大することもあります。ビット・トライアル遅延が1μsを超えると、変換が終了します。

ビットD7とD6がいずれも0の場合、ビット・トライアルとサンプル間隔遅延のメカニズムがオンになります。D7とD6のデフォルト設定値は0です。遅延メカニズムを両方ともオフにするには、D7とD6に1を設定します。

表26. サイクル・タイマ・レジスタとパワーアップ時のデフォルト

D7	D6	D5	D4	D3	D2	D1	D0
サンプル遅延	ビット・トライアル遅延	0	0	0	サイクル・ビット2	サイクル・ビット1	サイクル・ビット0
0	0	0	0	0	0	0	0

## シリアル・インターフェース

AD7993/AD7994の制御は、I<sup>2</sup>C互換のシリアル・バスを介して行います。AD7993/AD7994は、マスター・デバイス（たとえばプロセッサ）に制御されるスレーブ・デバイスとしてこのバスに接続します。

### シリアル・バス・アドレス

I<sup>2</sup>C互換のすべてのデバイスと同様に、AD7993/AD7994には7ビットのシリアル・アドレスがあります。このアドレスの3つのMSBは010に設定されています。AD7993/AD7994には、AD7993-0/AD7994-0とAD7993-1/AD7994-1という2つのバージョンがあります。この2つのバージョンで3つの異なるI<sup>2</sup>Cアドレスを使用できます。アドレス選択ピンASをAGNDまたはV<sub>DD</sub>に接続するか、ピンを開放して（表6を参照）、アドレスを選択します。2つのバージョンに異なるアドレスを設定することで、1本のシリアル・バスに最大5つのAD7993/AD7994デバイスを接続できます。また、バス上の他のデバイスとの衝突を回避するようにアドレスを設定することもできます。表6を参照してください。

シリアル・バス・プロトコルは、次のように動作します。

マスターは、スタート状態を確立してデータ転送を開始します。シリアル・クロック・ラインSCLがハイレベルのときに、シリアル・データ・ラインSDAがハイレベルからローレベルに遷移すると、スタート状態になります。これは、アドレス/データ・ストリームが後続することを示しています。シリアル・バスに接続された全スレーブ・ペリフェラルがスタート状態に 응답し、次の8ビットをシフト・インします。この8ビットは、7ビット・アドレス（MSBファースト）とR/Wビットで構成されており、R/Wビットはスレーブ・デバイスに対するデータ転送の方向、つまりデータを書き込むか読み出すかを決定します。

送信されたアドレスに対応するペリフェラルは、9番目のクロック・パルスの前のロー期間でデータ・ラインをローレベルにすること（アクノレッジ・ビット）によって応答します。選択されたデバイスが読出し/書込みのデータを待つ間、バス上の他の全デバイスはアイドル状態を維持します。R/Wビットが0の場合、マスターはスレーブ・デバイスに書込みを行い、1の場合、スレーブ・デバイスから読出しを行います。

データは9つのクロック・パルスのシーケンスでシリアル・バスを通じて送信され、8ビットのデータの後にデータの受信側からのアクノレッジ・ビットが続きます。データ・ライン上の遷移はクロック信号のロー期間で発生し、ハイレベルの間は安定している必要があります。これは、クロックがハイレベルのときのローからハイへの遷移は、ストップ信号と解釈されることがあるためです。

すべてのデータバイトの読出し/書込みが終わると、ストップ状態が確立します。書込みモードでは、マスターは、10番目のクロック・パルスの間にデータ・ラインをハイレベルにして、ストップ状態をアサートします。読出しモードでは、マスター・デバイスが、9番目のクロック・パルスの前のロー期間にデータ・ラインをハイレベルにします。これは、「ノー・アクノレッジ」と呼ばれています。その後マスターは、10番目のクロック・パルスの前のロー期間にデータ・ラインをローレベルにして、10番目のクロック・パルスの間にハイレベルにすることで、ストップ状態をアサートします。

シリアル・バスを通じて1回の動作で任意の数のデータバイトを転送できますが、1つの動作で読出しと書込みを同時に行うことはできません。動作のタイプは最初に決定され、新しい動作を開始しない限り、後で変更できません。

# AD7993/AD7994

## AD7993/AD7994への書込み

書込み対象のレジスタに応じて、AD7993/AD7994には3つの書込みタイプがあります。

### 後で読出しを行うためのアドレス・ポインタ・レジスタへの書込み

特定のレジスタから読出しを行うには、まず、アドレス・ポインタ・レジスタにそのレジスタのアドレスが格納されている必要があります。格納されていない場合は、図26に示すように、シングル・バイト書込み動作を実行して、アドレス・ポインタ・レジスタに正しいアドレスを書き込みます。この書込み動作は、シリアル・バス・アドレスと、それに続くアドレス・ポインタ・バイトで構成されます。データ・レジスタには、データは書き込まれません。書込み動作の後、対象のレジスタに対する読出し動作を実行できます。

### アラート・ステータス・レジスタやサイクル・レジスタへのシングル・バイト・データの書込み

アラート・ステータス・レジスタ、設定レジスタ、サイクル・レジスタは8ビット・レジスタであるため、それぞれ1バイトのデータのみを書き込みます。これらのレジスタへのシングル・バイト・データの書込みは、シリアル・バス書込みアドレス、アドレス・ポインタ・レジスタに書き込まれる選択されたデータ・レジスタ・アドレス、選択されたデータ・レジスタに書き込まれるデータバイトで構成されます。図27を参照してください。

### リミット・レジスタやヒステリシス・レジスタへの2バイト・データの書込み

4個のリミット・レジスタは、それぞれ16ビット・レジスタであるため、これらのレジスタに値を書き込むには、2バイトのデータが必要です。2バイト・データの書込みは、シリアル・バス書込みアドレス、アドレス・ポインタ・レジスタに書き込まれる選択されたリミット・レジスタ・アドレス、選択されたデータ・レジスタに書き込まれる2つのデータバイトで構成されます。図28を参照してください。

マスターがAD7993/AD7994に書込みアドレスを指定している場合は、複数のレジスタに書込みできます。次のバイトにある最初のデータ・レジスタに対する最初の書込み動作が完了した後、マスターが、アドレス・ポインタ・バイトに書込みを行って、書込み動作の次のデータ・レジスタを選択します。別のデータ・レジスタに書き込むために、デバイスのアドレスを再指定する必要はありません。

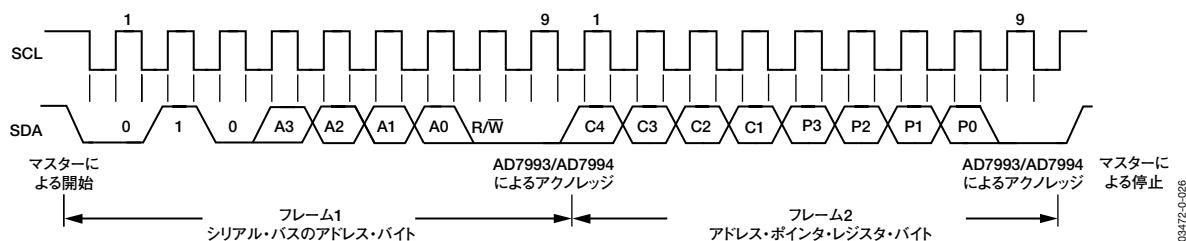


図26. アドレス・ポインタ・レジスタへの書込みによって、後続の読出し動作のレジスタを選択する場合

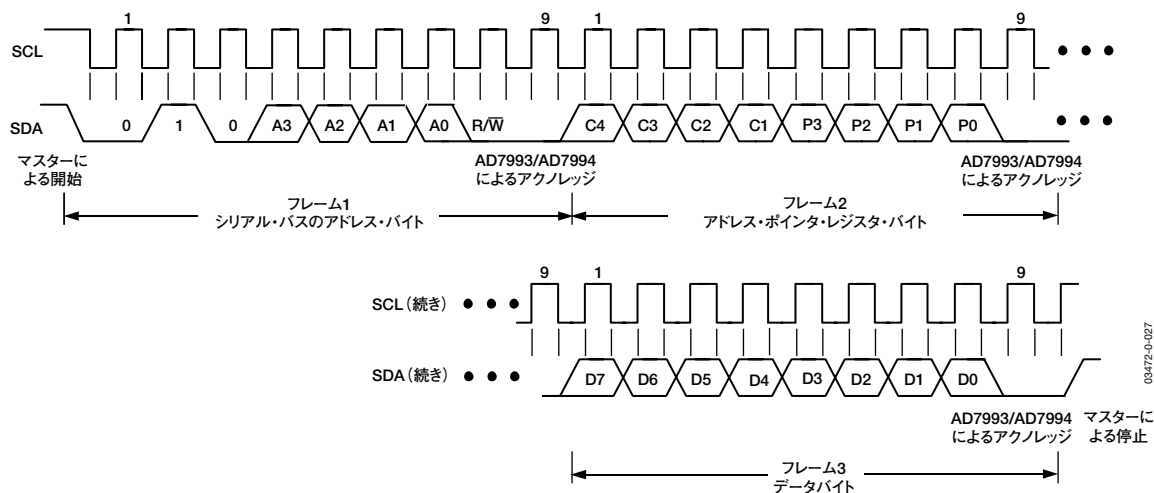
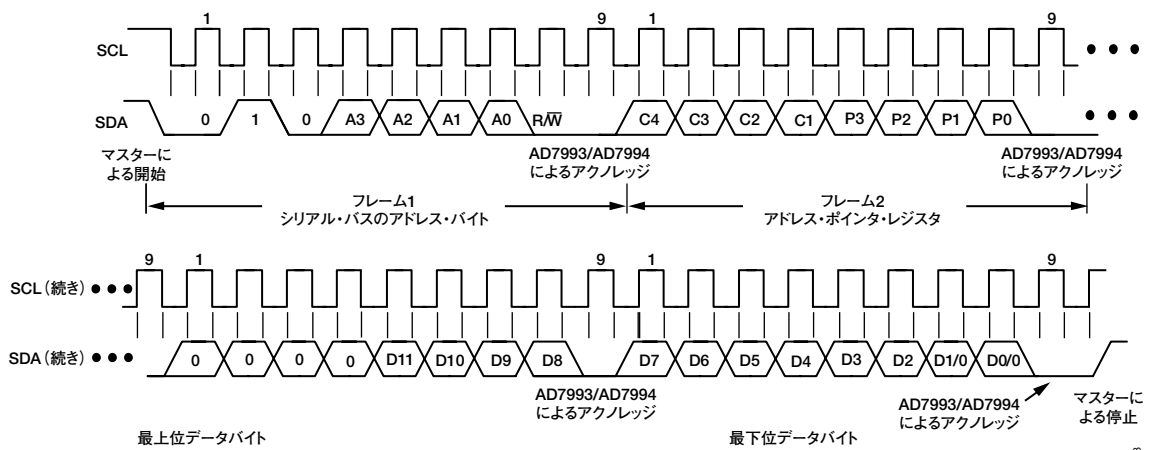


図27. シングル・バイトの書込みシーケンス





03472-0-028

図28. 2バイトの書込みシーケンス

# AD7993/AD7994

## AD7993/AD7994からのデータ読出し

AD7993/AD7994からのデータ読出しは、1バイトまたは2バイト動作になります。アラート・ステータス・レジスタやサイクル・タイマ・レジスタの内容の読出しは、図29に示すように、シングル・バイト読出し動作です。この場合、図26に示すように、アドレス・ポインタ・レジスタへのシングル・バイト書込み動作によって、特定のレジスタ・アドレスがあらかじめ設定されていると想定して読出しを行います。レジスタ・アドレスが設定されたら、アドレス・ポインタ・レジスタに再び書き込むことなく、そのレジスタから何回でも読出しを実行できます。異なるレジスタからの読出しが必要な場合は、アドレス・ポインタ・レジスタに該当するレジスタ・アドレスを書き込む必要があります。このレジスタからも何回でも読出しを実行できます。

設定レジスタ、変換結果レジスタ、DATA<sub>HIGH</sub>レジスタ、DATA<sub>LOW</sub>レジスタ、ヒステリシス・レジスタからのデータ読出しは、図30に示すように、2バイト動作です。2バイト読出しも、1バイト読出しと同じです。

AD7993またはAD7994上のレジスタ（たとえば変換結果レジスタ）からデータを読み出す場合、3つ以上の読出しバイトを与えると、同じデータまたは新しいデータが、デバイスのアドレスを再指定することなくAD7993/AD7994から読み出されます。これによって、マスターは、データ・レジスタの読出しが連続的にでき、AD7993/AD7994のアドレスを再指定する必要はありません。

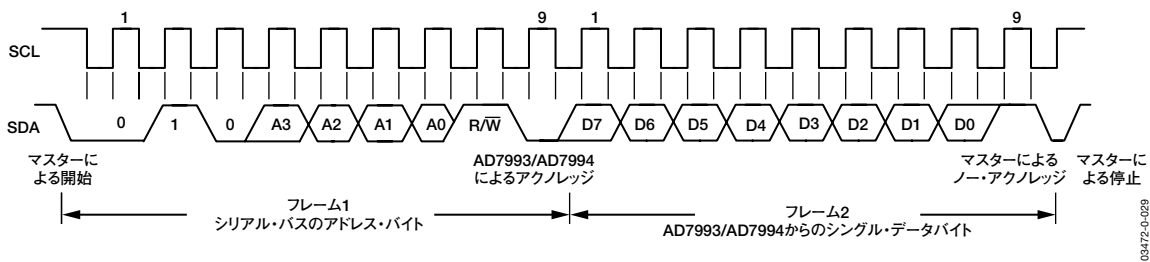


図29. 選択されたレジスタからのシングル・バイト・データの読出し

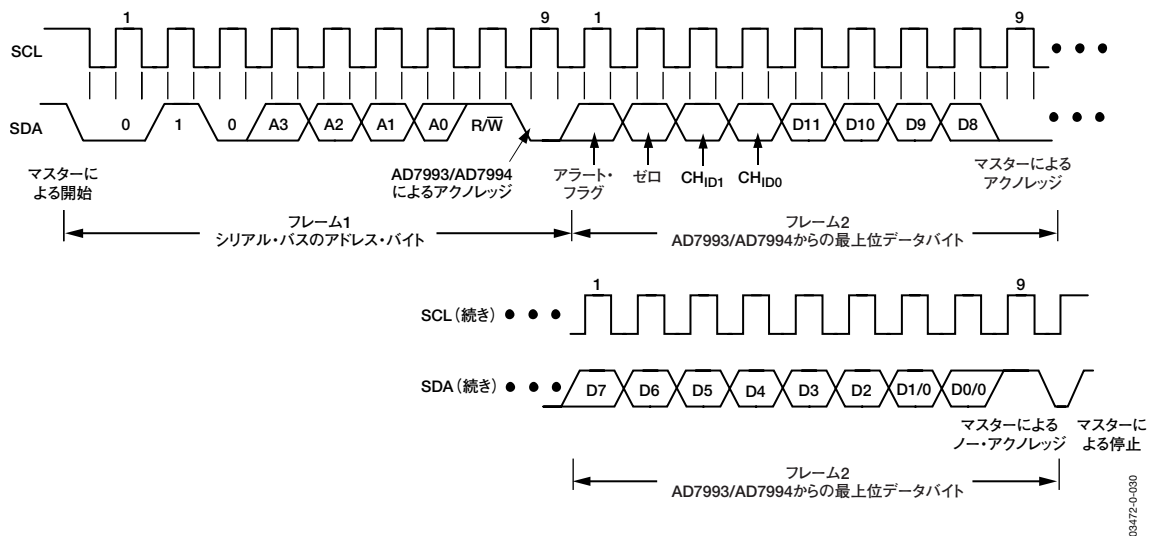


図30. 変換結果レジスタからの2バイト・データの読出し

## ALERT/BUSYピン

表12に示すように、ALERT/BUSYピンは、アラート出力またはビジー出力として設定できます。

### SMBus ALERT

ALERT/BUSYピンをALERT出力として設定すると、この出力はSMBusでのデバイスへの割込みラインとなります。AD7993/AD7994は、スレーブ専用デバイスであり、SMBusアラートを使用して接続したいホスト・デバイスに通知します。AD7993/AD7994では、変換アウトオブレンジ・インジケータ（リミット超過インジケータ）としてSMBusアラートを使用します。

ALERTピンはオープン・ドレイン構成となっているため、ALERTピンがアクティブ・ローのとき、複数のAD7993/AD7994のアラート出力をワイヤードAND（出力結合）できます。設定レジスタのD0は、ALERT出力のアクティブ極性の設定に使用します。パワーアップ時のデフォルトはアクティブ・ローです。ALERT機能をイネーブルまたはディスエーブルにするには、設定レジスタのD2を1（イネーブル）または0（ディスエーブル）に設定します。

ホスト・デバイスは、ALERT割込みを処理し、アラート応答アドレスによりすべてのSMBus ALERTデバイスに同時にアクセスできます。ARA（アラート応答アドレス）をアクノレッジするのは、ALERTピンをローレベルにしたデバイスのみです。複数のデバイスがALERTピンをローレベルにしている場合は、スレーブ・アドレス転送時の標準的なPCアービトレーションによって、最高優先順位（最下位アドレス）のデバイスが通信権を得ます。

ALERT出力がアクティブになるのは、変換結果レジスタの値がDATA<sub>HIGH</sub>レジスタの値を上回ったとき、またはDATA<sub>LOW</sub>レジスタの値を下回ったときです。ALERT出力がリセットされるのは、設定レジスタへの書き込み動作によってD1とD0が1に設定されたとき、あるいは変換結果がDATA<sub>HIGH</sub>レジスタまたはDATA<sub>LOW</sub>レジスタに格納された値より、それぞれN LSBだけ下または上の値を返したときです。Nはヒステリシス・レジスタの値です（「リミット・レジスタ」を参照）。

ALERT出力には、V<sub>DD</sub>以外の電圧に接続できる外付けプルアップ抵抗が必要です。ただしALERT出力ピンの最大電圧定格を超えてはいけません。プルアップ抵抗の値は、アプリケーションに依存しますが、ALERT出力での過剰なシンク電流を回避するために、できるだけ大きくしてください。

### BUSY

ALERT/BUSYピンをBUSY出力として設定すると、このピンを使用して変換の実行を通知できます。BUSYピンの極性は、設定レジスタのビットD0でプログラムされます。

### AD7993-1/AD7994-1をハイスピード・モードにする場合

マスターが、マスター・コード00001XXXによってバスに接続されたすべてのデバイスをアドレス指定し、ハイスピード・モードの転送の開始を指示すると、ハイスピード・モードの通信が始まります。バスに接続されたデバイスは、ハイスピード・マスター・コードをアクノレッジできないため、このコードの後にはノー・アクノレッジが続きます（図31を参照）。次にマスターは、繰返しスタートに続き、R/Wビット付きのデバイス・アドレスを発行する必要があります。その後、選択されたデバイスがそのアドレスをアクノレッジします。

マスターがストップ状態を発行するまで、すべてのデバイスはハイスピード・モードでの動作を継続します。ストップ状態が発行されると、デバイスはすべてファースト・モードに戻ります。

### アドレス選択（AS）ピン

AD7993/AD7994のアドレス選択ピンは、AD7993/AD7994デバイスのPCアドレスの設定に使用します。ASピンは、V<sub>DD</sub>やAGNDに接続するか、開放しておきます。この選択はASピンのできるだけ近くで行い、トラックが長くならないようにします。トラックが長いとピン上に余分な容量が生じます。ASピンは最初のアドレス・バイトの間にスタート・ビットの後ミッドポイントに充電しなければならないため、フロートの選択では、これは重要です。ASピンに余分な容量があると、ミッドポイントへの充電時間が増大し、デバイス・アドレスについて誤った決定が行われることがあります。ASピンを開放している場合、AD7993/AD7994は容量性負荷を40pFまで処理できます。

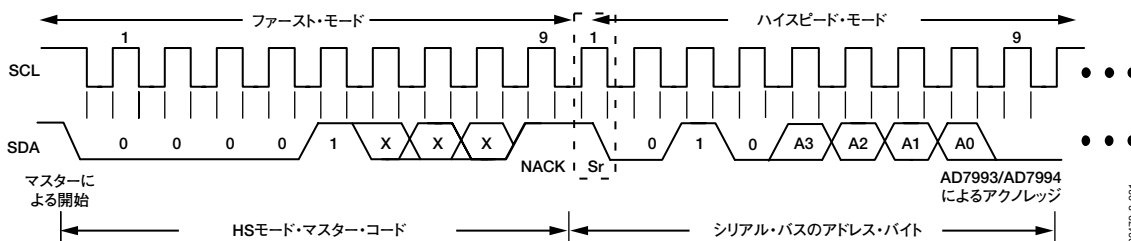


図31. デバイスをハイスピード・モードにする場合

# AD7993/AD7994

## 動作モード

AD7993/AD7994に初めて電源を供給するとき、ADCはシャットダウン・モードでパワーアップし、変換時以外はシャットダウン状態を維持します。デバイスで変換を開始するには、3つの方法があります。

### モード1— $\overline{\text{CONVST}}$ ピンを使用

$\overline{\text{CONVST}}$ 信号にパルスを与えることによって、AD7993/AD7994で変換を開始できます。AD7993/AD7994の変換クロックは内部生成されるため、I<sup>2</sup>Cインターフェースとの読出し/書込み時以外は、外部クロックは必要ありません。 $\overline{\text{CONVST}}$ の立上がりエッジで、AD7993/AD7994はパワーアップを開始します(図32のポイントAを参照)。AD7993/AD7994のシャットダウン・モードからのパワーアップ時間は、約1 $\mu$ sです。デバイスを完全にパワーアップするには、 $\overline{\text{CONVST}}$ 信号は1 $\mu$ sの間ハイレベルを維持する必要があります。その後、 $\overline{\text{CONVST}}$ をローレベルにできます。 $\overline{\text{CONVST}}$ 信号の立下がりエッジで、トラック&ホールドがホールド・モードになり、この時点で変換も開始されます(図32のポイントB)。変換が完了すると、約2 $\mu$ s後に、デバイスはシャットダウン状態に戻り(図32のポイントC)、 $\overline{\text{CONVST}}$ の次の立上がりエッジまでそのままです。マスターは、ADCを読み出して変換結果を取得できます。変換結果を読み出すには、アドレス・ポインタ・レジスタで変換結果レジスタを指定しておく必要があります。

$\overline{\text{CONVST}}$ パルスが1 $\mu$ s以上ハイレベルになっていないと、 $\overline{\text{CONVST}}$ の立下がりエッジで変換を開始しますが、結果は無効になります。これは、変換の実行時にAD7993/AD7994が完全にパワーアップしていないためです。このモードでAD7993/AD7994の性能を維持するには、変換を実行するときにI<sup>2</sup>Cバスを静止させておくことを推奨します。

AD7994/AD7993をこのモードで動作させるとき、アドレス・ポインタ・レジスタのビットC4~C1とサイクル・タイマ・レジスタには、オール0を格納してください。他のすべての動作モードでは、 $\overline{\text{CONVST}}$ ピンをローに接続します。このモードで変換用のアナログ入力チャンネルを選択するには、設定レジスタに書込みを行い、変換用のチャンネルを選択する必要があります。各 $\overline{\text{CONVST}}$ パルスで変換されるチャンネル・シーケンスを設定するには、設定レジスタ内の対応するチャンネル・ビットを設定してください(表11を参照)。

変換が完了すると、マスターは、AD7993/AD7994をアドレス指定して変換結果を読み出します。さらに変換が必要な場合は、 $\overline{\text{CONVST}}$ 信号に再びパルスが出力されている間、SCLラインをハイレベルにします。その後、変換結果を読み出すには、さらに18個のSCLパルスが必要です。

AD7993-1/AD7994-1をモード1で動作させ、変換後に3.4MHzのSCLで読み出すとき、ADCは最大121kSPSのスループット・レートを実現します。

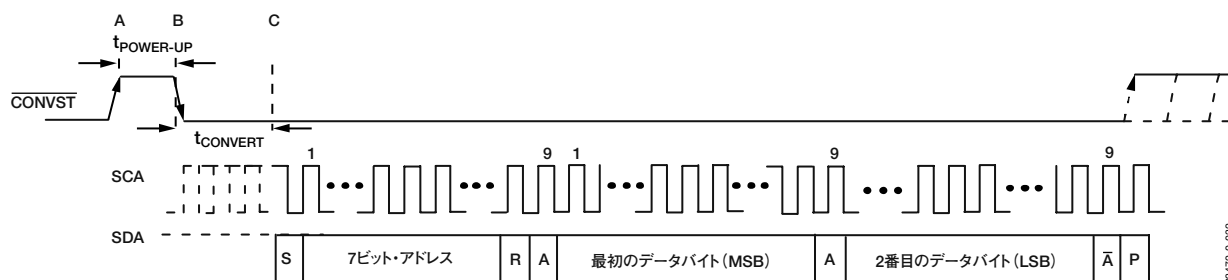


図32. モード1の動作

03472-0-032

## モード2—コマンド・モード

このモードでは、書込み動作が行われると自動的に変換を開始します。このモードにするには、表7に示すアドレス・ポインタ・バイトのコマンド・ビットC4～C1をプログラムします。

このモードで変換用アナログ入力を1つ選択するには、アドレス・ポインタ・バイトのビットC4～C1をセットして、変換するチャンネルを指定します（表27を参照）。4つのコマンド・ビットすべてが0の場合、このモードは使用できません。

このモードでシーケンスの設定もできます。アドレス・ポインタ・バイトで複数のコマンド・ビットがセットされている場合、ADCはシーケンス内の最下位チャンネルから変換を開始し、シーケンス内の全チャンネルが変換されるまで順次変換していきます。ストップ・ビットを受信すると、シーケンスの変換を停止します。

図30に、変換結果レジスタからの2バイト読出し動作を示します。次の読出しで希望のレジスタ（この場合は変換結果レジスタ）にアクセスできるように、通常、この動作の前にアドレス・ポインタ・レジスタへの書込みがあります（図26）。アドレス・ポインタ・レジスタの内容がロードされ、さらに、コマンド・ビットC4～C1がセットされている場合、AD7993/AD7994はパワーアップを開始し、選択されたチャンネルを変換します。アドレス・ポイント・バイトの5番目のSCL立下がりエッジで、パワーアップを開始します（図33のポイントAを参照）。

表27に、このモードでのアドレス・ポインタ・レジスタのコマンド・ビットC4～C1によるチャンネル選択を示します。ウェイクアップ時間と変換時間は、合計で約3 $\mu$ sです。これに続いて、読出し動作が必要なことを指示するため、AD7993/AD7994を再びアドレス指定する必要があります。次に、変換結果レジスタからの読出しが行われます。この読出しで、コマンド・ビットによって選択したチャンネルからの変換結果にアクセスします。コマンド・ビットC2とC1を1、1に設定した場合、4バイトで読み出すことになります。最初の読出しでV<sub>IN1</sub>での変換データにアクセスし、この読出しの実行中にV<sub>IN2</sub>で変換が行われます。2番目の読出しで、V<sub>IN2</sub>の変換データにアクセスします。図34に、このモードでの動作を示します。

AD7994-1/AD7993-1をハイスピード・モードの3.4MHz SCLによりモード2で動作させる場合、変換が完了しないうちにマスターが変換結果を読み出そうとすることがあります。この場合AD7994-1/AD7993-1は、読出しアドレス後のACKクロックの間、変換が完了するまでSCLラインをローレベルに保持します。変換が完了すると、SCLラインを開放し、マスターが変換結果を読み出せるようになります。

アドレス・ポインタ・バイトのコマンド・ビットをセットして変換を開始した後、AD7993/AD7994がマスターからストップまたはNACKを受信すると、デバイスは変換を停止します。

表27. アドレス・ポインタ・バイト

C4	C3	C2	C1	P3	P2	P1	P0	モード2、変換対象	備考
0	0	0	0	0	0	0	0	選択されていません	
0	0	0	1	0	0	0	0	V <sub>IN1</sub>	
0	0	1	0	0	0	0	0	V <sub>IN2</sub>	
0	0	1	1	0	0	0	0	V <sub>IN1</sub> とV <sub>IN2</sub> のシーケンス	
0	1	0	0	0	0	0	0	V <sub>IN3</sub>	
0	1	0	1	0	0	0	0	V <sub>IN1</sub> とV <sub>IN3</sub> のシーケンス	
0	1	1	0	0	0	0	0	V <sub>IN2</sub> とV <sub>IN3</sub> のシーケンス	
0	1	1	1	0	0	0	0	V <sub>IN1</sub> 、V <sub>IN2</sub> 、V <sub>IN3</sub> のシーケンス	
1	0	0	0	0	0	0	0	V <sub>IN4</sub>	
1	0	0	1	0	0	0	0	V <sub>IN1</sub> とV <sub>IN4</sub> のシーケンス	
1	0	1	0	0	0	0	0	V <sub>IN2</sub> とV <sub>IN4</sub> のシーケンス	
1	0	1	1	0	0	0	0	V <sub>IN1</sub> 、V <sub>IN2</sub> 、V <sub>IN4</sub> のシーケンス	
1	1	0	0	0	0	0	0	V <sub>IN3</sub> とV <sub>IN4</sub> のシーケンス	
1	1	0	1	0	0	0	0	V <sub>IN1</sub> 、V <sub>IN3</sub> 、V <sub>IN4</sub> のシーケンス	
1	1	1	0	0	0	0	0	V <sub>IN2</sub> 、V <sub>IN3</sub> 、V <sub>IN4</sub> のシーケンス	
1	1	1	1	0	0	0	0	V <sub>IN1</sub> 、V <sub>IN2</sub> 、V <sub>IN3</sub> 、V <sub>IN4</sub> のシーケンス	

ポインタ・ビットにオール0を設定して、次の読出しで変換結果レジスタの結果にアクセスします。

# AD7993/AD7994

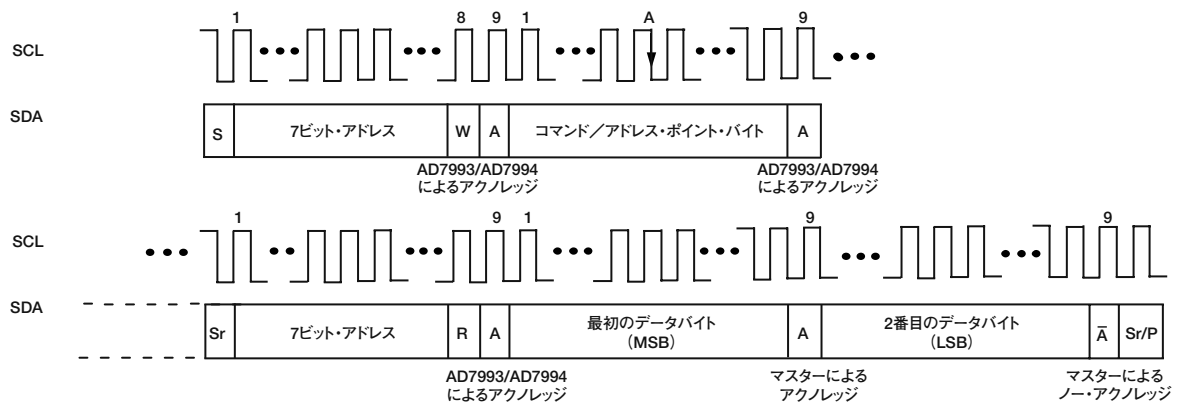


図33. モード2の動作

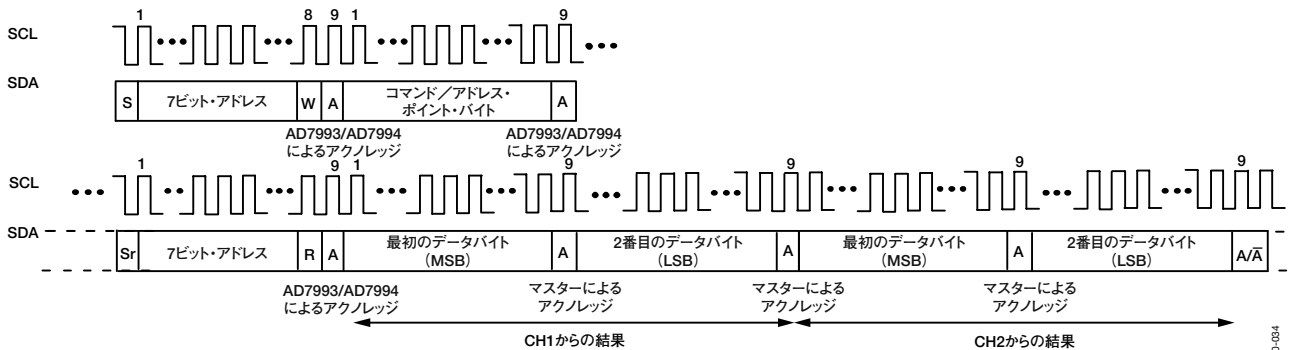


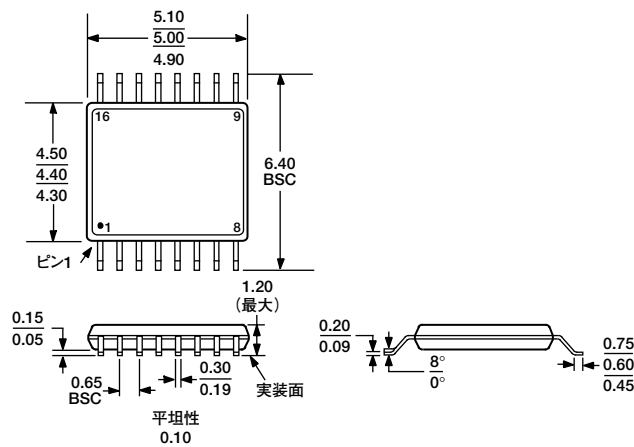
図34. モード2のシーケンス動作

## モード3—自動サイクル・インターバル・モード

自動変換サイクルを選択してイネーブルにするには、サイクル・タイマ・レジスタに値を書き込みます。AD7993/AD7994で変換サイクル・インターバルを設定するには、表25のデコードに従って、8ビットのサイクル・タイマ・レジスタの該当するビットをプログラミングします。3つのLSBのみを使用し、5つのMSBに0を格納します。レジスタの3つのLSBをオール0以外の設定にプログラムすると、X msごとに変換が行われます。サイクル・タイマ・レジスタでのこの3ビットの設定によって、サイクル・インターバルXが決まります。表25に示すように、7つのサイクル時間間隔を選択できます。変換が行われると、デバイスは次の変換まで再びパワーダウンします。この動作

モードを終了するには、サイクル・タイマ・レジスタの3つのLSBがオール0になるようにプログラムします。サイクル・モードで動作のチャンネルを選択するには、設定レジスタの対応するチャンネル・ビットD7~D4をセットします。設定レジスタに複数のチャンネル・ビットがセットされている場合、ADCは最下位チャンネルから順次昇順にチャンネル・シーケンスを自動的に切り替えていきます。シーケンスが完了すると、再び最下位チャンネルから変換を開始し、サイクル・タイマ・レジスタの内容がオール0になるまで、シーケンスのループを続けます。このモードは、バッテリー電圧や温度などの信号を監視して、限界値を超えた場合に警告するときに便利です。

## 外形寸法



JEDEC規格MO-153ABに準拠

図35. 16ピンTSSOP  
(RU-16)

単位寸法：mm

## オーダー・ガイド

モデル <sup>1</sup>	温度範囲	直線性誤差 <sup>2</sup> (最大)	パッケージ・オプション	パッケージ
AD7993BRU-0	-40 ~ +125°C	±0.5LSB	RU-16	TSSOP
AD7993BRU-0REEL	-40 ~ +125°C	±0.5LSB	RU-16	TSSOP
AD7993BRUZ-0 <sup>3</sup>	-40 ~ +125°C	±0.5LSB	RU-16	TSSOP
AD7993BRUZ-0REEL <sup>3</sup>	-40 ~ +125°C	±0.5LSB	RU-16	TSSOP
AD7993BRU-1	-40 ~ +125°C	±0.5LSB	RU-16	TSSOP
AD7993BRU-1REEL	-40 ~ +125°C	±0.5LSB	RU-16	TSSOP
AD7993BRUZ-1 <sup>3</sup>	-40 ~ +125°C	±0.5LSB	RU-16	TSSOP
AD7993BRUZ-1REEL <sup>3</sup>	-40 ~ +125°C	±0.5LSB	RU-16	TSSOP
AD7994BRU-0	-40 ~ +125°C	±1LSB	RU-16	TSSOP
AD7994BRU-0REEL	-40 ~ +125°C	±1LSB	RU-16	TSSOP
AD7994BRUZ-0 <sup>3</sup>	-40 ~ +125°C	±1LSB	RU-16	TSSOP
AD7994BRUZ-0REEL <sup>3</sup>	-40 ~ +125°C	±1LSB	RU-16	TSSOP
AD7994BRU-1	-40 ~ +125°C	±1LSB	RU-16	TSSOP
AD7994BRU-1REEL	-40 ~ +125°C	±1LSB	RU-16	TSSOP
AD7994BRUZ-1 <sup>3</sup>	-40 ~ +125°C	±1LSB	RU-16	TSSOP
AD7994BRUZ-1REEL <sup>3</sup>	-40 ~ +125°C	±1LSB	RU-16	TSSOP
EVAL-AD7993CB				スタンドアロン評価用ボード
EVAL-AD7994CB				スタンドアロン評価用ボード

<sup>1</sup> AD7993-0/AD7994-0は標準/ファーストPCインターフェース・モードを、AD7993-1/AD7994-1は標準/ファースト/ハイスピードPCインターフェース・モードをサポートします。

<sup>2</sup> 直線性誤差とは、積分非直線性を意味します。

<sup>3</sup> Z=鉛フリー製品

I<sup>2</sup>C互換のADC製品ファミリーに含まれる関連デバイス

製品番号	分解能	入力チャンネル数	パッケージ
AD7998	12	8	20ピンTSSOP
AD7997	10	8	20ピンTSSOP
AD7992	12	2	10ピンTSSOP

# AD7993/AD7994

D03472-0-10/04(0)-J

アナログ・デバイゼズ社またはその二次ライセンスを受けた関連会社からライセンスの対象となるICコンポーネントを購入した場合、購入者にはこれらのコンポーネントをICシステムで使用するフィリップス社のICの特許権に基づくライセンスが許諾されます。ただし、フィリップス社が規定するIC規格仕様に準拠したシステムが必要です。