



MSOP/LFCSP(QFN)パッケージ採用の 低消費電力 16ビットPuISAR ADC

データシート

AD7988-1/AD7988-5

特長

低消費電力

AD7988-5: 500 kSPSで 3.5 mW

AD7988-1: 100 kSPSで 700 μ W

ノーマス・コードの 16 ビット分解能

スループット: 100 kSPS または 500 kSPS が選択可能

INL: ± 0.6 LSB (typ), ± 1.25 LSB (最大)

SINAD: 10 kHz で 91.5 dB

THD: 10 kHz で -114 dB

擬似差動アナログ入力範囲

$V_{REF} = 2.5\text{ V} \sim 5.5\text{ V}$ で $0\text{ V} \sim V_{REF}$

ADA4841-1 で任意の入力範囲を容易に駆動

パイプライン遅延なし

1.8 V/2.5 V/3 V/5 V ロジック・インターフェースによる単電源
2.5 V 動作

SPI/QSPI/MICROWIRE™/DSP 互換のシリアル・インターフェース

複数の ADC をディジーチェーン接続可能

10 ピン MSOP または SOT-23 と同じ面積の 10 ピン 3 mm \times 3 mm LFCSP (QFN) パッケージを採用

広い動作温度範囲: $-40^\circ\text{C} \sim +125^\circ\text{C}$

アプリケーション

バッテリー駆動の装置

低消費電力データ・アキュイジション・システム

ポータブル医用計測器

ATE 装置

データ・アキュイジション

通信

概要

AD7988-1/AD7988-5は、単電源(VDD)で動作する 16 ビット逐次比較型A/Dコンバータ(ADC)です。AD7988-1は 100 kSPSのスループットを、AD7988-5は 500 kSPSのスループットを、それぞれ提供します。両デバイスは、多機能のシリアル・インターフェース・ポートを内蔵した低消費電力 16 ビット・サンプリングADCです。グラウンド・センスIN-を基準とするアナログ入力IN+ ($0\text{ V} \sim R_{EF}$)をCNVの立上がりエッジでサンプルします。リファレンス電圧(REF)は外部から与えられ、電源電圧VDDから独立して設定することができます。

また、SPI 互換のシリアル・インターフェースは、SDI 入力を使った 1 本の 3 線式バスで複数の ADC をディジーチェーン接続する機能も持っています。別電源 VIO を使い、1.8 V、2.5 V、3 V、または 5 V ロジックと互換性を持っています。

AD7988-1/AD7988-5は 10 ピンMSOPまたは 10 ピンLFCSP (QFN)を採用し、動作は $-40^\circ\text{C} \sim +125^\circ\text{C}$ で規定されています。

表 1. MSOP、LFCSP (QFN) パッケージを採用した 14/16/18 ビット PuISAR® ADC

Bits	100 kSPS	250 kSPS	400 kSPS to 500 kSPS	≥ 1000 kSPS	ADC Driver
18 ¹		AD7691 ²	AD7690 ²	AD7982 ² AD7984 ²	ADA4941-1 ADA4841-1
16 ¹	AD7684	AD7687 ²	AD7688 ² AD7693 ²		ADA4941-1 ADA4841-1
16 ³	AD7680 AD7683 AD7988-1 ²	AD7685 ² AD7694	AD7686 ² AD7988-5 ²	AD7980 ²	ADA4841-1 ADA4841-1 ADA4841-1
14 ³	AD7940	AD7942 ²	AD7946 ²		ADA4841-1

¹ 真の差動。

² ピン・コンパチブル。

³ 擬似差動。

代表的なアプリケーション図

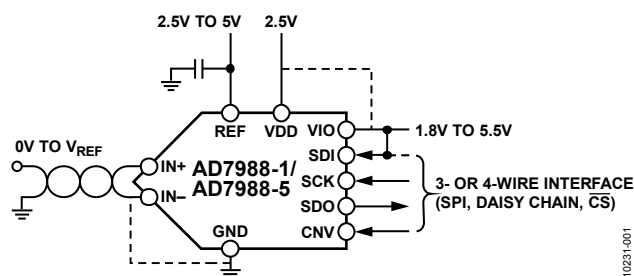


図 1.

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©2012 Analog Devices, Inc. All rights reserved.

Rev. B

アナログ・デバイセズ株式会社

本 社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー
電話 06 (6350) 6868

目次

特長.....	1	アナログ入力.....(III).....	16
アプリケーション.....	1	ドライバ・アンプの選択.....	16
概要.....	1	リファレンス電圧入力.....	17
代表的なアプリケーション図.....	1	電源.....	17
改訂履歴.....	2	デジタル・インターフェース.....	17
仕様.....	3	$\overline{\text{CS}}$ モード、3線式.....	18
タイミング仕様.....	5	$\overline{\text{CS}}$ モード4線式.....	19
絶対最大定格.....	7	チェーン・モード.....	20
ESDの注意.....	7	アプリケーション情報.....	21
ピン配置およびピン機能説明.....	8	Blackfin® DSPに対するインターフェース.....	21
用語.....	9	レイアウト.....	21
代表的な性能特性.....	10	AD7988-Xの性能評価.....	21
動作原理.....	14	外形寸法.....	22
回路説明.....	14	オーダー・ガイド.....	23
コンバータの動作.....	14		
代表的な接続図.....	15		

改訂履歴

5/12—Rev. A to Rev. B

Changes to Table 3.....	4
Updated Outline Dimensions.....	22

2/12—Rev. 0 to Rev. A

Added LFCSP Thermal Impedance Values.....	7
Updated Outline Dimensions.....	23
Changes to Ordering Guide.....	23

2/12—Revision 0: Initial Version

仕様

特に指定がない限り、VDD = 2.5 V、VIO = 2.3 V ~ 5.5 V、VREF = 5 V、TA = -40°C ~ +125°C。

表 2.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
RESOLUTION		16			Bits
ANALOG INPUT					
Voltage Range	IN+ – IN–	0		VREF	V
Absolute Input Voltage	IN+	-0.1		VREF + 0.1	V
	IN–	-0.1		+0.1	V
Analog Input CMRR	fIN = 1 kHz		60		dB
Leakage Current at 25°C	Acquisition phase		1		nA
Input Impedance		See the Analog Inputs section			
ACCURACY					
No Missing Codes		16			Bits
Differential Linearity Error	VREF = 5 V	-0.9	±0.4	+0.9	LSB ¹
	VREF = 2.5 V		±0.55		LSB ¹
Integral Linearity Error	VREF = 5 V	-1.25	±0.6	+1.25	LSB ¹
	VREF = 2.5 V		±0.65		LSB ¹
Transition Noise	VREF = 5 V		0.6		LSB ¹
	VREF = 2.5 V		1.0		LSB ¹
Gain Error, TMIN to TMAX ²			±2		LSB ¹
Gain Error Temperature Drift			±0.35		ppm/°C
Zero Error, TMIN to TMAX ²		-0.5	±0.08	+0.5	mV
Zero Temperature Drift			0.54		ppm/°C
Power Supply Sensitivity	VDD = 2.5 V ± 5%		±0.1		LSB ¹
THROUGHPUT					
AD7988-1					
Conversion Rate	VIO ≥ 2.3 V up to 85°C, VIO ≥ 3.3 V above 85°C up to 125°C	0		100	kSPS
Transient Response	Full-scale step			500	ns
AD7988-5					
Conversion Rate	VIO ≥ 2.3 V up to 85°C, VIO ≥ 3.3 V above 85°C up to 125°C	0		500	kSPS
Transient Response	Full-scale step			400	ns
AC ACCURACY					
Dynamic Range	VREF = 5 V		92		dB ³
	VREF = 2.5 V		87		dB ³
Oversampled Dynamic Range	fO = 10 kSPS		111		dB ³
Signal-to-Noise Ratio, SNR	fIN = 10 kHz, VREF = 5 V	90	91		dB ³
	fIN = 10 kHz, VREF = 2.5 V		86.5		dB ³
Spurious-Free Dynamic Range, SFDR	fIN = 10 kHz		-110		dB ³
Total Harmonic Distortion, THD	fIN = 10 kHz		-114		dB ³
Signal-to-(Noise + Distortion), SINAD	fIN = 10 kHz, VREF = 5 V		91.5		dB ³
	fIN = 10 kHz, VREF = 2.5 V		87.0		dB ³

¹ LSBは最下位ビットを意味します。入力範囲が5Vの場合、1LSB = 76.3 μV。

² 用語のセクションを参照してください。これらの仕様にはすべての温度範囲の変動が含まれますが、外付けリファレンス電圧の誤差成分は含まれません。

³ dB表示のすべての仕様はフルスケール入力FSRを基準とします。特に注記がない場合、フルスケールより0.5dB低い入力信号でテスト。

特に指定がない限り、VDD = 2.5 V、VIO = 2.3 V ~ 5.5 V、VREF = 5 V、TA = -40°C ~ +125°C。

表 3.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
REFERENCE					
Voltage Range		2.4		5.1	V
Load Current	VREF = 5 V		250		μA
SAMPLING DYNAMICS					
-3 dB Input Bandwidth			10		MHz
Aperture Delay	VDD = 2.5 V		2.0		ns
DIGITAL INPUTS					
Logic Levels					
VIL	VIO > 3 V	-0.3		0.3 × VIO	V
VIH	VIO > 3 V	0.7 × VIO		VIO + 0.3	V
VIL	VIO ≤ 3 V	-0.3		0.1 × VIO	V
VIH	VIO ≤ 3 V	0.9 × VIO		VIO + 0.3	V
IIL		-1		+1	μA
IIH		-1		+1	μA
DIGITAL OUTPUTS					
Data Format		Serial 16 bits straight binary			
Pipeline Delay		Conversion results available immediately after completed conversion			
VOL	ISINK = 500 μA			0.4	V
VOH	ISOURCE = -500 μA	VIO - 0.3			V
POWER SUPPLIES					
VDD		2.375	2.5	2.625	V
VIO	Specified performance	2.3		5.5	V
VIO Range		1.8		5.5	V
Standby Current ^{1,2}	VDD and VIO = 2.5 V, 25°C		0.35		nA
AD7988-1 Power Dissipation	10 kSPS throughput		70		μW
	100 kSPS throughput		700		μW
				1	mW
AD7988-5 Power Dissipation	500 kSPS throughput		3.5	5	mW
Energy per Conversion			7.0		nJ/sample
TEMPERATURE RANGE					
Specified Performance	TMIN to TMAX	-40		+125	°C

¹ すべてのデジタル入力を必要に応じて VIO または GND に接続。

² アクイジション・フェーズ時。

タイミング仕様

特に指定がない限り、VDD = 2.37 V~2.63 V、VIO = 3.3 V~5.5 V、-40°C~+125°C。負荷条件については、図2と図3を参照してください。

表 4.

Parameter	Symbol	Min	Typ	Max	Unit
AD7988-1					
Throughput Rate				100	kHz
Conversion Time: CNV Rising Edge to Data Available	t _{CONV}			9.5	μs
Acquisition Time	t _{ACQ}	500			ns
Time Between Conversions	t _{CYC}	10			μs
AD7988-5					
Throughput Rate				500	kHz
Conversion Time: CNV Rising Edge to Data Available	t _{CONV}			1.6	μs
Acquisition Time	t _{ACQ}	400			ns
Time Between Conversions	t _{CYC}	2			μs
CNV Pulse Width (\overline{CS} Mode)	t _{CNVH}	500			ns
SCK Period (\overline{CS} Mode)	t _{SCK}				
VIO Above 4.5 V		10.5			ns
VIO Above 3 V		12			ns
VIO Above 2.7 V		13			ns
VIO Above 2.3 V		15			ns
SCK Period (Chain Mode)	t _{SCK}				
VIO Above 4.5 V		11.5			ns
VIO Above 3 V		13			ns
VIO Above 2.7 V		14			ns
VIO Above 2.3 V		16			ns
SCK Low Time	t _{SCKL}	4.5			ns
SCK High Time	t _{SCKH}	4.5			ns
SCK Falling Edge to Data Remains Valid	t _{HSDO}	3			ns
SCK Falling Edge to Data Valid Delay	t _{DSDO}				
VIO Above 4.5 V				9.5	ns
VIO Above 3 V				11	ns
VIO Above 2.7 V				12	ns
VIO Above 2.3 V				14	ns
CNV or SDI Low to SDO D15 MSB Valid (\overline{CS} Mode)	t _{EN}				
VIO Above 3 V				10	ns
VIO Above 2.3V				15	ns
CNV or SDI High or Last SCK Falling Edge to SDO High Impedance (\overline{CS} Mode)	t _{DIS}			20	ns
SDI Valid Setup Time from CNV Rising Edge	t _{SSDICNV}	5			ns
SDI Valid Hold Time from CNV Rising Edge (\overline{CS} Mode)	t _{HSDICNV}	2			ns
SDI Valid Hold Time from CNV Rising Edge (Chain Mode)	t _{HSDICNV}	0			ns
SCK Valid Setup Time from CNV Rising Edge (Chain Mode)	t _{SSCKCNV}	5			ns
SCK Valid Hold Time from CNV Rising Edge (Chain Mode)	t _{HSCKCNV}	5			ns
SDI Valid Setup Time from SCK Falling Edge (Chain Mode)	t _{SSDISCK}	2			ns
SDI Valid Hold Time from SCK Falling Edge (Chain Mode)	t _{HSDISCK}	3			ns

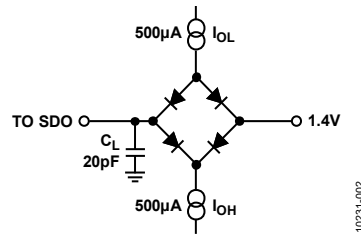
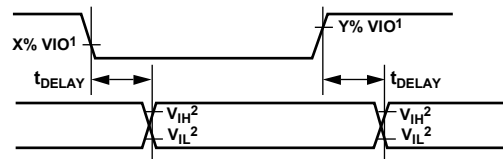


図 2. デジタル・インターフェース・タイミングの負荷回路



¹FOR $V_{IO} \leq 3.0V$, $X = 90$ AND $Y = 10$; FOR $V_{IO} > 3.0V$ $X = 70$, AND $Y = 30$.
²MINIMUM V_{IH} AND MAXIMUM V_{IL} USED. SEE DIGITAL INPUTS SPECIFICATIONS IN TABLE 3.

図 3. タイミング測定のための電圧レベル

絶対最大定格

表 5.

Parameter	Rating
Analog Inputs IN ⁺ , ¹ IN ⁻ to GND	-0.3 V to V _{REF} + 0.3 V or ±130 mA
Supply Voltage	
REF, VIO to GND	-0.3 V to +6 V
VDD to GND	-0.3 V to +3 V
VDD to VIO	+3 V to -6 V
Digital Inputs to GND	-0.3 V to VIO + 0.3 V
Digital Outputs to GND	-0.3 V to VIO + 0.3 V
Storage Temperature Range	-65°C to +125°C
Junction Temperature	150°C
θ _{JA} Thermal Impedance	
10-Lead MSOP	200°C/W
10-Lead LFCSP	80°C/W
θ _{JC} Thermal Impedance	
10-Lead MSOP	44°C/W
10-Lead LFCSP	15°C/W
Reflow Soldering	JEDEC Standard (J-STD-020)

¹ アナログ入力のセクション参照。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

ESDの注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されずにそのまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明

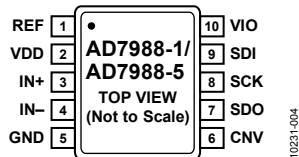
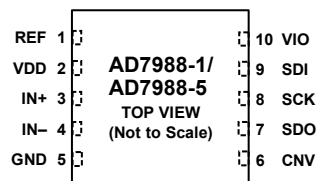


図 4.10 ピン MSOP のピン配置



NOTES
1. THE EXPOSED PAD CAN BE CONNECTED TO GND.

図 5.10 ピン LFCSP (QFN)のピン配置

表 6. ピン機能の説明

ピン番号	記号	タイプ ¹	説明
1	REF	AI	リファレンス電圧入力。V _{REF} 範囲は 2.4 V～5.1 V で、GND ピンを基準とします。GND ピンは、REF ピンの近くで 10 μF のコンデンサによりデカップリングする必要があります。
2	VDD	P	電源。
3	IN+	AI	アナログ入力。IN-を基準とします。例えば、電圧範囲は、IN+と IN-の間の電位差で 0 V～V _{REF} です。
4	IN-	AI	アナログ入力グラウンド・センス。アナログ・グラウンド・プレーンまたはリモート・センス・グラウンドに接続します。
5	GND	P	電源グラウンド。
6	CNV	DI	変換入力。この入力は複数の機能を持っています。前縁エッジで変換を開始し、デバイスのインターフェース・モード(チェーン・モード、またはCSモード)を選択します。CSモードでは、CNVがロー・レベルのとき、SDOピンがイネーブルされます。チェーン・モードでは、CNVがハイ・レベルのときにデータを読出す必要があります。
7	SDO	DO	シリアル・データ出力。変換結果がこのピンに出力されます。このピンは SCK に同期しています。
8	SCK	DI	シリアル・データ・クロック入力。デバイスが選択されたとき、変換結果がこのクロックでシフトアウトされます。
9	SDI	DI	シリアル・データ入力。この入力は複数の機能を持っています。これらのビットは、次のように ADC のインターフェース・モードを設定します。 CNV の立上がりエッジ時にこのピンがロー・レベルになると、チェーン・モードが選択されます。このモードでは、SDI はデータ入力として使用されて、複数の ADC の変換結果を 1 本の SDO ラインにディジーチェーン接続します。SDI のデジタル・データ・レベルが SDO に出力され、SCK の 16 サイクル分の遅延が加わります。 CNV の立上がりエッジ時に SDI がハイ・レベルになると、CSモードが選択されます。このモードでは、SDI または CNV がロー・レベルのとき、シリアル出力信号をイネーブルすることができます。
10	VIO	P	入出力インターフェースのデジタル電源。公称では、ホスト・インターフェース(1.8 V、2.5 V、3 V、5 V)と同じ電源。
	EP		エクスポーズド・パッド。エクスポーズド・パッドは GND に接続することができます。

¹AI=アナログ入力、DI=デジタル入力、DO=デジタル出力、P=電源。

用語

積分非直線性誤差(INL)

INL は、負側のフルスケールと正側のフルスケールを結ぶ直線と実際の各コードとの誤差として定義されます。負側フルスケールとして使用されるポイントは、最初のコード遷移より 1/2 LSB だけ下に存在します。正フルスケールは、最後のコード遷移より 1+1/2 LSB だけ上のレベルと定義されます。偏差は各コードの中央と直線との間の距離として測定されます(図 30 参照)。

微分非直線性誤差(DNL)

理論 ADC では、各コード遷移は 1 LSB だけ離れた位置で発生します。DNL は、この理論値からの最大偏差を意味します。この DNL は、ノーマス・コードが保証される分解能として規定されることもあります。

オフセット誤差

最初の変化はアナログ・グラウンドより 1/2 LSB 上のレベルで発生する必要があります(0~5 V 範囲の場合 38.1 μ V)。オフセット誤差は、そのポイントと実際の変化との差を意味します。

ゲイン誤差

最後の変化(111 ... 10→111 ... 11)は、公称フルスケール(0 V~5 V レンジの場合は 4.999886V)より 1.5 LSB 低いアナログ電圧で発生します。ゲイン誤差とは、オフセット調整後の理論レベルと最後の変化の実際レベルの差を意味します。

スプリアス・フリー・ダイナミックレンジ(SFDR)

SFDR は入力信号の rms 振幅値とピーク・スプリアス信号との差を意味し、dB 値で表します。

実効ビット数(ENOB)

ENOB は、正弦波を入力したときの分解能を表します。次式により、SINAD と関係します。

$$ENOB = (SINAD_{dB} - 1.76)/6.02$$

ビット数で表されます。

ノイズ・フリー・コード分解能

超えると、個々のコードが区別できなくなるビット数。次のように計算されます。

$$\text{ノイズ・フリー・コード分解能} = \log_2(2^N / \text{ピーク to ピーク・ノイズ})$$

ビット数で表されます。

実効分解能

次のように計算されます。

$$\text{実行分解能} = \log_2(2^N / \text{RMS 入力ノイズ})$$

ビット数で表されます。

全高調波歪み(THD)

THD とは、基本波から 5 次高調波部品までの rms 値の総和の、フルスケール入力信号の rms 値に対する比を意味し、デシベル値で表します。

ダイナミックレンジ

入力を短絡して測定した合計 rms ノイズに対するフルスケールの rms 値の比を表します。ダイナミックレンジの値は dB で表されます。すべてのノイズ・ソースと DNL 効果を含むように -60 dBFS の信号を使って測定します。

信号対ノイズ比(SNR)

SNR は、実際の入力信号 rms 値の、ナイキスト周波数より下の全スペクトル成分の rms 値総和から高調波成分と DC 成分を除いた分に対する比です。SNR の値は、dB で表されます。

信号対ノイズおよび歪み比(SINAD)

SINAD は、実際の入力信号 rms 値の、ナイキスト周波数より下の全スペクトル成分の rms 値総和(DC 以外の高調波を含む)に対する比です。SINAD の値は、dB で表されます。

アパーチャ遅延

アパーチャ遅延は、アキュジション性能を表します。CNV 入力の立上がりエッジから入力信号が変換用に保持されるまでの時間を表します。

過渡応答

フルスケールのステップ関数が入力された後に ADC が正確に入力を取得するまでに要する時間を表します。

代表的な性能特性

特に指定がない限り、 $V_{DD} = 2.5\text{ V}$ 、 $V_{REF} = 5.0\text{ V}$ 、 $V_{IO} = 3.3\text{ V}$ 。

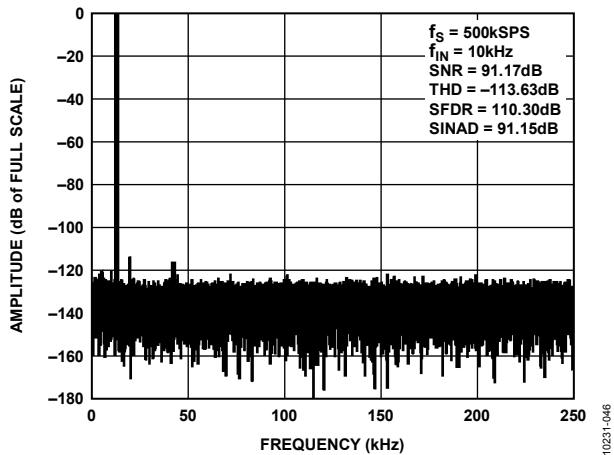


図 6. AD7988-5 FFTプロット、 $V_{REF} = 5\text{ V}$

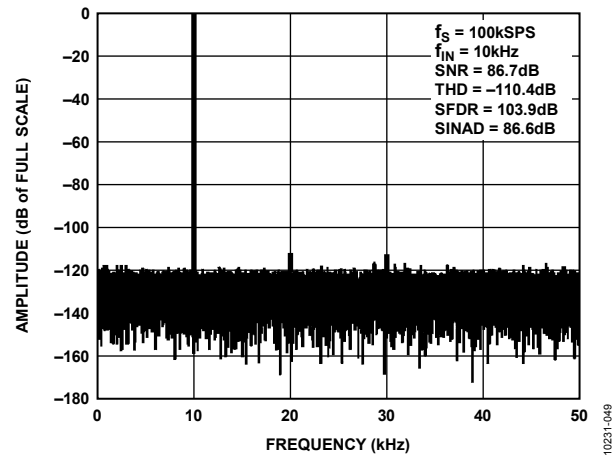


図 9. AD7988-1 FFTプロット、 $V_{REF} = 2.5\text{ V}$

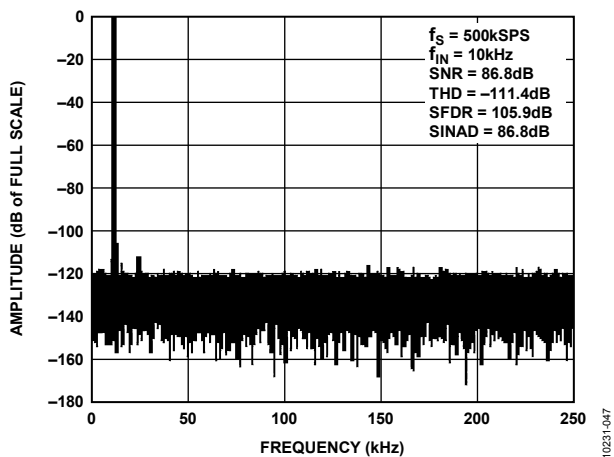


図 7. AD7988-5 FFTプロット、 $V_{REF} = 2.5\text{ V}$

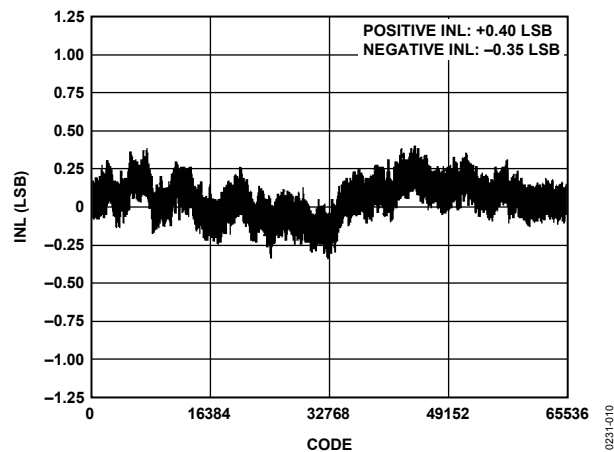


図 10. コード対積分非直線性、 $V_{REF} = 5\text{ V}$

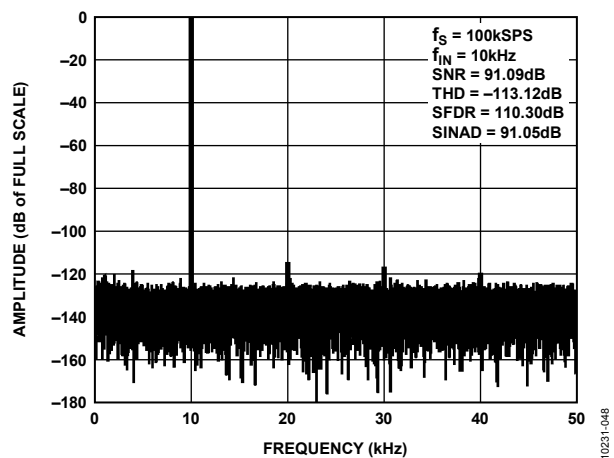


図 8. AD7988-1 FFTプロット、 $V_{REF} = 5\text{ V}$

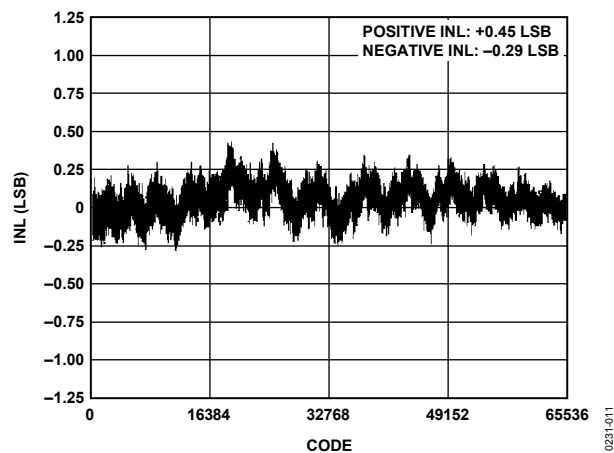


図 11. コード対積分非直線性、 $V_{REF} = 2.5\text{ V}$

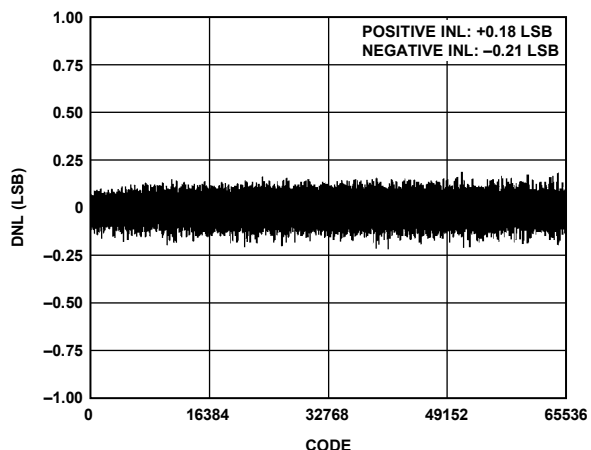


図 12.コード対微分非直線性、 $V_{REF} = 5V$

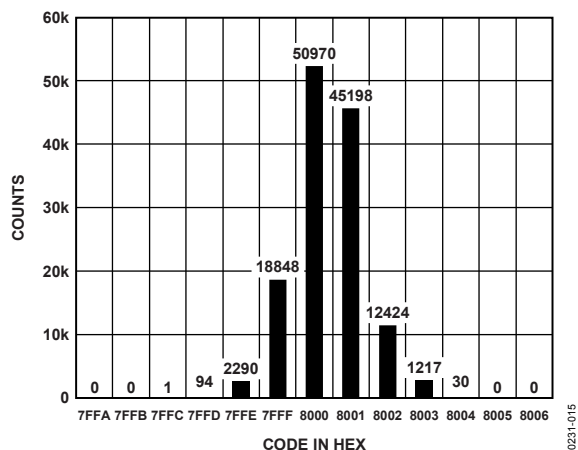


図 15.コード変化での DC 入力ヒストグラム、 $V_{REF} = 2.5V$

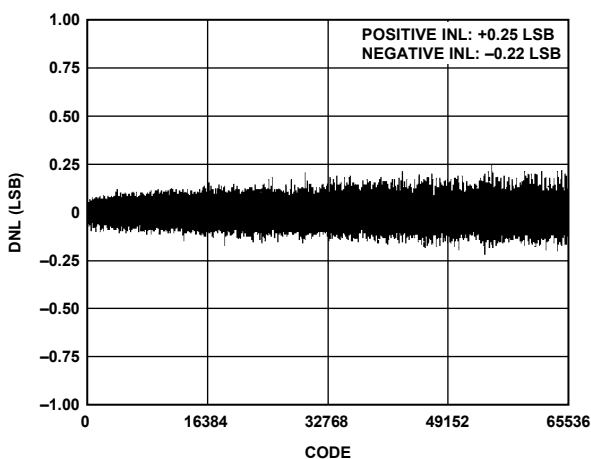


図 13.コード対微分非直線性、 $V_{REF} = 2.5V$

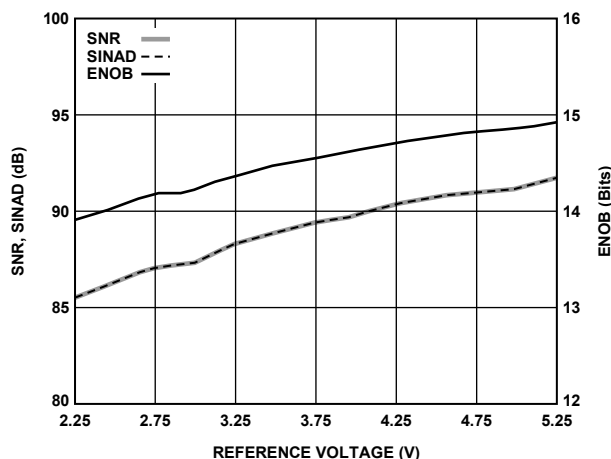


図 16.リファレンス電圧対 SNR、SINAD、ENOB

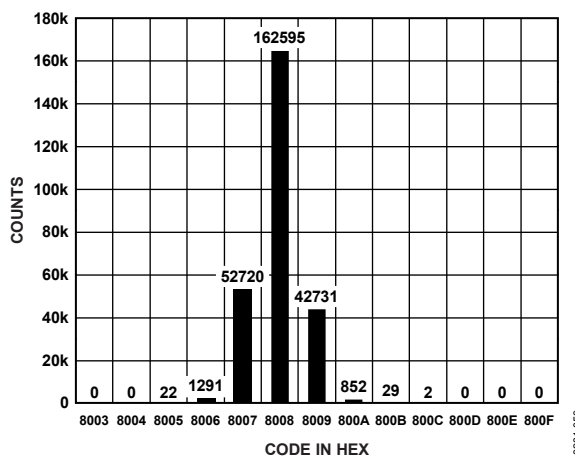


図 14.コード中心での DC 入力ヒストグラム、 $V_{REF} = 5V$

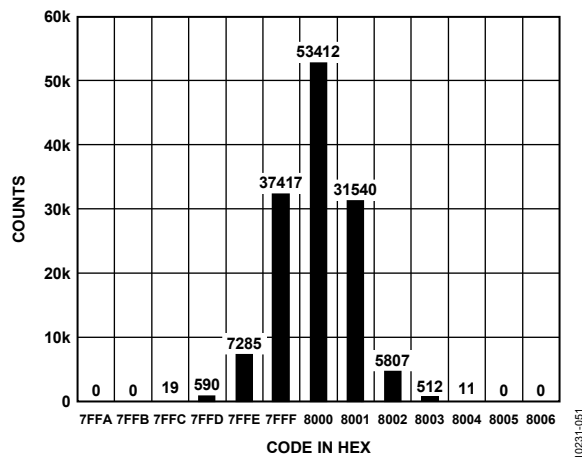


図 17.コード中心での DC 入力ヒストグラム、 $V_{REF} = 2.5V$

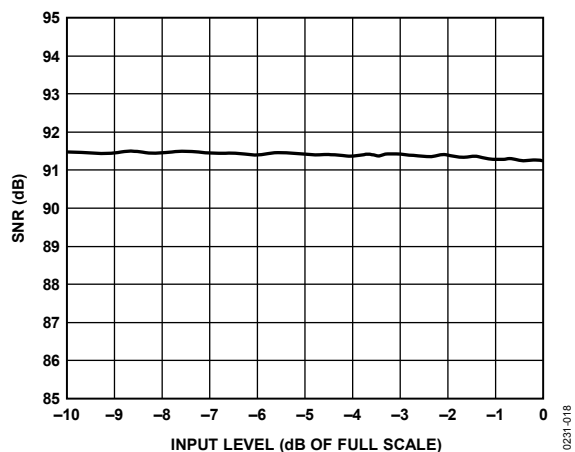


図 18.入力レベル対 SNR

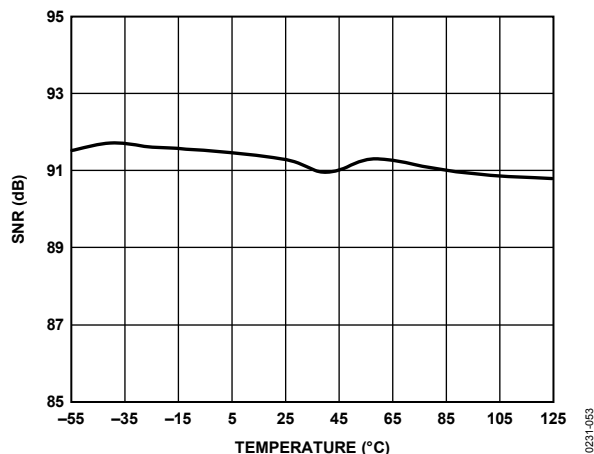


図 21.SNR の温度特性

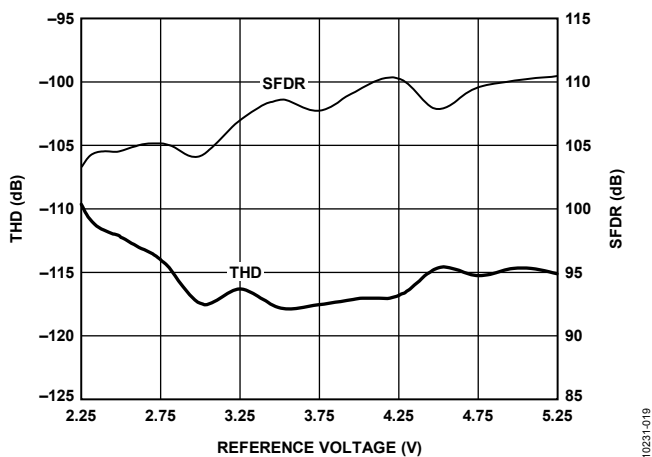


図 19.リファレンス電圧対 THD、SFDR

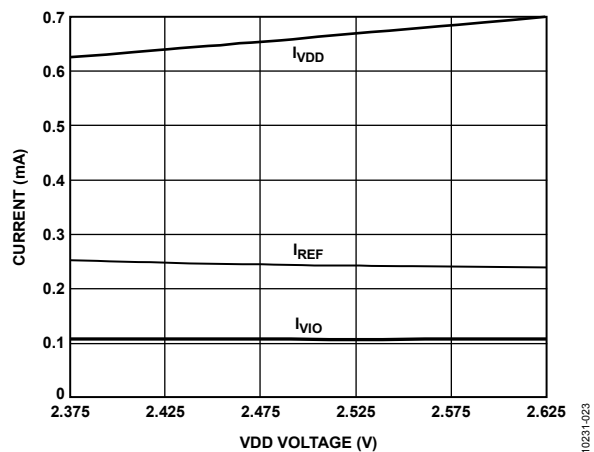


図 22.電源電圧対動作電流(AD7988-5)

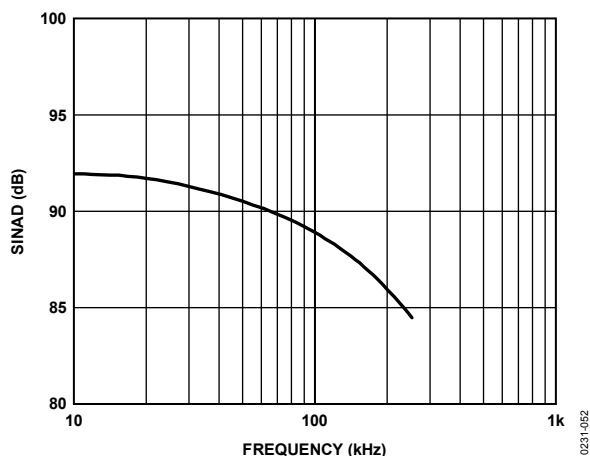


図 20.SINAD の周波数特性

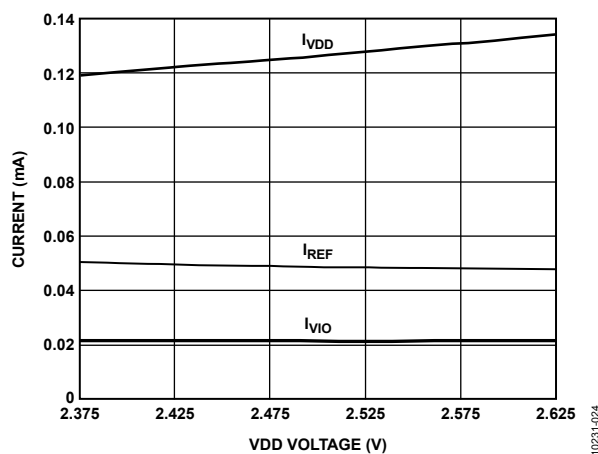


図 23.電源電圧対動作電流(AD7988-1)

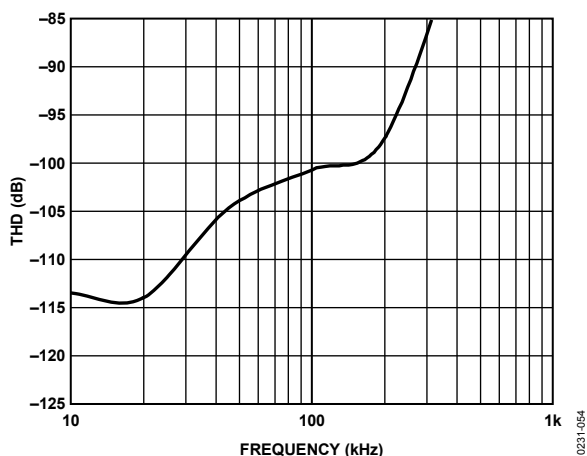


図 24.各周波数での THD

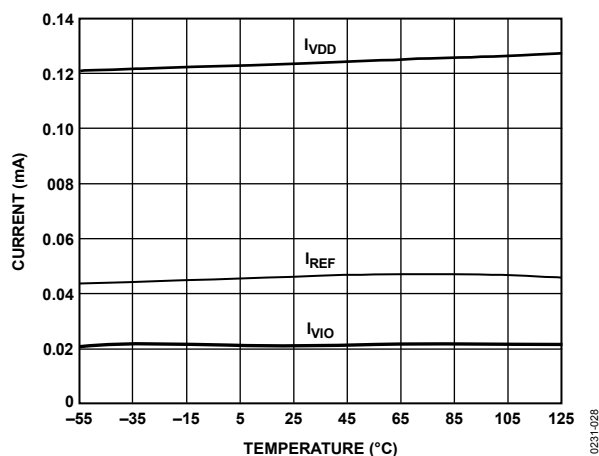


図 27.動作電流の温度特性 (AD7988-1)

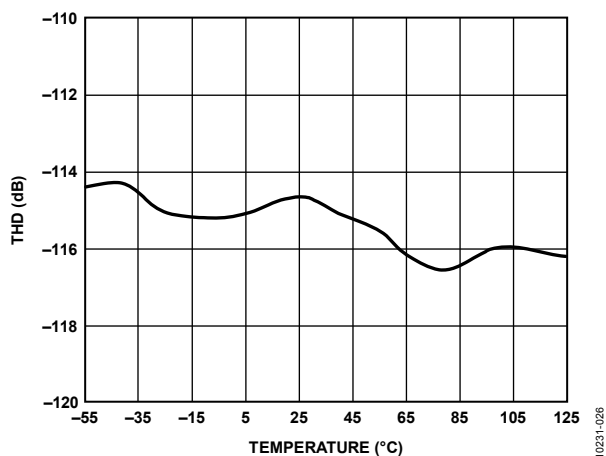


図 25.THD の温度特性

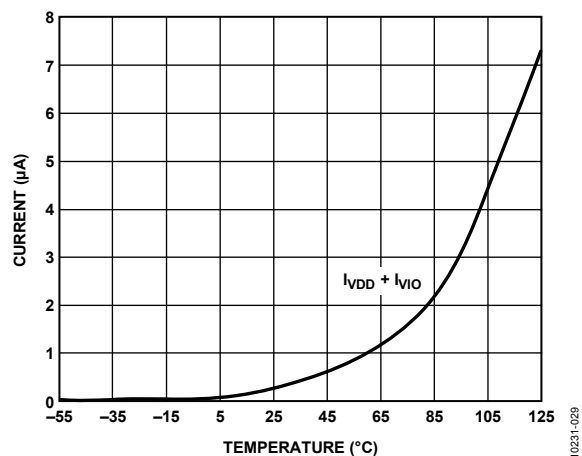


図 28.パワーダウン電流の温度特性

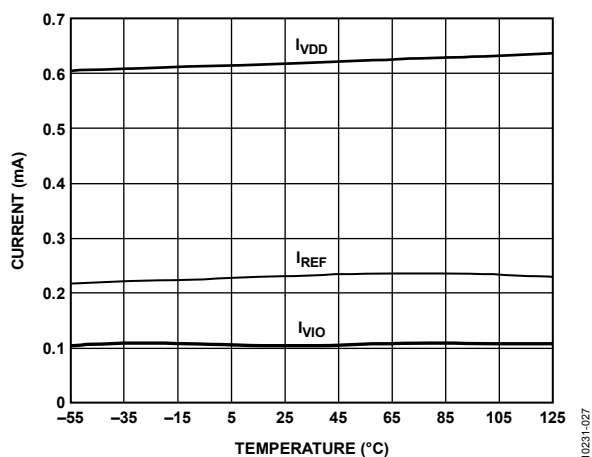


図 26.動作電流の温度特性(AD7988-5)

動作原理

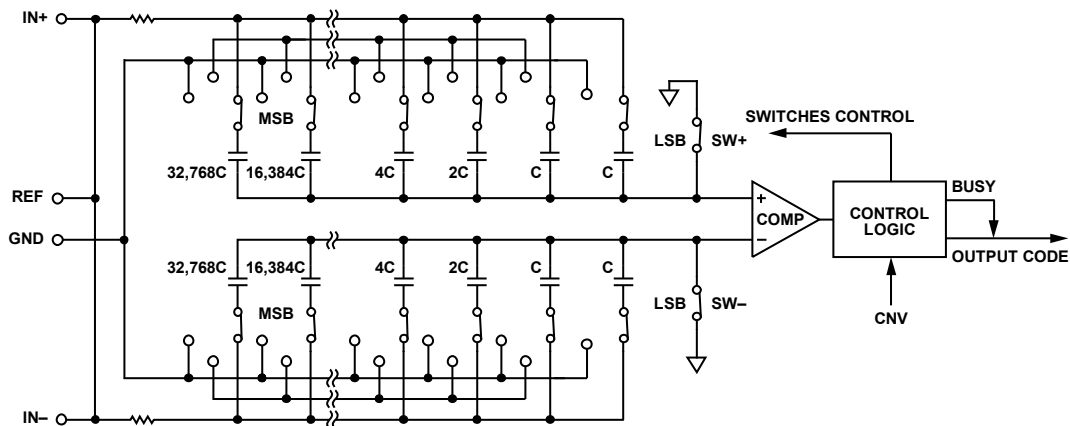


図 29.ADC の簡略化した回路図

回路説明

AD7988-1/AD7988-5 デバイスは、逐次比較型アーキテクチャを採用した、高速、低消費電力、単電源動作、高精度の 16 ビット ADC です。

AD7988-1 は毎秒 100,000 個のサンプルを変換することができます (100 kSPS)、AD7988-5 は 500 kSPS のスループットが可能で、さらに変換と変換の間にパワーダウンします。例えば、10 kSPS 動作時の ADC 消費電力が 70 μ W (typ) であるため、バッテリー駆動のアプリケーションに最適です。

AD7988-x はトラック・アンド・ホールドを内蔵し、パイプライン遅延またはレイテンシがないため、マルチプレクスされた複数チャンネルのアプリケーションに最適です。

AD7988-x は、1.8 V ~ 5 V のデジタル・ロジック・ファミリーにインターフェースすることができます。10 ピン MSOP パッケージまたは省スペースと柔軟な構成を兼ね備えた小型の 10 ピン LFCSP (QFN) パッケージを採用しています。

コンバータの動作

AD7988-x は、電荷再分配型 DAC を採用した逐次比較型 ADC です。図 29 に、ADC の簡略化した回路図を示します。容量を使用するこの DAC は、2 進数の重みを持った 16 個のコンデンサで構成される 2 個の同じアレイで構成されており、各アレイは 2 個のコンパレータ入力に接続されています。

アクイジション・フェーズでは、コンパレータ入力に接続されたアレイのピンは、SW+ と SW- を経由して GND に接続されます。独立なすべてのスイッチはアナログ入力に接続されます。したがって、コンデンサ・アレイはサンプリング・コンデンサとして使用されて、IN+ 入力と IN- 入力上のアナログ信号が取り込まれます。アクイジション・フェーズが終わり、CNV 入力が高レベルになると、変換フェーズが開始されます。変換フェーズが開始されると、まず SW+ と SW- が開きます。2 個のコンデンサ・アレイは入力から切り離されて、GND 入力に接続されます。そのため、アクイジション・フェーズの終わりに取り込まれた、入力 IN+ と IN- の間の差動電圧がコンパレータ入力に接続されて、コンパレータは平衡しなくなります。コンデンサ・アレイの各エレメントを GND と REF の間でスイッチングすることにより、コンパレータ入力を 2 進数重みの電圧ステップ ($V_{REF}/2$, $V_{REF}/4$... $V_{REF}/65,536$) で変えます。コントロール・ロジックがこれらのスイッチをトグルして (MSB から開始)、コンパレータが再度平衡するようにします。この処理が終了すると、デバイスはアクイジション・フェーズに戻り、コントロール・ロジックが ADC 出力コードを発生します。

AD7988-x は変換クロックを内蔵しているため、変換プロセスのためのシリアル・クロック、SCK は不要です。

伝達関数

AD7988-xの理論伝達特性を図30と表7に示します。

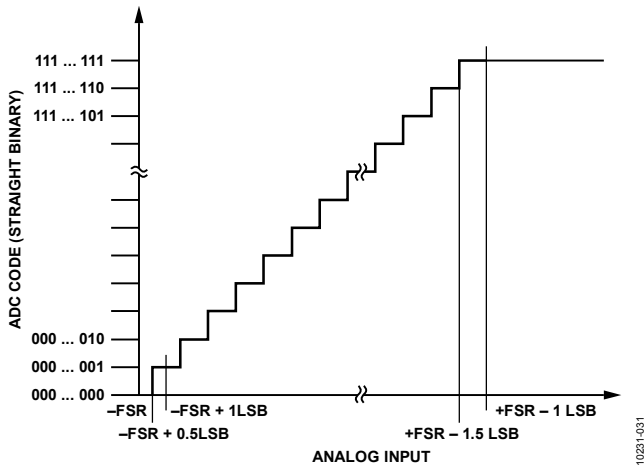


図30.ADCの理論伝達関数

表7.出力コードと理論入力電圧

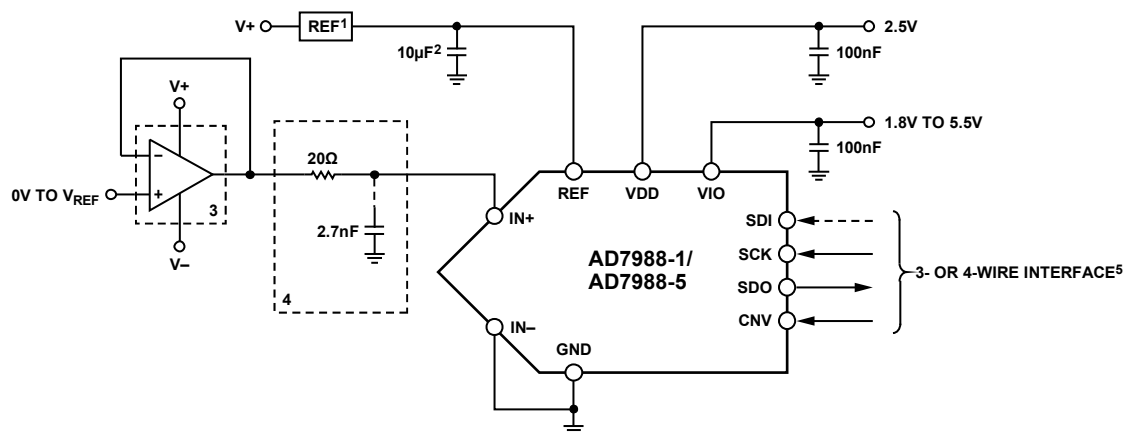
Description	Analog Input	
	$V_{REF} = 5V$	Digital Output Code (Hex)
FSR - 1 LSB	4.999924 V	FFFF ¹
Midscale + 1 LSB	2.500076 V	8001
Midscale	2.5 V	8000
Midscale - 1 LSB	2.499924 V	7FFF
-FSR + 1 LSB	76.3 μ V	0001
-FSR	0 V	0000 ²

¹これは、アナログ入力範囲より上($V_{REF} - V_{GND}$ より上の $V_{IN+} - V_{IN-}$)に対するコードでもあります。

²これは、アナログ入力範囲より下(V_{GND} より下の $V_{IN+} - V_{IN-}$)に対するコードでもあります。

代表的な接続図

図31に、複数の電源が使用可能な場合のAD7988-xの推奨接続図例を示します。



¹SEE THE VOLTAGE REFERENCE INPUT SECTION FOR REFERENCE SELECTION.

² C_{REF} IS USUALLY A 10 μ F CERAMIC CAPACITOR (X5R).

³SEE THE DRIVER AMPLIFIER CHOICE SECTION.

⁴OPTIONAL FILTER. SEE THE ANALOG INPUTS SECTION.

⁵SEE THE DIGITAL INTERFACE SECTION FOR THE MOST CONVENIENT INTERFACE MODE.

図31.複数の電源を使用する代表的なアプリケーション図

アナログ入力

図 32 に、AD7988-x のアナログ入力構造の等価回路を示します。ダイオード D1 と D2 は、アナログ入力 IN+ と IN- に対する ESD 保護用です。アナログ入力信号が電源レールより 0.3V 以上高くないよう注意する必要があります。これは、これらのダイオードが順方向にバイアスされて導通し始めるためです。これらのダイオードは、最大 130 mA の順方向バイアス電流を処理することができます。たとえば、この状態は入力バッファの電源が VDD と異なるときに発生します。このような場合(例えば入力バッファが短絡)、電流制限機能を使ってデバイスを保護することができます。

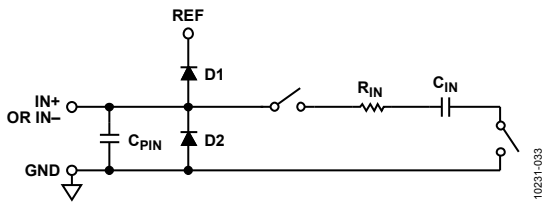


図 32. 等価アナログ入力回路

このアナログ入力構造を使うと、IN+ と IN- との間の差動信号のサンプリングが可能になります。この差動入力の採用により、両入力に共存する信号が除去されます。

アキュイジション・フェーズでは、アナログ入力(IN+ と IN-)のインピーダンスは、コンデンサ C_{PIN} と、R_{IN} および C_{IN} の直列接続の回路との並列組み合わせとしてモデル化することができます。C_{PIN} は主にピン容量です。R_{IN} は 400 Ω (typ) であり、直列抵抗とスイッチのオン抵抗から構成される集中定数です。C_{IN} は 30 pF (typ) であり、主に ADC サンプリング・コンデンサから構成されています。スイッチが開いている変換フェーズでは、入力インピーダンスは C_{PIN} に制限されます。R_{IN} と C_{IN} により、1 極のローパス・フィルタが構成されるため、不要な折り返し効果が削減され、ノイズが制限されます。

駆動回路のソース・インピーダンスが小さい場合は、AD7988-x を直接駆動することができます。ソース・インピーダンスが大きい場合には、AC 性能、特に THD が大きい影響を受けます。DC 性能は、入力インピーダンスからあまり影響を受けません。最大ソース・インピーダンスは、許容可能な THD の大きさに依存します。THD は、ソース・インピーダンスと最大入力周波数の関数として性能低下します。

ドライバ・アンプの選択

AD7988-x の駆動は簡単ですが、ドライバ・アンプは次の条件を満たす必要があります。

- AD7988-x の SNR 性能と遷移ノイズ性能を維持するためには、ドライバ・アンプが発生するノイズをできるだけ低く抑える必要があります。ドライバから発生するノイズは、AD7988-x アナログ入力回路の R_{IN} と C_{IN} から構成される 1 極ローパス・フィルタまたは外付けフィルタ(使用した場合)により除去されます。AD7988-x のノイズは 47.3 μV rms (typ) であるため、アンプに起因する SNR の性能低下は、次式で与えられます。

$$SNR_{LOSS} = 20 \log \left(\frac{47.3}{\sqrt{47.3^2 + \frac{\pi}{2} f_{-3dB} (Ne_N)^2}} \right)$$

ここで、

f_{-3dB} は MHz で表した AD7988-x の -3 dB 入力帯域幅(10 MHz)、すなわち入力フィルタ(使用した場合)のカットオフ周波数。N はアンプのノイズ・ゲイン(たとえばバッファ構成の場合は 1)。e_N は nV/√Hz で表したオペアンプの等価入力ノイズ電圧。

- AC アプリケーションの場合、ドライバは AD7988-x と釣り合う THD 性能を持つ必要があります。
- 多チャンネルをマルチプレクスするアプリケーションの場合、ドライバ・アンプと AD7988-x アナログ入力回路は、コンデンサ・アレイへのフルスケール・ステップに対して 16 ビット・レベル(0.0015%、15 ppm)でセトリングする必要があります。アンプのデータシートでは、一般に 0.1% ~ 0.01% でのセトリングが規定されています。16 ビット・レベルでのセトリング・タイムから大幅に異なることがあるため、ドライバを選択する前に確認する必要があります。

表 8. 推奨ドライバ・アンプ

Amplifier	Typical Application
ADA4841-1	Very low noise, small size, and low power
AD8021	Very low noise and high frequency
AD8022	Low noise and high frequency
OP184	Low power, low noise, and low frequency
AD8655	5 V single-supply, low noise
AD8605, AD8615	5 V single-supply, low power

リファレンス電圧入力

AD7988-xのリファレンス電圧入力REFは動の入力インピーダンスを持っています。このため、REF入力とGND入力との間を効果的にデカップリングした低インピーダンス・ソースから駆動する必要があります(レイアウトのセクション参照)。

REFを非常に小さいインピーダンス・ソースで駆動する場合は(たとえばAD8031またはAD8605を使用するリファレンス・バッファ)、セラミック・チップ・コンデンサは最適性能を得るために十分です。

バッファなしでリファレンス電圧を使う場合は、デカップリング値は使用するリファレンスに依存します。たとえば、22 μ Fのセラミック・チップ・コンデンサ(X5R、1206 サイズ)は、低温度ドリフトADR43xリファレンスを使って最適性能を得るために十分です。

必要な場合には、2.2 μ F までの小型なりファレンス・デカップリング・コンデンサ値を使うことができ、性能特にDNLへの影響は最小に抑えられます。

REFピンとGNDピンの間に小さい値のセラミック・デカップリング・コンデンサ(たとえば、100 nF)を追加する必要はありません。

電源

AD7988-xはコア電源(VDD)とデジタル入力/出力インターフェース電源(VIO)の2種類の電源ピンを使っています。VIOを使うと、1.8 V~5.0 Vで動作するロジックとの直接インターフェースが可能になります。必要な電源数を減らすときは、VIOとVDDを接続することができます。AD7988-xはVIOとVDDの間の電源シーケンスに依存しません。さらに、広い周波数範囲で電源変動に対して安定です(図 33 参照)。

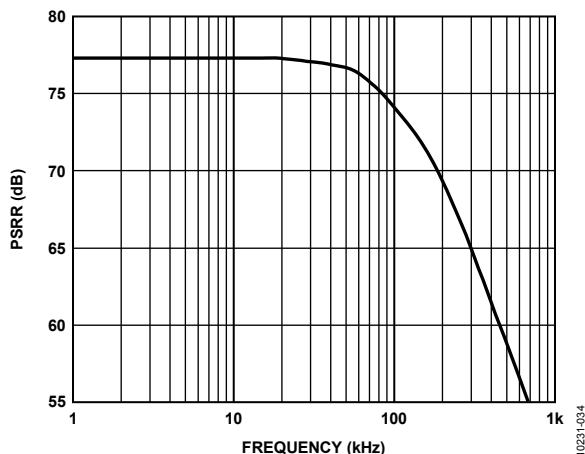


図 33.PSRR の周波数特性

最適性能を得るためには、VDD をリファレンス電圧入力(REF)の約 1/2 にする必要があります。たとえば、REF = 5.0 V の場合、VDD = 2.5 V ($\pm 5\%$)にする必要があります。REF = 2.5V かつ VDD = 2.5 V の場合、性能は表 2 の様に低下することがあります。

AD7988-xは各変換フェーズの終わりで自動的に消費電力を削減します。

デジタル・インターフェース

AD7988-xのピン数は少ないですが、シリアル・インターフェース・モードで柔軟性を提供します。

CSモードでは、AD7988-xはSPI、QSPI™、デジタル・ホストと互換性を持っています。このインターフェースでは、3 線式または 4 線式を使うことができます。CNV信号、SCK信号、SDO信号を使う 3 線式インターフェースは、配線数が少ないため、例えば、孤立しているアプリケーションで便利です。SDI信号、CNV信号、SCK信号、SDO信号を使う 4 線式インターフェースを使用すると、CNV(変換を開始します)をリードバック・タイミグ(SDI)に依存しないようにすることができます。この機能は、低ジッタ・サンプリング・アプリケーションまたは同時サンプリング・アプリケーションで便利です。

AD7988-xをチェーン・モードで使うと、シフトレジスタに似たシングル・データライン上での複数のADCのカスケード接続に対して、SDI入力を使うディジーチェーン機能を提供することができます。

デバイスが動作するモードは、CNVの立上がりエッジ時のSDIのレベルで決定されます。SDIがハイ・レベルのときCSモードが、SDIがロー・レベルときチェーン・モードが、それぞれ選択されます。SDIホールド・タイムにより、SDIとCNVが接続されているとき、チェーン・モードが選択されるようになります。

リードバックの前に最大変換時間の経過を待たなければなりません。

CS モード、3 線式

このモードは、1 個のAD7988-xをSPI互換のデジタル・ホストに接続する際に使用されます。接続図を図 34 に、対応するタイミングを図 35 に、それぞれ示します。

SDIとVIOを接続した状態では、CNVの立上がりエッジで変換が開始され、CSモードが選択され、SDOはハイ・インピーダンスになります。変換が完了すると、AD7988-xはアクイジション・フェーズに入りパワーダウンします。

CNV がロー・レベルになると、MSB が SDO に出力されます。残りのデータビットは、後続の SCK の立下がりエッジで出力されます。データは、両 SCK エッジで有効です。立上がりエッジを使ってデータを取込むことができますが、SCK の立下がりエッジを使うデジタル・ホストを使うと、ホールド・タイムが許容できる限り、高速な読出しレートが可能になります。16 番目の SCK 立下がりエッジの後、または CNV がハイ・レベルになったときのいずれか早い方で、SDO はハイ・インピーダンスに戻ります。

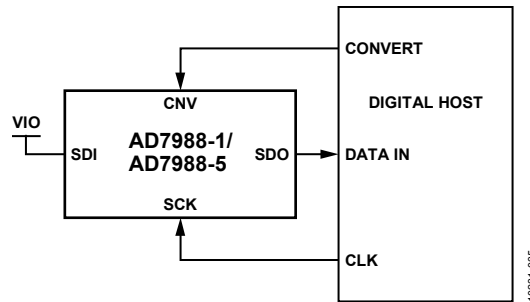


図 34.3 線式CSモードの接続図

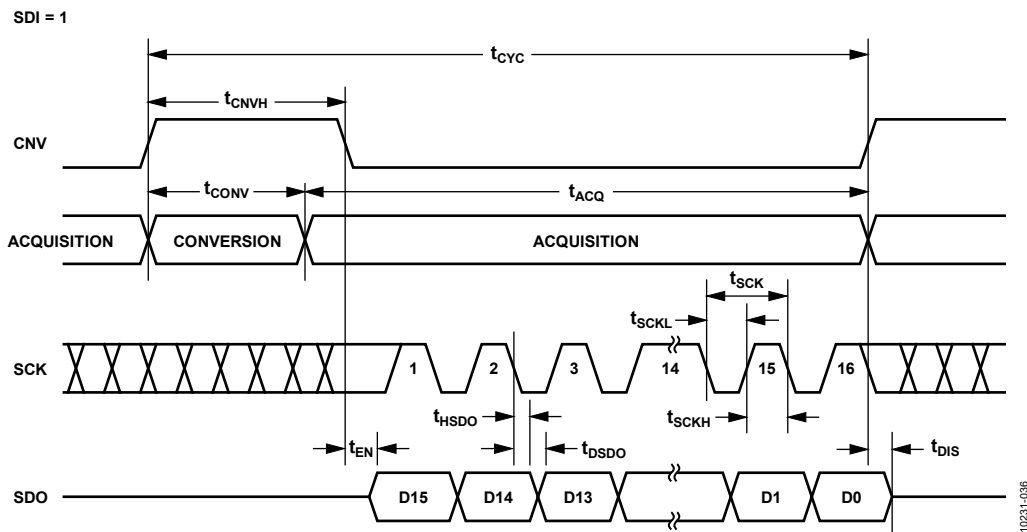


図 35.3 線式CSモード・シリアル・インターフェースのタイミング(SDIハイ・レベル)

CS モード 4 線式

このモードは、複数のAD7988-xデバイスを1つのSPI互換デジタル・ホストに接続する際に使用します。

2個のAD7988-xデバイスを使った接続図を図36に、対応するタイミングを図37に、それぞれ示します。

SDIにハイ・レベルを入力した状態では、CNVの立上がりエッジで変換が開始され、CSモードが選択され、SDOはハイ・インピーダンスになります。このモードでは、変換フェーズとそれに続くデータ・リードバックの間、CNVをハイ・レベルに維持する必要があります(SDIとCNVがロー・レベルの場合、SDOはロー・レベルに駆動されます)。最小変換時間の前に、SDIを使ってアナログ・マルチプレクサのような他のSPIデバイスを選択することができますが、最小変換時間の前にSDIがハイ・レベルに戻り、最大変換時間の間ハイ・レベルを維持する必要があります。

変換が完了すると、AD7988-xはアキュイジション・フェーズに入りパワーダウンします。SDI入力にロー・レベルを入力すると、各ADCの変換結果を読むことができ、MSBがSDOへ出力されます。残りのデータビットは、後続のSCKの立下がりエッジで出力されます。データは、両SCKエッジで有効です。立上がりエッジを使ってデータを取込むことができますが、SCKの立下がりエッジを使うデジタル・ホストを使うと、ホールド・タイムが許容できる限り、高速な読出しレートが可能になります。16番目のSCK立下がりエッジの後、またはSDIがハイ・レベルになったときのいずれか早い方で、SDOはハイ・インピーダンスに戻り、もう一方のAD7988-xを読むことができますようになります。

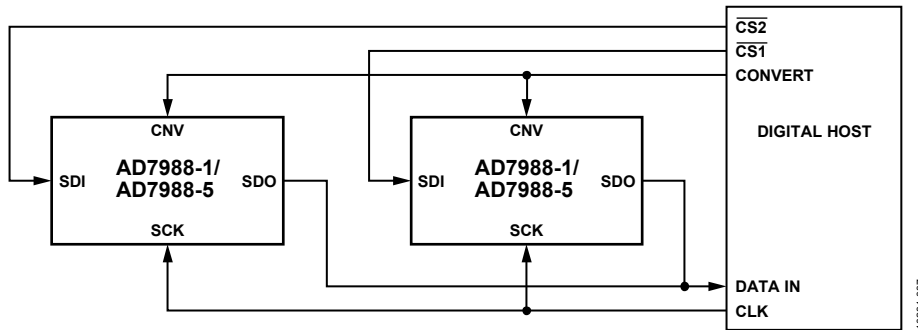


図 36.4 線式CSモードの接続図

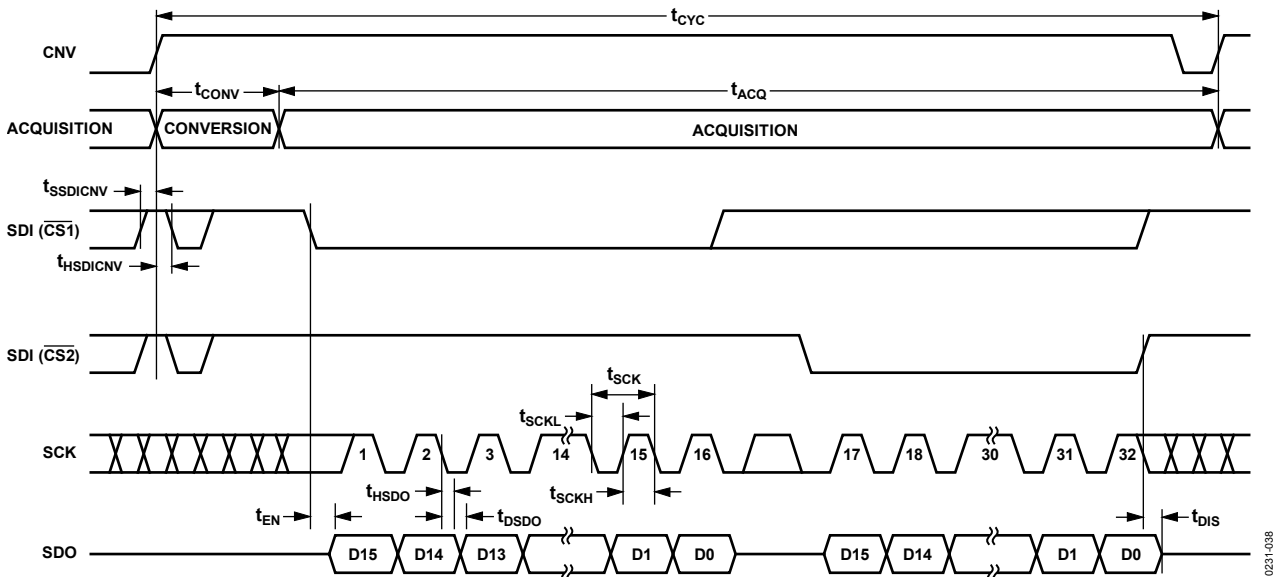


図 37.4 線式CSモードのシリアル・インターフェース・タイミング

チェーン・モード

このモードを使って、3線式シリアル・インターフェースに複数のAD7988-xをディジーチェーン接続することができます。この機能は部品数と接続配線数の削減に役立ちます。たとえば、孤立した複数のコンバータを使用するアプリケーションまたはインターフェース能力が制限されているシステムではこの接続が使用されます。データのリードバックは、シフトレジスタをクロック駆動するのに似ています。

2個のAD7988-xデバイスを使った接続図を図38に、対応するタイミングを図39に、それぞれ示します。

SDIとCNVをロー・レベルにすると、SDOがロー・レベルに駆動されます。SCKがロー・レベルのとき、CNVの立上がりエッジで変換が開始され、チェーン・モードが選択されます。このモードでは、変換フェーズとそれに続くデータ・リードバック

の間、CNVがハイ・レベルに維持されます。変換が完了すると、MSBがSDOに出力され、AD7988-xはアキュイジション・フェーズに入りパワーダウンします。内部シフトレジスタに保存されている残りのデータビットは、後続のSCKの立下がりエッジで出力されます。各ADCで、SDIが内部シフトレジスタの入力に接続され、SCKの立下がりエッジでクロック駆動されます。チェーン内の各ADCはデータをMSBファーストで出力し、N個のADCをリードバックするためには $16 \times N$ 個のクロックが必要です。データは、両SCKエッジで有効です。立上がりエッジを使ってデータを取込むことができますが、SCKの立下がりエッジを使うデジタル・ホストを使うと、ホールド・タイムが許容できる限り、高速な読出しレートが可能になり、かつチェーン内のAD7988-x数を増やすことができます。最大変換レートは、合計リードバック時間により低下することがあります。

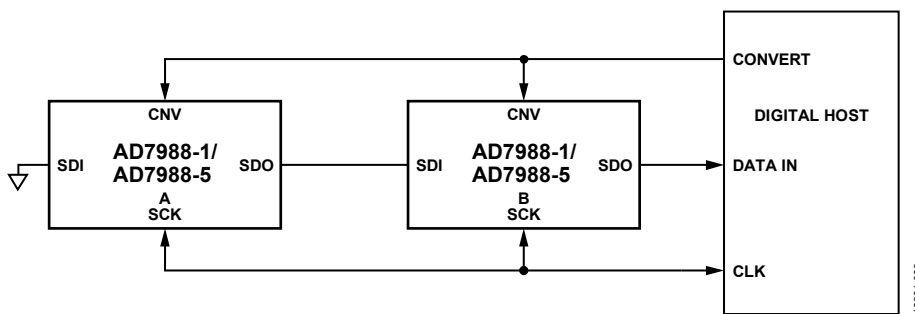


図 38.チェーン・モードの接続図

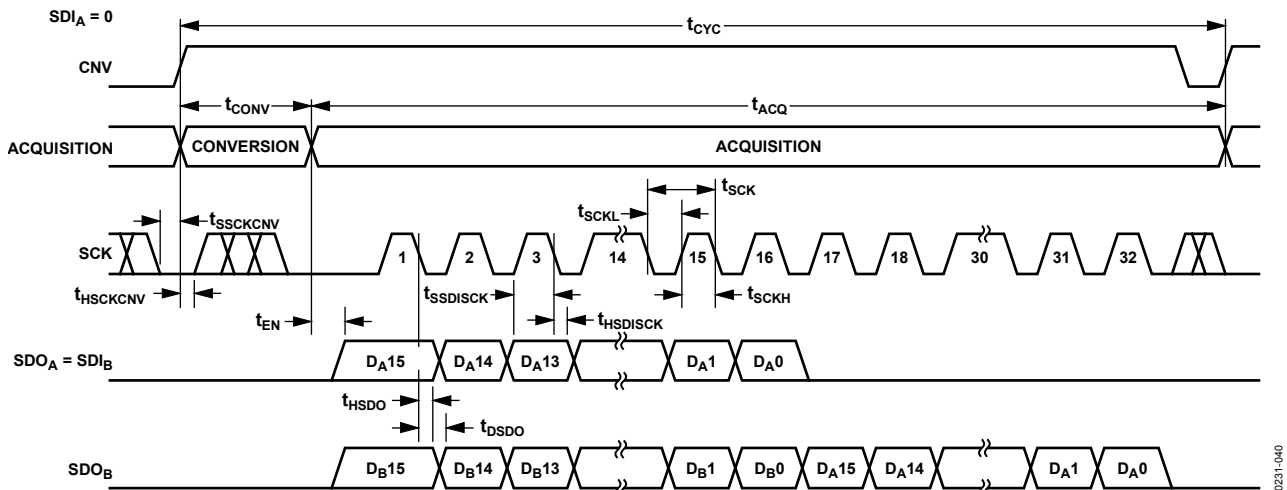


図 39.チェーン・モードのシリアル・インターフェース・タイミング

アプリケーション情報

Blackfin® DSPに対するインターフェース

AD7988-xは容易にDSPのSPIまたはSPORTへ接続することができます。SPIの設定は、標準のSPIインターフェースを使って容易に行うことができます(図 40 参照)。

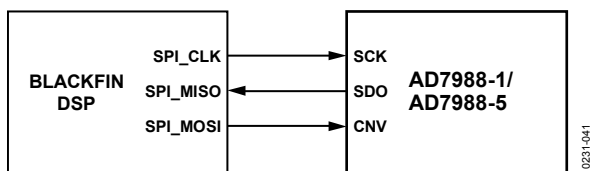


図 40. Blackfin SPI インターフェースへの代表的な接続

同様に、SPORT インターフェースを使ってこの ADC へインターフェースすることができます。SPORT インターフェースの使用には、ダイレクト・メモリ・アクセス(DMA)を使って低ジッタのCNV 信号をハードウェア・カウンタで発生するなどの利点があります。

SPORTとAD7988-xインターフェースの間に外付けロジックが必要となる場合があります。AD7988-xの評価用ボードは、Blackfin採用SDPボード(ADSP-BF-527)のSPORTへ直接インターフェースします。SPORTインターフェースに対する構成では、外付けロジックの追加が必要です(図 41 参照)。ADCへのSCK入力を、CNVがハイ・レベルのときゲーティングしてオフにし、データの変換中SCKラインを静止させて、最適な変換結果が得られるようにします。この方法では、SCKパスにANDゲートとNOTゲートを使用します。RSCLKパスとRFSパスで使用するその他のロジック・ゲートは、遅延を一致させるためのもので、パスが短い場合は不要です。

この方法は、この ADC に対して SPORT インターフェースを使用する 1 つの方法ですが、この方法と同じ機能の他のソリューションもあります。

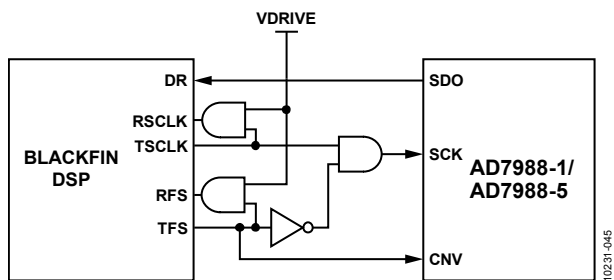


図 41. Blackfin Sport インターフェースに対する評価用ボードの接続

レイアウト

AD7988-xを実装するプリント回路ボードは、アナログ部とデジタル部を分離して、ボード内でそれぞれをまとめて配置するようにデザインする必要があります。AD7988-xのピン配置では、すべてのアナログ信号を左側に、すべてのデジタル信号を右側に配置しているため、この作業が容易になります。

AD7988-xの下のグラウンド・プレーンがシールドして使われてない限り、ノイズがチップに混入するので、デバイスの真下をデジタル・ラインが通過しないようにしてください。CNVやクロックのような高速なスイッチング信号は、アナログ信号パスの近くを絶対に通らないようにしてください。デジタル信号とアナログ信号の交差は回避する必要があります。

少なくとも 1 枚のグラウンド・プレーンを使用することが推奨されます。デジタル部とアナログ部に共通または分けて使うことができます。後者の場合、各プレーンはAD7988-xの下で接続する必要があります。

AD7988-xの電圧リファレンス入力REFは動的入力インピーダンスを持っています。リファレンス電圧のデカップリング・セラミック・コンデンサをREFピンとGNDピンの近くに、理想的には直接に接続して、寄生インダクタンスを小さくしてREFをデカップリングし、太い低インピーダンスのパターンで両ピンを接続してください。

最後に、AD7988-xの電源(VDDとVIO)はAD7988-xの近くに配置したセラミック・コンデンサ(一般に 100 nF)でデカップリングし、低インピーダンス・パスを提供する短く太いパターンで接続して、電源ライン上のグリッチの影響を軽減します。

図 42 と図 43 に、これらのルールに則ったレイアウトの例を示します。

AD7988-Xの性能評価

AD7988-x評価用ボード(EVAL-AD7988-5SDZ)の梱包には、組み立て/テスト済みの評価用ボード、ドキュメント、EVAL-SDP-CBIZを介してPCからボードを制御するソフトウェアが添付されています。

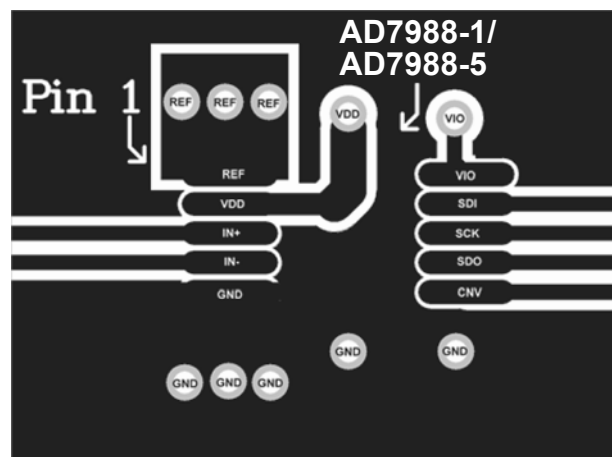


図 42. AD7988-xのレイアウト例(表面)

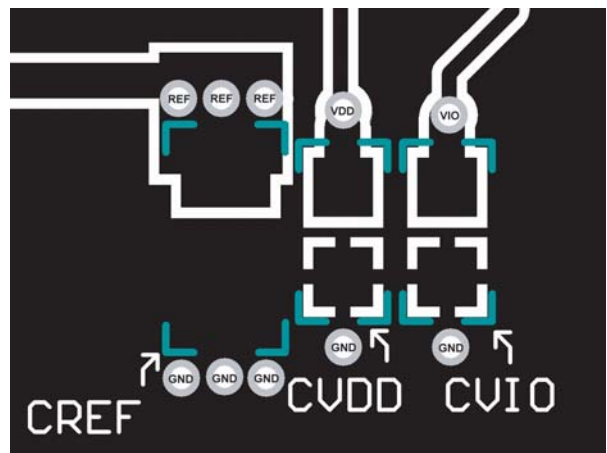
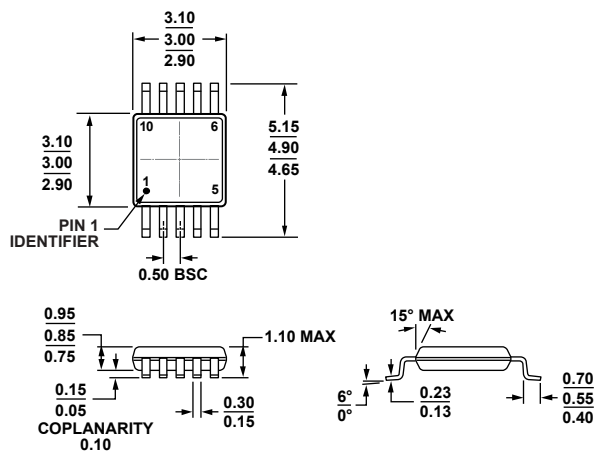


図 43. AD7988-xのレイアウト例(裏面)

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-187-BA

図 44.10 ピン・ミニモールド・アウトライン・パッケージ[MSOP] (RM-10)
寸法: mm

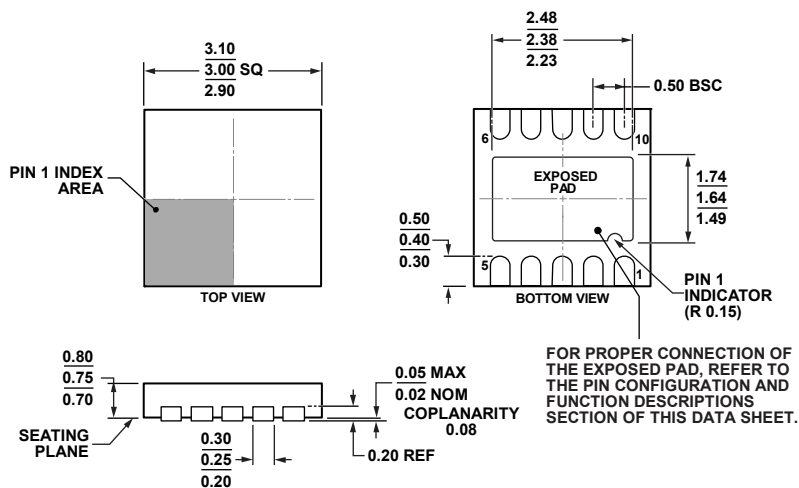


図 45.10 ピン・リードフレーム・チップ・スケール・パッケージ[QFN (LFCSP_WD)]
3 mm × 3 mm ボディ、超極薄デュアル・ピン(CP-10-9)
寸法: mm

オーダー・ガイド

Model ¹	Notes	Integral Nonlinearity	Temperature Range	Ordering Quantity	Package Description	Package Option	Branding
AD7988-1BRMZ		±1.25 LSB max	-40°C to +125°C	Tube, 50	10-Lead MSOP	RM-10	C7E
AD7988-1BRMZ-RL7		±1.25 LSB max	-40°C to +125°C	Reel, 1,000	10-Lead MSOP	RM-10	C7E
AD7988-1BCPZ-RL		±1.25 LSB max	-40°C to +125°C	Reel, 5,000	10-Lead QFN (LFCSP_WD)	CP-10-9	C7X
AD7988-1BCPZ-RL7		±1.25 LSB max	-40°C to +125°C	Reel, 1,500	10-Lead QFN (LFCSP_WD)	CP-10-9	C7X
AD7988-5BRMZ		±1.25 LSB max	-40°C to +125°C	Tube, 50	10-Lead MSOP	RM-10	C7Q
AD7988-5BRMZ-RL7		±1.25 LSB max	-40°C to +125°C	Reel, 1,000	10-Lead MSOP	RM-10	C7Q
AD7988-5BCPZ-RL		±1.25 LSB max	-40°C to +125°C	Reel, 5,000	10-Lead QFN (LFCSP_WD)	CP-10-9	C7Y
AD7988-5BCPZ-RL7		±1.25 LSB max	-40°C to +125°C	Reel, 1,500	10-Lead QFN (LFCSP_WD)	CP-10-9	C7Y
EVAL-AD7988-5SDZ	²				Evaluation Board with AD7988-5 Populated; Use for Evaluation of Both AD7988-1 and AD7988-5.		
EVAL-SDP-CB1Z	³				System Demonstration Board, Used as a Controller Board for Data Transfer via USB Interface to PC.		

¹ Z = RoHS 準拠製品。² これは単独の評価用ボードとして、または評価/デモ目的のEVAL-SDZ-CB1Zと組み合わせて、使用することができます。³ このボードを使うと、PCからの制御とSDサフィックスが付くすべてのアナログ・デバイセズ評価用ボードとの通信が可能です。