



高温動作、16ビット、600 kSPS PULSAR® ADC

データシート

AD7981

特長

超高温動作：

仕様温度範囲：-55°C~+175°C

高性能

ノーミッシング・コードが保証された 16 ビット分解能
待ち時間/パイプライン遅延のない 600kSPS スループット
SNR：1 kHz の入力周波数で 91 dB(typ)
THD：1 kHz の入力周波数で-102 dB(typ)
INL：±2.0LSB(max) DNL：±0.9LSB(max)

低消費電力：

600 kSPS で 2.25mW(typ) (VDD のみ)
600 kSPS で 4.65 mW(typ) (合計)
10kSPS で 70μW(typ)

•小型フットプリント

10 ピン、3 mm × 5 mm、単一金属ワイヤボンディング
MSOP

擬似差動アナログ入力範囲

0 V~V_{REF} (V_{REF} は 2.4~5.1V)

使いやすさ

1.8 V/2.5 V/3 V/5 V ロジック・インターフェースで 2.5V 単電源で動作

SPI-/QSP-/MICROWIRE-/DSP 互換デジタル・インターフェース

複数 ADC のディジーチェーン接続と BUSY 表示

アプリケーション

地下穴掘削と地下穴用計測器

航空電子機器

重工業用機器

高温環境下でのモニタリング

概要

AD7981¹ は、高温動作用に設計された 16 ビット、逐次比較型のアナログ・デジタル・コンバータ (ADC) です。AD7981 は、単電源 VDD で低消費電力を維持しながら最大 600 kSPS のサンプリング・レートが可能です。高速スループット、高精度、高温で動作する逐次比較型(SAR)ADC で、汎用シリアル・ポート・インターフェース(SPI)を備え、小型パッケージに収容されています。

AD7981 は、CNV の立ち上がりエッジで、グラウンドセンス (IN-) に対してアナログ入力信号 IN+(0V~REF)をサンプリングします。リファレンス電圧(REF)は、外部から与えられ、電源電圧(VDD)とは独立に設定できます。AD7981 の消費電力は、スループットに正比例します。

また、SPI 互換シリアル・インターフェースは、SDI 入力を使用して 1 つの 3 線式バス上に複数の ADC をディジーチェーン 1 米国特許 No. 6,703,961 により保護されています。

代表的なアプリケーション回路

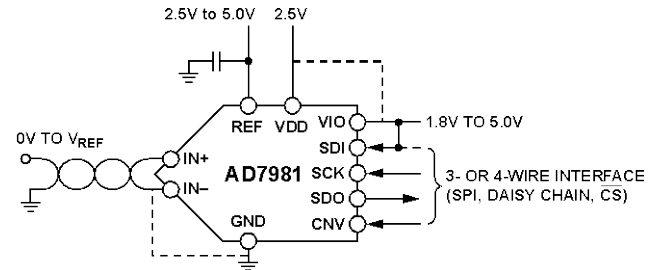


図 1.

42.

接続する機能を備え、またオプションとして BUSY を表示することができます。別電源 VIO を使って、1.8 V、2.5 V、3 V、または 5 V ロジックとインターフェースすることができます。

スペースに制約のあるアプリケーションのために、AD7981 は、10 ピン、ミニ・スモールアウトラインパッケージ(MSOP)を採用し、-55°C~+175°Cの動作仕様となっています。このパッケージは、超高温でもたえられるように設計されており、単一金属ワイヤボンディングを採用し、最高温度定格で最大 1000 時間の動作試験が行われています。

AD7981 は、アナログ・デバイセズ社によって提供されている高温品質評価製品シリーズの 1 つです。現在入手可能な高温製品の全製品については、高温製品リストを参照してください。また品質評価データは www.analog.com/hightemp で入手可能です。

Rev. 0

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。仕様は予告なく変更されることがあります。アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗黙的に許諾するものではありません。商標および登録商標は、それぞれの所有者の財産です。
©2015 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー
電話 06 (6350) 6868

目次

特長.....	1	アナログ入力.....	15
アプリケーション.....	1	ドライバ・アンプの選択.....	15
代表的なアプリケーション回路.....	1	電圧リファレンス入力.....	16
概要.....	1	電源電圧.....	16
改訂履歴.....	2	デジタル・インターフェース.....	16
仕様.....	3	$\overline{\text{CS}}$ モード 3 線式、BUSY 表示なし.....	17
タイミング仕様.....	5	$\overline{\text{CS}}$ モード 3 線式、BUSY 表示あり.....	18
絶対最大定格.....	6	$\overline{\text{CS}}$ モード 4 線式、BUSY 表示なし.....	19
ESD の注意.....	6	$\overline{\text{CS}}$ モード 4 線式、BUSY 表示あり.....	20
ピン配置およびピン機能説明.....	7	チェーン・モード、BUSY 表示なし.....	21
代表的な性能特性.....	8	チェーン・モード、BUSY 表示あり.....	22
用語.....	12	アプリケーション情報.....	23
動作原理.....	13	プリント回路基板(PCB)レイアウト.....	24
回路説明.....	13	外形寸法.....	25
代表的な接続図.....	14	オーダー・ガイド.....	25

改訂履歴

10/14—REVISION 0:初版

仕様

特に指定しない限り、VDD=2.5V、VIO = 2.3V~5.5V、VREF = 5V、TA = -55°C~+175°C

表 1.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
RESOLUTION		16			Bits
ANALOG INPUT					
Voltage Range	IN+ – IN–	0		VREF	V
Absolute Input Voltage	IN+	-0.1		VREF + 0.1	V
	IN–	-0.1		+0.1	V
Analog Input Common-Mode Rejection Ratio (CMRR)	fIN = 100 kHz		60		dB
Leakage Current at 25°C	Acquisition phase		1		nA
Input Impedance		See the Analog Input section			
ACCURACY					
No Missing Codes		16			Bits
Differential Nonlinearity	VREF = 5 V	-0.9	±0.4	+0.9	LSB ¹
	VREF = 2.5 V		±0.5		LSB ¹
Integral Nonlinearity	VREF = 5 V	-2.0	±0.7	+2.0	LSB ¹
	VREF = 2.5 V		±0.6		LSB ¹
Transition Noise	VREF = 5 V		0.75		LSB ¹
	VREF = 2.5 V		1.2		LSB ¹
Gain Error ²	TMIN to TMAX		±2		LSB ¹
Gain Error Temperature Drift			±0.35		ppm/°C
Zero Error ²	TMIN to TMAX	-1	±0.08	+1	mV
Zero Temperature Drift			0.45		ppm/°C
Power Supply Sensitivity	VDD = 2.5 V ± 5%		±0.1		LSB ¹
THROUGHPUT					
Conversion Rate		0		600	kSPS
Transient Response	Full-scale step			290	ns
AC ACCURACY ³					
Dynamic Range	VREF = 5 V		92		dB
	VREF = 2.5 V		87		dB
Oversampled Dynamic Range ⁴	OSR = 256		110		dB
Signal-to-Noise Ratio (SNR)	fIN = 1 kHz, VREF = 5 V	89	91		dB
	fIN = 1 kHz, VREF = 2.5 V		86		dB
Spurious-Free Dynamic Range (SFDR)	fIN = 1 kHz		104		dB
Total Harmonic Distortion (THD)	fIN = 1 kHz		-102		dB
Signal-to-Noise-and-Distortion (SINAD)	fIN = 1 kHz, VREF = 5 V		90.5		dB
	fIN = 1 kHz, VREF = 2.5 V		85.5		dB

¹ LSB=1 ビット。入力範囲が 5 V の場合、1LSB = 76.3μV。

² (用語のセクションを参照)。これらの仕様には、すべての温度範囲の変動が含まれますが、外部リファレンス電圧の変動による影響は含まれません。

³ すべての AC 精度仕様 (dB) は、入力フル・スケール範囲(FSR)と呼ばれます。特に指定しない限り、フル・スケールより 0.5 dB 低い入力信号でテストされます。

⁴ オーバーサンプリングされたダイナミック・レンジは、ADC 出力 FFT で DC から最大 fs/(2×OSR)まで測定されたノイズパワー(小入力用)に対するピーク信号パワーの比率です。ここで、fsは、ADC サンプル・レート、OSRは、オーバーサンプリング比です。

特に指定しない限り、VDD=2.5V、VIO = 2.3V~5.5V、VREF = 5V、TA = -55°C~+175°C

表 2.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
REFERENCE					
Voltage Range		2.4		5.1	V
Load Current	600 kSPS, VREF = 5 V		330		μA
SAMPLING DYNAMICS					
-3 dB Input Bandwidth			10		MHz
Aperture Delay	VDD = 2.5 V		2.0		ns
DIGITAL INPUTS					
Logic Levels					
VIL	VIO > 3 V	-0.3		0.3 × VIO	V
	VIO ≤ 3 V	-0.3		0.1 × VIO	V
VIH	VIO > 3 V	0.7 × VIO		VIO + 0.3	V
	VIO ≤ 3 V	0.9 × VIO		VIO + 0.3	μA
IIL		-1		+1	μA
IIH		-1		+1	μA
DIGITAL OUTPUTS					
Data Format		Serial 16 bits straight binary			
Pipeline Delay		Conversion results available immediately after completed conversion			
VOL	ISINK = 500 μA			0.4	V
VOH	ISOURCE = -500 μA	VIO - 0.3			V
POWER SUPPLIES					
VDD		2.375	2.5	2.625	V
VIO	Specified performance	2.3		5.5	V
VIO Range		1.8		5.5	V
Standby Current ^{1,2}	VDD and VIO = 2.5 V		0.35		μA
Power Dissipation					
Total	VDD = 2.625 V, VREF = 5 V, VIO = 3 V		70		μW
	10 kSPS		4.65	7.0	mW
	600 kSPS		2.25		mW
VDD Only	600 kSPS		1.5		mW
REF Only	600 kSPS		0.9		mW
VIO Only	600 kSPS		7.75		nJ/sample
Energy per Conversion					
TEMPERATURE RANGE					
Specified Performance ³	TMIN to TMAX	-55		+175	°C

¹ 必要に応じてすべてのデジタル入力を VIO または GND に接続。

² アクイジション・フェーズで。

³ 最高温度定格で最大 1000 時間の動作を認定。

タイミング仕様

特に指定しない限り、 $T_A = -55^\circ\text{C} \sim +175^\circ\text{C}$ 、 $V_{DD} = 2.375\text{ V} \sim 2.625\text{ V}$ 、 $V_{IO} = 3.3\text{ V} \sim 5.5\text{ V}$ 詳細については、図2と図3を参照してください。

表 3.

Parameter	Symbol	Min	Typ	Max	Unit
Conversion Time: CNV Rising Edge to Data Available	t_{CONV}	625		900	ns
Acquisition Time	t_{ACQ}	290			ns
Time Between Conversions	t_{CYC}	1667			ns
CNV Pulse Width ($\overline{\text{CS}}$ Mode)	t_{CNVH}	10			ns
SCK Period ($\overline{\text{CS}}$ Mode)	t_{SCK}				
VIO Above 4.5 V		10.5			ns
VIO Above 3 V		12			ns
VIO Above 2.7 V		13			ns
VIO Above 2.3 V		15			ns
SCK Period (Chain Mode)	t_{SCK}				
VIO Above 4.5 V		11.5			ns
VIO Above 3 V		13			ns
VIO Above 2.7 V		14			ns
VIO Above 2.3 V		16			ns
SCK Low Time	t_{SCKL}	4.5			ns
SCK High Time	t_{SCKH}	4.5			ns
SCK Falling Edge to Data Remains Valid	t_{HSDO}	3			ns
SCK Falling Edge to Data Valid Delay	t_{DSDO}				
VIO Above 4.5 V				9.5	ns
VIO Above 3 V				11	ns
VIO Above 2.7 V				12	ns
VIO Above 2.3 V				14	ns
CNV or SDI Low to SDO D15 MSB Valid ($\overline{\text{CS}}$ Mode)	t_{EN}				
VIO Above 3 V				10	ns
VIO Above 2.3 V				15	ns
CNV or SDI High or Last SCK Falling Edge to SDO High Impedance ($\overline{\text{CS}}$ Mode)	t_{DIS}			20	ns
SDI Valid Setup Time from CNV Rising Edge	$t_{SSDICNV}$	5			ns
SDI Valid Hold Time from CNV Rising Edge ($\overline{\text{CS}}$ Mode)	$t_{HSDICNV}$	2			ns
SDI Valid Hold Time from CNV Rising Edge (Chain Mode)	$t_{HSDICNV}$	0			ns
SCK Valid Setup Time from CNV Rising Edge (Chain Mode)	$t_{SSCKCNV}$	5			ns
SCK Valid Hold Time from CNV Rising Edge (Chain Mode)	$t_{HSCKCNV}$	5			ns
SDI Valid Setup Time from SCK Falling Edge (Chain Mode)	$t_{SSDISCK}$	2			ns
SDI Valid Hold Time from SCK Falling Edge (Chain Mode)	$t_{HSDISCK}$	3			ns
SDI High to SDO High (Chain Mode with Busy Indicator)	$t_{DSDOSDI}$			15	ns

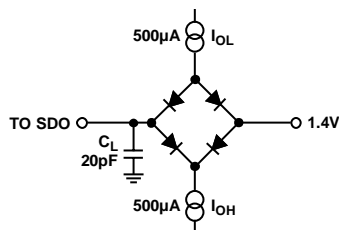
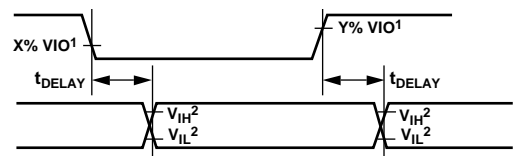


図 2. デジタル・インターフェース・タイミングの負荷回路



¹FOR $V_{IO} \leq 3.0\text{ V}$, $X = 90$ AND $Y = 10$; FOR $V_{IO} > 3.0\text{ V}$, $X = 70$ AND $Y = 30$.
²MINIMUM V_{IH} AND MAXIMUM V_{IL} USED. SEE DIGITAL INPUTS SPECIFICATIONS IN TABLE 2.

図 3. タイミング測定の電圧レベル

絶対最大定格

表 4.

Parameter	Rating
Analog Inputs	
IN+, IN- to GND ¹	-0.3 V to $V_{REF} + 0.3$ V or ± 130 mA
Supply Voltage	
REF, VIO to GND	-0.3 V to +6 V
VDD to GND	-0.3 V to +3 V
VDD to VIO	+3 V to -6 V
Digital Inputs to GND	-0.3 V to VIO + 0.3 V
Digital Outputs to GND	-0.3 V to VIO + 0.3 V
Storage Temperature Range	-65°C to +150°C
Junction Temperature	176.4°C
Thermal Impedance (10-Lead MSOP)	
θ_{JA}	200°C/W
θ_{JC}	44°C/W
Lead Temperature	
Vapor Phase (60 sec)	215°C
Infrared (15 sec)	220°C
ESD Ratings	
Human Body Model	2 kV
Machine Model	200 V
Field-Induced Charged Device Model	1.25 kV

¹アナログ入力の特許技術を参照。

上記の絶対最大定格を超えるストレスを加えると製品に恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作の節に記載する規定値以上での製品動作を定めたものではありません。デバイスを最大動作状態に置くと製品の信頼性に影響を与えます。

ESD の注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明

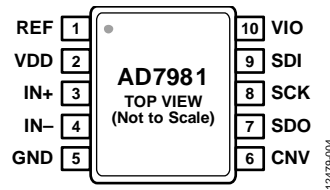


図 4. ピン配置

表 5. ピン機能の説明

ピン番号	記号	タイプ ¹	説明
1	REF	AI	リファレンス入力電圧。REF 範囲は 2.4V~5.1V であり、GND ピンを基準にしています。REF はできるだけピンの近くで 10μF コンデンサによりデカップリングしてください。
2	VDD	P	電源
3	IN+	AI	アナログ入力。このピンは IN- を基準とします。電圧範囲、たとえば IN+ と IN- の差は 0V~V _{REF} です。
4	IN-	AI	アナログ入力グラウンドセンス。このピンはアナログ・グラウンド・プレーンまたはリモート・センス・グラウンドに接続してください。
5	GND	P	電源グラウンド。
6	CNV	DI	変換入力。この入力は複数の機能を備えています。立ち上がりエッジで、変換が始まり、デバイスのインターフェース・モード、すなわちチェーンまたは CS モードが選択されます。CS モードでは、このピンがロー・レベルのとき SDO ピンがイネーブルされます。チェーン・モードでは、CNV がハイ・レベルのときにデータを読み取ってください。
7	SDO	DO	シリアル・データ出力。変換結果はこのピンに出力されます。SCK に同期しています。
8	SCK	DI	シリアル・データ・クロック入力。デバイスが選択されたとき、変換結果がこのクロックでシフトアウトされます。
9	SDI	DI	シリアル・データ入力。この入力は複数の機能を備えています。これらのビットは、ADC のインターフェース・モードを次のように選択します。 チェーン・モードは、CNV の立ち上がりエッジで SDI がハイ・レベルの場合に選択されます。このモードでは、SDI はデータ入力として使用され、複数の ADC の変換結果を 1 本の SDO 線にディジーチェーン接続します。SDI のデジタル・データ・レベルが SDO に出力され、SCK の 16 サイクル分の遅延が加わります。 CNV の立ち上がりエッジ期間で SDI がハイ・レベルの場合は CS モードが選択されます。このモードでは、ロー・レベルのときには、SDI または CNV がシリアル出力信号を有効にします。変換が完了したときに SDI または CNV がロー・レベルの場合、BUSY 表示機能がイネーブルされます。
10	VIO	P	入出力インターフェースのデジタル電源。通常は、ホストのインターフェース(1.8V、2.5V、3V、5V)と同じ電源が使われます。

¹ AI=アナログ入力、DI=デジタル入力、DO=デジタル出力、P=電源。

代表的な性能特性

特に指定のない限り、 $V_{DD} = 2.5\text{ V}$ 、 $V_{REF} = 5.0\text{ V}$ 、 $V_{IO} = 3.3\text{ V}$ 。

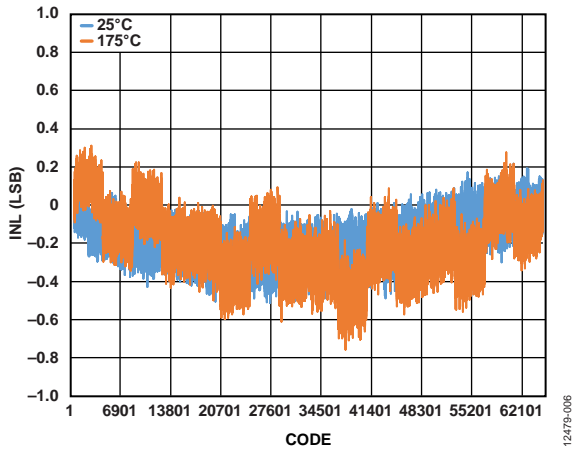


図 5. 積分非直線性(INL)対コードおよび温度、 $V_{REF} = 5.0\text{ V}$

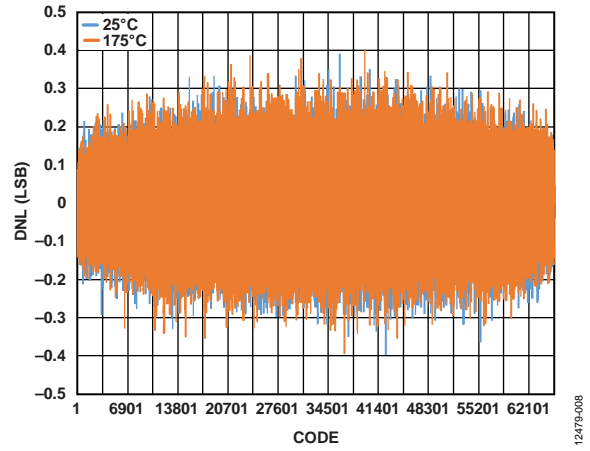


図 8. 微分非直線性(DNL) 対コードおよび温度、 $V_{REF} = 5.0\text{ V}$

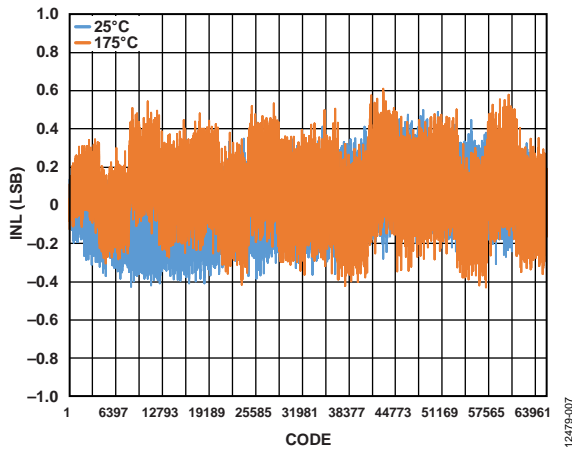


図 6. 積分非直線性(INL)対コードおよび温度、 $V_{REF} = 2.5\text{ V}$

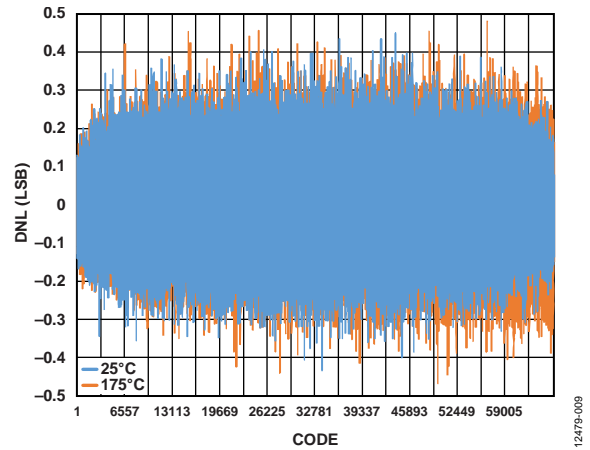


図 9. 微分非直線性(DNL) 対コードおよび温度、 $V_{REF} = 2.5\text{ V}$

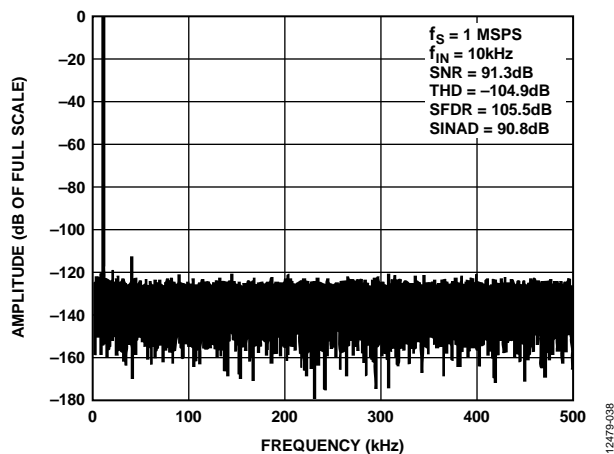


図 7. 10 kHz F F T, $V_{REF} + 5.0\text{ V}$

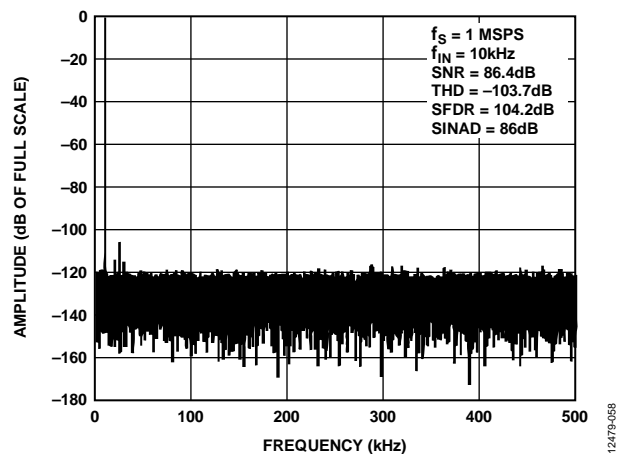


図 10. 10 kHz F F T, $V_{REF} + 2.5\text{ V}$

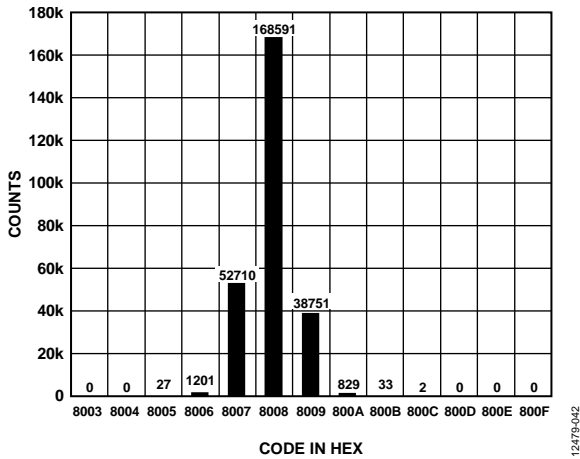


図 11.コード中心での DC 入力のヒストグラム、 $V_{REF} = 5.0V$

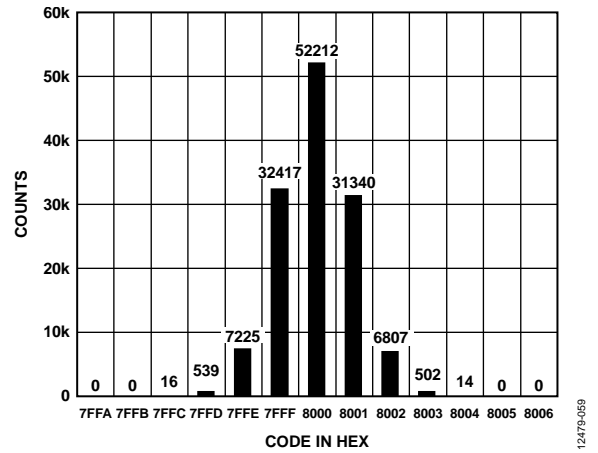


図 14.コード中心での DC 入力のヒストグラム、 $V_{REF} = 2.5V$

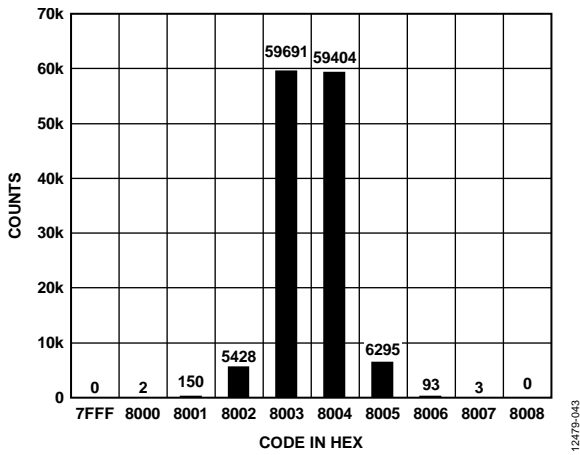


図 12.コード遷移での DC 入力のヒストグラム、 $V_{REF} = 5.0V$

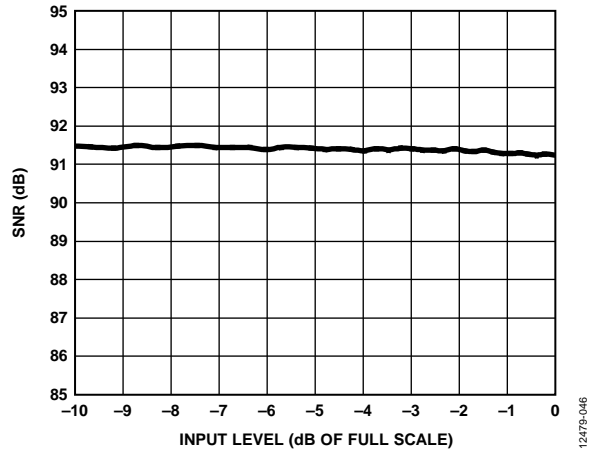


図 15.SNR 対入力レベル

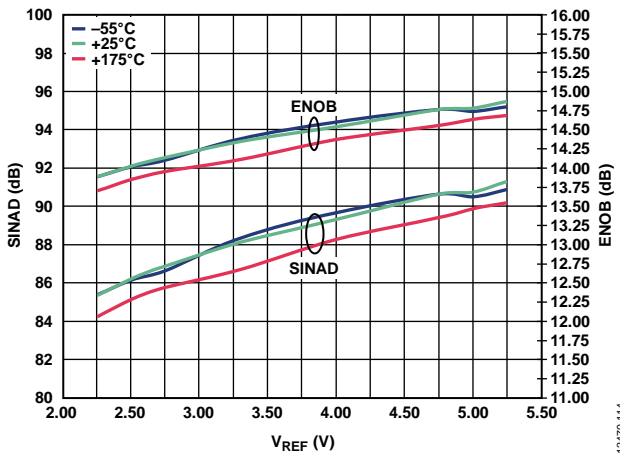


図 13.SINAD および ENOB 対基準電圧(V_{REF})

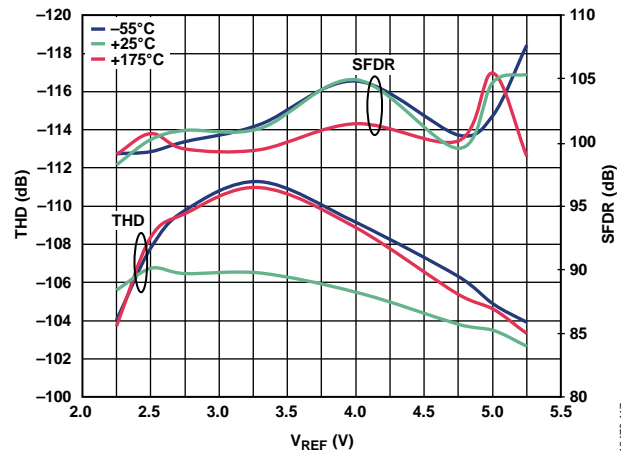


図 16.TH D および SFDR 対基準電圧(V_{REF})

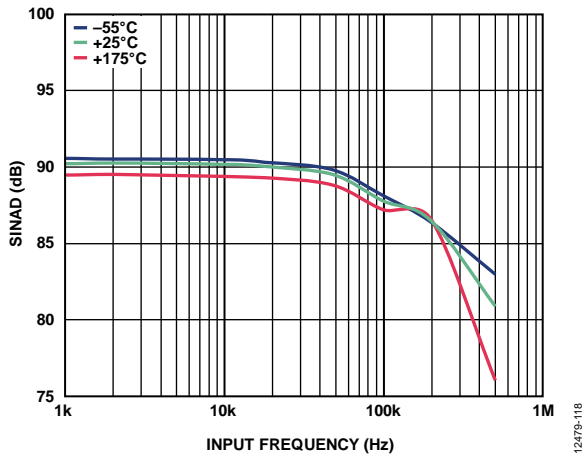


図 17. SINAD の入力周波数特性

12479-118

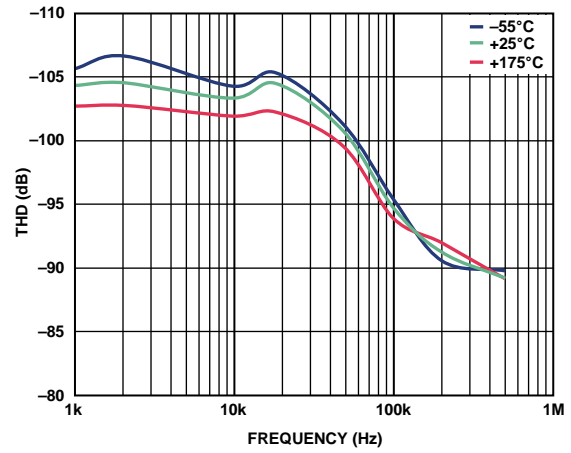


図 20. THD の周波数特性

12479-121

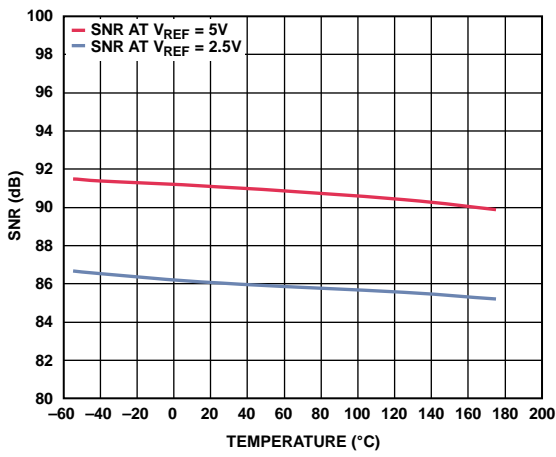


図 18. SHR の温度特性

12479-119

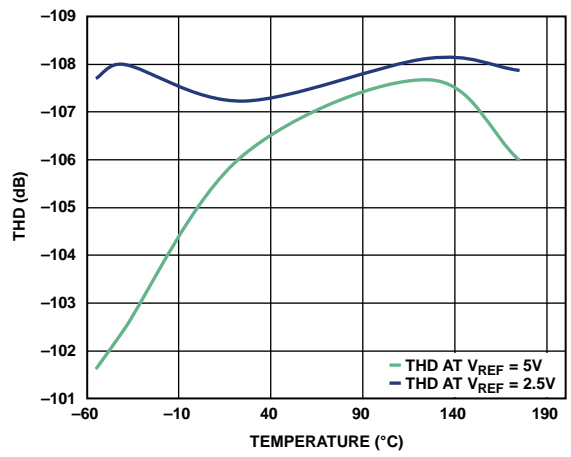


図 21. THD の温度特性

12479-122

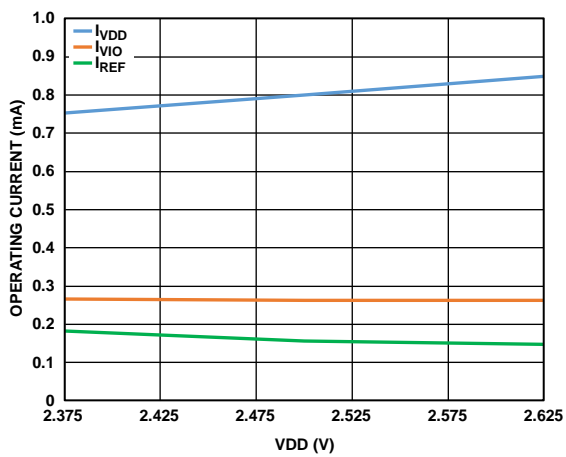


図 19. 動作電流対電源電圧(VDD)

12479-120

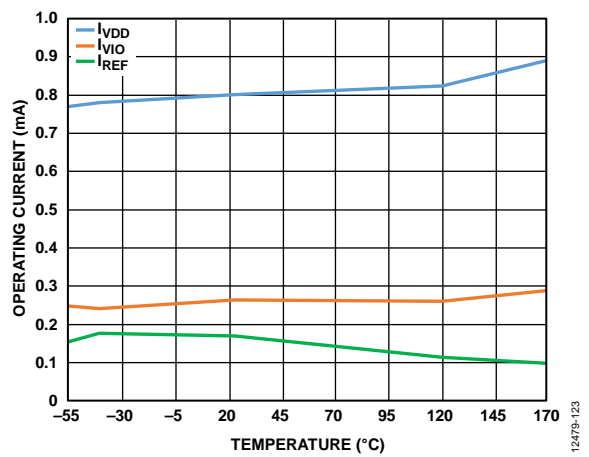


図 22. 動作電流の温度特性

12479-123

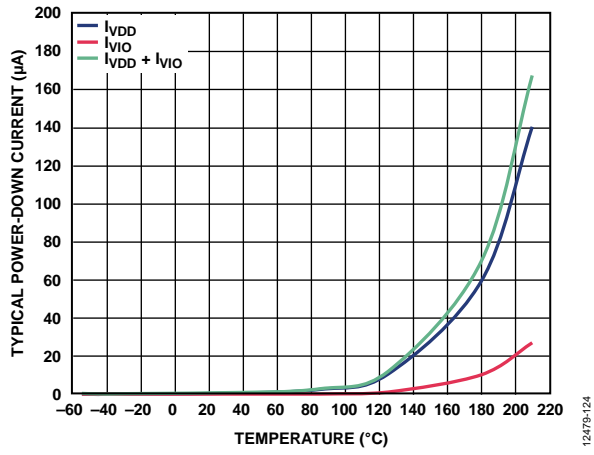


図 23. 遮断電流の温度特性

用語

積分非直線性(INL)

INL は、負側のフル・スケールと正側のフル・スケールを結ぶ直線と実際のコード出力との誤差として定義されます。負側フル・スケールとして使用されるポイントは、最初のコード遷移より $1/2$ LSB だけ下に存在します。正側フル・スケールは、最後のコード遷移より $1/2$ LSB だけ上のレベルと定義されます。偏差は、各コードの中央と直線との間の距離として測定されます(図 25 を参照)

微分非直線性(DNL)

理想的な ADC では、各コード遷移は 1 LSB だけ離れた位置で発生します。DNL は、この理想値からの最大偏差を意味しません。微分非直線性は、ノームス・コードが保証される分解能として規定されることがあります。

ゼロ誤差

最初の変化は、アナログ・グラウンドより $1/2$ LSB 上のレベルで生じます (0~5 V の範囲で 38.1 μ V)。オフセット誤差は、そのポイントから実際の変化までの差をいいます。

ゲイン誤差

最後の変化(111 ... 10 から 111 ... 11)は、公称フル・スケールより $1/2$ LSB 低いアナログ電圧で生じます (0 V~5 V の範囲で 4.999886 V)。ゲイン誤差は、オフセットが調整された後の理論レベルと最後の変化の実際レベルとの差のことです。

スプリアス・フリー・ダイナミック・レンジ(SFDR)

SFDR は入力信号の rms 振幅値と最大のスプリアス信号との差を意味し、dB 値で表します。

有効ビット数(ENOB)

ENOB は、正弦波を入力したときの分解能の計測値です。SINAD との関係は次式により示されます。

$$ENOB = (SINAD_{dB} - 1.76)/6.02$$

ビット数で表されます。

ノイズフリー・コード分解能

ノイズフリー・コード分解能は、超えると個々のコードが区別できなくなるビット数です。次式を使って計算されます。

$$\text{ノイズフリー・コード分解能} = \log_2(2^N / \text{Peak-to-Peak Noise})$$

ビット数で表されます。

有効分解能

有効分解能は、次のように計算されます。

$$\text{有効分解能} = \log_2(2^N / \text{RMS Input Noise})$$

ビット数で表されます。

総合高調波歪み(THD)

THD とは、基本波から 5 次高調波成分までの rms 値の総和の、フル・スケール入力信号の rms 値に対する比を意味し、デシベル値で表します。

ダイナミック・レンジ

ダイナミック・レンジは、入力を短絡して測定した合計 rms ノイズとフル・スケールの rms 値の比を表します。すべてのノイズ源と DNL アーティファクトを含めるように -60 dBFS の信号で測定されます。ダイナミック・レンジの値は dB で表されます。

信号対ノイズ比(SNR)

SNR は、実際の入力信号の rms 値と、ナイキスト周波数より下の全スペクトル成分の rms 値総和 (高調波成分と DC 成分を除く) に対する比です。SNR の値は、dB で表されます。

信号対ノイズ+歪み比(SINAD)

SINAD は、実際の入力信号の rms 値と、ナイキスト周波数より下の全スペクトル成分の rms 値総和(DC 以外の高調波を含む)との比です。SINAD は、dB で表されます。

アパーチャ遅延

アパーチャ遅延は、アクイジション性能を表します。CNV 入力の立ち上がりエッジから入力信号が変換用に保持されまでの時間を表します。

過渡応答

過渡応答は、フル・スケールのステップ関数が入力された後に ADC が正確に inputs を取得するまでに要する時間です。

動作原理

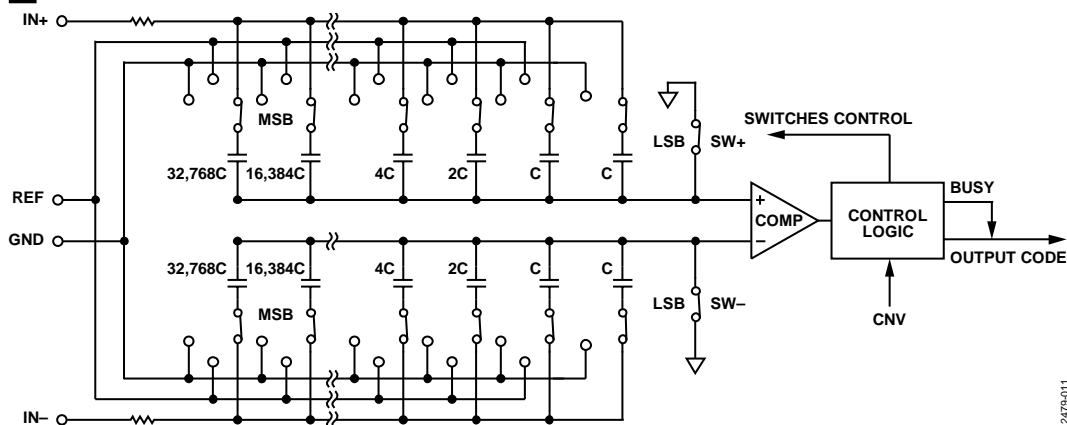


図 24.ADC の簡略回路図

回路説明

AD7981 は、単電源動作の逐次比較型アーキテクチャを採用した高速高精度低消費電力 16 ビット A/D コンバータ(ADC)です。

AD7981 は、毎秒 600,000 個のサンプル(600 kSPS)を変換でき、変換と変換の間にパワーダウンします。たとえば、10 kSPS 動作時の消費電力が 70 μ W (typ)であるため、バッテリー駆動のアプリケーションに最適です。

AD7981 は、トラック&ホールドを内蔵し、パイプライン遅延またはレイテンシがないため、マルチプレクスされた複数チャンネルのアプリケーションに最適です。

AD7981 は、1.8V~5V デジタル・ロジック・ファミリーに接続することができます。省スペースと柔軟な構成を兼ね備える 10 ピン MSOP に収納されています。

AD7981 は、18 ビットの AD7982 とピン互換です。**コンバータの動作**

AD7981、電荷再分配型デジタル・アナログ・コンバータ(DAC)をベースとする逐次比較型 A/D コンバータです。図 24 に、ADC の単純化した回路図を示します。容量性 DAC は、2 進数の重みを持った 16 個コンデンサで構成される 2 個の同じアレイで構成されており、各アレイは 2 つのコンパレータ入力に接続されています。

アキュイジション期間中は、コンパレータ入力に接続されたアレイのピンは、SW+ と SW- スイッチを介して GND に接続されます。独立したすべてのスイッチはアナログ入力に接続されます。したがって、コンデンサ・アレイは、サンプリング・コンデンサとして使用されて、IN+ 入力と IN- 入力上のアナログ信号が取り込まれます。アキュイジション・フェーズが終わると、CNV 入力がハイ・レベルになり、変換フェーズが開始します。変換フェーズが開始すると、まず SW+ と SW- が開きます。2 つのコンデンサ・アレイは、入力から切り離されて、GND 入力に接続されます。そのため、アキュイジション・フェーズの終わりに取り込まれた、入力 IN+ と IN- の間の差動電圧がコンパレータ入力に接続されて、コンパレータは平衡しなくなります。コンデンサ・アレイの各エレメントを GND と REF の間でスイッチングすることにより、コンパレータ入力を 2 進数重みの電圧ステップ($V_{REF}/2$, $V_{REF}/4$... $V_{REF}/65,536$)。コントロール・ロジックがこれらのスイッチをトグルして (MSB から開始)、コンパレータが再度平衡するようにします。この処理が終了すると、デバイスはアキュイジション・フェーズに戻り、コントロール・ロジックが ADC 出力コードと BUSY 信号表示を生成します。

AD7981 は、変換クロックを内蔵しているため、変換プロセスのためのシリアル・クロック SCK は不要です。

伝達関数

AD7981 の理論伝達特性を図 25 と表 6 に示します。

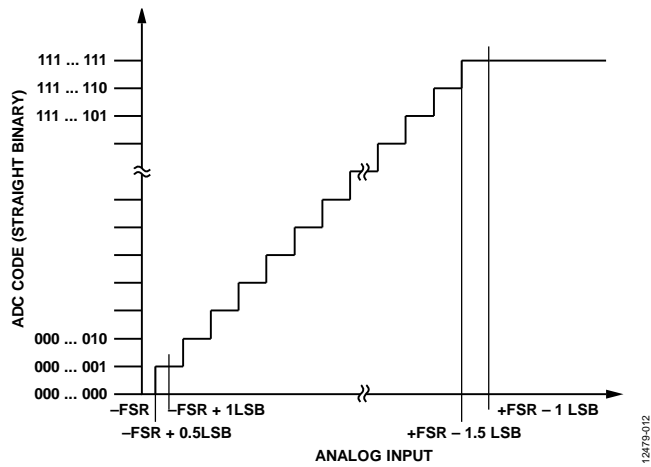


図 25.ADC の理想的な伝達関数

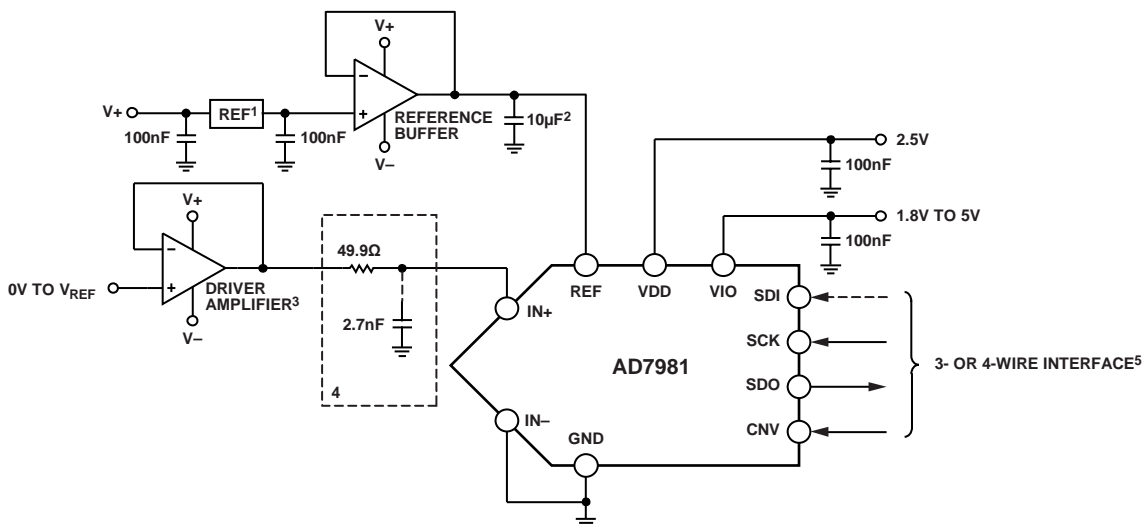
表 6.出力コードと理論入力電圧

Description	Analog Input	
	$V_{REF} = 5\text{ V}$	Digital Output Code
FSR - 1 LSB	4.999924 V	0xFFFF ¹
Midscale + 1 LSB	2.500076 V	0x8001
Midscale	2.5 V	0x8000
Midscale - 1 LSB	2.499924 V	0x7FFF
-FSR + 1 LSB	76.3 μV	0x0001
-FSR	0 V	0x0000 ²

¹これは、オーバーレンジ・アナログ入力のコードでもあります ($V_{IN+} - V_{IN-}$ が $V_{REF} - V_{GND}$ より高い)。
²これは、アンダーレンジ・アナログ入力のコードでもあります ($V_{IN+} - V_{IN-}$ が V_{GND} より低い)。

代表的な接続図

図 26 は、複数の電源が使用可能なときの AD7981 の推奨接続図の例を示しています。



¹SEE THE VOLTAGE REFERENCE INPUT SECTION FOR REFERENCE SELECTION.
² C_{REF} IS USUALLY A 10 μF CERAMIC CAPACITOR (X5R).
³SEE THE DRIVER AMPLIFIER CHOICE SECTION.
⁴OPTIONAL FILTER. SEE THE ANALOG INPUT SECTION.
⁵SEE THE DIGITAL INTERFACE FOR THE MOST CONVENIENT INTERFACE MODE.

図 26.複数の電源を使用する代表的アプリケーション図

アナログ入力

図 27 は、AD7981 のアナログ入力構造の等価回路を示します。

2つのダイオード D1 および D2 は、アナログ入力 IN+ および IN- に対する ESD 保護を提供します。ダイオードが順バイアスになって伝導電流が流れるので、アナログ入力信号が電源レールより 0.3V 以上高くないようにしてください。ラッチアップ試験の際にアナログ入力 IN+ および IN- に 10ms のきわめて短時間加わる過渡現象は、ダイオードが、最大 130mA の順バイアス電流に対応できることを示します。たとえば、この状態は、入力バッファ(U1)の電源が VDD と異なるときに発生します。このような場合（たとえば、入力バッファが短絡）、電流制限機能を使用してデバイスを保護することができます。

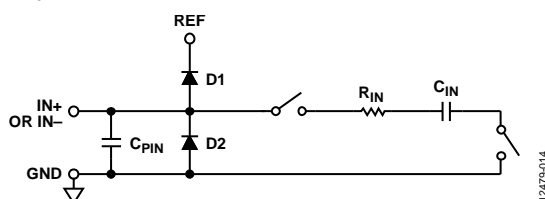


図 27. 等価アナログ入力回路

このアナログ入力構造を使うと、IN+ と IN- との間の差動信号のサンプリングが可能になります。この差動入力の採用により、両入力に共存する信号が除去されます。

アクイジション・フェーズでは、アナログ入力(IN+または IN-)のインピーダンスは、コンデンサ C_{PIN} と、R_{IN} および C_{IN} の直列接続の回路との並列組み合わせとしてモデル化することができます。C_{PIN} は主にピン容量です。R_{PIN} は 400Ω (typ) であり、いくつかの直列抵抗とスイッチのオン抵抗から構成される集中定数です。C_{IN} は 30 pF (typ) であり、主に ADC サンプリング・コンデンサです。スイッチが開いている変換フェーズでは、入力インピーダンスは C_{PIN} に制限されます。R_{IN} と C_{IN} により、1 次ローパス・フィルタが構成されるため、不要な折り返し効果が削減され、ノイズが制限されます。

駆動回路のソース・インピーダンスが小さい場合は、AD7981 を直接駆動することができます。ソース・インピーダンスが大きい場合には、AC 性能、特に THD が大きい影響を受けます。DC 性能は、入力インピーダンスからあまり影響を受けません。最大ソース・インピーダンスは、許容可能な THD の大きさに依存します。THD は、ソース・インピーダンスと最大入力周波数の関数として性能低下します。

ドライバ・アンプの選択

AD7981 の駆動は容易ですが、ドライバ・アンプは次の条件を満たさなければなりません。

- AD7981 の SNR 性能と遷移ノイズ性能を維持するには、ドライバ・アンプによって生成されるノイズをできるだけ低く抑える必要があります。ドライバから来るノイズは、R_{IN} と C_{IN} で構成された AD7981 アナログ入力回路の 1 次ローパス・フィルタによって、または外部フィルタ（使用した場合）によってフィルタリングされます。AD7981 のノイズは 47.3μV rms (typ) であるため、アンプに起因する SNR の性能低下は、次式で与えられます。

$$SNR_{Loss} = 20 \log \left(\frac{47.3}{\sqrt{47.3^2 + \frac{\pi}{2} f_{-3dB} (Ne_N)^2}} \right)$$

ここで、
f_{-3dB} は、AD7981 (10 MHz) の入力帯域幅 (MHz)、または入力フィルタのカットオフ周波数 (使用した場合) です。

N は、アンプのノイズ・ゲイン (たとえば、バッファ構成では 1)。

e_N は、オペアンプの等価入力ノイズ電圧、単位は nV/√Hz。

- AC アプリケーションの場合、ドライバは AD7981 と釣り合う THD 性能を有する必要があります。
- 多チャンネルをマルチプレクスするアプリケーションの場合、ドライバ・アンプと AD7981 アナログ入力回路は、コンデンサ・アレイへのフル・スケール・ステップに対して 16 ビット・レベル (0.0015%、15 ppm) でセトリングする必要があります。アンプ・データシートでは、0.1% ~ 0.01% のセトリング・タイムが、よく指定され、16 ビット・レベルでのセトリング・タイムと大幅に異なることがあり、ドライバ選択前に確認されなければなりません。

AD8634 は、レール・ツー・レール出力、高精度、低消費電力、高温対応デュアルアンプであり、AD7981 の入力の駆動に推奨されます。

電圧リファレンス入力

AD7981 のリファレンス電圧入力 REF は、動の入力インピーダンスを持っています。このため、REF 入力と GND 入力との間に効果的にデカップリングした低インピーダンス・ソースから駆動する必要があります(Printed Circuit Board (PCB) Layout の節参照)。

REF が、きわめて低いインピーダンス・ソースによって駆動される場合、セラミック・チップ・コンデンサで最適性能が得られます。AD7981 には、高温対応低温ドリフト ADR225 2.5 V リファレンスおよび低消費電力 AD8634 リファレンス・バッファが推奨されます。

REF ピンは、最適性能を得るために少なくとも 10 μ F(X5R、1206 サイズ)のセラミック・チップ・コンデンサでデカップリングされなければなりません。

REF ピンと GND ピンの間に小さい値のセラミック・デカップリング・コンデンサ(たとえば、100 nF)を追加する必要はありません。

電源電圧

AD7981 は、コア電源 VDD とデジタル入力/出力インターフェース電源 VIO の 2 種類の電源ピンを使用しています。VIO は、1.8V~5V の任意のロジックとの直接インターフェースを可能にします。必要な電源の数を減らすには、VIO と VDD を接続してください。AD7981 は、VIO と VDD の間の電源シーケンスに依存しません。さらに、広い周波数範囲で電源変動に対して安定です(図 28)。

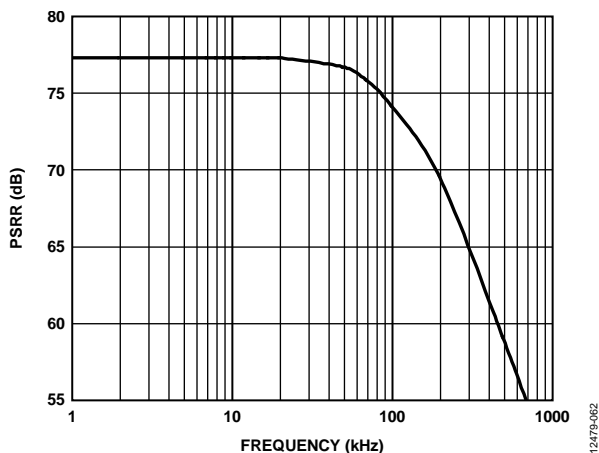


図 28.PSRR の周波数特性

AD7981 は、変換フェーズの終わりに自動的にパワーダウンして、電力がサンプリング・レートと直線的に変化します。これにより、デバイスは、低いサンプリング・レート(数 Hz でも)および低消費電力アプリケーションに理想的です。

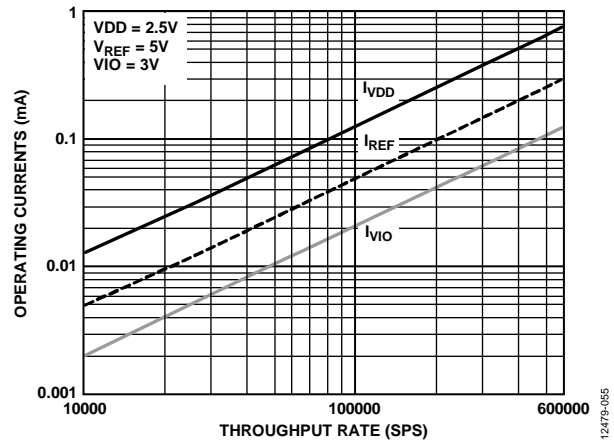


図 29.動作電流対スループット・レート

デジタル・インターフェース

AD7981 のピン数は少ないですが、シリアル・インターフェース・モードで柔軟性を提供します。

AD7981 は、 \overline{CS} モードのとき、SPI、QSPI™、MICROWIRE™ およびデジタル・ホストと互換性があります。AD7981 インターフェースでは、3 線式または 4 線式インターフェースを使用できます。CNV 信号、SCK 信号、SDO 信号を使用する 3 線式インターフェースは、配線数が少ないため、たとえば、絶縁型アプリケーションに有用です。SDI 信号、CNV 信号、SCK 信号、SDO 信号を使う 4 線式インターフェースを使用すると、CNV(変換を開始します)をリードバック・タイミング(SDI)に依存しないようにすることができます。4 線式インターフェースは、低ジッタ・サンプリング・アプリケーションまたは同時サンプリング・アプリケーションで便利です。

AD7981 をチェーン・モードで使うと、シフトレジスタに似たシングル・データ・ライン上での複数の ADC のカスケード接続に対して、SDI 入力を使うデジチェーン機能を提供することができます。

デバイスが動作するモードは、CNV の立ち上がりエッジ時の SDI のレベルで決定されます。SDI がハイ・レベルの場合は、 \overline{CS} モードが選択され、SDI がロー・レベルの時にはチェーン・モードが選択されます。SDI ホールド・タイムは、SDI と CNV がお互いに接続されており、チェーン・モードが選択される場合です。

いずれのモードでも、AD7981 は、データ・ビットの先頭にスタート・ビットを生成するオプションを可能にする柔軟性を提供します。このスタート・ビットを BUSY 信号表示と見なして、デジタル・ホストに対して割込みを行い、データの読み出しを開始させることができます。BUSY 表示を使わない場合は、リードバックの前に最大変換時間の経過を待たなければなりません。

BUSY 表示機能は、次のようにイネーブルされます。

- \overline{CS} モードでは、ADC 変換が終了したとき CNV または SDI がロー・レベルになったとき(図 33 と図 37 を参照)。
- チェーン・モードでは、CNV 立ち上がりエッジ期間に SCK がハイ・レベルになったとき(図 41 参照)。

CS モード 3 線式、BUSY 表示なし

3 線式 $\overline{\text{CS}}$ モード BUSY 表示なしは、一般に、単一の AD7981 を SPI 互換デジタル・ホストに接続するときに使用されます。図 30 に接続図を、図 31 に対応するタイミングを、それぞれ示します。

SDI を VIO に接続した状態では、CNV の立ち上がりエッジで変換が開始され、 $\overline{\text{CS}}$ モードが選択され、SDO は高インピーダンスになります。変換が開始されたとき、その変換は、CNV の状態にかかわらず完了するまで続きます。CNV の状態を使用すると、たとえば CNV をロー・レベルにしてアナログ・マルチプレクサなどの他の SPI デバイスを選択することができます。ただし、CNV は、BUSY 信号表示の生成を回避するために、最小変換時間が経過する前にハイ・レベルに戻り、

次に最大変換時間の間ハイ・レベルのままでない限りなりません。変換が完了すると、AD7981 はアクイジション・フェーズに入りパワーダウンします。

CNV がロー・レベルになると、MSB が SDO に出力されます。残りのデータ・ビットは、後続の SCK の立ち下がりエッジで出力されます。データは、SCK の両方のエッジで有効です。立ち上がりエッジを使ってデータを取込むことができますが、SCK の立ち下がりエッジを使うデジタル・ホストを使うと、ホールド・タイムが許容できる限り、より高速な読み出しレートが可能になります。16 番目の SCK 立ち下がりエッジの後、または CNV がハイ・レベルになったときのいずれか早い方で、SDO は高インピーダンスに戻ります。

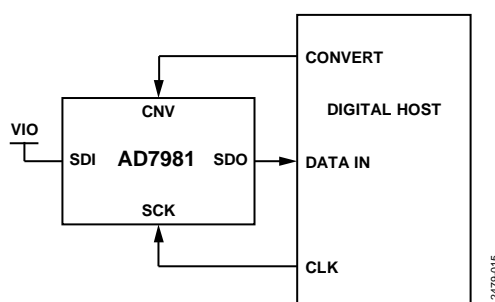


図 28.3 線式 $\overline{\text{CS}}$ モード、BUSY 表示なしの接続図 (SDI ハイ)

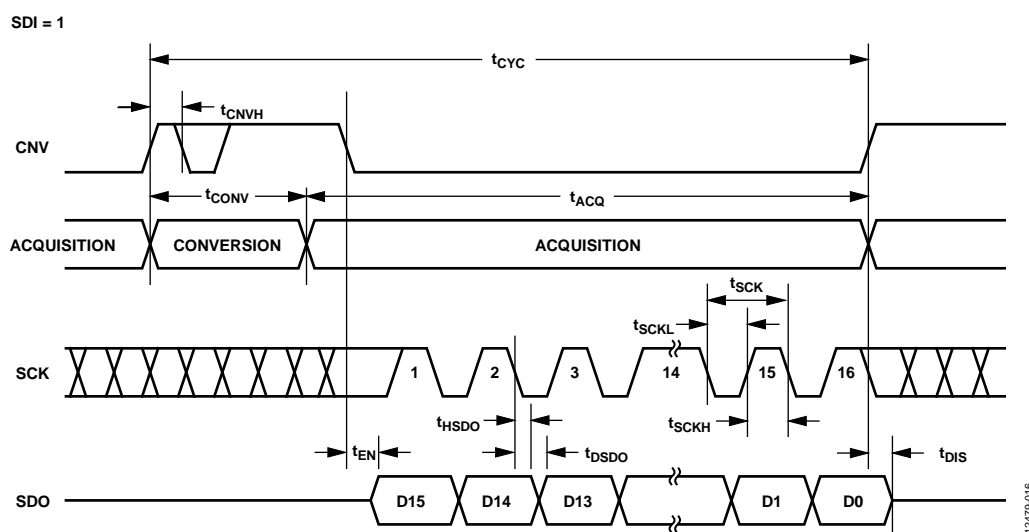


図 29.3 線式 $\overline{\text{CS}}$ モード、BUSY 表示なしのシリアル・インターフェース・タイミング (SDI ハイ)

CS モード 3 線式、BUSY 表示あり

3 線式 $\overline{\text{CS}}$ モード BUSY 表示ありは、一般に、単一の AD7981 を、割り込み入力を有する SPI 互換デジタル・ホストに接続するときに使用されます。図 32 に接続図を、図 33 に対応するタイミングを、それぞれ示します。

SDI を VIO に接続した状態では、CNV の立ち上がりエッジで変換が開始され、 $\overline{\text{CS}}$ モードが選択され、SDO は高インピーダンスになります。CNV の状態に無関係に変換が完了するまで SDO は高インピーダンスを維持します。最小変換時間の前に、CNV を使ってアナログ・マルチプレクサのような他の SPI デバイスを選択することができますが、最小変換時間が経過する前に CNV がロー・レベルに戻り、最大変換時間の間ロー・レベルを維持して、BUSY 信号が確実に発生するようにする必要があります。

変換が完了すると、SDO は高インピーダンスから低インピーダンスになります。SDO ラインのプルアップ抵抗により、この

変化を割り込み信号として使って、デジタル・ホストにより制御されるデータの読み出しを開始させることができます。その後 AD7981 はアキュイジション・フェーズに入り、パワーダウンします。データ・ビットは MSB を先頭にして、後続の SCK の立ち下がりエッジで出力されます。データは、SCK の両エッジで有効です。立ち上がりエッジを使ってデータを取込むことができますが、SCK の立ち下がりエッジを使うデジタル・ホストを使うと、ホールド・タイムが許容できる限り、より高速な読み出しレートが可能になります。オプションの 17 番目の SCK 立ち下がりエッジの後、または CNV がハイ・レベルになったときのいずれか早い方で、SDO は高インピーダンスに戻ります。

複数の AD7981 を同時に選択した場合、SDO 出力ピンは損傷またはラッチアップなしにこの接続を処理します。余分な電力消費を回避するためこの接続をできるだけ短くすることを推奨します。

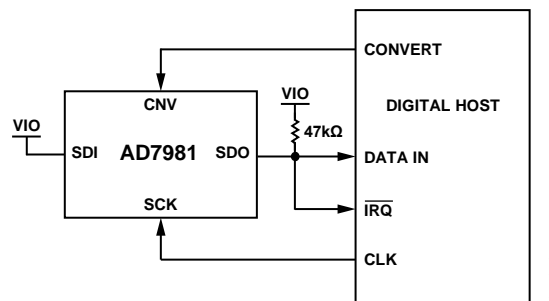


図 30.3 線式 $\overline{\text{CS}}$ モード、BUSY 表示ありの接続図 (SDI ハイ)

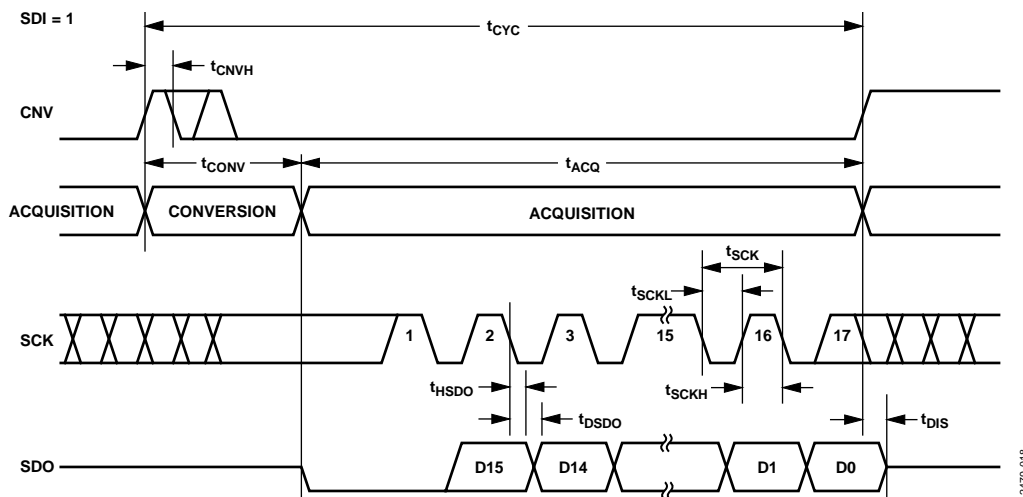


図 31.3 線式 $\overline{\text{CS}}$ モード、BUSY 表示ありのシリアル・インターフェース・タイミング (SDI ハイ)

CS モード 4 線式、BUSY 表示なし

4 線式 $\overline{\text{CS}}$ モード BUSY 表示なしは、一般に、複数の AD7981 を SPI 互換デジタル・ホストに接続するときに使用されます。2 つの AD7981 デバイスを使用する接続図の例を図 34 に示し、対応するタイミングを図 35 に示します。

S $\overline{\text{DI}}$ がハイ・レベルの状態、CNV の立ち上がりエッジで変換が開始され、 $\overline{\text{CS}}$ モードが選択され、SDO は高インピーダンスになります。このモードでは、変換フェーズとそれに続くデータ・リードバックの間、CNV をハイ・レベルに維持する必要があります(S $\overline{\text{DI}}$ と CNV がロー・レベルの場合、SDO はロー・レベルに駆動されます)。最小変換時間の前に、S $\overline{\text{DI}}$ を使ってアナログ・マルチプレクサのような他の SPI デバイスを選択することができますが、最小変換時間が経過する前に

S $\overline{\text{DI}}$ がハイ・レベルに戻り、最大変換時間の間ハイ・レベルを維持して、BUSY 信号の発生を防止する必要があります。

変換が完了すると、AD7981 はアキュイジション・フェーズに入りパワーダウンします。S $\overline{\text{DI}}$ 入力をロー・レベルにすると、各 ADC の変換結果を読み出すことができ、MSB が SDO へ出力されます。残りのデータ・ビットは、後続の SCK の立ち下がりエッジで出力されます。データは、両 SCK エッジで有効です。立ち上がりエッジを使ってデータを取込むことができますが、SCK の立ち下がりエッジを使うデジタル・ホストを使うと、ホールド・タイムが許容できる限り、より高速な読み出しレートが可能になります。16 番目の SCK 立ち下がりエッジの後、または S $\overline{\text{DI}}$ がハイ・レベルになったときのいずれか早い方で、SDO は高インピーダンスに戻り、もう一方の AD7981 を読み出すことができるようになります。

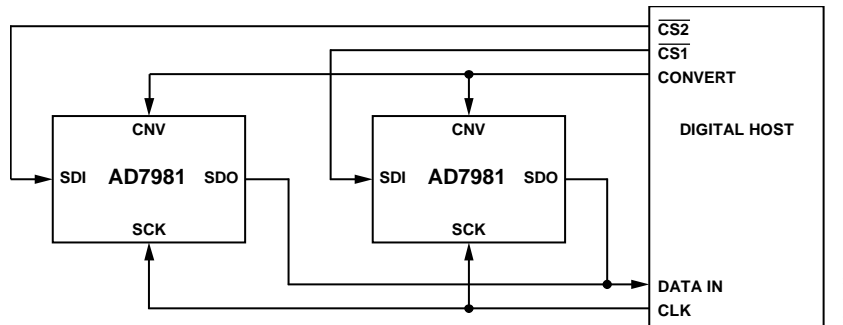


図 32.4 線式 $\overline{\text{CS}}$ モード、BUSY 表示なしの接続図

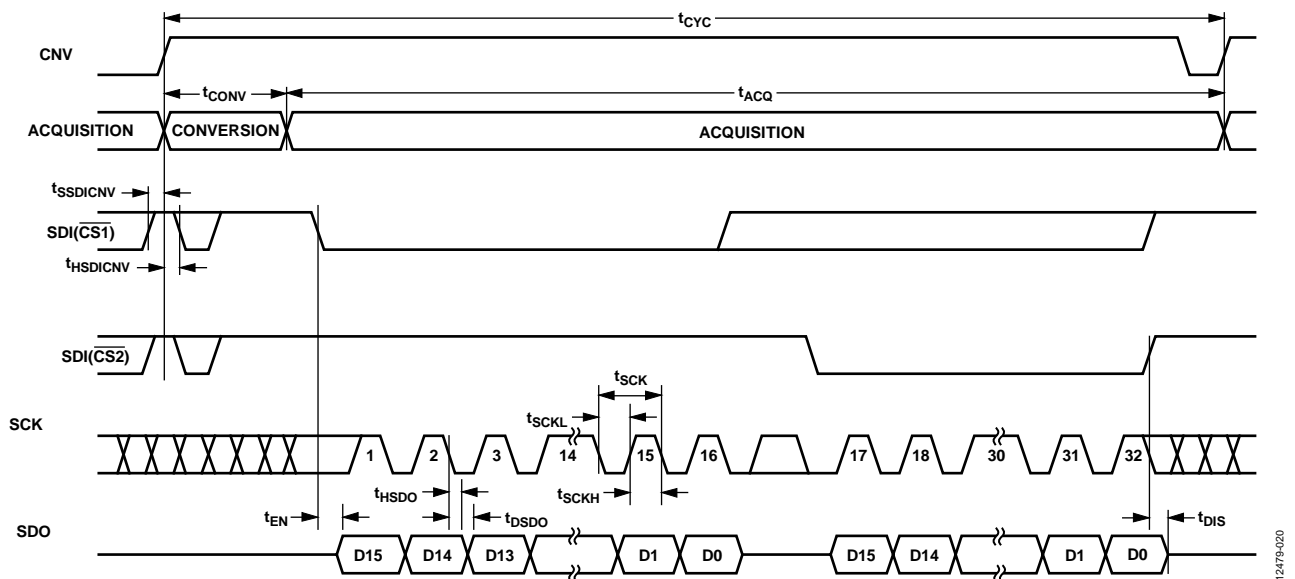


図 33.4 線式 $\overline{\text{CS}}$ モード、BUSY 表示なしのシリアル・インターフェース・タイミング

CS モード 4 線式、BUSY 表示あり

4 線式 \overline{CS} モード、BUSY 表示ありは、一般に、単一の AD7981 を、割り込み入力を有する SPI 互換デジタル・ホストに接続するときに使用されます。データ読み取りの選択に使用される信号にかかわらず、アナログ入力をサンプリングするために使用される CNV を維持しなければなりません。この条件は、CNV のジッタが小さいことが要求されるアプリケーションで特に重要です。

図 36 に接続図を、図 37 に対応するタイミングを、それぞれ示します。

SDI がハイ・レベルの状態、CNV の立ち上がりエッジで変換が開始され、 \overline{CS} モードが選択され、SDO は高インピーダンスになります。このモードでは、変換フェーズとそれに続くデータ・リードバックの間、CNV をハイ・レベルに維持しなくてはなりません(SDI と CNV がロー・レベルの場合、SDO はロー・レベルに駆動されます)。最小変換時間の前に、CNV を使ってアナログ・マルチプレクサのような他の SPI デバイ

スを選択することができますが、最小変換時間が経過する前に SDI がロー・レベルに戻り、最大変換時間の間ロー・レベルを維持して、BUSY 信号が確実に発生するようにする必要があります。変換が完了すると、SDO は高インピーダンスからロー・レベルになります。

SDO ライン上のプルアップ抵抗によって、この変化を割り込み信号として使って、デジタル・ホストにより制御されるデータのリードバックを開始させることができます。次に、AD7981 はアキュイジション・フェーズに入り、パワーダウンします。データ・ビットは MSB を先頭にして、後続の SCK の立ち下がりエッジで出力されます。データは、両 SCK エッジで有効です。立ち上がりエッジを使ってデータを取込むことができますが、SCK の立ち下がりエッジを使うデジタル・ホストを使うと、ホールド・タイムが許容できる限り、より高速な読み出しレートが可能になります。オプションの 17 番目の SCK 立ち下がりエッジの後、または SDI がハイ・レベルになったときのいずれか早い方で、SDO は高インピーダンスに戻ります。

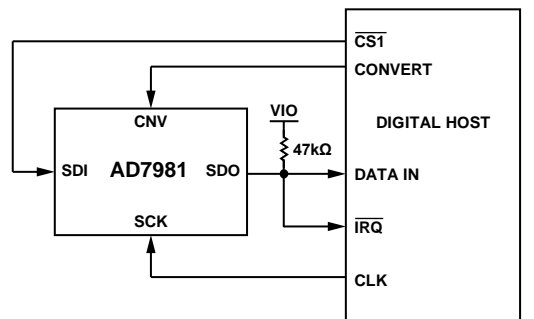


図 34.4 線式 \overline{CS} モード、BUSY 表示ありの接続図

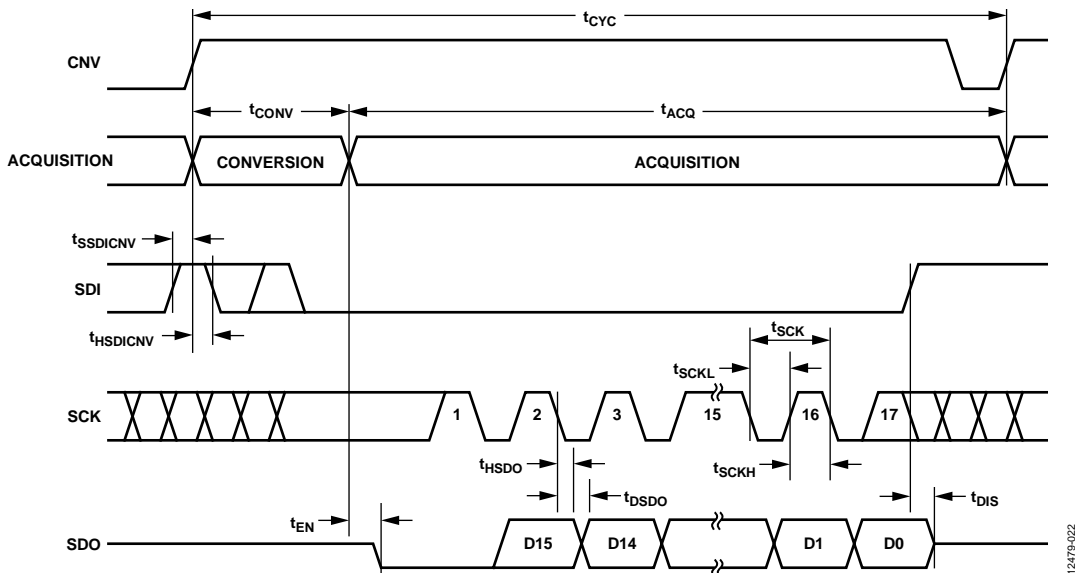


図 35.4 線式 \overline{CS} モード、BUSY 表示ありのシリアル・インターフェース・タイミング

チェーン・モード、BUSY 表示なし

BUSY 表示器なしのチェーン・モードを使用して、3 線式シリアル・インターフェース上の複数の AD7981 デバイスをディジーチェーン接続することができます。この機能は部品数と接続配線数の削減に役立ちます。たとえば、絶縁された複数のコンバータを使用するアプリケーションまたはインターフェース能力が制限されているシステムではこの接続が使用されます。データのリードバックは、シフトレジスタをクロック駆動するのに似ています。

2 つの AD7981 デバイスを使用する接続図例が図 38 に示され、対応するタイミングが図 39 に示されています。

SDI と CNV をロー・レベルにすると、SDO がロー・レベルに駆動されます。SCK がロー・レベルのとき、CNV の立ち上がりエッジで変換が開始され、チェーン・モードが選択され、BUSY 表示がディスエーブルされます。このモードでは、変換フェーズとそれに続くデータ・リードバックの間、CNV が

ハイ・レベルに維持されます。変換が完了すると、MSB が SDO に出力され、AD7981 はアキュイジション・フェーズに入りパワーダウンします。内部シフトレジスタに保存されている残りのデータ・ビットは、後続の SCK の立ち下がりエッジで出力されます。各 ADC で、SDI が内部シフトレジスタの入力に接続され、SCK の立ち下がりエッジでクロック駆動されます。チェーン内の各 ADC はデータの MSB を先頭に出力し、N 個の ADC をリードバックするためには $16 \times N$ 個のクロックが必要です。データは、両 SCK エッジで有効です。立ち上がりエッジを使ってデータを取込むことができますが、SCK の立ち下がりエッジを使うデジタル・ホストを使うと、ホールド・タイムが許容できる限り、より高速な読み出しレートが可能になり、かつチェーン内の AD7981 デバイスの数を増やすことができます。合計リードバック時間により、最大変換レートは低減されます。

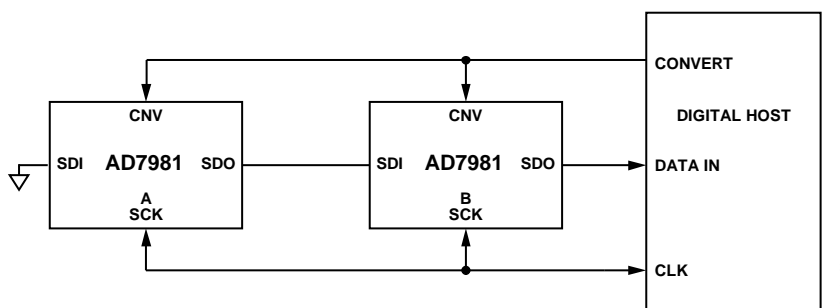


図 36.4 線式モード、BUSY 表示なしの接続図

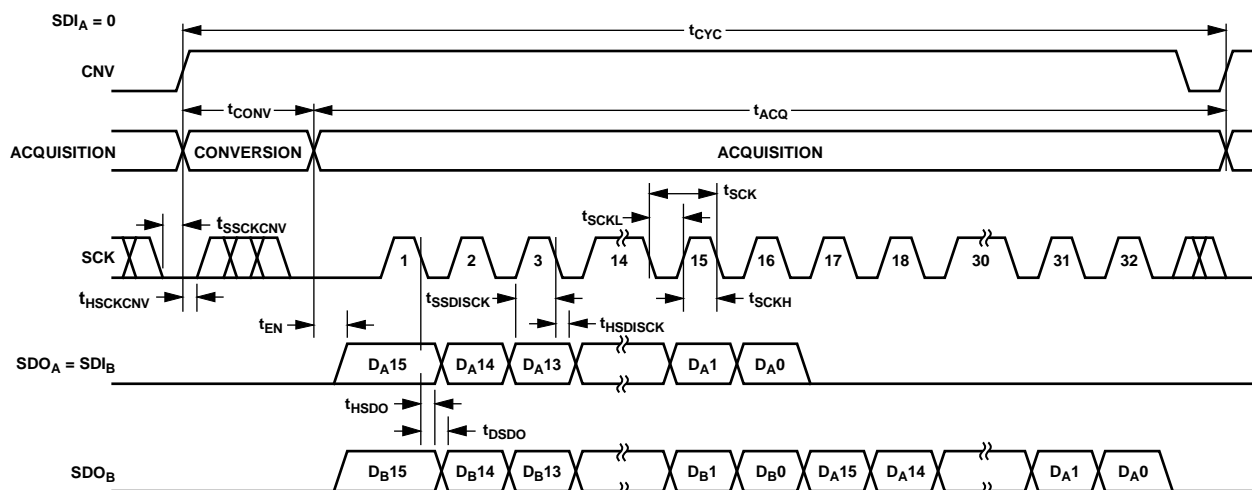


図 37.4 線式モード、BUSY 表示なしのシリアル・インターフェース・タイミング

チェーン・モード、BUSY 表示あり

BUSY 表示ありのモードでも、3 線式シリアル・インターフェースに複数の AD7981 をディジーチェーン接続することができ、同時に BUSY 表示も提供できます。この機能は部品数と接続配線数の削減に役立ちます。たとえば、絶縁型の複数コンバータを使用するアプリケーションまたはインターフェース能力が制限されているシステムではこの接続が使用されます。データのリードバックは、シフトレジスタをクロック駆動するのに似ています。

3 つの AD7981 デバイスを使用する接続図例が図 40 に示され、対応するタイミングが図 41 に示されています。

SDI と CNV をロー・レベルにすると、SDO がロー・レベルに駆動されます。SCK がハイ・レベルのとき、CNV の立ち上がりエッジで変換が開始され、チェーン・モードが選択され、BUSY 表示機能がイネーブルされます。このモードでは、変換フェーズとそれに続くデータ・リードバックの間、CNV がハイ・レベルに維持されます。チェーン内のすべての ADC が

その変換を完了したとき、デジタル・ホストに最も近い ADC の SDO ピン(図 40 に C と示された AD7981 ADC を参照)が、ハイ・レベルに駆動されます。SDO 上のこの変化を BUSY 表示として使って、デジタル・ホストから制御されるデータ・リードバックを開始することができます。次に、AD7981 はアキュイジション・フェーズに入り、パワーダウンします。内部シフトレジスタに保存されているデータ・ビットは、後続の SCK の立ち下がりエッジで、MSB ファーストで出力されます。各 ADC で、SDI が内部シフトレジスタの入力に接続され、SCK の立ち下がりエッジでクロック駆動されます。チェーン内の各 ADC はデータの MSB を先頭に出力し、N 番目の ADC をリードバックするためには $16 \times N + 1$ 個のクロックが必要です。立ち上がりエッジを使ってデータを取込むことができますが、SCK の立ち下がりエッジを使うデジタル・ホストを使うと、ホールド・タイムが許容できる限り、より高速な読み出しレートが可能になり、かつチェーン内の AD7981 デバイスの数を増やすことができます。

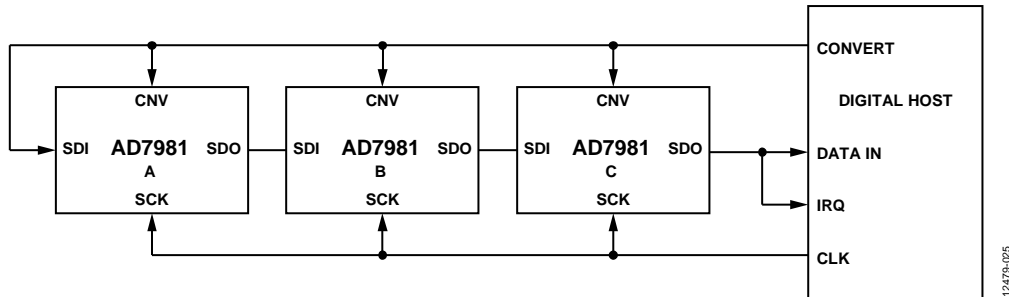


図 38.チェーン・モード、BUSY 表示ありの接続図

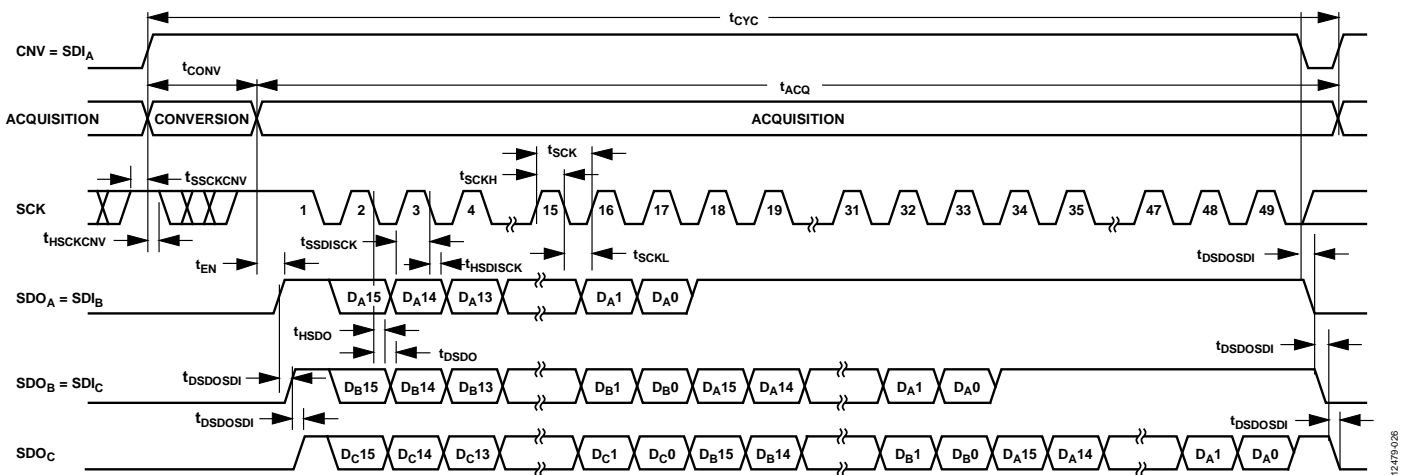


図 39.4 線式モード、BUSY 表示ありのシリアル・インターフェース・タイミング

アプリケーション情報

175°C以上の温度で、確実に動作できる低消費電力電子部品を必要とする工業が増えています。AD7981は、そのようなタイプのアプリケーション向けに高温において、センサからプロセッサへの高精度アナログ信号処理を可能にします。

図 42 は、データ収集装置の単純化した信号チェーンを示します。

地下穴掘削、航空電子や他の過酷な温度環境のアプリケーションでは、周囲の地質学的構成のような情報を収集するために様々なセンサからの信号がサンプリングされます。そのようなセンサは、電極、コイル、圧電素子、または他の変換器の形をとることがあります。加速度計とジャイロスコープは、傾斜、振動、および回転レートに関する情報を提供します。そのようなセンサには、帯域幅がきわめて低いものや、可聴周波

数領域やそれ以上の周波数情報を生成するものもあります。AD7981は、電力効率と精度を維持しながら、帯域幅要件の異なるセンサからデータをサンプリングするには理想的です。AD7981はフットプリントが小さいため、地下穴掘削工具では通常きわめて狭いボード幅などのようにスペースに制約があるレイアウトでも、複数のチャンネルを容易に含めることができます。さらに、フレキシブルなデジタル・インターフェースによって、要求の多い同時サンプリングアプリケーションが可能であり、また少ないピン数のシステムでのデジチェーン・リードバックも容易です。

入手可能な高温製品の全製品のセレクション・テーブルについては、高温製品リストを参照してください。また www.analog.com/hightemp にて品質評価データの入手可能です。

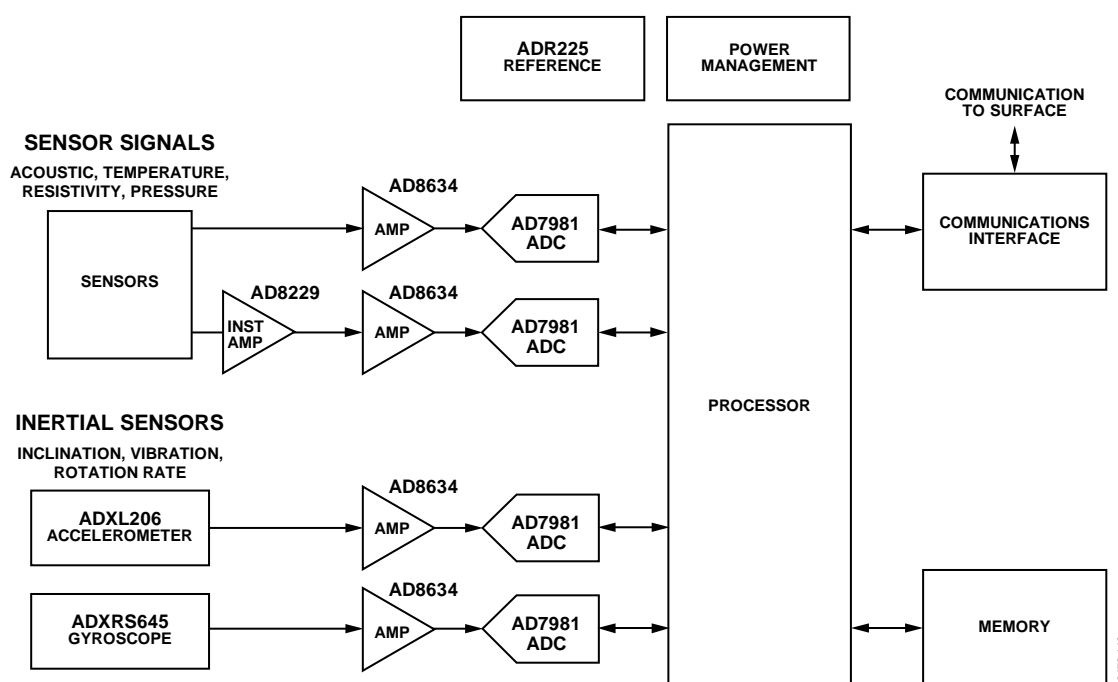


図 40.単純化したデータ収集システム信号チェーン

プリント回路基板(PCB)レイアウト

AD7981 を実装する PCB は、アナログ部とデジタル部を分離して、ボード内でそれぞれをまとめて配置するようにデザインする必要があります。AD7981 では、すべてのアナログ信号を左側に、すべてのデジタル信号を右側に配置しているため、この作業が容易になります。

AD7981 の下のグラウンド・プレーンがシールドとして使われてない限り、デジタル・ノイズがチップに結合するため、デジタル・ラインがデバイスの真下を通らないようにしてください。CNV やクロックのような高速スイッチング信号が、アナログ信号経路の近くを絶対に通らないようにしてください。デジタル信号とアナログ信号の交差は回避する必要があります。

少なくとも 1 つのグラウンド・プレーンを使用してください。デジタル部とアナログ部に共通または分けて使うことができます。グラウンド・プレーンが分離している場合は、AD7981 の下でお互いのプレーンを接続してください。

AD7981 の電圧リファレンス入力 REF は動的入力インピーダンスを持つため、最小の寄生インダクタンスでデカップリングする必要があります。リファレンス・デカップリング・セラミック・コンデンサは、REF ピンと GND ピンの近くに、理想的には直接、幅広い低インピーダンス・トレースによって接続されなければなりません。

AD7981 の電源 VDD と VIO は AD7981 の近くに配置されたセラミック・コンデンサ(一般に 100 nF)によってデカップリングし、低インピーダンス経路を提供する短く幅広いパターンで接続して、電源ライン上のグリッチの影響を軽減します。これらのルールに則ったレイアウトの例を図 43 と図 44 に示します。

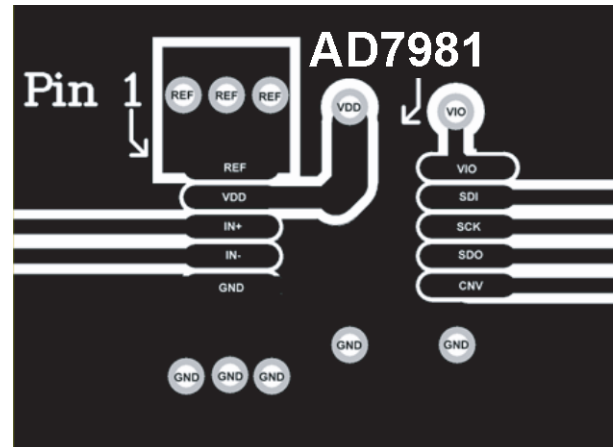


図 43. AD7981 の PCB レイアウト例(最上層)

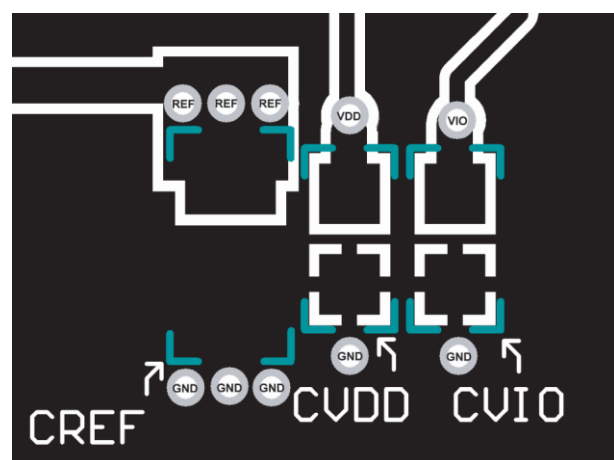


図 44. AD7981 の PCB レイアウト例(最下層)

外形寸法

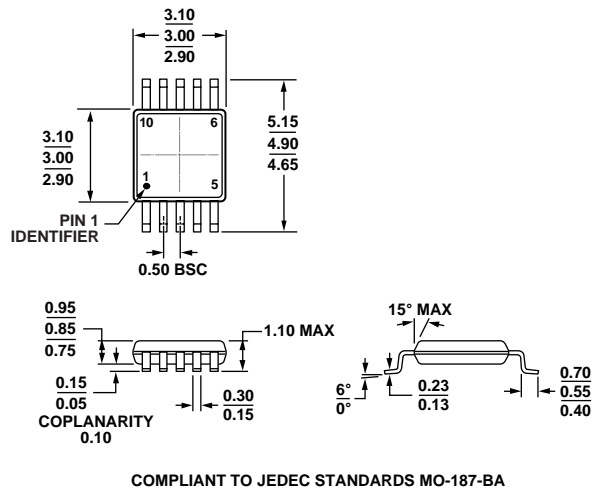


図 41.10 ピン・ミニ・スモール・アウトライン・パッケージ[MSOP] (RM-10) 寸法: mm

オーダー・ガイド

モデル名 ¹	Integral Nonlinearity (INL)	Temperature Range	Ordering Quantity	Package Description	Package Option	Branding
AD7981HRMZ	±2.0 LSB	-55°C to +175°C	50	10-Lead Mini Small Outline Package [MSOP]	RM-10	C7C

¹ Z = RoHS Compliant Part.