

### 特長

- ノーマス・コードの14ビット分解能
- スループット: 250 kSPS
- INL:  $\pm 0.4$  LSB (typ)、最大 $\pm 1$  LSB (FSRの $\pm 0.0061\%$ )
- SINAD: 20 kHzで85 dB
- THD: 20 kHzで-100 dB
- 疑似差動アナログ入力範囲: VDDまでの $V_{REF}$ で $0V \sim V_{REF}$
- パイプライン遅延なし
- 1.8 V/2.5 V/3 V/5 V ロジック・インターフェースで2.3 V~5.5 Vの単電源動作
- シリアル・インターフェース: SPI/QSPI/MICROWIRE/DSP 互換
- 複数ADCのディジーチェーン接続とビジー表示
- 消費電力
  - 2.5 V/100 kSPSで1.25 mW
  - 5 V/100 kSPSで3.6 mW
  - 2.5 V/100 SPSで1.25  $\mu$ W
- スタンバイ電流: 1 nA
- 10ピン・パッケージ: MSOPまたは3 mm x 3 mm QFN (LFCSP)
- 16ビットAD7685とピン・コンパチブル

### アプリケーション

- バッテリー駆動の装置
- データ・アキュイジション
- 計装機器
- 医用計測機器
- プロセス制御

### アプリケーション図

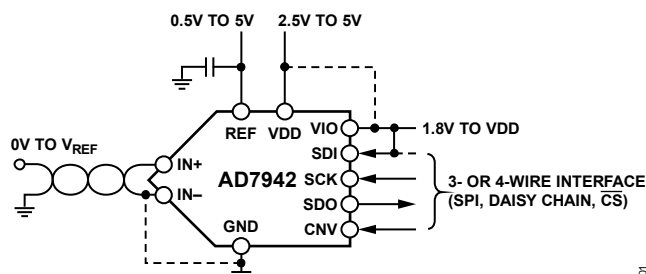


図 1.

### 概要

AD7942はVDD = 2.3 V~5.5 Vの単電源で動作する14ビット電荷再配分逐次比較型PuISAR<sup>®</sup>ADCであり、このデバイスはノーマス・コードの低消費電力高速14ビット・サンプリングADC、変換クロック、多機能シリアル・インターフェース・ポートを内蔵しています。また、低ノイズで広帯域幅の、アパーチャ遅延が非常に小さいトラック・アンド・ホールド回路も内蔵しています。グラウンド・センスIN-を基準とするアナログ入力IN+ (0 V~REF)をCNVの立上がりエッジでサンプルします。リファレンス電圧 $V_{REF}$ は外部から供給し、電源電圧まで上げることができます。消費電力はスループットに比例します。

また、SPI互換のシリアル・インターフェースは、SDI入力を使って、1本の3線式バスで複数のADCをディジーチェーン接続する機能も持っています。さらにオプションとしてビジーを表示することもできます。別電源(VIO)を使って、1.8 V、2.5 V、3 V、または5 Vロジックとインターフェースすることができます。

AD7942は10ピンMSOPパッケージまたは10ピンQFN (LFCSP)パッケージを採用していますが、8ピンのMSOPまたはSOT-23のフットプリントと同じサイズです。AD7942の動作は-40°C~+85°Cで規定されています。

表 1. MSOP、QFN (LFCSP)/SOT-23 を採用した 14/16/18 ビット ADC

Type	100 kSPS	250 kSPS	400 kSPS to 500 kSPS	$\geq 1000$ kSPS	ADC Driver
14-Bit	AD7940	AD7942 <sup>1</sup>	AD7946 <sup>1</sup>		
16-Bit	AD7680	AD7685 <sup>1</sup>	AD7686 <sup>1</sup>	AD7980 <sup>1</sup>	ADA4941-x
	AD7683	AD7687 <sup>1</sup>	AD7688 <sup>1</sup>	AD7983 <sup>1</sup>	ADA4841-x
	AD7684	AD7694	AD7693 <sup>1</sup>		
18-Bit		AD7691 <sup>1</sup>	AD7690 <sup>1</sup>	AD7982 <sup>1</sup>	ADA4941-x
				AD7984 <sup>1</sup>	ADA4841-x

<sup>1</sup> AD7942 とピン・コンパチブル

## 目次

特長.....	1	用語.....	12
アプリケーション.....	1	動作原理.....	13
アプリケーション図.....	1	回路説明.....	13
概要.....	1	コンバータの動作.....	13
改訂履歴.....	2	代表的な接続図.....	14
仕様.....	3	デジタル・インターフェース.....	16
タイミング仕様.....	5	アプリケーション情報.....	23
絶対最大定格.....	7	レイアウト.....	23
ESDの注意.....	7	AD7942の性能評価.....	23
ピン配置およびピン機能説明.....	8	外形寸法.....	24
代表的な性能特性.....	9	オーダー・ガイド.....	24

## 改訂履歴

### 6/08—Rev. A to Rev. B

Changes to Features Section and General Description Section.....	1
Moved Figure 2 and Figure 3.....	6
Changes to Table 6.....	8
Moved Terminology Section.....	12
Changes to Figure 41.....	22
Changes to Ordering Guide.....	24

### 12/07—Rev. 0 to Rev. A

Changes to Table 1.....	1
Changes to General Description Section.....	1
Changes to Table 6.....	7
Changes to Table 7.....	8
Changes to Circuit Information Section.....	13
Changes to Table 9.....	15
Changes to Figure 39.....	21
Changes to Figure 41.....	22
Updated Outline Dimensions.....	24
Changes to Ordering Guide.....	24

### 3/05—Revision 0: Initial Version

## 仕様

特に指定がない限り、VDD = 2.3 V ~ 5.5 V、VIO = 2.3 V ~ VDD、VREF = VDD、TA = -40 ~ +85°C。

表 2.

Parameter	Conditions	Min	Typ	Max	Unit
RESOLUTION		14			Bits
ANALOG INPUT					
Voltage Range	IN+ – IN–	0		VREF	V
Absolute Input Voltage	IN+	-0.1		VDD + 0.1	V
	IN–	-0.1		+0.1	V
Analog Input CMRR	fIN = 250 kHz		65		dB
Leakage Current	TA = 25°C, acquisition phase		1		nA
Input Impedance		See the Analog Input section			
ACCURACY					
No Missing Codes		14			Bits
Differential Linearity Error		-0.7	±0.3	+0.7	LSB <sup>1</sup>
Integral Linearity Error		-1	±0.4	+1	LSB
Transition Noise	VREF = VDD = 5 V		0.33		LSB
Gain Error <sup>2</sup> , TMIN to TMAX			±0.7	±6	LSB
Gain Error Temperature Drift			±1		ppm/°C
Offset Error <sup>2</sup> , TMIN to TMAX	VDD = 4.5 V to 5.5 V		±0.45	±3	mV
	VDD = 2.3 V to 4.5 V		±0.75	±4.5	mV
Offset Temperature Drift			±2.5		ppm/°C
Power Supply Sensitivity	VDD = 5 V ± 5%		±0.1		LSB
THROUGHPUT					
Conversion Rate	VDD = 4.5 V to 5.5 V	0		250	kSPS
	VDD = 2.3 V to 4.5 V	0		200	kSPS
Transient Response	Full-scale step			1.8	µs
AC ACCURACY					
Signal-to-Noise Ratio (SNR)	fIN = 20 kHz, VREF = 5 V	84.5	85		dB <sup>3</sup>
	fIN = 20 kHz, VREF = 2.5 V		84		dB
Spurious-Free Dynamic Range (SFDR)	fIN = 20 kHz		-100		dB
Total Harmonic Distortion (THD)	fIN = 20 kHz		-100		dB
Signal-to-Noise and Distortion Ratio (SINAD)	fIN = 20 kHz, VREF = 5 V	83	85		dB
	fIN = 20 kHz, VREF = 5 V, -60 dB input		25		dB
	fIN = 20 kHz, VREF = 2.5 V		84		dB
REFERENCE					
Voltage Range		0.5		VDD + 0.3	V
Load Current	250 kSPS, VREF = 5 V		50		µA
SAMPLING DYNAMICS					
-3 dB Input Bandwidth			2		MHz
Aperture Delay	VDD = 5 V		2.5		ns
DIGITAL INPUTS					
Logic Levels					
VIL		-0.3		+0.3 × VIO	V
VIH		0.7 × VIO		VIO + 0.3	V
IIL		-1		+1	µA
IIH		-1		+1	µA
DIGITAL OUTPUTS					
Data Format		Serial 14 bits straight binary			
Pipeline Delay		Conversion results available immediately after completed conversion			
VOL	ISINK = +500 µA			0.4	V
VOH	ISOURCE = -500 µA	VIO - 0.3			V

Parameter	Conditions	Min	Typ	Max	Unit
<b>POWER SUPPLIES</b>					
VDD	Specified performance	2.3		5.5	V
VIO	Specified performance	2.3		VDD + 0.3	V
VIO Range		1.8		VDD + 0.3	V
Standby Current <sup>4, 5</sup>	VDD and VIO = 5 V, @ 25°C		1	50	nA
Power Dissipation	VDD = 2.5 V, 100 SPS throughput		1.25		μW
	VDD = 2.5 V, 100 kSPS throughput		1.25	2	mW
	VDD = 2.5 V, 200 kSPS throughput		2.5	4	mW
	VDD = 5 V, 100 kSPS throughput		3.6	5	mW
	VDD = 5 V, 250 kSPS throughput			12.5	mW
<b>TEMPERATURE RANGE<sup>6</sup></b>					
Specified Performance	T <sub>MIN</sub> to T <sub>MAX</sub>	-40		+85	°C

<sup>1</sup> LSB は最下位ビットを意味します。入力範囲が 5 V の場合、1LSB = 305.2 μV。

<sup>2</sup> 用語のセクションを参照してください。これらの仕様にはすべての温度範囲の変動が含まれますが、外付けリファレンス電圧の変動による影響は含まれません。

<sup>3</sup> dB で表示するすべての仕様はフルスケール入力 FS を基準とします。特に注記がない場合、フルスケールより 0.5 dB 低い入力信号でテスト。

<sup>4</sup> すべてのデジタル入力を必要に応じて VIO または GND に接続。

<sup>5</sup> アクイジション・フェーズ時。

<sup>6</sup> 拡張温度範囲については当社営業にご相談ください。

## タイミング仕様

特に指定がない限り、 $VDD = 4.5\text{ V} \sim 5.5\text{ V}^1$ 、 $VIO = 2.3\text{ V} \sim 5.5\text{ V}$  または  $VDD + 0.3\text{ V}$  (いずれか低い方)、 $T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$ 。

表 3.

Parameter	Symbol	Min	Typ	Max	Unit
Conversion Time: CNV Rising Edge to Available Data Acquisition Time	$t_{\text{CONV}}$	0.5		2.2	$\mu\text{s}$
Time Between Conversions	$t_{\text{CYC}}$	4			$\mu\text{s}$
CNV Pulse Width ( $\overline{\text{CS}}$ Mode)	$t_{\text{CNVH}}$	10			ns
SCK Period ( $\overline{\text{CS}}$ Mode)	$t_{\text{SCK}}$	15			ns
SCK Period (Chain Mode)	$t_{\text{SCK}}$				
$VIO \geq 4.5\text{ V}$		17			ns
$VIO \geq 3\text{ V}$		18			ns
$VIO \geq 2.7\text{ V}$		19			ns
$VIO \geq 2.3\text{ V}$		20			ns
SCK Low Time	$t_{\text{SCKL}}$	7			ns
SCK High Time	$t_{\text{SCKH}}$	7			ns
SCK Falling Edge to Data Remains Valid	$t_{\text{HSDO}}$	5			ns
SCK Falling Edge to Data-Valid Delay	$t_{\text{DSDO}}$				
$VIO \geq 4.5\text{ V}$				14	ns
$VIO \geq 3\text{ V}$				15	ns
$VIO \geq 2.7\text{ V}$				16	ns
$VIO \geq 2.3\text{ V}$				17	ns
CNV or SDI Low to SDO D13 MSB Valid ( $\overline{\text{CS}}$ Mode)	$t_{\text{EN}}$				
$VIO \geq 4.5\text{ V}$				15	ns
$VIO \geq 2.7\text{ V}$				18	ns
$VIO \geq 2.3\text{ V}$				22	ns
CNV or SDI High or Last SCK Falling Edge to SDO High Impedance ( $\overline{\text{CS}}$ Mode)	$t_{\text{DIS}}$			25	ns
SDI Valid Setup Time from CNV Rising Edge ( $\overline{\text{CS}}$ Mode)	$t_{\text{SSDICNV}}$	15			ns
SDI Valid Hold Time from CNV Rising Edge ( $\overline{\text{CS}}$ Mode)	$t_{\text{HSDICNV}}$	0			ns
SCK Valid Setup Time from CNV Rising Edge (Chain Mode)	$t_{\text{SSCKCNV}}$	5			ns
SCK Valid Hold Time from CNV Rising Edge (Chain Mode)	$t_{\text{HSCKCNV}}$	5			ns
SDI Valid Setup Time from SCK Falling Edge (Chain Mode)	$t_{\text{SSDISCK}}$	3			ns
SDI Valid Hold Time from SCK Falling Edge (Chain Mode)	$t_{\text{HSDISCK}}$	4			ns
SDI High to SDO High (Chain Mode with Busy Indicator)	$t_{\text{DSDOSDI}}$				
$VIO \geq 4.5\text{ V}$				15	ns
$VIO \geq 2.3\text{ V}$				26	ns

<sup>1</sup> 負荷条件については図 2 と図 3 参照。

特に指定がない限り、 $V_{DD} = 2.3\text{ V} \sim 4.5\text{ V}^1$ 、 $V_{IO} = 2.3\text{ V} \sim 4.5\text{ V}$  または  $V_{DD} + 0.3\text{ V}$  (いずれか低い方)、 $T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$ 。

表 4.

Parameter	Symbol	Min	Typ	Max	Unit
Conversion Time: CNV Rising Edge to Data Available	$t_{\text{CONV}}$	0.7		3.2	$\mu\text{s}$
Acquisition Time	$t_{\text{ACQ}}$	1.8			$\mu\text{s}$
Time Between Conversions	$t_{\text{CYC}}$	5			$\mu\text{s}$
CNV Pulse Width ( $\overline{\text{CS}}$ Mode)	$t_{\text{CNVH}}$	10			ns
SCK Period ( $\overline{\text{CS}}$ Mode)	$t_{\text{SCK}}$	25			ns
SCK Period (Chain Mode)	$t_{\text{SCK}}$				
$V_{IO} \geq 3\text{ V}$		29			ns
$V_{IO} \geq 2.7\text{ V}$		35			ns
$V_{IO} \geq 2.3\text{ V}$		40			ns
SCK Low Time	$t_{\text{SCKL}}$	12			ns
SCK High Time	$t_{\text{SCKH}}$	12			ns
SCK Falling Edge to Data Remains Valid	$t_{\text{HSDO}}$	5			ns
SCK Falling Edge to Data Valid Delay	$t_{\text{DSDO}}$				
$V_{IO} \geq 3\text{ V}$				24	ns
$V_{IO} \geq 2.7\text{ V}$				30	ns
$V_{IO} \geq 2.3\text{ V}$				35	ns
CNV or SDI Low to SDO D13 MSB Valid ( $\overline{\text{CS}}$ Mode)	$t_{\text{EN}}$				
$V_{IO} \geq 2.7\text{ V}$				18	ns
$V_{IO} \geq 2.3\text{ V}$				22	ns
CNV or SDI High or Last SCK Falling Edge to SDO High Impedance ( $\overline{\text{CS}}$ Mode)	$t_{\text{DIS}}$			25	ns
SDI Valid Setup Time from CNV Rising Edge ( $\overline{\text{CS}}$ Mode)	$t_{\text{SSDICNV}}$	30			ns
SDI Valid Hold Time from CNV Rising Edge ( $\overline{\text{CS}}$ Mode)	$t_{\text{HSDICNV}}$	0			ns
SCK Valid Setup Time from CNV Rising Edge (Chain Mode)	$t_{\text{SSCKCNV}}$	5			ns
SCK Valid Hold Time from CNV Rising Edge (Chain Mode)	$t_{\text{HSCKCNV}}$	8			ns
SDI Valid Setup Time from SCK Falling Edge (Chain Mode)	$t_{\text{SSDISCK}}$	5			ns
SDI Valid Hold Time from SCK Falling Edge (Chain Mode)	$t_{\text{HSDISCK}}$	4			ns
SDI High to SDO High (Chain Mode with Busy Indicator)	$t_{\text{DSDOSDI}}$			36	ns

<sup>1</sup> 負荷条件については図 2 と図 3 参照。

## タイミング図

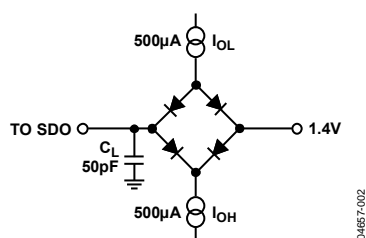
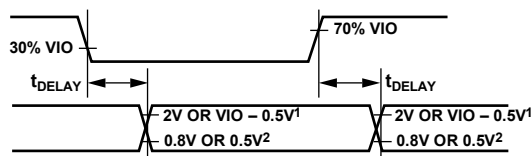


図 2. デジタル・インターフェース・タイミングの負荷回路



### NOTES

<sup>1</sup> 2V IF  $V_{IO}$  ABOVE 2.5V,  $V_{IO} - 0.5\text{ V}$  IF  $V_{IO}$  BELOW 2.5V.

<sup>2</sup> 0.8V IF  $V_{IO}$  ABOVE 2.5V, 0.5V IF  $V_{IO}$  BELOW 2.5V.

図 3. タイミングの基準電圧レベル

## 絶対最大定格

表 5.

Parameter	Rating
Analog Inputs	
IN <sup>+</sup> , IN <sup>-</sup> <sup>1</sup>	GND - 0.3 V to VDD + 0.3 V or ±130 mA
REF	GND - 0.3 V to VDD + 0.3 V
Supply Voltages	
VDD and VIO to GND	-0.3 V to +7 V
VDD to VIO	±7 V
Digital Inputs to GND	-0.3 V to VIO + 0.3 V
Digital Outputs to GND	-0.3 V to VIO + 0.3 V
Storage Temperature Range	-65°C to +150°C
Junction Temperature	150°C
θ <sub>JA</sub> Thermal Impedance	
10-Lead MSOP	200°C/W
10-Lead QFN (LFCSP_WD)	48.7°C/W
θ <sub>JC</sub> Thermal Impedance	
10-Lead MSOP	44°C/W
10-Lead QFN (LFCSP_WD)	2.96°C/W
Lead Temperature	
Vapor Phase (60 sec)	215°C
Infrared (15 sec)	220°C

<sup>1</sup> アナログ入力 のセクション参照。

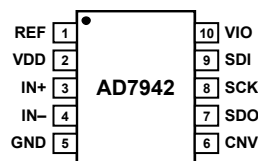
上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上のデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

### ESDの注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

## ピン配置およびピン機能説明



NOTES  
1. PADDLE CONNECTED TO GND. THIS CONNECTION IS NOT REQUIRED TO MEET THE ELECTRICAL PERFORMANCES.

04857-004

図 4. ピン配置

表 6. ピン機能の説明

ピン番号	記号	タイプ <sup>1</sup>	説明
1	REF	AI	リファレンス電圧入力。V <sub>REF</sub> の範囲は0.5 V～VDDです。REFはGNDピンを基準とします。REFのできるだけ近くで10 μFのコンデンサによりデカップリングしてください。
2	VDD	P	電源。
3	IN+	AI	アナログ入力。IN+はIN-を基準とします。すなわち、電圧範囲はIN+とIN-の間の電位差で0 V～V <sub>REF</sub> です。
4	IN-	AI	アナログ入力グラウンド・センス。IN-はアナログ・グラウンド・プレーンまたはリモート・センス・グラウンドに接続します。
5	GND	P	電源グラウンド。
6	CNV	DI	変換入力。この入力ピンは複数の機能を持っています。CNVの前縁エッジで変換が開始され、デバイスのインターフェース・モード(チェーン・モードまたはCSモード)が選択されます。CSモードでは、このピンがロー・レベルのときSDOピンがイネーブルされます。チェーン・モードでは、CNVがハイ・レベルのときにデータを読出す必要があります。
7	SDO	DO	シリアル・データ出力。変換結果がこのピンに出力されます。このピンはSCKに同期しています。
8	SCK	DI	シリアル・データ・クロック入力。デバイスが選択されたとき、変換結果がこのクロックでシフトアウトされます。
9	SDI	DI	シリアル・データ入力。この入力は複数の機能を持っています。ADCのインターフェース・モードを選択し、CNVの立上がりエッジ時にSDIがロー・レベルのとき、チェーン・モードが選択されます。このモードでは、SDIはデータ入力として使用されて、複数のADCの変換結果を1本のSDOラインにディジーチェーン接続します。SDIのデジタル・データ・レベルがSDOに出力され、SCKの14サイクル分の遅延が加わります。CNVの立上がりエッジ時にSDIがハイ・レベルになると、CSモードが選択されます。このモードでは、SDIまたはCNVがロー・レベルのとき、シリアル出力信号がイネーブルされ、変換が完了してSDIまたはCNVがロー・レベルになると、ビジー表示機能がイネーブルされます。
10	VIO	P	入出力インターフェースのデジタル電源。公称では、ホスト・インターフェース(1.8 V、2.5 V、3 V、5 V)と同じ電源。

<sup>1</sup> AI=アナログ入力、DI=デジタル入力、DO=デジタル出力、P=電源。



## 代表的な性能特性

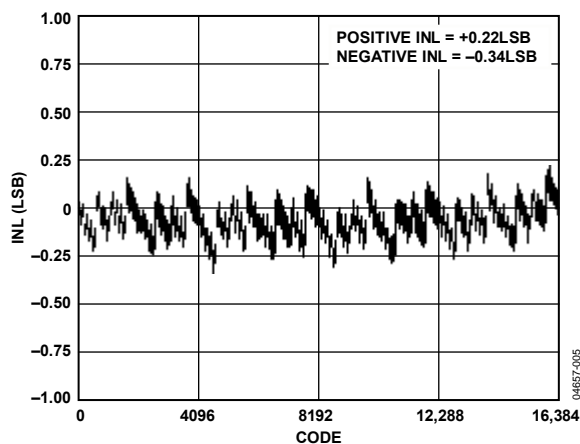


図 5.コード対積分非直線性

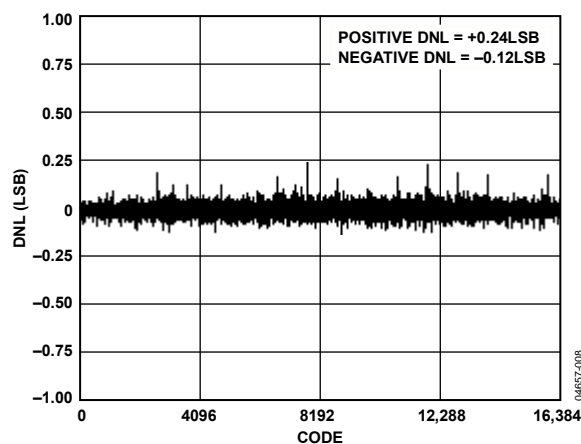


図 8.コード対微分非直線性

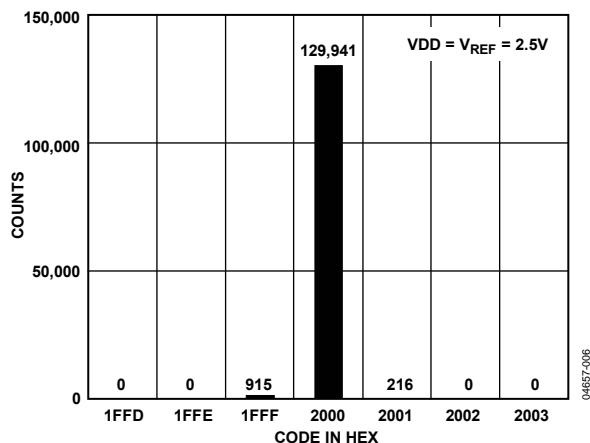


図 6.コード中心での DC 入力のヒストグラム

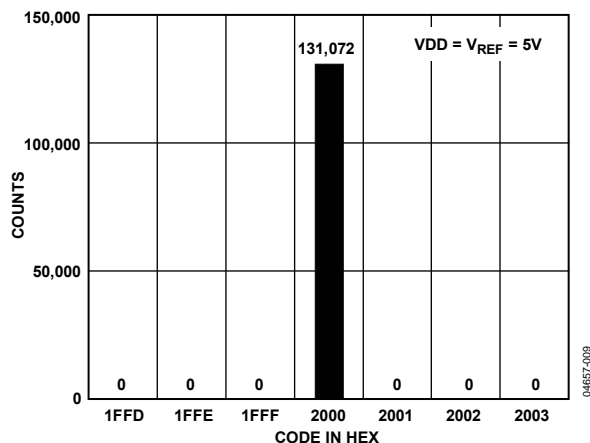


図 9.コード中心での DC 入力のヒストグラム

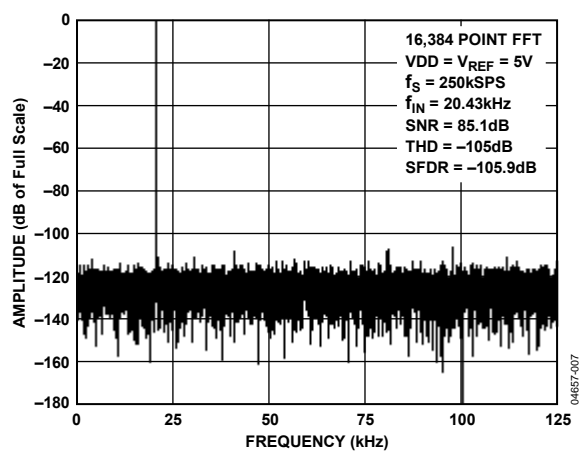


図 7.FFT プロット

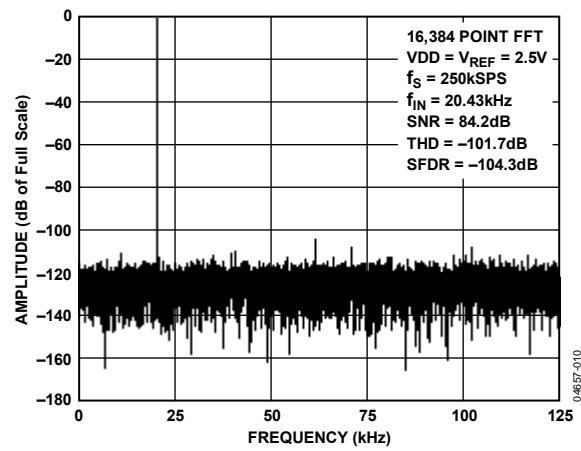


図 10.FFT プロット

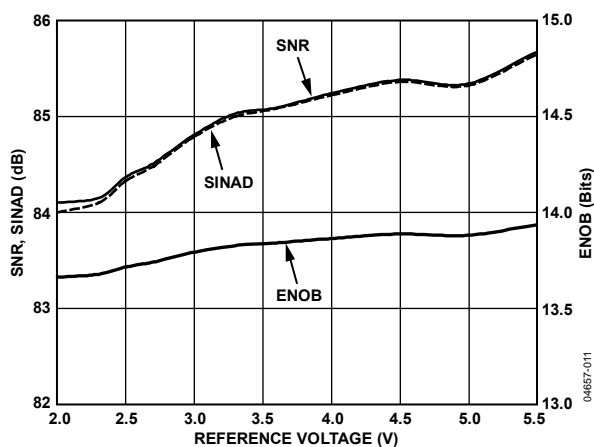


図 11. リファレンス電圧対 SNR、SINAD、ENOB

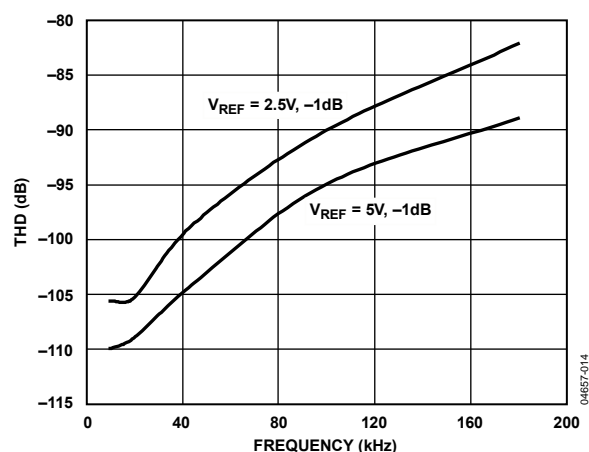


図 14. THD の周波数特性

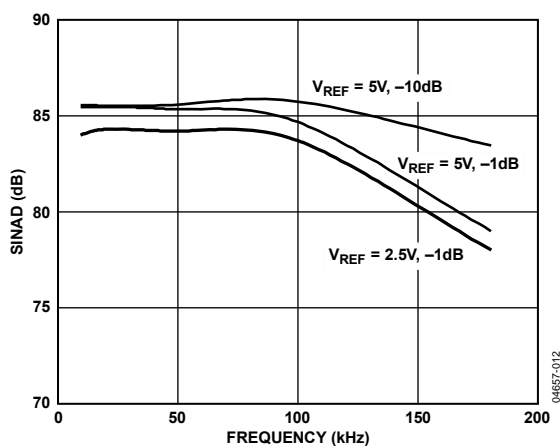


図 12. SINAD の周波数特性

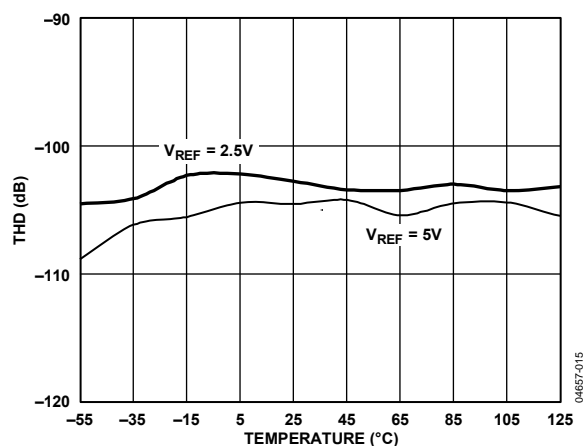


図 15. THD の温度特性

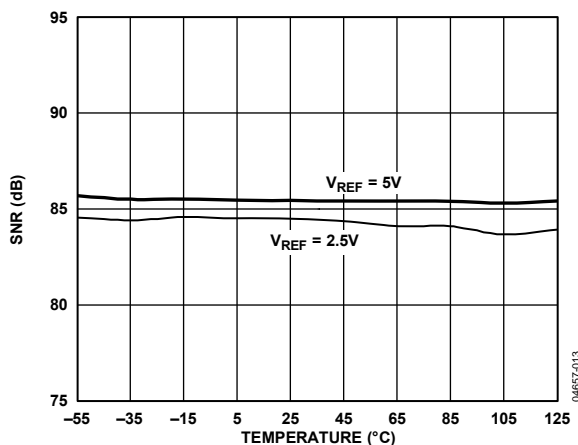


図 13. SNR の温度特性

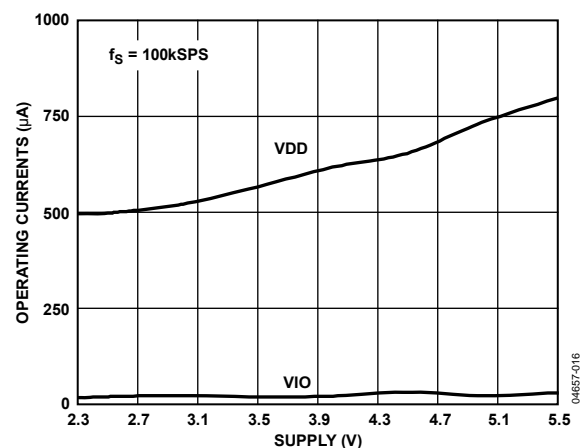


図 16. 電源電圧対動作電流

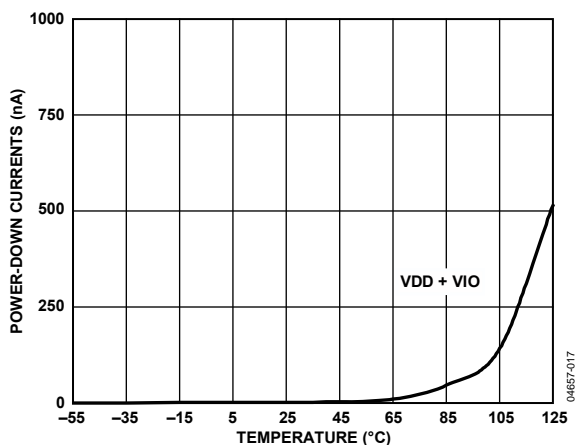


図 17. パワーダウン電流の温度特性

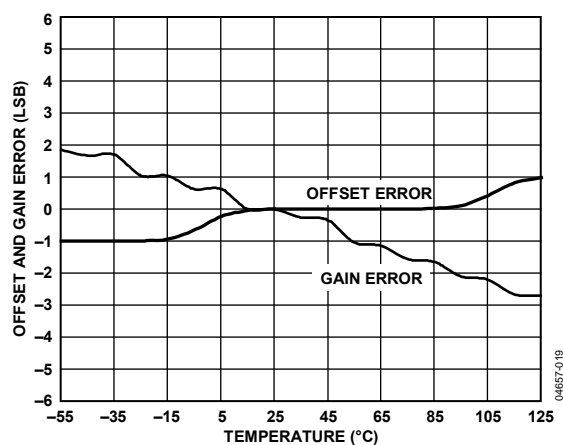


図 19. オフセット誤差とゲイン誤差の温度特性

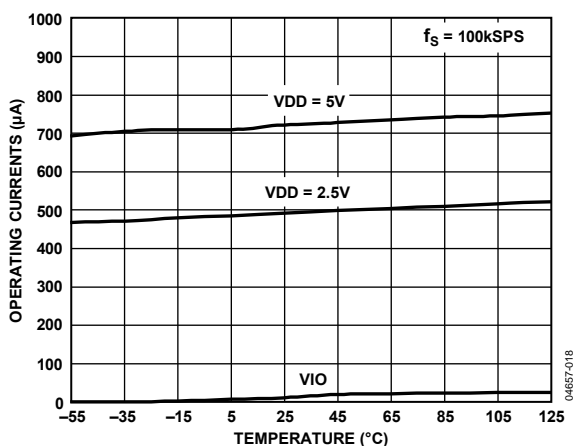


図 18. 動作電流の温度特性

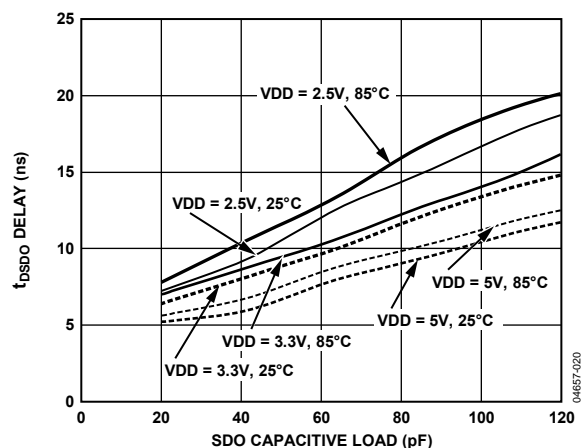


図 20. SDO 容量負荷および電源対  $t_{psdo}$  遅延

## 用語

### 直線性誤差または積分非直線性誤差(INL)

直線性誤差は、負側のフルスケールと正側のフルスケールを結ぶ直線と各コードとの偏差を意味します。負側フルスケールとして使用されるポイントは、最初のコード遷移より 1/2 LSB だけ下に存在します。正フルスケールは、最後のコード遷移より 1+1/2 LSB だけ上のレベルと定義されます。偏差は各コードの中央と直線との間の距離として測定されます。

### 微分非直線性誤差(DNL)

理論 ADC では、各コード遷移は 1 LSB だけ離れた位置で発生します。DNL は、この理論値からの最大偏差を意味します。微分非直線性は、ノーマス・コードが保証される分解能として規定されることがあります。

### オフセット誤差

最初の変化はアナログ・グラウンドより 1/2 LSB 上のレベルで発生する必要があります(0~5 V 範囲の場合 152.6  $\mu$ V)。オフセット誤差は、そのポイントと実際の変化との差を意味します。

### ゲイン誤差

最後の変化(111 ... 10→111 ... 11)は、公称フルスケール(0 V~5 V レンジの場合は 4.999542 V)より 1.5 LSB 低いアナログ電圧で発生します。ゲイン誤差とは、オフセット調整後の理論レベルと最後の変化の実際レベルの差を意味します。

### スプリアス・フリー・ダイナミック・レンジ(SFDR)

入力信号の rms 振幅値とピーク・スプリアス信号との差をいい、dB 値で表します。

### 実効ビット数(ENOB)

ENOB は、正弦波を入力したときの分解能を表します。次式により SINAD と関係し、ビット数で表わします。

$$ENOB = (SINAD_{dB} - 1.76)/6.02$$

### 総合高調波歪み(THD)

THD は、基本波から 5 次高調波成分までの rms 値の総和の、フルスケール入力信号の rms 値に対する比を意味し、デシベル値で表します。

### 信号対ノイズ比(SNR)

SNR は、実際の入力信号 rms 値の、ナイキスト周波数より下の全スペクトル成分の rms 値総和から高調波成分と DC 成分を除いた分に対する比です。SNR は、デシベル値で表されます。

### 信号対ノイズおよび歪み比(SINAD)

SINAD は、実際の入力信号 rms 値の、ナイキスト周波数より下の全スペクトル成分の rms 値総和(DC 以外の高調波を含む)に対する比です。SINAD は、デシベル値で表されます。

### アパーチャ遅延

アパーチャ遅延はアクイジション性能を表し、CNV 入力の立上がりエッジから入力信号が変換用にホールドされるまでの時間として測定されます。

### 過渡応答

フルスケールのステップ関数が入力された後に ADC が正確に入力を取得するまでに要する時間を表します。

## 動作原理

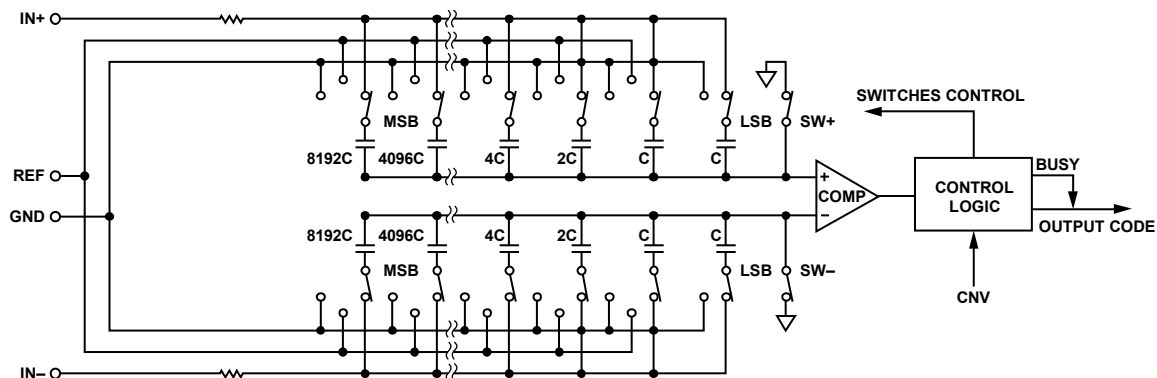


図 21.ADC の簡略化した回路図

### 回路説明

AD7942 は単電源動作の逐次比較型アーキテクチャを採用した高速高精度低消費電力 14 ビット A/D コンバータ(ADC)です。

AD7942 は毎秒 250,000 サンプル(250 kSPS)の変換が可能で、変換と変換の間にパワーダウンします。例えば、100 SPS 動作時の消費電力は 2.5 V 電源で 1.25  $\mu$ W (typ)であるため、バッテリー駆動のアプリケーションに最適です。

AD7942 はトラック・アンド・ホールドを内蔵し、パイプライン遅延またはレイテンシがないため、マルチプレクスされた複数チャンネルのアプリケーションに最適です。

AD7942 は 2.3~5.5 V の仕様であるため、1.8 V、2.5 V、3.3 V、または 5 V のデジタル・ロジックとインターフェースすることができます。10 ピンMSOPパッケージまたは省スペースと柔軟な構成を兼ね備えた小型の 10 ピンQFN (LFCSP)パッケージを採用しています。このデバイスは、16 ビットADC AD7685とピン・コンパチブルです。

### コンバータの動作

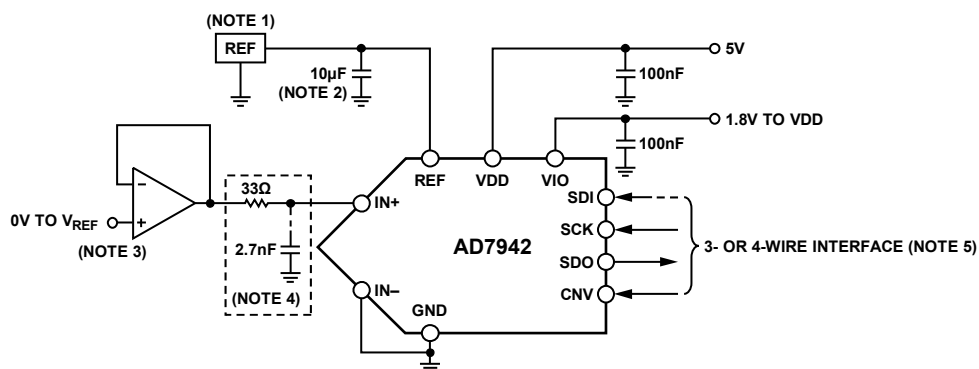
AD7942 は、電荷再分配型DACを採用した逐次比較型ADCです。図 21 に、ADCの簡略化した回路図を示します。容量を使用するこのDACは、2 進数の重みを持った 14 個コンデンサで構成される

2 個の同じアレイで構成されており、各アレイは 2 個のコンパレータ入力に接続されています。

アキュイジション・フェーズでは、コンパレータ入力に接続されたアレイのピンは、SW+と SW-を経由して GND に接続されます。独立なすべてのスイッチはアナログ入力に接続されます。したがって、コンデンサ・アレイはサンプリング・コンデンサとして使用されて、IN+入力と IN-入力上のアナログ信号が取り込まれます。アキュイジション・フェーズが終わり、CNV 入力が高レベルになると、変換フェーズが開始されます。変換フェーズが開始されると、まず SW+と SW-が開きます。2 個のコンデンサ・アレイは入力から切り離されて、GND 入力に接続されます。そのため、アキュイジション・フェーズの終わりに取り込まれた、入力(IN+と IN-)の間の差動電圧がコンパレータ入力に接続されて、コンパレータは平衡しくなくなります。コンデンサ・アレイの各エレメントを GND と REF の間でスイッチングすることにより、コンパレータ入力を 2 進数重みの電圧ステップ( $V_{REF}/2$ 、 $V_{REF}/4$  ...  $V_{REF}/16,384$ )で変えます。コントロール・ロジックがこれらのスイッチをトグルして(MSB から開始)、コンパレータが再度平衡するようにします。この処理が終了すると、デバイスはアキュイジション・フェーズに戻り、コントロール・ロジックが ADC 出力コードとビジー表示を発生します。

AD7942 は変換クロックを内蔵しているため、変換プロセスのためのシリアル・クロックは不要です。

04657-021



NOTE 1: SEE THE VOLTAGE REFERENCE INPUT SECTION FOR REFERENCE SELECTION.  
 NOTE 2:  $C_{REF}$  IS USUALLY A 10μF CERAMIC CAPACITOR (X5R).  
 NOTE 3: SEE DRIVER AMPLIFIER CHOICE SECTION.  
 NOTE 4: OPTIONAL FILTER. SEE ANALOG INPUT SECTION.  
 NOTE 5: SEE DIGITAL INTERFACE FOR MOST CONVENIENT INTERFACE MODE.

04657-022

図 22. 代表的なアプリケーション図

伝達関数

AD7942 の理論伝達特性を図 23 と表 7 に示します。

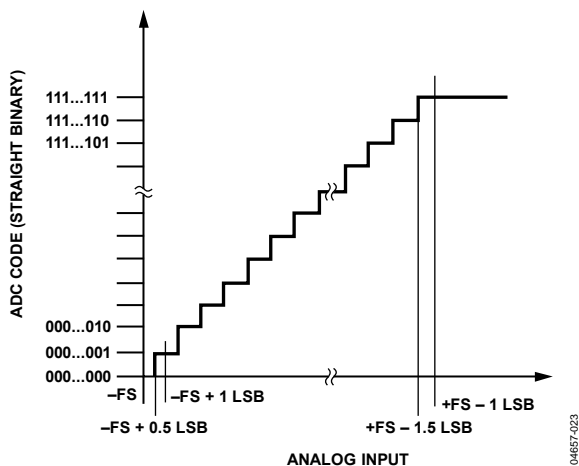


図 23. ADC の理論伝達関数

表 7. 出力コードと理論入力電圧

Description	Analog Input $V_{REF} = 5\text{ V}$	Digital Output Code Hexadecimal
FSR - 1 LSB	4.999695 V	0x3FFF <sup>1</sup>
Midscale + 1 LSB	2.500305 V	0x2001
Midscale	2.5 V	0x2000
Midscale - 1 LSB	2.499695 V	0x1FFF
-FSR + 1 LSB	305.2 μV	0x0001
-FSR	0 V	0x0000 <sup>2</sup>

<sup>1</sup>これは、アナログ入力範囲より上 ( $V_{IN+} - V_{IN-} > V_{REF} - V_{GND}$ ) に対するコードでもあります。

<sup>2</sup>これは、アナログ入力範囲より下 ( $V_{IN+} - V_{IN-} < V_{GND}$ ) に対するコードでもあります。

代表的な接続図

図 22 に、複数の電源が使用可能な場合の AD7942 の推奨接続図例を示します。

アナログ入力

図 24 に、AD7942 のアナログ入力構造の等価回路を示します。

ダイオード D1 と D2 は、アナログ入力 IN+ と IN- に対する ESD 保護用です。アナログ入力信号が電源レールより 0.3V 以上高くないよう注意する必要があります。これは、これらのダイオードが順方向にバイアスされて導通し始めるためです。ただし、これらのダイオードは、最大 130 mA の順方向バイアス電流を処理することができます。例えば、この状態は入力バッファの (U1) 電源が VDD と異なるときに発生します。このような場合、短絡電流制限機能を持つ入力バッファを使ってデバイスを保護することができます。

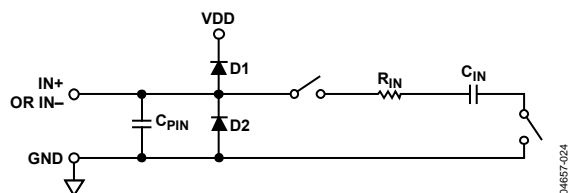


図 24. 等価アナログ入力回路

このアナログ入力構造を使うと、IN+ と IN- の間の差動信号のサンプリングが可能になります。この差動入力を使用することにより、両入力に共通の小信号を阻止することができます (図 25)。この図には代表的な CMRR の周波数特性を示してあります。例えば、IN- を使ってリモート信号グラウンドを検出することにより、センサーとローカル ADC グラウンドとの間のグラウンド電位差が除去されます。

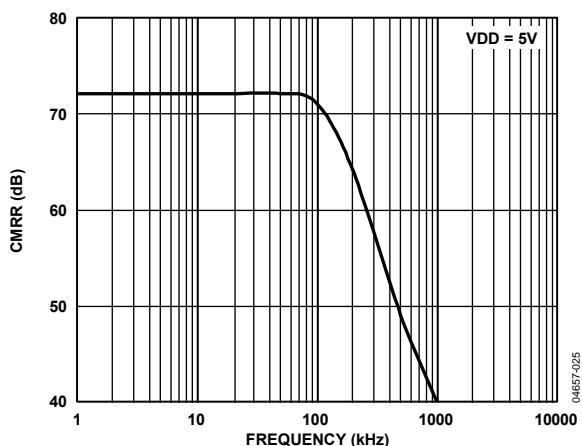


図 25. アナログ入力 CMRR の周波数特性

アキュジション・フェーズでは、アナログ入力 IN+ のインピーダンスは、コンデンサ  $C_{PIN}$  と、 $R_{IN}$  および  $C_{IN}$  の直列接続の回路との並列組み合わせとしてモデル化することができます。 $C_{PIN}$  は主にピン容量です。 $R_{IN}$  は 3 k $\Omega$  (typ) であり、直列抵抗とスイッチのオン抵抗から構成される集中定数です。 $C_{IN}$  は 30 pF (typ) であり、主に ADC サンプルング・コンデンサから構成されています。スイッチが開いている変換フェーズでは、入力インピーダンスは  $C_{PIN}$  に制限されます。 $R_{IN}$  と  $C_{IN}$  により、1 次ローパス・フィルタが構成されるため、不要な折り返し効果が削減され、ノイズが制限されます。

駆動回路のソース・インピーダンスが小さい場合は、AD7942 を直接駆動することができます。ソース・インピーダンスが大きい場合には、AC性能、特に総合高調波歪み(THD)が大きい影響を受けます。DC性能は、入力インピーダンスからあまり影響を受けません。最大ソース・インピーダンスは、許容可能なTHDの大きさに依存します。THDは、ソース・インピーダンスと最大入力周波数の関数として性能低下します(図 26)。

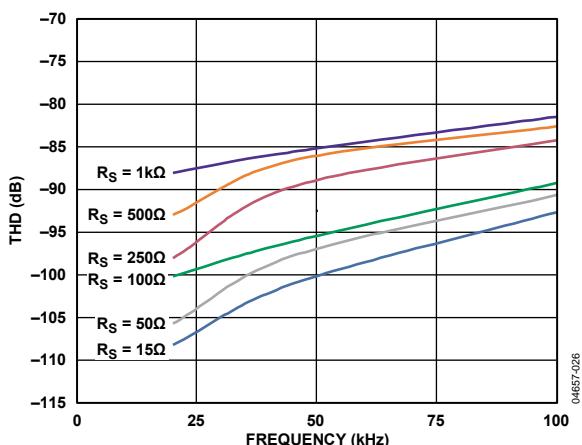


図 26. アナログ入力周波数およびソース抵抗対 THD

## ドライバ・アンプの選択

AD7942 の駆動は簡単ですが、ドライバ・アンプは次の条件を満たす必要があります。

- AD7942 の SNR 性能と遷移ノイズ性能を維持するためには、ドライバ・アンプが発生するノイズをできるだけ低く抑える必要があります。大部分の他の 14 ビット ADC に比べて AD7942 のノイズはるかに小さいため、ノイズの多いオペアンプで駆動しても、それ以上のシステム性能を維持することが可能なことに注目してください。ドライバから発生するノイズは、AD7942 アナログ入力回路の  $R_{IN}$  と  $C_{IN}$  から構成される 1 次ローパス・フィルタまたは外付けフィルタ(使用した場合)により除去されます。
- ACアプリケーションの場合、ドライバは AD7942 の THD 性能に見合う THD 性能を持つ必要があります。図 14 に、ドライバに必要な THD 周波数特性を示します。
- マルチチャンネル・マルチプレクス・アプリケーションの場合、ドライバ・アンプと AD7942 アナログ入力回路は共に、コンデンサ・アレイのフルスケール・ステップに対して 14 ビット・レベル (0.006%) でセトリングする必要があります。アンプのデータシートでは、一般に 0.1%~0.01% のセトリングが規定されています。14 ビット・レベルでのセトリング・タイムから大幅に異なることがあるため、ドライバを選択する前に確認する必要があります。

表 8. 推奨ドライバ・アンプ

Amplifier	Typical Application
ADA4841	Very low noise, small, and low power
AD8021	Very low noise and high frequency
AD8022	Low noise and high frequency
OP184	Low power, low noise, and low frequency
AD8605, AD8615	5 V single supply, low power
AD8519	Small, low power, and low frequency
AD8031	High frequency and low power

## リファレンス電圧入力

AD7942 のリファレンス電圧入力 REF は動的入力インピーダンスを持っています。このため、REF 入力と GND 入力との間を効果的にデカップリングしたロー・インピーダンス・ソースから駆動する必要があります(レイアウトのセクション参照)。

REF を非常に小さいインピーダンス・ソースで駆動する場合は(例えば、AD8031 または AD8605 を使用するリファレンス・バッファ)、10  $\mu$ F のセラミック・チップ・コンデンサ(X5R、0805 サイズ)は最適性能を得るために十分です。

バッファなしでリファレンス電圧を使う場合は、デカップリング値は使用するリファレンスに依存します。例えば、22  $\mu$ F のセラミック・チップ・コンデンサ(X5R、1206 サイズ)は、低温度ドリフト ADR43x リファレンスを使って最適性能を得るために十分です。

必要な場合には、2.2  $\mu$ F 以上の小型なリファレンス・デカップリング・コンデンサ値を使うことができ、性能特に DNL への影響は最小に抑えられます。

## 電源

AD7942 の仕様は、2.3~5.5 Vの広い動作範囲で規定されています。他の低電圧コンバータとは異なり、このデバイスは低電圧 (2.5 V) で優れた性能の 14 ビット分解能のシステムをデザインするために十分低いノイズを持っています。コア電源VDDとデジタル入力/出力インターフェース電源VIOの 2 種類の電源ピンを使っています。VIOを使うと、1.8 V~DVDDで動作するロジックとの直接インターフェースが可能になります。必要な電源数を減らすときは、VIOとVDDを接続することができます。AD7942 はVIOとVDDの間の電源シーケンスに依存しません。さらに、広い周波数範囲で電源変動に対して安定です(図 27参照)。

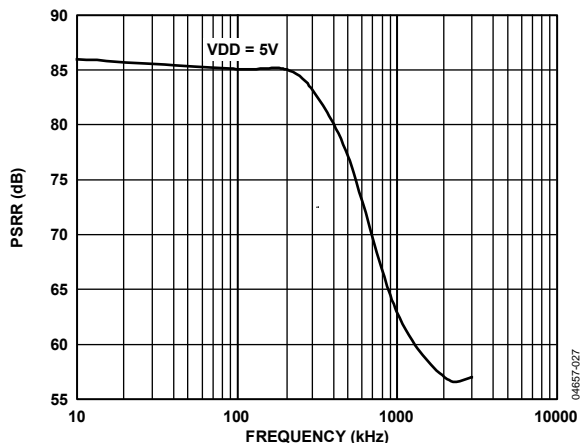


図 27. PSRR の周波数特性

AD7942 は各変換フェーズの終わりに自動的にパワーダウンするため、消費電力はサンプリング・レートに比例します(図 28)。このため、低サンプリング・レート(例えば数Hz)とバッテリー駆動アプリケーションに最適なデバイスになっています。

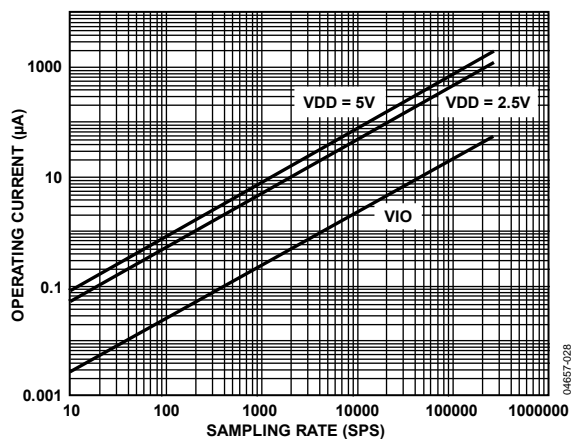


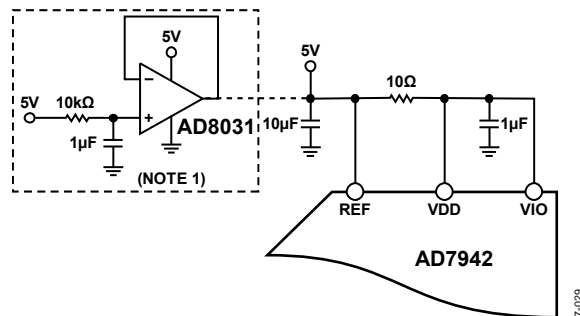
図 28. サンプリング・レート対動作電流

## リファレンス電圧からADCへの電源供給

アプリケーションを簡素化するため、AD7942 の動作電流は小さいので図 29に示すリファレンス電圧回路から直接給電することができます。リファレンス・ラインは次から駆動することができます。

- システム電源から直接
- 十分な電流出力能力を持つ ADR43x のようなリファレンス電圧から、または、

- システム電源のフィルタもできるAD8031 のようなリファレンス・バッファから(図 29参照)



NOTE 1: OPTIONAL REFERENCE BUFFER AND FILTER.

図 29. アプリケーション回路の例

## デジタル・インターフェース

AD7942 のピン数は少ないですが、シリアル・インターフェース・モードで柔軟性を提供します。

AD7942 は $\overline{CS}$ モードのとき、SPI、QSPI、デジタル・ホスト、DSP (例えば、Blackfin<sup>®</sup> ADSP-BF53xまたはADSP-219x)と互換性を持ちます。CNV信号、SCK信号、SDO信号を使う 3 線式インターフェースは、配線数が少ないため、例えば、孤立しているアプリケーションで便利です。SDI信号、CNV信号、SCK信号、SDO信号を使う 4 線式インターフェースを使用すると、CNV(変換を開始します)をリードバック・タイミング(SDI)に依存しないようにすることができます。この機能は、低ジッタ・サンプリング・アプリケーションまたは同時サンプリング・アプリケーションで便利です。

AD7942 をチェーン・モードで使うと、シフトレジスタに似た 1 本のデータライン上での複数の ADC のカスケード接続に対して、SDI 入力を使ったディジーチェーン機能を提供することができます。

デバイスが動作するモードは、CNVの立上がりエッジ時のSDIのレベルで決定されます。SDIがハイ・レベルのとき $\overline{CS}$ モードが、SDIがロー・レベルときチェーン・モードが、それぞれ選択されます。SDIホールド・タイムは、SDIとCNVが接続されているとき、チェーン・モードが常に選択されるようになります。

いずれのモードでも、AD7942 はデータビットの前にスタート・ビットを発生できるようにする柔軟性があります。このスタート・ビットをビジー信号表示と組合せて使用して、デジタル・ホストに対して割込みを行い、データの読出しを開始させることができます。ビジー表示を使わない場合は、リードバックの前に最大変換時間の経過を待たなければなりません。ビジー表示機能は、次のようにイネーブルされます。

- $\overline{CS}$ モードでは、ADC変換が終了したときCNVまたはSDIがロー・レベルになった場合(図 33と図 37参照)。
- チェーン・モードでは、CNV立上がりエッジ時にSCKがハイ・レベルになった場合(図 41参照)。



### $\overline{\text{CS}}$ モード 3 線式、ビジー表示なし

このモードは、1 個の AD7942 を SPI 互換のデジタル・ホストに接続する際に使用されます。接続図を図 30 に、対応するタイミングを図 31 に、それぞれ示します。

SDI と VIO を接続した状態では、CNV の立上がりエッジで変換が開始され、 $\overline{\text{CS}}$  モードが選択され、SDO はハイ・インピーダンスになります。変換が開始されると、CNV の状態に関係なく完了するまで継続されます。例えば、CNV をロー・レベルにしてアナログ・マルチプレクサのような他の SPI デバイスを選択することができますが、最小変換時間が経過する前に CNV がハイ・レベルに戻り、最大変換時間の間ハイ・レベルを維持して、ビジー信号の発生を防止する必要があります。変換が完了すると、AD7942 はア

クイジション・フェーズに入りパワーダウンします。CNV がロー・レベルになると、MSB が SDO に出力されます。残りのデータビットは、後続の SCK の立下がりエッジで出力されます。データは、両 SCK エッジで有効です。立上がりエッジを使ってデータを取込むことができますが、SCK の立下がりエッジを使うデジタル・ホストを使うと、ホールド・タイムが許容できる限り、高速な読出しレートが可能になります。14 番目の SCK 立下がりエッジの後、または CNV がハイ・レベルになったときのいずれか早い方で、SDO はハイ・インピーダンスに戻ります。

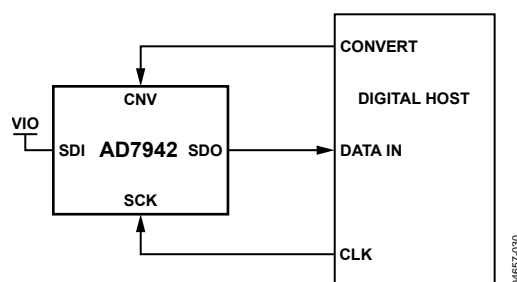


図 30.  $\overline{\text{CS}}$  モード 3 線式、ビジー表示なしの接続図(SDI ハイ・レベル)

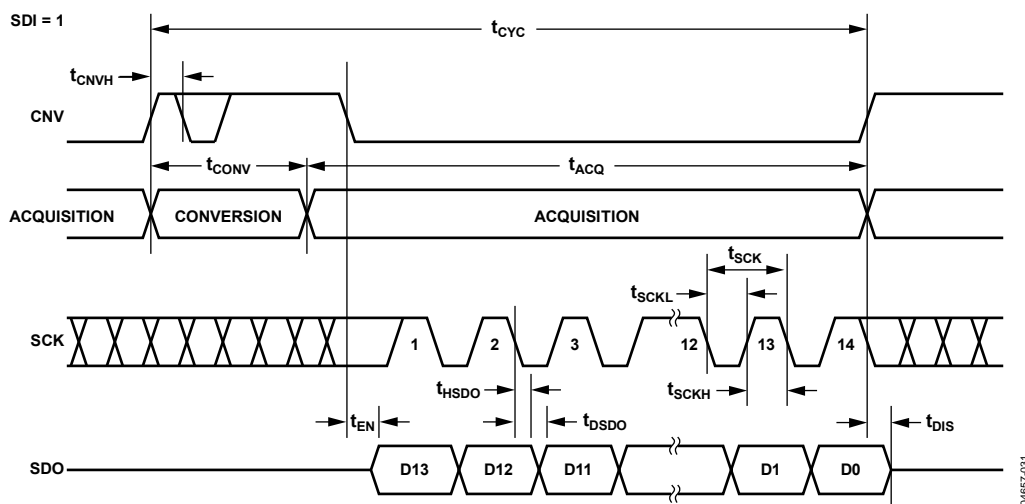


図 31.  $\overline{\text{CS}}$  モード 3 線式、ビジー表示なしのシリアル・インターフェース・タイミング(SDI ハイ・レベル)

### CS 3 線式モード、ビジー表示あり

このモードは、1 個のAD7942 を割込み入力を持つSPI互換のデジタル・ホストに接続する際に多く使用されます。接続図を図 32に、対応するタイミングを図 33に、それぞれ示します。

SDIとVIOを接続した状態では、CNVの立上がりエッジで変換が開始され、CSモードが選択され、SDOはハイ・インピーダンスになります。CNVの状態に無関係に変換が完了するまでSDOはハイ・インピーダンスを維持します。最小変換時間の前に、CNVを使ってアナログ・マルチプレクサのような他のSPIデバイスを選択することができますが、最小変換時間が経過する前にCNVがロー・レベルに戻り、最大変換時間の間ロー・レベルを維持して、ビジー信号の発生を保証する必要があります。変換が完了すると、

SDOはハイ・インピーダンスからロー・インピーダンスになります。SDOラインをプルアップして、この変化を割込み信号として使って、デジタル・ホストにより制御されるデータの読出しを開始させることができます。その後AD7942 はアキュイジション・フェーズに入り、パワーダウンします。その後データビットはMSBファーストで、後続のSCKの立下がりエッジで出力されます。データは、両SCKエッジで有効です。立上がりエッジを使ってデータを取込むことができますが、SCKの立下がりエッジを使うデジタル・ホストを使うと、ホールド・タイムが許容できる限り、高速な読出しレートが可能になります。オプションの 15 番目のSCK立下がりエッジの後、またはCNVがハイ・レベルになったときのいずれか早い方で、SDOはハイ・インピーダンスに戻ります。

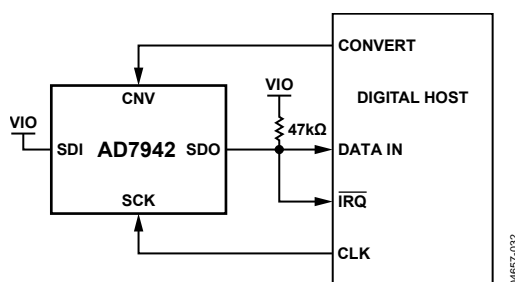


図 32. CS モード 3 線式、ビジー表示ありの接続図(SDIハイ・レベル)

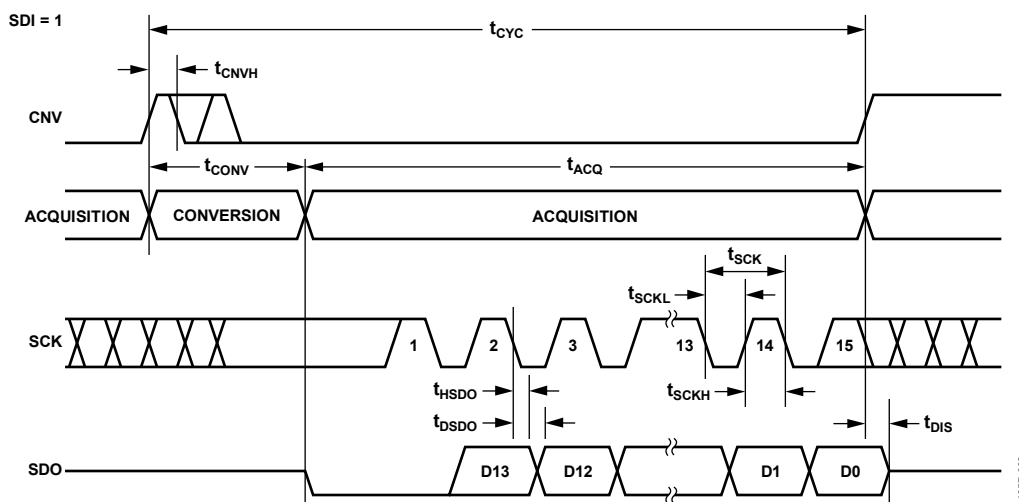


図 33. CS モード 3 線式、ビジー表示ありのシリアル・インターフェース・タイミング(SDIハイ・レベル)

### CS モード 4 線式、ビジー表示なし

このモードは、複数のAD7942をSPI互換のデジタル・ホストに接続する際に多く使用されます。図34に2個のAD7942を使った接続図を、図35に対応するタイミングを、それぞれ示します。SDIにハイ・レベルを入力した状態では、CNVの立上がりエッジで変換が開始され、CSモードが選択され、SDOはハイ・インピーダンスになります。このモードでは、変換フェーズとそれに続くデータ・リードバックの間、CNVをハイ・レベルに維持する必要があります(SDIとCNVがロー・レベルの場合、SDOはロー・レベルに駆動されます)。最小変換時間の前にSDIがハイ・レベルに戻り、最大変換時間の間ハイ・レベルを維持して、ビジー信号の発生を防止する必要があります。変換が完了すると、AD7942はクイジション・フェーズに入りパワーダウンします。SDI入力に

ロー・レベルを入力すると、各ADCの変換結果を読み出すことができ、MSBがSDOへ出力されます。残りのデータビットは、後続のSCKの駆動エッジでクロック駆動されます。データは、両SCKエッジで有効です。非駆動エッジを使ってデータを取込むことができますが、SCKの立下がりエッジを使うデジタル・ホストを使うと、ホールド・タイムが許容できる限り、高速な読み出しレートが可能になります。14番目のSCK立下がりエッジの後、またはSDIがハイ・レベルになったときのいずれか早い方で、SDOはハイ・インピーダンスに戻り、もう一方のAD7942を読み出すことができます。

複数のAD7942を同時に選択した場合、SDO出力ピンが損傷またはラッチアップなしにこの接続を処理します。余分な電力消費を回避するためこの接続をできるだけ短くすることをお勧めします。

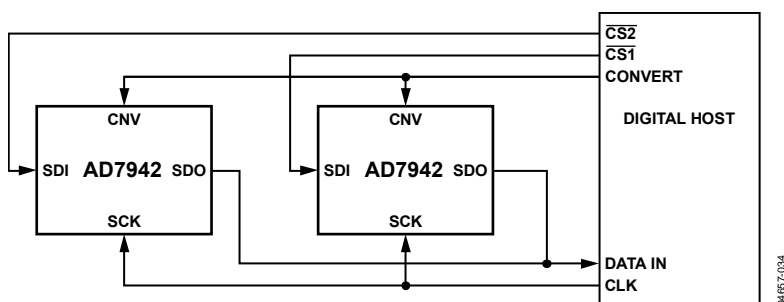


図34. CSモード4線式、ビジー表示なしの接続図

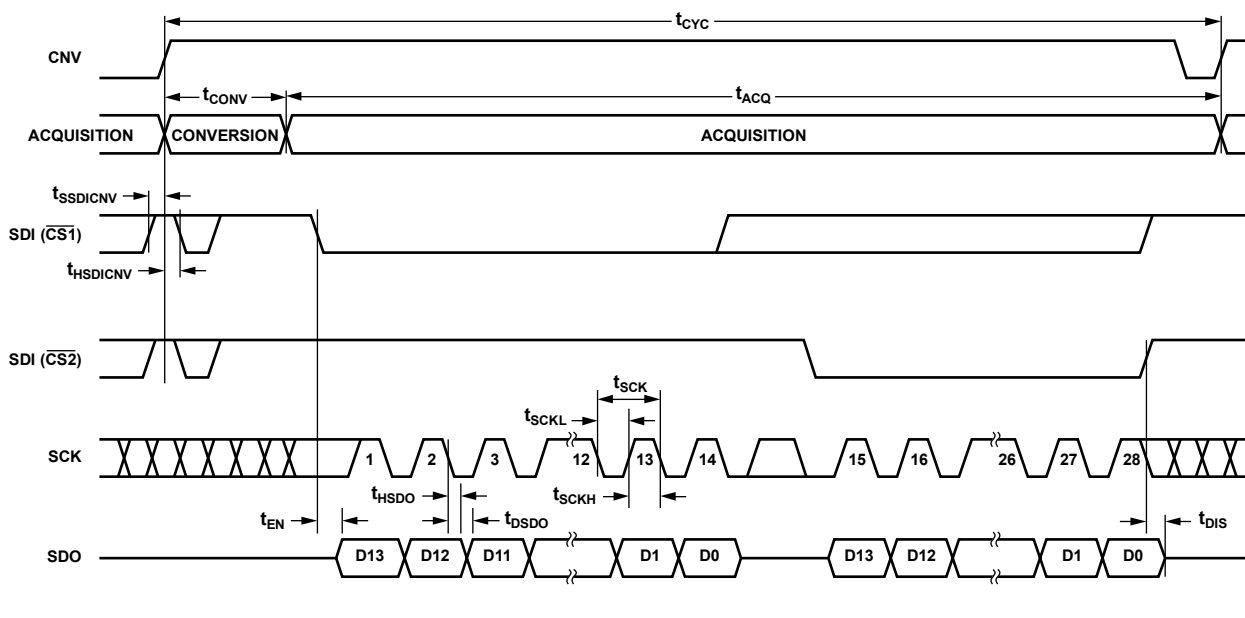


図35. CSモード4線式、ビジー表示なしのシリアル・インターフェース・タイミング

**CS 4 線式モード、ビジー表示あり**

このモードは、1 個のAD7942 を割込み入力を持つSPI互換のデジタル・ホストに接続し、かつCNV(アナログ入力をサンプルするために使われます)がデータの読出しを選択する際に使われる信号に依存しないようにするときに多く使われます。この条件は、CNV上のジッタが小さいことが要求されるアプリケーションで特に重要です。接続図を図 36に、対応するタイミングを図 37に、それぞれ示します。

SDIにハイ・レベルを入力した状態では、CNVの立上がりエッジで変換が開始され、CSモードが選択され、SDOはハイ・インピーダンスになります。このモードでは、変換フェーズとそれに続くデータ・リードバックの間、CNVをハイ・レベルに維持する必要があります(SDIとCNVがロー・レベルの場合、SDIはロー・レベルに駆動されます)。最小変換時間の前に、SDIを使ってアナログ・マルチプレクサのような他のSPIデバイスを選択することがで

きますが、最小変換時間の前にSDIがロー・レベルに戻り、最大変換時間の間ロー・レベルを維持して、ビジー信号が確実に発生するようにする必要があります。変換が完了すると、SDOはハイ・インピーダンスからロー・レベルになります。SDOラインをプルアップして、この変化を割込み信号として使って、デジタル・ホストにより制御されるデータのリードバックを開始させることができます。その後AD7942 はアキュイジション・フェーズに入り、パワーダウンします。その後データビットはMSBファーストで、後続のSCKの駆動エッジで出力されます。データは、両SCKエッジで有効です。立上がりエッジを使ってデータを取込むことができますが、SCKの立下がりエッジを使うデジタル・ホストを使うと、ホールド・タイムが許容できる限り、高速な読出しレートが可能になります。オプションの 15 番目のSCK立下がりエッジの後、またはSDIがハイ・レベルになったときのいずれか早い方で、SDOはハイ・インピーダンスに戻ります。

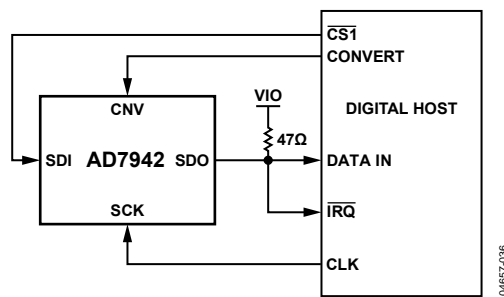


図 36. CS モード 4 線式、ビジー表示ありの接続図

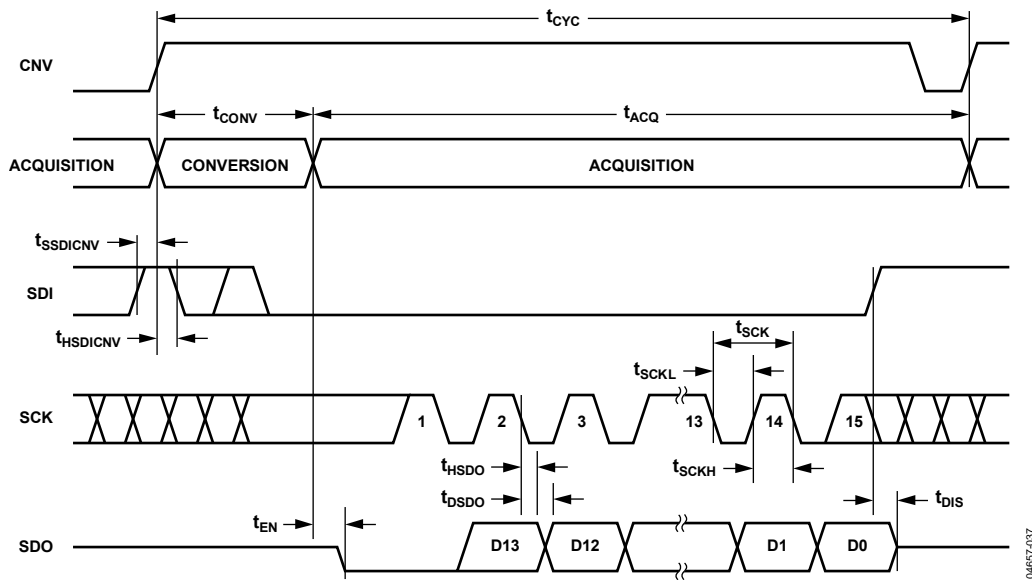


図 37. CS モード 4 線式、ビジー表示ありのシリアル・インターフェース・タイミング

### チェーン・モード、ビジー表示なし

このモードを使って、3 線式シリアル・インターフェースに複数の AD7942 をディジーチェーン接続することができます。この機能は部品数と接続配線数の削減に役立ちます。例えば、孤立した複数のコンバータを使用するアプリケーションまたはインターフェース能力が制限されているシステムではこの接続が使用されます。データのリードバックは、シフトレジスタをクロック駆動するのに似ています。図 38 に 2 個の AD7942 を使った接続図例を、図 39 に対応するタイミングを、それぞれ示します。

SDI と CNV をロー・レベルにすると、SDO がロー・レベルに駆動されます。SCK がロー・レベルのとき、CNV の立上がりエッジで変換が開始され、チェーン・モードが選択され、ビジー表示がディスエーブルされます。このモードでは、変換フェーズとそれに続くデータ・リードバックの間、CNV がハイ・レベルに維持されます。変換が完了すると、MSB が SDO に出力され、AD7942 は

アキュイジション・フェーズに入りパワーダウンします。内部シフトレジスタに保存されている残りのデータビットは、後続の SCK の立上がりエッジで出力されます。各 ADC で、SDI が内部シフトレジスタの入力に接続され、SCK の立上がりエッジでクロック駆動されます。チェーン内の各 ADC はデータの MSB を先頭に出力し、N 個の ADC をリードバックするためには  $14 \times N$  個のクロックが必要です。データは、両 SCK エッジで有効です。立上がりエッジを使ってデータを取込むことができますが、SCK の立上がりエッジを使うデジタル・ホストを使うと、ホールド・タイムが許容できる限り、高速な読出しレートが可能になり、かつチェーン内の AD7942 の数を増やすことができます。最大変換レートは、合計リードバック時間により低下することがあります。例えば、5 ns のデジタル・ホスト・セットアップ・タイムと 3 V のインターフェースでは、220 kSPS の変換レートで動作する最大 8 個の AD7942 を 3 線式ポートにディジーチェーン接続することができます。

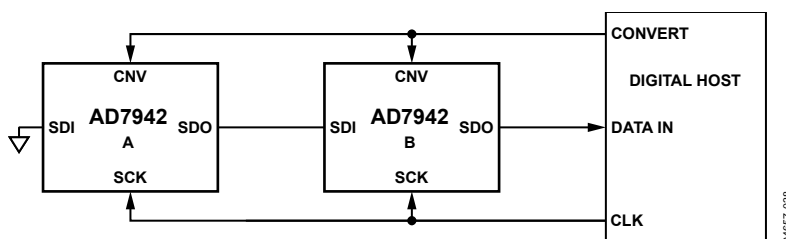


図 38.チェーン・モード、ビジー表示なしの接続図

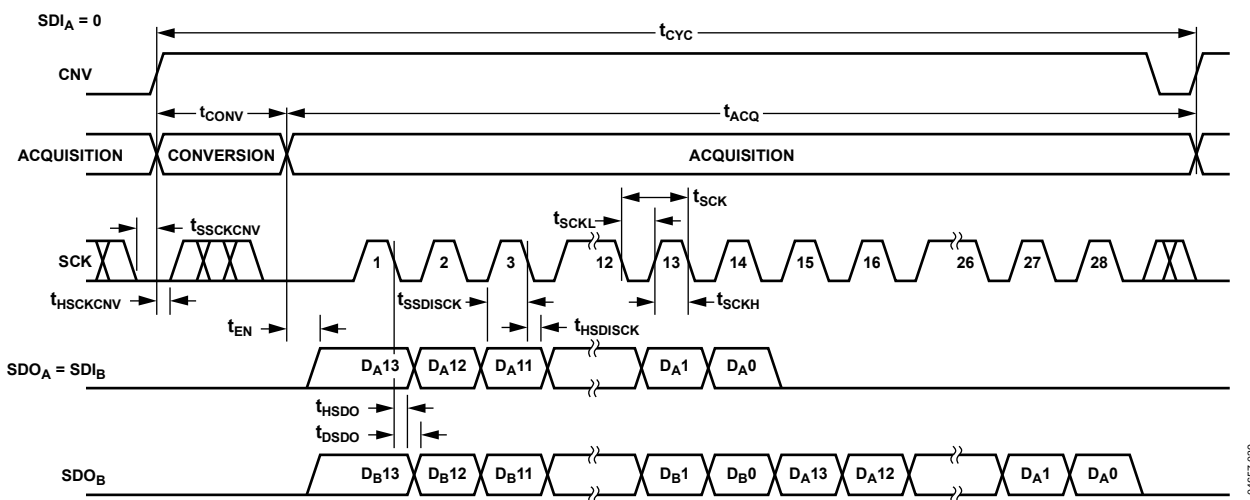


図 39.チェーン・モード、ビジー表示なしのシリアル・インターフェース・タイミング

### チェーン・モード、ビジー表示あり

このモードを使うと、3線式シリアル・インターフェースに複数のAD7942をディジーチェーン接続することができると同時にビジー表示も提供できます。この機能は部品数と接続配線数の削減に役立ちます。例えば、孤立した複数のコンバータを使用するアプリケーションまたはインターフェース能力が制限されているシステムではこの接続が使用されます。データのリードバックは、シフトレジスタをクロック駆動するのに似ています。図40に3個のAD7942を使った接続図例を、図41に対応するタイミングを、それぞれ示します。

SDIとCNVをロー・レベルにすると、SDOがロー・レベルに駆動されます。SCKがハイ・レベルのとき、CNVの立上がりエッジで変換が開始され、チェーン・モードが選択され、ビジー表示機能がイネーブルされます。このモードでは、変換フェーズとそれに続くデータ・リードバックの間、CNVがハイ・レベルに維持されます。チェーン内のすべてのADCで変換が完了すると、近端の

ADC (図40ではADC C)のSDOがハイ・レベルに駆動されます。SDO上のこの変化をビジー表示として使って、デジタル・ホストから制御されるデータ・リードバックを開始することができます。その後AD7942はアキュイジション・フェーズに入り、パワーダウンします。内部シフトレジスタに保存されているデータビットは、後続のSCKの立下がりエッジでMSBファーストで出力されます。各ADCで、SDIが内部シフトレジスタの入力に接続され、SCKの立下がりエッジでクロック駆動されます。チェーン内の各ADCはデータのMSBを先頭に出し、N個のADCをリードバックするためには  $14 \times N + 1$  個のクロックが必要です。立上がりエッジを使ってデータを取込むことができますが、SCKの立下がりエッジを使うデジタル・ホストを使うと、ホールド・タイムが許容できる限り、高速な読出しレートが可能になり、かつチェーン内のAD7942の数を増やすことができます。例えば、5 nsのデジタル・ホスト・セットアップ・タイムと3 Vのインターフェースでは、220 kSPSの変換レートで動作する最大8個のAD7942を1本の3線式ポートにディジーチェーン接続することができます。

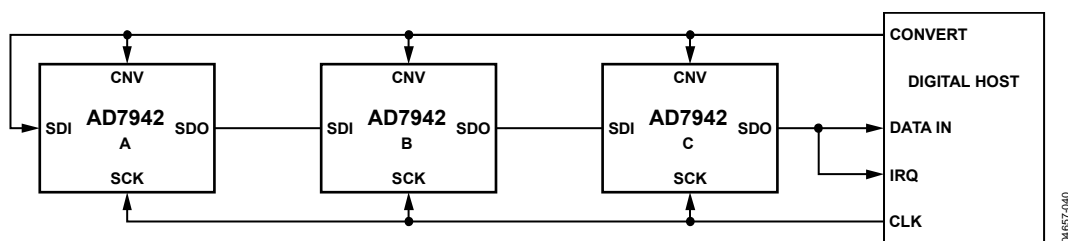


図 40. チェーン・モード、ビジー表示ありの接続図

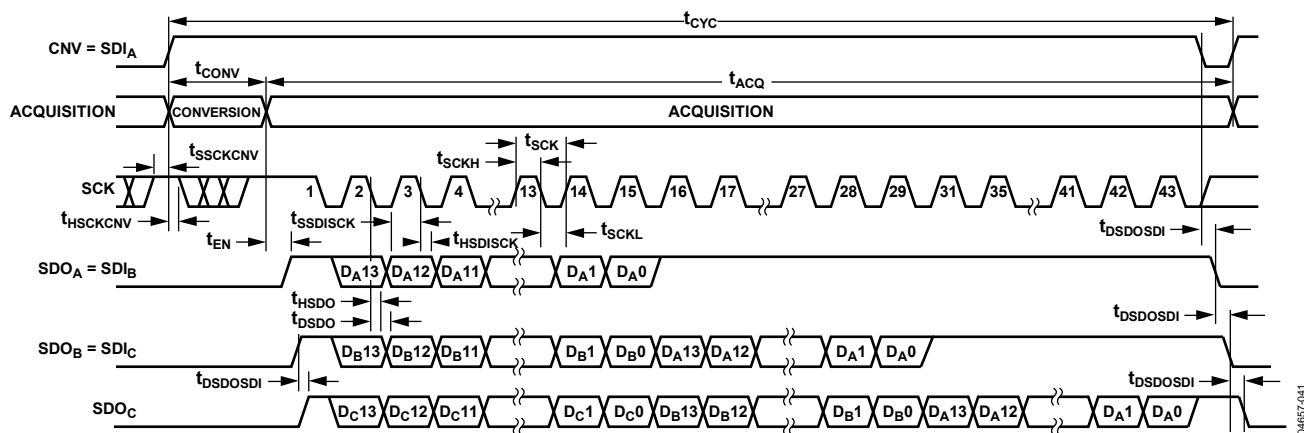


図 41. チェーン・モード、ビジー表示ありのシリアル・インターフェース・タイミング

## アプリケーション情報

### レイアウト

AD7942 を実装するプリント回路ボードは、アナログ部とデジタル部を分離して、ボード内でそれぞれをまとめて配置するようにデザインする必要があります。AD7942 では、すべてのアナログ信号を左側に、すべてのデジタル信号を右側に配置しているため、この作業が容易になります。

AD7942 の下のグラウンド・プレーンがシールドして使われてない限り、ノイズがチップに混入するので、デバイスの真下をデジタル・ラインが通らないようにしてください。CNV やクロックのような高速なスイッチング信号は、アナログ信号パスの近くを絶対に通らないようにしてください。デジタル信号とアナログ信号の交差は回避する必要があります。

少なくとも 1 枚のグラウンド・プレーンを使う必要があります。デジタル部とアナログ部に共通または分けて使うことができます。分ける場合には、グラウンド・プレーンは AD7942 の下で接続する必要があります。

AD7942 のリファレンス電圧入力 REF は動的入力インピーダンスを持つため、最小の寄生インダクタンスでデカップリングする必要があります。これは、REF ピンと GND ピンの近くに、理想的には直接に、デカップリング・セラミック・コンデンサを接続することにより行います。これらのピンは、幅の広いロー・インピーダンスのグラウンド・パターンへ接続します。

最後に、AD7942 の電源(VDDとVIO)をAD7942 の近くに接続した 100 nF (typ)のセラミック・コンデンサでデカップリングします。短く太いパターンでコンデンサを接続して、ロー・インピーダンス・パスを提供し、電源ライン上のグリッチの影響を小さくします。図 42 と図 43 に、これらのルールに従ったレイアウトの例を示します。

### AD7942 の性能評価

AD7942 のその他の推奨レイアウトは、AD7942 評価用ボード (EVAL-AD7942CBZ) のドキュメントにも記載してあります。評価用ボードの梱包には、組み立て済みでテスト済みの評価用ボード、ドキュメント、EVAL-CONTROL BRD3 を介して PC からボードを制御するソフトウェアが添付されています。

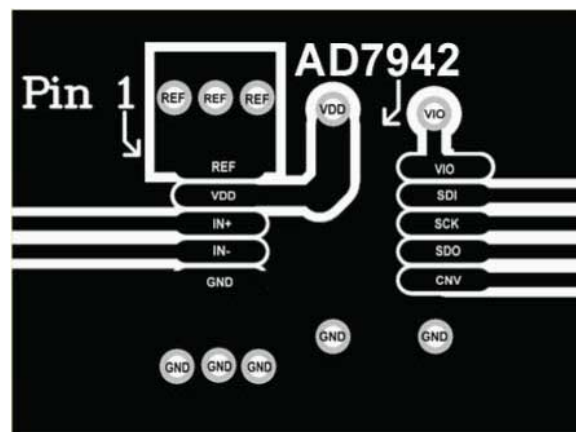


図 42.レイアウト例(表面)

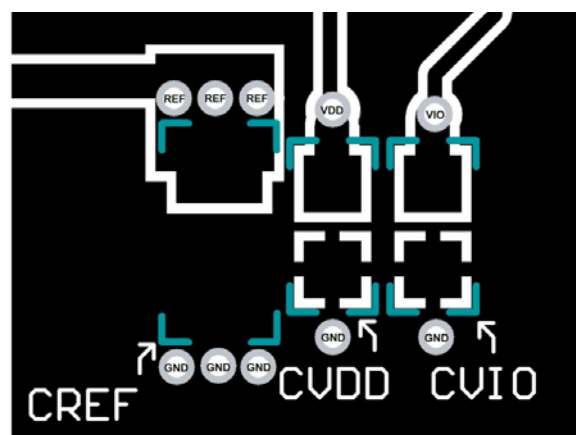
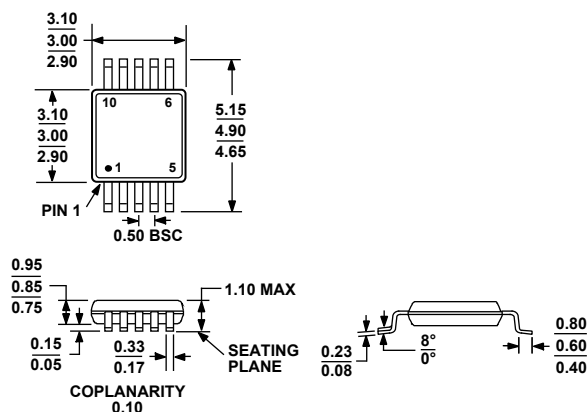


図 43.レイアウト例(裏面)

## 外形寸法



COMPLIANT TO JEDEC STANDARDS MO-187-BA

図 44.10 ピン・ミニ・スモール・アウトライン・パッケージ[MSOP]  
(RM-10)  
寸法: mm

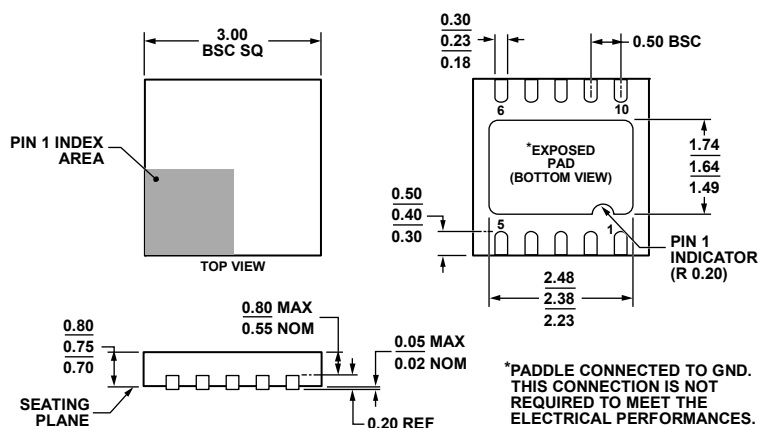


図 45.10 ピン・リードフレーム・チップ・スケール・パッケージ[QFN (LFCSP\_WD)]  
3 mm × 3 mm ボディ、超極薄デュアル・ピン(CP-10-9)  
寸法: mm

## オーダー・ガイド

Model	Temperature Range	Package Description	Ordering Quantity	Package Option	Branding
AD7942BRM	-40°C to +85°C	10-Lead MSOP	Tube, 50	RM-10	C1N
AD7942BRM-RL7	-40°C to +85°C	10-Lead MSOP	Reel, 1,000	RM-10	C1N
AD7942BRMZ <sup>1</sup>	-40°C to +85°C	10-Lead MSOP	Tube, 50	RM-10	C4S
AD7942BRMZ-RL7 <sup>1</sup>	-40°C to +85°C	10-Lead MSOP	Reel, 1,000	RM-10	C4S
AD7942BCPZRL <sup>1</sup>	-40°C to +85°C	10-Lead QFN (LFCSP_WD)	Reel, 5,000	CP-10-9	C4S
AD7942BCPZRL7 <sup>1</sup>	-40°C to +85°C	10-Lead QFN (LFCSP_WD)	Reel, 1,500	CP-10-9	C4S
EVAL-AD7942CBZ <sup>1,2</sup>		Evaluation Board			
EVAL-CONTROL BRD3Z <sup>1,3</sup>		Controller Board			

<sup>1</sup> Z = RoHS 準拠製品。

<sup>2</sup> これは単独の評価用ボードとして、または評価/デモ目的の EVAL-CONTROL BRDx と組み合わせて、使用することができます。

<sup>3</sup> このボードを使うと、PC からの制御と CB サフィックスが付くすべてのアナログ・デバイゼズ評価用ボードとの通信が可能です。