

特長

高速スループット・レート：100kSPS

V_{DD}仕様：2.5~5.5V

低消費電力

4mW (typ) @100kSPS、3V

17mW (typ) @100kSPS、5V

広い入力帯域幅：

入力周波数10kHzで81dB SINAD

シリアル・クロック速度による柔軟なパワー・マネジメント

パイプライン遅延なし

高速シリアル・インターフェース

SPI®/QSPI™/MICROWIRE™/DSP互換

スタンバイ・モード：0.5μA (max)

6ピンSOT-23および8ピンMSOPパッケージ

アプリケーション

バッテリー駆動システム

携帯情報端末

医療機器

モバイル通信

計測機器および制御システム

リモート・データ・アキュイジション・システム

概要

AD7940¹は、低消費電力の高速14ビット逐次比較型A/Dコンバータ (SAR ADC) です。2.50~5.5Vの単電源で動作し、スループット・レートは最大100kSPSになります。7MHzを超える入力周波数に対応できるローノイズ、広帯域幅のトラック&ホールド・アンプを内蔵しています。

\overline{CS} とシリアル・クロックを使用して変換プロセスとデータ・アキュイジションを制御し、マイクロプロセッサやDSPとのインターフェースが可能です。 \overline{CS} の立下がりエッジで入力信号をサンプリングし、変換もこの時点で開始します。デバイスに関連するパイプライン遅延はありません。

AD7940は最新の設計技術を採用し、高速スループット・レートできわめて低い消費電力を実現します。リファレンスをV_{DD}から内部的に得るため、ADCへのダイナミック入力レンジが最大になり、アナログ入力レンジは0V~V_{DD}になります。変換レートはSCLK周波数によって決まります。

¹ 米国特許番号6,681,332によって保護されています。

機能ブロック図

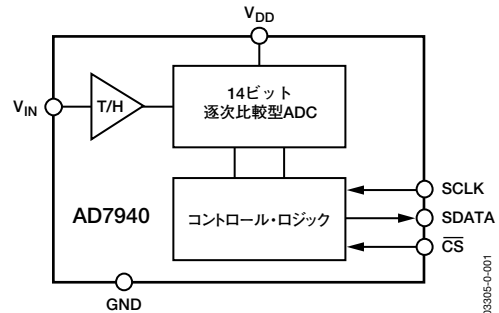


図1

表1. 16ビットおよび14ビットADC (MSOPおよびSOT-23)

タイプ	100kSPS	250kSPS	500kSPS
16ビット真の差動	AD7684	AD7687	AD7688
16ビット疑似差動	AD7683	AD7685	AD7686
16ビット・ユニポーラ	AD7680		
14ビット真の差動		AD7944	AD7947
14ビット疑似差動		AD7942	AD7946
14ビット・ユニポーラ	AD7940		

AD7940の標準逐次比較型ADCは、 \overline{CS} 入力とワンショット変換制御によってサンプリングのタイミングを正しく制御します。

製品のハイライト

- SOT-23パッケージを採用した最初の14ビットADC
- 低消費電力で高スループット
- シリアル・クロック速度による柔軟なパワー・マネジメント。変換レートはシリアル・クロックで決まるため、シリアル・クロックの速度を上げれば変換時間を短縮できます。このため、変換していないときにパワーダウン・モードを使用することによって、平均消費電力を低減できます。また、低スループット・レートで電力効率を最大にするシャットダウン・モードもあります。シャットダウン時の消費電力は、0.5μA (max) です。
- リファレンスは電源から取得
- パイプライン遅延なし

AD7940

目次

仕様	3	ノーマル・モード	13
タイミング仕様	5	パワーダウン・モード	14
絶対最大定格	6	スループット・レートと消費電力の関係	15
ESDに関する注意	6	シリアル・インターフェース	16
ピン配置とピン機能の説明	7	マイクロプロセッサとのインターフェース	17
用語の説明	8	AD7940とTMS320C541とのインターフェース	17
代表的な性能特性	9	AD7940とADSP-218xとのインターフェース	17
回路情報	11	AD7940とDSP563xxとのインターフェース	18
コンバータの動作	11	アプリケーション情報	19
アナログ入力	11	グラウンディングとレイアウト	19
ADCの伝達関数	12	AD7940の性能評価	19
代表的な接続図	12	外形寸法	20
動作モード	13	オーダー・ガイド	20

改訂履歴

6/04-リビジョン0：初版

仕様¹

特に指定のない限り、 $V_{DD}=2.50\sim 5.5V$ 、 $f_{SCLK}=2.5MHz$ 、 $f_{SAMPLE}=100kSPS$ 、 $T_A=T_{MIN}\sim T_{MAX}$ 。

表2

パラメータ	Bバージョン	単位	テスト条件/備考
動的性能			$f_{IN}=10kHz$ 正弦波
信号/ノイズ&歪み (SINAD) ²	81	dB (min)	
全高調波歪み (THD) ²	-98	dB (typ)	
ピーク高調波またはスプリアス・ノイズ (SFDR) ²	-95	dB (typ)	
相互変調歪み (IMD) ²			
2次項	-94	dB (typ)	
3次項	-100	dB (typ)	
アパーチャ遅延	20	ns (max)	
アパーチャ・ジッタ	30	ps (typ)	
フル・パワー帯域幅	7	MHz (typ)	@-3dB
	2	MHz (typ)	@-0.1dB
DC精度			
分解能	14	ビット (min)	$V_{DD}=2.5\sim 4.096V$
	13	ビット (min)	$V_{DD}>4.096V$
積分非直線性 (INL) ²	±1	LSB (max)	$V_{DD}=2.5\sim 4.096V$
	±2	LSB (max)	$V_{DD}>4.096V$
オフセット誤差 ²	±6	LSB (max)	
ゲイン誤差 ²	±8	LSB (max)	
アナログ入力			
入力電圧範囲	$0\sim V_{DD}$	V	
DCリーク電流	±0.3	μA (max)	
入力容量	30	pF (typ)	
ロジック入力			
ハイレベル入力電圧 (V_{INH})	2.4	V (min)	$V_{DD}=3V$
ローレベル入力電圧 (V_{INL})	0.4	V (max)	$V_{DD}=5V$
	0.8	V (max)	$V_{DD}=5V$
入力電流 (I_{IN})	±0.3	μA (max)	10nA (typ)、 $V_{IN}=0V$ または V_{DD}
入力容量 (C_{IN}) ^{2, 3}	10	pF (max)	
ロジック出力			
ハイレベル出力電圧 (V_{OH})	$V_{DD}-0.2$	V (min)	$I_{SOURCE}=200\mu A$ 、 $V_{DD}=2.50\sim 5.25V$
ローレベル出力電圧 (V_{OL})	0.4	V (max)	$I_{SINK}=200\mu A$
フローティング状態リーク電流	±0.3	μA (max)	
フローティング状態出力容量 ^{2, 3}	10	pF (max)	
出力コーディング	ストレート (自然) バイナリ		
変換レート			
変換時間	8	μs (max)	16 SCLKサイクル
トラック&ホールド・アクイジション時間	500	ns (max)	フルスケール・ステップ入力
	400	ns (max)	正弦波入力 $\leq 10kHz$
スループット・レート	100	kSPS (max)	「シリアル・インターフェース」を参照
電源条件			
V_{DD}	2.50/5.5	V (min/max)	
I_{DD}			デジタルI/P=0Vまたは V_{DD}
ノーマル・モード (静止時)	5.2	mA (max)	$V_{DD}=5.5V$ 、SCLKオンまたはオフ
	2	mA (max)	$V_{DD}=3.6V$ 、SCLKオンまたはオフ
ノーマル・モード (動作時)	4.8	mA (max)	$V_{DD}=5.5V$ 、 $f_{SAMPLE}=100$ kSPS、 3.3mA (typ)
	1.9	mA (max)	$V_{DD}=3.6V$ 、 $f_{SAMPLE}=100$ kSPS、 1.29mA (typ)
フル・パワーダウン・モード	0.5	μA (max)	SCLKオンまたはオフ。 $V_{DD}=5.5V$
	0.3	μA (max)	SCLKオンまたはオフ。 $V_{DD}=3.6V$

AD7940

パラメータ	Bバージョン	単位	テスト条件/備考
消費電力 ⁴ ノーマル・モード (動作時)	26.4	mW (max)	$V_{DD}=5.5V$ $V_{DD}=5.5V, f_{SAMPLE}=100kSPS$
	6.84	mW (max)	$V_{DD}=3.6V, f_{SAMPLE}=100kSPS$
フル・パワーダウン	2.5	μW (max)	$V_{DD}=5.5V$
	1.08	μW (max)	$V_{DD}=3.6V$

¹ Bバージョンの温度範囲は-40~+85℃です。

² 「用語の説明」を参照。

³ 量産開始時のサンプル・テストにより適合性を保証。

⁴ 「スループット・レートと消費電力の関係」を参照。

タイミング仕様

量産開始時のサンプル・テストにより適合性を保証しています。tr=tf=5ns (V_{DD} の10~90%)ですべての入力信号を規定し、1.6Vの電圧レベルから時間を測定しています。

$V_{DD}=2.50\sim 5.5V$ 。特に指定のない限り、 $T_A=T_{MIN}\sim T_{MAX}$ 。

表3

パラメータ	T_{MIN} 、 T_{MAX} の限界値		単位	説明
	3V	5V		
f_{SCLK}^1	250	250	kHz (min)	
	2.5	2.5	MHz (max)	
$t_{CONVERT}$	$16 \times t_{SCLK}$	$16 \times t_{SCLK}$	min	
t_{QUIET}	50	50	ns (min)	バス開放から次の変換開始までに必要な最小静止時間
t_1	10	10	ns (min)	最小 \overline{CS} パルス幅
t_2	10	10	ns (min)	\overline{CS} からSCLKまでのセットアップ・タイム
t_3^2	48	35	ns (max)	\overline{CS} からSDATAのスリーステートがディセーブルになるまでの遅延
t_4^2	120	80	ns (max)	SCLK立下がりエッジ後のデータ・アクセス時間
t_5	$0.4 t_{SCLK}$	$0.4 t_{SCLK}$	ns (min)	SCLKロー・パルス幅
t_6	$0.4 t_{SCLK}$	$0.4 t_{SCLK}$	ns (min)	SCLKハイ・パルス幅
t_7	10	10	ns (min)	SCLKからデータ有効までのホールド・タイム
t_8^3	45	35	ns (max)	SCLK立下がりエッジからSDATAハイ・インピーダンス
$t_{POWER-UP}^4$	1	1	μs (typ)	フル・パワーダウンからのパワーアップ時間

¹ SCLK入力のマーク/スペース比は40/60~60/40です。

² 図2の負荷回路で測定し、出力が0.8Vまたは2.0Vを超えるまでに必要な時間と定義されます。

³ t_8 は、図2の回路を接続したときに、データ出力が0.5V変化するために要する時間の測定値から導出。この値は50pFコンデンサの充放電の影響を受けない値として推測されているため、タイミング特性で使用する時間 t_8 はデバイスの真のバス開放時間であり、外部バスの負荷容量とは無関係です。

⁴ 「スループット・レートと消費電力の関係」を参照してください。

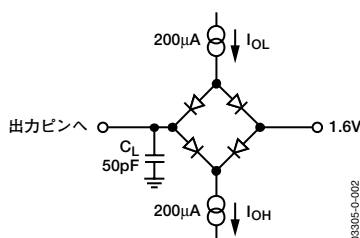


図2. デジタル出力タイミング仕様の負荷回路

AD7940

絶対最大定格

特に指定のない限り、 $T_A=25^{\circ}\text{C}$ 。

表4

パラメータ	定格
GNDに対する V_{DD}	$-0.3\sim+7\text{V}$
GNDに対するアナログ入力電圧	$-0.3\text{V}\sim V_{DD}+0.3\text{V}$
GNDに対するデジタル入力電圧	$-0.3\sim+7\text{V}$
GNDに対するデジタル出力電圧	$-0.3\text{V}\sim V_{DD}+0.3\text{V}$
電源以外のピンへの入力電流 ¹	$\pm 10\text{mA}$
動作温度範囲	
商用 (Bバージョン)	$-40\sim+85^{\circ}\text{C}$
保存温度範囲	$-65\sim+150^{\circ}\text{C}$
ジャンクション温度	150°C
SOT-23パッケージ、消費電力	450mW
θ_{JA} 熱抵抗	$229.6^{\circ}\text{C}/\text{W}$
θ_{JC} 熱抵抗	$91.99^{\circ}\text{C}/\text{W}$
MSOPパッケージ、消費電力	450mW
θ_{JA} 熱抵抗	$205.9^{\circ}\text{C}/\text{W}$
θ_{JC} 熱抵抗	$43.74^{\circ}\text{C}/\text{W}$
リード温度、ハンダ付け時	
ベーキング時間 (60秒)	215°C
赤外線 (15秒)	220°C
ESD	4kV

絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作に関するセクションに記載する規定値以上のデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

¹ 100mAまでの過渡電流では、SCRラッチアップは発生しません。

注意

ESD（静電放電）の影響を受けやすいデバイスです。人体や試験機器には4000Vもの高圧の静電気が容易に蓄積され、検知されないまま放電されることがあります。本製品は当社独自のESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。



ピン配置とピン機能の説明

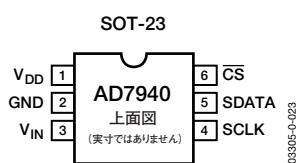


図3. SOT-23のピン配置

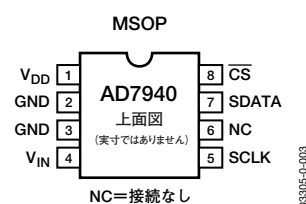


図4. MSOPのピン配置

表5. ピン機能の説明

ピン番号 SOT-23	ピン番号 MSOP	記号	機能
1	1	V_{DD}	電源入力。AD7940の V_{DD} 範囲は2.5~5.5Vです。
2	2, 3	GND	アナログ・グラウンド。AD7940のすべての回路のグラウンド基準ポイント。すべてのアナログ入力信号は、このGND電圧を基準にします。
3	4	V_{IN}	アナログ入力。シングルエンド・アナログ入力チャンネル。入力レンジは0V~ V_{DD} です。
4	5	SCLK	シリアル・クロック。ロジック入力です。SCLKは、デバイスのデータを読み出すためのシリアル・クロックです。このクロック入力、AD7940の変換プロセスのクロック源にも使用します。
5	7	SDATA	データ出力。ロジック出力です。AD7940からの変換結果は、シリアル・データ・ストリームとしてこのピンに出力されます。ビットは、SCLK入力の立下がりエッジでクロック出力されます。AD7940からのデータ・ストリームは、2つの先行ゼロと、それに続く14ビットの変換データ（MSBファースト）で構成されています。合計24 SCLKサイクルの間 \overline{CS} がローレベルに保持された場合は、この後に4つの末尾0が続きます。「シリアル・インターフェース」を参照してください。
6	8	\overline{CS}	チップ・セレクト。アクティブ・ローのロジック入力です。この入力には、AD7940での変換開始とシリアル・データ転送のフレーミングという2つの機能があります。
N/A	6	NC	接続なし。このピンは開放にしておきます。

AD7940

用語の説明

積分非直線性 (INL)

ADC伝達関数の両端を結ぶ直線からの最大偏差です。伝達関数の両端は、最初のコード遷移より1/2LSB下のゼロ・スケールと、最後のコード遷移より1/2LSB上のフル・スケールになります。

微分非直線性 (DNL)

ADCの2つの隣接コード間における1LSB変化の測定値と理想値との差です。

オフセット誤差

最初のコード遷移 (00 ... 000から00 ... 001) と理想的な遷移 (AGND+1LSB) との偏差です。

ゲイン誤差

オフセット誤差を調整した後の、最後のコード遷移 (111 ... 110から111 ... 111) と理想的な遷移 ($V_{REF}-1LSB$) との偏差です。

トラック & ホールド・アクイジション時間

トラック & ホールド・アンプは、変換の最後にトラック・モードに戻ります。トラック & ホールド・アクイジション時間とは、トラック & ホールド・アンプの出力が、変換の終了後に±1LSB以内で、その最終値に到達するために必要な時間です。詳細については「シリアル・インターフェース」を参照してください。

信号/ノイズ & 歪み比 (SINAD)

ADCの出力でのSINADの測定値です。信号は基本波のrms振幅です。ノイズは、DC成分を除くサンプリング周波数の半分 ($f_s/2$) までのすべての非基本波信号の合計です。この比はデジタル化プロセスの量子化レベル数に依存し、レベル数が大きいほど量子化ノイズが小さくなります。正弦波を入力した場合の理想のNビット・コンバータに対するSINADの理論値は、次式のようになります。

$$SINAD = (6.02N + 1.76) \text{ dB}$$

これにより、14ビット・コンバータの場合は86.04dBになります。

全高調波歪み (THD)

THDは、高調波のrms値総和と基本波の比です。AD7940の場合、THDは次のようになります。

$$THD \text{ (dB)} = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2}}{V_1}$$

ここで、 V_1 は基本波のrms振幅、 V_2 、 V_3 、 V_4 、 V_5 、 V_6 は2次～6次高調波のrms振幅です。

ピーク高調波 (スプリアス・ノイズ)

ADCの出力スペクトル内で2番目に大きい成分のrms値 (DC成分を除く $f_s/2$ まで) と基本波のrms値との比です。通常、この仕様値はスペクトル内の最大の高調波によって決まりますが、高調波がノイズ・フロアに埋もれているADCの場合は、ノイズ・ピークになります。

相互変調歪み (IMD)

非直線性のアクティブ・デバイスは、2つの周波数 f_a と f_b の正弦波を入力すると、 $m f_a \pm n f_b$ という和と差の周波数で歪み成分を発生させます。ここで、 m 、 $n=0$ 、1、2、3です。相互変調歪み項とは、 m と n が非ゼロの項をいいます。たとえば、2次項には $(f_a + f_b)$ と $(f_a - f_b)$ 、3次項には $(2f_a + f_b)$ 、 $(2f_a - f_b)$ 、 $(f_a + 2f_b)$ 、 $(f_a - 2f_b)$ があります。

AD7940は、入力帯域幅の上限に近い2つの入力周波数を使うCCIF規格を使ってテストされています。この場合、2次項は通常、元の正弦波の周波数から離れ、3次項は通常、入力周波数に近い周波数になります。その結果、2次項と3次項は別々に規定されています。相互変調歪みは、THDの仕様に従って計算しますが、これは個々の歪み成分のrms総和と基本波の和のrms振幅との比であり、dB単位で表します。

代表的な性能特性

図5に、サンプル・レートが100kSPS、入力周波数が10kHzのときの代表的なFFTプロットを示します。図6は、2.5MHzのSCLKにより100kSPSでサンプリングした場合の、さまざまな電源電圧に対する入力周波数とSINADの関係を示します。

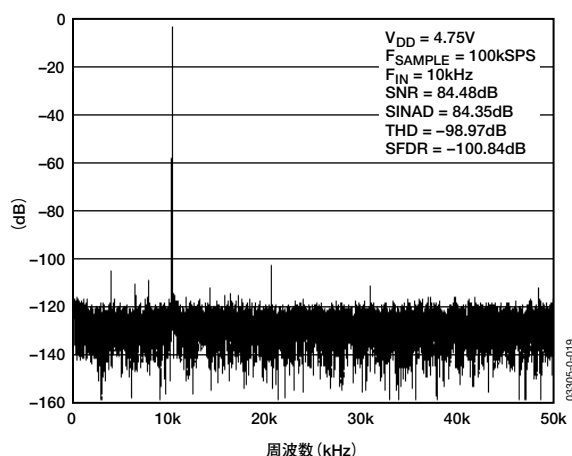


図5. 動的性能 (100kSPS)

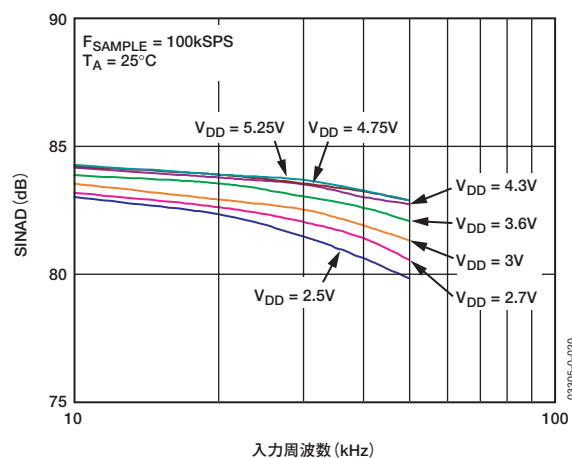


図6. さまざまな電源電圧に対するアナログ入力周波数とSINADとの関係 (100kSPS)

図7には、さまざまな電源電圧に対するアナログ入力周波数と全高調波歪みの関係を示します。図8には、さまざまな信号源インピーダンスに対するアナログ入力周波数と全高調波歪みの関係を示します (「アナログ入力」を参照)。図9と図10には、代表的なINLとDNLのプロットを示します。

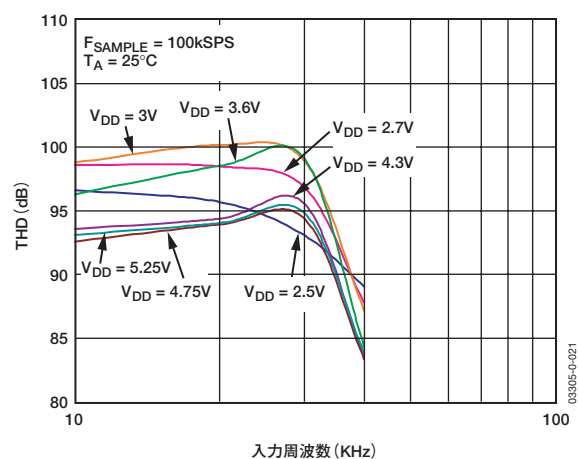


図7. さまざまな電源電圧に対するアナログ入力周波数とTHDとの関係 (100kSPS)

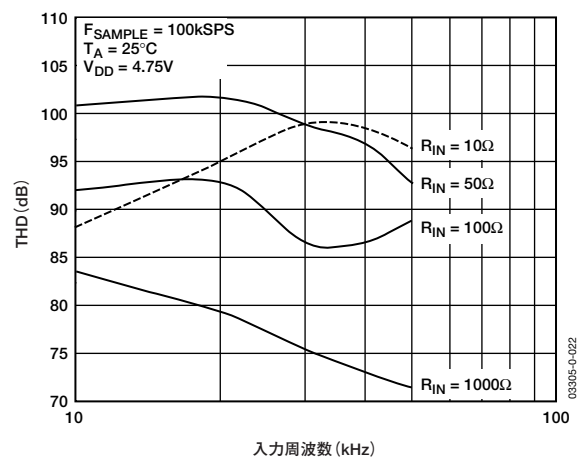


図8. さまざまな信号源インピーダンスに対するアナログ入力周波数とTHDとの関係

AD7940

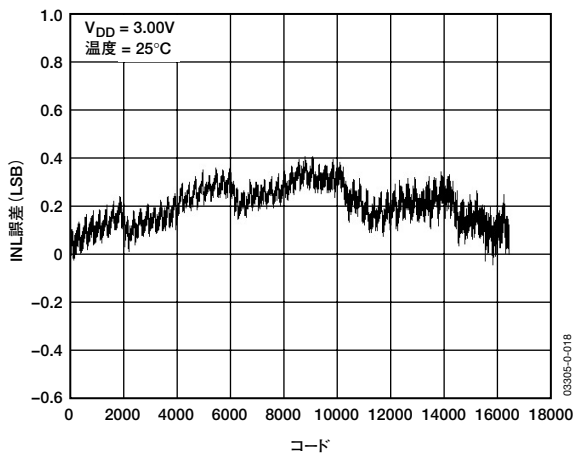


図9. 代表的なINL

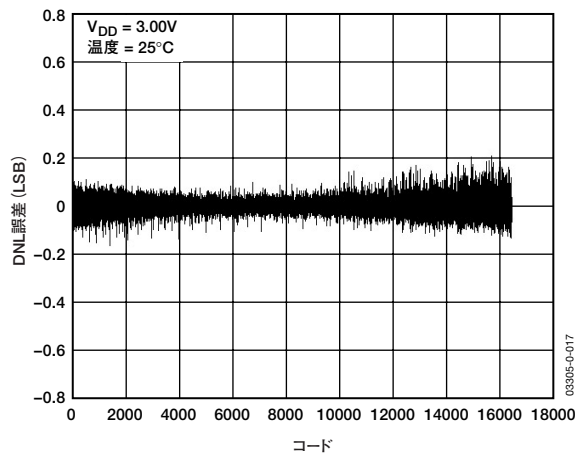


図10. 代表的なDNL

回路情報

AD7940は高速、低消費電力、14ビットのADCで、2.50～5.5Vの単電源で動作します。5V電源または3V電源の動作時に、2.5MHzのクロックを使用し、100kSPSのスループット・レートを実現できます。

トラック&ホールドADCとシリアル・インターフェースが小型の6ピンSOT-23パッケージまたは8ピンMSOPパッケージに内蔵されているため、AD7940では他のソリューションに比べ大幅なスペース削減が可能です。シリアル・クロック入力によってデバイスのデータを読み出すほか、逐次比較型ADCのクロック源にもなります。AD7940のアナログ入力レンジは $0V \sim V_{DD}$ です。ADCに外部リファレンスは不要であり、内部リファレンスもありません。AD7940のリファレンスは電源から取るため、最大限に広いダイナミック入力レンジが得られます。

AD7940には、変換と変換の間で消費電力を節約するパワーダウン・オプションもあります。「動作モード」で説明するように、このパワーダウン機能は、標準のシリアル・インターフェースを介して実行できます。

コンバータの動作

AD7940は、容量性D/Aコンバータ (DAC) をベースにした14ビットの逐次比較型ADCです。AD7940は、 $0V \sim V_{DD}$ のアナログ入力信号を変換できます。図11と図12に、ADCの簡略回路図を示します。ADCは、コントロール・ロジック、SAR、容量性DACで構成されています。図11に、アキュイジション動作中のADCを示します。SW2は閉じ、SW1はAにあります。コンパレータが平衡状態に維持され、サンプリング・コンデンサは選択された V_{IN} チャンネルで信号を取得します。

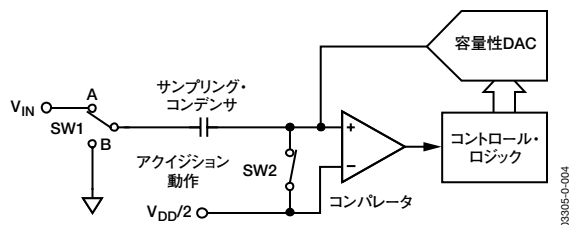


図11. アキュイジション動作中のADC

ADCが変換を開始すると、SW2が開き、SW1がBに移動して、コンパレータが平衡を失った状態になります (図12)。コントロール・ロジックと容量性DACを使用し、サンプリング・コンデンサから一定量の電荷を加算または減算して、コンパレータを平衡状態に戻します。コンパレータが平衡状態に戻ると、変換は完了します。コントロール・ロジックは、ADCの出力コードを生成します (「ADCの伝達関数」を参照)。

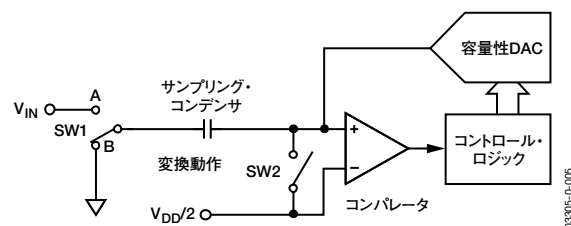


図12. 変換動作中のADC

アナログ入力

図13に、AD7940のアナログ入力構造の等価回路を示します。2個のダイオード (D1とD2) が、アナログ入力をESDから保護します。アナログ入力信号が300mV以上電源レールを超えないように注意してください。この値を超えると、ダイオードが順方向にバイアスされ、サブストレート内に電流が流れ始めます。デバイスに修復不能な損傷を与えることなく、ダイオードが許容できる最大電流は10mAです。図13のコンデンサC1は一般に約5pFであり、主にピン容量に帰因します。抵抗R1は、スイッチ (トラック&ホールド・スイッチ) のオン抵抗を含みます。この抵抗は一般に約25Ωです。コンデンサC2はADCのサンプリング・コンデンサで、一般に25pFの容量があります。ACアプリケーションの場合、該当するアナログ入力ピンにRCローパス・フィルタを使用して、アナログ入力信号から高周波成分を除去することを推奨します。高調波歪みやS/N比が重要なアプリケーションでは、アナログ入力を低インピーダンス・ソースから駆動してください。ソース・インピーダンスが大きいと、ADCのAC性能に大きな影響を及ぼします。このため、入力バッファ・アンプが必要になることもあります。オペアンプの選択は、アプリケーションによって異なります。アンプを使用せずにアナログ入力を駆動するときは、ソース・インピーダンスを低い値に制限する必要があります。最大ソース・インピーダンス値は、許容できる全高調波歪み (THD) の大きさによって異なります。ソース・インピーダンスが増加するとTHDが大きくなるため、性能が低下します (図8を参照)。

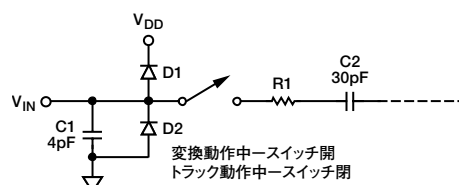


図13. アナログ入力等価回路

AD7940

ADCの伝達関数

AD7940の出力コーディングは、ストレート・バイナリです。設計によるコード遷移は、連続した整数LSB値（1LSB、2LSBなど）で発生します。LSBサイズは、 $V_{DD}/16384$ です。図14に、AD7940の理想的な伝達特性を示します。

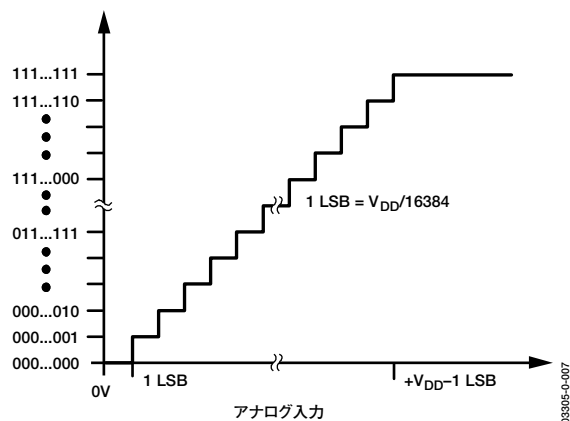


図14. AD7940の伝達特性

代表的な接続図

図15に、AD7940の代表的な接続図を示します。 V_{REF} は、内部で V_{DD} から取得するため、十分にデカップリングしてください。これによって、 $0V \sim V_{DD}$ のアナログ入力レンジが得られます。変換結果は、16ビット・ワードで出力されます。この16ビットのデータ・ストリームは、2つの先行ゼロ、それに続く14ビットの変換データ（MSBファースト）で構成されています。低消費電力が重要なアプリケーションでは、変換と変換の間、または変換バーストの間でパワーダウン・モードを使用し、電力消費性能を向上させることができます（「動作モード」を参照）。

AD7940で必要とする電源電流はきわめて小さいため、電源には高精度リファレンスも使用できます。たとえば、REF19x電圧リファレンス（5V用のREF195または3V用のREF193）やAD780を使用して、ADCに必要な電圧を供給できます（図15を参照）。この構成は、使用できる電源にノイズが多すぎる場合や、システム電源電圧がAD7940に必要な動作電圧とは異なる場合（たとえば、15V）、特に便利です。REF19xやAD780は、AD7940に一定の電圧を出力します。推奨するデカップリング・コンデンサは、100nFの低ESRセラミック（Farnell 335-1816）と10 μ Fの低ESRタンタル（Farnell 197-130）です。

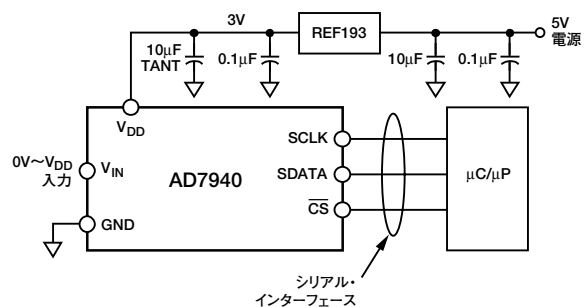


図15. 代表的な接続図

デジタル入力

AD7940のデジタル入力は、アナログ入力を制限する最大定格によって制限されることはありません。デジタル入力のほうは7Vまで可能であり、アナログ入力のように $V_{DD} + 0.3V$ までという制限はありません。たとえば、AD7940が3Vの V_{DD} で動作する場合、デジタル入力では5Vのロジック・レベルを使用できます。ただし、 $V_{DD} = 3V$ の場合は、SDATAでのデータ出力のロジック・レベルが3Vになることに注意してください。

SCLKと \overline{CS} が $V_{DD} + 0.3V$ までに制限されないことから得られるもう1つの利点は、電源シーケンスの問題を回避できることです。デジタル入力の1つが V_{DD} より前に印加されても、ラッチアップの心配はありません。他方、アナログ入力では、0.3Vを超える信号が V_{DD} より前に印加されると、ラッチアップが生じる可能性があります。

動作モード

AD7940の動作モードは、変換時に \overline{CS} 信号の（ロジック）状態を制御して選択します。動作モードには、ノーマル・モードとパワーダウン・モードの2つがあります。AD7940がパワーダウン・モードに入るかどうかは、変換開始後、 \overline{CS} がハイレベルになるポイントで決まります。また、すでにパワーダウン状態にある場合も、ノーマル・モードに戻るかパワーダウン・モードにとどまるかは \overline{CS} によって制御します。これらの動作モードは、柔軟なパワーマネジメント・オプションを提供することを目的としています。これによって、さまざまなアプリケーションの条件に合わせて消費電力／スループット・レート比を最適化できます。

ノーマル・モード

このモードでは、最速のスループット・レート性能が得られます。AD7940は常時フルパワー状態にあるため、パワーアップ時間を心配する必要はありません。図16に、このモードにおけるAD7940の動作図を示します。

「シリアル・インターフェース」で説明するように、変換は \overline{CS} の立下がりエッジで開始されます。AD7940を常時フルパワー状態しておくには、 \overline{CS} の立下がりエッジの後、少なくとも10個のSCLKの立下がりエッジが経過するまで \overline{CS} をローレベルに保つ必要があります。10番目のSCLKの立下がりエッジから16番目のSCLKの立下がりエッジまでの間に \overline{CS} をハイレベルにすると、AD7940はパワーアップ状態のままですが、変換は終了し、SDATAがスリーステートに戻ります。変換を完了して完全な変換結果にアクセスするには、シリアル・クロックで少なくとも16サイクルが必要です。 \overline{CS} は、次の変換までアイドル・ハイにしてもよいし、あるいはアイドル・ローにしておき、次の変換の前にハイレベルに戻すこともできます（ \overline{CS} は実質的にアイドル・ロー）。

データ転送が完了すれば（SDATAはスリーステート状態に戻る）、静止時間 t_{QUIET} が経過した後、 \overline{CS} を再度ローレベルにし、次の変換を開始できます。

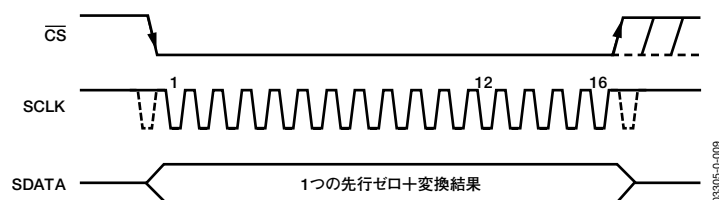


図16. ノーマル・モードの動作

AD7940

パワーダウン・モード

このモードは、低スループット・レートが必要なアプリケーションでの使用を目的としています。変換と変換の間にADCをパワーダウン状態にするか、何回かの変換を高スループット・レートで実行し、このような変換バーストの間にADCを比較的長時間パワーダウン状態にすることができます。AD7940がパワーダウン・モードに入ると、全アナログ回路がパワーダウン状態になります。

パワーダウン・モードに入るには、図17に示すように、SCLKの2番目の立下がりエッジからSCLKの10番目の立下がりエッジまでの間に \overline{CS} をハイレベルにし、変換プロセスを中断させる必要があります。SCLKのこの期間中に \overline{CS} をハイレベルにすると、AD7940がパワーダウン状態に入り、 \overline{CS} の立下がりエッジで開始した変換が終了して、SDATAはスリーステート状態に戻ります。SCLKの2番目の立下がりエッジの前に \overline{CS} がハイレベルになると、AD7940はノーマル・モードにとどまり、パワーダウンされません。これによって、 \overline{CS} ライン上のグリッチによって予期しないパワーダウンが発生するのを防止します。

この動作モードを終了してAD7940を再度パワーアップするには、ダミー変換を実行します。 \overline{CS} の立下がりエッジでAD7940がパワーアップを開始し、 \overline{CS} がローレベルに維持されている間パワーアップを続け、SCLKの10番目の立下がりエッジでこれを終了します。図18に示すように、少なくとも16 SCLK (約6 μ s) が経過するとデバイスが完全にパワーアップされ、次の変換から有効なデータが得られます。SCLKの10番目の立下がりエッジの前に \overline{CS} がハイレベルになると、SCLK周波数とは無関係に、AD7940は再びパワーダウン・モードに戻ります。これにより、 \overline{CS} ラインのグリッチによる予期しないパワーアップや、 \overline{CS} がローレベルのときの偶発的な8サイクルのSCLKによるパワーアップを防止します。デバイスは \overline{CS} の立下がりエッジでパワーアップを開始できますが、SCLKの10番目の立下がりエッジの前に \overline{CS} の上上がりエッジが発生すると、再度パワーダウンします。

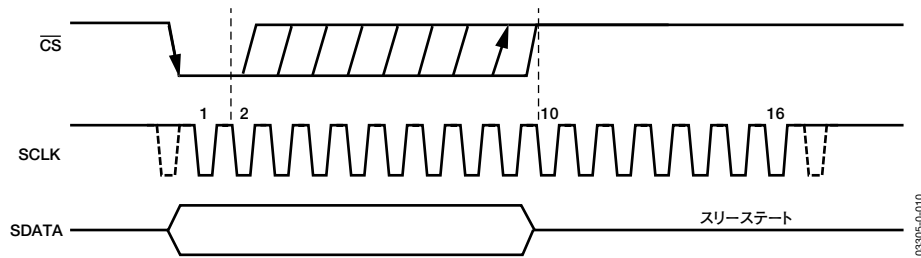


図17. パワーダウン・モードの開始

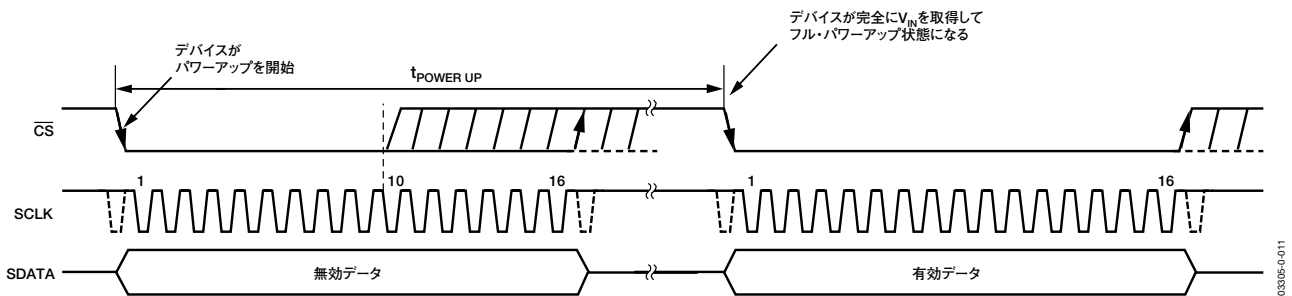


図18. パワーダウン・モードの終了

スループット・レートと消費電力の関係

変換を行わないときにAD7940をパワーダウン・モードにすれば、スループット・レートが低下し、平均消費電力を低減できます。図19に、スループット・レートを減少させると、デバイスがシャットダウン状態にとどまる時間が長くなり、時間の経過とともに平均消費電力が低下する様子を示します。

たとえば、AD7940が連続サンプリング・モードで動作し、スループット・レート=10kSPS、SCLK=2.5MHz ($V_{DD}=3.6V$)で、変換と変換の間にパワーダウン・モードにする場合、消費電力を次のように計算します。ノーマル・モードでの最大消費電力は6.84mW ($V_{DD}=3.6V$)です。パワーダウンからのパワーアップ時間が1 μ s、残りの変換時間が6.4 μ s (16 SCLK転送を使用)とすると、各変換サイクル中に、AD7940は7.4 μ sの間に6.84mWを消費することになります。スループット・レートが10kSPSの場合、サイクル時間は100 μ sです。残りの92.6 μ sの変換サイクルの間、AD7940はパワーダウン・モードにとどまります。変換サイクルの残りの92.6 μ sの間、AD7940は1.08 μ Wを消費します。したがって、10kSPSのスループット・レートで、各サイクルで消費する平均電力は次のようになります。

$$(7.4/100) \times (6.84\text{mW}) + (92.6/100) \times (1.08\mu\text{W}) = 0.51\text{mW}$$

図19に、3.6V電源と2.5MHzのSCLKでパワーダウン・モードを使用するときの、スループット・レートと消費電力の関係を示します。

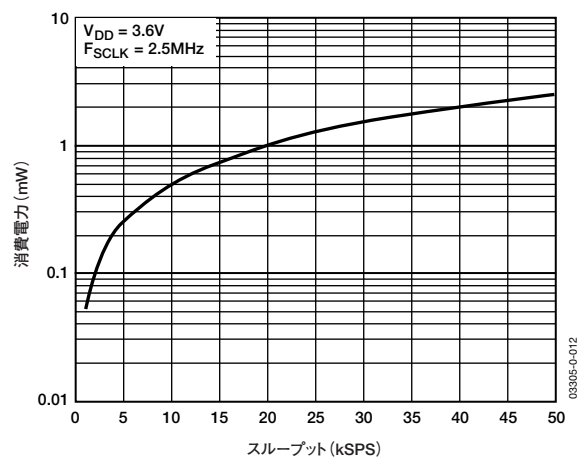


図19. パワーダウン・モードを使用する場合のスループットと消費電力の関係 (3.6V)

AD7940

シリアル・インターフェース

図20に、AD7940のシリアル・インターフェースの詳細なタイミング図を示します。シリアル・クロックが変換クロックを提供し、変換中はAD7940からのデータ転送も制御します。

\overline{CS} 信号で、データ転送と変換プロセスを開始します。 \overline{CS} の立下がりエッジで、トラック&ホールドがホールド・モードに入り、バスがスリーステートから抜け出し、アナログ入力をサンプリングします。変換もこの時点で開始され、完了までに少なくともSCLKで16サイクルが必要です。15番目のSCLK立下がりエッジが経過すると、図20の位置Bに示すように、トラック&ホールドが次のSCLK立上がりエッジでトラック・モードに戻ります。16番目のSCLK立下がりエッジで、SDATAラインがスリーステートに戻ります。SCLKで16サイクルが経過する前に \overline{CS} の立上がりエッジが発生すると、変換が中止され、SDATAラインはスリーステートに戻ります。これ以外の場合は、図20に示すように、16番目のSCLK立下がりエッジでSDATAがスリーステートに戻ります。

変換プロセスを実行し、AD7940からデータ読み出すには、シリアル・クロックで16サイクルが必要です。 \overline{CS} がローレベルになると、マイクロコントローラまたはDSPが最初の先行ゼロを読み出せるようになります。残りのデータは、これに続く

SCLK立下がりエッジで2番目の先行ゼロからクロック出力されます。このように、シリアル・クロックの最初の立下がりエッジで最初の先行ゼロが読み出され、2番目の先行ゼロもクロック出力されます。データ転送は、2つの先行ゼロと、それに続く14ビットのデータで構成されることになります。前の(15番目の)立下がりエッジでクロック出力されたデータ転送の最終ビットは、16番目の立下がりエッジで有効になります。

SCLKの立下がりエッジではなく、各立上がりエッジで有効データを得ることも可能です。これは、SCLKのサイクル時間が長い場合、SCLKの立上がりエッジでデータを準備できるからです。ただし、最初の先行ゼロはやはり \overline{CS} の立下がりエッジで駆動されるため、SCLKの最初の立下がりエッジでなければ取れません。これを無視することも可能です。その場合、 \overline{CS} の立下がりエッジ後のSCLKの最初の立上がりエッジで2番目の先行ゼロが読み出され、15番目のSCLK立上がりエッジでDB0が読み出されることになります。この方法は大部分のマイクロコントローラ/DSPには使えませんが、FPGAとASICでは使用できることがあります。

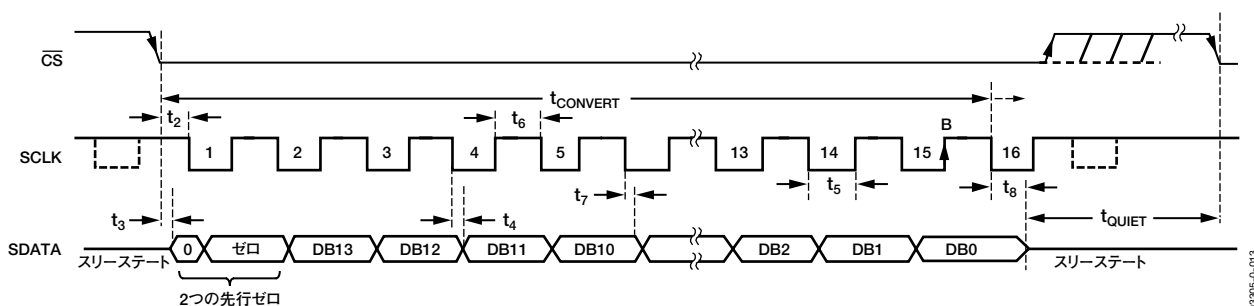


図20. AD7940のシリアル・インターフェース・タイミング図

マイクロプロセッサとのインターフェース

AD7940は、シリアル・インターフェースを使って、さまざまなマイクロプロセッサに直接接続できます。ここでは、AD7940をいくつかの一般的なマイクロコントローラやDSPのシリアル・インターフェース・プロトコルと接続する方法について説明します。

AD7940とTMS320C541とのインターフェース

TMS320C541のシリアル・インターフェースでは、連続シリアル・クロックとフレーム同期信号を使って、データ転送動作をAD7940のような周辺デバイスに同期化します。 \overline{CS} 入力を使えば、調整のためのロジックなしでTMS320C541とAD7940とを簡単に接続できます。TMS320C541のシリアル・ポートは、内部CLKX (TXシリアル・クロック) とFSX (TXフレーム同期) によるバースト・モードで動作するように設定されます。シリアル・ポート・コントロール・レジスタ (SPC) は、次のような設定にする必要があります。

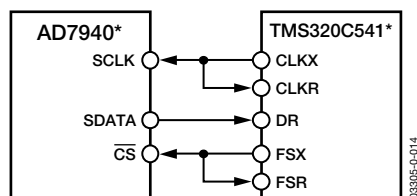
FO=0

FSM=1

MCM=1

TXM=1

AD7940でパワーダウン・モードを実行するために、フォーマット・ビットFOを1に設定し、ワード長を8ビットにする必要があります。接続図を図21に示します。信号処理アプリケーションの場合は、TMS320C541からのフレーム同期化信号によって等間隔サンプリングを行う必要があります。



*わかりやすくするためにその他のピンを省略しています。

図21. TMS320C541とのインターフェース

AD7940とADSP-218xとのインターフェース

ADSP-218xファミリーのDSPも、調整のためのロジックを使用せずに、AD7940と直接接続できます。SPORTコントロール・レジスタを次のように設定してください。

TFSW=RFSW=1、オルタネート・フレーミング

INVRFS=INVTFS=1、アクティブ・ロー・フレーム信号

DTYPE=00、右揃えデータ

SLEN=1111、16ビット・データワード

ISCLK=1、内部シリアル・クロック

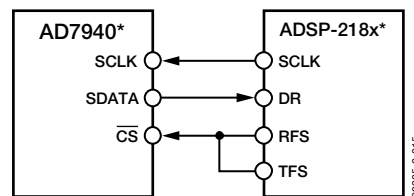
TFSR=RFSR=0、フレーム先頭ワード

IRFS=0

ITFS=1

パワーダウン・モードを実行するには、SLENを0111に設定して8ビットSCLKバーストを発行してください。

接続図を図22に示します。ADSP-218xではSPORTのTFSとRFSを互いに接続し、TFSを出力に、RFSを入力に設定します。DSPはオルタネート・フレーミング・モードで動作し、SPORTコントロール・レジスタが上記のように設定されます。TFS上で生成されるフレーム同期化信号は \overline{CS} に接続され、どの信号処理アプリケーションの場合でもそうですが、等間隔サンプリングが必要になります。この例では、タイム割込みを使ってADCのサンプリング・レートを制御します。



*わかりやすくするためにその他のピンを省略しています。

図22. ADSP-218xとのインターフェース

タイム・レジスタには、必要なサンプル間隔で割込みを発生させる値が書き込まれます。割込みを受け付けると、送信自動バッファ内の値の送信が開始され、TFSが生成されます。TFSを使ってRFSとデータの読出しを制御します。データは受信自動バッファに格納され、後で処理したりシフトしたりします。シリアル・クロックの周波数はSCLKDIVレジスタで設定します。TFSと一緒に送信する命令が与えられると (TX0=AX0)、SCLKの状態がチェックされます。SCLKがハイレベル、ローレベル、ハイレベルに変化するのを待ってから、DSPが送信を開始します。送信命令がSCLKの立上がりエッジまたはその近くで発生するようにタイムとSCLKの値を設定すると、データの送信を行うか、次のクロック・エッジまで待機します。

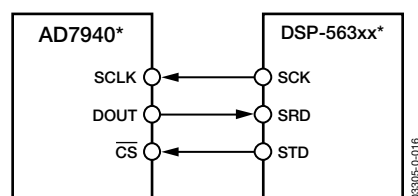
AD7940

たとえば、ADSP-2189に20MHzの水晶発振器があり、40MHzのマスター・クロック周波数が可能であれば、マスター・サイクル時間は25nsになります。SCLKDIVレジスタに値7を書き込むと、2.5MHzのSCLKが得られ、各1 SCLK周期は16マスター・クロック周期に等しくなります。選択したスループット・レートに応じて、タイマ・レジスタに値803を書き込んだ場合（803+1=804）、割込みの間とその後の送信命令の間に50.25サイクルのSCLKが経過します。この場合、送信命令はSCLKのエッジで発生するため、不等間隔のサンプリングになります。割込みの間のSCLKの数が整数Nになる場合は、DSPによって等間隔サンプリングが行われます。

AD7940とDSP563xxとのインターフェース

図23の接続図に、モトローラ社のDSP-563xxファミリーのESSI（同期シリアル・インターフェース）とAD7940との接続方法を示します。各ESSI（ボード当たり2個）は同期モードで動作し（CRBレジスタのSYNビット=1）、TxとRxの両方に1ビット・クロック周期のフレーム同期を内部で発生します（CRBのFSL1ビット=1、FSL0ビット=0）。ESSIの通常動作は、CRBでMOD=0に設定して選択します。CRAでWL1ビット=1、WL0ビット=0に設定し、ワード長を16に設定します。フレーム同期が負となるように、CRBのFSPビットを1に設定してください。信号処理アプリケーションの場合は、DSP-563xxからのフレーム同期化信号によって等間隔サンプリングを行う必要があります。

図23に示す例では、シリアル・クロックをESSIから取るため、SCK0ピンを出力に設定する必要があります（SCKD=1）。



*わかりやすくするためにその他のピンを省略しています。

図23. DSP-563xxとのインターフェース

アプリケーション情報

グラウンディングとレイアウト

AD7940を実装するPCボードは、アナログ部とデジタル部を分離して、ボード内でそれぞれをまとめて配置するように設計してください。これにより、簡単に分離できるグラウンド・プレーンを使用できるようになります。一般にグラウンド・プレーンのエッチング部分を最小化すると、最適なシールド効果が得られるため一番よい方法といえます。デジタル・グラウンド・プレーンとアナログ・グラウンド・プレーンは1点で接続してください。複数のデバイスがAGNDとDGNDの接続を必要とするシステム内でAD7940を使用する場合も、接続は1点で行い、AD7940のできるだけ近くにスター結線してください。

ノイズのカップリングを防ぐために、デバイスの下にデジタル・ラインを配置しないようにしてください。アナログ・グラウンド・プレーンは、ノイズのカップリングを防止するためにAD7940の下を通します。AD7940の電源ラインはできるだけ太いパターンにしてインピーダンスを下げ、電源ライン上のグリッチによる影響を小さくします。クロックなどの高速スイッチング信号は、デジタル・グラウンドでシールドしてボードの他の部分にノイズが拡散しないようにし、クロック信号がアナログ入力の近くを通らないようにします。デジタル信号とアナログ信号は、交差しないようにしてください。ボードの両面のパターンは互いに直角になるように配置し、ボードを貫通するフィードスルーの影響を抑えます。マイクロストリップ技術は非常に優れていますが、両面ボードでは使用できないこともあります。この方法では、ボードの部品面をグラウンド・プレーン専用にし、信号をハンダ面に配置します。

デカップリングを正しく行うことも非常に大切です。「代表的な接続図」で説明したように、すべてのアナログ電源とAGNDの間に10 μ Fのタンタル・コンデンサと0.1 μ Fのコンデンサを並列接続してデカップリングします。デカップリング部品から最大の性能を引き出すには、デカップリング・コンデンサとV_{DD}およびGNDピンとをできるだけ近づけ、各ピンはできるだけ短いトラックで接続してください。

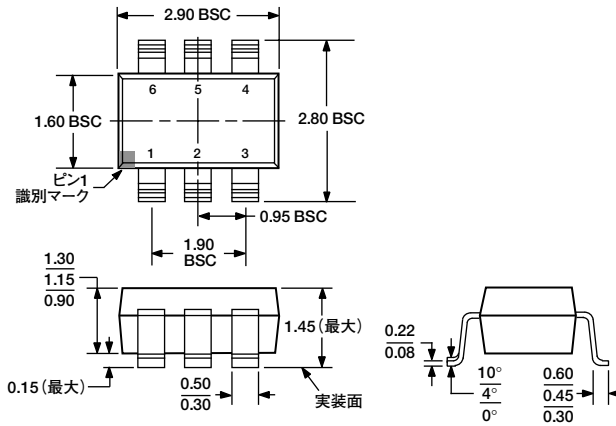
AD7940の性能評価

AD7940の推奨レイアウトの概要は、AD7940の評価用ボードにあります。評価用ボードのパッケージには、すべて組立ておよびテスト済みの評価用ボード、付属文書、評価用ボード・コントローラを介してPCからボードを制御するためのソフトウェアが入っています。評価用ボード・コントローラは、AD7940評価用ボードのほか、末尾番号CBが付くその他多くのアナログ・デバイス用の評価用ボードと組み合わせて使うことができます。これによって、AD7940のAC性能とDC性能のデモンストレーションと評価ができます。

このソフトウェアを使用し、AD7940のACテスト（高速フーリエ変換）とDCテスト（コードのヒストグラム）ができます。ソフトウェアとドキュメントは、評価用ボードに付属のCDに入っています。

AD7940

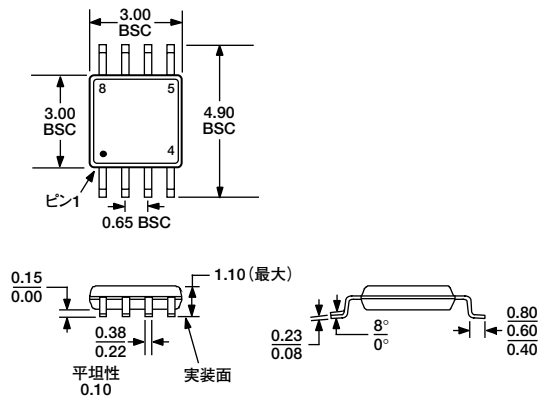
外形寸法



JEDEC規格MO-178ABに準拠

図24. 6ピンSOT-23 (RJ-6)

寸法単位: mm



JEDEC規格MO-187AAに準拠

図25. 8ピンMSOP (RM-8)

寸法単位: mm

オーダー・ガイド

製品	温度範囲	直線性誤差 (LSB) ¹	パッケージ	パッケージ・オプション	マーキング
AD7940BRJ-R2	-40~+85℃	14ビット (min)	SOT-23	RJ-6	CRB
AD7940BRJ-REEL7	-40~+85℃	14ビット (min)	SOT-23	RJ-6	CRB
AD7940BRM	-40~+85℃	14ビット (min)	MSOP	RM-8	CRB
AD7940BRM-REEL7	-40~+85℃	14ビット (min)	MSOP	RM-8	CRB
EVAL-AD7940CB ²			評価用ボード		
EVAL-CONTROL BRD2 ³			コントローラ・ボード		

¹ この直線性誤差はノーマル・ミスコードを意味します。

² この評価用ボードは単独で使用することも、あるいは評価用コントローラ・ボードと組み合わせて評価/デモ用に使用することもできます。

³ このボードはフル機能のユニットであり、PCで制御でき、末尾にCBが付くすべてのアナログ・デバイス評価用ボードとの通信が可能です。完全な評価用キットを注文される場合は、EVAL-AD7940CB、EVAL-CONTROL BRD2、12V ACトランスなど、特定のADC評価用ボードを注文する必要があります。詳細については、評価用ボードのアプリケーション・ノートを参照してください。