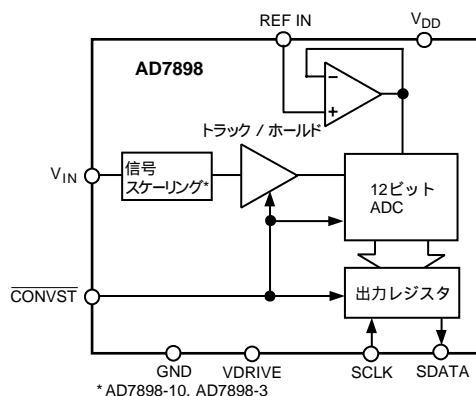


### 特長

- スループット・レート220kSPSの高速12ビットADC
- 8ピンSOIC
- 5V単電源動作
- 3Vプロセッサへのインターフェース可能な、高速でフレキシブルなシリアル・インターフェース
- トラック/ホールド・アンプ内蔵
- 入力範囲が選択可能
  - AD7898-10:  $\pm 10V$
  - AD7898-3:  $\pm 2.5V$
- 高入力インピーダンス
- 低消費電力: 最大22.5mW

機能ブロック図



### 概要

AD7898は、5V単電源動作、小型8ピンSOICパッケージの高速12ビットADCです。逐次比較型A/Dコンバータ、トラック/ホールド・アンプ、クロック、高速シリアル・インターフェースを内蔵しています。

AD7898は2つの動作モードを持っています。モード0では、変換がCONVST入力により開始され、変換プロセスは内部クロック発振器により制御されます。このモードでは、シリアル・インターフェースが3線式に構成され、AD7898は最大220kSPSのスループットで動作できます。モード1では、変換プロセスは外部入力のSCLKにより制御され、変換中でもデータにアクセスできます。このモードでは、シリアル・インターフェースは3線式に構成され、AD7898は最大220kSPSのスループットで動作できます。

直線性、フルスケール、オフセット誤差などの従来型のDC精度特性に加えて、AD7898では高調波歪みやS/N比などのダイナミック性能パラメータも仕様規定しています。

AD7898は、 $\pm 10V$  (AD7898-10) と  $\pm 2.5V$  (AD7898-3) のアナログ入力範囲を持ち、+5V単電源動作で、消費電力は、わずか22.5mW (typ値) です。

AD7898は、8ピン・スモール・アウトラインIC (SOIC) パッケージで供給されます。

### 製品のハイライト

1. 8ピン・パッケージの高速12ビットADC  
AD7898は、220kSPSのADC、トラック/ホールド・アンプ、コントロール・ロジック、高速シリアル・インターフェースをすべて、8ピン・パッケージに組み込んでいます。よって、他のソリューションに比べて、大幅な省スペースを実現します。
2. 低消費電力、単電源動作  
AD7898は+5V単電源から動作でき、22.5mWしか消費しません。V<sub>DRIVE</sub>機能により、シリアル・インターフェースをV<sub>DD</sub>に無関係に直接3Vまたは5Vプロセッサ・システムに接続できます。
3. フレキシブルで高速なシリアル・インターフェース  
AD7898は、2つの動作モードを持つフレキシブルな高速シリアル・インターフェースを提供します。モード0では3線式インターフェースを使い、変換終了時にAD7898からデータにアクセスできます。モード1では3線式インターフェースを使い、データを変換中にもアクセスできます。
4. パワーダウン・モード  
AD7898は、モード1での動作時に独自のパワーダウン機能を提供しているため、ポータブル・アプリケーションまたはハンドヘルド・アプリケーションに最適です。

アナログ・デバイス社が提供する情報は正確で信頼できるものを期していますが、その情報の利用または利用したことにより引き起こされる第三者の特許または権利の侵害に関して、当社はいっさいの責任を負いません。さらに、アナログ・デバイス社の特許または特許の権利の使用を許諾するものでもありません。

# AD7898

# 仕様<sup>1</sup>

(特に指定のない限り、 $V_{DD} = 4.75 \sim 5.25V$ 、 $V_{DRIVE} = 2.7 \sim 5.25V$ 、 $REF\ IN = 2.5V$ 、 $T_A = T_{MIN} \sim T_{MAX}$ で仕様規定、仕様はモード0とモード1の両動作に適用)

パラメータ	Aバージョン <sup>1</sup>	単位	テスト条件/コメント
ダイナミック特性			
信号対(ノイズ+歪)比 <sup>2</sup> $T_{MIN} \sim T_{MAX}$	71	dB min	$f_{IN} = 30kHz$ サイン波
合計高調波歪み(THD) <sup>2</sup>	- 78	dB max	$f_{IN} = 30kHz$ サイン波
ピーク高調波またはスプリアス・ノイズ <sup>2</sup>	- 89	dB typ	$f_{IN} = 30kHz$ サイン波
相互変調歪み(IMD) <sup>2</sup>			$f_a = 29.1kHz$ 、 $f_b = 29.9kHz$
2次項	- 88	dB typ	
3次項	- 88	dB typ	
アパーチャ遅延	20	ns typ	
アパーチャ・ジッター	75	ps typ	
フルパワー帯域幅(AD7898-10)	3.6	MHz typ	@3dB
フルパワー帯域幅(AD7898-3)	4.7	MHz typ	@3dB
フルパワー帯域幅(AD7898-10)	2.15	MHz typ	@1dB
フルパワー帯域幅(AD7898-3)	2.4	MHz typ	@1dB
DC精度			
分解能	12	ビット	
ノームス・コードを保証する最小分解能	12	ビット	
相対精度 <sup>2</sup>	$\pm 1$	LSB max	
微分非直線性 <sup>2</sup>	$\pm 0.9$	LSB max	
正フルスケール誤差 <sup>2</sup>	$\pm 3$	LSB max	
負フルスケール誤差 <sup>2</sup>	$\pm 3$	LSB max	
バイポーラ・ゼロ誤差	$\pm 4$	LSB max	
アナログ入力			
AD7898-10			
入力電圧範囲	$\pm 10$	V	
入力抵抗	24	k min	
AD7898-3			
入力電圧範囲	$\pm 2.5$	V	
入力抵抗	5	k min	
リファレンス入力			
REF IN入力電圧範囲	2.375/2.625	V min/ V max	$2.5V \pm 5\%$
入力電流	1	$\mu A$ max	
入力容量 <sup>2, 3</sup>	10	pF max	
ロジック入力			
入力ハイ電圧、 $V_{INH}$	$V_{DRIVE} \times 0.7$	V min	
入力ロー電圧、 $V_{INL}^4$	$V_{DRIVE} \times 0.3$	V max	
入力電流、 $I_{IN}$	$\pm 1$	$\mu A$ max	
入力容量、 $C_{IN}^{2, 3}$	10	pF max	10nA (typ)、 $V_{IN} = 0V$ または $V_{DRIVE}$
ロジック出力			
出力ハイ電圧、 $V_{OH}$	$V_{DRIVE} - 0.4$	V min	$I_{SOURCE} = 200 \mu A$ 、 $V_{DRIVE} = 2.7 \sim 5.25V$
出力ロー電圧、 $V_{OL}$	0.4	V max	$I_{SINK} = 200 \mu A$
フローティング状態リーク電流	$\pm 10$	$\mu A$ max	
フローティング状態出力容量 <sup>2, 3</sup>	10	pF max	
出力コーディング	2の補数		
変換レート			
モード0動作	220	kSPS max	$V_{DRIVE} = 5V \pm 5\%$
	215	kSPS max	$V_{DRIVE} = 2.7 \sim 3.6V$
モード1動作	220	kSPS max	
電源条件			
$V_{DD}$	4.75 ~ 5.25	Vmin ~ Vmax	仕様性能に対して
$V_{DRIVE}$	2.7 ~ 5.25	Vmin ~ Vmax	仕様性能に対して
静止 $I_{DD}$	4.25	mA max	デジタル入力@ $V_{DRIVE}$
動作 $I_{DD}$	4.5	mA max	デジタル入力@ $V_{DRIVE}$
消費電力	22.5	mW max	
パワーダウン・モード			
$I_{DD}$ @25	5	$\mu A$ max	デジタル入力@GND、 $V_{DD} = 5V \pm 5\%$
$T_{MIN} \sim T_{MAX}$	20	$\mu A$ max	デジタル入力@GND、 $V_{DD} = 5V \pm 5\%$
25 で動作中の消費電力	25	$\mu W$ max	$V_{DD} = 5V$

## 注

1. Aバージョンの温度範囲:  $-40 \sim +85$  .
  2. 用語集を参照してください。
  3. 25 でサンプル・テストして適合性を保証。
  4.  $V_{DRIVE} = 2.35V$ 、入力ロー電圧 $V_{INL} = 0.4V$ で動作。
- 仕様は予告なく変更されることがあります。

タイミング特性<sup>1</sup>(特に指定のない限り、 $V_{DD} = 4.75 \sim 5.25V$ 、 $V_{DRIVE} = 2.7 \sim 5.25V$ 、 $REF_{IN} = 2.5V$ 、 $T_A = T_{MIN} \sim T_{MAX}$ )

パラメータ	$T_{MIN}$ 、 $T_{MAX}$ での規定値	単位	条件/備考
<b>モード0動作</b>			
$t_1$	40	ns min	CONVSTパルス幅
$t_2$	26 <sup>2</sup>	ns min	SCLKハイパルス幅、 $V_{DRIVE} = 5V \pm 5\%$
$t_3$	26 <sup>2</sup>	ns min	SCLKローパルス幅、 $V_{DRIVE} = 5V \pm 5\%$
	30 <sup>2</sup>	ns min	SCLKハイパルス幅、 $V_{DRIVE} = 2.7 \sim 3.6V$
	30 <sup>2</sup>	ns min	SCLKローパルス幅、 $V_{DRIVE} = 2.7 \sim 3.6V$
$t_4$	60 <sup>3</sup>	ns max	SCLKの立ち下がりエッジからのデータ・アクセス時間、 $V_{DRIVE} = 5V \pm 5\%$
$t_4$	70 <sup>3</sup>	ns max	SCLKの立ち下がりエッジからのデータ・アクセス時間、 $V_{DRIVE} = 2.7 \sim 3.6V$
$t_5$	20	ns min	SCLKの立ち下がりエッジからのデータ・ホールド時間
$t_6$	50 <sup>4</sup>	ns max	SCLKの立ち下がりエッジからのバス開放時間
$t_{CONVERT}$	3.3	$\mu s$	
<b>モード1動作</b>			
$f_{SCLK}^5$	1	kHz min	
	3.7	MHz max	
$t_{CONVERT}$	$16 \times t_{SCLK}$		$t_{SCLK} = 1/f_{SCLK}$
	4.33	$\mu s$ max	$f_{SCLK} = 3.7MHz$
$t_{QUIET}$	100	ns min	変換の間に必要な最小休止時間
$t_2$	70	ns min	CSからSCLKまでのセットアップ時間
$t_3^3$	40	ns max	CSからSDATAスリーステート・ディスエーブルまでの遅延
$t_4^3$	80	ns max	SCLK立ち下がりエッジからのデータ・アクセス時間
$t_5$	108	ns min	SCLKハイパルス幅
$t_6$	108	ns min	SCLKローパルス幅
$t_7$	60	ns min	SCLKからデータ有効までのホールド時間
$t_8^4$	20	ns min	SCLKの立ち下がりエッジからSDATAの高インピーダンスまで
	60	ns max	SCLK立ち下がりエッジからSDATAの高インピーダンスまで
$t_{POWER-UP}$	4.33	$\mu s$ max	パワーダウン・モードからのパワーアップ時間

## 注

- 適合性を保証するため+25°Cでサンプル・テストを実施。全入力信号は $t_r = t_f = 5ns$  ( $V_{DD}$ の10~90%)で測定。時間は1.6Vの電圧レベルで測定。
- $V_{DRIVE} = 5V \pm 5\%$ 、スループット220KSPSのモード0動作に対して、SCLKの最大周波数は15MHz。 $V_{DRIVE} = 2.7 \sim 3.6V$ では $SCLK = 13MHz$ 。SCLKのマーク/スペース比は、最小ハイ時間を40% (ロー時間は60%に対応)に、またはロー時間を40% (ハイ時間60%に対応)に規定。規定値を超えない限り、SCLK周波数の低下とともに、マーク/スペース比は変化します。インターフェースの際には、データ・アクセス時間 $t_a$ とユーザー・プロセッサに要求されるセットアップ時間に注意する必要があります。これら2つの時間が、ユーザー・システムの動作可能な最大SCLK周波数を決定します。シリアル・インターフェースの節を参照してください。
- 図1に示す負荷回路で測定。出力が0.8Vまたは2.0Vと交叉するまでに必要な時間と定義します。
- $t_8$ と $t_8^4$ は、図1に示す負荷回路に接続したとき、データ出力が0.5V変化するのに要する時間の測定値から導出しています。測定値は、測定後50pFのコンデンサの充電または放電の効果を除去するため外挿されています。これは、タイミング特性で示している時間 $t_8$ と $t_8^4$ がこのデバイスの真のバス開放時間であることを意味し、バスの外部負荷容量とは無関係です。
- SCLK入力のマーク/スペース比は40/60 - 60/40。  
仕様は予告なく変更されることがあります。

# AD7898

絶対最大定格<sup>1</sup> (特に指定のない限り、 $T_A = 25$  )

$V_{DD} \sim GND$  ..... - 0.3 ~ + 7V

アナログ入力電圧 ~ GND

AD7898-10 .....  $\pm 17V$

AD7898-3 .....  $\pm 10V$

リファレンス入力電圧 ~ GND ..... - 0.3V ~  $V_{DD} + 0.3V$

デジタル入力電圧 ~ GND ..... - 0.3V ~  $V_{DD} + 0.3V$

デジタル出力電圧 ~ GND ..... - 0.3V ~  $V_{DD} + 0.3V$

動作温度範囲

商業用 (A、Bバージョン) ..... - 40 ~ + 85

保管温度範囲 ..... - 65 ~ + 150

接合温度 ..... 150

SOICパッケージ、ワット損 ..... 450mW

$J_A$ 熱インピーダンス ..... 170 /W

ピン温度、ハンダ処理

蒸着 (60秒) ..... 215

赤外線 (15秒) ..... 220

ESD

AD7898-10 ..... 2.5kV

AD7898-3 ..... 4kV

注

<sup>1</sup> 上記の絶対最大定格を超えるストレスを加えると、デバイスに永久的な損傷を与えることがあります。この定格はストレス定格の規定のみを目的とするものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長期間絶対最大定格条件に置くと、デバイスの信頼度に影響を与えることがあります。

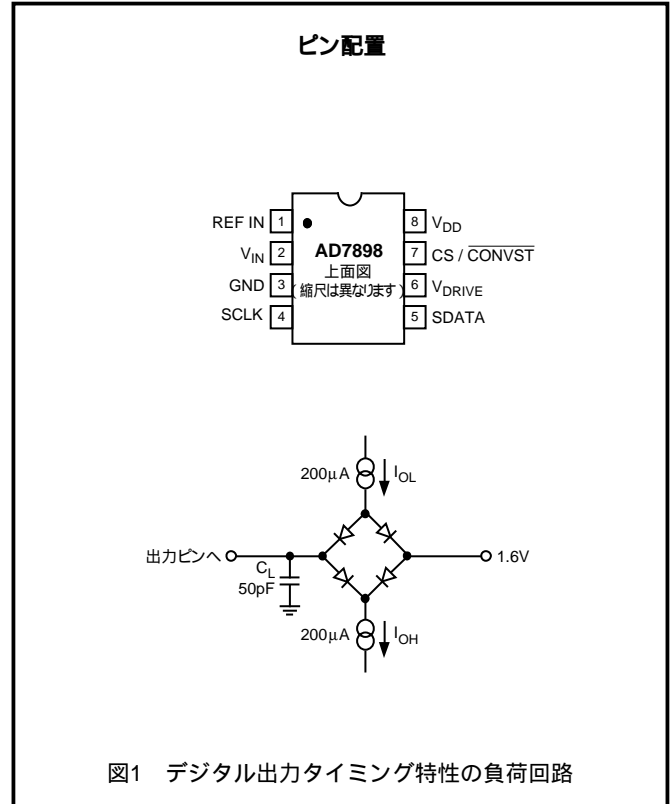


図1 デジタル出力タイミング特性の負荷回路

## オーダー・ガイド

モデル	温度範囲	直線性誤差 (LSB) <sup>1</sup>	S/N比 (dB)	パッケージ・オプション <sup>2</sup>
AD7898AR-10	- 40 ~ + 85	$\pm 1LSB$	71dB	8ピンSO
AD7898AR-3	- 40 ~ + 85	$\pm 1LSB$	71dB	8ピンSO
EVAL-AD7898CB				
EVAL-CONTROL BRD <sup>23</sup>				

注

<sup>1</sup> 直線性誤差は、積分直線性誤差を意味します。

<sup>2</sup> SO = SOIC。

<sup>3</sup> このボードを使って、PCからの制御と、番号にCBが付くすべてのアナログ・デバイス評価ボードとの通信が可能です。

注意

ESD (静電放電) の影響を受けやすいデバイスです。4000Vもの高圧の静電気が人体やテスト装置に容易に帯電し、検知されることなく放電されることがあります。本製品には当社独自のESD保護回路を備えていますが、高エネルギーの静電放電を受けたデバイスには回復不可能な損傷が発生することがあります。このため、性能低下や機能喪失を回避するために、適切なESD予防措置をとるようお奨めします。



## ピン機能の説明

ピン番号	記号	機能
1	REF IN	電圧リファレンス入力。外部リファレンス・ソースをこのピンに接続して、AD7898の変換プロセスのリファレンスを与えます。REF IN入力はチップ内でバッファされています。AD7898の公称リファレンスは、 $+2.5V \pm 5\%$ です。0.1 $\mu F$ のコンデンサをREF INピンに接続してください。
2	V <sub>IN</sub>	アナログ入力チャンネル。アナログ入力範囲は、 $\pm 10V$ (AD7898-10) と $\pm 2.5V$ (AD7898-3) です。
3	GND	アナログ・グラウンド。トラック/ホールド、コンパレータ、デジタル回路、DACのグラウンド・リファレンスです。
4	SCLK	シリアル・クロック入力。外部シリアル・クロックをこの入力に接続して、AD7898からシリアル・データを取り出します。モード0動作では、新しいシリアル・データ・ビットがこのシリアル・クロックの立ち下がりエッジで出力されます。モード0では、高速なシリアル・クロックを使う際に、データを立ち下がりエッジで入力できるように、この立ち下がりエッジから20ns間データが有効であることが保証されます。シリアル・データ転送の終わりで、シリアル・クロック入力をローにする必要があります。モード1動作でも、SCLKはモード0と同様にデバイスからデータを読み出すためのシリアル・クロックの機能も持ちますが、モード1ではこのクロック入力はAD7898の変換プロセスに対するクロック・ソースとしても使われます。
5	SDATA	シリアル・データ出力。AD7898のシリアル・データはこのピンに出力されます。シリアル・データはSCLKの立ち下がりエッジで出力されますが、SCLKの立ち下がりエッジでもデータを読み出せます。これは、データ・ビットNがSCLKの立ち下がりエッジの後の規定時間(データ・ホールド・タイム)の間有効であるために、可能になります。シリアル・データの16ビットは、先頭に4ビットのゼロと、それに続く12ビットの変換データ(MSB先頭)として出力されます。16番目のSCLKの立ち下がりエッジでは、SDATAラインはデータ・ホールド・タイムの間保持された後、ディスエーブルにされます(スリー・ステート状態)。AD7898の出力データ・コーディングは、2の補数です。
6	V <sub>DRIVE</sub>	ロジック電源入力。このピンに入力される電圧が、AD7898のシリアル・インターフェースが動作する電圧を決定します。
7	$\overline{CS}/\text{CONVST}$	チップ・セレクト/変換開始。このピンがモード0動作でのエッジ・トリガー・ロジック入力の $\overline{CONVST}$ (変換開始)になります。この入力の立ち下がりエッジで、トラック/ホールドがホールド・モードに入り、変換が開始されます。モード1動作では、このピンはアクティブロー・ロジック入力のチップ・セレクトになります。この入力は、AD7898の変換開始とシリアル・データ転送フレーミングの2つの機能を持っています。
8	V <sub>DD</sub>	5V $\pm 5\%$ の電源入力。

# AD7898

## 用語集

信号対 (ノイズ+歪み) 比

A/Dコンバータの出力で測定される信号と (ノイズ+歪み) の比をいいます。信号は基本波のrms振幅で、ノイズはサンプリング周波数の1/2 ( $f_s/2$ ) までの、DCと基本波を除く全信号のrms値の合計です。この比は、量子化プロセスの量子化レベル数に依存します。レベル数が大きいほど、量子化ノイズは小さくなります。サイン波入力に対する、理想的なNビット・コンバータの理論的な信号対 (ノイズ+歪み) 比は、次式で得られます。

$$\text{信号対 (ノイズ+歪み) 比} = (6.02 N + 1.76) \text{ dB}$$

12ビット・コンバータに対しては、この値は74dBになります。

合計高調波歪み

合計高調波歪み (THD) は、高調波のrms値合計と基本波の比です。AD7898の場合、次式で得られます。

$$\text{THD (dB)} = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2}}{V_1}$$

ここで、 $V_1$ は基本波のrms振幅で、 $V_2$ 、 $V_3$ 、 $V_4$ 、 $V_5$ 、 $V_6$ は第2次～6次高調波のrms振幅です。

ピーク高調波またはスプリアス・ノイズ

ピーク高調波またはスプリアス・ノイズは、ADC出力スペクトル (DCを除き、 $f_s/2$ まで) 内で2番目に大きい成分のrms値と基本波のrms値の比として定義されます。通常、この仕様の値はスペクトル内の最大高調波により決定されますが、高調波がノイズフロアに埋もれているこのデバイスの場合には、ノイズ・ピークにより決定されます。

相互変調歪み

2つの周波数 $f_a$ と $f_b$ を持つサイン波で構成される入力に対して、非直線性を持つすべてのアクティブ・デバイスは、和と差の周波数 $m f_a \pm n f_b$  ( $m, n = 0, 1, 2, 3, \dots$ ) の歪み項を発生します。相互変調項は、 $m$ と $n$ が非ゼロの項です。例えば、2次項には、 $(f_a + f_b)$  と  $(f_a - f_b)$  が含まれ、3次項には  $(2f_a + f_b)$ 、 $(2f_a - f_b)$ 、 $(f_a + 2f_b)$ 、 $(f_a - 2f_b)$  が含まれます。

AD7898は2つの入力周波数を使うCCIF規格にしたがってテストされています。この場合、2次項と3次項は異なる影響を持ちます。一般に、2次項は元のサイン波から離れた周波数になりますが、3次項は、一般に入力周波数に近い周波数になります。そのため、2次項と3次項は別々に規定されず。相互変調歪みの計算は、個々の歪み成分のrms合計と基本波rms振幅の比 (単位dBs) と、定めるTHD仕様に従って行います。

相対精度

相対精度または端点非直線性とは、ADC伝達関数の両端を結ぶ直線からの最大偏差をいいます。

微分非直線性

ADCの2つの隣接コード間における1LSB変化の測定値と理論値の差をいいます。

正フルスケール誤差 (AD7898-10)

バイポーラ・ゼロ誤差を調整した後の、最終のコード変化 ( $01 \dots 110$ から $01 \dots 111$ への変化) と理論的变化 ( $4 \times V_{REF} - 3/2\text{LSB}$ ) の差をいいます。

正フルスケール誤差 (AD7898-3)

バイポーラ・ゼロ誤差を調整した後の、最終のコード変化 ( $01 \dots 110$ から $01 \dots 111$ への変化) と理論的变化 ( $V_{REF} - 3/2\text{LSB}$ ) の差をいいます。

バイポーラ・ゼロ誤差 (AD7898-10、AD7898-3)

中央スケール変化 (全0から全1への変化) と理論的AGND -  $1/2\text{LSB}$ の差をいいます。

負フルスケール誤差 (AD7898-10)

バイポーラ・ゼロ誤差を調整した後の、最初のコード変化 ( $10 \dots 000$ から $10 \dots 001$ への変化) と理論的 ( $-4 \times V_{REF} + 1/2\text{LSB}$ ) の差をいいます。

負フルスケール誤差 (AD7898-3)

バイポーラ・ゼロ誤差を調整した後の、最初のコード変化 ( $10 \dots 000$ から $10 \dots 001$ への変化) と理論的 ( $-V_{REF} + 1/2\text{LSB}$ ) の差をいいます。

トラック/ホールド・アキュイジション時間

トラック/ホールド・アキュイジション時間は、変換終了 (トラック/ホールドがトラック・モードに戻るポイント) からトラック/ホールド・アンプ出力が最終値  $\pm 1/2\text{LSB}$  に到達するまでに要する時間をいいます。これは、AD7898の $V_{IN}$ に入力された入力電圧上にステップ入力変化がある場合にも適用されます。これは、デバイスが仕様通りに動作するためには、変換終了または $V_{IN}$ でのステップ入力変化から次の変換が開始されるまで、トラック/ホールド・アキュイジション時間だけ待つ必要があることを意味します。

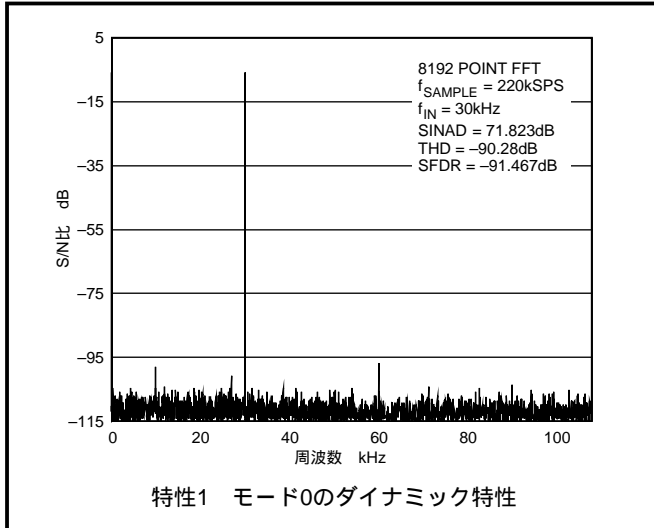
PSR (電源除去比)

電源変動は、フルスケール変化に影響を与えますが、コンバータの直線性には影響を与えません。電源除去比は、公称値からの電源電圧変化に起因する、フルスケール変化ポイントの最大変化をいいます。

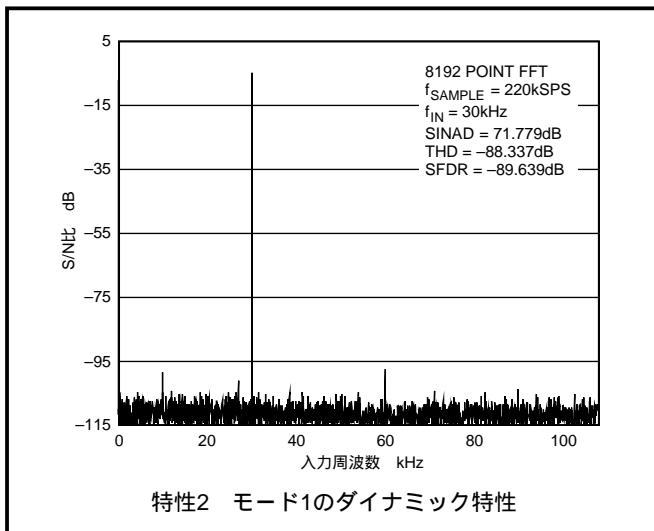
# AD7898 代表的な性能特性

## 性能曲線

特性1に、モード0で、30kHz入力周波数に対してサンプリング・レート220kSPSで動作しているAD7898の代表的なFFTプロットを示します。



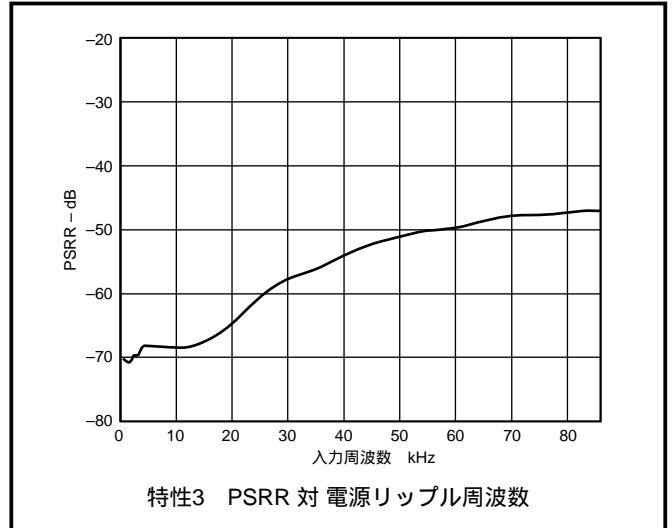
特性2に、モード1で、30kHz入力周波数に対してサンプリング・レート220kSPSで動作しているAD7898の代表的なFFTプロットを示します。



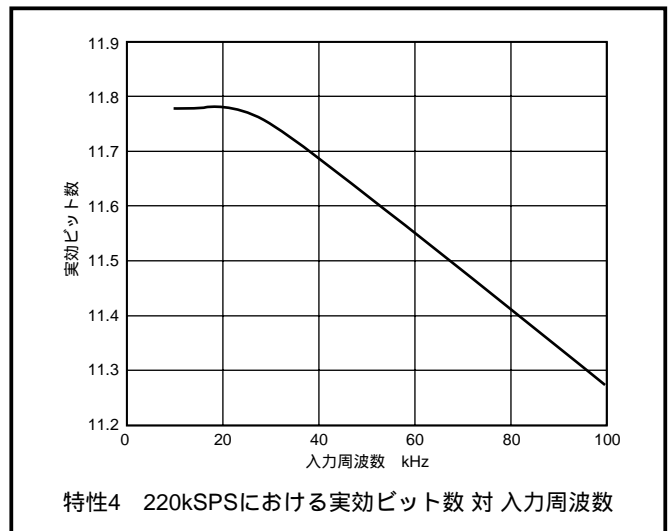
特性3に、AD7898の電源除去比と電源周波数の関係を示します。電源除去比は、フルスケール周波数 $f$ でのADC出力の電力と、ADCの $V_{\text{DD}}$ 電源に加えられた周波数 $f_s$ の100mVサイン波の電力との比として定義されます。

$$\text{PSRR (dB)} = 10\log ( P_f/P_{fs} )$$

$P_f$  = ADC出力での周波数 $f$ の電力、 $P_{fs}$  = ADCの $V_{\text{DD}}$ 電源入りに混入した周波数 $f_s$ の電力。ここで、100mVピークtoピークのサイン波が $V_{\text{DD}}$ 電源に加えられます。電源には100nFのデカップリング・コンデンサが使われています。



特性4に、220kSPSのサンプリングで動作した場合の、実効ビット数と入力周波数の関係を示します。

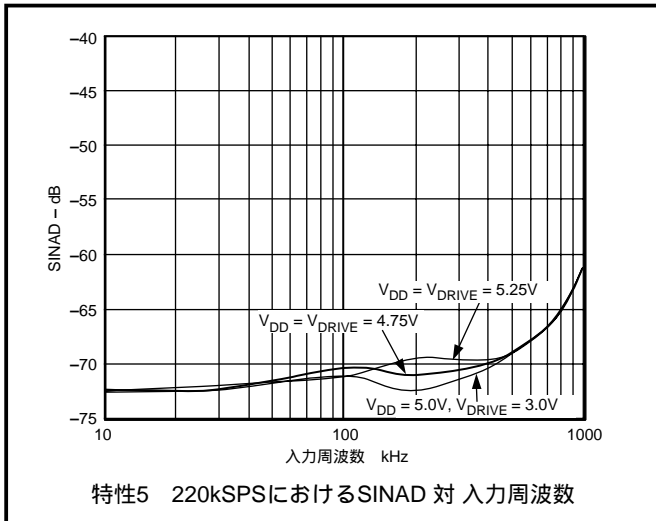


デバイスの実効ビット数は、信号対(ノイズ+歪)比の測定値から計算できます(用語集参照)。DC ~  $f_{\text{SAMPLE}/2}$ におけるAD7898の実効ビット数 対 周波数の代表的なプロットを特性4に示します。サンプリング周波数は220kSPSです。信号対(ノイズ+歪)比の式は、コンバータの分解能すなわちビット数に関係しています。次のように式を書きかえると、実効ビット数(N)で表した性能値が得られます。

$$N = ( \text{SNR} - 1.76 ) / 6.02$$

ここで、SNRは信号対(ノイズ+歪)比です。

# AD7898

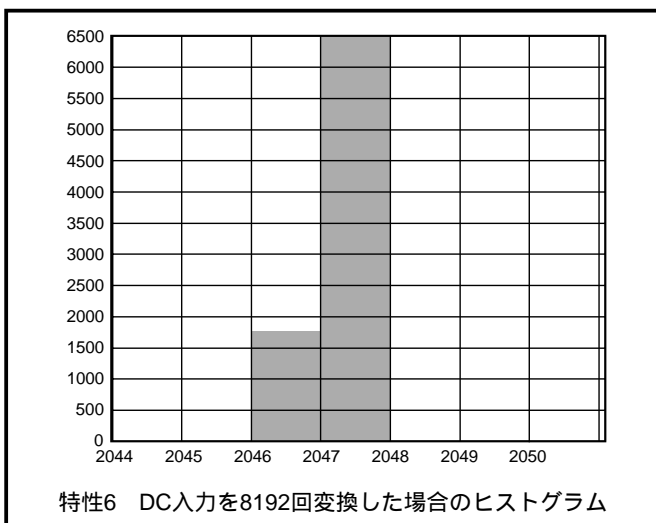


特性5に、サンプリング220kSPSにおける信号対（ノイズ + 歪み）比と、それぞれの電源電圧に対する入力周波数の関係を示します。内蔵のトラック / ホールドは、AD7898-3では最大4.7MHzまでの周波数に、AD7898-10では3.6MHzまでの周波数にそれぞれ対応できるため、AD7898はサブサンプリング・アプリケーションに最適です。

## ノイズ

A/Dコンバータでのノイズは、DCアプリケーションではコード不確定性として、ACアプリケーション（例：FFT）ではノイズ・フロアとして、それぞれ現われます。AD7898のようなサンプリングA/Dコンバータでは、アナログ入力の全情報は、DCからサンプリング周波数の1/2までのベースバンドに現われます。トラック / ホールドの入力帯域幅はナイキスト帯域幅を超えているため、このような信号が存在するアプリケーションの入力信号で $f_s/2$ を超える不要な信号を、折り返し防止フィルタを使って除去する必要があります。

特性6に、AD7898を使ってDC入力を8192回変換した場合のヒストグラム・プロットを示します。アナログ入力は、コード変化の中央に設定されています。ほぼすべてのコードが1つの出力範囲に現われていることが読み取られ、AD7898 ADCが極めて優れたノイズ性能を持っていることが分かります。



## コンバータの詳細

AD7898は、信号スケールリング、トラック / ホールド機能、A/Dコンバータ、シリアル・インターフェース・ロジックなどの機能をシングル・チップで提供する、高速12ビット単電源動作のA/Dコンバータです。AD7898のA/Dコンバータ部は、R-2Rラダー構造を使用した従来通りの逐次比較型コンバータをベースに構成されています。AD7898-10とAD7898-3の信号スケールリングは、+5V単電源動作でそれぞれ $\pm 10V$ と $\pm 2.5V$ の入力信号を処理できます。AD7898は、外部+2.5Vリファレンス電圧を必要とします。AD7898へのリファレンス入力はチップ内でバッファされます。AD7898は内部発振器を使用する内部クロック・モードと、SCLKをマスター・クロックとして使用する外部クロック・モードの、2つの動作モードを持っています。後者のモードには、パワーダウン機能があります。これらのモードについては、動作モードの節で詳しく説明します。

AD7898の大きな利点は、前述の全機能を8ピンSOICパッケージで提供できることです。他のソリューションに比べ、大幅な省スペース効果を提供します。AD7898は最大でも22.5mWしか消費しないため、バッテリー駆動のアプリケーションに最適です。

AD7898のモード0動作での変換は、 $\overline{\text{CONVST}}$ 入力にパルスを与えることにより起動します。 $\overline{\text{CONVST}}$ の立ち下がりエッジで、内蔵トラック / ホールドがトラック・モードからホールド・モードに遷移し、変換シーケンスが開始します。デバイスに対する変換クロックは、レーザー・トリムされたクロック発振回路を使って内部で発生されます。AD7898の変換時間は $3.3\mu\text{s}$ で、休止時間は $0.1\mu\text{s}$ です。モード0で、デバイスの最適性能を引き出すためには、変換動作中に読み出しを行わないようにしてください。

モード1でのAD7898の変換動作は、 $\overline{\text{CS}}$ の立ち下がりエッジで起動します。変換を完了して変換結果を取り出すためには、SCLKクロックで16サイクル必要です。その後 $\overline{\text{CS}}$ をハイにできます。このモードでは変換クロックとして内部発振器の代わりにSCLKを使います。モード1での最大SCLK周波数は3.7MHzで、このときの最小変換時間は $4.33\mu\text{s}$ になります。モード0の場合と同様に、変換終了後の休止時間が経過するまで、次の変換を起動できません。

両動作モードとも、最大220kHzのスループットで動作でき、データシートの仕様を満たしています。

## 回路の説明

### アナログ入力セクション

AD7898は、2種類のデバイス・タイプで提供されています。AD7898-10は $\pm 10V$ の入力電圧範囲を、AD7898-3は $\pm 2.5V$ の入力電圧範囲を処理します。

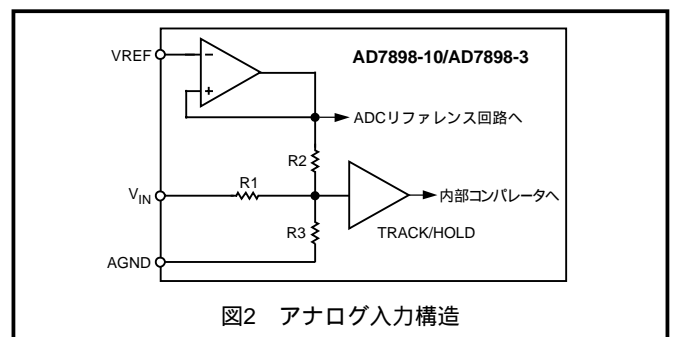




図2に、AD7898-10とAD7898-3のアナログ入力部を示します。AD7898-10は30k (typ)の入力抵抗を使用し、アナログ入力範囲は±10Vです。AD7898-3は6k (typ)の入力抵抗を使用し、アナログ入力範囲は±2.5Vです。この入力抵抗は、抵抗ステージの後ろにトラック/ホールド・アンプの高入力インピーダンス・ステージがあるため、ダイナミック充電電流なしで開始されます。AD7898-10の場合は、R1 = 30k、R2 = 7.5k、R3 = 10k です。AD7898-3の場合は、R1 = R2 = 6.5k、R3はオープンです。

AD7898-10とAD7898-3の設計上のコード遷移は、連続したLSB値の間(すなわち、1/2LSB、3/2LSB、5/2LSB...)で発生します。出力コーディングは、1LSB = FS/4096とする2の補数2進値です。AD7898-10の場合は、1LSB = 20/4096 = 4.88mVになります。AD7898-3の場合は、1LSB = 5/4096 = 1.22mVになります。AD7898-10とAD7898-3の理論上の入/出力コーディングを表1に示します。

表1 AD7898-10 / AD7898-3 デジタル出力の理論上の入/出力コード表

アナログ入力 <sup>1</sup>	コード遷移
+FSR/2 - 3/2 LSB <sup>2</sup>	011 ... 110 ~ 011 ... 111
+FSR/2 - 5/2 LSB	011 ... 101 ~ 011 ... 110
+FSR/2 - 7/2 LSB	011 ... 100 ~ 011 ... 101
AGND + 3/2 LSB	000 ... 001 ~ 000 ... 010
AGND + 1/2 LSB	000 ... 000 ~ 000 ... 001
AGND - 1/2 LSB	111 ... 111 ~ 000 ... 000
AGND - 3/2 LSB	111 ... 110 ~ 111 ... 111
-FSR/2 + 5/2 LSB	100 ... 010 ~ 100 ... 011
-FSR/2 + 3/2 LSB	100 ... 001 ~ 100 ... 010
-FSR/2 + 1/2 LSB	100 ... 000 ~ 100 ... 001

注

- REF IN = 2.5V に対して、FSRはフルスケール範囲 = 20V (AD7898-10) および = 5V (AD7898-3)。
- REF IN = 2.5V に対して、1LSB = FSR/4096 = 4.883mV (AD7898-10) および 1.22mV (AD7898-3)。

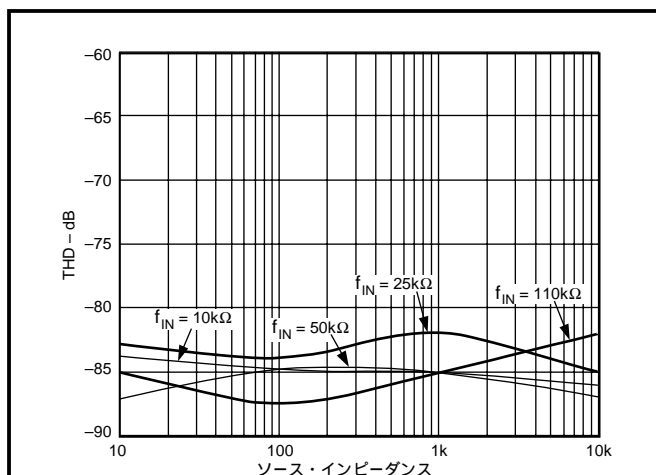


図3 各アナログ入力周波数におけるTHD 対 ソース・インピーダンス

図3に、電源電圧 = 5V、V<sub>DRIVE</sub> = 5V、サンプリング・レート = 220kSPSの場合の、各アナログ入力周波数におけるTHDとソース・インピーダンスの関係を示します。

ADCの入力部に抵抗ラダー構造があるため、THDに対するソース・インピーダンスの影響は最小限になっています。図4に、サンプリング = 220kSPSでの各電源電圧に対するTHDとアナログ入力周波数の関係を示します。

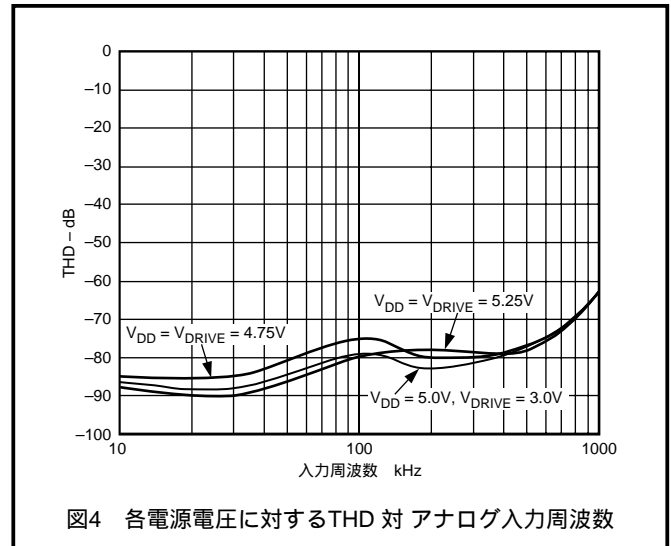


図4 各電源電圧に対するTHD 対 アナログ入力周波数

アキュイジション時間

モード1動作でのトラック/ホールド・アンプは、CSの立ち上がりエッジの後の14番目のSCLK立ち上がりエッジでトラック・モードに入ります。トラック/ホールド・アンプが入力信号を取得するために要する時間は、9.1pFのサンプリング容量が充電される速度に依存します。アナログ入力にゼロ・ソース・インピーダンスを接続すると、SCLKの2サイクルにt<sub>QUIET</sub>を加算した時間で、十分に12ビット・レベルの信号を取得できます。SCLK周波数が3.7MHzの場合、アキュイジション時間は2 × (270ns) + t<sub>QUIET</sub>になります。必要とされるアキュイジション時間は次式で計算できます。

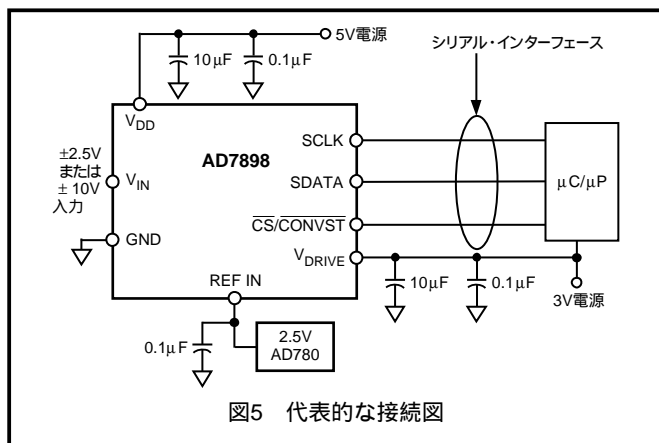
$$t_{ACQ} = 10 \times (RC)$$

ここでRは入力からトラック/ホールド・アンプを見たときの抵抗で、例えばAD7898-10の場合はR = 3.75k に、AD7898-3の場合はR = 3.25k に、それぞれなります。サンプリング・コンデンサ値は9.1pFです。理論上のアキュイジション時間は、AD7898-10の場合は340nsに、AD7898-3の場合は295nsに、それぞれなります。これらの理論値には、デバイスのt<sub>QUIET</sub>またはトラック伝搬遅延は含まれていないので、代表値はAD7898-10に対して520nsに、AD7898-3に対して450nsにそれぞれなります。

# AD7898

## 代表的な接続図

図5に、AD7898の代表的な接続図を示します。GNDピンはシステムのアナログ・グラウンド・プレーンに接続します。REF INは、AD780リファレンスから出力されるデカップリングされた2.5V電源に接続します。この接続により、AD7898にアナログ・リファレンスが供給されます。AD7898を5VのV<sub>DD</sub>に接続し、シリアル・インターフェースは3Vのマイクロプロセッサに接続します。AD7898のV<sub>DRIVE</sub>ピンはマイクロプロセッサと同じ3V電源に接続して、3Vのロジック・インターフェースを可能にします。AD7898の変換結果は16ビット・ワードで出力され、先頭の4ビットのゼロの後ろに、12ビット変換結果のMSBが続きます。消費電力が問題となるアプリケーションに対しては、各変換または複数回のバースト変換の間にパワーダウン・モードを使用して、消費電力を削減できます。動作モードの節を参照してください。



## V<sub>DRIVE</sub>機能

AD7898にはV<sub>DRIVE</sub>機能ががあります。V<sub>DRIVE</sub>は、シリアル・インターフェースが動作する電圧を制御します。このV<sub>DRIVE</sub>により、ADCが3Vおよび5Vのプロセッサと容易にインターフェースできます。例えば、AD7898が5VのV<sub>DD</sub>で動作する場合に、V<sub>DRIVE</sub>ピンは3V電源に接続できます。AD7898は5VのV<sub>DD</sub>で優れたダイナミック特性を維持したまま、3Vのデジタル・デバイスにインターフェースできます。V<sub>DRIVE</sub>はV<sub>DD</sub> + 0.3Vを超えないよう注意してください（絶対最大定格を参照）。

## トラック / ホールド部

AD7898アナログ入力内のトラック / ホールド・アンプは、フルスケール振幅の入力サイン波を、ADCが正確に12ビット精度に変換できるようにします。ADCが220kSPSの最大スループット・レートで動作した場合でも、トラック / ホールドの入力帯域幅は、ADCのナイキスト・レートより大きくなっています（すなわち、トラック / ホールドは112kHzを超える入力周波数も処理できます）。トラック / ホールド・アンプは入力信号を12ビット精度で0.5 µs以内で入力します。

トラック / ホールドの動作はもととユーザーの側から透明です。モード0動作では、変換の開始時（CONVSTの立ち上がりエッジ）に、トラック / ホールド・アンプはトラック・モードからホールド・モードに遷移します。トラック / ホールドのアーチャ時間（外部CONVST信号からトラック / ホールドが実際にホールドに遷移するまでの遅延時間）は15ns（typ値）です。変換の終わり（最大3.3 µs後）デバイスがトラック・モードに戻ります。トラック / ホールド・アンプのアクイジション時間は、この時点から開始します。

モード1動作の場合は、CSの立ち上がりエッジでトラック / ホールド・

アンプがトラック・モードからホールド・モードへ遷移します。CSの立ち下がリエッジの後の14番目のSCLK立ち下がリエッジで、トラック / ホールドはトラック・モードに戻ります（シリアル・インターフェースの節を参照）。トラック / ホールド・アンプのアクイジション時間は、この時点から開始します。

## リファレンス入力

AD7898に対するリファレンス入力はチップ内でバッファされ、リファレンスの最大入力電流は1 µAです。AD7898は、2.5Vの入力リファレンスで仕様規定されています。リファレンス・ソースの誤差はAD7898の伝達関数内のゲイン誤差となり、デバイスの仕様規定されたフルスケール誤差に加算されます。AD7898に対する適切なリファレンス・ソースとしては、AD780やAD680などの高精度2.5Vリファレンスがあります。

## シリアル・インターフェース

AD7898のシリアル・インターフェースは、動作モードに応じて、シリアル・クロック入力（SCLK）、シリアル・データ出力（SDATA）、CS/CONVST入力の3本の線で構成されます。このインターフェースを使うと、大部分のマイクロコントローラ、DSPプロセッサ、シフトレジスタと容易にインターフェースできます。また、V<sub>DRIVE</sub>ピンも用意されており、このピンを使って、V<sub>DD</sub>と無関係に3Vまたは5Vのプロセッサ・システムに、シリアル・インターフェースを直接接続できます。このシリアル・インターフェースはモード0とモード1で動作が異なり、モードの選択により決定されます。パワーアップ時のデフォルトではモード0になっています。モード1動作の選択については、モード選択の節を参照してください。モード0とモード1におけるシリアル・インターフェース動作は、動作モードの節で詳しく説明します。

## 動作モード

### モード0動作

図6に、モード0動作におけるAD7898のタイミング図を示します。このモードでは、CONVSTの立ち下がリエッジにより変換が開始され、トラック / ホールド・アンプがホールド・モードに遷移します。変換はCONVSTの立ち下がリエッジの後の最大3.3 µs以内に完了し、この変換の新しいデータはAD7898の出力レジスタに設定されます。リードバック動作でこのデータにアクセスできます。このリードバック動作は16クロック・サイクルで構成され、動作時間はシリアル・クロック周波数に依存します。最高速スループット・レート（シリアル・クロック15MHz、5V動作）では、リードバック動作は1.066 µsになります。リードバック動作が開始された後、CONVSTの次の立ち下がリエッジの前に休止時間を設けて、次の変換が開始される前のトラック / ホールド・アンプのマッチングを最適化する必要があります。15MHz以下のシリアル・クロックも使用できますが、スループット時間が長くなります。

リードバック動作は、AD7898のシフトレジスタに対する16個のシリアル・クロック・パルスで構成されます。16個のシリアル・クロック・パルスの後シフトレジスタはリセットされて、SDATAラインはスリーステートになります。16番目のクロックの後にさらにシリアル・クロック・パルスを入力すると、シフトレジスタはリセット状態を通り過ぎてしまいますが、シフトレジスタはCONVST信号の立ち下がリエッジで再度リセットされて、各変換サイクルの後に確実に既知状態に戻ります。出力シフトレジスタはリードバック動作中にリセットされて、マイクロプロセッサへのデータ・リードバックは無効になるため、出力レジスタからのリードバック動作が、CONVSTの立ち下がリエッジをまったくことはあません。

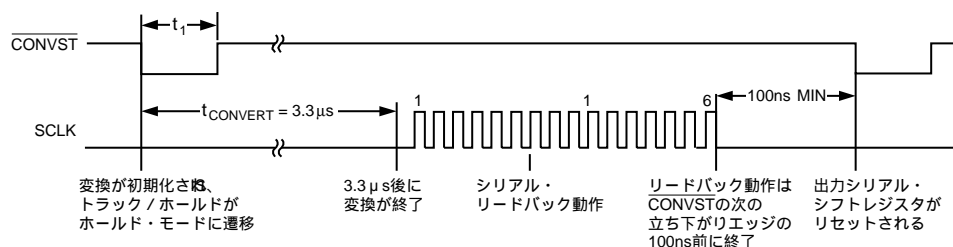


図6 モード0におけるシリアル・インターフェースのタイミング図

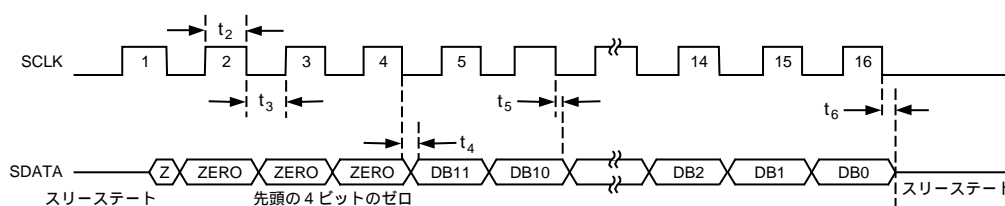


図7 モード0におけるデータ・リードバック動作

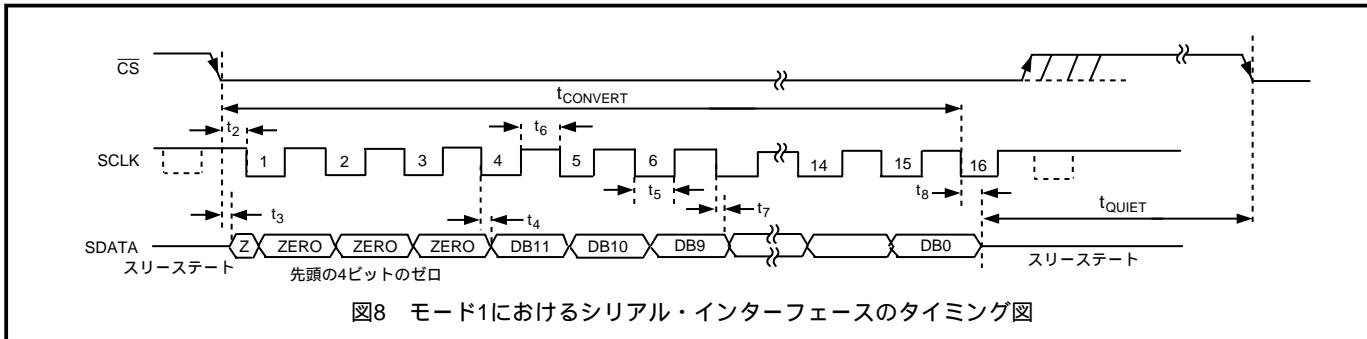
図7に、モード0におけるAD7898の読み出し動作のタイミング図を示します。シリアル・クロック入力 (SCLK) は、シリアル・インターフェースのクロック・ソースになります。シリアル・データはこのクロックの立ち下がりエッジでSDATAラインに出力され、使用されるSCLK周波数に応じて、SCLKの立ち上がり/立ち下がりエッジの両方で有効です。SCLKの立ち上がりエッジと立ち下がりエッジの両方でデータが有効なので、インターフェースが柔軟になり、広範囲なマイクロプロセッサとマイクロコントローラにインターフェースを可能という利点があります。この図では、 $t_4$ と $t_5$ の2つの時間も示してあります。

この時間 $t_4$ は、SCLKの立ち下がりエッジの後での次のデータ・ビットの有効時間を規定します。一方、時間 $t_5$ はSCLKの立ち下がりエッジの後でのカレント・データ・ビットの有効時間を規定します。先行する先頭のゼロは、SCLKの先頭の立ち下がりエッジで出力されます。他のビットに対するデータ・アクセス時間は $t_4$ で指定されていても、先頭のゼロはSCLKの先頭の立ち下がりエッジで有効になることに注意してください (タイミング特性参照)。他のビットより先頭のビットが先に出力される理由は、このデバイスの内部アーキテクチャに起因しています。変換結果をすべて出力するためには、16個のクロック・パルスが必要です。AD7898では、先頭に4ビットのゼロが出力され、その後ろにMSB (DB11) を先頭にして12ビットの変換結果が続きます。15個目の立ち下がりエッジで出力される最後のデータ・ビットは、LSB (DB0) です。SCLKの16個目の立ち下がりエッジで、LSB (DB0) が指定された時間有効となり、SCLKの立ち下がりエッジでそのビットを読み出せるように

します。その後SDATAラインがディスエーブルにされます (スリーステート)。この最後のビットが出力された後、SCLK入力をローに戻して、次のシリアル・データの読み出し動作までこのロー状態を維持する必要があります。16番目のクロックの後ろに余分なクロック・パルスが入力されてしまうと、AD7898は出力レジスタからさらにデータ出力を開始し、クロックが停止してもデータ・バスがスリーステートを維持できなくなります。 $\overline{\text{CONVST}}$ の次の立ち下がりエッジの前にシリアル・クロックが停止する場合には、AD7898は正常に動作を続けて、出力シフトレジスタが $\overline{\text{CONVST}}$ の立ち下がりエッジでリセットされますが、出力シフトレジスタが正常にリセットされるためには、 $\overline{\text{CONVST}}$ がローになるとき、SCLKラインがローである必要があります。

この16シリアル・クロック入力は、シリアル・リードバック動作中継続している必要はありません。データの16ビット (先頭の4ビットのゼロと12ビットの変換結果) は、AD7898からバイト値としてリードバックできます。AD7898はシリアル・クロック・エッジをカウントして、出力レジスタから出力するビットを正しくSDATAに出力します。デバイスの同期を維持するために、SCLKラインがローのとき $\overline{\text{CONVST}}$ 入力の立ち下がりエッジでシリアル・クロック・カウンタをリセットします。変換が終了するまで、SCLKラインをローに維持しておく必要があります。変換が完了すると、新しい変換結果が出力レジスタにロードされて、SCLKの16個のクロック・サイクルによりADCからリードバックできます。

# AD7898



## モード1動作

図8に、モード1で動作するAD7898のタイミング図を示します。シリアル・クロックは変換クロックであると同時に、変換中のAD7898からの情報転送も制御します。

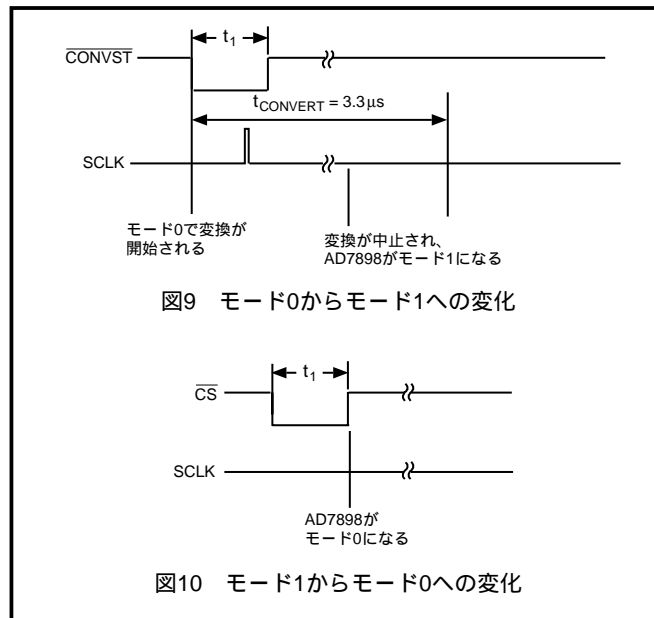
$\overline{CS}$ はデータ転送と変換プロセスを起動します。 $\overline{CS}$ の立ち下がりエッジによりトラック / ホールドはホールド・モードになり、パスはスリーステートから抜け出て、アナログ入力がこの時点でサンプルされます。変換もこの時点で開始され、変換の完了には16個のSCLKサイクルを要します。SCLKの14番目の立ち下がりエッジで、トラック / ホールドはトラック・モードに戻ります。SCLKの16番目の立ち下がりエッジで、SDATAラインはスリーステートに戻ります。16個のSCLKが完了する前に $\overline{CS}$ の立ち上がりエッジが発生すると、変換は中止されてSDATAラインはスリーステートに戻ります。その他の場合では、SDATAは16個目のSCLKの立ち下がりエッジでスリーステートに戻ります(図8)。

変換プロセスを完了してAD7898からデータを取り出すためには、16個のシリアル・クロック・サイクルが必要です。 $\overline{CS}$ がローになると、マイクロコントローラまたはDSPは先頭のゼロをリードバックします。その他のデータは後続のSCLK立ち下がりエッジで2番目のゼロから出力されます。したがって、シリアル・クロックの最初の立ち下がりエッジが先頭のゼロを出力し、さらに2番目のゼロも出力します。データ転送の最終ビットは16番目の立ち下がりエッジで有効であり、先行する(15番目)立ち下がりエッジで出力されています。先頭のゼロは、 $\overline{CS}$ の立ち下がりエッジの後でSCLKの最初の立ち下がりエッジでリードバックする必要がありますが、SCLKの各立ち上がりエッジでもデータのリードバックが可能です。したがって、各立ち上がりエッジでデータの読み出しが必要なアプリケーションでは、 $\overline{CS}$ の立ち下がりエッジの後の、SCLKの最初の立ち上がりエッジが2番目のゼロを出力し、SCLKの15番目の立ち上がりエッジがDB0を出力するようにできます。

## モード選択

パワーアップ時のAD7898のデフォルト動作モードはモード0になっています。変換中にAD7898にSCLKエッジが入力されず、かつ $\overline{CONVST}$ がローの場合は、デバイスはモード0動作の節で説明した動作を続けます。モード0で、 $\overline{CONVST}$ がローのときの $t_{CONVERT}$ 中に、AD7898にSCLKエッジが入力されると、デバイスはモード1動作に切り替わります(図9)。シリアル・インターフェースは、モード1動作の節で説明した動作になります。

$\overline{CS}$ のローの間にSCLKエッジが発生しない場合、 $\overline{CS}$ をローにした後再びハイに戻すと、AD7898はモード1からモード0に戻ります(図10)。モード1で、 $\overline{CS}$ のローの間にデバイスにSCLKエッジが入力されると、デバイスはモード1に留まり、入力されたSCLK数に応じてパワーダウン・モードに入るか、あるいは入らないかを決めます(パワーダウン・モードの節参照)。モード0での動作中、 $\overline{CONVST}$ のロー中にSCLKラインにグリッチが発生すると、デバイスがモード1に入ってしまうために、 $\overline{CONVST}$ ローによって開始されていた正常な変換が中止してしまいます。デバイスはモード1動作になりますが、プロセッサからのモード0信号が続いて入力されます。 $\overline{CS}$ がローになり、かつSCLKが入力されないと、デバイスはモード0動作に戻ります。この機能により、SCLKラインに発生するグリッチによりモードが偶発的に変更されてしまうことを防げます。



## パワーダウン・モード

パワーダウン・モードは、モード1動作中にのみ可能です。このモードは、各変換の間でのADCのパワーダウン、または高スループット・レートで一連の変換を実行するバースト的な変換の間での比較的長時間のADCのパワーダウンなど、スループット・レートを抑える必要のあるアプリケーションでの使用を目的としています。AD7898がパワーダウンされると、全アナログ回路がパワーダウンになります。

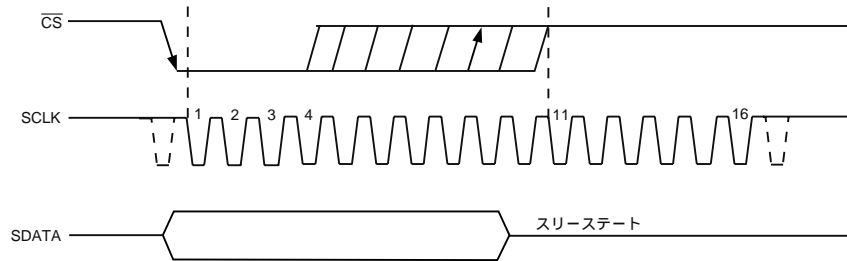


図11 モード1でのパワーダウンの開始

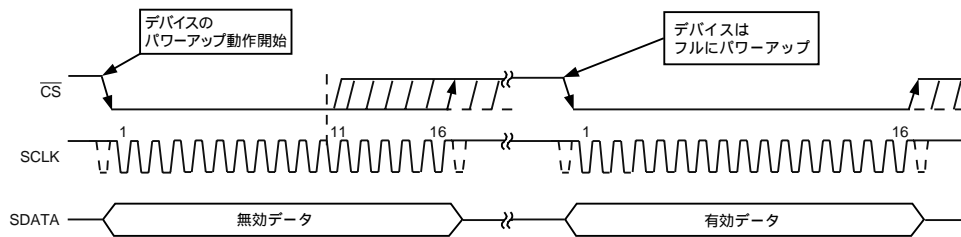


図12 モード1でのパワーダウンの終了

パワーダウンに入るときは、SCLKの4番目の立ち下がリエッジより後で、かつ11番目のSCLK立ち下がリエッジの前でCSをハイにすることにより、変換プロセスを中断させる必要があります(図11)。SCLKのこのウィンドウ内でCSをハイにすると、デバイスはパワーダウン・モードに入り、CSの立ち下がリエッジで開始されていた変換は中止されて、SDATAがスリーステートに戻ります。

この動作モードを終了して、AD7898を再度パワーアップさせるためには、ダミーの変換が実行されます。CSの立ち下がリエッジで、デバイスはパワーアップを開始し、CSがローである間パワーアップ動作を続け、SCLKの11番目の立ち下がリエッジが終わるまで続きます。SCLKの16個のパルスが入力されるとデバイスは完全にパワーアップして、次の変換から有効データが得られます(図12)。SCLKの11番目の立ち下がリエッジの前にCSをハイにすると、AD7898はパワーダウン・モードに戻ります。この機能により、CSライン上のグリッチ、またはCSのローの間に8個のSCLKサイクルが不用意に発生してしまうことによる、偶発的なパワーアップが防止されます。デバイスはCSの立ち下がリエッジでパワーアップを開始できますが、11番目のSCLK立ち下がリエッジより前にCSの立ち上がりエッジが発生すると、パワーダウン・モードに戻ります。

#### パワーアップ時間

AD7898のパワーアップ時間は $4.33 \mu\text{s}$  (typ)です。これは、最大3.7MHzまでの任意のSCLK周波数に対して、デバイスが1つのダミー・サイクルで十分にパワーアップできることを意味しています。ダミー・サイクルが完了すると、ADCは完全にパワーアップして、入力信号が正常に取り込まれます。この場合でも、休止時間 $t_{\text{QUIET}}$ は、ダミー変換後にバスがスリーステートに戻った時点から、CSの次の立ち下がリエッジまでとして必要です。

任意のSCLK周波数でパワーダウン・モードからパワーアップする際、デバイスをパワーアップさせて、 $V_{\text{IN}}$ を入力させるためには1つのダミー・サイクルで十分です。デバイスをパワーアップさせて $V_{\text{IN}}$ を入力させるためには、必ずしもSCLKの16サイクルからなるフルのダミー・サイクルは必要ではありません。デバイスをパワーアップさせて $V_{\text{IN}}$ を入力させるためには $4.33 \mu\text{s}$ で十分です。例えば、1MHzのSCLK周波数を

ADCに入力する際は、1サイクル時間は $16 \mu\text{s}$ になります。

1ダミー・サイクル( $16 \mu\text{s}$ )でデバイスはパワーアップし、 $V_{\text{IN}}$ を入力できますが、SCLK = 1MHzでの $4.33 \mu\text{s}$ の後では、4つのSCLKサイクルを超えうでしょう。この段階では、ADCはフルにパワーアップして、信号を取り込みます。このケースでは、SCLKの11番目の立ち下がリエッジの後にCSをハイにし、 $t_{\text{QUIET}}$ の経過後にローに戻して、新しい変換を開始できます。

#### モード0動作でのマイクロプロセッサ / マイクロコントローラとのインターフェース

AD7898は、DSPプロセッサとマイクロコントローラのシリアル・ポートに接続できる、3線式シリアル・インターフェースを内蔵しています。図13～図16に、さまざまなマイクロコントローラとDSPプロセッサに接続したAD7898を示します。AD7898は外部シリアル・クロックを受け入れます。したがって、以下に示す全てのインターフェースでは、プロセッサ / コントローラはマスターとして設定されており、システム内でスレーブとして設定されたAD7898にシリアル・クロックを提供しています。AD7898はBUSY信号を持っていないため、リードバック動作はCONVSTがローになった後 $3.3 \mu\text{s}$ に開始されるよう決められています。

#### 8X51/L51とAD7898のインターフェース

図13に、AD7898と8X51/L51マイクロコントローラとのインターフェースを示します。8X51/L51は、モード0シリアル・インターフェース・モードに設定されています。この図は最もシンプルなインターフェースを示しており、AD7898は8X51/L51のシリアル・ポートに接続されている唯一のデバイスです。したがって、シリアル読み出し動作のデコードは不要です。

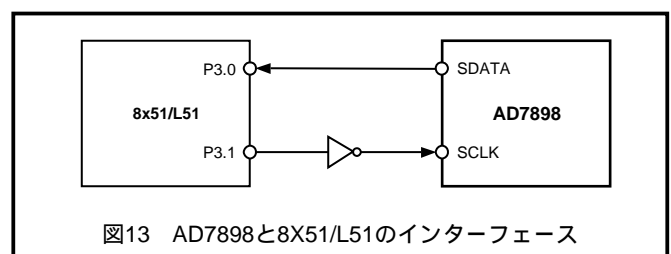


図13 AD7898と8X51/L51のインターフェース

# AD7898

8X51/L51のシリアル・ポートに複数のデバイスが接続されているシステム内でAD7898を選択するときは、8X51/L51の平行列・ポートの1つを出力に設定したポート・ビットを使用して、AD7898に対するシリアル・クロックをON/OFFゲーティングできます。このポート・ビット上の簡単なAND機能と8X51/L51からのシリアル・クロックによりこの機能を実現できます。AD7898を選択するときは、ポート・ビットをハイにし、選択しないときはローにします。

読み出し動作で、AD7898はMSB先頭で出力しますが、8X51/L51はLSB先頭を想定しています。したがって、シリアル・バッファに読み込まれたデータを再配置して、AD7898の正しいデータ・フォーマットがアキュムレータに入るようにする必要があります。

8X51/L51のシリアル・クロック・レートは、AD7898が動作可能なシリアル・クロック周波数よりはるかに小さい値に制限されています。そのため、デバイスからのデータ読み出し時間がデバイスの変換時間より長くなってしまいます。つまり、8X51/L51を使用した場合、AD7898は最大スループット・レートでは動作できません。

## AD7898と68HC11/L11のインターフェース

AD7898と68HC11/L11マイクロコントローラのインターフェース回路を図14に示します。図のインターフェースでは、68L11のSPIポートを使用し、68L11はシングルチップ・モードに設定されています。CPOLビットをロジック0に、CPHAビットをロジック1にそれぞれ設定して、68L11はマスター・モードに設定されています。前述の例と同様に、この図は最もシンプルなインターフェースを示しており、AD7898は68L11のシリアル・ポートに接続された唯一のデバイスなので、シリアル読み出し動作のデコードは不要です。

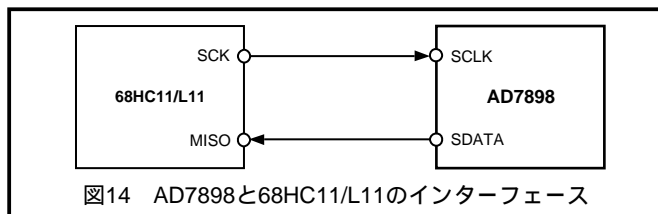


図14 AD7898と68HC11/L11のインターフェース

この場合も、68HC11のシリアル・ポートに複数デバイスが接続されているシステム内でAD7898を選択するときは、68HC11の平行列・ポートの1つを出力に設定したポート・ビットを使用して、AD7898に対するシリアル・クロックをON/OFFゲーティングできます。このポート・ビット上の簡単なAND機能と68HC11からのシリアル・クロックにより、この機能を実現できます。AD7898を選択するときは、ポート・ビットをハイにし、選択しないときはローにします。

68HC11/L11のシリアル・クロック・レートは、AD7898が動作可能なシリアル・クロック周波数よりはるかに小さい値に制限されています。そのため、デバイスからのデータ読み出し時間がデバイスの変換時間より長くなってしまいます。つまり、68HC11/L11を使用した場合、AD7898は最大スループット・レートでは動作できません。

## AD7898とADSP-2103/ADSP-2105のインターフェース

AD7898とADSP-2103/ADSP-2105 DSPプロセッサとのインターフェース回路を図15に示します。図のインターフェースでは、ADSP-2103/ADSP-2105のSPORT1シリアル・ポートからのRFS1出力を使って、ADSP-2103/ADSP-2105のシリアル・クロック SCLK1 を、ゲーティングした後でAD7898のSCLK入力に入力しています。RFS1出力はアクティブハイ動作に設定されています。わずか16個のシリアル・クロック・パルスを出力し、かつAD7898のシリアル・クロック・ラインをデータ転送とデータ転送の間はローに維持することにより、インターフェース

はAD7898のシリアル・クロック入力に対して、不連続クロックを保証しています。AD7898のSDATAラインは、ADSP-2103/ADSP-2105のシリアル・ポートのDR1ラインに接続されています。

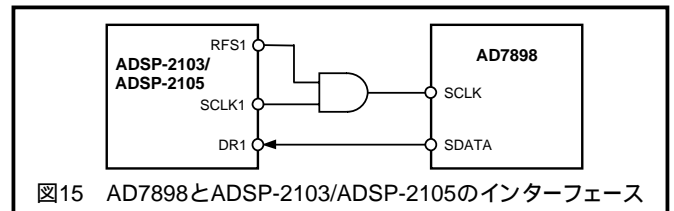


図15 AD7898とADSP-2103/ADSP-2105のインターフェース

SCLK1とADSP-2103/ADSP-2105のRFS1出力の間のタイミング関係は、SCLK1の立ち上がりエッジとアクティブハイRFS1の立ち上がりエッジの間の遅延が、最大30nsになるようになっています。ADSP-2103/ADSP-2105から正常にデータを読み出すためには、データがSCLK1の立ち下がりエッジの10ns前に設定されている必要があるという条件もあります。AD7898のデータ・アクセス時間はSCLK1入力の立ち上がりエッジから $t_{5V}$ です。外部ANDゲートの伝搬遅延を10nsとすると、ADSP-2105のSCLK1出力のハイ時間は、 $(30 + 60 + 10 + 10) \text{ ns} = 110 \text{ ns}$ 以上である必要があります。

これは、図15のインターフェースの動作可能シリアル・クロック周波数が4.5MHzに制限されることを意味しますが、ADSP-2105を4.5MHz (SCLK1の最大シリアル・クロック周波数) で動作させる別の方法もあります。これは、RFS信号とAD7898のデータ・アクセス時間の遅延が結合することによって、AD7898からのデータ・ストリームの先頭のゼロがADSP-2105に確実にクロック入力する保証ができない場合に起こります。多くの場合、12ビット・データの前にまだ3ビットのゼロが残っているため、この方法を使用できます。

もう一つの方式は、ADSP-2103/ADSP-2105を、外部不連続シリアル・クロックを受け取るように設定する方式です。この場合、ADSP-2103/ADSP-2105とAD7898の両方のシリアル・クロック入力を駆動する外部不連続シリアル・クロックが与えられます。この方式では、シリアル・クロック周波数はAD7898により15MHzに制限されます。

## AD7898とDSP56002/L002のインターフェース

図16に、AD7898とDSP56002/L002 DSPプロセッサとのインターフェース回路を示します。DSP56002/L002は、ゲート済みクロックによる通常モード非同期動作に設定され、SCKをゲート済みクロック出力として16ビット・ワードを出力します。このモードでは、DSP56002/L002は16個のシリアル・クロック・パルスをシリアル読み出し動作でAD7898に出力します。

DSP56002/L002は、SCKの先頭の立ち下がりエッジで有効データがあると想定するため、インターフェースは図16に示すように、簡単な2線式になります。

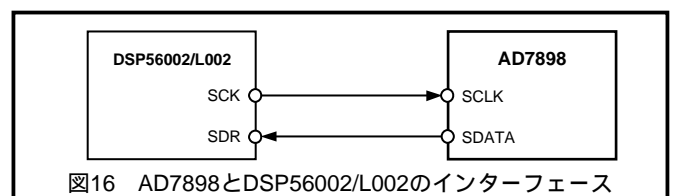


図16 AD7898とDSP56002/L002のインターフェース

## モード1でのマイクロプロセッサとのインターフェース

モード1でのAD7898シリアル・インターフェースを使うと、広範囲なマイクロプロセッサへの直接接続が可能になります。この節では、モード1動作でAD7898を代表的なマイクロコントローラ・プロトコルとDSPシリアル・インターフェース・プロトコルにインターフェースする方法を説明します。

TMS320C5x/C54xとAD7898のインターフェース  
 TMS320C5x/C54xのシリアル・インターフェースでは、連続シリアル・クロックとフレーム同期信号を使って、データ転送動作をAD7898のような周辺デバイスに同期させます。CS入力を使うと、追加ロジックなしで、TMS320C5x/C54xとAD7898のインターフェースを容易に実現できます。TMS320C5x/C54xのシリアル・ポートは、内部CLKX( TXシリアル・クロック )とFSX( TXフレーム同期 )を使いバースト・モードで動作するように設定します。シリアル・ポート・コントロール・レジスタ( SPC )は、FO = 0、FSM = 1、MCM = 1、TXM = 1に設定します。AD7898のパワーダウン・モードを実現するときは、フォーマット・ビットFOは' 1 'に設定して、ワード長を8ビットに指定します。

図17に接続図を示します。TMS320C5x/C54xからのフレーム同期信号により、等間隔のサンプリングを行うことが信号処理アプリケーションにとって必須であることに注意してください。AD7898のV<sub>DRIVE</sub>ピンにはTMS320C5x/C54xと同じ電源電圧を与えます。この方法により、必要に応じて、ADCがシリアル・インターフェースすなわちTMS320C5x/C54xより高い電圧で動作可能になります。

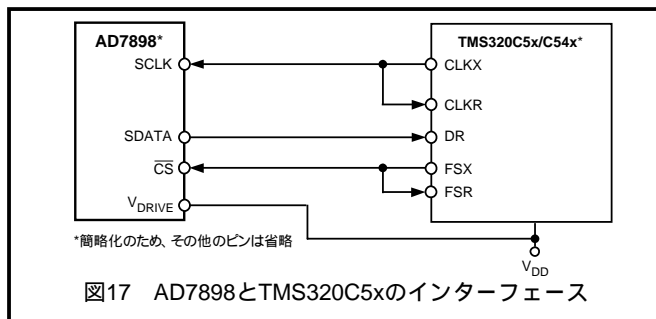


図17 AD7898とTMS320C5xのインターフェース

AD7898とADSP-21xxのインターフェース  
 ADSP-21xxファミリーのDSPIは、追加ロジックなしで直接ADSP-21xxに接続できます。AD7898のV<sub>DRIVE</sub>ピンにはADSP-21xxと同じ電源電圧を与えます。この方法により、必要に応じて、ADCがシリアル・インターフェースすなわちADSP-21xxより高い電圧で動作可能になります。

- SPORTコントロール・レジスタは次のように設定します。
- TFSW = RFSW = 1、交番フレーミング
  - INVRFS = INVTFS = 1、アクティブロー・フレーム信号
  - DTYPE = 00、データ右詰め
  - SLEN = 1111、16ビット・データ・ワード
  - ISCLK = 1、内部シリアル・クロック
  - TFSR = RFSR = 1、ワード毎のフレーム
  - IRFS = 0
  - ITFS = 1

パワーダウン・モードを実現するときは、SLENを1001に設定して8ビットのSCLKバーストを発生させます。

接続図を図18に示します。ADSP-21xxでは、TFSとSPORTのRFSを接続し、さらにTFSを出力に、RFSを入力にそれぞれ設定します。DSPIは交番フレーミング・モードで動作し、SPORTコントロール・レジスタを上記のように設定します。TFS上で発生するフレーム同期化信号はCSに接続され、すべての信号処理アプリケーションと同様に等間隔サンプリングが必要ですが、この例では、タイマー・割り込みを使ってADCのサンプリング・レートを制御するため、

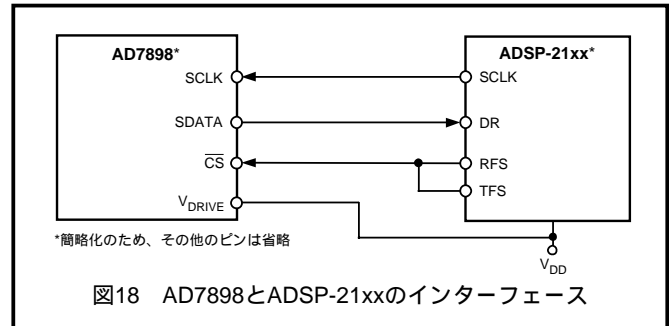


図18 AD7898とADSP-21xxのインターフェース

条件によっては等間隔サンプリングが達成できないことがあります。タイマー・レジスタなどには、必要なサンプル間隔で割り込みを発生するような値を設定します。割り込みを受信すると、TFS/DT ( ADC制御ワードと一緒に値が送信されます。TFSを使ってRFSを制御するため、データの読み出しもこれにより制御されます。シリアル・クロックの周波数はSCLKDIVレジスタに設定されます。TFSと一緒に送信する命令が与えられると(すなわちAX0 = TX0) SCLKの状態がチェックされます。DSPIは、SCLKがハイ、ロー、ハイに変化するのを待った後に、送信を開始します。送信命令がSCLKの立ち上がりエッジまたはその近傍で発生するようにタイマー値とSCLK値が選択されている場合は、データが送信されるか、あるいは次のクロック・エッジまで待ちます。

例えば、ADSP-2111はマスター・クロック周波数16MHzに設定されている場合、SCLKDIVレジスタに値3がロードされると、2MHzのSCLKが得られ、1 SCLK周期はマスター・クロックの8周期に相当します。タイマー・レジスタに値803がロードされると、割り込みの間隔、およびその後の送信命令の間隔はSCLK周期で100.5個分になります。この場合は、送信命令がSCLKエッジで発生するため、非等間隔のサンプリングになります。割り込み間隔のSCLK数が値Nの整数でない場合は、DSPでは等間隔サンプリングが実行されません。

AD7898とDSP56xxxのインターフェース  
 AD7898とモトローラ社のDSP56xxxファミリーのSSIC(同期シリアル・インターフェース)との接続法を図19に示します。SSIIは、TXとRXに対して内部発生1ビット・クロック周期フレーム同期を使い( CRB内でビットFSL1 = 1、FSL0 = 0 )同期モード( CRB内でSYNビット = 1 )で動作します。ワード長を16に設定するときは、CRA内でビットWL1 = 1とWL0 = 0の設定を行います。AD7898のパワーダウン・モードを実現するときは、CRA内でWL1 = 0とWL0 = 0の設定を行います。DSP56xxxからのフレーム同期信号により等間隔のサンプリングを行うことが、信号処理アプリケーションにとって必須であることに注意してください。AD7898のV<sub>DRIVE</sub>ピンにはDSP56xxxと同じ電源電圧を与えます。

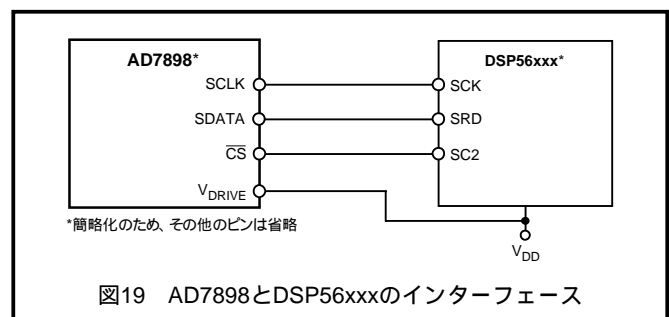
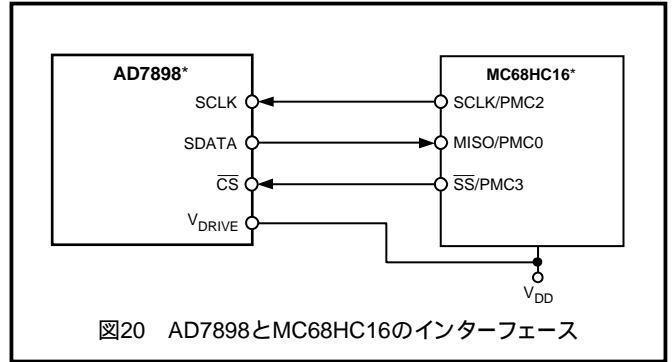


図19 AD7898とDSP56xxxのインターフェース

# AD7898

AD7898とMC68HC16のインターフェース  
 MC68HC11のシリアル・ペリフェラル・インターフェース (SPI) をマスター・モード (MSTR=1) に、クロック極性ビット (CPOL) = 1、クロック位相ビット (CPHA) = 1にそれぞれ設定します。SPIはSPIコントロール・レジスタ (SPCR) に対する書き込みにより設定されます (68HC11のユーザーズ・マニュアルを参照)。SPCRレジスタでSIZE = 1の設定を行うと、シリアル転送は1回の16ビット動作として実行されます。8ビット転送でパワーダウン・モードを実現するときは、SIZE = 0の設定を行います。接続図を図20に示します。AD7898のV<sub>DRIVE</sub>ピンは、MC68HC16と同じ電源電圧に接続します。この方法により、必要に応じて、ADCはシリアル・インターフェースすなわちMC68HC16より高い電圧で動作可能になります。

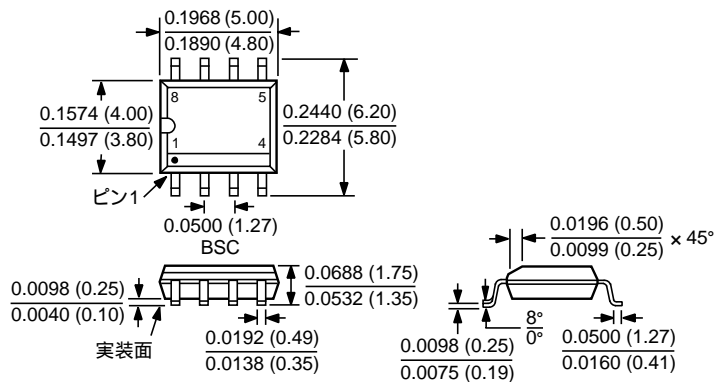


TDS01/2001/1000

## 外形寸法

サイズはインチと (mm) で示します。

### 8ピンSOIC (SO-8)



PRINTED IN JAPAN