

特長

変換時間 1.47 μ s の高速 12 ビット ADC

スループット・レート: 600 kSPS (AD7892-3)

スループット・レート: 500 kSPS (AD7892-1、AD7892-2)

単電源動作

トラック/ホールド・アンプを内蔵

入力範囲が選択可能

AD7892-1: ± 10 V または ± 5 V

AD7892-2: 0 V \sim +2.5 V

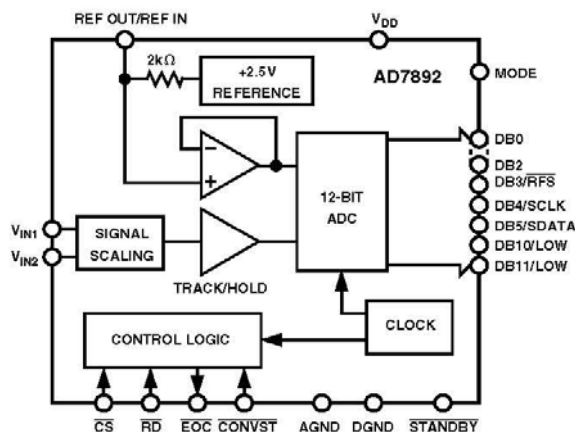
AD7892-3: ± 2.5 V

高速シリアル・インターフェースおよび高速パラレル・インターフェースを内蔵

低消費電力: 60 mW (typ)

アナログ入力に過電圧保護(AD7892-1 と AD7892-3)

機能ブロック図



概要

AD7892 は、+5 V 単電源で動作する高速低消費電力の 12 ビット A/D コンバータです。このデバイスは、1.47 μ s の逐次比較型 ADC、トラック/ホールド・アンプ、+2.5 V リファレンス電圧、マイクロプロセッサへのシリアル接続とパラレル接続を可能にする多機能インターフェース構造を内蔵しています。このデバイスのアナログ入力範囲は、 ± 10 V または ± 5 V (AD7892-1)、0 V \sim +2.5 V (AD7892-2)、 ± 2.5 V (AD7892-3)です。AD7892-1 と AD7892-3 のアナログ入力には過電圧保護機能があるため、ポートを損傷することなく、それぞれ ± 17 V または ± 7 V までの電圧を入力することができます。

AD7892 では、データ出力フォーマットとして、パラレルの 12 ビット・ワードまたはシリアル・データを選択することができます。高速なバス・アクセス・タイムと標準的なコントロール入力により、マイクロプロセッサとデジタル信号プロセッサへ容易にパラレル・インターフェースすることができます。高速シリアル・インターフェースを使うと、マイクロコントローラやデジタル信号プロセッサのシリアル・ポートへ直接接続することができます。

直線性、フル・スケール、オフセット誤差などの従来型の DC 精度仕様に加えて、このデバイスでは高調波歪や信号対ノイズ比などのダイナミック性能パラメータも規定されています。

AD7892 は、アナログ・デバイセズのリニア互換 CMOS (LC²MOS) プロセスを採用して製造されています。この製造プロセスはミックスド・テクノロジー・プロセスであり、高精度バイポーラ回路と低消費電力 CMOS ロジックを組み合わせることができます。このデバイスは、24 ピン 0.3 インチ幅の、プラスチック DIP、ハーメチック DIP または 24 ピンの SOIC パッケージを採用しています。

製品のハイライト

1. AD7892-3 は、1.47 μ s の変換時間と 200 ns のトラック/ホールド・アキュイジション時間を持っています。これにより、デバイスは最大 600 kSPS のスループット・レートで動作できます。AD7892-1 と AD7892-2 は、500 kSPS のスループット・レートで動作します。
2. AD7892 は +5V の単電源で動作し、消費電力 60 mW (typ) であるため、低消費電力アプリケーションと携帯型アプリケーションに最適です。
3. このデバイスは高速で柔軟なインターフェースを持ち、パラレル・インターフェースとシリアル・インターフェースでマイクロプロセッサ、マイクロコントローラ、デジタル信号プロセッサに容易に接続することができます。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©2000 Analog Devices, Inc. All rights reserved.

Rev. C

AD7892–仕様

($V_{DD} = +5\text{ V} \pm 5\%$ 、 $AGND = DGND = 0\text{ V}$ 、 $REF\ IN = +2.5\text{ V}$ 。特に指定がない限り、すべての仕様は $T_{MIN} \sim T_{MAX}$ で規定)

Parameter	A Versions ¹	B Versions	S Version ²	Unit	Test Conditions/Comments
DYNAMIC PERFORMANCE					
AD7892-1, AD7892-2					$f_{IN} = 100\text{ kHz}$, $f_{SAMPLE} = 500\text{ kSPS}$
Signal to (Noise + Distortion) Ratio ³	70	70	70	dB min	
Total Harmonic Distortion ³	-78	-78	-78	dB max	typ -84 dB
Peak Harmonic or Spurious Noise ³	-79	-79	-79	dB max	
Intermodulation Distortion ³					$f_a = 49\text{ kHz}$, $f_b = 50\text{ kHz}$
2nd Order Terms	-78	-78	-78	dB max	typ -84 dB
3rd Order Terms	-78	-78	-78	dB max	typ -84 dB
AD7892-3					$f_{IN} = 100\text{ kHz}$, $f_{SAMPLE} = 600\text{ kSPS}$
Signal to (Noise + Distortion) Ratio ³	70	70		dB min	
Total Harmonic Distortion ³	-78	-78		dB max	
Peak Harmonic or Spurious Noise ³	-79	-79		dB max	
Intermodulation Distortion ³					$f_a = 49\text{ kHz}$, $f_b = 50\text{ kHz}$
2nd Order Terms	-78	-78		dB max	
3rd Order Terms	-78	-78		dB max	
DC ACCURACY					
Resolution	12	12	12	Bits	
Minimum Resolution for Which No Missing Codes Are Guaranteed	12	12	12	Bits	
Relative Accuracy ³	± 1.5	± 1	± 1	LSB max	
Differential Nonlinearity ³	± 1	± 1	± 1	LSB max	
AD7892-1					
Positive Full-Scale Error ³	± 4	± 4	± 5	LSB max	
Negative Full-Scale Error ³	± 4	± 4	± 5	LSB max	
Bipolar Zero Error ³	± 3	± 2	± 3	LSB max	
AD7892-3					
Positive Full-Scale Error ³	± 4	± 4		LSB max	
Negative Full-Scale Error ³	± 4	± 4		LSB max	
Bipolar Zero Error ³	± 4	± 3		LSB max	
AD7892-2					
Positive Full-Scale Error ³	± 5	± 5	± 5	LSB max	
Unipolar Offset Error ³	± 4	± 3	± 4	LSB max	
ANALOG INPUT					
AD7892-1					
Input Voltage Range	± 10	± 10	± 10	Volts	Input Applied to V_{IN1} with V_{IN2} Grounded
Input Voltage Range	± 5	± 5	± 5	Volts	Input Applied to V_{IN1} and V_{IN2}
Input Resistance	8	8	8	k Ω min	Input Applied to V_{IN1} with V_{IN2} Grounded
AD7892-2					
Input Voltage Range on V_{IN1}	0 to +2.5	0 to +2.5	0 to +2.5	Volts	Input Applied to V_{IN1}
Input Current	10	10	50	nA max	
Input Voltage Range on V_{IN2}	± 50	± 50	± 50	mV max	
AD7892-3					
Input Voltage Range on V_{IN1}	± 2.5	± 2.5		Volts	Input Applied to V_{IN1}
Input Resistance	2	2		k Ω min	
REFERENCE OUTPUT/INPUT					
REF IN Input Voltage Range	2.375/2.625	2.375/2.625	2.375/2.625	V min/V max	$2.5\text{ V} \pm 5\%$
Input Impedance	1.6	1.6	1.6	k Ω min	Resistor Connected to Internal Reference Node
Input Capacitance ⁴	10	10	10	pF max	
REF OUT Output Voltage	2.5	2.5	2.5	V nom	
REF OUT Error @ +25°C	± 10	± 10	± 10	mV max	
T_{MIN} to T_{MAX}	± 20	± 20	± 25	mV max	
REF OUT Temperature Coefficient	25	25	25	ppm/°C typ	
REF OUT Output Impedance	5.5	5.5	5.5	k Ω nom	
LOGIC INPUTS					
Input High Voltage, V_{INH}	2.4	2.4	2.4	V min	$V_{DD} = 5\text{ V} \pm 5\%$

Parameter	A Versions ¹	B Versions	S Version ²	Unit	Test Conditions/Comments
Input Low Voltage, V_{INL}	0.8	0.8	0.8	V max	$V_{DD} = 5 V \pm 5\%$
Input Current, I_{IN}	± 10	± 10	± 10	μA max	$V_{IN} = 0 V$ to V_{DD}
Input Capacitance, C_{IN} ⁴	10	10	10	pF max	
LOGIC OUTPUTS					
Output High Voltage, V_{OH}	4.0	4.0	4.0	V min	$I_{SOURCE} = 200 \mu A$
Output Low Voltage, V_{OL}	0.4	0.4	0.4	V max	$I_{SINK} = 1.6 mA$
DB11-DB0					
Floating-State Leakage Current	± 10	± 10	± 10	μA max	
Floating-State Capacitance ⁴	15	15	15	pF max	
Output Coding	Two's Complement				
AD7892-1 and AD7892-3	Straight (Natural) Binary				
AD7892-2					
CONVERSION RATE					
Conversion Time	1.47	1.47		μs max	AD7892-3
Track/Hold Acquisition Time ³	0.2	0.2		μs max	AD7892-3
Conversion Time	1.6	1.6	1.68	μs max	AD7892-1 and AD7892-2
Track/Hold Acquisition Time ³	0.4	0.4	0.32	μs max	AD7892-1 and AD7892-2
POWER REQUIREMENTS					
V_{DD}	+5	+5	+5	V nom	$\pm 5\%$ for Specified Performance
I_{DD} ⁵					
Normal Operation	18	18	19	mA max	
Standby Mode ⁶					
AD7892-2	250	250		μA typ	
AD7892-3, AD7892-1	80	80	100	μA max	typ 15 μA
Power Dissipation ⁵					
Normal Operation	90	90	95	mW max	$V_{DD} = +5 V$. Typically 60 mW
Standby Mode ⁶					
AD7892-2	1.25	1.25		mW typ	
AD7892-3, AD7892-1	400	400	500	μW max	$V_{DD} = +5 V$. Typically 75 μW

注

¹ A、Bバージョンの温度範囲: -40°C~+85°C。Sバージョンの温度範囲: -55°C~+125°C。² Sバージョンは、AD7892-1とAD7892-2の場合。³ 用語のセクション参照。⁴ 25°Cでサンプル・テストして適合性を保証。⁵ これらのノーマル・モード電流とスタンバイ・モード電流は、抵抗(10 k Ω ~100 k Ω)をDGNDまたは V_{DD} (ピン 8、9、16、17)へ接続して発生。⁶ 変換は、スタンバイ・モードを終了してから 30 μs 以内に開始することはできません。

仕様は予告なく変更されることがあります。

絶対最大定格 (特に指定がない限り、 $T_A = +25^\circ C$)

V_{DD} to AGND	-0.3 V to +7 V
V_{DD} to DGND	-0.3 V to +7 V
Analog Input Voltage to AGND	
AD7892-1	$\pm 17 V$
AD7892-2	-0.3 V, V_{DD}
AD7892-3	$\pm 7 V$
Reference Input Voltage to AGND	0.3 V to $V_{DD} + 0.3 V$
Digital Input Voltage to DGND	-0.3 V to $V_{DD} + 0.3 V$
Digital Output Voltage to DGND	-0.3 V to $V_{DD} + 0.3 V$
Operating Temperature Range	
Commercial (A, B Versions)	-40°C to +85°C
Extended (S Version)	-55°C to +125°C
Storage Temperature Range	-65°C to +150°C

Junction Temperature	+150°C
Plastic DIP Package, Power Dissipation	450 mW
θ_{JA} Thermal Impedance	105°C/W
Lead Temperature (Soldering, 10 sec)	+260°C
Cerdip Package, Power Dissipation	450 mW
θ_{JA} Thermal Impedance	70°C/W
Lead Temperature (Soldering, 10 sec)	+300°C
SOIC Package, Power Dissipation	450 mW
θ_{JA} Thermal Impedance	75°C/W
Lead Temperature, Soldering	
Vapor Phase (60 sec)	+215°C
Infrared (15 sec)	+220°C

*上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作セクションに記載する規定値以上のデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

タイミング特性^{1, 2} ($V_{DD} = +5\text{ V} \pm 5\%$ 、 $AGND = DGND = 0\text{ V}$ 、 $REF\ IN = +2.5\text{ V}$)

Parameter	A, B Versions	S Version	Unit	Test Conditions/Comments
t_{CONV}	1.47		$\mu\text{s max}$	Conversion Time for AD7892-3
	1.6	1.68	$\mu\text{s max}$	Conversion Time for AD7892-1, AD7892-2
t_{ACQ}	200		ns min	Acquisition Time for AD7892-3
	400	320	ns min	Acquisition Time for AD7892-1, AD7892-2
Parallel Interface				
t_1	35	45	ns min	$\overline{\text{CONVST}}$ Pulsewidth
t_2	60	60	ns min	$\overline{\text{EOC}}$ Pulsewidth
t_3	0	0	ns min	$\overline{\text{EOC}}$ Falling Edge to $\overline{\text{CS}}$ Falling Edge Setup Time
t_4	0	0	ns min	$\overline{\text{CS}}$ to $\overline{\text{RD}}$ Setup Time
t_5	35	45	ns min	Read Pulsewidth
t_6^3	35	40	ns max	Data Access Time After Falling Edge of $\overline{\text{RD}}$
t_7^4	5	5	ns min	Bus Relinquish Time After Rising Edge of $\overline{\text{RD}}$
	30	40	ns max	
t_8	0	0	ns min	$\overline{\text{CS}}$ to $\overline{\text{RD}}$ Hold Time
t_9	200	200	ns min	$\overline{\text{RD}}$ to $\overline{\text{CONVST}}$ Setup Time
Serial Interface				
t_{10}	30	35	ns min	$\overline{\text{RFS}}$ Low to SCLK Falling Edge Setup Time
t_{11}^3	25	30	ns max	$\overline{\text{RFS}}$ Low to Data Valid Delay
t_{12}	25	25	ns min	SCLK High Pulsewidth
t_{13}	25	25	ns min	SCLK Low Pulsewidth
t_{14}^3	5	5	ns min	SCLK Rising Edge to Data Valid Hold Time
t_{15}^3	25	30	ns max	SCLK Rising Edge to Data Valid Delay
t_{16}	20	30	ns min	$\overline{\text{RFS}}$ to SCLK Falling Edge Hold Time
t_{17}^4	0	0	ns min	Bus Relinquish Time after Rising Edge of $\overline{\text{RFS}}$
	30	30	ns max	
t_{17A}^4	0	0	ns min	Bus Relinquish Time after Rising Edge of SCLK
	30	30	ns max	

注

¹ 25°Cでのサンプル・テストにより適合性を保証。すべての入力信号は $t_r = t_f = 1\text{ ns}$ (+5 V の 10%から 90%)で規定し、+1.6 V の電圧レベルからの時間とします。

² 図 2 と図 3 を参照。

³ 図 1 に示す負荷回路で測定。出力が 0.8 V または 2.4 V と交叉するまでに必要な時間と定義します。

⁴ これらの値は、図 1 の負荷回路でデータ出力が 0.5 V 変化するとき要する時間の測定値から導出。この測定値に外挿を行い、50 pF コンデンサの充放電の影響を除去してあります。タイミング特性で使用する時間はデバイスの真のバス開放時間であることを意味し、外部バスの負荷容量に無関係であることを意味します。

⁵ データ・ビットに CMOS 負荷がある場合。TTL 負荷の場合は、データ・ラインからさらに多くの電流が流れ、 $\overline{\text{RD}}$ から $\overline{\text{CONVST}}$ までの時間は最小 400 ns まで長くする必要があります。仕様は予告なく変更されることがあります。

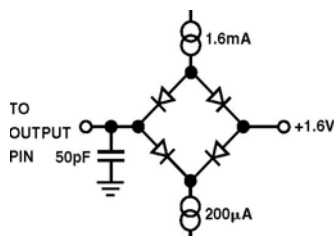


図 1. アクセス時間とバス開放時間測定時の負荷回路

注意

ESD (electrostatic discharge) に敏感なデバイスです。4000 V にもなる静電気は人体や装置に蓄積され、検出されずに放電することがあります。AD7892 は当社独自の ESD 保護回路を内蔵していますが、高エネルギーの静電放電が発生すると、デバイスが永久的な損傷を受けることがあります。このため、性能低下または機能損失を防止するために、ESD に対する適切な注意が必要です。



オーダー・ガイド

Model	Input Range	Sample Rate	Relative Accuracy	Temperature Range	Package Option ¹
AD7892AN-1	$\pm 5\text{ V}$ or $\pm 10\text{ V}$	500 kSPS		-40°C to $+85^{\circ}\text{C}$	N-24
AD7892BN-1	$\pm 5\text{ V}$ or $\pm 10\text{ V}$	500 kSPS	$\pm 1\text{ LSB}$	-40°C to $+85^{\circ}\text{C}$	N-24
AD7892AR-1	$\pm 5\text{ V}$ or $\pm 10\text{ V}$	500 kSPS		-40°C to $+85^{\circ}\text{C}$	R-24
AD7892BR-1	$\pm 5\text{ V}$ or $\pm 10\text{ V}$	500 kSPS	$\pm 1\text{ LSB}$	-40°C to $+85^{\circ}\text{C}$	R-24
AD7892SQ-1	$\pm 5\text{ V}$ or $\pm 10\text{ V}$	500 kSPS	$\pm 1\text{ LSB}$	-55°C to $+125^{\circ}\text{C}$	Q-24
AD7892AN-2	0 V to $+2.5\text{ V}$	500 kSPS		-40°C to $+85^{\circ}\text{C}$	N-24
AD7892BN-2	0 V to $+2.5\text{ V}$	500 kSPS	$\pm 1\text{ LSB}$	-40°C to $+85^{\circ}\text{C}$	N-24
AD7892AR-2	0 V to $+2.5\text{ V}$	500 kSPS		-40°C to $+85^{\circ}\text{C}$	R-24
AD7892BR-2	0 V to $+2.5\text{ V}$	500 kSPS	$\pm 1\text{ LSB}$	-40°C to $+85^{\circ}\text{C}$	R-24
AD7892AN-3	$\pm 2.5\text{ V}$	600 kSPS		-40°C to $+85^{\circ}\text{C}$	N-24
AD7892BN-3	$\pm 2.5\text{ V}$	600 kSPS	$\pm 1\text{ LSB}$	-40°C to $+85^{\circ}\text{C}$	N-24
AD7892AR-3	$\pm 2.5\text{ V}$	600 kSPS		-40°C to $+85^{\circ}\text{C}$	R-24
AD7892BR-3	$\pm 2.5\text{ V}$	600 kSPS	$\pm 1\text{ LSB}$	-40°C to $+85^{\circ}\text{C}$	R-24
EVAL-AD7892-2CB ²	Evaluation Board				
EVAL-AD7892-3CB ²	Evaluation Board				
EVAL-CONTROL BOARD ³	Controller Board				

注

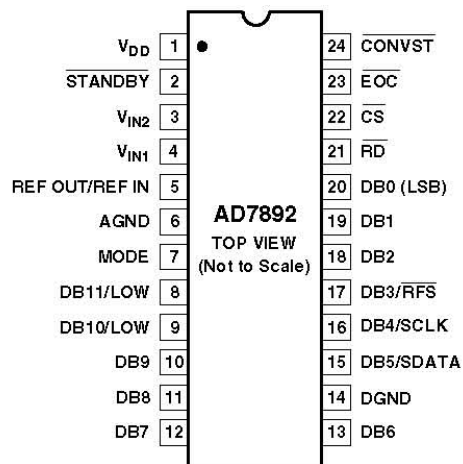
¹N=プラスチック DIP; Q = CERDIP; R = SOIC。²これらのボードは単独の評価ボードとして、または評価/デモ目的の EVAL-CONTROL BOARD と組み合わせて使用することができます。³このボードを使うと、PC からの制御と CB サフィックスが付くすべてのアナログ・デバイセズ評価ボードとの通信が可能です。

ピン機能の説明

ピン番号	記号	説明
1	V _{DD}	正の電源電圧、+5 V ± 5%。
2	STANDBY	スタンバイ入力。ロジック入力。この入力をハイ・レベルにすると、デバイスはノーマル動作モードになり、この入力をロー・レベルにすると、デバイスは消費電力を5 mW (typ)に削減するスタンバイ・モードまたはパワーダウン・モードになります。
3	V _{IN2}	アナログ入力2。AD7892-1の場合、この入力はアナログ入力電圧範囲を指定するAGNDまたはV _{IN1} に接続します。AD7892-1ではV _{IN2} をAGNDに接続すると、V _{IN1} 入力のアナログ入力範囲は± 10 Vになります。AD7892-1ではV _{IN2} をV _{IN1} に接続すると、デバイスへのアナログ入力範囲は± 5Vになります。AD7892-2とAD7892-3では、この入力をフローティングのままにしておくことができますが、AGND以外の電位に接続することはできません。
4	V _{IN1}	アナログ入力1。AD7892で変換するアナログ入力電圧をこの入りに接続します。AD7892-1の場合、入力電圧範囲はV _{IN2} 入力の接続の有無に応じて、± 5 Vまたは± 10 Vになります。AD7892-2の場合、V _{IN1} 入力の電圧範囲はV _{IN2} 入力に現れる電圧を基準として0 V ~ +2.5 Vです。AD7892-3の場合、V _{IN1} 入力の電圧範囲は± 2.5 Vになります。
5	REF OUT/REF IN	リファレンス電圧の出力/入力。デバイスは内蔵リファレンス電圧または外付けリファレンス電源で動作することができます。内蔵+2.5 Vリファレンス電圧はこのピンから出力されます。この内蔵リファレンス電圧をデバイスのリファレンス電源として使用する場合は、REF OUTを0.1 μFのディスク・セラミック・コンデンサでAGNDへデカップリングする必要があります。このリファレンス電源の出力インピーダンスは5.5 kΩ (typ)です。外付けリファレンス電源をデバイスのリファレンス電圧として使用する場合は、リファレンス電源をこのピンに接続します。これにより、内蔵リファレンス電圧が上書きされて、デバイスのリファレンス電源が供給されます。REF IN入力は内部でバッファされていますが、内蔵リファレンスの出力に対して抵抗を介して電流をシンクまたはソースできる必要があります。AD7892の公称リファレンス電圧は+2.5 Vです。
6	AGND	アナログ・グラウンド。トラック/ホールド、コンパレータ、DACのグラウンド基準。
7	MODE	モード。AD7892のインターフェース・モードを指定するコントロール入力。このピンをロー・レベルにするとデバイスはシリアル・インターフェース・モードになり、ハイ・レベルにすると、デバイスはパラレル・インターフェース・モードになります。
8	DB11/LOW	データ・ビット11/テスト・ピン。デバイスがパラレル・モードのとき、このピンはデータ・ビット11 (MSB)になり、スリー・ステートTTL互換出力になります。デバイスがシリアル・モードのときは、このピンはテスト・ピンとして使われ、AD7892の正常動作のためには、このピンをロー・レベルに接続する必要があります。
9	DB10/LOW	データ・ビット10/テスト・ピン。デバイスがパラレル・モードのとき、このピンはデータ・ビット10になり、スリー・ステートTTL互換出力になります。デバイスがシリアル・モードのときは、このピンはテスト・ピンとして使われ、AD7892の正常動作のためには、このピンをロー・レベルに接続する必要があります。
10	DB9	データ・ビット9。スリー・ステートTTL互換出力。デバイスがシリアル・モードときは、この出力を未接続のままにしてください。
11	DB8	データ・ビット8。スリー・ステートTTL互換出力。デバイスがシリアル・モードときは、この出力を未接続のままにしてください。
12	DB7	データ・ビット7。スリー・ステートTTL互換出力。デバイスがシリアル・モードときは、この出力を未接続のままにしてください。
13	DB6	データ・ビット6。スリー・ステートTTL互換出力。デバイスがシリアル・モードときは、この出力を未接続のままにしてください。
14	DGND	デジタル・グラウンド。デジタル回路のグラウンド基準。
15	DB5/SDATA	データ・ビット5/シリアル・データ。デバイスがパラレル・モードのとき、このピンはデータ・ビット5になり、スリー・ステートTTL互換出力になります。デバイスがシリアル・モードのとき、このピンはシリアル・データ出力ラインになります。16ビットのシリアル・データが、4ビットのゼロとそれに続く12ビットの有効なデータが出力されます。シリアル・データは、 \overline{RFS} がロー・レベルになった後の、16個のエッジの間、SCLKの立ち下がりエッジで有効です。出力コーディングは2の補数(AD7892-1とAD7892-3)とストレート・バイナリ(AD7892-2)です。
16	DB4/SCLK	データ・ビット4/シリアル・クロック。デバイスがパラレル・モードのとき、このピンはデータ・ビット4になり、スリー・ステートTTL互換出力になります。デバイスがシリアル・モードの場合、このピンは、シリアル・クロック・ピン(SCLK)になります。SCLKは入力で、外部シリアル・クロックをこの

ピン番号	記号	説明
17	DB3/ $\overline{\text{RFS}}$	ピンに入力して、AD7892からシリアル・データを取得します。シリアル・データは、 $\overline{\text{RFS}}$ がロー・レベルになった後にSCLKの立ち上がりエッジでシフト・レジスタから出力されます。 データ・ビット3/受信フレーム同期。デバイスがパラレル・モードのとき、このピンはデータ・ビット3になり、スリー・ステートTTL互換出力になります。デバイスがシリアル・モードのとき、このピンは受信フレーム同期入力になり、 $\overline{\text{RFS}}$ が外部から入力されてAD7892からシリアル・データを取得します。
18	DB2	データ・ビット2。スリー・ステートTTL互換出力。デバイスがシリアル・モードときは、この出力を未接続のままにしてください。
19	DB1	データ・ビット1。スリー・ステートTTL互換出力。デバイスがシリアル・モードときは、この出力を未接続のままにしてください。
20	DB0	データ・ビット0 (LSB)。スリー・ステートTTL互換出力。出力コーディングは2の補数(AD7892-1とAD7892-3)とストレート・バイナリ(AD7892-2)です。デバイスがシリアル・モードときは、この出力を未接続のままにしてください。
21	$\overline{\text{RD}}$	読み出し。アクティブ・ローのロジック入力で、 $\overline{\text{CS}}$ のロー・レベルと組み合わせて使われ、データ出力をイネーブルします。
22	$\overline{\text{CS}}$	チップ・セレクト。アクティブ・ローのロジック入力で、 $\overline{\text{RD}}$ のロー・レベルと組み合わせて使われ、データ出力をイネーブルします。
23	$\overline{\text{EOC}}$	変換完了。アクティブ・ローのロジック出力で、コンバータのステータスを表示します。このラインの負パルスで変換完了が表示されます。この $\overline{\text{EOC}}$ パルスの継続時間は公称100 nsです。
24	$\overline{\text{CONVST}}$	変換開始。ロジック入力。この入力のロー・レベルからハイ・レベルへの変化により、トラック/ホールドがホールド・モードになり、変換が開始されます。

DIP と SOIC のピン配置



用語集

信号対(ノイズ+歪み)比

これは、A/D コンバータ出力での信号対(ノイズ+歪み)比の測定値です。信号は基本波の rms 振幅で表します。ノイズは 1/2 サンプル周波数($f_s/2$)までの全高調波の和で表します(DC を除く)。この比はデジタル化処理の量子化レベル数に依存し、レベル数が大きいほど、量子化ノイズは小さくなります。正弦波を入力した場合の、理想 N ビット・コンバータに対する信号対(ノイズ+歪み)比の理論値は次式で表されます。

信号対(ノイズ+歪み)比 = $(6.02N + 1.76)$ dB

したがって、12 ビット・コンバータの場合、74 dB になります。

総合高調波歪み

総合高調波歪み(THD)は、高調波の rms 値総和と基本波の比です。AD7892 の場合、次式で与えられます。

$$THD (dB) = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2}}{V_1}$$

ここで、 V_1 は基本波の rms 振幅で、 V_2 、 V_3 、 V_4 、 V_5 、 V_6 は 2 次～6 次高調波の rms 振幅です。

ピーク高調波またはスプリアス・ノイズ

高調波またはスプリアス・ノイズは、ADC 出力スペクトル内の(DC を除いて $f_s/2$ まで)次に大きい成分の rms 値の、基本波 rms 値に対する比として定義されます。通常、この仕様の値はスペクトル内の最大の高調波により決定されますが、高調波がノイズ・フロアに埋めこまれていたデバイスの場合は、ノイズ・ピークにより決定されます。

相互変調歪み

非線形性を持つアクティブ・デバイスに 2 つの周波数 f_a および f_b を含む正弦波を入力すると、さまざまな和および差の周波数 $m f_a \pm n f_b$ を持つ歪み成分が発生します。ここで、 m 、 $n=0$ 、1、2、3、... です。相互変調歪みは m と n が非ゼロの項です。たとえば、2 次項には $(f_a + f_b)$ と $(f_a - f_b)$ が含まれ、3 次項には $(2f_a + f_b)$ 、 $(2f_a - f_b)$ 、 $(f_a + 2f_b)$ 、 $(f_a - 2f_b)$ が含まれます。

AD7892 は、入力帯域幅の下限から離れた 2 つの入力帯域幅を使ってテストされています。そのため、2 次項と 3 次項は異なる意味を持っています。2 次項は通常、元の正弦波の周波数から離れて位置し、3 次項は通常、入力周波数に近い周波数に位置します。そのため、2 次項と 3 次項は別々に指定されます。相互変調歪みの計算は THD の仕様に従います。すなわち、dB で表した個々の歪み成分の rms 総和の、基本波の和の rms 振幅に対する比になります。

相対精度

相対精度または端点非直線性とは、ADC 伝達関数の両端を結ぶ直線からの最大偏差をいいます。

微分非直線性

ADC の 2 つの隣接コード間における 1LSB 変化の測定値と理論値の差をいいます。

正のフル・スケール誤差(AD7892-1)

バイポーラ・ゼロ誤差を調整した後の、最終のコード変化(01 ... 110 から 01 ... 111 への変化)と理論変化値 $4 \times \text{REF IN} - 3/2 \text{ LSB} (\pm 10 \text{ V 範囲})$ または $2 \times \text{REF IN} - 3/2 \text{ LSB} (\pm 5 \text{ V 範囲})$ との差を意味します。

正のフル・スケール誤差(AD7892-2)

ユニポーラ・オフセット誤差調整後の最後のコード遷移((11 ... 110)から(11 ... 111))と理論値($\text{REF IN} - 3/2 \text{ LSB}$)との差を意味します。

正のフル・スケール誤差(AD7892-3)

バイポーラ・ゼロ誤差調整後の最後のコード遷移((01 ... 110)から(01 ... 111))と理論値($\text{REF IN} - 3/2 \text{ LSB}$)との差を意味します。

バイポーラ・ゼロ誤差(AD7892-1、AD7892-3)

ミッド・スケール変化(全ビット 0 から全ビット 1 への変化)と理論値 $\text{AGND} - 1/2 \text{ LSB}$ との差を意味します。

ユニポーラ・オフセット誤差(AD7892-2)

理論値 $\text{AGND} + 1/2 \text{ LSB}$ と最初のコード変化((00 ... 000)から(00 ... 001))との差を意味します。

負フル・スケール誤差(AD7892-1)

バイポーラ・ゼロ誤差を調整した後の、最初のコード変化(10 ... 000 から 10 ... 001 への変化)と理論変化値 $-4 \times \text{REF IN} + 1/2 \text{ LSB} (\pm 10 \text{ V 範囲})$ または $-2 \times \text{REF IN} + 1/2 \text{ LSB} (\pm 5 \text{ V 範囲})$ との差を意味します。

負フル・スケール誤差(AD7892-3)

バイポーラ・ゼロ誤差調整後の最初のコード遷移((10 ... 000)から(10 ... 001))と理論値($-\text{REF IN} + 1/2 \text{ LSB}$)との差を意味します。

トラック/ホールド・アキュイジション時間

トラック/ホールド・アキュイジション時間は、変換終了後(トラック/ホールドがトラック・モードに戻るポイント)にトラック/ホールド・アンプが最終値の $\pm 1/2 \text{ LSB}$ 以内に出力が収まるために要する時間です。これは、AD7892 の VIN 入力に加えられた入力電圧にステップ入力変化がある場合にも適用されます。仕様通りにデバイスを動作させるためには、変換完了後または VIN でのステップ入力変化後、次の変換までトラック/ホールド・アキュイジション時間の間、待つ必要があることを意味します。

回路説明

AD7892 は単電源で動作する高速な 12 ビット A/D コンバータです。信号スケーリング機能、トラック/ホールド、リファレンス電圧、A/D コンバータ、多機能のインターフェース・ロジック機能を内蔵しています。AD7892-1 の信号スケーリング機能を使うと、デバイスは +5 V の単電源動作で ± 5 V または ± 10 V の入力信号を処理することができます。AD7892-2 は 0 V ~ +2.5 V のアナログ入力範囲を処理します。AD7892-3 の信号スケーリング機能を使うと、単電源動作時に ± 2.5 V の入力信号を処理することができます。このデバイスは +2.5 V リファレンス電圧を必要とし、内蔵リファレンス電圧または外付けのリファレンス電圧を使うことができます。

$\overline{\text{CONVST}}$ にパルスを入力すると AD7892 上で変換が開始されます。 $\overline{\text{CONVST}}$ の立ち上がりエッジで、トラック/ホールドがトラック・モードからホールド・モードに変わり、変換シーケンスが開始されます。変換の終わりに ($\overline{\text{EOC}}$ の立ち下がりエッジ)、トラック/ホールドがトラック・モードに戻り、アキュイジション時間が開始されます。デバイスの変換時間は 1.47 μs (AD7892-3) で、トラック/ホールド・アキュイジション時間は 200 ns (AD7892-3) です。これにより、AD7892-3 は最大 600 kSPS のスループット・レートで動作できます。AD7892-1 と AD7892-2 の仕様では、変換時間が 1.6 μs 、アキュイジション時間が 400 ns であるため、500 kSPS のスループット・レートが可能です。

トラック/ホールド・セクション

AD7892 のトラック/ホールド・アンプにより、ADC はフルスケール振幅の入力正弦波を正確に 12 ビット精度で変換することができます。トラック/ホールドの入力帯域幅は、ADC が 600 kHz の最大スループット・レートで動作した場合でも、ADC のナイキスト・レートより広がっています (すなわち、トラック/ホールドは 300 kHz を超える入力周波数を処理することができます)。トラック/ホールド・アンプは、入力信号を 12 ビット精度で 200 ns 以下で取得します。トラック/ホールドの動作は本来ユーザには見えません。トラック/ホールド・アンプは、 $\overline{\text{CONVST}}$ の立ち上がりエッジでトラック/ホールド・モードからホールド・モードに変わります。トラック/ホールドのアップチャージ時間 (外部 $\overline{\text{CONVST}}$ 信号とトラック/ホールドの実際のホールド・モード開始との間の遅延時間) は 15 ns (typ) です。変換が完了すると、デバイスはトラック/ホールド・モードに戻ります。トラック/ホールド・アンプのアキュイジション時間は、このタイミングから開始されます。

リファレンス電圧セクション

AD7892 には 1 本のリファレンス・ピン (REF OUT/ REF IN) があります。このピンを使うと、デバイス内蔵の +2.5 V リファレンス電圧を使用することができます。あるいは、このピンに外付

け +2.5 V リファレンス電圧を接続してデバイスにリファレンス電源を供給することができます。

デバイスは +2.5 V のリファレンス電圧で仕様が規定されています。リファレンス電圧源の誤差は AD7892 の伝達関数でのゲイン誤差になり、このデバイスのフル・スケール誤差仕様に加算されます。AD7892-1 と AD7892-3 では、減衰器ステージに混入するオフセット誤差も発生します。

AD7892 は +2.5 V のリファレンス電圧を内蔵しています。この内蔵リファレンス電圧を AD7892 のリファレンス電源として使用する場合、REF OUT/ REF IN ピンと AGND の間に 0.1 μF のディスク・セラミック・コンデンサを接続します。このピンに現れる電圧は内部でバッファされた後に ADC へ供給されます。このリファレンス電圧を AD7892 の外部で使用する場合にはバッファが必要です。これは、デバイス内でリファレンス出力と直列に FET スイッチがあるため、この出力のソース・インピーダンスが公称 5.5 k Ω になるためです。

内蔵リファレンス電圧の偏差は 25°C で ± 10 mV、温度係数は 25 ppm/°C (typ)、温度に対する最大誤差は ± 25 mV です。

アプリケーションでこれより小さい偏差のリファレンス電圧が必要な場合、または AD7892 をシステム・リファレンス電圧で使用する場合、外部リファレンスをこの REF OUT/ REF IN ピンに接続することができます。外部リファレンス電圧により内蔵リファレンス電圧を上書きして、ADC へリファレンス電源を供給することができます。リファレンス入力にはバッファした後に ADC に接続され、最大入力電流は ± 100 μA です。AD7892 に適するリファレンス電源としては、高精度 +2.5 V リファレンス電圧の AD680、AD780、REF43 などがあります。

インターフェース

このデバイスには、12 ビット・パラレル・インターフェースと 3 線式シリアル・インターフェースの 2 つのインターフェース・オプションがあります。インターフェース・モードはモード・ピンを使って選択します。2 つのインターフェース・モードを次のセクションで説明します。

パラレル・インターフェース・モード

MODE 入力をハイ・レベルにすると、パラレル・インターフェース・モードが選択されます。図 2 に、AD7892 の動作シーケンスを説明するタイミング図を示します。内蔵トラック/ホールドがホールド・モードになり、 $\overline{\text{CONVST}}$ 信号の立ち上がりエッジで変換が開始されます。変換が完了すると、変換完了ライン (EOC) がロー・レベルのパルスを出力して、新しいデータが AD7892 の出力レジスタで使用可能になったことを表示します。この EOC ラインを使用して、マイクロプロセッサのエッジ・トリガー割り込みを駆動することができます。 $\overline{\text{RD}}$ 信号の立ち下がりエッジは、 $\overline{\text{CONVST}}$ の次の立ち上がりエッジの 200 ns 前に発生する必要があります。 $\overline{\text{CS}}$ と $\overline{\text{RD}}$ のロー・レベルで、12 ビット変換結果がアクセスされます。

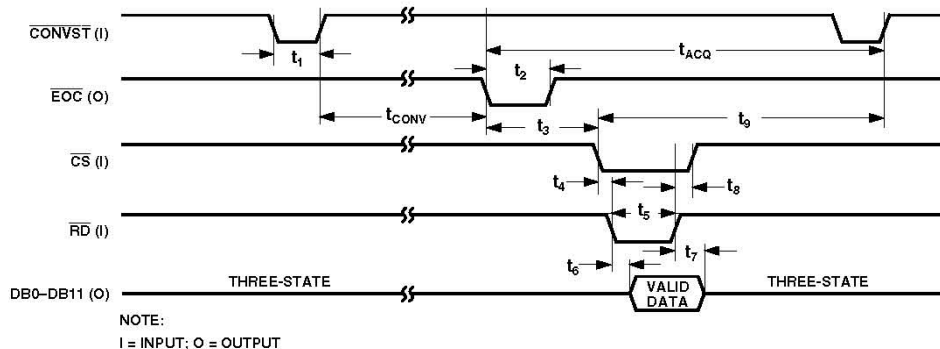


図 2. パラレル・モードのタイミング図

AD7892 からゲート・アレイまたはASICへデータをラッチするときは、 $\overline{\text{CS}}$ 入力と $\overline{\text{RD}}$ 入力へパルスを入力することができます。この機能により、変換完了を検出してAD7892へ読み出し信号を発生するためにゲート・アレイまたはASIC内で必要とされるロジックが不要になります。AD7892の最適性能を実現するためには、 $\overline{\text{CS}}$ と $\overline{\text{RD}}$ をロー・レベルに固定しておく、変換中スリー・ステートに維持されるため、これは推奨されません。

シリアル・インターフェース・モード

MODE入力をロー・レベルにすると、AD7892はシリアル・モード・インターフェースに設定されます。このモードでは、AD7892と業界標準のマイクロプロセッサ、マイクロコントローラ、デジタル信号プロセッサとの間で3線式シリアル・リンクを提供します。AD7892のSCLKとRFSは入力になり、AD7892のシリアル・インターフェースは、80C51、87C51、68HC11、68HC05のようなマイクロコントローラや大部分のデジタル信号プロセッサのシリアル・データ出力と同期化するシリアル・クロック入力を入力するシステムと直接インターフェースするようにデザインされています。

図3に、シリアル・インターフェース・モードでのAD7892からの読み出しのタイミング図を示します。 $\overline{\text{RFS}}$ がロー・レベルになると、AD7892からのデータがアクセスされます。シリアル・クロック入力は連続である必要はありません。シリアル・データは、バイト数単位でアクセスすることができますが、 $\overline{\text{RFS}}$ はデータ転送動作中ロー・レベルを維持する必要があります。16ビットのシリアル・データは、4ビットのゼロとそれに続く12ビットの有効なデータの順でMSBファーストで送信されます。シリアル・データは、SCLKの立ち上がりエッジでデバイスから出力されます。前のデータは、このエッジから5 ns間有効であることが保証されています。これは、クロックの立ち下がりエッジでデータを受け取るために、十分なセットアップ・タイムをデバイスのアクセス・タイムで許容できない高速シリアル・クロックに対して役立ちます。この場合、SCLKの立ち上がりエッジの前にRFSが変化しないように注意する必要があります。シリアル・クロックが低速な場合は、SCLKの立ち下がりエッジでデータが有効になります。読み出し動作の終了時、SCLK入力または $\overline{\text{RFS}}$ 入力のいずれか早い方の立ち上がりエッジでSDATAラインがスリー・ステートになります。シリアル・クロックから変換プロセスへのノイズ混入を防止するため、変換中にシリアル・データを読み出すことはできません。AD7892-3の最適を得るためには、アキュイジション時間中にトラック/ホールドへノイズが混入するのを防止するため、 $\overline{\text{CONVST}}$ の立ち上がりエッジから200 ns以内のシリアル読み出しも回避する必要があります。したがって、シリアル読み出しは、変換完了(EOCの立ち下がりエッジ)と $\overline{\text{CONVST}}$ の次の

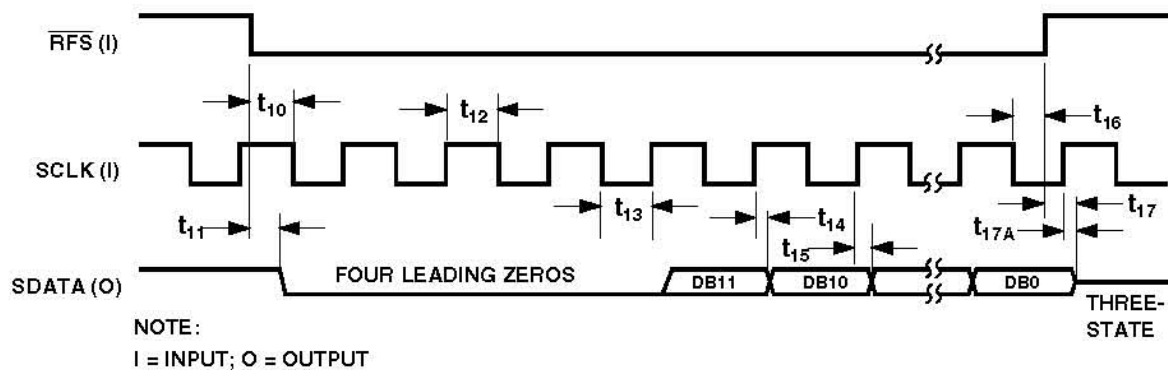


図3.シリアル・モードのタイミング図

立ち上がりエッジの200 ns前との間に行う必要があります。AD7892-1とAD7892-2の場合にも、シリアル読み出しは $\overline{\text{CONVST}}$ の立ち上がりエッジから400 ns以内に行わないようにする必要があります。これにより、シリアル・モードでの最大許容スループット・レートが、AD7892-3では400 kSPSに、AD7892-1とAD7892-2では357 kSPSに、それぞれ制限されます(20 MHzシリアル・クロックの場合)。

アナログ入力セクション

AD7892では、4種類のアナログ入力電圧範囲を可能にするため3つのデバイス・タイプを提供しています。AD7892-1では、 $\pm 5\text{ V}$ または $\pm 10\text{ V}$ の入力電圧範囲が可能です。AD7892-2では $0\text{ V} \sim +2.5\text{ V}$ の入力電圧範囲が、AD7892-3では $\pm 2.5\text{ V}$ の入力範囲が、それぞれ可能です。

AD7892-1

図4に、AD7892-1のアナログ入力セクションを示します。アナログ入力範囲は、ピン設定により($V_{\text{IN}2}$ を使用) $V_{\text{IN}1}$ 入力に $\pm 5\text{ V}$ または $\pm 10\text{ V}$ に設定することができます。 $V_{\text{IN}2}$ をAGNDに接続すると、 $V_{\text{IN}1}$ での入力範囲は $\pm 10\text{ V}$ になり、 $V_{\text{IN}1}$ の入力抵抗は公称15 k Ω になります。 $V_{\text{IN}2}$ を $V_{\text{IN}1}$ に接続すると、 $V_{\text{IN}1}$ での入力範囲は $\pm 5\text{ V}$ になり、 $V_{\text{IN}1}$ の入力抵抗は公称8 k Ω になります。このため、 $V_{\text{IN}1}$ 入力と $V_{\text{IN}2}$ 入力は低インピーダンス・ソースから駆動する必要があります。抵抗減衰器ステージの後ろにはトラック/ホールド・アンプの高入力インピーダンス・ステージが続きます。この抵抗減衰器ステージを使うと、入力電圧はAD7892-1に損傷を与えることなく $\pm 17\text{ V}$ まで上げることができます。

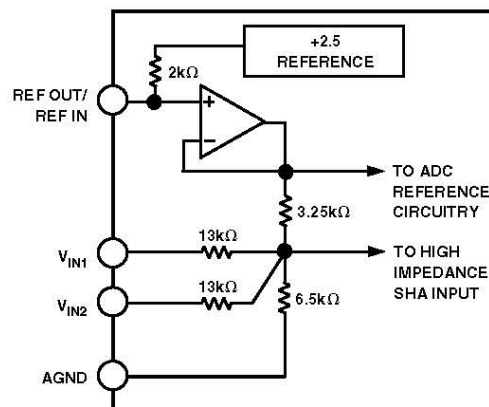


図4. AD7892-1のアナログ入力構造

デザイン上のコード変化は連続する LSB 整数値の中間(1/2 LSB、3/2 LSB、5/2 LSB など)で発生します。出力コーディングは 2 の補数バイナリで、 $\pm 10\text{ V}$ 範囲では $1\text{ LSB} = \text{FSR}/4096 = 20\text{ V}/4096 = 4.88\text{ mV}$ に、 $\pm 5\text{ V}$ 範囲では $1\text{ LSB} = \text{FSR}/4096 = 10\text{ V}/4096 = 2.44\text{ mV}$ に、それぞれなります。AD7892-1 の理論入力/出力伝達関数を表 I に示します。

AD7892-2

AD7892-2 のアナログ入力セクションにはバイアス抵抗が内蔵されていません。アナログ入力は直接トラック/ホールド入力ステージに入力されます。 V_{IN1} 入力のアナログ入力範囲は $0\text{ V} \sim +2.5\text{ V}$ です。 V_{IN2} 入力はフローティングのままにしておくことができますが、接続する場合には AGND の電位に接続する必要があります。 V_{IN1} 入力は、AD7892-2 のトラック/ホールドの入力サンプリング・コンデンサに直接接続されています。この入力サンプリング・コンデンサの値は公称 10 pF です。

この場合も、デザイン上のコード変化は連続する LSB 整数値の中間(1/2 LSB、3/2 LSB、5/2 LSB など)で発生します。出力コーディングはストレート(自然)バイナリで、 $1\text{ LSB} = \text{FSR}/4096 = 2.5\text{ V}/4096 = 0.61\text{ mV}$ になります。AD7892-2 の理論入力/出力伝達関数を表 II に示します。

表 I. AD7892-1 の理論入力/出力コード表

Analog Input	Digital Output Code Transition
$+\text{FSR}/2 - 3/2\text{ LSB}^{1,2}$ (9.99268 or 4.99634) ³	011 ... 110 to 011 ... 111
$+\text{FSR}/2 - 5/2\text{ LSBs}$ (9.98779 or 4.99390)	011 ... 101 to 011 ... 110
$+\text{FSR}/2 - 7/2\text{ LSBs}$ (9.98291 or 4.99146)	011 ... 100 to 011 ... 101
AGND + 3/2 LSB (0.00732 or 0.00366)	000 ... 001 to 000 ... 010
AGND + 1/2 LSB (0.00244 or 0.00122)	000 ... 000 to 000 ... 001
AGND - 1/2 LSB (-0.00244 or -0.00122)	111 ... 111 to 000 ... 000
AGND - 3/2 LSB (-0.00732 or -0.00366)	111 ... 110 to 111 ... 111
$-\text{FSR}/2 + 5/2\text{ LSB}$ (-9.98779 or -4.99390)	100 ... 010 to 100 ... 011
$-\text{FSR}/2 + 3/2\text{ LSB}$ (-9.99268 or -4.99634)	100 ... 001 to 100 ... 010
$-\text{FSR}/2 + 1/2\text{ LSB}$ (-9.99756 or -4.99878)	100 ... 000 to 100 ... 001

注

¹FSR はフルスケール範囲で、REF IN = +2.5 V のとき、FSR は $\pm 10\text{ V}$ 範囲で 20 V、 $\pm 5\text{ V}$ 範囲で 10 V。

²1 LSB = FSR/4096 = 4.88 mV ($\pm 10\text{ V}$ 範囲)、REF IN = +2.5 V で 2.44 mV ($\pm 5\text{ V}$ 範囲)。

³ $\pm 10\text{ V}$ 範囲または $\pm 5\text{ V}$ 範囲。

表 II. AD7892-2 の理論入力/出力コード表

Analog Input	Digital Output Code Transition
$+\text{FSR} - 3/2\text{ LSB}^{1,2}$ (2.499084 V)	111 ... 110 to 111 ... 111
$+\text{FSR} - 5/2\text{ LSBs}$ (2.498474 V)	111 ... 110 to 111 ... 110
$+\text{FSR} - 7/2\text{ LSBs}$ (2.497864 V)	111 ... 100 to 111 ... 101
AGND + 5/2 LSB (0.001526 V)	000 ... 010 to 010 ... 011
AGND + 3/2 LSB (0.00916 V)	000 ... 001 to 001 ... 010
AGND + 1/2 LSB (0.000305 V)	000 ... 000 to 000 ... 001

注

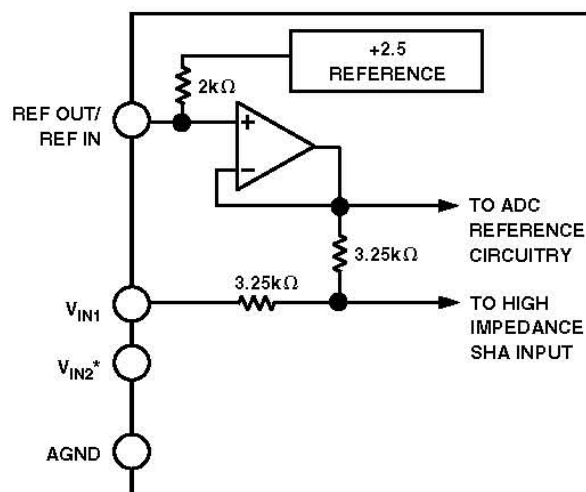
¹FSR はフルスケール範囲で、REF IN = +2.5 V のとき 2.5 V。

²1 LSB = FSR/4096 = 0.61 mV、REF IN = +2.5 V。

AD7892-3

図 5 に、AD7892-3 のアナログ入力セクションを示します。アナログ入力範囲は V_{IN1} 入力 $\pm 2.5\text{ V}$ 。 V_{IN2} 入力はフローティングのままにしておくことができますが、接続する場合には AGND の電位に接続する必要があります。 V_{IN1} の入力抵抗は公称 $1.8\text{ k}\Omega$ です。このため、 V_{IN1} 入力は低インピーダンス・ソースから駆動する必要があります。抵抗減衰器ステージの後ろにはトラック/ホールド・アンプの高入力インピーダンス・ステージが続きます。この抵抗減衰器ステージを使うと、入力電圧は AD7892-3 に損傷を与えることなく $\pm 7\text{ V}$ まで上げることができます。

デザイン上のコード変化は連続する LSB 整数値の中間(1/2 LSB、3/2 LSB、5/2 LSB など)で発生します。出力コーディングは 2 の補数バイナリで、REF IN = +2.5 V のとき $1\text{ LSB} = \text{FSR}/4096 = 5\text{ V}/4096 = 1.22\text{ mV}$ になります。AD7892-3 の理論入力/出力伝達関数を表 III に示します。



* AD7892-3 では内部接続はありません。

図 5. AD7892-3 のアナログ入力構造

表 III. AD7892-3 の理論入力/出力コード表

Analog Input	Digital Output Code Transition
$+\text{FSR}/2 - 3/2\text{ LSB}^{1,2}$ (2.49817)	011 ... 110 to 011 ... 111
$+\text{FSR}/2 - 5/2\text{ LSBs}$ (2.49695)	011 ... 110 to 011 ... 110
$+\text{FSR}/2 - 7/2\text{ LSBs}$ (2.49573)	011 ... 110 to 011 ... 101
AGND + 3/2 LSB (0.00183)	000 ... 001 to 000 ... 010
AGND + 1/2 LSB (0.00061)	000 ... 000 to 000 ... 001
AGND - 1/2 LSB (-0.00061)	111 ... 111 to 000 ... 000
AGND - 3/2 LSB (-0.00183)	111 ... 110 to 111 ... 111
$-\text{FSR}/2 + 5/2\text{ LSB}$ (-2.49695)	100 ... 010 to 100 ... 011
$-\text{FSR}/2 + 3/2\text{ LSB}$ (-2.49817)	100 ... 001 to 100 ... 010
$-\text{FSR}/2 + 1/2\text{ LSB}$ (-2.49939)	100 ... 000 to 100 ... 001

注

¹FSR はフルスケール範囲で、REF IN = +2.5 V のとき 5 V。

²1 LSB = FSR/4096 = 1.22 mV、REF IN = +2.5 V。

マイクロプロセッサ・インターフェース

AD7892 は高速パラレル・インターフェースと高速シリアル・インターフェースを内蔵しているため、マイクロプロセッサ・システムへ柔軟にインターフェースすることができます。最適性能を実現するためにデータを変換中に読み出すことができないので、AD7892-3 のシリアル・モードでの許容スループット・レートが 400 kSPS に制限されます。

図 6、図 7、図 9 に、AD7892 と一般的な DSP プロセッサとの間の代表的なインターフェース回路を示します。図 8 に、変換完了時に AD7892 自体によりデータが ASIC へ入力されるゲート・アレイまたは ASIC とこのデバイスとの間のインターフェースを示します。すべてのケースで、 $\overline{\text{CONVST}}$ 信号は等間隔サンプリングを保证するため外部タイマから発生されます。

AD7892 と ADSP-2101 とのインターフェース

図 6 に、AD7892 と ADSP-2101 DSP プロセッサとの間のパラレル・インターフェースを示します。 $\overline{\text{CONVST}}$ により変換が開始され、変換完了時に $\overline{\text{EOC}}$ 出力の立ち下がりエッジで、ADSP-2101 への割り込み要求が発生されます。

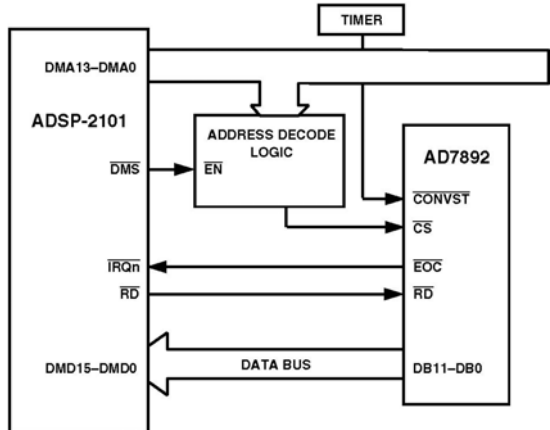


図 6. AD7892 と ADSP-2101 とのインターフェース

AD7892 と TMS320C25 とのインターフェース

図 7 に、AD7892 と TMS320C25 DSP プロセッサとの間のパラレル・インターフェースを示します。 $\overline{\text{CONVST}}$ により変換が開始され、変換完了時に $\overline{\text{EOC}}$ 出力の立ち下がりエッジで、TMS320C25 への割り込み要求が発生されます。

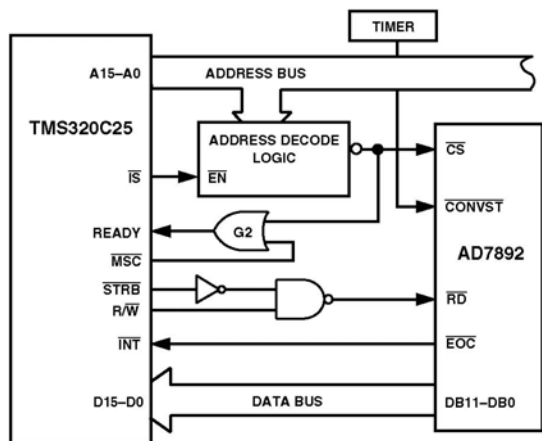


図 7. AD7892 と TMS320C25 とのインターフェース

EOC パルスによる $\overline{\text{CS}}$ と $\overline{\text{RD}}$ の発生

図 8 に、AD7892 とゲートアレイまたは ASIC との間のパラレル・インターフェースを示します。 $\overline{\text{CONVST}}$ により変換が開始され、変換完了時に $\overline{\text{EOC}}$ 出力の立ち下がりエッジで $\overline{\text{CS}}$ パルスと $\overline{\text{RD}}$ パルスが出力されて、AD7892 からゲートアレイまたは ASIC へデータがラッチされます。この方式では、デバイスで可能な最高速のスループット・レートが可能です。これは割り込みサービス・ルーチンで時間を使うことなく、データが使用可能になると直ちにデバイスから出力できるためです。

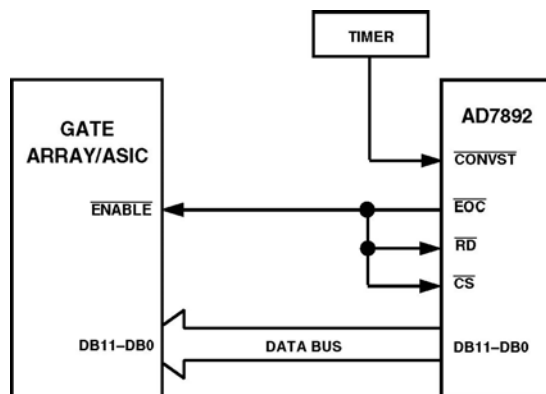


図 8. AD7892 とゲートアレイ/ASIC とのインターフェース

AD7892 と DSP56000 とのインターフェース

図 9 に、AD7892 と DSP56000 DSP プロセッサとの間のシリアル・インターフェースを示します。 $\overline{\text{CONVST}}$ により変換が開始され、変換完了時に $\overline{\text{EOC}}$ 出力の立ち下がりエッジで、DSP56000 への割り込み要求が発生されます。

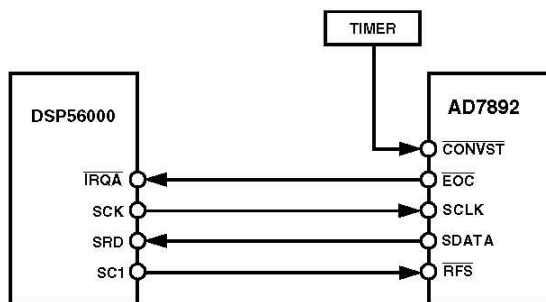


図 9. AD7892 と DSP56000 とのインターフェース

グラウンド接続とレイアウト

AD7892には電源電圧ピン V_{DD} が1本あり、このピンからアナログ回路とデジタル回路へ電源を供給します。デバイスの最適性能を得るためには、この+5 Vをシステムの+5 Vアナログ電源から取得することが推奨されます。AD7892のアナログ電源とデジタル電源は独立しており、別々のピンを使用することにより、デバイスのアナログ部とデジタル部の間の結合を最小にしています。デバイスは優れた電源ノイズ耐性を示しますが、スイッチング・モード電源を使う場合には特に、グラウンド接続とレイアウトに注意する必要があります。

AD7892を実装するプリント回路ボードは、アナログ部とデジタル部を分離して、ボード内でそれぞれをまとめて配置するようにデザインする必要があります。そうすることにより、グラウンド・プレーンの使用が可能になり、それらを容易に分離できるようになります。一般に、エッチング部分を最小にすると、最適なシールド効果を持つため、この方法はグラウンド・プレーンに最適です。デジタル・グラウンド・プレーンとアナログ・グラウンド・プレーンは1点で接続する必要があります。AD7892がAGNDとDGNDとの接続を必要とする唯一のデバイスである場合は、これらのグラウンド・プレーンをAD7892のAGNDピンとDGNDピンで接続する必要があります。複数のデバイスがAGNDとDGNDの接続を必要とするシステム内でAD7892を使用する場合にも、この接続は1ヵ所で行う必要があります。すなわち、AD7892のできるだけ近くで星型グラウンド接続点を構成します。

ノイズがチップに混入するので、デバイスの真下をデジタル・ラインが通らないようにしてください。ノイズ混入を防止するため、アナログ・グラウンド・プレーンがAD7892の下を通過することは可能です。AD7892の電源ラインはできるだけ太いパターンにしてインピーダンスを下げ、電源ライン上のグリッチによる影響を軽減させます。クロックなどの高速なスイッチング信号は、デジタル・グラウンドでシールドしてボードの他の部分に対するノイズの放射を防止します。また、クロック信号はアナログ入力の近くを通過しないようにします。デジタル信号とアナログ信号の交差は回避する必要があります。ボードの反対側のパターンは、互いに右角度となるように配置します。これにより、ボードを貫通する結合の影響を減らすことができます。マイクロストリップ

技術の使用は最善ですが、両面ボードでは常に使用できるとは限りません。この技術では、ボードの部品面はグラウンド・プレーン専用にして、信号はハンダ面に配線します。

高分解能ADCを使うときは、デカップリングが重要になります。すべてのアナログ電源とAGNDの間に10 μ Fのコンデンサと0.1 μ Fのコンデンサを並列接続してデカップリングします。デカップリング部品の効果を最大にするためには、これらの部品をデバイスのできるだけ近くに、理想的にはデバイスの隣に配置します。すべてのロジック・チップは、DGNDに接続した0.1 μ Fセラミック・コンデンサでデカップリングする必要があります。システムのAV $_{DD}$ 電源を使ってAD7892の V_{DD} を供給することが推奨されます。この電源に対しては、AD7892の V_{DD} ピンとAGNDの間に推奨アナログ電源デカップリング・コンデンサを、AD7892の V_{DD} ピンとDGNDの間に推奨デジタル電源デカップリング・コンデンサを、それぞれ接続する必要があります。

AD7892 性能の評価

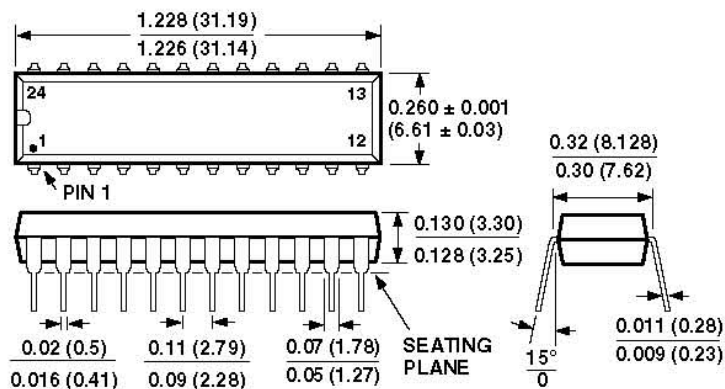
AD7892の推奨レイアウトの概要はAD7892の評価ボードに示してあります。評価ボードの梱包には、組み立て/テスト済みの評価ボード、ドキュメント、EVAL-CONTROL BOARDを介してPCからボードを制御するソフトウェアが添付されています。EVAL-CONTROL BOARDは、AD7892評価ボードや他の多くのアナログ・デバイス用の評価ボード(終わりにCB識別マークが付くもの)と組み合わせて使用することができます。EVAL-CONTROL BOARDとAD7892評価ボードを組み合わせると、PC上でAD7892のAC性能とDC性能を評価することができます。

評価ボードに添付されているソフトウェアを使うと、ユーザーはAD7892のACテスト(高速フーリエ変換)とDCテスト(コードのヒストグラム)を行うことができます。評価ボードはEVAL-CONTROL BOARDなしでスタンドアロンで使うことができますが、この場合、ユーザー自身でデバイスを評価するソフトウェアを用意する必要があります。評価ボードにはAD7892-2用とAD7892-3用の2つのバージョンがあります。AD7892-2評価ボードを注文する際は注文番号EVAL-AD7892-2CBを、AD7892-3評価ボードを注文する際は注文番号EVAL-AD7892-3CBを、それぞれご使用ください。

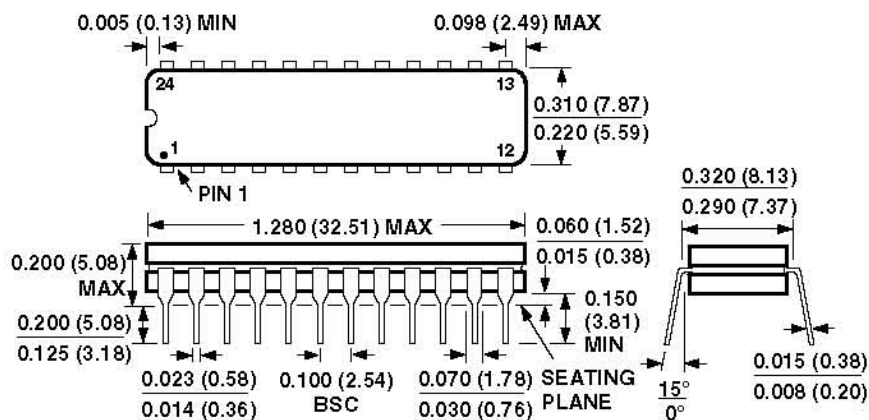
外形寸法

寸法表示: インチ (mm)

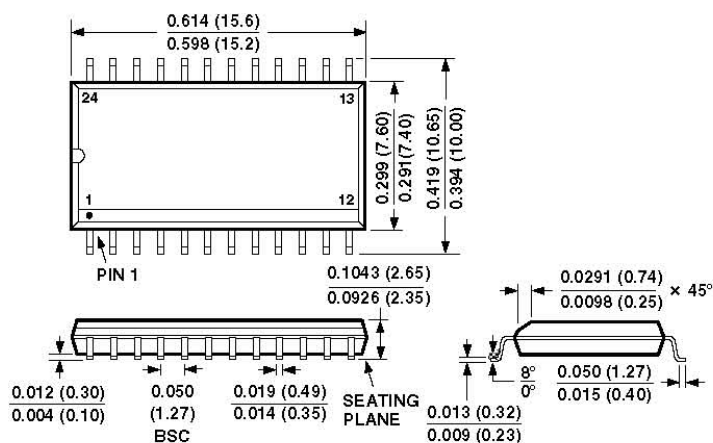
プラスチック DIP (N-24)



CERDIP (Q-24)



SOIC (R-24)



C1933c-2.5-6/00 (C)