

特長

デュアル12ビット2チャンネルのADC

高速スループット・レート：1MSPS

$V_{DD} = 2.7 \sim 5.25V$ で仕様規定

低消費電力

3V電源で動作時1MSPSで最大11.4mW

5V電源で動作時1MSPSで最大24mW

広い入力帯域幅

入力周波数300kHzで70dBのS/N比

2.5Vリファレンスを内蔵

フレキシブルな消費電力 / スループット・レート管理

変換 / 読み出しの同時実行

パイプライン遅延なし

SPI™/QSPI™/MICROWIRE™/DSP互換の高速シリアル・インターフェース

シャットダウン・モード

最大消費電流：1 μA

20ピンTSSOPパッケージを採用

概要

AD7866はデュアルの12ビット高速低消費電力逐次比較型ADCです。このデバイスは2.7~5.25Vの単電源で動作し、1MSPSの最大スループット・レートを持っています。デバイスは2個のADCを内蔵しており、各々の前にはローイズで広帯域幅のトラック / ホールド・アンプが置かれており、このアンプは10MHzを超える入力周波数を処理できます。変換プロセスとデータ・アキュジションは、標準のコントロール入力を使って制御されるため、マイクロプロセッサまたはDSPIに対して容易にインターフェースできます。入力信号はCSの立ち下がりエッジでサンプリングされ、この時点で変換も開始されます。変換時間はSCLK周波数によって決定されます。このデバイスに起因するパイプライン遅延はありません。

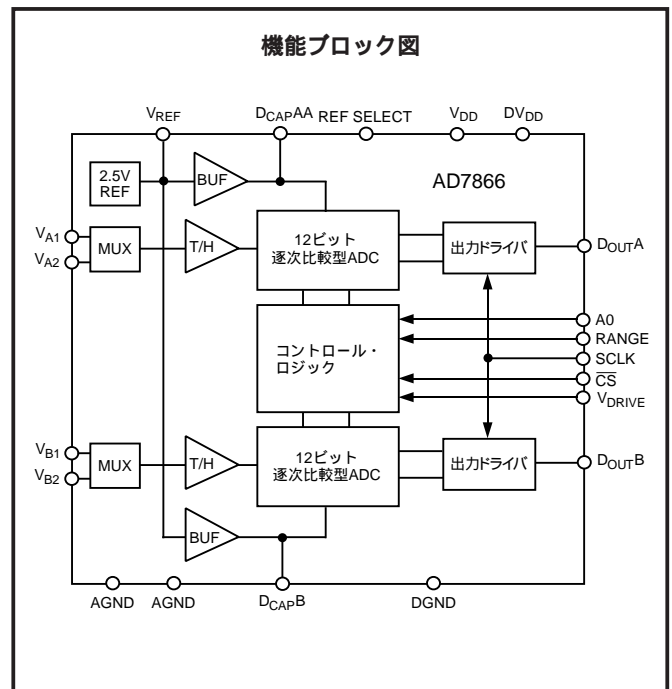
AD7866では最新の設計技術を使って、高スループット・レートで非常に小さい消費電力を可能にしています。3V電源を使用し1MSPSスループット・レートで動作時、デバイスの最大消費電流は3.8mAです。5V電源を使用し1MSPSで動作時、最大消費電流は4.8mAです。スリープ・モードで動作するとき、柔軟な消費電力 / スループット・レート管理機能も持っています。

アナログ入力範囲は0V ~ V_{REF} または $2 \times V_{REF}$ が選択可能であり、出力コーディングは自然2進または2の補数が選択可能です。AD7866は2.5Vリファレンスを内蔵しており、必要に応じて外部リファレンスによりこれをオーバードライブできます。内蔵の各ADCの電源には個別に

SPIとQSPIは、Motorola Inc.の商標です。

MICROWIREは、National Semiconductor Corporationの商標です。

REV.0



外部リファレンスを接続することもできます。

AD7866は、20ピンの薄型シュリンク・スモール・アウトライン (TSSOP) パッケージを採用しています。

製品のハイライト

- AD7866は2個の完全なADC機能を内蔵しており、2チャンネルのサンプリングと変換を同時に実行できます。各ADCには2チャンネルの入力マルチプレクサが付いています。両チャンネルの変換結果は別々のデータ・ラインに同時に出力されます。あるいはシリアル・ポートが1個しかない場合には、両チャンネルの変換結果を1本のデータ・ラインに出力することも可能です。
- 低消費電力で高いスループット 3V動作時、スループット・レート1MSPSで最大消費電力11.4mW。
- 柔軟な消費電力 / スループット・レート管理 変換レートはシリアル・クロックで決定されるため、SCLKの周波数を上げて変換時間を短くすると、消費電力が小さくなります。変換時にデバイスをスリープ状態にする場合、低いスループット・レートで電力効率を大きくできます。
- パイプライン遅延なし CS入力を使うサンプリング・タイミングの正確な制御とアンシャット変換制御が可能な2個の標準逐次比較型ADCを内蔵しています。

アナログ・デバイス社が提供する情報は正確で信頼できるものを期していますが、その情報の利用または利用したことにより引き起こされる第三者の特許または権利の侵害に関して、当社はいっさいの責任を負いません。さらに、アナログ・デバイス社の特許または特許の権利の使用を許諾するものでもありません。

AD7866 仕様¹

(特に指定のない限り、 $T_A = T_{MIN} \sim T_{MAX}$ 、 $V_{DD} = 2.7 \sim 5.25V$ 、 $V_{DRIVE} = 2.7 \sim 5.25V$ 、リファレンス = 外部2.5V

D_{CAPA} と D_{CAPB} に接続、 $f_{SCLK} = 20MHz$)

パラメータ	Aバージョン ¹	Bバージョン ¹	単位	テスト条件 / 備考
ダイナミック性能				
信号対ノイズ+歪み比(SINAD) ²	68	68	dB min	$f_{IN} = 300kHz$ サイン波、 $f_s = 1MSPS$
合計高調波歪み(THD) ²	-75	-75	dB max	$f_{IN} = 300kHz$ サイン波、 $f_s = 1MSPS$
ピーク高調波またはスプリアス・ノイズ(SFDR) ²	-76	-76	dB max	$f_{IN} = 300kHz$ サイン波、 $f_s = 1MSPS$
相互変調歪み(IMD) ²				
2次項	-88	-88	dB typ	
3次項	-88	-88	dB typ	
チャンネル間アイソレーション	-88	-88	dB typ	
サンプル/ホールド				
アパーチャ遅延 ³	10	10	ns max	
アパーチャ・ジッター ³	50	50	ps typ	
アパーチャ遅延マッチング ³	200	200	ps max	
フル・パワー帯域幅	12	12	MHz typ	@ 3dB
	2	2	MHz typ	@ 0.1dB
DC精度				
分解能	12	12	ビット	
積分非直線性	± 1.5	± 1	LSB max	Bグレード、 $0V \sim V_{REF}$ 範囲の場合、 ± 0.5 LSB typ
微分非直線性	$-0.95/+1.25$	$-0.95/+1.25$	LSB max	$0V \sim 2 \times V_{REF}$ 範囲、 ± 0.5 LSB typ
0V ~ V_{REF} 入力範囲			LSB max	12ビットのノー・ミスコードを保証
オフセット誤差	± 8	± 8	LSB max	自然2進出力コーディング
オフセット誤差マッチ	± 1.2	± 1.2	LSB typ	
ゲイン誤差	± 2.5	± 2.5	LSB max	
ゲイン誤差マッチ	± 0.2	± 0.2	LSB typ	
$2 \times V_{REF}$ 入力範囲				- $V_{REF} \sim +V_{REF}$ にバイアス
正のゲイン誤差	± 2.5	± 2.5	LSB max	2の補数出力コーディング
ゼロコード誤差	± 8	± 8	LSB max	
ゼロコード誤差マッチ	± 0.2	± 0.2	LSB typ	
負のゲイン誤差	± 2.5	± 2.5	LSB max	
アナログ入力				
入力電圧範囲	$0 \sim V_{REF}$ $0 \sim 2 \times V_{REF}$	$0 \sim V_{REF}$ $0 \sim 2 \times V_{REF}$	V V	\overline{CS} の立ち下がりがエッジでRANGEピンがローレベルに変化 \overline{CS} の立ち下がりがエッジでRANGEピンがハイレベルに変化
DCリーク電流	± 500	± 500	nA max	
入力容量	30	30	pF typ	トラック時
	10	10	pF typ	ホールド時
リファレンス入 / 出力				
リファレンス入力電圧	2.5	2.5	V	仕様性能に対して $\pm 1\%$
リファレンス入力電圧範囲 ⁴	2/3	2/3	Vmin/Vmax	REF SELECTピンをハイレベルに接続
DCリーク電流	± 30 ± 160	± 30 ± 160	μA max μA max	V_{REF} ピン、 D_{CAPA} ピン、 D_{CAPB} ピン、
入力容量	20	20	pF typ	
リファレンス出力電圧 ⁵	2.45/2.55	2.45/2.55	Vmin/Vmax	
V_{REF} 出力インピーダンス ⁶	25	25	typ	$V_{DD} = 5V$
	45	45	typ	$V_{DD} = 3V$
リファレンス温度係数	50	50	ppm/ typ	
REF OUT誤差($T_{MIN} \sim T_{MAX}$)	± 15	± 15	mV typ	
ロジック入力				
入力ハイ電圧、 V_{INH}	$0.7V_{DRIVE}$	$0.7V_{DRIVE}$	V min	
入力ロー電圧、 V_{INL}	$0.3V_{DRIVE}$	$0.3V_{DRIVE}$	V max	
入力電流、 I_{IN}	± 1	± 1	μA max	15 nA (typ)、 $V_{IN} = 0V$ または V_{DRIVE}
入力容量、 C_{IN}^3	10	10	pF max	
ロジック出力				
出力ハイレベル電圧、 V_{OH}	$V_{DRIVE} - 0.2$	$V_{DRIVE} - 0.2$	V min	$I_{SOURCE} = 200 \mu A$
出力ローレベル電圧、 V_{OL}	0.4	0.4	V max	$I_{SINK} = 200 \mu A$
フローティング状態リーク電流	± 1	± 1	μA max	$V_{DD} = 2.7 \sim 5.25V$
フローティング状態出力容量 ³	10	10	pF max	
出力コーディング	自然2進2の補数			いずれの入力範囲でも選択可能

パラメータ	Aバージョン ¹	Bバージョン ¹	単位	テスト条件 / 備考
変換レート				
変換時間	16	16	SCLKサイクル数	SCLK = 20MHzで800ns
トラック / ホールド・アキュジション時間 ³	300	300	ns max	
スループット・レート	1	1	MSPS max	シリアル・インターフェースの節参照
電源条件				
V _{DD}	2.7/5.25	2.7/5.25	V min/max	
V _{DRIVE}	2.7/5.25	2.7/5.25	V min/max	
I _{DD} ⁷				各デジタルI/P = 0VまたはV _{DRIVE}
ノーマル・モード(スタティック)	3.1	3.1	mA max	V _{DD} = 4.75 ~ 5.25V 内部リファレンス使用の場合0.5mA(typ)追加
	2.8	2.8	mA max	V _{DD} = 2.7 ~ 3.6V 内部リファレンス使用の場合0.35mA(typ)追加
動作時、f _S = 1MSPS	4.8	4.8	mA max	V _{DD} = 4.75 ~ 5.25V 内部リファレンス使用の場合0.5mA(typ)追加
	3.8	3.8	mA max	V _{DD} = 2.7 ~ 3.6V 内部リファレンス使用の場合0.5mA(typ)追加
パーシャル・パワーダウン・モード	1.6	1.6	mA max	f _S = 100kSPS、f _{SCLK} = 20MHz 内部リファレンス使用の場合0.2mA(typ)追加
パーシャル・パワーダウン・モード	560	560	μ A max	(スタティック)内部リファレンス使用の場合 100 μ A(typ)追加
フルパワーダウン・モード	1	1	μ A max	SCLKオンまたはオフ
消費電力 ⁷				
ノーマル・モード(動作時)	24	24	mW max	V _{DD} = 5V
	11.4	11.4	mW max	V _{DD} = 3V
パーシャル・パワーダウン(スタティック)	2.8	2.8	mW max	V _{DD} = 5V。SCLKオンまたはオフ
	1.68	1.68	mW max	V _{DD} = 3V。SCLKオンまたはオフ
フルパワーダウン(スタティック)	5	5	μ W max	V _{DD} = 5V。SCLKオンまたはオフ
	3	3	μ W max	V _{DD} = 3V。SCLKオンまたはオフ

注

- 1 温度範囲：A、Bバージョン：-40 ~ +85
- 2 用語の節を参照してください。
- 3 25 °Cでのサンプル・テストにより適合性を保証。
- 4 V_{REF}、D_{CAP}A、またはD_{CAP}Bに入力できる外部リファレンス範囲。
- 5 V_{REF}ピン、D_{CAP}Aピン、またはD_{CAP}Bピンに関係。
- 6 D_{CAP}AとD_{CAP}Bの出力インピーダンスについてはリファレンスの節を参照してください。
- 7 消費電力対スループット・レートの節を参照してください。

仕様は予告なく変更されることがあります。

AD7866

タイミング特性¹ (特に指定のない限り、 $V_{DD} = 2.7 \sim 5.25V$ 、 $V_{DRIVE} = 2.7 \sim 5.25V$ 、 $V_{REF} = 2.5V$ 、 $T_A = T_{MIN} \sim T_{MAX}$)

パラメータ	T_{MIN} 、 T_{MAX} での規定値	単位	説明
f_{SCLK}^2	10 20	kHz min MHz max	
$t_{CONVERT}$	$16 \times t_{SCLK}$ 800	ns max ns max	$f_{SCLK} = 1/f_{SCLK}$ $f_{SCLK} = 20MHz$
f_{QUIET}	50	ns max	シリアル読み出し完了と \overline{CS} の次の立ち下がりエッジとの間の最小時間
f_2	10	ns min	\overline{CS} からSCLKまでのセットアップ・タイム
f_3^3	25	ns max	\overline{CS} から D_{OUTA} および D_{OUTB} トライアステート・ディスエーブルまでの遅延
f_4^3	40	ns max	SCLKの立ち下がりエッジからのデータ・アクセス時間 $V_{DRIVE} = 3V$ 、 $C_L = 50pF$ 、 $V_{DRIVE} < 3V$ 、 $C_L = 25pF$
f_5	$0.4 f_{SCLK}$	ns min	SCLKのローレベル・パルス幅
f_6	$0.4 f_{SCLK}$	ns min	SCLKのハイレベル・パルス幅
f_7	10	ns min	SCLKからデータ有効までのホールド・タイム
f_8^4	25	ns max	\overline{CS} の立ち上がりエッジから D_{OUTA} 、 D_{OUTB} のハイ・インピーダンスまで
t_8^4	10 50	ns min ns max	SCLKの立ち下がりエッジから D_{OUTA} 、 D_{OUTB} のハイ・インピーダンスまで

注

- 25 °Cでのサンプル・テストにより適合性を保証。すべての入力信号は $t_r = t_f = 5ns$ (V_{DRIVE} の10%から90%)で規定し、1.6Vの電圧レベルからの時間とします。
- CLK入力のマーク/スペース比は40/60 ~ 60/40。
- 図1に示す負荷回路で測定。出力が0.8Vまたは2.0Vと交叉するまでに必要な時間と定義します。
- t_8 と t_8 の値は、図1の負荷回路でデータ出力が0.5V変化するときを要する時間の測定値から導出。この測定値に外挿を行い、50pFコンデンサの充放電の影響を除去してあるため、タイミング特性に記載する t_8 と t_8 は、デバイスの真のバス開放時間であることを意味し、バスの負荷に無関係であることを意味します。仕様は予告なく変更されることがあります。

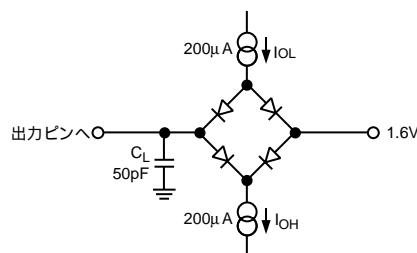


図1 デジタル出力タイミング仕様の負荷回路

絶対最大定格¹

(特に指定のない限り、 $T_A = 25$ °C)

$AV_{DD} \sim AGND$	- 0.3 ~ + 7 V
$DV_{DD} \sim DGND$	- 0.3 ~ + 7 V
$V_{DRIVE} \sim DGND$	- 0.3V ~ $DV_{DD} + 0.3V$
$V_{DRIVE} \sim AGND$	- 0.3V ~ $AV_{DD} + 0.3V$
$AV_{DD} \sim DGND$	- 0.3 ~ + 0.3V
$AGND \sim DGND$	- 0.3 ~ + 0.3V
アナログ入力電圧 ~ AGND	- 0.3V ~ $AV_{DD} + 0.3V$
デジタル入力電圧 ~ DGND	- 0.3 ~ + 7V
$V_{REF} \sim AGND$	- 0.3V ~ $AV_{DD} + 0.3V$
デジタル出力電圧 ~ DGND	- 0.3V ~ $V_{DRIVE} + 0.3V$
電源ピン以外の任意のピンに対する入力電流 ²	$\pm 10mA$

動作温度範囲

コマーシャル (A、Bバージョン)	- 40 ~ + 85
保管温度範囲	- 65 ~ + 150
接合部温度	150
TSSOPパッケージ、消費電力	450W
J_A 熱インピーダンス	143 /W (TSSOP)
J_C 熱インピーダンス	45 /W (TSSOP)
ピン温度、ハンダ処理	
蒸着 (60秒)	215
赤外線 (15秒)	220
ESD	1.5 kV

*上記の絶対最大定格を超えるストレスを加えると、デバイスに永久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定メーターものではありません。デバイスを長時間絶対最大定格条件に置くとデバイスの信頼度に影響を与えることがあります。

注意

ESD (静電放電) の影響を受けやすいデバイスです。4000Vもの高圧の静電気が人体やテスト装置に容易に帯電し、検知されることなく放電されることがあります。本製品には当社独自のESD保護回路を備えていますが、高エネルギーの静電放電を受けたデバイスには回復不可能な損傷が発生することがあります。このため、性能低下や機能喪失を回避するために、適切なESD予防措置をとるようお奨めします。



オーダー・ガイド

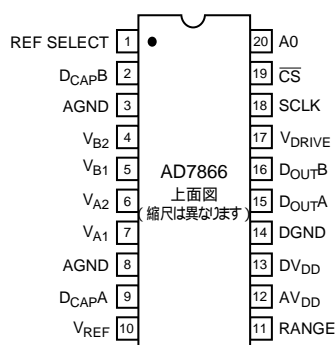
製品モデル	温度範囲	分解能 (ビット数)	パッケージ	パッケージ・オプション
AD7866ARU	- 40 ~ + 85	12	薄型シュリンクSO (TSSOP)	RU-20
AD7866BRU	- 40 ~ + 85	12	薄型シュリンクSO (TSSOP)	RU-20
EVAL-AD7866CB1	評価ボード			
EVAL-CONTROL BRD ₂	コントローラ・ボード		(TSSOP)	

注

1 これは単独の評価ボードとして、または評価 / デモ目的の評価ボード・コントローラと組み合わせて使用できます。

2 評価ボード・コントローラを使うと、PCからの制御とCBサフィクスが付くすべてのアナログ・デバイス評価ボードとの通信が可能です。

ピン配置



ピン機能の説明

ピン番号	記号	機能
1	REF SELECT	内 / 外部リファレンス選択ピン。ロジック入力。このピンをGNDに接続すると、オンチップ2.5VリファレンスがADC AとADC Bのリファレンス・ソースとして使われます。さらに、ピンV _{REF} 、D _{CAP} A、D _{CAP} Bにデカップリング・コンデンサを接続する必要があります。REF SELECTピンをロジック・ハイに接続すると、V _{REF} ピンを使って外部リファレンスがAD7866に入力されます。この場合、D _{CAP} AピンとD _{CAP} Bピンにデカップリング・コンデンサが必要です。ただし、V _{REF} ピンをAGNDに、REF SELECTをロジック・ローに、それぞれ接続した場合、各外部リファレンスがD _{CAP} AピンとD _{CAP} Bピンを介して、それぞれADCAとADC Bに入力されます。リファレンスの節を参照してください。
2、9	D _{CAP} B、D _{CAP} A	各ADCのリファレンス・バッファをデカップリングするため、これらのピンにデカップリング・コンデンサを接続します。これらのピンから内部リファレンスを取り出して、外部でシステムの他の部分に使用できます。REF SELECTピンの極性とV _{REF} ピンの設定に応じて、これらのピンは各ADCに対する個別外部リファレンスの入力として使うこともできます。外部リファレンスの範囲は選択したアナログ入力範囲に依存します。リファレンスの節を参照してください。
3、8	AGND	アナログ・グラウンド。AD7866上の全回路に対するグラウンド・リファレンス・ポイント。全アナログ入力信号と外部リファレンス信号はこのAGND電圧を基準とします。これら両ピンは、システムのAGNDプレーンに接続します。AGND電圧とDGND電圧は理想的には同電位である必要があり、過渡的なバイアスであっても差が0.3Vを超えないようにする必要があります。
4、5	V _{B2} 、V _{B1}	ADC Bのアナログ入力。シングル・エンドのアナログ入力チャンネル。各チャンネルの入力範囲は、CSの立ち下がりエッジでのRANGEピンの極性に応じて、0V ~ V _{REF} または2 × V _{REF} が選択されます。
6、7	V _{A2} 、V _{A1}	ADCAのアナログ入力。シングル・エンドのアナログ入力チャンネル。各チャンネルの入力範囲は、CSの立ち下がりエッジでのRANGEピンの極性に応じて、0V ~ V _{REF} または2 × V _{REF} が選択されます。
10	V _{REF}	リファレンス・デカップリング・ピンおよび外部リファレンス選択ピン。このピンは内部リファレンスに接続されているためデカップリング・コンデンサが必要です。公称リファレンス電圧2.5Vがこのピンに出力されます。ただし、内部リファレンスを外部で使う場合には、D _{CAP} AピンまたはD _{CAP} Bピンから取り出す必要があります。外部リファレンスをAD7866に入力する際には、REF SELECTピンとこのピンを合わせて使います。REF SELECTピンの説明を参照してください。

ピン機能説明 (続き)

ピン番号	記号	機能
11	RANGE	アナログ入力範囲および出力コーディング選択ピン。ロジック入力。このピンの極性がAD7866のアナログ入力チャンネルの入力範囲を決定し、ADCの変換結果に使用する出力コーディングも選択します。CSの立ち下がりエッジで、このピンの極性をチェックして次の変換のアナログ入力範囲を決定します。このピンをロジック・ローに接続すると、アナログ入力範囲は $0V \sim V_{REF}$ で、次の変換で使用する出力コーディングは自然2進になります。CSがローレベルに変化するときにこのピンをロジック・ハイに接続すると、アナログ入力範囲は $2 \times V_{REF}$ で、出力コーディングは2の補数になります。ただし、CSの立ち下がりエッジの後の8個のSCLK立ち下がりエッジで、RANGEピンのロジック・レベルが変化すると、アナログ入力範囲はそのまま出力コーディングが他のオプションに変わります(アナログ入力の節とADC伝達関数の節を参照してください)。
12	AV _{DD}	2.7 ~ 5.25Vのアナログ電源電圧。これはAD7866上の全アナログ回路に対する唯一の電源電圧です。AV _{DD} 電圧とDV _{DD} 電圧は理想的には同電位である必要があり、過渡的なバイアスであっても差が0.3Vを超えないようにする必要があります。この電源はAGNDにデカップリングする必要があります。
13	DV _{DD}	2.7 ~ 5.25Vのデジタル電源電圧。これはAD7866上の全デジタル回路に対する唯一の電源電圧です。DV _{DD} 電圧とAV _{DD} 電圧は理想的には同電位である必要があり、過渡的なバイアスであっても差が0.3Vを超えないようにする必要があります。この電源はDGNDにデカップリングする必要があります。
14	DGND	デジタル・グラウンド。AD7866上の全デジタル回路に対するグラウンドリファレンス・ポイントです。DGND電圧とAGND電圧は理想的には同電位である必要があり、過渡的なバイアスであっても差が0.3Vを超えないようにする必要があります。
15、16	D _{OUT} A、D _{OUT} B	シリアル・データ出力。データ出力がこのピンにシリアル・データ・ストリームとして出力されます。ビットはSCLK入力の立ち下がりエッジで出力されます。両ADCの同時変換結果が両ピンに同時に出力されます。データ・ストリームでは、先頭の1ビットのゼロ、その後3ビットのステータス・ビットと12ビットの変換データがこの順に続きます。データはMSBが先頭です。D _{OUT} AピンまたはD _{OUT} Bピンに変換データが出力された後に、さらにSCLKで16サイクル間CSをローレベルに保持すると、他のADCからのデータがD _{OUT} ピンに出力されます。この機能を使うと、両ADCの同時変換のデータをシリアル・フォーマットでD _{OUT} AまたはD _{OUT} Bのみに集めて、1つのシリアル・ポートのみを使うようにできます。シリアル・インターフェースの節を参照してください。
17	V _{DRIVE}	ロジック電源入力。このピンに入力された電圧が、インターフェースで使用する電圧を決定します。このピンはDGNDからデカップリングする必要があります。
18	SCLK	シリアル・クロック。ロジック入力。シリアル・クロック入力は、AD7866からデータをアクセスする際にSCLKとして使います。このクロックは、変換プロセスのクロック・ソースとしても使われます。
19	CS	チップ・セレクト。アクティブ・ローのロジック入力。この入力、AD7866の変換開始とシリアル・データ転送制御の2つの機能を持っています。
20	A0	マルチプレクサの選択。ロジック入力。この入力を使って、同時に変換するチャンネル対(ADCAとADC Bのチャンネル1、またはADCAとADC Bのチャンネル2)を選択します。このピンのロジック状態をCSの立ち下がりエッジでチェックして、次の変換に対してマルチプレクサを設定します。このピンがローレベルのとき、次の変換は各ADCのチャンネル1に対して行われ、このピンがハイレベルのとき、次の変換は各ADCのチャンネル2に対して行われます。

用語説明

積分非直線性

ADC伝達関数の両端を結ぶ直線からの最大偏差をいいます。伝達関数の両端とは、ゼロスケール(最初のコード遷移より1 LSB下のポイント)とフルスケール(最後のコード遷移より1 LSB上のポイント)をいいます。

微分非直線性

ADCの2つの隣接コード間における1LSB変化の測定値と理論値の差をいいます。

オフセット誤差

これは自然2進出力コーディングを使ったときに適用されます。理論値AGND + 1 LSBと最初のコード遷移((00...0.000)から(00...0.001))との差をいいます。

オフセット誤差マッチ

これは、2チャンネル間のオフセット誤差の差になります。

ゲイン誤差

これは自然2進出力コーディングを使ったときに適用されます。オフセット誤差調整後の最後のコード遷移((0.110...111)から(0.111...111))と理論値($V_{REF} - 1 \text{ LSB}$)との差をいいます。

ゲイン誤差マッチ

これは、2チャンネル間のゲイン誤差の差になります。

ゼロコード誤差

これは自然2進出力コーディングを使ったときに適用されます。特に、 V_{REF} ポイントを中心とする $-V_{REF} \sim +V_{REF}$ バイアス時の $2 \times V_{REF}$ 入力範囲に適用。中央スケール変化(全0から全1への変化)の理想VIN電圧(すなわち $V_{REF} - 1 \text{ LSB}$)からの差を意味します。

ゼロコード誤差マッチ

これは、2チャンネル間のゼロコード誤差の差になります。

正のゲイン誤差

これは自然2進出力コーディングを使ったときに適用されます。特に、 V_{REF} ポイントを中心とする $-V_{REF} \sim +V_{REF}$ バイアス時の $2 \times V_{REF}$ 入力範囲に適用。オフセット誤差調整後の最後のコード遷移((011...110)から(011...111))と理論値($+V_{REF} - 1 \text{ LSB}$)との差を意味します。

負のゲイン誤差

これは自然2進出力コーディングを使ったときに適用されます。特に、 V_{REF} ポイントを中心とする $-V_{REF} \sim +V_{REF}$ バイアス時の $2 \times V_{REF}$ 入力範囲に適用。オフセット誤差調整後の最後のコード遷移((100...000)から(100...001))と理論値($-V_{REF} + 1 \text{ LSB}$)との差を意味します。

トラック / ホールド・アクイジション時間

変換終了後、トラック / ホールド・アンプはトラック・モードに戻ります。トラック / ホールド・アクイジション時間は、変換終了後にトラック / ホールド・アンプが最終値の $\pm 1/2 \text{ LSB}$ 以内に出力が収まるために要する時間です。

信号対(ノイズ+歪み)比

これは、A/Dコンバータ出力での信号対(ノイズ+歪み)比の測定値です。信号は基本波のrms振幅で表し、ノイズは1/2サンプリング周波数($f_s/2$)までの全高調波の和で表します(DCを除く)。この比はデジタル化プロセスの量子化レベル数に依存し、レベル数が大きいほど、量子化ノイズは小さくなります。サイン波を入力した場合の、理想Nビット・コンバータに対する信号対(ノイズ+歪み)比の理論値は次式で表されます。

$$\text{信号対(ノイズ+歪み)比} = (6.02N + 1.76) \text{ dB}$$

したがって、12ビット・コンバータの場合、74dBになります。

総高調波歪み

総高調波歪み(THD)は、高調波のrms値総和と基本波の比です。AD7866の場合、次式で得られます。

$$\text{THD (dB)} = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2}}{V_1}$$

ここで、 V_1 は基本波のrms振幅で、 V_2, V_3, V_4, V_5, V_6 は2次~6次高調波のrms振幅です。

ピーク高調波またはスプリアス・ノイズ

高調波またはスプリアス・ノイズは、ADC出力スペクトル内のDCを除いて $f_s/2$ まで)次に大きい成分のrms値の、基本波rms値に対する比として定義されます。通常、この仕様の値はスペクトル内の最大の高調波により決定されますが、高調波がノイズ・フロアに埋めこまれているADCの場合は、ノイズ・ピークにより決定されます。

相互変調歪み

非線形性を持つアクティブ・デバイスに2つの周波数 f_a および f_b を含むサイン波を入力すると、さまざまな和および差の周波数 $m f_a \pm n f_b$ を持つ歪み成分が発生します。ここで、 $m, n = 0, 1, 2, 3, \dots$ です。相互変調歪項とは、 m と n が非ゼロの項をいいます。例えば、2次項には $(f_a + f_b)$ と $(f_a - f_b)$ が含まれ、3次項には $(2f_a + f_b)$ 、 $(2f_a - f_b)$ 、 $(f_a + 2f_b)$ 、 $(f_a - 2f_b)$ が含まれます。

AD7866は、入力帯域幅の上限に近い2つの入力周波数を使うCCIF標準を使ってテストされています。この場合、2次項は通常、元のサイン波の周波数から離れて位置し、3次項は通常、入力周波数に近い周波数に位置します。そのため、2次項と3次項は別々に指定されます。相互変調歪みの計算はTHDの仕様に従います。すなわち、dBで表した個々の歪み成分のrms総和の、基本波の和のrms振幅に対する比になります。

チャンネル間アイソレーション

チャンネル間アイソレーションは、チャンネル間でのクロストークのレベルの大きさを表します。フルスケール($2 \times V_{REF}$)の455kHzサイン波信号をすべての非選択入力チャンネルに入力し、10kHz信号($0V \sim V_{REF}$)を使って選択したチャンネルで455kHz信号の減衰を測定することにより決定します。このようにして得た値がAD7866の全4チャンネル間でのワーストケースになります。

PSR(電源除去比)

性能曲線の節を参照してください。

AD7866

性能曲線

特性1に、サンプル・レート1MHzと入力周波数300kHzにおけるAD7866の代表的なFFTプロットを示します。各種の電源電圧、サンプリング = 1MSPS、SCLK = 20MHzに対して、信号対(ノイズ + 歪み)比性能と入力周波数の関係を特性2に示します。

特性3a ~ 特性4bには、さまざまな条件下でAD7866の電源変動除去比とAV_{DD}電源リップル周波数の関係を示します。電源変動除去比は、ADC出力でのフルスケール周波数fの電力と、ADCのAV_{DD}電源に加えられた周波数f_sで100mVのサイン波の電力との比として定義されます。

$$PSRR(\text{dB}) = 10 \log(P_f/P_{fs})$$

P_f = ADC出力における周波数fの電力、P_{fs} = ADCのAV_{DD}電源

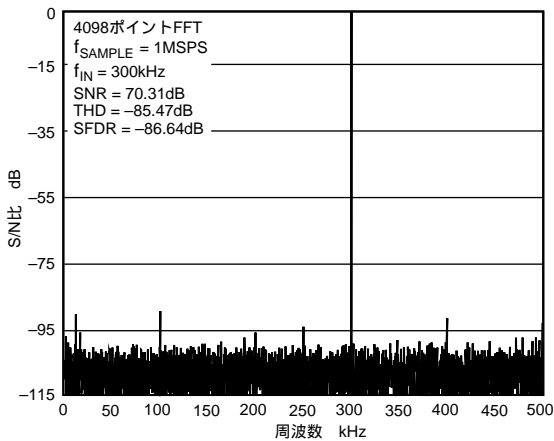
に加えられた周波数f_sの電力。ここで、100mVピークtoピークのサイン波をAV_{DD}電源に重畳し、デジタル電源は不変にします。特性3aと特性3bに、電源にデカップリングがない場合のAD7866のPSRRを示します。特性4aと特性4bに、電源に10μFと0.1μFのデカップリング・コンデンサを使用した場合のPSRRを示します。

特性5と特性6に、AD7866の代表的なDNLとINLのプロットを示します。

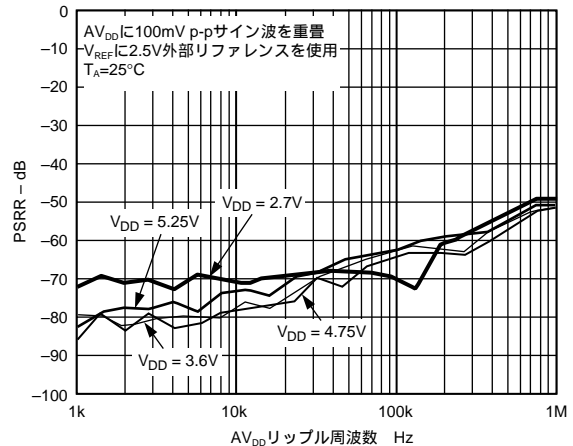
特性7に、各種のソース・インピーダンスに対して、総合高調波歪みとアナログ入力周波数の関係を示します。

特性8に、各種の電源電圧に対して、総合高調波歪みとアナログ入力周波数の関係を示します。アナログ入力の節を参照してください。

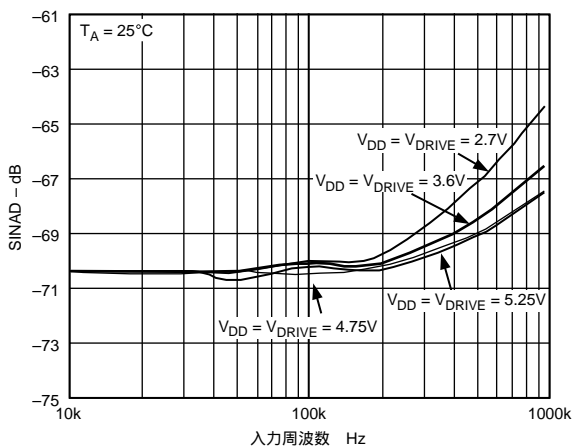
代表的な性能特性



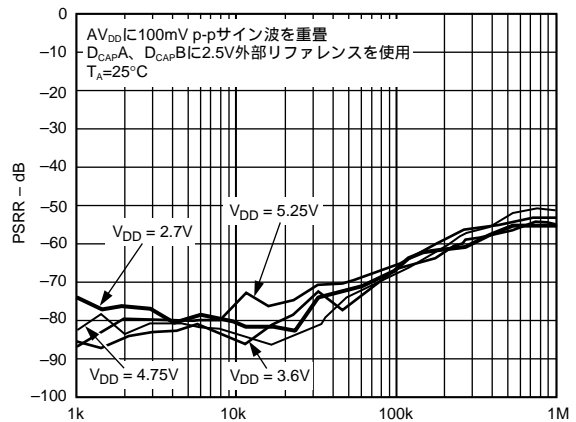
特性1 ダイナミック特性



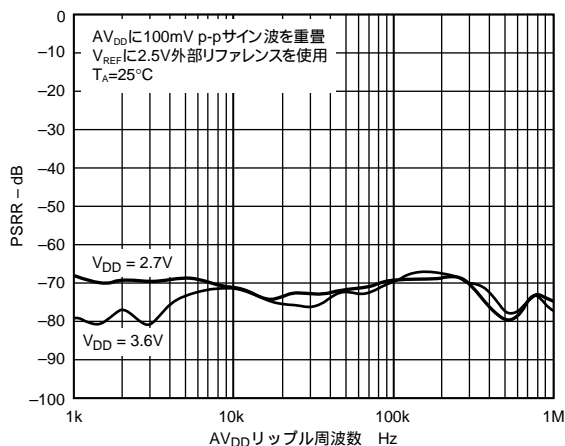
特性3a PSRR 対 電源リップル周波数(電源デカップリングなし)



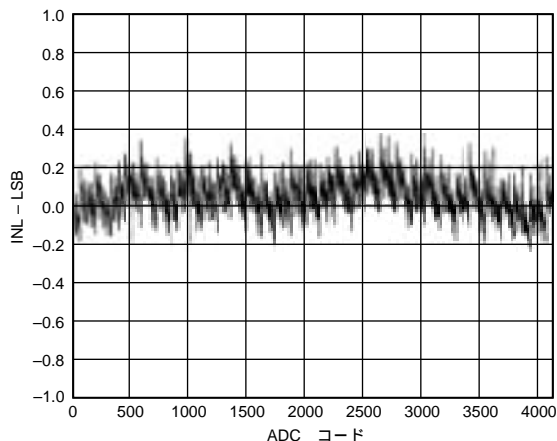
特性2 SINAD 対 入力周波数



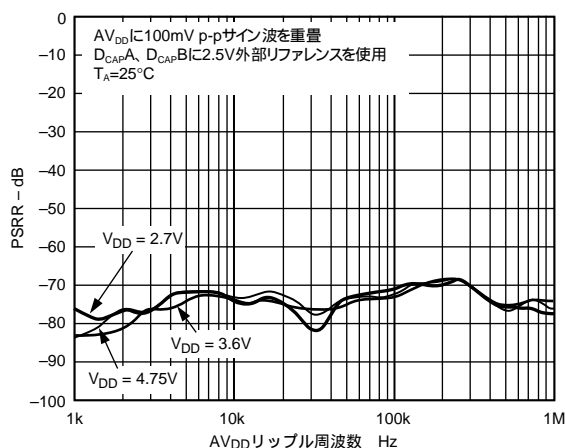
特性3b PSRR 対 電源リップル周波数(電源デカップリングなし)



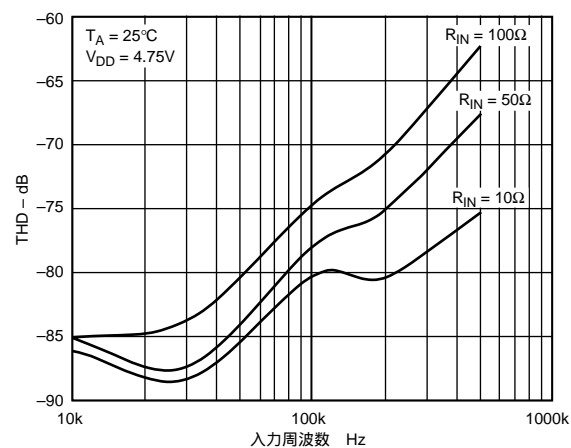
特性4a PSRR 対 電源リップル周波数(電源デカップリングあり)



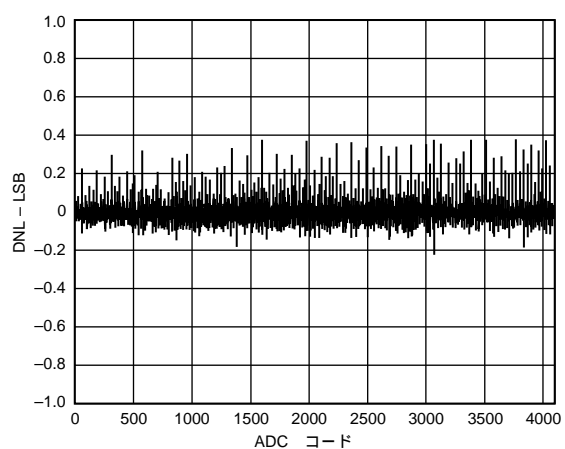
特性6 DC DNLのプロット



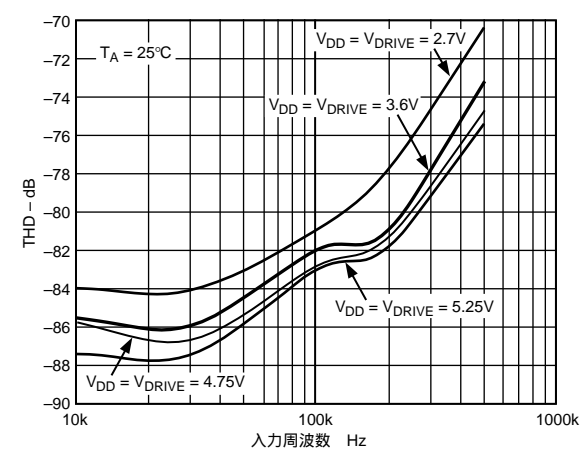
特性4b PSRR 対 電源リップル周波数(電源デカップリングあり)



特性7 各種のソース・インピーダンスに対するTHD 対 アナログ入力周波数



特性5 DC DNLのプロット



特性8 各種の電源電圧に対するTHD 対 アナログ入力周波数

AD7866

回路説明

AD7866は、単電源2.7 ~ 5.25V動作の、高速なマイクロパワー、デュアル12ビットA/Dコンバータです。5V電源または3V電源で動作させた場合、20MHzクロックで1MSPSのスループット・レートが可能です。

AD7866は、2個のトラック / ホールド・アンプ、2個の逐次比較型A/Dコンバータ、2本のデータ出力ピンを持つシリアル・インターフェースを小型の20ピンTSSOPパッケージに組み込んでおり、代替ソリューションより大幅な省スペース効果を提供します。シリアル・クロック入力は、デバイスからのデータ読み出しに使用し、さらに各逐次比較型A/Dコンバータのクロック・ソースとしても使われます。アナログ入力範囲は $0V \sim V_{REF}$ または $2 \times V_{REF}$ が選択可能であり、出力コーディングは自然2進または2の補数が選択可能です。AD7866は2.5Vリファレンスを内蔵しており、必要に応じて外部リファレンスによりこれをオーバードライブできます。さらに、各ADCの電源には個別に外部リファレンスを接続することも可能です。

AD7866はパワーダウン・オプションを持っているため、変換の間で消費電力を節約できます。このパワーダウン機能は、動作モードの節で説明するように、標準シリアル・インターフェースを使って実現されています。

コンバータの動作

AD7866は2個の逐次比較型A/Dコンバータを内蔵しており、各々は容量DACをベースとしています。図2と図3に、これらADCの簡略化した回路図を示します。ADCは、コントロール・ロジック、SAR、容量DACから構成されており、これらすべてを使って、サンプリング・コンデンサに対して一定量の電荷を加算および減算して、コンパレータを平衡状態に戻すようにします。図2に、アキュイジション位相にあるADCを示します。SW2は閉じて、SW1は位置Aにあり、コンパレータは平衡状態にあり、サンプリング・コンデンサは例えば V_{A1} 上の信号を取得します。

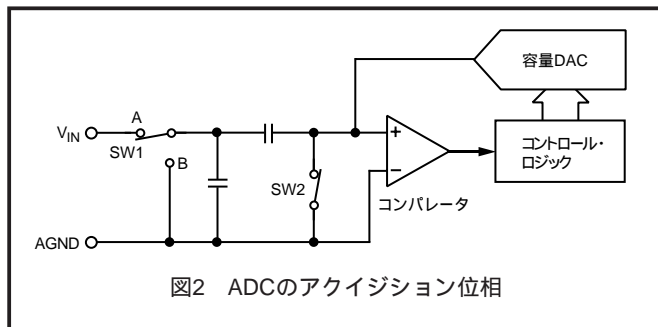


図2 ADCのアキュイジション位相

ADCが変換を開始すると(図3)、SW2が開いて、SW1が位置Bに移動して、コンパレータが不平衡状態になります。コントロール・ロジックと容量DACを使って、サンプリング・コンデンサに対して一定量の電荷を加算および減算して、コンパレータを平衡状態に戻すようにします。コンパレータが平衡状態に戻ると、変換が完了します。コントロール・ロジックはADC出力コードを発生します。図10と図11に、ADCの伝達関数を示します。

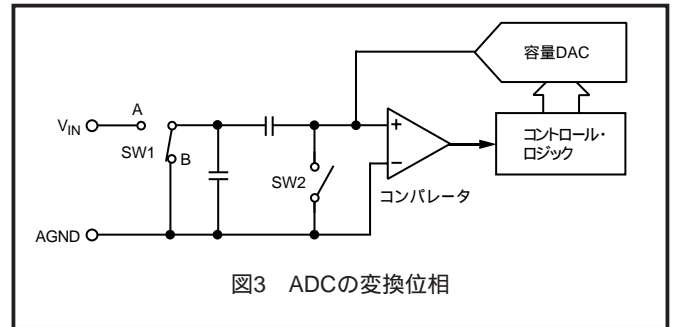


図3 ADCの変換位相

アナログ入力

図4に、AD7866のアナログ入力構造の等価回路を示します。ダイオードD1とD2はアナログ入力に対してESD保護機能を提供します。アナログ入力信号が電源レールより300mV以上高くないよう注意する必要があります。超えると、これらのダイオードが順方向にバイアスされて、サブストレートに電流が流れるようになります。これらのダイオードが損傷なしに許容できる最大電流は10mAです。図4に示すコンデンサC1は約10pF (typ)で、主にピン容量に起因します。抵抗R1はスイッチのオン抵抗で構成される集中定数部品です。この抵抗は約100 (typ)です。コンデンサC2はADCのサンプリング・コンデンサであり、容量は20pF (typ)です。ACアプリケーションの場合は、該当するアナログ入力ピンにRCローパス・フィルタを使用して、アナログ入力信号から高周波成分を除去することが推奨されます。高調波歪みとS/N比が重要であるアプリケーションでは、アナログ入力を低インピーダンス・ソースで入力する必要があります。ソース・インピーダンスが大きいと、ADCのAC性能が大きく影響を受けます。このために、入力バッファ・アンプの使用が必要になります。オペアンプの選択は、アプリケーションに依存します。

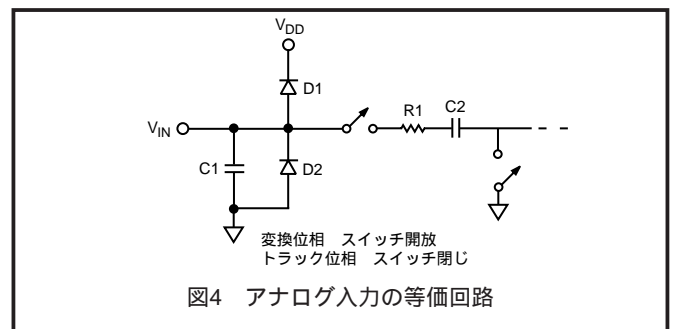


図4 アナログ入力の等価回路

アンプを使わないでアナログ入力を駆動するときは、ソース・インピーダンスを小さい値に制限する必要があります。最大ソース・インピーダンスは、許容可能な総高調波歪み (THD) の大きさに依存します。ソース・インピーダンスが増加するとTHDが大きくなるため、性能が低下します(特性7参照)。

アナログ入力範囲

AD7866のアナログ入力範囲は $0V \sim V_{REF}$ または $2 \times V_{REF}$ が選択可能であり、出力コーディングは自然2進または2の補数が選択可能です。RANGEピンは、アナログ入力範囲と出力コーディングを選択する際に使います(図5 ~ 図8)。CSの立ち上がりエッジで、位置AすなわちRANGEピンのロジック・レベルをチェックして、次の変換に対するアナログ入力範囲を決定します。

このピンをロジック・ローに接続すると、アナログ入力範囲は $0V \sim V_{REF}$ で、次の変換で使用する出力コーディングは自然2進になります。 \overline{CS} がローレベルに変化するときこのピンをロジック・ハイに接続すると、アナログ入力範囲は $2 \times V_{REF}$ で、出力コーディングは2の補数になります。ただし、 \overline{CS} の立ち下がりエッジの後の8個のSCLK立ち下がりエッジで、RANGEピンのロジック・レベルが変化すると、アナログ入力範囲はそのまま位置Bすなわち出力コーディングが他のオプションに変わります。例えば、 \overline{CS} の立ち下がりエッジでRANGEピンがローレベルで、かつSCLKの8個の立ち下がりエッジ後にハイレベルになると(図7) 次の変換に対しては、2の補数出力コーディングと $0V \sim V_{REF}$ 入力範囲が選択されます。図5～図8に、特定のアナログ入力範囲と特定の出力コーディング・フォーマットを選択した際のタイミング図の例を示します。表1に、各選択に対して必要なRANGEピンのロジック・レベルを示します。ロジック入力A0は、同時に変換するチャンネル対の選択に使用します。このピンのロジック状態を \overline{CS} の立ち下がりエッジでもチェックして、次の変換に対してマルチプレクサを設定します。このピ

ンがローレベルのとき、次の変換は各ADCのチャンネル1に対して行われ、このピンがハイレベルのとき、次の変換は各ADCのチャンネル2に対して行われます。

バイポーラ入力信号の処理

図9に、バイポーラ入力信号の処理に、 $2 \times V_{REF}$ 入力範囲と2の補数出力コーディング方式の組み合わせが有効であることを示します。バイポーラ入力信号がほぼ V_{REF} にバイアスされて、2の補数出力コーディングが選択されると、 V_{REF} がゼロコード・ポイントになり、 $-V_{REF}$ が負側のフルスケールになり、 $+V_{REF}$ が正側のフルスケールになり、ダイナミックレンジは $2 \times V_{REF}$ になります。

伝達関数

コード遷移はLSBの連続する整数倍値(1 LSB、2 LSBなど)で発生します。LSBサイズは $V_{REF}/4096$ になります。自然2進コーディングを選択した場合のAD7866の理論伝達特性を図10に、2の補数コーディングを選択した場合のAD7866の理論伝達特性を図11に、それぞれ示します。

表1 アナログ入力と出力コーディングの選択

位置A ¹ でのRANGEレベル	位置B ² でのRANGEレベル	入力範囲 ³	出力コーディング ³
ローレベル	ローレベル	$0V \sim V_{REF}$	自然2進数
ハイレベル	ハイレベル	$V_{REF} \pm V_{REF}$	2の補数
ローレベル	ハイレベル	$V_{REF}/2 \pm V_{REF}/2$	2の補数
ハイレベル	ローレベル	$0V \sim 2 \times V_{REF}$	自然2進数

注

- 位置A = \overline{CS} の立ち下がりエッジ
- ポイントB = SCLKの8番目の立ち下がりエッジ
- 次の変換に対して選択

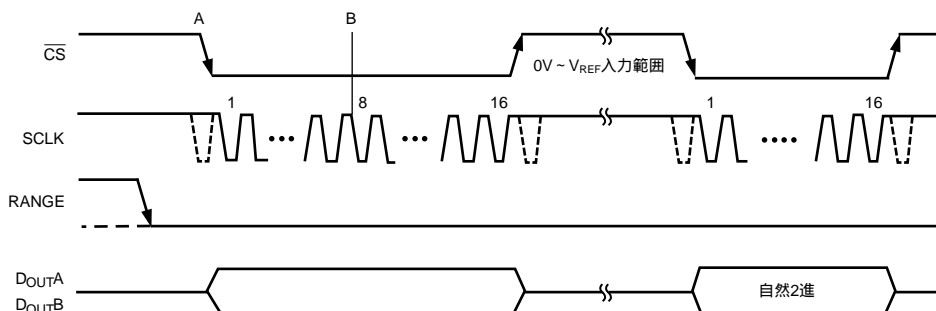


図5 $0V \sim V_{REF}$ の入力範囲と自然2進出力コーディングの選択

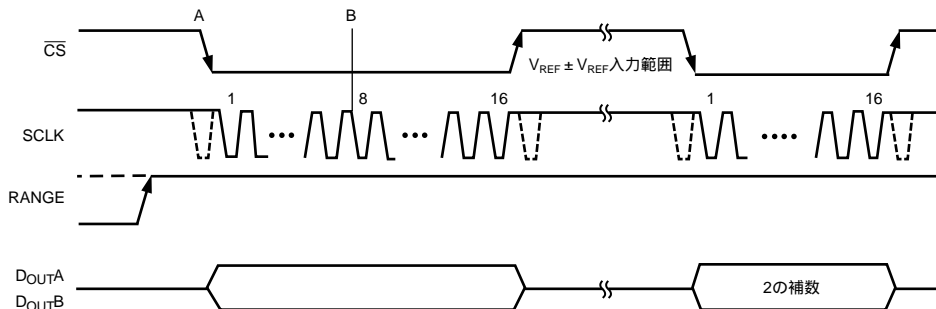


図6 $V_{REF} \pm V_{REF}$ の入力範囲と2の補数出力コーディングの選択

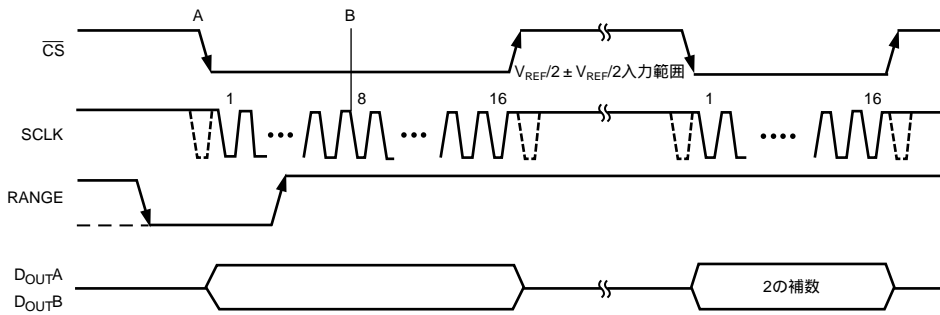


図7 $V_{REF}/2 \pm V_{REF}/2$ の入力範囲と2の補数出力コーディングの選択

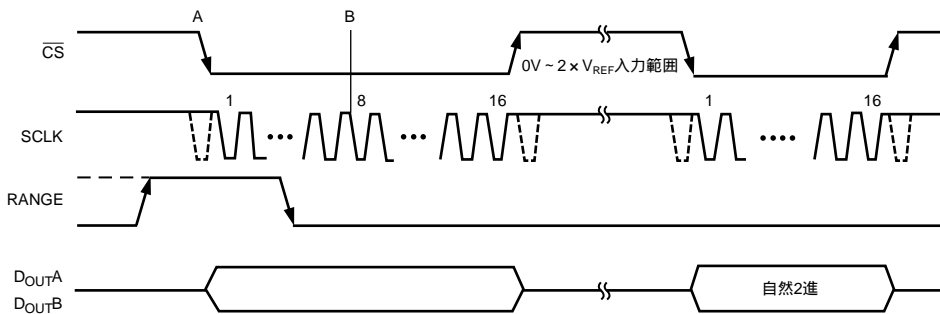


図8 $0V \sim 2 \times V_{REF}$ の入力範囲と自然2進出力コーディングの選択

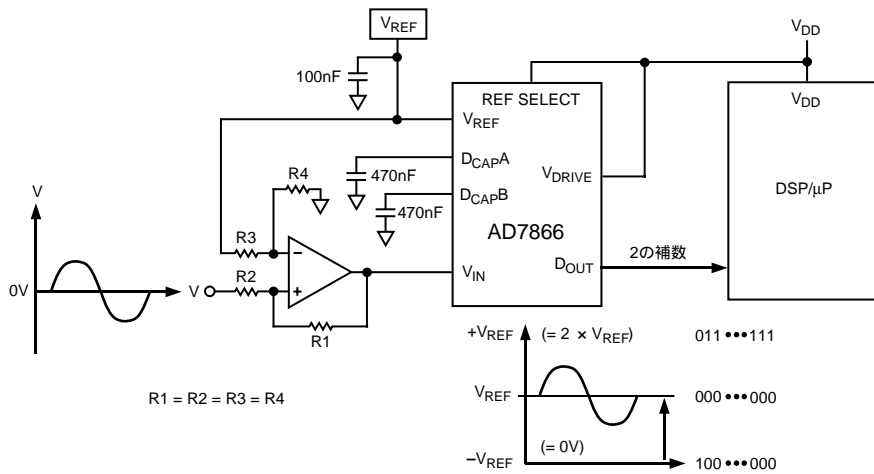


図9 AD7866でのバイポーラ信号の処理

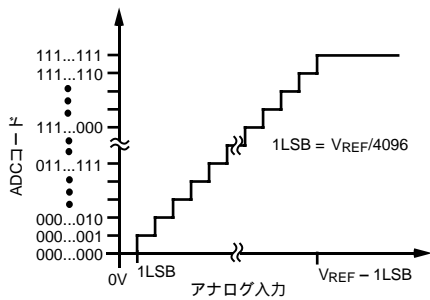


図10 $0V \sim V_{REF}$ の入力範囲での自然2進伝達特性

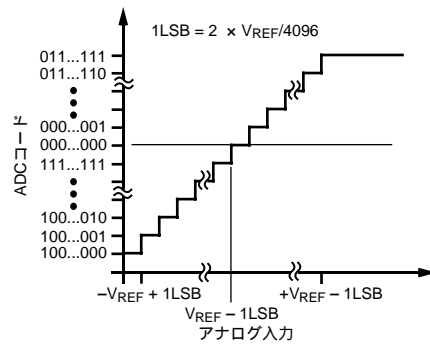


図11 $V_{REF} \pm V_{REF}$ の入力範囲での2の補数伝達特性

デジタル入力

AD7866に入力されるデジタル入力は、アナログ入力を制限する最大定格により制限されません。その代わりに、入力されるデジタル入力は7Vまで可能で、アナログ入力の場合のように $V_{DD} + 0.3V$ に制限されません。最大定格を参照してください。

SCLK、RANGE、REF SELECT、A0、 \overline{CS} が $V_{DD} + 0.3V$ に制限されないもう一つの利点は、電源シーケンスの問題がないことです。これらのデジタル入力の1つが V_{DD} の前に入力されても、 V_{DD} の前に0.3Vを上回る信号が入力された場合にアナログ入力で発生するようなラッチアップの危険性はありません。

 V_{DRIVE}

AD7866は V_{DRIVE} 機能も備えています。 V_{DRIVE} は、シリアル・インターフェースが動作する電圧を制御します。 V_{DRIVE} を使うと、ADCは3Vと5Vのプロセッサに容易にインターフェースできます。例えば、AD7866が $V_{DD} = 5V$ で動作する場合、 V_{DRIVE} ピンは3V電源に接続できるため、低い電圧のデジタル・プロセッサで大きなダイナミックレンジが可能になります。例えば、AD7866を $V_{DD} = 5V$ 、かつ $2 \times V_{REF}$ の入力範囲で使った場合にも、3Vのデジタル製品にインターフェースできます。

リファレンスの選択

AD7866には各種のリファレンス構成があります。REF SELECTピンを使うと、必要に応じて、内部2.5Vリファレンスの使用または外部リファレンスの入力、あるいは各内部ADCに対して個別の外部リファレンスも使用可能です。このREF SELECTピンをAGNDに接続すると、内部2.5VリファレンスがADCAとADC Bのリファレンス・ソースとして使われます。また、ピン V_{REF} 、 D_{CAPA} 、 D_{CAPB} にはデカップリング・コンデンサを接続する必要があります(それぞれ100nF、470nF、470nFを推奨)。REF SELECTピンをロジック・ハイに接続すると、 V_{REF} ピンを使って外部リファレンスがAD7866に入力されます(内部リファレンスがオーバードライブされます)。この場合、 D_{CAPA} ピンと D_{CAPB} ピンにデカップリング・コンデンサが必要です。ただし、 V_{REF} ピンをAGNDに、REF SELECTをロジック・ローに、それぞれ接続した場合、各外部リファレンスが D_{CAPA} ピンと D_{CAPB} ピンを介して、それぞれADCAとADC Bに入力されます。表IIに、これらのリファレンス・オプションを示します。

仕様性能に対して直前の設定が使用され、同じリファレンス電圧が D_{CAPA} と D_{CAPB} に入力されます。該当するリファレンス・ピンの接続を代表的な接続図に示します。内部リファレンスを使う場合、 V_{REF} ピンとAGNDの間の V_{REF} ピンに近い位置に100nFのコンデンサを接続する必要があります。図12に、これらの接続を示します。

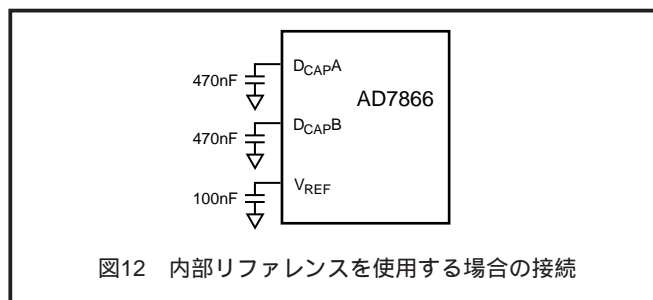
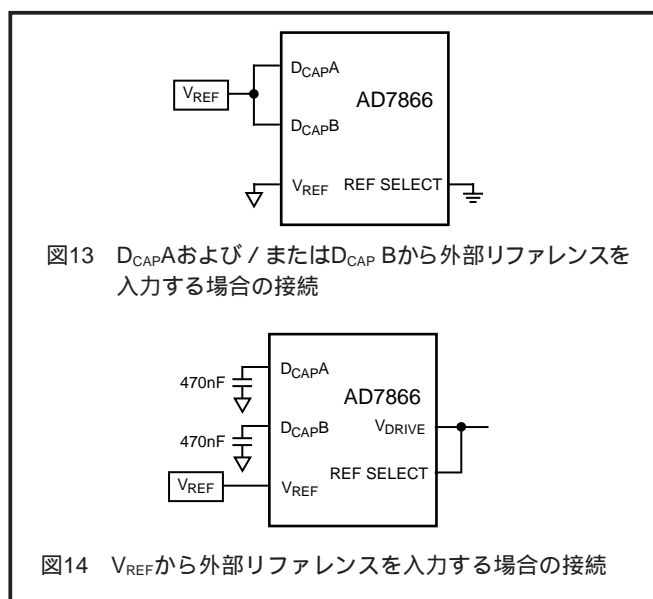
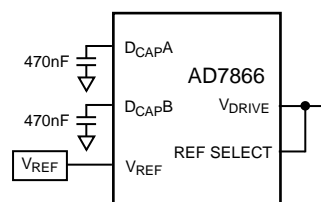


図12 内部リファレンスを使用する場合の接続

図13に、外部リファレンスを D_{CAPA} と D_{CAPB} に入力する場合に必要な接続を示します。この例では、同じリファレンス電圧が各ピンに接続されていますが、各オンチップADCの各ピンに対して異なる電圧を入力することもできます。これらのピンに入力される外部リファレンスの範囲は2~3Vですが、仕様性能を実現するには、 $2.5V \pm 1\%$ である必要があります。図14に、 V_{REF} ピンを使って内部リファレンスをオーバードライブする3つ目のオプションを示します。これは、 V_{REF} ピンと内部リファレンスの間に直列抵抗があるために可能になっています。この外部リファレンスの範囲は2~3Vですが、この場合も、仕様性能に可能な限り近づけるためには2.5Vリファレンスの使用が望ましいです。 D_{CAPA} と D_{CAPB} が各内部リファレンス・バッファをデカップリングしています(図15)。内部2.5Vリファレンスを使用し、さらに外部でもこれを使用する場合、 V_{REF} ピンまたは D_{CAPA} ピンまたは D_{CAPB} ピンから取り出すことができます。

図13 D_{CAPA} および / または D_{CAPB} から外部リファレンスを入力する場合の接続図14 V_{REF} から外部リファレンスを入力する場合の接続

表II リファレンスの選択

リファレンス・オプション	リファレンスの選択	V_{REF}^1	D_{CAPA} と D_{CAPB}^2
内部 V_{REF} に外部リファレンスを接続 D_{CAPA} および / または D_{CAPB} に 外部リファレンスを接続	ローレベル ハイレベル ローレベル	デカップリング・コンデンサ 外部リファレンス AGND	デカップリング・コンデンサ デカップリング・コンデンサ 外部リファレンスAおよび / またはリファレンスB

注

1 デカップリング・コンデンサ推奨値 = 100 nF。

2 デカップリング・コンデンサ推奨値 = 470 nF。

AD7866

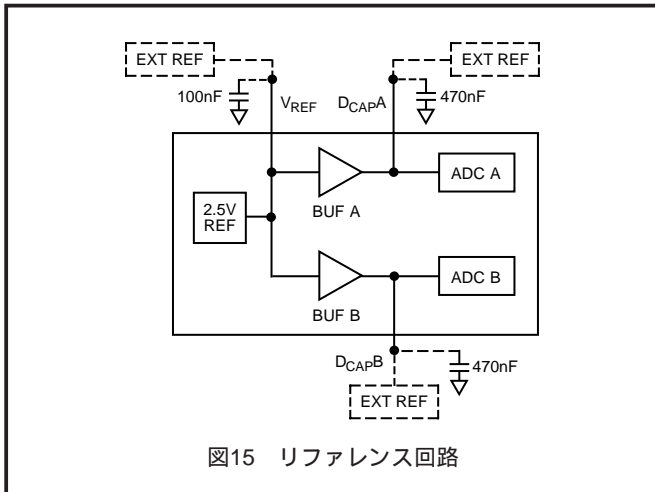


図15 リファレンス回路

V_{REF} ピンから取り出す場合、数mAの駆動能力であるため、バッファを介して外部に接続する必要があります。リファレンス電圧を D_{CAPA} ピンまたは D_{CAPB} ピンから取り出す場合は、必ずしもバッファが必要とは限りません。いずれのピンも $100\ \mu\text{A}$ 程度の電流駆動能力を持っていますが、大きな電流ソース要求では、ピンで大きな電圧降下が発生します。これら各ピンの出力インピーダンスは $50\ (\text{typ})$ です。さらに、このポイントは内部でADCに加えられる実際の電圧を表しているため、電流負荷に起因する電圧降下またはダイナミック負荷に起因する外乱は直接ADC変換に影響を与えます。このため、大きな電流源が必要な場合、またはダイナミック負荷が存在する場合には、出力にバッファを使用してデバイスを駆動することを推奨します。

V_{REF} 、 D_{CAPA} 、または D_{CAPB} の各ピンに接続できる適切な外部リファレンス・デバイスの例としては、AD780、REF192、REF43、AD1582などがあります。

動作モード

AD7866の動作モードは、変換時に \overline{CS} 信号のロジック状態を制御することにより選択されます。ノーマル・モード、パーシャル・パワーダウン・モード、フルパワーダウン・モードの3つの動作モードがあります。変換開始後の \overline{CS} がハイレベルになるポイントで、デバイスが入るパワーダウン・モードが決定されます。同様に、既にパワーダウン・モードにある場合、デバイスがノーマル動作に戻るか、パワーダウン・モードに留まるかが \overline{CS} によって制御されます。これらの動作モードは、柔軟なパワー・マネジメント・オプションを提供するために設計されています。これらのオプションを選択して、さまざまなアプリケーションの要求に対して消費電力 / スループット・レート比を最適化できます。

ノーマル動作モード

このモードでは、AD7866が常時フルパワーオン状態にあるためパワーアップ時間を気にする必要がないので、最高スループット・レート性能が得られます。図16に、このモードでのAD7866動作の一般的な図を示します。

変換は、シリアル・インターフェースの節で説明するように、 \overline{CS} の立ち下がリエッジで開始されます。デバイスを常時パワーアップさせておくために、 \overline{CS} の立ち下がリエッジの後の、SCLKの少なくとも10立ち下がリエッジが経過するまで、 \overline{CS} をローレベルに維持しておく必要があります。10番目のSCLKの立ち下がリエッジの後で、かつ16番目のSCLKの立ち下がリエッジの前の任意のタイミングで \overline{CS} をハイレベルにすると、デバイスはパワーアップ状態を維持しますが、変換は終了して、 D_{OUTA} と D_{OUTB} はトライアステートに戻ります。変換を完了して変換結果をアクセスするためには、シリアル・クロックで16サイクルが必要です。 D_{OUT} ラインはSCLKで16サイクル経過してもトライアステートに戻りませんが、 \overline{CS} がハイレベルに戻ると、トライアステートに戻ります。さらにSCLKで16サイクル間 \overline{CS} がローレベルに維持されると、図22に示すように、他の内部ADCの結果も同じ D_{OUT} ラインからアクセスできます(シリアル・インターフェースの節を参照)。各変換結果の前にステータス・ビットが出力されるので、後続の結果を出力するADCが識別できます。SCLKで32サイクルが経過すると、SCLKの32番目の立ち下がリエッジで D_{OUT} ラインはトライアステートに戻ります。この前に、 \overline{CS} をハイレベルにすると、 D_{OUT} ラインはその時点でトライアステートに戻ります。その後、SCLKの32サイクル間 \overline{CS} はローレベルのアイドルを続けて、2つの結果の読み出しが完了するとバスはトライアステートに戻るため、必要に応じて、次の変換のある時間だけ前 (\overline{CS} がローレベルにアイドル中に) に再度ハイレベルにできます。

データ転送が完了して、 D_{OUTA} と D_{OUTB} がトライアステートに戻った後、静止時間 t_{QUIET} が経過した後に \overline{CS} を再度ローレベルにして、次の変換を開始できます。

パーシャル・パワーダウン・モード

このモードは、低いスループット・レートが必要とされるアプリケーションでの使用を目的としています。いずれかのADCが各変換の間にパワーダウンされるか、または一連の変換を高いスループット・レートで実行した後に、これら複数の変換バーストの間の比較的長い期間にADCがパワーダウンされます。AD7866がパーシャル・パワーダウンになると、内部リファレンスとリファレンス・バッファ以外の全アナログ回路がパワーダウンになります。パーシャル・パワーダウンにすると、SCLKの2番目の立ち下がリエ

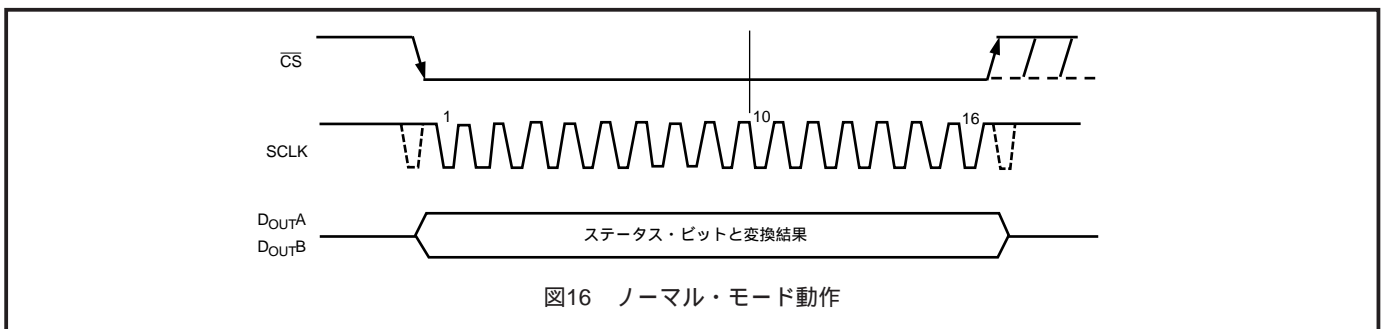


図16 ノーマル・モード動作

ツジの後で、SCLKの10番目の立ち下がりエッジの前にCSをハイレベルにすることにより、変換プロセスを中断させます(図17)。SCLKのこのウインドウ内でCSをハイレベルにすると、デバイスはパーシャル・パワーダウンになり、CSの立ち下がりエッジで開始された変換が終了し、D_{OUT}AとD_{OUT}Bはトライアステートに戻ります。SCLKの2番目の立ち下がりエッジの前にCSをハイレベルにすると、デバイスはノーマル・モードに留まり、パワーダウンされません。この機能により、CSライン上のグリッチに起因して偶発的にパワーダウンしてしまうことを防止します。

この動作モードを終了して、AD7866を再度パワーアップするときは、ダミー変換が実行されます。CSの立ち下がりエッジでデバイスはパワーアップを開始し、CSがローレベルに維持されている間パワーアップを続けて、SCLKの10番目の立ち下がりエッジに終了します。外部リファレンスを使用する場合、デバイスはSCLKで16サイクル経過すると完全にパワーアップし、次の変換から有効なデータが得られます(図18)。SCLKの2番目の立ち下がりエッジの前にCSをハイレベルにすると、AD7866は再度パーシャル・パワーダウンになります。この機能は、CSライン上のグリッチに起因して偶発的にパワーアップしてしまうことを防止します。すなわち、CSの立ち下がりエッジでデバイスがパワーアップを開始しても、CSの立ち上がりエッジで再度パワーダウンされます。AD7866が既にパーシャル・パワーダウン・モードにあり、かつSCLKの2番目と10番目の立ち下がりエッジの間にCSをハイレベルにした場合、デバイスはフルパワーダウン・モードになります。各種の構成におけるパーシャル・パワーダウンに関連するパワーアップ時間の詳細については、パワーアップ時間の節を参照してください。

フルパワーダウン・モード

このモードは、フルパワーダウンからのパワーアップにはパーシャル・パワーダウンからのパワーアップよりさらに長い時間が必要なため、パーシャル・パワーダウン・モードより低いスループット・レートが要求されるアプリケーションでの使用を目的としています。このモードは、比較的高スループット・レートで実行される一連の変換の後ろに長い無動作時間(すなわちパワーダウン)が続くアプリケーションに適しています。AD7866がフルパワーダウンになると、全アナログ回路がパワーダウン

されます。パーシャル・パワーダウンと同じ方法でフルパワーダウンに入りますが、図17に示すタイミング・シーケンスを2回実行する点異なります。SCLKの2番目の立ち下がりエッジの後の、SCLKの10番目の立ち下がりエッジの前にCSをハイレベルにすることにより、同様の方法で変換プロセスを中断させる必要があります。デバイスはこの時点でパーシャル・パワーダウン・モードに入ります。フルパワーダウンになるためには、次の変換サイクルを同様の方法で中断させる必要があります(図19)。SCLKのこのウインドウ内でCSをハイレベルにすると、デバイスは完全にパワーダウンします。

注: CSをハイレベルにしてパワーダウン・モードに入った後は、SCLKで16サイクルを完了させる必要はありません。

フルパワーダウンを終了し、AD7866を再度パワーアップさせるときは、パーシャル・パワーダウンからパワーアップする際にダミー変換が実行されます。CSの立ち下がりエッジでデバイスはパワーアップを開始し、CSがローレベルに維持されている間パワーアップを続けて、SCLKの10番目の立ち下がりエッジに終了します。必要とされるパワーアップ時間が経過した後に変換を開始する必要があります(図20)。AD7866に関するパワーアップ時間については、パワーアップ時間の節を参照してください。

パワーアップ時間

AD7866にはパーシャル・パワーダウンとフルパワーダウンの2つのパワーダウン・モードがあります。これらについては動作モードの節で説明してあります。この節では、いずれかのモードから抜け出す際のパワーアップ時間について説明します。ここで述べるパワーアップ時間はV_{REF}、D_{CAP}A、D_{CAP}Bの各ピンに推奨コンデンサを接続した場合に適用されることに注意してください。

フルパワーダウンからパワーアップするためには、CSの立ち下がりエッジからt_{POWER UP}として約4msが必要ですが(図20)、パーシャル・パワーダウンからのパワーアップは、これより遥かに小さい時間で済みます。内部リファレンスを使用する場合、パワーアップ時間は、4 μs (typ)ですが、外部リファレンスを使用する場合は、パワーアップ時間は1 μs

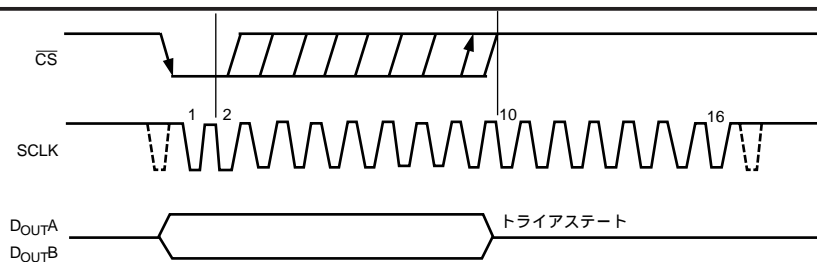


図17 パーシャル・パワーダウン・モードの開始

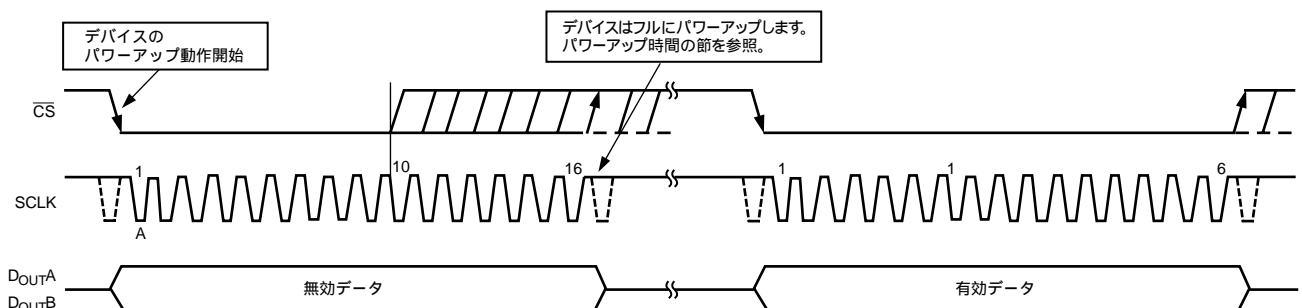


図18 パーシャル・パワーダウン・モードの終了

AD7866

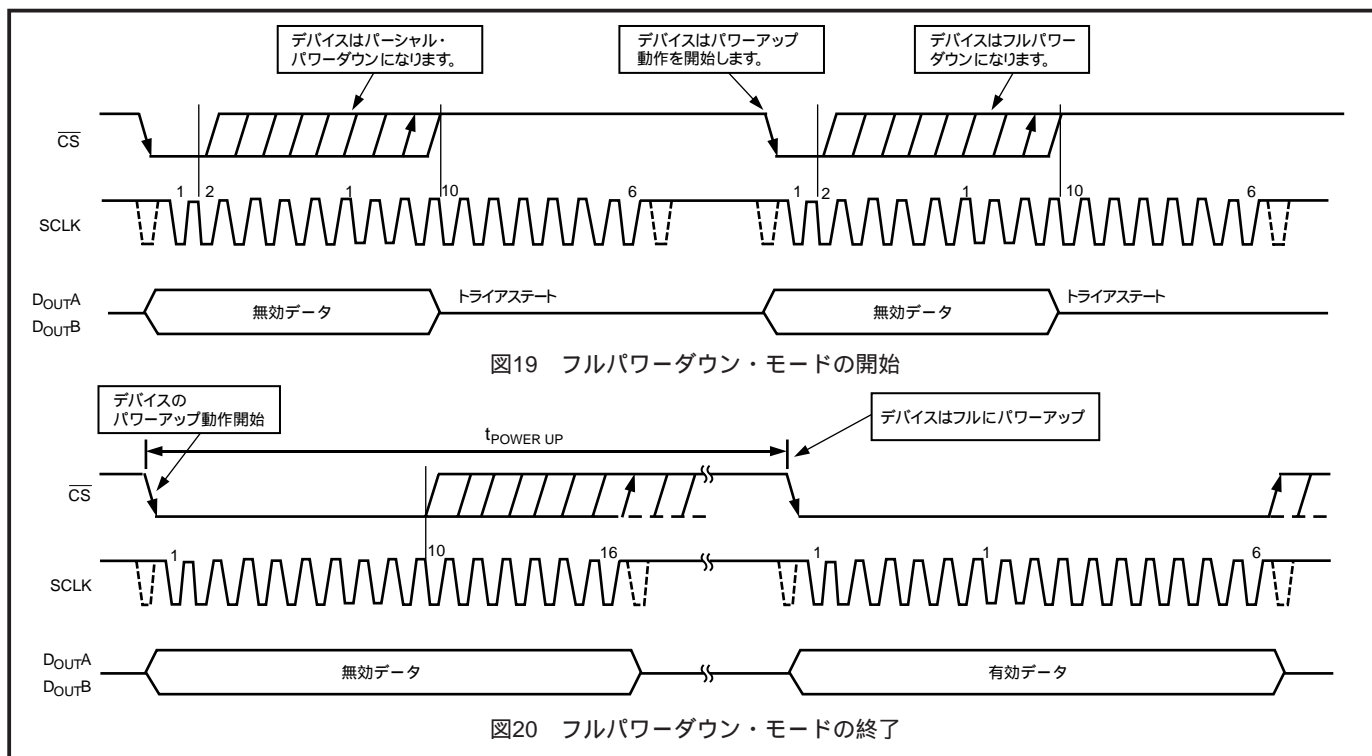


図19 フルパワーダウン・モードの開始

図20 フルパワーダウン・モードの終了

(typ)になります。これは、外部リファレンスを使用している場合に、最大20MHzまでの任意のSCLK周波数で、パーシャル・パワーダウン(図18)からデバイスが1ダミー・サイクルあれば常にパワーアップできることを意味しています。ダミー・サイクルが完了すると、ADCはフル・パワーアップして、入力信号を正常に取り込むことができます。内部リファレンスを使用している場合にも、SCLKが十分低速で、有効な変換が要求される前に所要パワーアップ時間を確保できれば、1ダミー・サイクルで十分にデバイスをパワーアップさせることができます。この他に、ダミー変換後にバスがトリアステートに戻るタイミングから \overline{CS} の次の立ち下がリエッジまでの間に、静止時間 t_{QUIET} の確保も必要です。もう一つの方法として、ダミー・サイクルを十分長くするためにSCLKを低速化する代わりに、 \overline{CS} のハイレベル時間を延長して、フルパワーダウンからパワーアップする際の所要パワーアップ時間(図20)を含むようにすることもできます。

パーシャル・パワーダウンから抜け出す際の、内部リファレンスまたは外部リファレンスの使用による所要パワーアップ時間の違いは、主に内部リファレンス・バッファに起因しています。内部リファレンスを使っている場合、パーシャル・パワーダウン・モードでパワーダウンした後、再度パワーアップする必要がありますが、外部リファレンスを使っている場合には再度パワーアップする必要はありません。これらのバッファをパワーアップするために必要な時間は単にそれ自身がパワーアップする時間だけでなく、VREF、DCAPA、DCAPBの各ピンに存在するデカップリング・コンデンサを充電するために必要な時間も加わります。パーシャル・パワーダウンからパワーアップする際、 \overline{CS} の立ち下がリエッジの後にデバイスが受け取る最初のSCLKエッジの後で、デバイスのパワーダウン中にホールド・モードにあったトラック / ホールドがトラック・モードに戻ることに、注意する必要があります。これを図18の位置Aに示します。

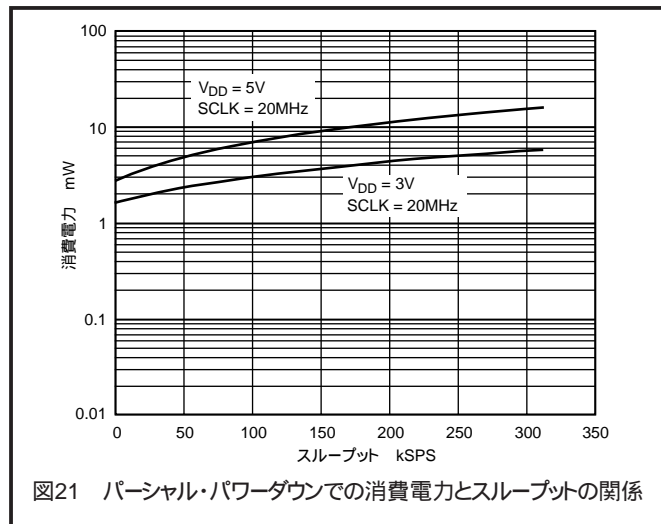
電源が最初にAD7866に加えられるとき、ADCはパワーダウン・モードまたはノーマル・モードからパワーアップできます。この理由により、デバイスが完全にパワーアップした後に有効な変換を開始させるようにす

るため、1ダミー・サイクルを経過させることが最適です。同様に、電源を加えた直後にデバイスをパーシャル・パワーダウン・モードにする場合にも、2ダミー・サイクルを経過させる必要があります。最初のダミー・サイクルでは10番目のSCLK立ち下がリエッジが経過するまで \overline{CS} をローレベルに維持します(図16)。2番目のサイクルでは、2番目のSCLK立ち下がリエッジと10番目のSCLKエッジの間に \overline{CS} をハイレベルにします(図17)。一方、電源を加えたとき、デバイスをフルパワーダウン・モードにする場合、3ダミー・サイクルを経過させる必要があります。最初のダミー・サイクルでは10番目のSCLK立ち下がリエッジが経過するまで \overline{CS} をローレベルに維持します(図16)。2番目と3番目のサイクルで、デバイスがフルパワーダウン・モードになります(図19)。動作モードの節を参照してください。

電源がAD7866に加えられたら、すべての外部リファレンスがパワーアップし、すべてのリファレンス・コンデンサが最終値まで充電されるように十分な時間を確保する必要があります。また、内部リファレンス・バッファが各種のリファレンス・バッファ・デカップリング・コンデンサを最終値まで充電できるように十分な時間を確保する必要があります。その後、AD7866をノーマル・モードにするために、1ダミー・サイクル(約1~4 μ s)の経過を待ちます。ダミー変換の直後に最初の有効な変換を実行する場合は、十分なアキュイジション時間を確保するための注意が必要です。前述のように、パワーダウン・モードからパワーアップする際、デバイスは \overline{CS} の立ち下がリエッジの後に入力された最初のSCLKエッジでトラックに戻ります。ただし、電源が加えられた後に最初にADCがパワーアップする際は、トラック / ホールドは既にトラック状態にあります。これは、所望の動作モードでADCがパワーアップし、したがってモードを変えるためにダミー・サイクルが不要な場合には、トラック / ホールドをトラック状態にするために必要なダミー・サイクルは不要ことを意味しています(ADC電源電流を監視できると仮定)。電流を監視できない場合には、対応するダミー・サイクルを実行して、デバイスを希望するモードにする必要があります。

消費電力とスループット・レートの関係

変換を行わないときにAD7866のパーシャル・パワーダウン・モードを使うことにより、スループット・レートを低く抑えて、ADCの平均消費電力を節約できます。図21に、スループット・レートを減少させたとき、デバイスがパーシャル・パワーダウン状態に留まる時間が長くなるほど、平均消費電流が小さくなる様子を示します。



例えば、AD7866が連続サンプリング・モードにあり、スループット・レート = 100kSPS、SCLK = 20MHz (V_{DD} = 5V) 変換の間にデバイスがパーシャル・パワーダウン・モードになる場合、ノーマル動作時の最大消費電力は24mW (V_{DD} = 5V) と計算されます。パーシャル・パワーダウンからのパワーアップ時間に1ダミー・サイクルすなわち1 μ s (外部リファレンス使用の場合) を使い、残りの変換時間にもう1サイクルすなわち1 μ s 使う場合、AD7866は各変換サイクルに2 μ s を要し、24mW消費すると言えます。変換サイクルの残りの部分8 μ s

の間、デバイスはパーシャル・パワーダウン・モードに留まります。AD7866は変換サイクルの残りの8 μ s の間に2.8mW消費したと言えます。スループット・レート = 100kSPSの場合、サイクル時間は10 μ s となり、各サイクルで消費される平均電力は (2/10) \times (24mW) + (8/10) \times (2.8mW) = 7.04mWになります。V_{DD} = 3V、SCLK = 20MHz、かつデバイスが変換の間に再びパーシャル・パワーダウン・モードになる場合、ノーマル動作で消費される電力は8.4mWになります。AD7866は2ms間の各変換サイクルで8.4mWを消費し、デバイスがパーシャル・パワーダウンにある残りの8ms間で1.68mW消費すると言えます。スループット・レート = 100kSPSの場合、各変換サイクルで消費される平均電力は (2/10) \times (8.4mW) + (8/10) \times (1.68mW) = 3.02mWになります。図21に、AD7866に対して5Vおよび3Vの電源を使用した場合に、変換の間でパーシャル・パワーダウン・モードを使った際の消費電力とスループット・レートの関係を示します。

シリアル・インターフェース

図22に、AD7866に対するシリアル・インターフェースの詳細なタイミング図を示します。シリアル・クロックは変換クロックとして使用され、変換時にAD7866に入出力される情報の転送制御にも使用されます。CS信号が、データ転送と変換プロセスを開始させます。CSの立ち下がりエッジで、トラック / ホールドがホールド・モードになり、バスはトライアステートから抜け出して、この時点でアナログ入力サンプルされます。変換はこの時点で開始され、完了までにSCLKで16サイクルを要します。SCLKで13個の立ち下がりエッジが経過すると、トラック / ホールドが次のSCLK立ち上がりエッジでトラック状態に戻ります (図22のポイントB)。CSの立ち上がりエッジで変換が終了し、D_{OUT}AとD_{OUT}Bがトライアステートに戻ります。CSをハイレベルにしないでD_{OUT}Aに対してローレベルをさらに16 SCLKサイクル間維持すると、変換BからのデータがD_{OUT}Aに出力されます。

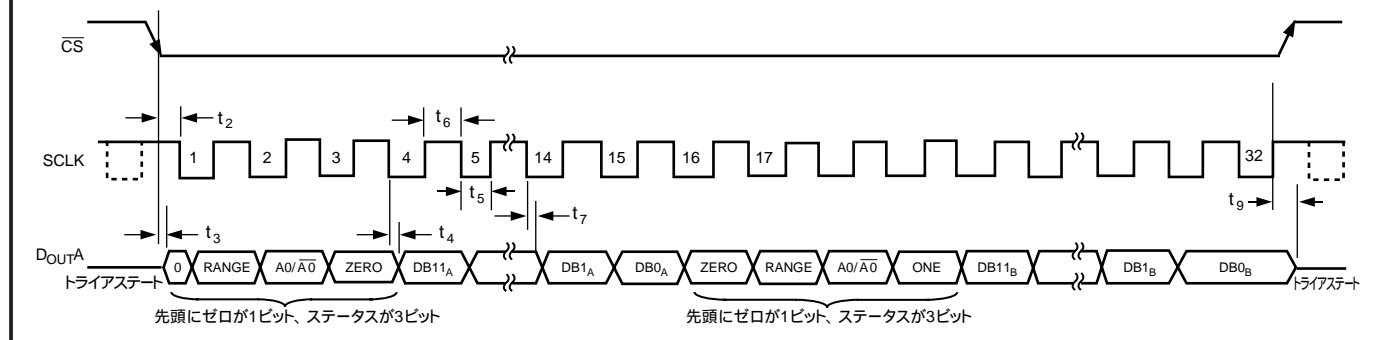
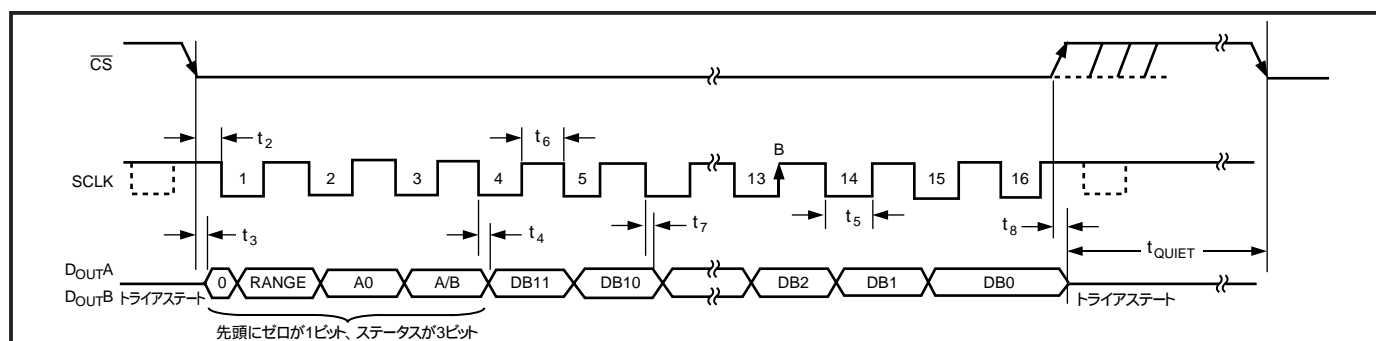


表 III ステータス・ビット説明

ビット	ビット名	コメント
15	ZERO	先頭のゼロ・ビット。このビットは常にゼロ出力。
14	RANGE	このビットの極性は、RANGEピンを使って選択してあるアナログ入力範囲を表示します。このビットが“0”の場合、前の転送での \overline{CS} の立ち下がりがエッジで、RANGEピンがロジック・ローレベルにあり、今度の変換に対して $0V \sim V_{REF}$ のアナログ入力範囲が指定されていることを意味します。このビットが“1”の場合、前の転送での \overline{CS} の立ち下がりがエッジで、RANGEピンがロジック・ハイレベルにあり、今度の変換に対して $2 \times V_{REF}$ のアナログ入力範囲が指定されていることを意味します。アナログ入力の節を参照してください。
13	A0	このビットは変換を行うチャンネル(チャンネル1またはチャンネル2)を指定します。このビットが“0”の場合、ADCのチャンネル1からの変換結果を、まだ“1”の場合は、同じADCのチャンネル2からの変換結果を、それぞれ示します。
12	A/B	このビットは、変換結果を出力するADCを表します。このビットが“0”の場合、結果はADCAから、“1”の場合、結果はADC Bからであることを表します。これは1つのシリアル・ポートしか使用できなく、1本の D_{OUT} ラインを使う場合に特に便利です(図23)。

同様に、 D_{OUTB} に対して \overline{CS} をさらに16 SCLKサイクル間ローレベルに維持すると、変換Aからのデータが D_{OUTB} に出力されます。この様子を図23に示します。この図では D_{OUTA} について示してあります。このケースでは、使用されている D_{OUT} ラインが32番目のSCLK立ち上がりエッジか、または \overline{CS} の立ち上がりエッジのいずれか早く発生する方でトリアステートに戻ることに注意してください。

変換プロセスを実行してAD7866のいずれかのデータ・ライン上に1変換データを取り出すためには、シリアル・クロックで16サイクルが必要です。 \overline{CS} がローレベルになると、マイクロコントローラまたはDSPIによって先頭のゼロが読み出されます。次に残りのデータが3ビットのデータ・ステータスから始まり後続のSCLKの立ち下がりがエッジで出力されます。すなわち、シリアル・クロックの最初の立ち下がりがエッジにより先頭のゼロが、次の立ち下がりがエッジで3ビットのステータス・ビット内の最初のビットが出力されます。前の(15番目の)立ち下がりがエッジで出力されたデータ転送の最終ビットは16番目の立ち下がりがエッジで有効になります。低速のSCLKを使用するアプリケーションでは、各SCLK立ち上がりエッジでデータを読み込むことができます。すなわち \overline{CS} の立ち下がりがエッジ後の最初のSCLK立ち上がりエッジで先頭のゼロを、15番目の立ち上がりエッジで $DB0$ をそれぞれ読み込むことができます。使用している D_{OUT} ライン上で、先頭のゼロに続く3ビットのステータス・ビットはその後に続く変換結果に関する情報を提供します。表IIIに、これら識別ビットの解釈を示します。

マイクロプロセッサ・インターフェース

AD7866に内蔵されているシリアル・インターフェースを使うと、さまざまな多くのマイクロプロセッサにデバイスを直接接続できます。この節では、AD7866を一般的な幾つかのマイクロコントローラやDSPのシリアル・インターフェース・プロトコルとインターフェースさせる方法について説明します。

AD7866とADSP-218xとのインターフェース

ADSP-218xファミリーのDSPIは、外付けロジックなしで直接AD7866にインターフェースできます。AD7866の V_{DRIVE} ピンでは、ADSP-218xと同じ電源電圧を使います。この方法により、必要に応じて、ADCはシリアル・インターフェースすなわちADSP-218xより高い電圧で動作することが可能になります。この例では、AD7866の D_{OUTA} と D_{OUTB} がADSP-218xの両シリアル・ポートに接続されています。

SPORT0コントロール・レジスタは次のように設定します。

```
TFSW = RFSW = 1、交番フレーミング
INVRFS = INVTFS = 1、アクティブ・ロー・フレーム信号
DTYPE = 00、右詰めデータSLEN = 1111、16ビット・データ・ワード
ISCLK = 1、内部シリアル・クロック
TFSR = RFSR = 1、ワード毎のフレーム
IRFS = 0
ITFS = 1
```

SPORT1コントロール・レジスタは次のように設定します。

```
TFSW = RFSW = 1、交番フレーミング
INVRFS = INVTFS = 1、アクティブ・ロー・フレーム信号
DTYPE = 00、右詰めデータSLEN = 1111、16ビット・データ・ワード
ISCLK = 0、外部シリアル・クロック
TFSR = RFSR = 1、ワード毎のフレーム
IRFS = 0
ITFS = 1
```

AD7866にパワーダウン・モードを実現するときは、SLENを1001に設定して8ビットのSCLKバーストを発生させます。接続図を図24に示します。ADSP-218xではSPORT0のTFS0とRFS0およびSPORT1のRFS1が一緒に接続され、TFS0が出力に、RFS0とRFS1が入力に、それぞれ設定されています。DSPIは交番フレーミング・モードで動作し、SPORTコントロール・レジスタは上記のように設定されます。TFS上で発生されるフレーム同期化信号は \overline{CS} に接続され、すべての信号処理アプリケーションと同様に等間隔サンプリングが必要です。ただし、この例では、タイマー割り込みを使って、ADCのサンプリング・レートを制御するため、ある条件下で、等間隔サンプリングにならないことがあります。

タイマーとその他のレジスタには、必要とされるサンプル間隔で割り込みを発生させる値が書き込まれます。割り込みを受け付けると、値はTFS/DTC(ADCコントロール・ワード)と一緒に転送されます。TFSを使ってRFSすなわちデータの読み込みを制御します。シリアル・クロックの周波数はSCLKDIVレジスタに設定されます。TFSと一緒に送信する命令が与えられると(すなわち $AX0 = TX0$)、SCLKの状態がチェックされます。SCLKがハイレベル、ローレベル、ハイレベルと変化するのをDSPが待った後に送信が開始されます。送信命令がSCLKの立ち上がりエッジまたはその近傍で発生するようにタイマーとSCLKの値が設定されると、データが送信されるか、または次のクロック・エッジまで待たされます。

例えば、ADSP-2189が20MHz水晶発振器を使っている場合、マスター・クロック周波数は40MHzになり、マスター・サイクル時間は25nsになります。SCLKDIVレジスタに値3を書き込むと、SCLK = 5MHzが得られ、各1 SCLK周期は8マスター・クロック周期に等しくなります。選択したスループット・レートに応じて、タイマー・レジスタに値（例えば803）を書き込んだ場合、割り込みの間に、さらにその後の送信命令の間に（803 + 1 = 804）100.5 SCLKが経過します。この場合、SCLKエッジで送信命令が発生するため、不等間隔サンプリングになります。割り込みの間のSCLK数が整数Nである場合、DSPにより等間隔サンプリングが設定されます。

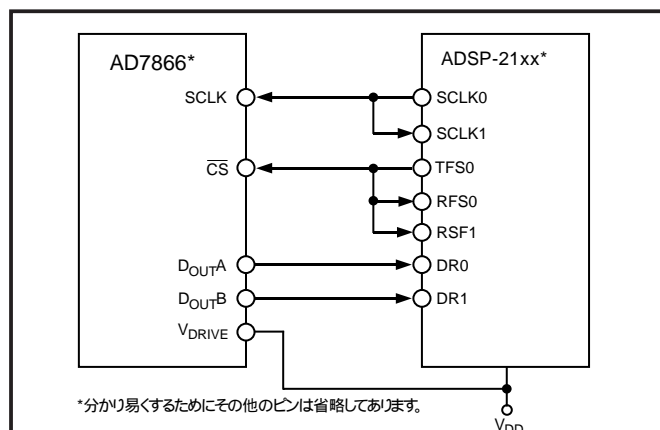


図24 AD7866とADSP-218xとのインターフェース

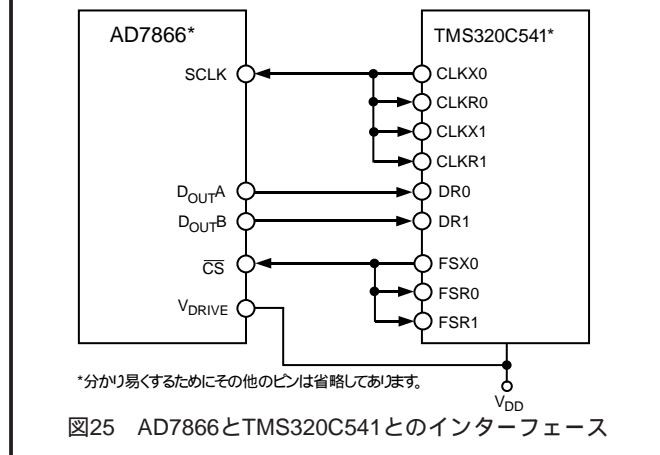


図25 AD7866とTMS320C541とのインターフェース

AD7866とTMS320C541とのインターフェース

TMS320C541のシリアル・インターフェースでは、連続シリアル・クロックとフレーム同期信号を使って、データ転送動作をAD7866のようなペリフェラル・デバイスに同期化しています。CS入力を使うと、外付けロジックなしで、TMS320C541とAD7866の間を容易にインターフェースできます。TMS320C541のシリアル・ポートは、内部CLKX（シリアル・ポート0のTxシリアル・クロック）とFSX（シリアル・ポート0からのTxフレーム同期）を使うバースト・モードで動作するように設定します。シリアル・ポート・コントロール・レジスタ SPC は次のように設定します。

SPC0: FO = 0, FSM = 1, MCM = 1, TxM = 1

SPC1: FO = 0, FSM = 1, MCM = 0, TxM = 0

AD7866にパワーダウン・モードを設定するため、フォーマット・ビットFOは'1'に設定してワード長を8ビット設定します。

接続図を図25に示します。信号処理アプリケーションに対しては、TMS320C541からのフレーム同期信号が等間隔サンプリングを実現することが必須であることに注意してください。AD7866のVDRIVEピン

では、TMS320C541と同じ電源電圧を使います。この方法により、必要に応じて、ADCはシリアル・インターフェースすなわちTMS320C541より高い電圧で動作することが可能になります。

AD7866とDSP-563xxとのインターフェース

図26の接続図に、AD7866とモトローラ社のDSP-563xxファミリーDSPのESS（同期シリアル・インターフェース）との接続方法を示します。各ESS（2ボード内蔵）は同期モードで動作し（CRBレジスタのSYNビット = 1）、TxとRxのワード長フレーム同期を内部で発生します（CRBのFSL1ビット = 0かつFSL0ビット = 0）、CRBでMOD = 0を設定して、ESSのノーマル動作を選択します。CRA内でWL1ビット = 1かつWL0ビット = 0の設定を行い、ワード長 = 16に設定します。AD7866にパワーダウン・モードを設定するため、CRA内でWL1ビット = 0かつWL0ビット = 0の設定を行って、ワード長を8ビットに変更できます。CRB内のFSPビットを'1'に設定して、フレーム同期を反転させます。信号処理アプリケーションに対しては、DSP-563xxからのフレーム同期信号が等間隔サンプリングを実現することが必須であることに注意してください。

図26に示す例では、シリアル・クロックがESS0から取得されるため、SCK0ピンを出力に設定し（SCKD = 1）、SCK1ピンを入力（SCKD = 0）に設定する必要があります。フレーム同期信号はESS0のSC02から取得し（SCD2 = 1）、一方ESS1では、SCD2 = 0に設定してSC12を入力に設定する必要があります。AD7866のVDRIVEピンでは、DSP-563xxと同じ電源電圧を使います。この方法により、必要に応じて、ADCはシリアル・インターフェースすなわちDSP-563xxより高い電圧で動作可能になります。

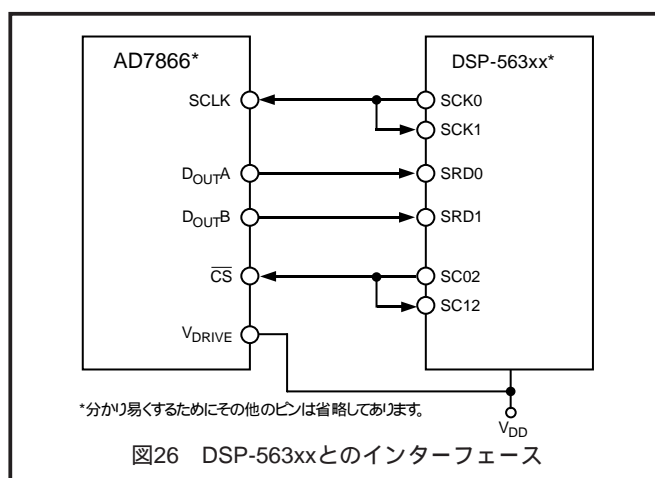


図26 DSP-563xxとのインターフェース

アプリケーション情報

グラウンド接続とレイアウト

AD7866のアナログ電源とデジタル電源は独立しており、別々のピンを使用することにより、デバイスのアナログ部とデジタル部とのカップリングを最小にしています。AD7866はPSRR対電源リップル周波数のプロット（特性3a ~ 特性4b）に示すように、電源ノイズに対して非常に優れた耐性を持っています。しかし、グラウンド接続とレイアウトについては注意が必要です。

AD7866を実装するプリント回路ボードは、アナログ部とデジタル部を分離して、ボード内でそれぞれをまとめて配置するように設計する必要があります。そうすると、グラウンド・プレーンの使用が可能になり、それらを容易に分離できるようになります。一般に、エッチング部分を最小すると、最適なシールド効果を持つため、この方法はグラウンド・プレーンに最適です。

AD7866

AD7866の両AGNDピンはAGNDプレーンに接続します。デジタル・グラウンド・プレーンとアナログ・グラウンド・プレーンは1点で接続する必要があります。複数のデバイスがAGNDとDGNDの接続を必要とするシステム内でAD7866を使用する場合は、この接続は1カ所行う必要があります。AD7866のできるだけ近くに星型のグラウンド・ポイントを構成する必要があります。

ノイズがチップに混入するので、デバイスの真下をデジタル・ラインが通らないようにしてください。ノイズ混入を防止するため、アナログ・グラウンド・プレーンがAD7866の下を通過することは可能です。AD7866の電源ラインはできるだけ太いパターンにしてインピーダンスを下げ、電源ライン上のグリッチによる影響を軽減させます。クロックなどの高速なスイッチング信号は、デジタル・グラウンドでシールドしてボードの他の部分に対するノイズの放射を防止します。また、クロック信号はアナログ入力付近を通過しないようにします。デジタル信号とアナログ信号の交差は回避する必要があります。ボードの反対側のパターンは、互いに直角となるように配置します。これにより、ボードを貫通する結合の影響を減らすことができます。マイクロストリップ技術の使用は最善ですが、両面ボードでは常に使用できるとは限りません。この技術では、ボードの部品面はグラウンド・プレーン専用にして、信号はハンダ面に配線します。

デカップリングを正しく行うことも重要です。すべてのアナログ電源とAGNDの間に10 μ Fコンデンサと0.1 μ Fのコンデンサを並列接続してデカップリングします。すべてのデジタル電源をDGNDに接続した少なくとも0.1 μ Fのディスク・セラミック・コンデンサでデカップリングする必要があります。VDRIVEはDGNDに接続した0.1 μ Fセラミック・コンデンサでデカップリングします。デカップリング部品の効果を最大にするためには、これらの部品をデバイスのできるだけ近くに、理想的にはデバイスの隣に配置します。0.1 μ Fコンデンサは、高周波でグラウン

ドに対する低インピーダンス・パスを提供するセラミック型または表面実装型のような実効直列抵抗 (ESR) が小さく、かつ実効直列インダクタンス (ESI) が小さいものを使って、内部ロジックのスイッチングに起因する過渡電流を処理する必要があります。図27に、電源デカップリングの推奨方式を示します。各リファレンス構成でのデカップリング条件については、リファレンスの節を参照してください。

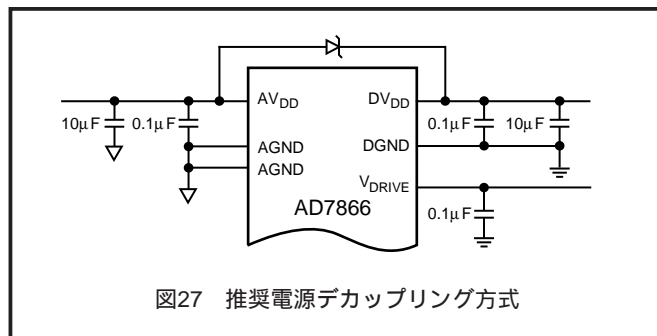


図27 推奨電源デカップリング方式

AD7866の性能評価

AD7866の推奨レイアウトの概要はAD7866評価ボード内に示されています。評価ボードの梱包には、アセンブラ、テスト済み評価ボード、ドキュメント、EVALBOARD CONTROLLERを介してPCからボードを制御するソフトウェアが添付されています。EVAL-BOARD CONTROLLERは、AD7866評価ボードや多くのアナログ・デバイスサイズの評価ボードに終わりにCB識別子が付くものと組み合わせて使用して、AD7866のAC性能とDC性能のデモ / 評価を行うことができます。ソフトウェアを使うと、ユーザーはAD7866のACテスト (高速フーリエ変換) とDCテスト (コードのヒストグラム) を行うことができます。

外形寸法

サイズはインチと (mm) で示します。

20ピン薄型シュリンク・スモール・アウトライン・パッケージ (RU-20)

