

### 特長

- 1パッケージに14ビットDACを8個内蔵
- 電圧出力
- 各DAC対のオフセット調整機能
- リファレンス電圧範囲:  $\pm 5\text{V}$
- 最大出力電圧範囲:  $\pm 10\text{V}$
- 動作電源電圧:  $\pm 15\text{V} \pm 10\%$
- ユーザ定義電圧へのクリア機能
- 44ピンMQFPパッケージを採用

### アプリケーション

- 自動テスト装置
- プロセス制御
- 汎用計装機器

### 概要

AD7841は、1つのモノリシック・チップに8個の14ビットDACを内蔵しています。出力電圧は、 $\pm 5\text{V}$ のリファレンス電圧で $\pm 10\text{V}$ のフルスケール範囲です。

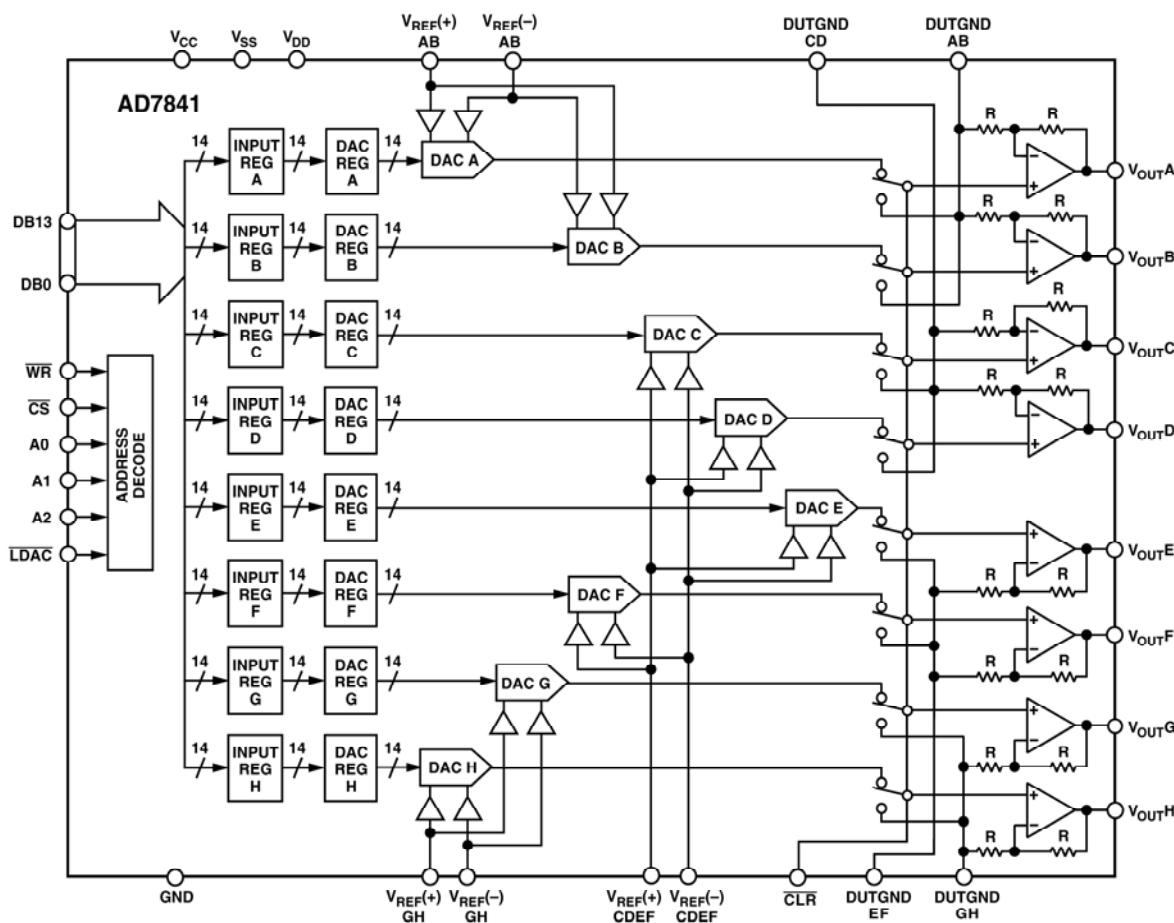
AD7841は、 $\overline{\text{WR}}$ 、 $\overline{\text{CS}}$ 、DACチャンネル・アドレス・ピンA0～A2の制御の下で、外部バスから14ビット・パラレル・データを入力レジスタにロードします。

DAC出力は、DACレジスタに新しいデータを受信したときに更新されます。すべての出力は、 $\overline{\text{LDAC}}$ 入力をロー・レベルにすることにより、同時に更新することができます。

各DAC出力はゲイン = 2のアンプでバッファされ、このバッファには、DUTGNDxピンを使って外部DACオフセット電圧を加えることができます。

AD7841は44ピンのMQFPパッケージを採用しています。

### 機能ブロック図



アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。  
※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。  
©1999-2011 Analog Devices, Inc. All rights reserved.

Rev. B

## AD7841-仕様

(特に指定がない限り、 $V_{CC} = 5\text{ V} \pm 5\%$ 、 $V_{DD} = 15\text{ V} \pm 10\%$ 、 $V_{SS} = -15\text{ V} \pm 10\%$ 、 $GND = DUTGND = 0\text{ V}$ 、 $R_L = 5\text{ k}\Omega$ 、 $C_L = 50\text{ pF}$  (GNDへ接続)、 $T_A^1 = T_{MIN} \sim T_{MAX}$ )

Parameter	A	B	Unit	Test Conditions/Comments
<b>ACCURACY</b>				
Resolution	14	14	Bits	
Relative Accuracy	$\pm 4$	$\pm 2$	LSB max	
Differential Nonlinearity	$-0.9/2$	$\pm 1$	LSB max	Guaranteed Monotonic Over Temperature for All Grades
Zero-Scale Error	$\pm 8$	$\pm 8$	LSB max	$V_{REF(+)} = +5\text{ V}$ , $V_{REF(-)} = -5\text{ V}$ . Typically within $\pm 2\text{ LSB}$
Full-Scale Error	$\pm 8$	$\pm 8$	LSB max	$V_{REF(+)} = +5\text{ V}$ , $V_{REF(-)} = -5\text{ V}$ . Typically within $\pm 2\text{ LSB}$
Gain Error	$\pm 2$	$\pm 2$	LSB typ	$V_{REF(+)} = +5\text{ V}$ , $V_{REF(-)} = -5\text{ V}$
Gain Temperature Coefficient <sup>2</sup>	0.5	0.5	ppm FSR/ $^{\circ}\text{C}$ typ	
	10	10	ppm FSR/ $^{\circ}\text{C}$ max	
DC Crosstalk <sup>2</sup>	120	120	$\mu\text{V}$ max	See Terminology. Typically 75 $\mu\text{V}$
<b>REFERENCE INPUTS<sup>2</sup></b>				
DC Input Impedance	100	100	M $\Omega$ typ	
Input Current	$\pm 1$	$\pm 1$	$\mu\text{A}$ max	Per Input. Typically $\pm 0.03\text{ }\mu\text{A}$
$V_{REF(+)}$ Range	0/5	0/5	V min/max	
$V_{REF(-)}$ Range	-5/0	-5/0	V min/max	
$[V_{REF(+)} - V_{REF(-)}]$	2/10	2/10	V min/max	For Specified Performance. Can Go as Low as 0 V, but Performance Not Guaranteed
<b>DUTGND INPUTS<sup>2</sup></b>				
DC Input Impedance	60	60	k $\Omega$ typ	
Max Input Current	$\pm 0.3$	$\pm 0.3$	mA typ	Per Input
Input Range <sup>3</sup>	-2/+2	-2/+2	V min/max	
<b>OUTPUT CHARACTERISTICS<sup>2</sup></b>				
Output Voltage Swing	$V_{SS} + 2.5\text{ V}$ to $V_{DD} - 2.5\text{ V}$	$V_{SS} + 2.5\text{ V}$ to $V_{DD} - 2.5\text{ V}$	V typ	$V_{OUT} = 2 \times (V_{REF(-)} + [V_{REF(+)} - V_{REF(-)}] \times D) - V_{DUTGND}$
Short Circuit Current	15	15	mA max	
Resistive Load	5	5	k $\Omega$ min	To 0 V
Capacitive Load	50	50	pF max	To 0 V
DC Output Impedance	0.5	0.5	$\Omega$ max	
<b>DIGITAL INPUTS<sup>2</sup></b>				
$V_{INH}$ , Input High Voltage	2.4	2.4	V min	
$V_{INL}$ , Input Low Voltage	0.8	0.8	V max	
$I_{INH}$ , Input Current				Total for All Pins
@ 25 $^{\circ}\text{C}$	$\pm 1$	$\pm 1$	$\mu\text{A}$ max	
$T_{MIN}$ to $T_{MAX}$	$\pm 10$	$\pm 10$	$\mu\text{A}$ max	
$C_{IN}$ , Input Capacitance	10	10	pF max	
<b>POWER REQUIREMENTS<sup>4</sup></b>				
$V_{CC}$	4.75/+5.25	4.75/+5.25	V min/max	For Specified Performance
$V_{DD}$	15 $\pm$ 10%	15 $\pm$ 10%	V min/max	For Specified Performance
$V_{SS}$	-15 $\pm$ 10%	-15 $\pm$ 10%	V min/max	For Specified Performance
Power Supply Sensitivity <sup>2</sup>				
$\Delta\text{Full Scale}/\Delta V_{DD}$	90	90	dB typ	
$\Delta\text{Full Scale}/\Delta V_{SS}$	90	90	dB typ	
$I_{CC}$	0.5	0.5	mA max	$V_{INH} = V_{CC}$ , $V_{INL} = GND$ . Dynamic Current
$I_{DD}$	10	10	mA max	Outputs Unloaded. Typically 8 mA
$I_{SS}$	10	10	mA max	Outputs Unloaded. Typically 8 mA

注

<sup>1</sup> A および B バージョンの温度範囲は-40 $^{\circ}\text{C}$ ~+85 $^{\circ}\text{C}$ です。

<sup>2</sup> キャラクタライゼーションにより保証。出荷テストは実施しません。

<sup>3</sup> DUTGND 電圧範囲のセクション参照。

<sup>4</sup> AD7841 は、出力範囲を狭くして $\pm 12\text{ V} \pm 10\%$ の電源で動作することができます。出力アンプは、伝達関数の上端と下端に2.5 Vのヘッド・ルームを必要とします。12 V 電源では、リファレンス電圧範囲を $\pm 4\text{ V}$ に制限することが推奨されます。

仕様は予告なく変更されることがあります。

## AC性能特性

(これらの特性はデザイン・ガイドダンスとして記載したもので、出荷テストの対象ではありません)

Parameter	A & B Versions	Unit	Test Conditions/Comments
<b>DYNAMIC PERFORMANCE</b>			
Output Voltage Settling Time	31	$\mu\text{s typ}$	Full-Scale Change to $\pm 1/2$ LSB. DAC Latch Contents Alternately Loaded with All 0s and All 1s
Slew Rate	0.7	$\text{V}/\mu\text{s typ}$	Measured with $V_{\text{REF}(+)} = +5 \text{ V}$ , $V_{\text{REF}(-)} = -5 \text{ V}$ . DAC Latch Alternately Loaded with 1FFF Hex and 2000 Hex. Not Dependent on Load Conditions
Digital-to-Analog Glitch Impulse	230	$\text{nV}\cdot\text{s typ}$	
Channel-to-Channel Isolation	99	$\text{dB typ}$	See Terminology
DAC-to-DAC Crosstalk	40	$\text{nV}\cdot\text{s typ}$	See Terminology
Digital Crosstalk	0.2	$\text{nV}\cdot\text{s typ}$	Feedthrough to DAC Output Under Test Due to Change in Digital Input Code to Another Converter
Digital Feedthrough	0.1	$\text{nV}\cdot\text{s typ}$	Effect of Input Bus Activity on DAC Output Under Test
Output Noise Spectral Density @ 1 kHz	200	$\text{nV}/\sqrt{\text{Hz typ}}$	All 1s Loaded to DAC. $V_{\text{REF}(+)} = V_{\text{REF}(-)} = 0 \text{ V}$

仕様は予告なく変更されることがあります。

タイミング仕様<sup>1, 2</sup> $(V_{\text{CC}} = 5 \text{ V} \pm 5\%; V_{\text{DD}} = 15 \text{ V} \pm 10\%; V_{\text{SS}} = -15 \text{ V} \pm 10\%; \text{GND} = \text{DUTGND} = 0 \text{ V})$ 

Parameter	Limit at $T_{\text{MIN}}$ , $T_{\text{MAX}}$	Unit	Description
$t_1$	15	ns min	Address to $\overline{\text{WR}}$ Setup Time
$t_2$	0	ns min	Address to $\overline{\text{WR}}$ Hold Time
$t_3$	50	ns min	$\overline{\text{CS}}$ Pulsewidth Low
$t_4$	50	ns min	$\overline{\text{WR}}$ Pulsewidth Low
$t_5$	0	ns min	$\overline{\text{CS}}$ to $\overline{\text{WR}}$ Setup Time
$t_6$	0	ns min	$\overline{\text{WR}}$ to $\overline{\text{CS}}$ Hold Time
$t_7$	20	ns min	Data Setup Time
$t_8$	0	ns min	Data Hold Time
$t_9$	31	$\mu\text{s typ}$	Settling Time
$t_{10}$	300	ns max	$\overline{\text{CLR}}$ Pulse Activation Time
$t_{11}$	50	ns min	$\overline{\text{LDAC}}$ Pulsewidth Low

注

<sup>1</sup> すべての入力信号は  $t_r = t_f = 5 \text{ ns}$  ( $5 \text{ V}$  の 10% から 90%) で規定し、 $1.6 \text{ V}$  の電圧レベルからの時間とします。<sup>2</sup> 立上がり時間と立下がり時間は  $50 \text{ ns}$  以下である必要があります。

仕様は予告なく変更されることがあります。

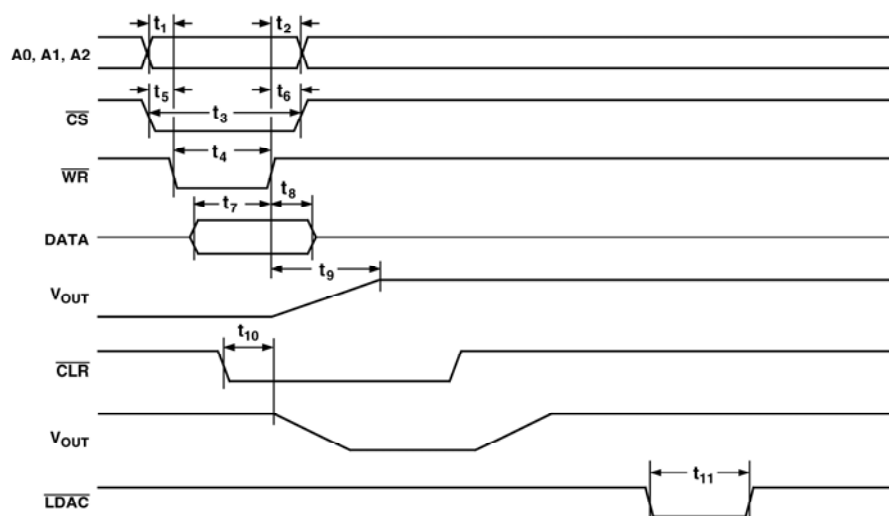


図 1. タイミング図

## 最大絶対定格<sup>1,2</sup>

(特に指定がない限り、 $T_A = 25^\circ\text{C}$ )

$V_{CC}$ to GND <sup>3</sup> .....	- 0.3 V, +7 V or $V_{DD} + 0.3$ V (Whichever Is Lower)
$V_{DD}$ to GND.....	-0.3 V, +17 V
$V_{SS}$ to GND.....	+0.3 V, -17 V
Digital Inputs to GND.....	-0.3 V, $V_{CC} + 0.3$ V
$V_{REF(+)}$ to $V_{REF(-)}$ .....	-0.3 V, +18 V
$V_{REF(+)}$ to GND.....	$V_{SS} - 0.3$ V, $V_{DD} + 0.3$ V
$V_{REF(-)}$ to GND.....	$V_{SS} - 0.3$ V, $V_{DD} + 0.3$ V
DUTGND to GND.....	$V_{SS} - 0.3$ V, $V_{DD} + 0.3$ V
$V_{OUT(A-H)}$ to GND.....	$V_{SS} - 0.3$ V, $V_{DD} + 0.3$ V
Operating Temperature Range	
Industrial (A Version).....	-40°C to +85°C
Storage Temperature Range.....	-65°C to +150°C

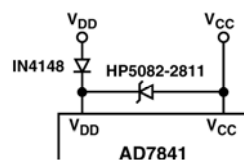
Junction Temperature.....	150°C
MQFP Package	
Power Dissipation.....	$(T_J \text{ Max} - T_A)/\theta_{JA}$
$\theta_{JA}$ Thermal Impedance.....	95°C/W
Lead Temperature.....	JEDEC Industry Standard
Soldering.....	J-STD-020
ESD.....	>4000 V

### 注

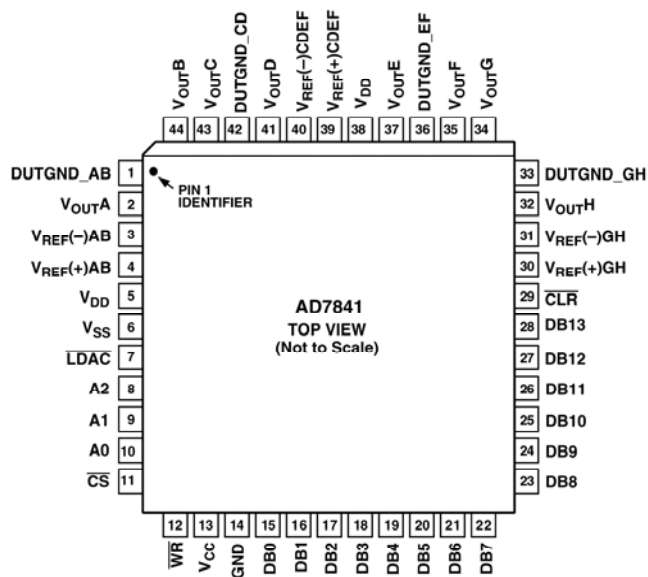
<sup>1</sup> 上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

<sup>2</sup> 最大 100 mA までの過渡電流では SCR ラッチ・アップは生じません。

<sup>3</sup>  $V_{CC}$  は  $V_{DD} + 0.3$  V を超えることはできません。電源シーケンス中にこの電圧を超える可能性がある場合は、次のダイオード保護方式で保護を確実にすることができます。



## ピン配置



## ピン機能の説明

ピン番号	記号	説明
1	DUTGND_AB	DAC A および DAC B のデバイス・センス・グラウンド。 $V_{OUTA}$ と $V_{OUTB}$ はこのピンに入力される電圧を基準とします。
2、44、43、 41、37、35、 34、32	$V_{OUTA} .. V_{OUTH}$	DAC 出力。
3、4	$V_{REF(-)AB}$ 、 $V_{REF(+)}AB$	DAC A と DAC B のリファレンス電圧入力。これらの電圧は GND を基準とします。
5、38	$V_{DD}$	正のアナログ電源、仕様性能に対して $+15\text{ V} \pm 10\%$ 。
6	$V_{SS}$	負のアナログ電源、仕様性能に対して $-15\text{ V} \pm 10\%$ 。
7	$\overline{LDAC}$	ロードDACロジック入力 (アクティブ・ロー・レベル)。このロジック入力が高レベルになると、レジスタ値が対応するDACレジスタに転送されます。 $\overline{LDAC}$ ピンをロー・レベルに固定すると、出力が $\overline{WR}$ の立上がりエッジで更新されます。
8、9、10	A2、A1、A0	アドレス入力。A0、A1、A2 をデコードして、これを使い 8 個の入力レジスタからデータ転送する 1 個のレジスタを選択します。
11	$\overline{CS}$	レベル・トリガのチップ・セレクト入力(アクティブ・ロー)。この入力をロー・レベルにすると、デバイスが選択されます。
12	$\overline{WR}$	レベル・トリガの書込み入力(アクティブ・ロー)で、AD7841 のデータ・レジスタにデータを書込むときに、 $\overline{CS}$ と組み合わせて使います。データは $\overline{WR}$ の立上がりエッジで選択された入力レジスタにラッチされます。
13	$V_{CC}$	$5\text{ V} \pm 5\%$ のロジック電源。
14	GND	グラウンド。
15~28	DB0 .. DB12	パラレル・データ入力。AD7841 は DB0~DB13 からストレート・バイナリの 14 ビット・パラレル・ワードを受け取ります。ここで DB13 が MSB で、DB0 が LSB です。
29	$\overline{CLR}$	非同期クリア入力(レベル検出、アクティブ・ロー)。この入力をロー・レベルにすると、すべてのアナログ出力が該当するDUTGNDピンを使って外部から設定された電位に切り替えられます。入力レジスタの値とDACレジスタA~Hの値は、 $\overline{CLR}$ がロー・レベルになっても影響を受けません。 $\overline{CLR}$ をハイ・レベルに戻すと、DAC出力はDACレジスタ値で決定される元の出力に戻ります。
30、31	$V_{REF(+)}GH$ 、 $V_{REF(-)}GH$	DAC G と DAC H のリファレンス電圧入力。これらの電圧は GND を基準とします。
33	DUTGND_GH	DAC G および DAC H のデバイス・センス・グラウンド。 $V_{OUTG}$ と $V_{OUTH}$ はこのピンに入力される電圧を基準とします。
36	DUTGND_EF	DAC E および DAC F のデバイス・センス・グラウンド。 $V_{OUTE}$ と $V_{OUTF}$ はこのピンに入力される電圧を基準とします。
39	$V_{REF(+)}CDEF$	DAC C、D、E、F のリファレンス入力。これらリファレンス電圧は GND を基準とします。。
40	$V_{REF(-)}CDEF$	DAC C、D、E、F のリファレンス入力。これらリファレンス電圧は GND を基準とします。。
42	DUTGND_CD	DAC C および DAC D のデバイス・センス・グラウンド。 $V_{OUTC}$ と $V_{OUTD}$ はこのピンに入力される電圧を基準とします。

## 用語集

### 相対精度

相対精度または端点直線性とは、DAC 伝達関数の両端を結ぶ直線からの最大偏差値を表します。ゼロスケール誤差とフルスケール誤差を調節した後に測定して、LSB 数で表します。

### 微分非直線性

微分非直線性(DNL)は、隣接する 2 つのコードの間における測定された変化と理論的な 1 LSB 変化との差をいいます。最大 1 LSB の微分非直線性の仕様は、単調性を保証するものです。

### DC クロストーク

共通の入力リファレンス電圧信号は内部でバッファされていますが、個々の DAC リファレンス入力にチップ内で小さい IR 降下が発生します。これは、1 つのチャンネルを更新すると、その他のチャンネル出力で DC 出力変化が生ずることを意味します。

8 個の DAC 出力は、 $V_{DD}$  と  $V_{SS}$  電源を共通にする各オペアンプによりバッファされています。1 つのチャンネルで DC 負荷電流が変化すると(更新による)、この変化が 1 個または複数のチャンネル出力でさらに DC 変化を生じさせます。負荷電流が大きいとこの影響が大きくなり、負荷電流が小さいと影響が小さくなります。ハイ・インピーダンス負荷では、影響を無視することができます。

### 出力電圧セトリング・タイム

フルスケール入力変化に対して、出力が規定のレベルまでに安定するために要する時間を表します。

### デジタルからアナログへのグリッチ・インパルス

これは、入力で状態が変化したときにアナログ出力に注入される電荷の大きさを表します。グリッチの面積を表す単位 nV-sec で表わされます。 $V_{REF(+)} = +5\text{ V}$  および  $V_{REF(-)} = -5\text{ V}$  で、デジタル入力を 1FFFH と 2000H との間でトグルさせて測定されます。

### チャンネル間アイソレーション

チャンネル間アイソレーションは、1 つの DAC のリファレンス入力からの入力信号の比率を意味し、これは別の DAC の出力に現れます。dB 値で表示します。

### DAC 間クロストーク

DAC から DAC へのクロストークは、デジタル変化とそれに続く別のコンバータでのアナログ出力変化の両方に起因して、ある 1 つのコンバータ出力に発生するグリッチ・インパルスとして定義されます。nV-sec で規定します。

### デジタル・クロストーク

別のコンバータに対するデジタル入力でのコード変化に起因して、ある 1 個のコンバータの出力に混入するグリッチ・インパルスをデジタル・クロストークとして定義し、nV-sec で表示します。

### デジタル・フィードスルー

デバイスが選択されていないときに、デバイスのデジタル入力での高周波ロジック動作がデバイスを超えて、およびデバイスを通過して容量結合して、 $V_{OUT}$  ピンにノイズとして現れることを意味します。このノイズがデジタル・フィードスルーです。

### DC 出力インピーダンス

実効出力ソース抵抗。パッケージのピン抵抗により支配されます。

### フルスケール誤差

全ビット 1 を DAC ラッチにロードしたときの DAC 出力電圧の誤差です。理論的には、この出力電圧は  $2 V_{REF(+)} - 1\text{ LSB}$  である必要があります。

### ゼロスケール誤差

ゼロスケール誤差は、全ビット 0 を DAC ラッチにロードしたときの DAC 出力電圧の誤差です。理論的には、この出力電圧は  $2 V_{REF(-)}$  である必要があります。ゼロスケール誤差は、主に出力アンプのオフセットから発生します。

### ゲイン誤差

ゲイン誤差は、(フルスケール誤差) - (ゼロスケール誤差) と定義されます。

## 概要

### DACアーキテクチャの概要

各チャンネルは、ストレート 14 ビット R-2R 電圧モード DAC で構成されています。フルスケール出力電圧範囲は、リファレンス範囲  $V_{REF(+)} - V_{REF(-)}$  の 2 倍になります。DAC コーディングはストレート・バイナリで、全ビット 0 で  $2 V_{REF(-)}$  が、全ビット 1 で  $2 V_{REF(+)} - 1\text{ LSB}$  が、それぞれ出力されます。

各 DAC チャンネルのアナログ出力電圧は、対応する DAC レジスタの値を反映します。データは、チャンネル単位で外部バスから各 DAC の入力レジスタへ転送されます。

$\overline{\text{CLR}}$  ラインをロー・レベルにすると、すべての信号出力  $V_{OUTA} \sim V_{OUTH}$  が対応する DUTGND ピンの電圧レベルへ切り替えられます。 $\overline{\text{CLR}}$  信号をハイ・レベルに戻すと、各 DAC の出力電圧は対応する DAC レジスタに格納されているデータを反映します。

### AD7841 へのデータ・ロード

データは、ストレート・パラレル 14 ビット幅ワードで AD7841 へロードされます。

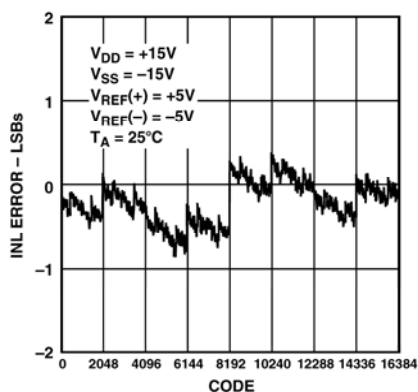
DAC 出力電圧  $V_{OUTA} \sim V_{OUTH}$  が更新されて、DAC レジスタの新しいデータを反映します。

書込まれる実際の入力レジスタは、デバイスのアドレス・ラインのロジック・レベルで指定されます(表 1 参照)。

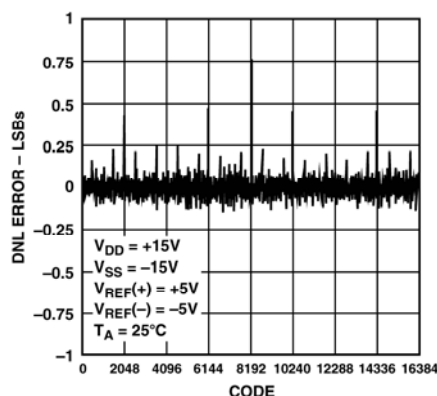
表 1. アドレス・ラインの真理値表

A2	A1	A0	DAC Selected
0	0	0	INPUT REG A (DAC A)
0	0	1	INPUT REG B (DAC B)
0	1	0	INPUT REG C (DAC C)
0	1	1	INPUT REG D (DAC D)
1	0	0	INPUT REG E (DAC E)
1	0	1	INPUT REG F (DAC F)
1	1	0	INPUT REG G (DAC G)
1	1	1	INPUT REG H (DAC H)

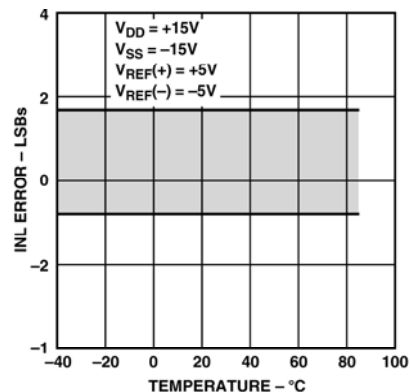
## 代表的な性能特性



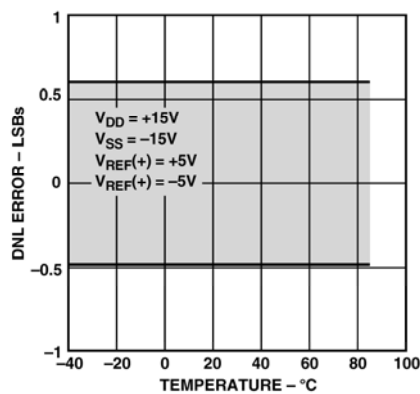
特性 1. INL プロット



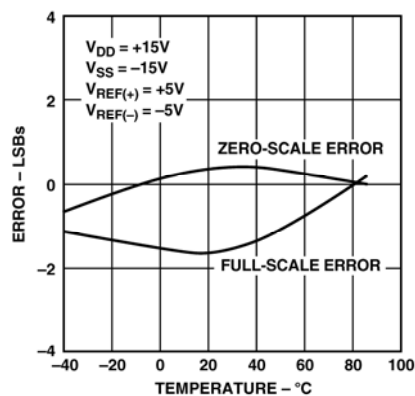
特性 2. DNL プロット



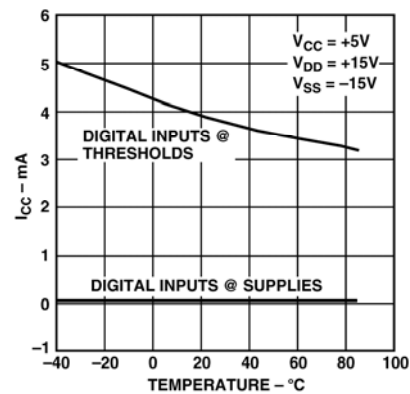
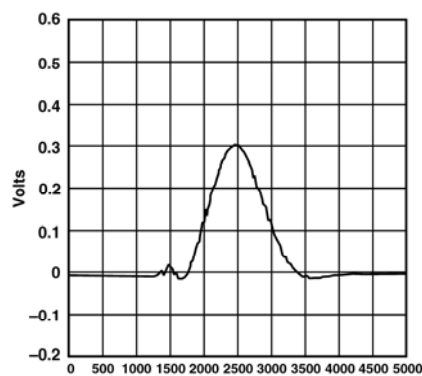
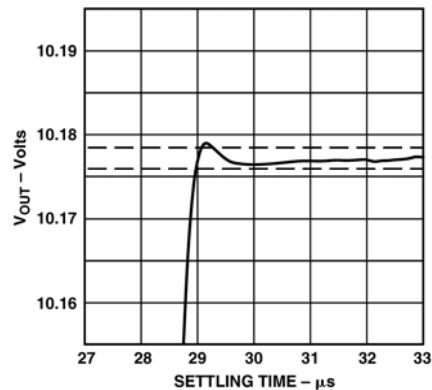
特性 3. INL 誤差の温度特性



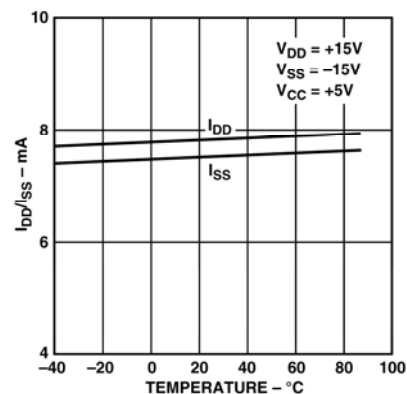
特性 4. DNL 誤差の温度特性



特性 5. ゼロスケールとフルスケール誤差の温度特性

特性 6.  $I_{CC}$  の温度特性特性 7. デジタルからアナログへの  
グリッチ・インパルス

特性 8. セトリング・タイム (+)

特性 9.  $I_{DD}$ 、 $I_{SS}$  の温度特性

### ユニポーラ構成

図 2 に、ユニポーラ/バイナリ回路構成で AD7841 を示します。DAC の  $V_{REF(+)}$  入力は、5 V リファレンスの AD586 から駆動されます。 $V_{REF(-)}$  はグラウンドに接続されます。表 II に、AD7841 のユニポーラ動作のコード表を示します。その他の適切なリファレンスとしては、高精度 5 V リファレンス REF02 や、ロー・ドロップアウトのマイクロパワー高精度 5 V リファレンス REF195 などがあります。

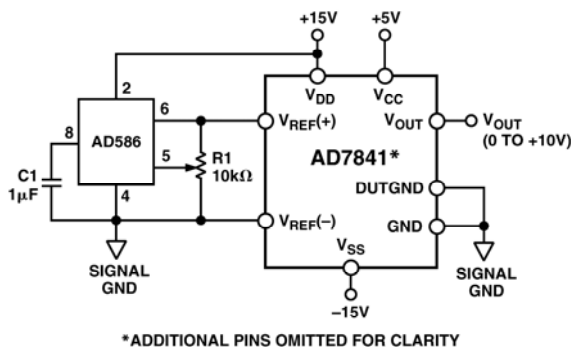


図 2. ユニポーラ 10 V 動作

すなわち、オフセットとゲインは図 2 で次のように調整することができます。オフセットを調整するときは、 $V_{REF(-)}$  入力を 0 V から切り離し、全ビット 0 を DAC にロードして、 $V_{OUT} = 0 V$  となるように  $V_{REF(-)}$  電圧を調整します。ゲインを調整するときは、全ビット 1 を AD7841 にロードして、 $V_{OUT} = 2 V_{REF(+)} - 1 \text{ LSB} = 10 V(16383/16384) = 9.99939 V$  となるように R1 を調整します。

多くの回路では、このオフセット調整とゲイン調整は不要です。これらの回路では、R1 を削除することができます。AD586 のピン 5 はフローティングのままにし、AD7841 のピン 2 ( $V_{REF(-)}$ ) は 0 V へ接続します。

表 II. ユニポーラ動作のコード表

Binary Number in DAC Register				Analog Output ( $V_{OUT}$ )
MSB	LSB			
11	1111	1111	1111	$2 V_{REF} (16383/16384) V$
10	0000	0000	0000	$2 V_{REF} (8192/16384) V$
01	1111	1111	1111	$2 V_{REF} (8191/16384) V$
00	0000	0000	0001	$2 V_{REF} (1/16384) V$
00	0000	0000	0000	0 V

注  
ユニポーラ動作では、 $V = V_{REF(+)}$ ;  $V_{REF(-)} = 0 V$ 。  
 $V_{REF(+)} = 5 V$  の場合、 $1 \text{ LSB} = 10 V/2^{14} = 10 V/16384 = 610 \mu V$ 。

### バイポーラ構成

図 3 に、 $\pm 10 V$  動作に構成した AD7841 を示します。AD588 は高精度  $\pm 5 V$  トラッキング出力を提供し、AD7841 の  $V_{REF(+)}$  入力と  $V_{REF(-)}$  入力へ供給されます。AD7841 のバイポーラ動作のコード表を表 III に示します。

図 3 では、AD588 上でゲインを変えてバランスさせることにより、フルスケール調整とバイポーラ・ゼロ調整を行っています。R2 により AD588 のゲインを変えて、R3 によりグラウンドを基準とする +5 V 出力と -5 V 出力のオフセットを一緒に調整しています。

バイポーラ・ゼロ調整の場合、DAC に 1000... 0000 をロードして、 $V_{OUT} = 0 V$  になるように R3 を調整します。フルスケール調整の場合は、DAC に全ビット 1 をロードし、 $V_{OUT} = 10(8191/8192) V = 9.99878 V$  となるように R2 を調整します。

バイポーラ・ゼロ調整とフルスケール調整が不要な場合は、R2 と R3 を削除することができます。AD588 のピン 12 はピン 11 に接続し、ピン 5 はフローティングのままにします。

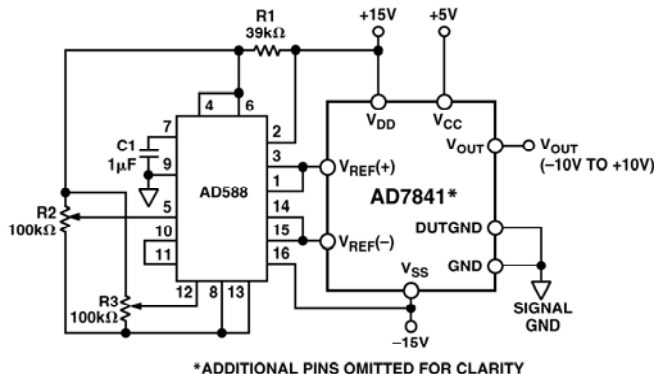


図 3.  $\pm 10 V$  バイポーラ動作

表 III. バイポーラ動作のコード表

Binary Number in DAC Register				Analog Output ( $V_{OUT}$ )
MSB	LSB			
11	1111	1111	1111	$2[V_{REF(-)} + V_{REF} (16383/16384)] V$
10	0000	0000	0001	$2[V_{REF(-)} + V_{REF} (8193/16384)] V$
10	0000	0000	0000	$2[V_{REF(-)} + V_{REF} (8192/16384)] V$
01	1111	1111	1111	$2[V_{REF(-)} + V_{REF} (8191/16384)] V$
00	0000	0000	0001	$2[V_{REF(-)} + V_{REF} (1/16384)] V$
00	0000	0000	0000	$2[V_{REF(-)}] V$

注  
 $V_{REF} = (V_{REF(+)} - V_{REF(-)})$ 。  
 $V_{REF(+)} = +5 V$ 、かつ  $V_{REF(-)} = -5 V$  の場合、 $V_{REF} = 10 V$ 、 $1 \text{ LSB} = 2 V_{REF} V/2^{14} = 20 V/16384 = 1.22 \text{ mV}$ 。

### 出力ステージのパワーオン制御

AD7841 出力ステージのブロック図を図 4 に示します。負荷  $5 k\Omega$  と  $50 \text{ pF}$  の並列接続を駆動することができます。G<sub>1</sub>~G<sub>6</sub> は送信ゲートで、 $V_{OUT}$  のパワーオン電圧の制御に使用されます。パワーアップ時にも G<sub>1</sub> と G<sub>2</sub> は CLR 入力と組み合わせて使用され、 $V_{OUT}$  に DUTGND ピンに出力されるユーザ定義電圧を設定します。CLR がハイ・レベルに戻ると、DAC 出力は DAC レジスタのデータを反映します。

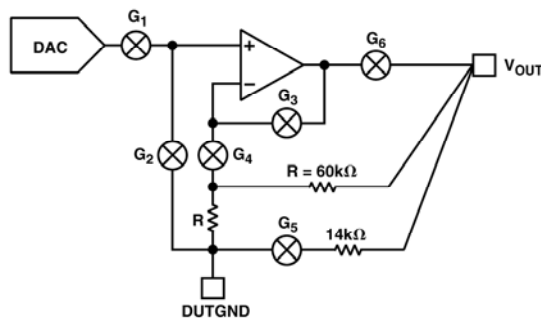


図 4. AD7841 出力ステージのブロック図



### CLRロー・レベルでのパワーオン

AD7841 の出力ステージは、パワーオン時に出力が安定するようにデザインされています。パワーオン時にCLRがロー・レベルに維持される場合、電源がAD7841 に加えられた直後の状況を図 5 に示します。G<sub>1</sub>、G<sub>4</sub>、G<sub>6</sub>は開き、G<sub>2</sub>、G<sub>3</sub>、G<sub>5</sub>は閉じます。

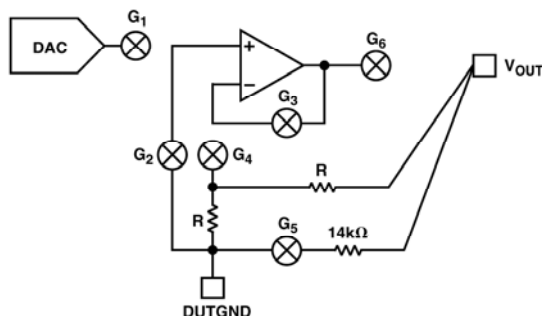


図 5.  $V_{DD} < 7V$  または  $V_{SS} > -3V$ 、 $\overline{CLR} =$  ロー・レベルでの出力ステージ

$V_{OUT}$  は G<sub>5</sub> と 14 kΩ 抵抗により DUTGND から数百 mV 以内に維持されます。この薄膜抵抗は出力アンプのゲイン抵抗と並列に接続されます。出力アンプは G<sub>3</sub> を経由してユニティ・ゲイン・バッファとして接続され、DUTGND 電圧が G<sub>2</sub> を経由してバッファ入力に加えられます。このため、アンプ出力は DUTGND ピンと同じ電圧になります。出力ステージは、 $V_{DD}$  の電圧が 7 V を上回り、かつ  $V_{SS}$  が -3 V を下回るまで図 5 の構成を維持します。これにより、出力アンプは入力で信号を処理するための十分なヘッドルームを確保することができ、十分な安定時間も確保できます。内部パワーオン回路が G<sub>3</sub> と G<sub>5</sub> を開き、G<sub>4</sub> と G<sub>6</sub> を閉じます。この状況を図 6 に示します。出力アンプは G<sub>4</sub> と G<sub>6</sub> を介するノイズ・ゲイン設定で構成されるようになります。DUTGND 電圧は G<sub>2</sub> を介して非反転入力に接続されたままになり、この電圧が  $V_{OUT}$  に現れます。

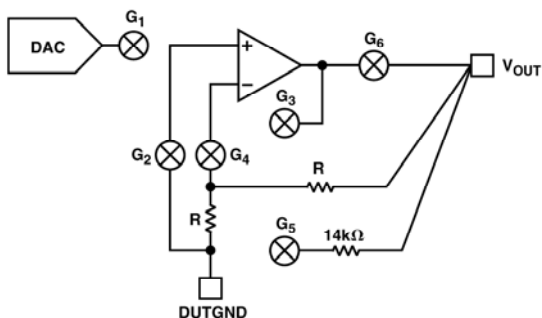


図 6.  $V_{DD} > 7V$  かつ  $V_{SS} < -3V$ 、 $\overline{CLR} =$  ロー・レベルでの出力ステージ

$V_{OUT}$  は、G<sub>5</sub> を開いて DUTGND ピンから切り離されていますが、図 6 に示す構成により DUTGND に出力される電圧を追跡します。

$\overline{CLR}$  をハイ・レベルに戻すと、図 7 のように出力ステージが構成されます。内部制御ロジックにより G<sub>1</sub> が閉じられ、G<sub>2</sub> が開かれます。出力アンプは非反転ゲイン = 2 で接続されます。 $V_{OUT}$  ピンに出力される電圧は、DAC レジスタ内のデータにより決定されます。

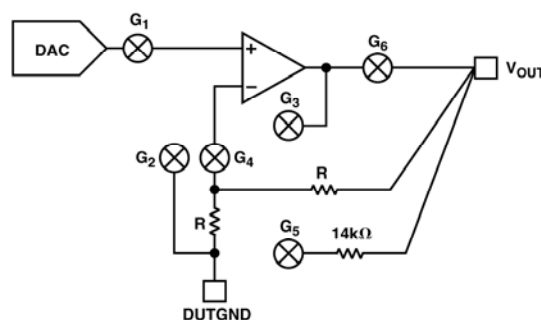


図 7.  $\overline{CLR}$  がハイ・レベルになった後の出力ステージ

### CLRハイ・レベルでのパワーオン

デバイスに電源を加えたときにCLRがハイ・レベルの場合、AD7841 の出力ステージは図 8 のように構成され、 $V_{DD} < 7V$ 、かつ  $V_{SS} > -3V$  になります。G<sub>1</sub> が閉じ、G<sub>2</sub> が開いたため、DAC出力が出力アンプの入力に接続されます。G<sub>3</sub> と G<sub>5</sub> が閉じ、G<sub>4</sub> と G<sub>6</sub> が開いたため、出力アンプはユニティ・ゲイン・バッファとして接続されます。 $V_{OUT}$  は  $V_{DD} > 7V$  かつ  $V_{SS} < -3V$  になるまで、G<sub>5</sub> と 14 kΩ 抵抗を介して DUTGND に接続されます。

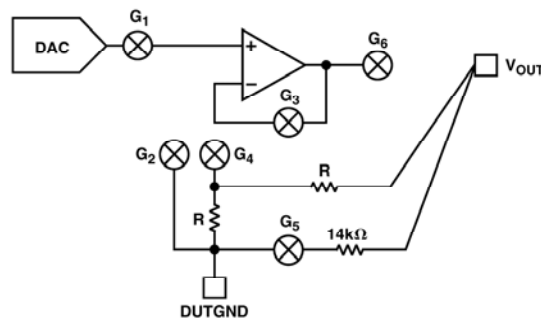


図 8.  $\overline{CLR} =$  ハイ・レベル、 $V_{DD} < 7V$  または  $V_{SS} > -3V$  での出力ステージのパワーアップ

電源電圧間の差が 10 V に到達すると、内部パワーオン回路が G<sub>3</sub> と G<sub>5</sub> を開き、G<sub>4</sub> と G<sub>6</sub> を閉じて、出力ステージを図 9 に構成します。

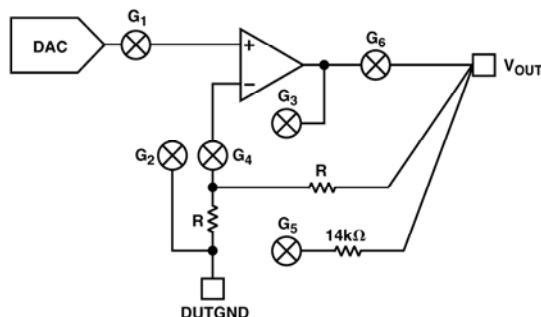


図 9.  $\overline{CLR} =$  ハイ・レベル、 $V_{DD} > 7V$  かつ  $V_{SS} < -3V$  での出力ステージのパワーアップ

## DUTGNDの電圧範囲

パワーオンでは、AD7841の $V_{OUT}$ ピンは $G_5$ と14 k $\Omega$ の薄膜抵抗を介して対応するDUTGNDピンに接続されます。DUTGNDの電位は、何時も最大定格を満たす必要があります。したがって、DUTGND電圧は常に $V_{SS} - 0.3\text{ V} \sim V_{DD} + 0.3\text{ V}$ の範囲内にある必要がありますが、パワーオン時にAD7841の $V_{OUT}$ ピンの電圧が対応するDUTGND電位から $\pm 2\text{ V}$ 以内に留まるために、DUTGNDに加えられる電圧も $GND - 2\text{ V} \sim GND + 2\text{ V}$ の範囲内に維持される必要があります。

AD7841がパワーオンし、内蔵アンプが安定した後、DUTGNDピンに加えられた電圧がDAC出力(ゲイン=2が設定されています)から減算されます。このため、規定の動作のためには、DUTGNDピンに加えることができる最大電圧が最大許容電圧 $2 \cdot V_{REF(+)}$ まで増加し、DUTGNDピンに加えることができる最小電圧は $2 \cdot V_{REF(-)}$ になります。AD7841がフル・パワーアップした後、出力はこの最小/最大範囲内で任意のDUTGND電圧に追従することができます。

## 電源シーケンシング

AD7841を動作させる際、電流が大きくなる状態を回避するため常にグラウンドへ接続しておくことが重要です。推奨パワーアップ・シーケンスは、 $V_{DD}/V_{SS}$ 次に $V_{CC}$ の順です。パワーアップ時に $V_{CC}$ が $V_{DD}$ を超えることがあるため、絶対最大定格のセクションに示すダイオード方式を使用して保護を確実にする必要があります。リファレンス入力とデジタル入力は最後にパワーアップさせます。パワーアップ時にリファレンス電圧が $V_{DD}/V_{SS}$ を超える場合、電流制限抵抗をリファレンス入力に直列接続して、電流を20 mAに制限する必要があります。ロジック入力は $V_{CC}$ の前に入力しないようにする必要があります。これらの入力が $V_{CC}$ の前に立上がる場合には、電流制限抵抗(470  $\Omega$ )をロジック入力に直列接続する必要があります。

## マイクロプロセッサ・インターフェース

### AD7841のインターフェース—16ビット・インターフェース

AD7841は、様々な16ビットのマイクロコントローラまたはDSPプロセッサとインターフェースすることができます。図10に、AD7841と一般的な16ビット・マイクロコントローラ/DSPプロセッサとのインターフェースを示します。プロセッサの下位アドレス・ラインは、AD7841のA0~A2に接続されます。上位アドレス・ラインは、デコードされてチップ・セレクト信号、すなわちAD7841のLDAC信号を提供します。AD7841の高速インターフェース・タイミングにより、様々なマイクロコントローラやDSPと直接インターフェースが可能です(図10)。

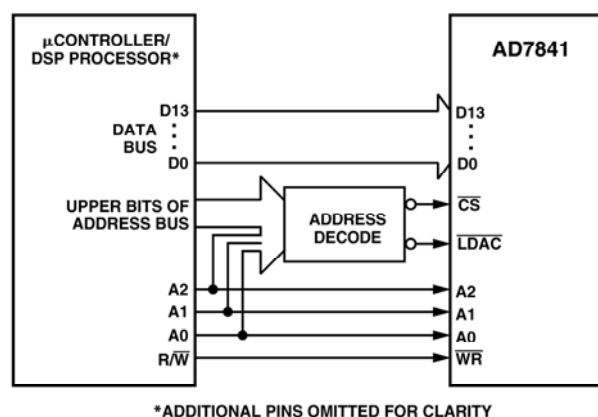


図 10. パラレル・インターフェース

## アプリケーション

### 電源のバイパスとグラウンド接続

精度が重要な回路では、電源とグラウンド・リターンとのレイアウトを注意深く行うことが、定格性能の保証に役立ちます。AD7841を実装するプリント回路ボードは、アナログ部分とデジタル部分を分離して、ボードの一定領域にまとめて配置するように、デザインする必要があります。そうすると、グラウンド・プレーンの使用が可能になり、それらを容易に分離できるようになります。一般に、エッチング部分を最小にすると、最適なシールド効果を持つため、この方法はグラウンド・プレーンに最適です。デジタル・グラウンド・プレーンとアナログ・グラウンド・プレーンは1点で接続する必要があります。AD7841のGNDピンはシステムのAGNDに接続する必要があります。複数のデバイスがAGNDとDGNDの接続を必要とするシステム内でAD7841を使用する場合にも、この接続は1カ所で行う必要があります。すなわち、AD7841のできるだけ近くで星型グラウンド接続点を構成します。

ノイズがチップに混入するので、デバイスの真下をデジタル・ラインが通らないようにしてください。ノイズ混入を防止するため、アナログ・グラウンド・プレーンがAD7841の下を通過することは可能です。AD7841の電源ラインには、できるだけ太いパターンを使って低インピーダンス・パスを実現して、電源ライン上でのグリッチの効果を削減する必要があります。クロックなどの高速なスイッチング信号は、デジタル・グラウンドでシールドしてボードの他の部分に対するノイズの放射を防止します。また、アナログ入力の近くを通過しないようにします。

デジタル信号とアナログ信号の交差は回避する必要があります。ボードの反対側のパターンは、互いに右角度となるように配置します。これにより、ボードを通過するフィードスルーの効果を除去することができます。マイクロストリップ技術の使用は最善ですが、両面ボードでは常に使用できるとは限りません。この技術では、ボードの部品面をグラウンド・プレーン専用にし、信号パターンはハンダ面に配置されます。

AD7841に対しては、十分な電源バイパスをパッケージのできるだけ近くに、理想的にはデバイスに直接に、接続する必要があります。図11に、各電源に対する10  $\mu\text{F}$ と0.1  $\mu\text{F}$ の並列接続の推奨コンデンサ値を示します。

10 $\mu$ F コンデンサはタンタルのビーズ型を使います。0.1 $\mu$ F コンデンサは、高周波でグラウンドに対する低インピーダンス・パスを提供するセラミック型のような実効直列抵抗(ESR)が小さく、かつ実効直列インダクタンス(ESI)が小さいものを使って、内部ロジックのスイッチングに起因する過渡電流を処理する必要があります。

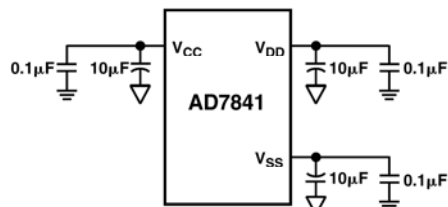


図 11. AD7841 に対する推奨デカップリング方式

## 自動テスト装置

AD7841 は、特に自動テスト装置に適しています。図 12 に、ピン・ドライバに必要な電圧を供給する AD7841 と代表的な ATE ピン回路構成でのウインドウ・コンパレータを示します。AD588 を使用して AD7841 のリファレンス電圧を供給しています。この構成では、ピン 1 の電圧がピン 9 の電圧より 5 V 高く、かつピン 15 の電圧がピン 9 の電圧より 5 V 低くなるように AD588 を設定しています。

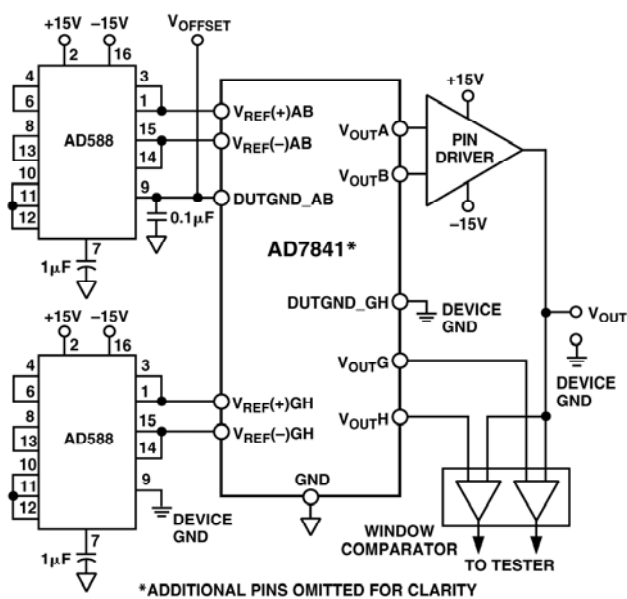


図 12. ATE アプリケーション

AD588 の 1 つを使って DAC A と DAC B にリファレンス電圧を与え、これらの DAC を使ってピン・ドライバのハイ・レベルとロー・レベルを提供します。ピン・ドライバは対応するオフセットを持つことがあります。これは、AD588 のピン 9 にオフセット電圧を与えることにより相殺させることができます。まず、コード 1000...0000 を DACA ラッチへロードして、ピン・ドライバ出力を DACA 出力に設定します。ピン・ドライバ出力と DUTGND の間が 0 V になるように  $V_{\text{OFFSET}}$  電圧を調整します。これにより、 $V_{\text{REF}(+)}$  と  $V_{\text{REF}(-)}$  に対して、GND を基準とした  $V_{\text{OFFSET}}$  のオフセットが与えられます。

TRIMDAC は Analog Devices, Inc. の登録商標です。

ただし、DAC 入力コードが 000... 000 から 111... 111 へ変わると、ピン・ドライバ出力が DUTGND に対して -10 V から +10 V へ変わります。また、 $V_{\text{OFFSET}}$  電圧も DUTGND ピンに加えられます。AD7841 にクリアを実行すると、ピン・ドライバ出力は DUTGND に対して 0 V になります。

もう 1 つの AD588 を使って DAC G と DAC H のリファレンス電圧を供給します。これらの電圧は図に示すウインドウ・コンパレータのリファレンス電圧を供給します。この AD588 のピン 9 がデバイス GND に接続されていることに注意してください。これにより、 $V_{\text{REF}(+)GH}$  と  $V_{\text{REF}(-)GH}$  がデバイス GND を基準とするようになります。DAC G と DAC H の入力コードが 000... 000 から 111... 111 に変化すると、 $V_{\text{OUT}G}$  と  $V_{\text{OUT}H}$  がデバイス GND に対して -10 V から +10 V に変化します。デバイス GND も DUTGND に接続されています。AD7841 をクリアすると、 $V_{\text{OUT}G}$  と  $V_{\text{OUT}H}$  がクリアされてデバイス GND に対して 0 V になります。

## ATEアプリケーションでのAD7841 に対するプログラマブルなリファレンス電圧の発生

AD7841 は、特に自動テスト装置に適しています。8 個の 14 ビット DAC を内蔵する AD7841 のリファレンス入力には、8 個の DAC に対して 3 個の差動リファレンスが必要です。DAC のリファレンス・ピン電圧を変えて DAC 出力のオフセット誤差とゲイン誤差を調整するような ATE アプリケーションではプログラマブルなリファレンス電圧が必要になります。オフセット誤差を調整するときは、DAC にデジタル・コード 000... 000 をロードして、所望の負出力電圧が得られるように  $V_{\text{REF}(-)}$  ピン電圧を調整します。ゲイン誤差をなくすためには、まずオフセット誤差を調整します。DAC にコード 111... 111 をロードし、所望フルスケール電圧 - 1 LSB が得られるように、 $V_{\text{REF}(+)}$  ピン電圧を調整します。

ATE デザインでは、例えば最大  $\pm 300$  mV のオフセット誤差とゲイン誤差を持つような他の回路を AD7841 出力に設けることは一般的ではありません。これらのオフセット誤差とゲイン誤差は、AD7841 のリファレンス電圧を調整することにより容易に除去することができます。AD7841 では  $\pm 5$  V の公称リファレンス値を使用して  $\pm 10$  V の出力振幅を実現しています。AD7841 ではリファレンス入力から DAC 出力までのゲインが 2 であるため、リファレンス電圧を  $\pm 150$  mV 調整すると、DAC オフセットとゲインを  $\pm 300$  mV 調整することになります。

AD7841 のリファレンス入力の駆動に適する 8 ビット/10 ビットの DAC は多数あります。例えば、シリアル・ロード機能付きのクワッド 10 ビット D/A コンバータ AD7804 があります。この DAC の電圧出力は  $V_{\text{BIAS}} \pm V_{\text{SWING}}$  で、レール to レール動作を実現することができます。この DAC のリファレンス電圧は内部で発生するか、外付けにすることができます。また、この DAC は 8 ビット SUB DAC も内蔵しており、これを使って各 DAC の伝達関数全体を  $V_{\text{BIAS}}$  ポイントを中心に移動させることができます。この機能は、出力電圧の微調整に使用することができます。このアプリケーションでは、8 個すべての DAC に対してプログラマブルなリファレンス機能を提供するために 2 個の AD7804 が必要です。1 個の AD7804 は、 $V_{\text{REF}(+)}$  ピンの駆動に、2 つ目のパッケージは  $V_{\text{REF}(-)}$  ピンの駆動に、それぞれ使います。

プログラマブルなリファレンス機能に適する別の DAC は AD8803 です。このデバイスは、8 ビット TRIMDAC<sup>®</sup> を 8 個内蔵するため、TRIMDAC の上限と下限を独立に制御することができます。これは、限定された許容電圧制御範囲でデバイスの分解能を大きくする際に役立ちます。

AD8803 の出力電圧範囲は  $GND \sim V_{DD}$  (0 V $\sim$ 5 V) です。  $V_{REF(+)}$  入力を調整するときは、AD8803 DAC の該当する調整範囲を  $V_{REFL}$  ピンと  $V_{REFH}$  ピンを使って設定して、2 ポイント間で 8 ビットの分解能を可能にします。これにより、ゲイン誤差を除去するように  $V_{REF(+)}$  ピンを調整することができます。

$V_{REF(-)}$  電圧を調整するときは、所望の負電圧範囲内で調整電圧を提供する方法が必要になります。通常動作では、AD7804 と AD8803 の出力範囲は 0 V $\sim$ 5 V であるため、いずれもこの範囲を提供することができません。この負電圧を提供する方法は 2 つあります。

1 つの方法は正出力電圧を発生して、そのアナログ電圧を所望の負電圧範囲へレベル・シフトさせる方法です。もう 1 つの方法は、これらの DAC を 0 V と -5 V の電源で動作させ、 $V_{DD}$  ピンを 0 V に接続し、 $GND$  ピンを -5 V に接続する方法です。これらを AD7841 の  $V_{REF(-)}$  入力での負リファレンス電圧として使います。ただし、DAC を駆動するデジタル信号を 0 V $\sim$ +5 V 範囲から -5 V $\sim$ 0 V 範囲へレベル・シフトさせる必要があります。AD7841 に対してプログラマブルなリファレンス機能を提供する、代表的なアプリケーション回路を図 13 に示します。

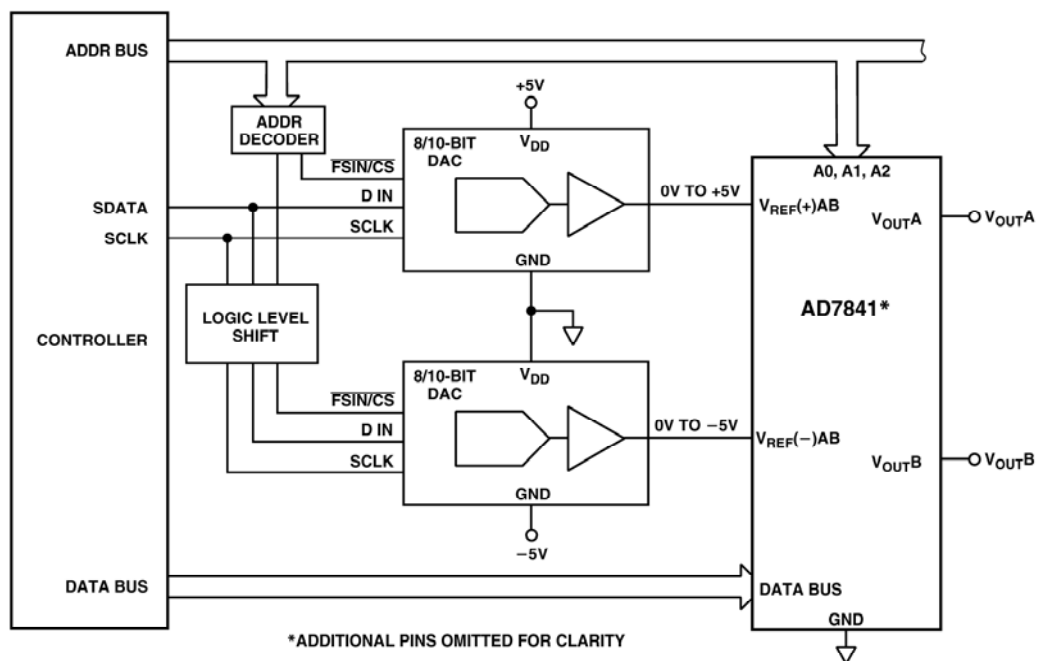
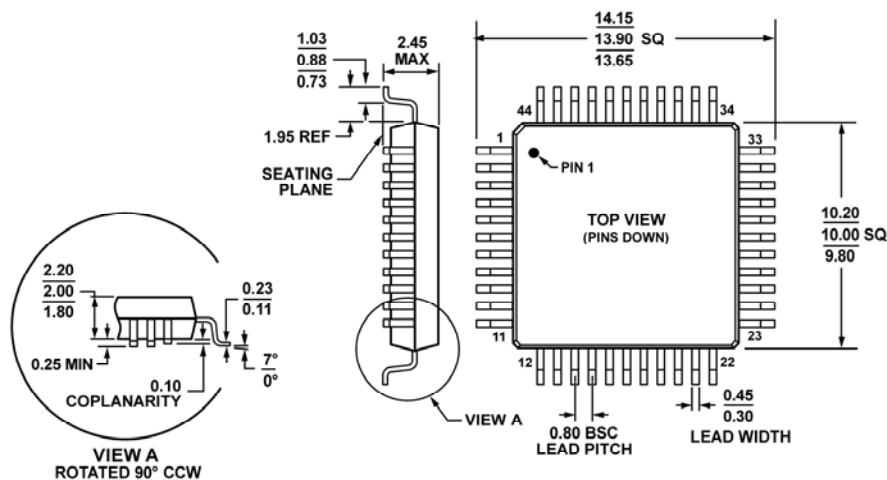


図 13. AD7841 に対するプログラマブルなリファレンス電圧の発生

## 外形寸法



COMPLIANT TO JEDEC STANDARDS MO-112-AA-1

図 14. 44 ピン・メトリック・クワッド・フラット・パッケージ [MQFP]  
(S-44-2)  
寸法: mm

## オーダー・ガイド

Model <sup>1</sup>	Linearity Error (LSBs)	DNL (LSBs)	Temperature Range	Package Description	Package Option
AD7841ASZ	±4	-0.9/+2	-40°C to +85°C	44-Lead Metric Quad Flat Package [MQFP]	S-44-2
AD7841ASZ-REEL	±4	-0.9/+2	-40°C to +85°C	44-Lead Metric Quad Flat Package [MQFP]	S-44-2
AD7841BSZ	±2	±1	-40°C to +85°C	44-Lead Metric Quad Flat Package [MQFP]	S-44-2
AD7841BSZ-REEL	±2	±1	-40°C to +85°C	44-Lead Metric Quad Flat Package [MQFP]	S-44-2
EVAL-AD7841EBZ				Evaluation Board	

<sup>1</sup>Z = RoHS 準拠製品。

## 改訂履歴

## 1/11—Rev. A to Rev. B

Changes to Absolute Maximum Ratings, Lead Temperature.....	4
Updated Outline Dimensions.....	13
Moved and Changes to Ordering Guide .....	13