



**ANALOG
DEVICES**

6チャンネル、低ノイズ、低消費電力、計装アンプと リファレンス内蔵の24ビットΣΔADC

AD7794

特長

- 最大23ビットの有効分解能
- RMSノイズ：40nV@4.17Hz
85nV@16.7Hz
- 消費電流：400μA (typ)
- パワーダウン時の消費電流：1μA (max)
- 低ノイズのプログラマブル・ゲイン計装アンプ
- ドリフトが4ppm/°C (typ) のバンドギャップ・リファレンス
- 更新レート：4.17~500Hz
- 6チャンネルの差動アナログ入力
- 内部クロック発振器
- 50Hz/60Hzを同時除去
- リファレンス検出
- プログラマブル電流源
- オンチップのバイアス電圧発生器
- バーンアウト電流
- ローサイドのパワー・スイッチ
- 電源：2.7~5.25V
- 温度範囲：-40~+105°C
- 独立したインターフェース電源
- 24ピンTSSOPパッケージ

インターフェース

- 3線式シリアル
- SPI[®]、QSPI[™]、MICROWIRE[™]、DSP互換
- SCLKにシュミット・トリガ入力を用意

アプリケーション

- 温度計測
- 圧力計測

重量計

- ストレインゲージ・トランスデューサ
- ガス分析
- 工業用プロセス制御
- 計測器
- 血液分析
- スマート・トランスミッタ
- 液体/ガス・クロマトグラフィ
- 6桁DVM

概要

AD7794は、高精度計測アプリケーション向けの低消費電力、低ノイズ、全機能内蔵型アナログ・フロントエンドです。6チャンネルの差動入力を備えた低ノイズ、24ビットのΣΔ (シグマ・デルタ) A/Dコンバータ (ADC) を内蔵しています。低ノイズのオンチップ計装アンプにより、微小な振幅信号をADCに直接インターフェースできます。

このデバイスは、低ノイズ、低ドリフトの高精度バンドギャップ・リファレンスを内蔵していますが、外部の差動リファレンスも2個まで使用できます。その他のオンチップ機能として、プログラマブル励起電流源、バーンアウト電流、チャンネルの同相電圧をAV_{DD}/2に設定するためのバイアス電圧発生器があります。ローサイドのパワー・スイッチを使用して、変換の終了から次の変換の開始までブリッジ・センサーをパワーダウンできるため、システムの消費電力が最小限に抑えられます。内部クロックで動作しますが、外部クロックを使用することもできます。デバイスの出力データ・レートは、4.17~500Hzの周波数範囲でソフトウェア制御が可能です。

このデバイスは、2.7~5.25Vの電源で動作します。消費電流は400μA (typ) で、24ピンTSSOPパッケージで提供しています。

機能ブロック図

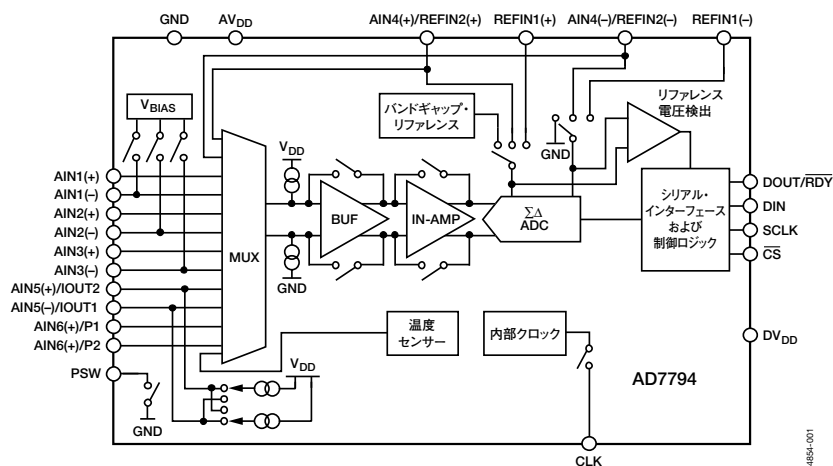


図1

アナログ・デバイス社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は予告なく変更する場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートはREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。
© 2005 Analog Devices, Inc. All rights reserved.

REV. A

アナログ・デバイス株式会社

本 社 / 〒105-6891 東京都港区海岸1-16-1 ニューピア竹芝サウスタワービル
電話03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原3-5-36 新大阪MTビル2号
電話06 (6350) 6868

AD7794

目次

仕様	3	回路説明	28
タイミング特性	7	アナログ入力チャンネル	28
タイミング図	8	計装アンプ	28
絶対最大定格	9	バイポーラ/ユニポーラ構成	28
ESDに関する注意	9	データ出力のコーディング	28
ピン配置と機能の説明	10	バーンアウト電流	29
RMSノイズおよび分解能仕様	12	励起電流	29
チョッピングのイネーブル設定	12	バイアス電圧発生器	29
チョッピングのデイスエーブル設定	14	リファレンス	29
代表的な性能特性	15	リファレンス検出	30
オンチップ・レジスタ	16	リセット	30
コミュニケーション・レジスタ	16	AV _{DD} モニタ	30
ステータス・レジスタ	17	キャリブレーション	30
モード・レジスタ	17	グラウンディングとレイアウト	31
設定レジスタ	19	アプリケーション	32
データ・レジスタ	21	流量計	32
IDレジスタ	21	外形寸法	33
IOレジスタ	21	オーダー・ガイド	33
オフセット・レジスタ	22		
フルスケール・レジスタ	22		
ADC回路情報	23		
概要	23		
デジタル・インターフェース	25		

改訂履歴

4/05—Rev. 0 to Rev. A

Changes to Absolute Maximum Ratings	9
Changes to Figure 21	25
Changes to Data Output Coding Section	28
Changes to Calibration Section	30
Changes to Ordering Guide	33

2004年10月—リビジョン0：初版

仕様

特に指定のない限り、 $V_{DD}=2.7\sim 5.25V$ 、 $DV_{DD}=2.7\sim 5.25V$ 、 $GND=0V$ 、仕様はすべて $T_{MIN}\sim T_{MAX}$ の条件で規定。

表1

パラメータ ¹	AD7794B	単位	テスト条件/備考
AD7794 (チョッピングのイネーブル時)			
出力更新レート	4.17~500	Hz (nom)	セトリング時間=2/出力更新レート
ノー・ミスコード ²	24	ビット (min)	$f_{ADC}\leq 250Hz$
分解能	RMSノイズおよび 分解能仕様を参照		
出力ノイズと更新レート	RMSノイズおよび 分解能仕様を参照		
積分非直線性 (INL)	±15	FSRのppm (max)	
オフセット誤差 ³	±1	μV (typ)	
オフセット誤差の温度ドリフト ⁴	±10	nV/°C (typ)	
フルスケール誤差 ^{3, 5}	±10	μV (typ)	
ゲインの温度ドリフト ⁴	±1	ppm/°C (typ)	ゲイン=1~16、外部リファレンス
	±3	ppm/°C (typ)	ゲイン=32~128、外部リファレンス
電源電圧変動除去比	100	dB (min)	$A_{IN}=1V/ゲイン$ 、ゲイン ≥ 4 、 外部リファレンス
アナログ入力			
差動入力電圧範囲	$\pm V_{REF}/ゲイン$	V (nom)	$V_{REF}=REFIN(+)-REFIN(-)$ 、または 内部リファレンス、ゲイン=1~128
A_{IN}電圧の絶対限界値²			
非バッファ・モード	GND-30mV	V (min)	ゲイン=1または2
	$AV_{DD}+30mV$	V (max)	
バッファ・モード	GND+100mV	V (min)	ゲイン=1または2
	$AV_{DD}-100mV$	V (max)	
計装アンプ・アクティブ	GND+300mV	V (min)	ゲイン=4~128
	$AV_{DD}-1.1$	V (max)	
同相電圧 (V_{CM})	0.5	V (min)	$V_{CM}=(A_{IN}(+)+A_{IN}(-))/2$ 、 ゲイン=4~128
アナログ入力電流			
バッファ・モードまたは 計装アンプ・アクティブ			
平均入力電流 ²	±1	nA (max)	ゲイン=1または2、更新レート<100Hz
	±250	pA (max)	ゲイン=4または128、更新レート<100Hz
	±1	nA (max)	$A_{IN6}(+)/A_{IN6}(-)$
平均入力電流ドリフト	±2	pA/°C (typ)	
非バッファ・モード			ゲイン=1または2
平均入力電流	±400	nA/V (typ)	入力電流は入力電圧によって変化
平均入力電流ドリフト	±50	pA/V/°C (typ)	
ノーマル・モード除去比 ²			
内部クロック			
@50Hz、60Hz	65	dB (min)	80dB (typ)、50±1Hz、60±1Hz、 FS [3:0]=1010 ⁶
@50Hz	80	dB (min)	90dB (typ)、50±1Hz、FS [3:0]=1001 ⁶
@60Hz	90	dB (min)	100dB (typ)、60±1Hz、FS [3:0]=1000 ⁶
外部クロック			
@50Hz、60Hz	80	dB (min)	90dB (typ)、50±1Hz、60±1Hz、 FS [3:0]=1010 ⁶
@50Hz	94	dB (min)	100dB (typ)、50±1Hz、FS [3:0]=1001 ⁶
@60Hz	90	dB (min)	100dB (typ)、60±1Hz、FS [3:0]=1000 ⁶
同相ノイズ除去比			
@DC	100	dB (min)	$A_{IN}=1V/ゲイン$ 、ゲイン ≥ 4
@50Hz、60Hz ²	100	dB (min)	50±1Hz、60±1Hz、FS [3:0]=1010 ⁶
@50Hz、60Hz ²	100	dB (min)	50±1Hz (FS [3:0]=1001 ⁶)、 60±1Hz (FS [3:0]=1000 ⁶)

AD7794

パラメータ ¹	AD7794B	単位	テスト条件/備考
AD7794 (チョッピングのディスエーブル時)			
出力更新レート	4.17~500	Hz (nom)	セトリング時間=1/出力更新レート
ノー・ミスコード ²	24	ビット (min)	$f_{ADC} \leq 125\text{Hz}$
分解能	RMSノイズおよび 分解能仕様を参照		
出力ノイズと更新レート	RMSノイズおよび 分解能仕様を参照		
積分非直線性 (INL)	±15	FSRのppm (max)	
オフセット誤差 ³	±100/ゲイン	μV (typ)	キャリブレーションなし
オフセット誤差の温度ドリフト ⁴	±100/ゲイン	nV/°C (typ)	ゲイン=1~16
	10	nV/°C (typ)	ゲイン=32~128
フルスケール誤差 ^{3,5}	±10	μV (typ)	
ゲインの温度ドリフト ⁴	±1	ppm/°C (typ)	ゲイン=1~16、外部リファレンス
	±3	ppm/°C (typ)	ゲイン=32~128、外部リファレンス
電源電圧変動除去比	100	dB (typ)	AIN=1V/ゲイン、ゲイン≥4、 外部リファレンス
アナログ入力			
差動入力電圧範囲	±V _{REF} /ゲイン	V (nom)	V _{REF} =REFIN(+)-REFIN(-)、または 内部リファレンス、ゲイン=1~128
AIN電圧の絶対限界値 ²			
非バッファ・モード	GND-30mV	V (min)	ゲイン=1または2
	AV _{DD} +30mV	V (max)	
バッファ・モード	GND+100mV	V (min)	ゲイン=1または2
	AV _{DD} -100mV	V (max)	
計装アンプ・アクティブ	GND+300mV	V (min)	ゲイン=4~128
	AV _{DD} -1.1	V (max)	
同相電圧 (V _{CM})	0.2+(ゲイン/2× (AIN(+)-AIN(-)))	V (min)	AMP-CM=1、V _{CM} =(AIN(+)+AIN(-))/2、 ゲイン=4~128
	AV _{DD} -0.2-(ゲイン/2 ×(AIN(+)-AIN(-)))	V (max)	
アナログ入力電流			
バッファ・モードまたは 計装アンプ・アクティブ			
平均入力電流 ²	±1	nA (max)	ゲイン=1または2
	±250	pA (max)	ゲイン=4~128
	±1	nA (max)	AIN6(+)/AIN6(-)
	±2	pA/°C (typ)	
平均入力電流ドリフト			
非バッファ・モード			
平均入力電流	±400	nA/V (typ)	ゲイン=1または2
平均入力電流ドリフト	±50	pA/V/°C (typ)	入力電流は入力電圧によって変化
ノーマル・モード除去比 ²			
内部クロック			
@50Hz、60Hz	60	dB (min)	70dB (typ)、50±1Hz、60±1Hz、 FS[3:0]=1010 ⁶
@50Hz	78	dB (min)	90dB (typ)、50±1Hz、FS[3:0]=1001 ⁶
@60Hz	86	dB (min)	100dB (typ)、60±1Hz、FS[3:0]=1000 ⁶
外部クロック			
@50Hz、60Hz	60	dB (min)	70dB (typ)、50±1Hz、60±1Hz、 FS[3:0]=1010 ⁶
@50Hz	94	dB (min)	100dB (typ)、50±1Hz、FS[3:0]=1001 ⁶
@60Hz	90	dB (min)	100dB (typ)、60±1Hz、FS[3:0]=1000 ⁶
同相ノイズ除去比			
@DC	100	dB (min)	AIN=1V/ゲイン (ゲイン=4)、 AMP-CMビット=1
@50Hz、60Hz ²	100	dB (min)	50±1Hz、60±1Hz、FS[3:0]=1010 ⁶
@50Hz、60Hz ²	100	dB (min)	50±1Hz (FS[3:0]=1001 ⁶)、 60±1Hz (FS[3:0]=1000 ⁶)

パラメータ ¹	AD7794B	単位	テスト条件/備考
AD7794 (チョッピングのイネーブル またはディスエーブル時) リファレンス入力 内部リファレンス 内部リファレンスの初期精度 内部リファレンスのドリフト ² 電源電圧変動除去比 外部リファレンス 外部REFIN電圧 リファレンス電圧範囲 ² REFIN電圧の絶対限界値 ² 平均リファレンス入力電流 平均リファレンス入力電流ドリフト ノーマル・モード除去比 ² 同相ノイズ除去比 リファレンス検出レベル	1.17±0.01% 4 15 85 2.5 0.1 AV _{DD} GND−30mV AV _{DD} +30mV 400 ±0.03 アナログ入力の場合 と同じ 100 0.3 0.65	V (min/max) ppm/°C (typ) ppm/°C (max) dB (typ) V (nom) V (min) V (max) V (min) V (max) nA/V (typ) nA/V/°C (typ) dB (typ) V (min) V (max)	AV _{DD} =4V、T _A =25°C REFIN = REFIN(+) − REFIN(−) V _{REF} =AV _{DD} で計装アンプがアクティブの 場合は、差動入力を0.9×V _{REF} /ゲインに 制限してください V _{REF} <0.3Vの場合、NOXREFビットが アクティブ
励起電流源 (IEXC1とIEXC2) 出力電流 初期許容誤差 (25°C時) ドリフト 電流マッチング ドリフト・マッチング ライン・レギュレーション (AV _{DD}) 負荷レギュレーション 出力コンプライアンス	10/210/1000 ±5 200 ±0.5 50 2 0.2 AV _{DD} −0.65 AV _{DD} −1.1 GND−30mV	μA (nom) % (typ) ppm/°C (typ) % (typ) ppm/°C (typ) %/V (typ) %/V (typ) V (max) V (max) V (min)	IEXC1とIEXC2間のマッチング、 V _{OUT} =0V AV _{DD} =5V±5% 10μAまたは210μAの電流源に設定 1mAの電流源に設定
バイアス電圧発生器 V _{BIAS} V _{BIAS} 発生器の起動時間	AV _{DD} /2 図11を参照	V (nom) ms/nF (typ)	AINピンに接続するコンデンサによります
温度センサー 精度 感度	±2 0.81	°C (typ) mV/°C (typ)	温度センサーのキャリブレーションを行う 場合に適用
ローサイドのパワー・スイッチ R _{ON} 許容可能電流 ²	7 9 30	Ω (max) Ω (max) mA (max)	AV _{DD} =5V AV _{DD} =3V 連続電流
デジタル出力 (P1とP2) V _{OH} (出力ハイ電圧) ² V _{OL} (出力ロー電圧) ² V _{OH} (出力ハイ電圧) ² V _{OL} (出力ロー電圧) ²	AV _{DD} −0.6 0.4 4 0.4	V (min) V (max) V (min) V (max)	AV _{DD} =3V、I _{SOURCE} =100μA AV _{DD} =3V、I _{SINK} =100μA AV _{DD} =5V、I _{SOURCE} =200μA AV _{DD} =5V、I _{SINK} =800μA
内部/外部クロック 内部クロック 周波数 ² デューティ・サイクル	64±3% 50:50	kHz (min/max) % (typ)	

AD7794

パラメータ ¹	AD7794B	単位	テスト条件/備考
外部クロック 周波数	64	kHz (nom)	1/2の分周機能を使用する場合は (CLK1ビット=CLK0ビット=1)、 128kHzの外部クロックを使用できます
デューティ・サイクル	45 : 55 ~ 55 : 45	% (typ)	64kHzの外部クロックに適用。128kHzの 外部クロックの場合、デューティ・サイクル の要求仕様が緩和されます
ロジック入力 \overline{CS}^2 V _{INL} (入力ロー電圧) V _{INH} (入力ハイ電圧) SCLK、CLK、DIN (シュミット・トリガ入力) ² V _{T(+)} V _{T(-)} V _{T(+)} - V _{T(-)} V _{T(+)} V _{T(-)} V _{T(+)} - V _{T(-)} 入力電流 入力容量	0.8 0.4 2.0 1.4/2 0.8/1.7 0.1/0.17 0.9/2 0.4/1.35 0.06/0.13 ±10 10	V (max) V (max) V (min) V (min/max) V (min/max) V (min/max) V (min/max) V (min/max) V (min/max) μA (max) pF (typ)	DV _{DD} =5V DV _{DD} =3V DV _{DD} =3Vまたは5V DV _{DD} =5V DV _{DD} =5V DV _{DD} =5V DV _{DD} =3V DV _{DD} =3V DV _{DD} =3V DV _{DD} =3V V _{IN} =DV _{DD} またはGND すべてのデジタル入力
ロジック出力 (CLKを含む) V _{OH} (出力ハイ電圧) ² V _{OL} (出力ロー電圧) ² V _{OH} (出力ハイ電圧) ² V _{OL} (出力ロー電圧) ² フローティング状態での漏れ電流 フローティング状態での出力容量 データ出力コーディング	DV _{DD} -0.6 0.4 4 0.4 ±10 10 オフセット・バイナリ	V (min) V (max) V (min) V (max) μA (max) pF (typ)	DV _{DD} =3V、I _{SOURCE} =100μA DV _{DD} =3V、I _{SINK} =100μA DV _{DD} =5V、I _{SOURCE} =200μA DV _{DD} =5V、 I _{SINK} =1.6mA (DOUT/ \overline{RDY})/800μA (CLK)
システム・キャリブレーション ² フルスケール・キャリブレーション 制限電圧 ゼロスケール・キャリブレーション 制限電圧 入力スパン	1.05×FS -1.05×FS 0.8×FS 2.1×FS	V (max) V (min) V (min) V (max)	
電源条件 ⁷ 電源電圧 AV _{DD} ~GND DV _{DD} ~GND 電源電流 I _{DD} 電流	2.7/5.25 2.7/5.25 140 185 400 500 1	V (min/max) V (min/max) μA (max) μA (max) μA (max) μA (max) μA (max)	110μA (typ) @AV _{DD} =3V、 125μA (typ) @AV _{DD} =5V、 非バッファ・モード、外部リファレンス 130μA (typ) @AV _{DD} =3V、 165μA (typ) @AV _{DD} =5V、 バッファ・モード、ゲイン=1または2、 外部リファレンス 300μA (typ) @AV _{DD} =3V、 350μA (typ) @AV _{DD} =5V、 ゲイン=4~128、外部リファレンス 400μA (typ) @AV _{DD} =3V、 450μA (typ) @AV _{DD} =5V、 ゲイン=4~128、内部リファレンス
I _{DD} (パワーダウン・モード)	1	μA (max)	

¹ 温度範囲：-40~+105℃

² これらの仕様については出荷テストを実施していませんが、量産開始時の特性評価データにより保証しています。

³ キャリブレーション後、誤差は設定ゲイン条件および選択した更新レート条件でのノイズ値にほぼ等しくなります。

⁴ 任意の温度下で再キャリブレーションを行うと、ドリフト誤差は除去できます。

⁵ フルスケール誤差は、出荷時のキャリブレーション条件 (AV_{DD}=4V、ゲイン=1、T_A=25℃) で正側と負側の両方のフルスケールに適用されます。

⁶ FS[3:0]は、出力ワード・レートをを選択する際にモード・レジスタで使用する4つのビットです。

⁷ デジタル入力は、励起電流とバイアス電圧発生器をディセーブルにしたときのDV_{DD}またはGNDに等しくなります。

タイミング特性

特に指定のない限り、 $AV_{DD}=2.7\sim 5.25V$ 、 $DV_{DD}=2.7\sim 5.25V$ 、 $GND=0V$ 、入力ロジック0=0V、入力ロジック1= DV_{DD} 。

表2

パラメータ ^{1, 2}	T_{MIN} 、 T_{MAX} 時の限界値 (Bバージョン)	単位	条件/備考
t_3	100	ns (min)	SCLKのハイ・パルス幅
t_4	100	ns (min)	SCLKのロー・パルス幅
読出し動作			
t_1	0	ns (min)	\overline{CS} の立下がりエッジからDOUT/ \overline{RDY} アクティブまでの時間
	60	ns (max)	$DV_{DD}=4.75\sim 5.25V$
	80	ns (max)	$DV_{DD}=2.7\sim 3.6V$
t_2^3	0	ns (min)	SCLKのアクティブ・エッジからデータ有効までの遅延時間 ⁴
	60	ns (max)	$DV_{DD}=4.75\sim 5.25V$
	80	ns (max)	$DV_{DD}=2.7\sim 3.6V$
$t_5^{5, 6}$	10	ns (min)	\overline{CS} の非アクティブ・エッジ後のバス開放時間
	80	ns (max)	
t_6	0	ns (min)	SCLKの非アクティブ・エッジから \overline{CS} の非アクティブ・エッジまでの時間
t_7	10	ns (min)	SCLKの非アクティブ・エッジからDOUT/ \overline{RDY} ハイレベルまでの時間
書込み動作			
t_8	0	ns (min)	\overline{CS} の立下がりエッジからSCLKアクティブ・エッジまでのセットアップ時間 ⁴
t_9	30	ns (min)	データ有効からSCLKエッジまでのセットアップ時間
t_{10}	25	ns (min)	データ有効からSCLKエッジまでのホールド時間
t_{11}	0	ns (min)	\overline{CS} の立上がりエッジからSCLKエッジまでのホールド時間

¹ 量産開始時にサンプル・テストにより適合性を保証。すべての入力信号を $t_r=t_f=5ns$ (DV_{DD} の10~90%)で規定し、1.6Vの電圧レベルからの時間を計測しています。

² 図3と図4を参照。

³ これらの数値は図2の負荷回路を用いて測定したもので、出力が V_{OL} または V_{OH} の限界値に達するまでの時間です。

⁴ SCLKのアクティブ・エッジとは、SCLKの立下がりエッジです。

⁵ これらの数値は、図2の負荷回路においてデータ出力が0.5V変化するまでの所要時間を測定して得られたものです。この測定値は、50pFコンデンサの充放電による影響を受けない値として推測されているため、タイミング特性に記載された時間がデバイスの真のバス開放時間であり、外部バスの負荷容量とは無関係です。

⁶ ADCの読出し後、 \overline{RDY} はハイレベルに戻ります。シングル/連続変換モード時、 \overline{RDY} がハイレベルの間、必要に応じて同じデータを再読出しできますが、その際、読出し動作が次の出力更新の直前で実行されないようにしてください。連続読出しモードでは、デジタル・ワードの読出しは1回のみ可能です。

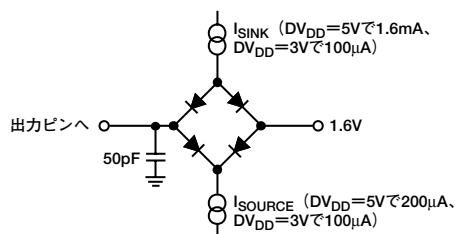


図2. タイミング特性評価用の負荷回路

AD7794

タイミング図

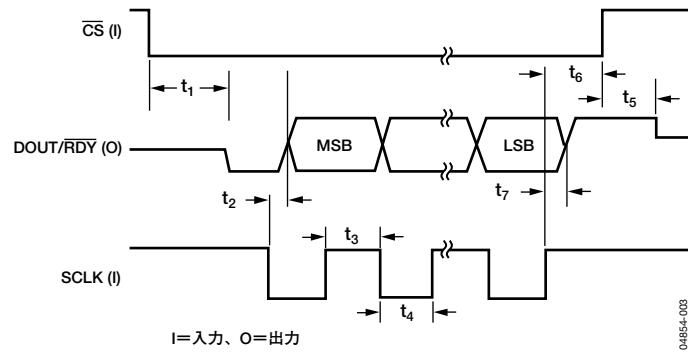


図3. 読出しサイクルのタイミング図

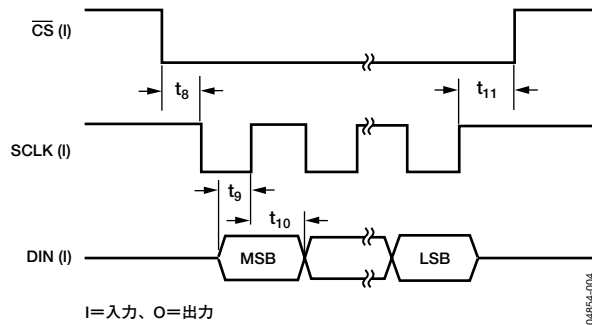


図4. 書込みサイクルのタイミング図

絶対最大定格

特に指定のない限り $T_A = 25^\circ\text{C}$

表3

パラメータ	定格
GNDに対する AV_{DD}	$-0.3 \sim +7\text{V}$
GNDに対する DV_{DD}	$-0.3 \sim +7\text{V}$
GNDに対するアナログ入力電圧	$-0.3\text{V} \sim AV_{DD} + 0.3\text{V}$
GNDに対するリファレンス入力電圧	$-0.3\text{V} \sim AV_{DD} + 0.3\text{V}$
GNDに対するデジタル入力電圧	$-0.3\text{V} \sim DV_{DD} + 0.3\text{V}$
GNDに対するデジタル出力電圧	$-0.3\text{V} \sim DV_{DD} + 0.3\text{V}$
AIN/デジタル入力電流	10mA
動作温度範囲	$-40 \sim +105^\circ\text{C}$
保存温度範囲	$-65 \sim +150^\circ\text{C}$
最大ジャンクション温度 TSSOP	150°C
θ_{JA} 熱抵抗	97.9°C/W
θ_{JC} 熱抵抗	14°C/W
リード温度、ハンダ処理 ベーキング時間 (60秒)	215°C
赤外線方式 (15秒)	220°C

左記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作に関するセクションに記載されている規定値以上でのデバイスの動作を定めたものではありません。長時間デバイスを絶対最大定格条件に置くと、デバイスの信頼性に影響を与えることがあります。

注意

ESD（静電放電）の影響を受けやすいデバイスです。人体や試験機器には4000Vもの高圧の静電気が容易に蓄積され、検知されないまま放電されることがあります。本製品は当社独自のESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。



AD7794

ピン配置と機能の説明

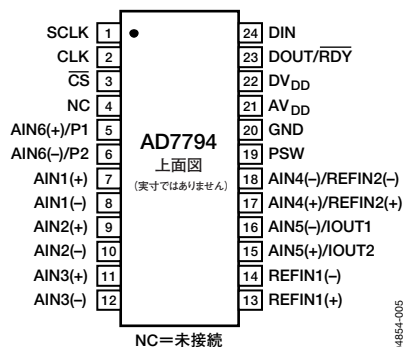


図5. ピン配置

表4. ピン機能の説明

ピン番号	記号	説明
1	SCLK	ADCとの間のデータ転送用のシリアル・クロック入力。SCLKにはシュミット・トリガ入力が入蔵されているため、光絶縁アプリケーションのインターフェースに適しています。すべてのデータを連続したパルス列で転送する場合、シリアル・クロックを連続して使用できます。あるいは、ADCとの間でデータをもっと小さいバッチで転送する場合には、これを不連続クロックとして用いることができます。
2	CLK	クロック入力/クロック出力。内部クロックをこのピンに出力することもできます。あるいは、内部クロックをディスエーブルにして、外部クロックからADCを駆動することも可能です。この場合、1つの共通クロックから複数のADCを駆動するため、複数ADCの同時変換が可能になります。
3	\overline{CS}	チップ・セレクト入力。これは、ADCの選択に使用するアクティブ・ローのロジック入力です。 \overline{CS} は、シリアル・バスに複数のデバイスを接続したシステムでADCを選択するのに用いたり、デバイスとの通信でフレーム同期信号として用いることができます。 \overline{CS} をローレベルにハードウェア接続できるので、デバイスとのインターフェースにSCLK、DIN、DOUTの各信号を用いる3線式モードでADCを使うことができます。
4	NC	未使用
5	AIN6(+)/P1	アナログ入力/デジタル出力ピン。AIN6(+)は、差動アナログ入力ペアAIN6(+)/AIN6(-)の正端子です。またこのピンは、 AV_{DD} とGND間を基準とする汎用の出力ビットとしても機能します。
6	AIN6(-)/P2	アナログ入力/デジタル出力ピン。AIN6(-)は、差動アナログ入力ペアAIN6(+)/AIN6(-)の負端子です。またこのピンは、 AV_{DD} とGND間を基準とする汎用の出力ビットとしても機能します。
7	AIN1(+)	アナログ入力。AIN1(+)は、差動アナログ入力ペアAIN1(+)/AIN1(-)の正端子です。
8	AIN1(-)	アナログ入力。AIN1(-)は、差動アナログ入力ペアAIN1(+)/AIN1(-)の負端子です。
9	AIN2(+)	アナログ入力。AIN2(+)は、差動アナログ入力ペアAIN2(+)/AIN2(-)の正端子です。
10	AIN2(-)	アナログ入力。AIN2(-)は、差動アナログ入力ペアAIN2(+)/AIN2(-)の負端子です。
11	AIN3(+)	アナログ入力。AIN3(+)は、差動アナログ入力ペアAIN3(+)/AIN3(-)の負端子です。
12	AIN3(-)	アナログ入力。AIN3(-)は、差動アナログ入力ペアAIN3(+)/AIN3(-)の負端子です。
13	REFIN1(+)	リファレンス入力 (正)。REFIN1(+)ピンとREFIN1(-)ピンの間に外部電圧リファレンスを印可できます。REFIN1(+)の電圧範囲は、 $AV_{DD} \sim GND + 0.1V$ です。リファレンス電圧 (REFIN1(+)-REFIN1(-)) の公称値は2.5Vですが、デバイスは0.1V $\sim AV_{DD}$ のリファレンスで機能動作します。
14	REFIN1(-)	リファレンス入力 (負)。リファレンス入力の電圧範囲はGND $\sim AV_{DD} - 0.1V$ です。
15	AIN5(+)/IOUT2	内部励起電流源のアナログ入出力。AIN5(+)は、差動アナログ入力ペアAIN5(+)/AIN5(-)の正端子です。また、このピンから内部励起電流源を出力することもできます。励起電流源は出力を10 μA 、210 μA 、1mAに設定できます。IEXC1またはIEXC2をこの出力に切り替えることができます。
16	AIN5(-)/IOUT1	内部励起電流源のアナログ入出力。AIN5(-)は、差動アナログ入力ペアAIN5(+)/AIN5(-)の負端子です。また、このピンから内部励起電流源を出力することもできます。励起電流源は出力を10 μA 、210 μA 、1mAに設定できます。IEXC1またはIEXC2をこの出力に切り替えることができます。
17	AIN4(+)/REFIN2(+)	アナログ入力/リファレンス入力 (正)。AIN4(+)は、差動アナログ入力ペアAIN4(+)/AIN4(-)の正端子です。このピンはリファレンス入力としても機能します。REFIN2(+)の電圧範囲は $AV_{DD} \sim GND + 0.1V$ です。リファレンス電圧 (REFIN2(+)-REFIN2(-)) の公称値は2.5Vですが、デバイスは0.1V $\sim AV_{DD}$ までのリファレンスで機能動作します。

ピン番号	記号	説明
18	AIN4(-)/REFIN2(-)	アナログ入力／リファレンス入力 (負)。 AIN4(-)は、差動アナログ入力ペアAIN4(+)/AIN4(-)の負端子です。またこのピンは、REFIN2の負のリファレンス入力としても機能します。このリファレンス入力の電圧範囲はGND～AV _{DD} -0.1Vです。
19	PSW	GNDに接続するローサイドのパワー・スイッチです。
20	GND	グラウンド基準ポイント
21	AV _{DD}	2.7～5.25Vのアナログ電源電圧。
22	DV _{DD}	2.7～5.25Vのシリアル・インターフェース電源電圧。DV _{DD} 電圧はAV _{DD} 電圧から独立しているの で、DV _{DD} =3VのときAV _{DD} =5Vに、またはDV _{DD} =5VのときAV _{DD} =3Vにできます。
23	DOUT/RD \bar{Y}	シリアル・データ出力／データ・レディ出力。DOUT/RD \bar{Y} には2つの機能があります。1つは、 ADCの出力シフト・レジスタにアクセスするためのシリアル・データ出力ピンとしての機能で す。出力シフト・レジスタには、オンチップのデータ・レジスタまたはコントロール・レジスタ からのデータを格納できます。さらにこのピンは、ローレベルに遷移することによって変換の終 了を示すデータ・レディ出力ピンとしても機能します。変換後、データの読出しがない場合は、 次の更新が実行される前に、このピンはハイレベルになります。 DOUT/RD \bar{Y} の立下がりエッジは、プロセッサへの割込みとして使用でき、データが有効である ことを示します。外部シリアル・クロックの使用時には、DOUT/RD \bar{Y} ピンによってデータの読 出しが可能です。CSがローレベルの場合、SCLKの立下がりエッジでデータ／制御ワード情報が DOUT/RD \bar{Y} ピンに出力され、この情報はSCLKの立上がりエッジで有効になります。
24	DIN	ADCの入力シフト・レジスタに対するシリアル・データ入力です。シフト・レジスタのデータは、 ADC内部のコントロール・レジスタに転送されます。コミュニケーション・レジスタのレジスタ 選択ビットによって、適切なレジスタを特定します。

AD7794

RMSノイズおよび分解能仕様

AD7794はチョッピング動作をイネーブル/ディスエーブルに設定できるので、ADCのスイッチング時間またはドリフト性能を最適化できます。チョッピングのイネーブル時、セトリング時間は変換時間の2倍になりますが、ADCがオフセットを連続的に除去するため、オフセットとオフセット・ドリフトが低く抑えられます。チョッピングをディスエーブルにすると、許容可能な更新レートはイネーブル時と同じですが、セトリング時間と変換時間が等しくなります。チョッピングのディスエーブル時は、オフセットが除去されないため、定期的なオフセット・キャリブレーションによりドリフトによるオフセットを除去する必要があります。

チョッピングのイネーブル設定

外部リファレンス

表5は、更新レートとゲインをさまざまな値に設定したときのAD7794の出力rmsノイズを示したものです。外部リファレンス=2.5Vとしたときのバイポーラ入力電圧範囲を適用しています。これらの値は代表値であり、差動入力電圧=0V時に測定したものです。表6は、AD7794の有効分解能を示したもので、括弧内の数値は出力ピークtoピーク (p-p) 分解能を表します。なお、有効分解能の計算にはrmsノイズを使用していますが、p-p分解能の計算にはp-pノイズを使用していますので注意してください。p-p分解能は、コードのフリッカがまったくない場合の分解能です。これらの値は代表値であり、最も近いLSB値に丸めています。

表5. チョッピング・イネーブル時の、さまざまなゲインと出力更新レートに対する出力RMSノイズ (μV) (2.5V外部リファレンスを使用)

更新レート (Hz)	ゲイン1	ゲイン2	ゲイン4	ゲイン8	ゲイン16	ゲイン32	ゲイン64	ゲイン128
4.17	0.64	0.6	0.29	0.22	0.1	0.065	0.039	0.041
8.33	1.04	0.96	0.38	0.26	0.13	0.078	0.057	0.055
16.7	1.55	1.45	0.54	0.36	0.18	0.11	0.087	0.086
33.3	2.3	2.13	0.74	0.5	0.23	0.17	0.124	0.118
62.5	2.95	2.85	0.92	0.58	0.29	0.2	0.153	0.144
125	4.89	4.74	1.49	1	0.48	0.32	0.265	0.283
250	11.76	9.5	4.02	1.96	0.88	0.45	0.379	0.397
500	11.33	9.44	3.07	1.79	0.99	0.63	0.568	0.593

表6. チョッピング・イネーブル時の、さまざまなゲインと出力更新レートに対する分解能 (ビット) の代表値 (2.5V外部電圧リファレンスを使用)

更新レート (Hz)	ゲイン1	ゲイン2	ゲイン4	ゲイン8	ゲイン16	ゲイン32	ゲイン64	ゲイン128
4.17	23 (20.5)	22 (19.5)	22 (19.5)	21.5 (19)	21.5 (19)	21 (18.5)	21 (18.5)	20 (17.5)
8.33	22 (19.5)	21.5 (19)	21.5 (19)	21 (18.5)	21 (18.5)	21 (18.5)	20.5 (18)	19.5 (17)
16.7	21.5 (19)	20.5 (18)	21 (18.5)	20.5 (18)	20.5 (18)	20.5 (18)	20 (17.5)	19 (16.5)
33.3	21 (18.5)	20 (17.5)	20.5 (18)	20 (17.5)	20.5 (18)	20 (17.5)	19 (16.5)	18.5 (16)
62.5	20.5 (18)	19.5 (17)	20.5 (18)	20 (17.5)	20 (17.5)	19.5 (17)	19 (16.5)	18 (15.5)
125	20 (17.5)	19 (16.5)	19.5 (17)	19 (16.5)	19.5 (17)	19 (16.5)	18 (15.5)	17 (14.5)
250	18.5 (16)	18 (15.5)	18 (15.5)	18 (15.5)	18.5 (16)	18.5 (16)	17.5 (15)	16.5 (14)
500	18.5 (16)	18 (15.5)	18.5 (16)	18.5 (16)	18 (15.5)	18 (15.5)	17 (14.5)	16 (13.5)

内部リファレンス

表7は、更新レートとゲインをさまざまな値に設定したときのAD7794の出力rmsノイズを示したものです。内部リファレンス=1.17Vとしたときのバイポーラ入力電圧範囲を適用しています。これらの値は代表値であり、差動入力電圧=0V時に測定したものです。表8は、AD7794の有効分解能を示したもので、括弧内の数値は出力ピークtoピーク (p-p) 分解能を表します。

なお、有効分解能の計算にはrmsノイズを使用していますが、p-p分解能の計算にはp-pノイズを使用していますので注意してください。p-p分解能は、コードのフリッカがまったくない場合の分解能です。これらの値は代表値であり、最も近いLSB値に丸めています。

表7. チョッピング・イネーブル時の、さまざまなゲインと出力更新レートに対する出力RMSノイズ (μV) (内部電圧リファレンスを使用)

更新レート (Hz)	ゲイン1	ゲイン2	ゲイン4	ゲイン8	ゲイン16	ゲイン32	ゲイン64	ゲイン128
4.17	0.81	0.67	0.32	0.2	0.13	0.065	0.04	0.039
8.33	1.18	1.11	0.41	0.25	0.16	0.078	0.058	0.059
16.7	1.96	1.72	0.55	0.36	0.25	0.11	0.088	0.088
33.3	2.99	2.48	0.83	0.48	0.33	0.17	0.13	0.12
62.5	3.6	3.25	1.03	0.65	0.46	0.2	0.15	0.15
125	5.83	5.01	1.69	0.96	0.67	0.32	0.25	0.26
250	11.22	8.64	2.69	1.9	1.04	0.45	0.35	0.34
500	12.46	10.58	4.58	2	1.27	0.63	0.50	0.49

表8. チョッピング・イネーブル時の、さまざまなゲインと出力更新レートに対する分解能 (ビット) の代表値 (内部電圧リファレンスを使用)

更新レート (Hz)	ゲイン1	ゲイン2	ゲイン4	ゲイン8	ゲイン16	ゲイン32	ゲイン64	ゲイン128
4.17	21.5 (19)	20.5 (18)	21 (18.5)	20.5 (18)	20 (17.5)	20 (17.5)	20 (17.5)	19 (16.5)
8.33	21 (18.5)	20 (17.5)	20.5 (18)	20 (17.5)	20 (17.5)	20 (17.5)	19 (16.5)	18 (15.5)
16.7	20 (17.5)	19.5 (17)	20 (17.5)	19.5 (17)	19 (16.5)	19.5 (17)	18.5 (16)	17.5 (15)
33.3	19.5 (17)	19 (16.5)	19.5 (17)	19 (16.5)	19 (16.5)	18.5 (16)	18 (15.5)	17 (14.5)
62.5	19.5 (17)	18.5 (16)	19 (16.5)	19 (16.5)	18.5 (16)	18.5 (16)	18 (15.5)	17 (14.5)
125	18.5 (16)	18 (15.5)	18.5 (16)	18 (15.5)	17.5 (15)	18 (15.5)	17 (14.5)	16 (13.5)
250	17.5 (15)	17 (14.5)	17.5 (15)	17 (14.5)	17 (14.5)	17.5 (15)	16.5 (14)	15.5 (13)
500	17.5 (15)	17 (14.5)	17 (14.5)	17 (14.5)	17 (14.5)	17 (14.5)	16 (13.5)	15 (12.5)

AD7794

チョッピングのディスエーブル設定

チョッピングをディスエーブルに設定すると、スイッチング時間またはセトリング時間が1/2に低減されます。ただし、オフセットとオフセット・ドリフトを除去するため、定期的なオフセット・キャリブレーションが必要になります。チョッピングをディスエーブルにするときは、モード・レジスタのAMP-CMビットを1に設定してください。これによって使用可能な同相電圧は制限されますが、この設定を行わないと同相ノイズ除去比が劣化してしまいます。

表9は、チョッピングのディスエーブル時に、更新レートとゲインをさまざまな値に設定したときのAD7794の出力rmsノイズを示したものです。

内部リファレンス=1.17Vとしたときのバイポーラ入力電圧範囲を適用しています。これらの値は代表値であり、差動入力電圧=0V時に測定したものです。表10は、AD7794の有効分解能を示したもので、括弧内の数値は出力ピークtoピーク (p-p) 分解能を表します。なお、有効分解能の計算にはrmsノイズを使用していますが、p-p分解能の計算にはp-pノイズを使用していますので注意してください。p-p分解能は、コードのフリッカーがまったくない場合の分解能です。これらの値は代表値であり、最も近いLSB値に丸めています。

表9. チョッピング・ディスエーブル時の、さまざまなゲインと出力更新レートに対する出力RMSノイズ (μV) (内部電圧リファレンスを使用)

更新レート (Hz)	ゲイン1	ゲイン2	ゲイン4	ゲイン8	ゲイン16	ゲイン32	ゲイン64	ゲイン128
4.17	1.22	0.98	0.33	0.18	0.13	0.062	0.053	0.051
8.33	1.74	1.53	0.49	0.29	0.21	0.1	0.079	0.07
16.7	2.64	2.44	0.79	0.48	0.33	0.16	0.13	0.12
33.3	4.55	3.52	1.11	0.66	0.46	0.21	0.17	0.16
62.5	5.03	4.45	1.47	0.81	0.58	0.27	0.2	0.22
125	8.13	7.24	2.27	1.33	0.96	0.48	0.36	0.37
250	15.12	13.18	3.77	2.09	1.45	0.64	0.5	0.47
500	17.18	14.63	8.86	2.96	1.92	0.89	0.69	0.7

表10. チョッピング・ディスエーブル時の、さまざまなゲインと出力更新レートに対する分解能 (ビット) の代表値 (内部電圧リファレンスを使用)

更新レート (Hz)	ゲイン1	ゲイン2	ゲイン4	ゲイン8	ゲイン16	ゲイン32	ゲイン64	ゲイン128
4.17	21 (18.5)	20 (17.5)	21 (18.5)	20.5 (18)	20 (17.5)	20 (17.5)	19.5 (17)	18.5 (16)
8.33	20.5 (18)	19.5 (17)	20 (17.5)	20 (17.5)	19.5 (17)	19.5 (17)	19 (16.5)	18 (15.5)
16.7	20 (17.5)	19 (16.5)	19.5 (17)	19 (16.5)	19 (16.5)	19 (16.5)	18 (15.5)	17 (14.5)
33.3	19 (16.5)	18.5 (16)	19 (16.5)	19 (16.5)	18.5 (16)	18.5 (16)	17.5 (15)	17 (14.5)
62.5	19 (16.5)	18 (15.5)	18.5 (16)	18.5 (16)	18 (15.5)	18 (15.5)	17.5 (15)	16.5 (14)
125	18 (15.5)	17.5 (15)	18 (15.5)	17.5 (15)	17 (14.5)	17 (14.5)	16.5 (14)	15.5 (13)
250	17 (14.5)	16.5 (14)	17 (14.5)	17 (14.5)	16.5 (14)	17 (14.5)	16 (13.5)	15 (12.5)
500	17 (14.5)	16.5 (14)	16 (13.5)	16.5 (14)	16 (13.5)	16.5 (14)	15.5 (13)	14.5 (12)

代表的な性能特性

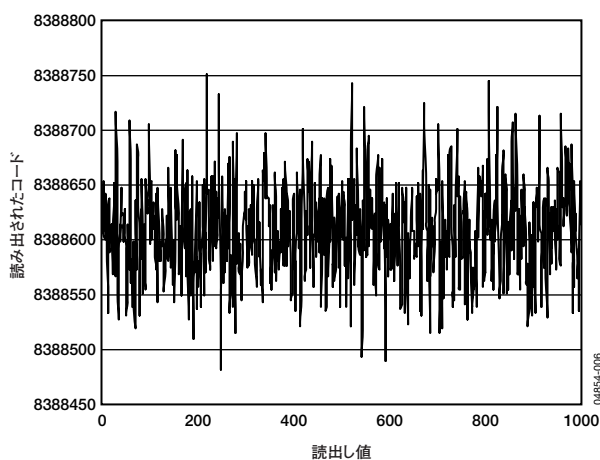


図6. 代表的なノイズ・プロット (内部リファレンスを使用、ゲイン=64、更新レート=16.7Hz、チョッピングをイネーブル)

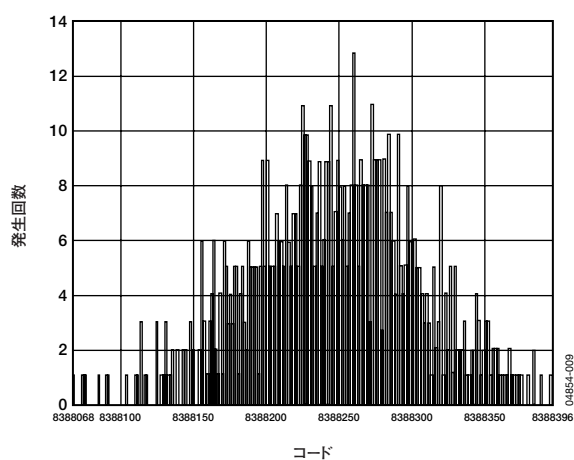


図9. ノイズ分布ヒストグラム (内部リファレンスを使用、ゲイン=64、更新レート=16.7Hz、チョッピングをディセーブル、AMP-CM=1)

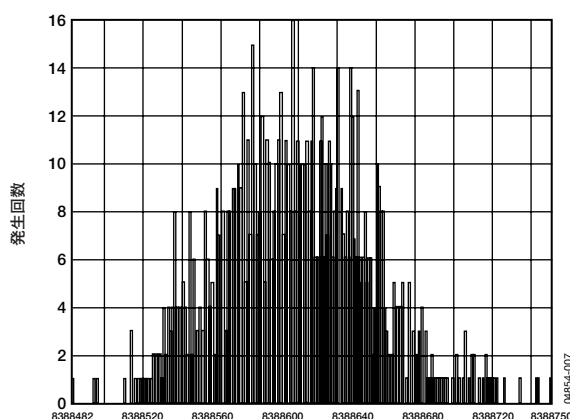


図7. ノイズ分布ヒストグラム (内部リファレンスを使用、ゲイン=64、更新レート=16.7Hz、チョッピングをイネーブル)

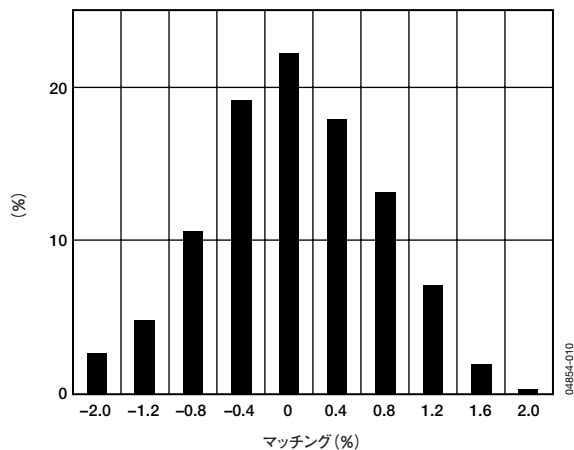


図10. 励起電流マッチング (210 μ A、周囲温度時)

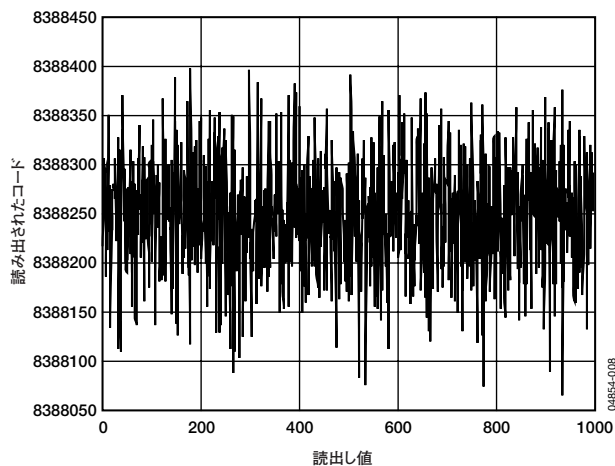


図8. 代表的なノイズ・プロット (内部リファレンスを使用、ゲイン=64、チョッピングをディセーブル、AMP-CM=1)

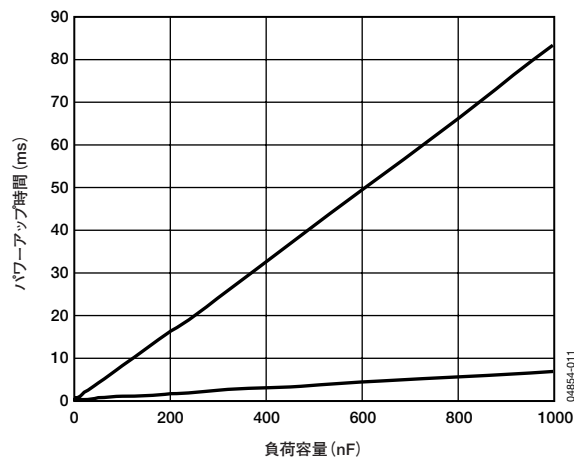


図11. 負荷容量 対 バイアス電圧発生器の
パワーアップ時間

AD7794

オンチップ・レジスタ

ADCの制御と設定は、以下に説明する多数のオンチップ・レジスタによって行います。以下では特に指定のない限り、「セット」はロジック1の状態を、「クリア」はロジック0の状態を意味します。

コミュニケーション・レジスタ

(RS2, RS1, RS0=0, 0, 0)

コミュニケーション・レジスタは、8ビットの書き込み専用レジスタです。ADCとの通信はすべて、コミュニケーション・レジスタへの書き込み動作により開始されなければなりません。コミュニケーション・レジスタに書き込まれたデータによって、次の動作が読出し/書き込みのどちらなのか、またどのレジスタに対してこの動作を実行するのかが決まります。読出しまたは書き込み動作の場合、選択されたレジスタに対する後続の読出しまたは書き込み動作が完了した時点で、インターフェースはコミュニケーション・レジスタへの書き込み動作待ちの状態に戻ります。これがインターフェースのデフォルト状態であり、パワーアップ時またはリセット後にADCはこのデフォルト状態に入り、コミュニケーション・レジスタへの書き込み動作を待ちます。インターフェース・シーケンスが失われた状況では、DINがハイレベルのときに32サイクル以上のシリアル・クロックを使用して書き込み動作を行い、デバイス全体をリセットして、ADCをデフォルト状態に復帰させます。表11にコミュニケーション・レジスタのビット配置を示しています。CR0~CR7はビット位置を表し、CRは各ビットがコミュニケーション・レジスタに割り当てられていることを示します。CR7はデータ・ストリームの先頭ビットです。括弧内の数値は、そのビットのパワーオン時またはリセット後のデフォルト・ステータスを示します。

CR7	CR6	CR5	CR4	CR3	CR2	CR1	CR0
$\overline{WEN}(0)$	$R/\overline{W}(0)$	RS2(0)	RS1(0)	RS0(0)	CREAD(0)	0(0)	0(0)

表11. コミュニケーション・レジスタのビット配置

ビット位置	ビット名	説明
CR7	\overline{WEN}	書き込みイネーブル・ビット。コミュニケーション・レジスタへの書き込み動作を実際に行うには、このビットに0を書き込む必要があります。最初の書き込みビットが1の場合は、このレジスタの後続ビットに対してデバイスはクロック動作を実行しません。このビットに0が書き込まれるまで、デバイスはこのビット位置にとどまります。 \overline{WEN} ビットに0が書き込まれると、次の7ビットはコミュニケーション・レジスタにロードされます。
CR6	R/\overline{W}	このビットが0の場合は、次の動作が指定レジスタへの書き込みであることを示します。このビットが1の場合は、次の動作が指定レジスタからの読出しであることを示します。
CR5~CR3	RS2~RS0	レジスタ・アドレス・ビット。これらのアドレス・ビットを使用して、シリアル・インターフェース通信時にADCのどのレジスタを選択するかを決定します。表12を参照。
CR2	CREAD	データ・レジスタの連続読出し動作。このビットを1に設定すると（そしてデータ・レジスタを選択すると）、シリアル・インターフェースが設定され、データ・レジスタの連続読出しが可能になります。すなわち、 \overline{RDY} ピンがローレベルに遷移して変換の終了が確認された後でSCLKパルスが印加されると、データ・レジスタの内容が自動的にDOUTピンに送られます。データ読み出しの場合、コミュニケーション・レジスタに書き込みを行う必要はありません。この連続読出しモードをイネーブルにするには、01011100の命令をコミュニケーション・レジスタに書き込む必要があります。連続読出しモードを終了するには、 \overline{RDY} ピンがローレベルの間に01011000の命令をコミュニケーション・レジスタに書き込みます。連続読出しモードの間ADCは、このモードの終了命令を受信できるようにDINライン上のアクティビティをモニタします。さらに、32個の連続的な1がDIN上で確認されると、リセットが実行されます。したがって、連続読出しモード時は、デバイスに命令が書き込まれるまで、DINをローレベルに保持してください。
CR1~CR0	0	正常に動作させるため、これらのビットにロジック0を設定してください。

表12. レジスタの選択

RS2	RS1	RS0	レジスタ	レジスタのサイズ
0	0	0	書き込み動作時のコミュニケーション・レジスタ	8ビット
0	0	0	読出し動作時のステータス・レジスタ	8ビット
0	0	1	モード・レジスタ	16ビット
0	1	0	設定レジスタ	16ビット
0	1	1	データ・レジスタ	24ビット
1	0	0	IDレジスタ	8ビット
1	0	1	IOレジスタ	8ビット
1	1	0	オフセット・レジスタ	24ビット
1	1	1	フルスケール・レジスタ	24ビット

ステータス・レジスタ

(RS2, RS1, RS0=0, 0, 0, パワーオン/リセット=0x88)

ステータス・レジスタは、8ビットの読み出し専用レジスタです。ADCステータス・レジスタにアクセスするには、コミュニケーション・レジスタへの書き込みを行い、次の動作に読み出しを選択し、RS2, RS1, RS0の各ビットに0をロードします。表13にステータス・レジスタのビット配置を示します。SR0~SR7はビット位置を表し、SRは各ビットがステータス・レジスタに割り当てられていることを示します。SR7はデータ・ストリームの先頭ビットです。括弧内の数値は、そのビットのパワーオン時またはリセット後のデフォルト・ステータスを示します。

SR7	SR6	SR5	SR4	SR3	SR2	SR1	SR0
$\overline{\text{RDY}}(1)$	ERR(0)	NOXREF(0)	0(0)	1(1)	CH2(0)	CH1(0)	CH0(0)

表13. ステータス・レジスタのビット配置

ビット位置	ビット名	説明
SR7	$\overline{\text{RDY}}$	ADCのレディ・ビット。ADCデータ・レジスタにデータが書き込まれると、このビットはクリアされます。ユーザに変換データの読み出しを行わないように知らせるため、ADCデータ・レジスタの読み出し完了後、またはデータ・レジスタが新しい変換結果に更新される一定期間前に、 $\overline{\text{RDY}}$ ビットが自動的にセットされます。デバイスがパワーダウン・モードのときにも、 $\overline{\text{RDY}}$ ビットがセットされます。さらに変換の終了も、 $\overline{\text{DOUT}}/\overline{\text{RDY}}$ ピンによって示されます。このピンをステータス・レジスタの代わりに使用して、ADCの変換データをモニタすることもできます。
SR6	ERR	ADCのエラー・ビット。このビットは、 $\overline{\text{RDY}}$ ビットと同時に書き込まれます。このビットをセットして、ADCデータ・レジスタの書き込み結果がオール0またはオール1にクランプされたことを示します。エラー原因には、オーバーレンジやアンダーレンジ、リファレンス電圧の無供給があります。変換開始の書き込み動作が行われると、このビットはクリアされます。
SR5	NOXREF	外部リファレンス無効表示ビット。このビットがセットされている場合、選択したリファレンス電圧 (REFIN1またはREFIN2) が規定のスレッシュホールドを下回っていることを示します。セット時、変換結果がオール1にクランプされます。このビットがクリアされている場合、選択したリファレンス・ピンに有効なリファレンス電圧が印加されていることを示します。設定レジスタのREF_DETビットを1に設定すると、NOXREFビットがイネーブルになります。選択した電圧リファレンス入力に印可される電圧が無効であれば、ERRビットも設定されます。
SR4	0	このビットは自動的にクリアされます。
SR3	1	このビットは自動的にセットされます。
SR2~SR0	CH2~CH0	これらのビットで、ADCが変換しているチャンネルがわかります。

モード・レジスタ

(RS2, RS1, RS0=0, 0, 1, パワーオン/リセット=0x000A)

モード・レジスタは、データの読み出し/書き込みが可能な16ビットのレジスタです。このレジスタを使用して、動作モード、更新レート、クロック源を選択します。表14に、モード・レジスタのビット指定の概要を示します。MR0~MR15はビット位置を表し、MRは各ビットがモード・レジスタに割り当てられることを示します。MR15はデータ・ストリームの先頭ビットです。括弧内の数値は、そのビットのパワーオン時またはリセット後のデフォルト・ステータスを示します。セットアップ・レジスタに書き込みを行うと、変調器とフィルタがリセットされ、 $\overline{\text{RDY}}$ ビットがセットされます。

MR15	MR14	MR13	MR12	MR11	MR10	MR9	MR8
MD2(0)	MD1(0)	MD0(0)	PSW(0)	0(0)	0(0)	AMP-CM(0)	0(0)
MR7	MR6	MR5	MR4	MR3	MR2	MR1	MR0
CLK1(0)	CLK0(0)	0(0)	CHOP-DIS(0)	FS3(1)	FS2(0)	FS1(1)	FS0(0)

表14. モード・レジスタのビット配置

ビット位置	ビット名	説明
MR15~MR13	MD2~MD0	モード選択ビット。これらのビットを使用して、AD7794の動作モードを選択します (表15を参照)。
MR12	PSW	パワー・スイッチ制御ビット。このビットをセットすると、GNDに接続されたパワー・スイッチPSWが閉じます。パワー・スイッチにより、最大30mAの電流シンクが可能です。このビットをクリアすると、パワー・スイッチが開きます。ADCがパワーダウン・モードに設定されたときもパワー・スイッチが開きます。
MR11~MR10	0	正常に動作させるため、これらのビットにロジック0を設定してください。
MR9	AMP-CM	計装アンプ同相ビット。このビットは、CHOP-DISビットと併せて使用します。チョッピングのデイスエーブル時にAMP-CMビットをクリアすると、広範な同相電圧範囲で動作できます。ただしこの場合、DC同相ノイズ除去比は劣化します。

AD7794

ビット位置	ビット名	説明															
		AMP-CMビットをセットすると、同相電圧範囲が狭くなります（「仕様」を参照）。ただしこの場合、DC同相ノイズ除去比が大幅に向上します。															
MR8 MR7~MR6	0 CLK1~CLK0	正しく動作させるため、このビットにロジック0を設定してください。 これらのビットを使用して、AD7794のクロック源を選択します。64kHzのオンチップ・クロック、または外部クロックが利用できます。外部クロックの使用を無効にする機能によって、複数のAD7794を同期させることが可能です。さらに、高精度の外部クロックでAD7794を駆動すると、50Hz/60Hzの除去比が改善します。															
		<table border="1"> <thead> <tr> <th>CLK1</th> <th>CLK0</th> <th>ADCのクロック源</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>64kHzの内部クロック。CLKピンに内部クロックが出力されません。</td> </tr> <tr> <td>0</td> <td>1</td> <td>64kHzの内部クロック。CLKピンに内部クロックが出力されます。</td> </tr> <tr> <td>1</td> <td>0</td> <td>64kHzの外部クロックを使用。外部クロックのデューティ・サイクルは45:55 (55:45) まで許容できます。外部クロックの仕様を参照。</td> </tr> <tr> <td>1</td> <td>1</td> <td>外部クロックを使用。外部クロックは、AD7794の内部で1/2に分周されます。</td> </tr> </tbody> </table>	CLK1	CLK0	ADCのクロック源	0	0	64kHzの内部クロック。CLKピンに内部クロックが出力されません。	0	1	64kHzの内部クロック。CLKピンに内部クロックが出力されます。	1	0	64kHzの外部クロックを使用。外部クロックのデューティ・サイクルは45:55 (55:45) まで許容できます。外部クロックの仕様を参照。	1	1	外部クロックを使用。外部クロックは、AD7794の内部で1/2に分周されます。
CLK1	CLK0	ADCのクロック源															
0	0	64kHzの内部クロック。CLKピンに内部クロックが出力されません。															
0	1	64kHzの内部クロック。CLKピンに内部クロックが出力されます。															
1	0	64kHzの外部クロックを使用。外部クロックのデューティ・サイクルは45:55 (55:45) まで許容できます。外部クロックの仕様を参照。															
1	1	外部クロックを使用。外部クロックは、AD7794の内部で1/2に分周されます。															
MR5 MR4	0 CHOP-DIS	正常に動作させるため、このビットにロジック0を設定してください。 このビットを使用して、チョッピング動作をイネーブルまたはディスエーブルにします。パワーアップ時/リセット後、CHOP-DISはクリアされるので、チョッピングがイネーブルになります。CHOP-DISをセットすると、チョッピングはディスエーブルになります。このビットは、AMP-CMビットと併せて使用します。 チョッピングのディスエーブル時は、AMP-CMビットをセットしてください。これによって、ADCの使用できる同相電圧範囲が制限されますが、DC同相ノイズ除去比の劣化を防ぎます。															
MR3~MR0	FS3~FS0	フィルタの更新レート選択ビット（表16を参照）															

表15. 動作モード

MD2	MD1	MD0	モード
0	0	0	連続変換モード（デフォルト） 連続変換モードでは、ADCは連続的に変換を実行し、その結果をデータ・レジスタに格納します。変換が終了するとRDYがローレベルになります。デバイスを連続読み出しモードに設定すると、SCLKパルスが印可される時に変換データが自動的にDOUTライン上に出力されるため、ユーザはADCの変換結果を読み出すことができます。あるいは、コミュニケーション・レジスタへの書き込み動作によって、ADCが変換結果を出力するように命令することも可能です。パワーオンの後、チョッピングのイネーブル時では $2f_{ADC}$ 時間の経過後、ディスエーブル時では $1/f_{ADC}$ 時間の経過後に最初の変換を行います。それに続いて、チョッピングのイネーブル/ディスエーブルにかかわらず f_{ADC} の周波数で変換動作を実行します。
0	0	1	シングル変換モード シングル変換モードを選択すると、ADCはパワーアップ後に1回のみ変換を行います。発振器のパワーアップとセトリングの所要時間は1msです。この後ADCは、チョッピングのイネーブル時に $2/f_{ADC}$ の時間、チョッピングのディスエーブル時に $1/f_{ADC}$ の時間で変換を行います。変換結果はデータ・レジスタに格納され、RDYがローレベルに遷移すると、ADCはパワーダウン・モードに戻ります。データを読み出すか、または別の変換を開始するまで、変換結果はデータ・レジスタに保持され、RDYはアクティブ（ローレベル）の状態を維持します。
0	1	0	アイドル・モード アイドル・モードでは、ADCのフィルタと変調器がリセット状態に保持されますが、変調器のクロック供給は続行されます。
0	1	1	パワーダウン・モード パワーダウン・モードでは、AD7794の回路（電流源、パワー・スイッチ、バーンアウト電流、バイアス電圧発生器、CLKOUT回路など）がパワーダウンします。
1	0	0	内部ゼロスケール・キャリブレーション イネーブルのチャンネル入力は、内部で自動的に短絡されます。キャリブレーションの完了には、チョッピングのイネーブル時で2変換サイクル、ディスエーブル時で1変換サイクルが必要です。RDYはキャリブレーション開始時にハイレベルになり、終了時にローレベルに戻ります。キャリブレーション後、ADCはアイドル・モードに入ります。計測したオフセット係数は、選択チャンネルのオフセット・レジスタに格納されます。
1	0	1	内部フルスケール・キャリブレーション キャリブレーション用に選択したアナログ入力にフルスケール入力電圧を自動的に接続します。ゲインが1の場合、キャリブレーションの完了には、チョッピングのイネーブル時で2変換サイクル、ディスエーブル時で1変換サイクルが必要です。それ以外の場合、フルスケール・キャリブレーションの完了には、チョッピングのイネーブル時で4変換サイクル、ディスエーブル時で2変換サイクルが必要です。RDYはキャリブレーション開始時にハイレベルになり、終了時にローレベルに戻ります。キャリブレーション後、ADCはアイドル・モードに入ります。計測したフルスケール係数は、選択チャンネルのフルスケール・レジスタに格納されます。

MD2	MD1	MD0	モード
1	1	0	ゲインが128のとき、内部フルスケール・キャリブレーションは実行できません。ゲインを128に設定する場合は、システム・フルスケール・キャリブレーションを実行してください。 特定チャンネルのゲインを変更する場合は、フルスケール誤差を最小限に抑えるために、その都度必ずフルスケール・キャリブレーションを行ってください。 システム・ゼロスケール・キャリブレーション このモードでは、CH2-CH0ビットで選択したチャンネル入力ピンにシステム・ゼロスケール入力を接続する必要があります。システム・オフセット・キャリブレーションの完了には、チョッピングのイネーブル時で2変換サイクル、ディスエーブル時で1変換サイクルが必要です。RDYはキャリブレーション開始時にハイレベルになり、終了時にローレベルに戻ります。キャリブレーション後、ADCはアイドル・モードに入ります。計測したオフセット係数は、選択チャンネルのオフセット・レジスタに格納されます。
1	1	1	システム・フルスケール・キャリブレーション このモードでは、CH2-CH0ビットで選択したチャンネル入力ピンにシステム・フルスケール入力を接続する必要があります。 キャリブレーションの完了には、チョッピングのイネーブル時で2変換サイクル、ディスエーブル時で1変換サイクルが必要です。RDYはキャリブレーション開始時にハイレベルになり、終了時にローレベルに戻ります。キャリブレーション後、ADCはアイドル・モードに入ります。計測したフルスケール係数は、選択チャンネルのフルスケール・レジスタに格納されます。 特定チャンネルのゲインを変更する場合は、その都度必ずフルスケール・キャリブレーションを行ってください。

表16. 選択可能な更新レート（チョッピングのイネーブル時）

FS3	FS2	FS1	FS0	f _{ADC} (Hz)	T _{SETTLE} (ms)	除去比@50Hz/60Hz（内部クロック）
0	0	0	0	×	×	
0	0	0	1	500	4	
0	0	1	0	250	8	
0	0	1	1	125	16	
0	1	0	0	62.5	32	
0	1	0	1	50	40	
0	1	1	0	39.2	48	
0	1	1	1	33.3	60	
1	0	0	0	19.6	101	90dB（60Hzのみ）
1	0	0	1	16.7	120	80dB（50Hzのみ）
1	0	1	0	16.7	120	65dB（50Hzおよび60Hz）
1	0	1	1	12.5	160	66dB（50Hzおよび60Hz）
1	1	0	0	10	200	69dB（50Hzおよび60Hz）
1	1	0	1	8.33	240	70dB（50Hzおよび60Hz）
1	1	1	0	6.25	320	72dB（50Hzおよび60Hz）
1	1	1	1	4.17	480	74dB（50Hzおよび60Hz）

チョッピング動作のディスエーブル時、更新レートはそのまま維持されますが、各更新レートに対するセトリング時間は1/2に短縮されます。更新レート=16.7Hzのときの50Hz/60Hzの除去比は、60dBに低下します。

設定レジスタ

(RS2、RS1、RS0=0、1、0、パワーオン/リセット=0x0710)

設定レジスタは、データの読出し/書込みが可能な16ビットのレジスタです。このレジスタを使用して、ADCのユニポーラ/バイポーラ・モード設定、バッファのイネーブル/ディスエーブル、バーンアウト電流のイネーブル/ディスエーブル、ゲインの選択、アナログ入力チャンネルの選択を行います。表17に、設定レジスタのビット配置を示します。CON0~CON15はビット位置を表し、CONは各ビットが設定レジスタに割り当てられていることを示します。CON15はデータ・ストリームの先頭ビットです。括弧内の数値は、そのビットのパワーオン時またはリセット後のデフォルト・ステータスを示します。

CON15	CON14	CON13	CON12	CON11	CON10	CON9	CON8
VBIAS1(0)	VBIAS0(0)	BO(0)	U \bar{B} (0)	BOOST(0)	G2(1)	G1(1)	G0(1)
CON7	CON6	CON5	CON4	CON3	CON2	CON1	CON0
REFSEL1(0)	REFSEL0(0)	REF_DET(0)	BUF(1)	CH3(0)	CH2(0)	CH1(0)	CH0(0)

AD7794

表17. 設定レジスタのビット配置

ビット位置	ビット名	説明																																													
CON15～ CON14	VBIAS1～ VBIAS0	バイアス電圧発生器イネーブル・ビット。アナログ入力の負端子をAV _{DD} /2までバイアスできます。これらのビットは、ブースト・ビットと併せて使用します。																																													
		<table border="1"> <thead> <tr> <th>VBIAS1</th> <th>VBIAS0</th> <th>バイアス電圧</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>バイアス電圧発生器をディスエーブルにします。</td> </tr> <tr> <td>0</td> <td>1</td> <td>バイアス電圧をAIN1(-)に接続します。</td> </tr> <tr> <td>1</td> <td>0</td> <td>バイアス電圧をAIN2(-)に接続します。</td> </tr> <tr> <td>1</td> <td>1</td> <td>バイアス電圧をAIN3(-)に接続します。</td> </tr> </tbody> </table>	VBIAS1	VBIAS0	バイアス電圧	0	0	バイアス電圧発生器をディスエーブルにします。	0	1	バイアス電圧をAIN1(-)に接続します。	1	0	バイアス電圧をAIN2(-)に接続します。	1	1	バイアス電圧をAIN3(-)に接続します。																														
VBIAS1	VBIAS0	バイアス電圧																																													
0	0	バイアス電圧発生器をディスエーブルにします。																																													
0	1	バイアス電圧をAIN1(-)に接続します。																																													
1	0	バイアス電圧をAIN2(-)に接続します。																																													
1	1	バイアス電圧をAIN3(-)に接続します。																																													
CON13	BO	バーンアウト電流イネーブル・ビット。正常に動作させるため、このビットをロジック0に設定してください。																																													
CON12	U/ \bar{B}	このビットを1に設定すると、信号経路で100nAの電流源がイネーブルになります。BO=0に設定すると、バーンアウト電流がディスエーブルになります。バーンアウト電流をイネーブルに設定できるのは、バッファまたは計装アンプがアクティブのときのみです。																																													
CON11	BOOST	ユニポーラ/バイポーラ選択ビット。このビットをセットすると、ユニポーラ・コーディングがイネーブルになります。すなわち、ゼロスケールの差動入力に0x000000のコードで、フルスケールの差動入力に0xFFFFのコードで出力されます。このビットをクリアすると、バイポーラ・コーディングがイネーブルになります。この場合、負のフルスケール差動入力に0x000000のコード、ゼロスケール差動入力に0x800000のコード、そして正のフルスケール差動入力に0xFFFFのコードで出力されます。																																													
CON10～ CON8	G2～G0	このビットは、VBIAS1とVBIAS0のビットと併せて使用します。このビットをセットすると、バイアス電圧発生器の消費電流が増加し、パワーアップ時間が短くなります。																																													
		ゲイン選択ビット。 これらのビットに書込みを行い、以下のADC入力電圧範囲を選択します。																																													
		<table border="1"> <thead> <tr> <th>G2</th> <th>G1</th> <th>G0</th> <th>ゲイン</th> <th>ADCの入力電圧範囲 (電圧リファレンス=2.5V)</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>1 (計装アンプ不使用)</td> <td>2.5V</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>2 (計装アンプ不使用)</td> <td>1.25V</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>4</td> <td>625mV</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>8</td> <td>312.5mV</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>16</td> <td>156.2mV</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>32</td> <td>78.125mV</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>64</td> <td>39.06mV</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>128</td> <td>19.53mV</td> </tr> </tbody> </table>	G2	G1	G0	ゲイン	ADCの入力電圧範囲 (電圧リファレンス=2.5V)	0	0	0	1 (計装アンプ不使用)	2.5V	0	0	1	2 (計装アンプ不使用)	1.25V	0	1	0	4	625mV	0	1	1	8	312.5mV	1	0	0	16	156.2mV	1	0	1	32	78.125mV	1	1	0	64	39.06mV	1	1	1	128	19.53mV
G2	G1	G0	ゲイン	ADCの入力電圧範囲 (電圧リファレンス=2.5V)																																											
0	0	0	1 (計装アンプ不使用)	2.5V																																											
0	0	1	2 (計装アンプ不使用)	1.25V																																											
0	1	0	4	625mV																																											
0	1	1	8	312.5mV																																											
1	0	0	16	156.2mV																																											
1	0	1	32	78.125mV																																											
1	1	0	64	39.06mV																																											
1	1	1	128	19.53mV																																											
CON7～ CON6	REFSEL1/ REFSEL0	リファレンス選択ビット。これらのビットを使用して、ADCのリファレンス電圧源を選択します。																																													
		<table border="1"> <thead> <tr> <th>REFSEL1</th> <th>REFSEL0</th> <th>リファレンス電圧源</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>外部リファレンスをREFIN1(+)ピンとREFIN1(-)ピンの間に印加します</td> </tr> <tr> <td>0</td> <td>1</td> <td>外部リファレンスをREFIN2(+)ピンとREFIN2(-)ピンの間に印加します</td> </tr> <tr> <td>1</td> <td>0</td> <td>1.17Vの内部リファレンス</td> </tr> <tr> <td>1</td> <td>1</td> <td>予備</td> </tr> </tbody> </table>	REFSEL1	REFSEL0	リファレンス電圧源	0	0	外部リファレンスをREFIN1(+)ピンとREFIN1(-)ピンの間に印加します	0	1	外部リファレンスをREFIN2(+)ピンとREFIN2(-)ピンの間に印加します	1	0	1.17Vの内部リファレンス	1	1	予備																														
REFSEL1	REFSEL0	リファレンス電圧源																																													
0	0	外部リファレンスをREFIN1(+)ピンとREFIN1(-)ピンの間に印加します																																													
0	1	外部リファレンスをREFIN2(+)ピンとREFIN2(-)ピンの間に印加します																																													
1	0	1.17Vの内部リファレンス																																													
1	1	予備																																													
CON5	REF_DET	リファレンス検出機能をイネーブルにします。このビットをセットすると、ADCが使用している外部リファレンスがオープン・サーキットになった、または0.5V未満になったことをステータス・レジスタのNOXREFビットが示します。このビットをクリアすると、リファレンス検出機能はディスエーブルになります。																																													
CON4	BUF	ADCをバッファ/非バッファの動作モードに設定します。このビットをクリアすると、ADCは非バッファ・モードで動作し、デバイスの消費電力が低減します。このビットをセットすると、ADCはバッファ・モードで動作し、システム上でゲイン誤差を発生させることなく、入力インピーダンスをフロントエンドで増大させることができます。ゲインが1および2の場合、バッファをイネーブルまたはディスエーブルに設定できます。ゲインがこれより大きい場合は、バッファは自動的にイネーブルになります。バッファがディスエーブルの時は、アナログ入力ピン上の電圧範囲をGND-30mV～AV _{DD} +30mVとすることができます。バッファがイネーブルの時は、ある程度のヘッドルームが必要となるため、すべての入力ピン上の電圧を両電源レールの100mV以内に制限されます。																																													
CON3～ CON0	CH3～CH0	チャンネル選択ビット。 これらのビットに書込みを行い、ADCのアクティブなアナログ入力チャンネルを選択します。																																													

ビット位置	ビット名	説明				チャンネル	キャリブレーション・ペア
		CH3	CH2	CH1	CH0		
		0	0	0	0	AIN1(+)-AIN1(-)	0
		0	0	0	1	AIN2(+)-AIN2(-)	1
		0	0	1	0	AIN3(+)-AIN3(-)	2
		0	0	1	1	AIN4(+)-AIN4(-)	3
		0	1	0	0	AIN5(+)-AIN5(-)	3
		0	1	0	1	AIN6(+)-AIN6(-)	3
		0	1	1	0	温度センサー	内部リファレンスとゲイン=1を自動的に選択します。
		0	1	1	1	AV _{DD} モニタ	1.17Vの内部リファレンスとゲイン=1/6を自動的に選択します。
		1	0	0	0	AIN1(-)-AIN1(-)	0
		1	0	0	1	予備	
		1	0	1	1	予備	
		1	1	0	0	予備	
		1	1	0	1	予備	
		1	1	1	0	予備	
		1	1	1	1	予備	

データ・レジスタ

(RS2、RS1、RS0=0、1、1、パワーオン/リセット=0x000000)

ADCからの変換結果がこのデータ・レジスタに格納されます。これは読み出し専用レジスタです。このレジスタからの読み出しが完了すると、RDYビット/ピンが設定されます。

IDレジスタ

(RS2、RS1、RS0=1、0、0、パワーオン/リセット=0xXF)

AD7794の識別番号がIDレジスタに格納されます。これは読み出し専用レジスタです。

IOレジスタ

(RS2、RS1、RS0=1、0、1、パワーオン/リセット=0x00)

IOレジスタは、データの読み出し/書き込みが可能な8ビットのレジスタです。このレジスタを使用して、励起電流をイネーブルにし、励起電流値を選択します。表18に、IOレジスタのビット配置を示します。IO0~IO7はビット位置を示し、IOは各ビットがIOレジスタに割り当てられていることを示します。IO7はデータ・ストリームの先頭ビットです。括弧内の数値は、そのビットのパワーオン時またはリセット後のデフォルト・ステータスを示します。

IO7	IO6	IO5	IO4	IO3	IO2	IO1	IO0
0(0)	IOEN(0)	IO2DAT(0)	IO1DAT(0)	IEXCDIR1(0)	IEXCDIR0(0)	IEXCEN1(0)	IEXCEN0(0)

AD7794

表18. IOレジスタのビット配置

ビット位置	ビット名	説明															
IO7	0	正常に動作させるため、これらのビットをロジック0でプログラミングしてください。															
IO6	IOEN	AIN6(+)/P2ピンとAIN6(-)/P2ピンをアナログ入力ピンまたはデジタル出力ピンに設定します。ビットを設定すると、これらのピンはデジタル出力のP1およびP2ピンに設定されます。ビットをクリアすると、これらのピンはアナログ入力のAIN6(+)およびAIN6(-)ピンに設定されます。															
IO5~IO4	IO2DAT/IO1DAT	P2/P1データ。 IOENビットを設定すると、デジタル出力のP1およびP2ピンのデータがIO2DATとIO1DATビットに書き込まれます。															
IO3~IO2	IEXCDIR1~ IEXCDIR0	電流源の方向選択ビット															
		<table border="1"> <thead> <tr> <th>IEXCDIR1</th> <th>IEXCDIR0</th> <th>電流源の方向</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>電流源IEXC1をIOUT1ピンに接続し、電流源IEXC2をIOUT2ピンに接続します。</td> </tr> <tr> <td>0</td> <td>1</td> <td>電流源IEXC1をIOUT2ピンに接続し、電流源IEXC2をIOUT1ピンに接続します。</td> </tr> <tr> <td>1</td> <td>0</td> <td>両方の電流源をIOUT1ピンに接続します。電流源を10μAまたは210μAに設定しているときのみ、この接続が可能です。</td> </tr> <tr> <td>1</td> <td>1</td> <td>両方の電流源をIOUT2ピンに接続します。電流源を10μAまたは210μAに設定しているときのみ、この接続が可能です。</td> </tr> </tbody> </table>	IEXCDIR1	IEXCDIR0	電流源の方向	0	0	電流源IEXC1をIOUT1ピンに接続し、電流源IEXC2をIOUT2ピンに接続します。	0	1	電流源IEXC1をIOUT2ピンに接続し、電流源IEXC2をIOUT1ピンに接続します。	1	0	両方の電流源をIOUT1ピンに接続します。電流源を10 μ Aまたは210 μ Aに設定しているときのみ、この接続が可能です。	1	1	両方の電流源をIOUT2ピンに接続します。電流源を10 μ Aまたは210 μ Aに設定しているときのみ、この接続が可能です。
IEXCDIR1	IEXCDIR0	電流源の方向															
0	0	電流源IEXC1をIOUT1ピンに接続し、電流源IEXC2をIOUT2ピンに接続します。															
0	1	電流源IEXC1をIOUT2ピンに接続し、電流源IEXC2をIOUT1ピンに接続します。															
1	0	両方の電流源をIOUT1ピンに接続します。電流源を10 μ Aまたは210 μ Aに設定しているときのみ、この接続が可能です。															
1	1	両方の電流源をIOUT2ピンに接続します。電流源を10 μ Aまたは210 μ Aに設定しているときのみ、この接続が可能です。															
IO1~IO0	IEXCEN1~ IEXCEN0	これらのビットを使用して、電流源をイネーブル/ディスエーブルに設定し、さらに励起電流値を選択します。															
		<table border="1"> <thead> <tr> <th>IEXCEN1</th> <th>IEXCEN0</th> <th>電流源の値</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>励起電流をディスエーブルにします。</td> </tr> <tr> <td>0</td> <td>1</td> <td>10μA</td> </tr> <tr> <td>1</td> <td>0</td> <td>210μA</td> </tr> <tr> <td>1</td> <td>1</td> <td>1mA</td> </tr> </tbody> </table>	IEXCEN1	IEXCEN0	電流源の値	0	0	励起電流をディスエーブルにします。	0	1	10 μ A	1	0	210 μ A	1	1	1mA
IEXCEN1	IEXCEN0	電流源の値															
0	0	励起電流をディスエーブルにします。															
0	1	10 μ A															
1	0	210 μ A															
1	1	1mA															

オフセット・レジスタ

(RS2, RS1, RS0=1, 1, 0, パワーオン/リセット=0x800000)

オフセット・レジスタは、ADCのオフセット・キャリブレーション係数を格納するレジスタです。パワーオン時のリセット値は、0x800000です。AD7794は4個のオフセット・レジスタを内蔵しています。チャンネルAIN1~AIN3はそれぞれ専用のオフセット・レジスタを備えており、チャンネルAIN4, AIN5, AIN6は1個のオフセット・レジスタを共有します。各レジスタは24ビットの読出し/書込みレジスタです。各オフセット・レジスタとそれに対応するフルスケール・レジスタによって、1組のレジスタ・ペアが形成されます。内部またはシステム・ゼロスケール・キャリブレーションを開始すると、パワーオン時のリセット値が自動的に上書きされます。オフセット・レジスタに書き込むときは、AD7794をパワーダウンまたはアイドル・モードに設定してください。

フルスケール・レジスタ

(RS2, RS1, RS0=1, 1, 1, パワーオン/リセット=0x5XXX00)

フルスケール・レジスタは、ADCのフルスケール・キャリブレーション係数を格納する24ビットのレジスタです。AD7794は4個のフルスケール・レジスタを内蔵しています。チャンネルAIN1, AIN2, AIN3には専用のフルスケール・レジスタが用意されており、チャンネルAIN4, AIN5, AIN6は1個のフルスケール・レジスタを共有します。フルスケール・レジスタは読出し/書込みレジスタですが、このレジスタに書込みを行う際は、ADCをパワーダウン・モードまたはアイドル・モードに設定する必要があります。このレジスタはパワーオン時に、工場出荷時校正のフルスケール・キャリブレーション係数(ゲイン=1で実施)で設定されます。このため、デバイスによってデフォルト係数が異なります。また、内部/外部電圧リファレンスの選択によっても係数が異なります。内部またはシステム・フルスケール・キャリブレーションを開始すると、あるいはフルスケール・レジスタに書込みを行うと、デフォルト値が自動的に上書きされます。

ADC回路情報

概要

AD7794は、 $\Sigma\Delta$ 変調器、バッファ、リファレンス、計装アンプ、デジタル・フィルタを内蔵した低消費電力ADCです。圧力トランスデューサ、重量計、温度計測などのアプリケーションにおけるダイナミック・レンジの広い低周波数信号の計測用に設計されています。

このデバイスは、バッファ付き／バッファなしの6チャンネルの差動入力を備えています。1.17Vの内部リファレンス、または外部リファレンスを使用して動作させることができます。図12に、デバイスの動作に必要な基本的な接続を示します。

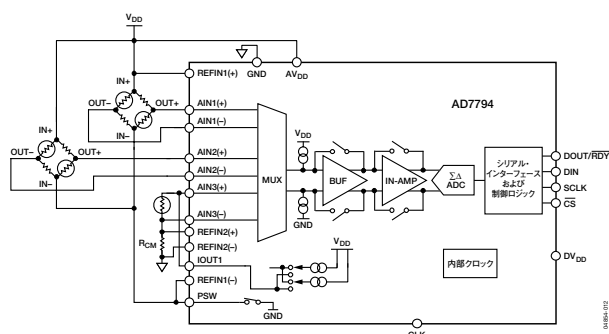


図12. 基本的な接続図

AD7794の出力レート (f_{ADC}) はプログラマブルです。チョッピングをイネーブルにしたときの、設定可能な更新レートと対応するセトリグ時間を表16に示しています。チョッピングのディスエーブル時では、設定可能な更新レートは変わりませんが、各セトリグ時間は $1/f_{ADC}$ になります。ノーマル・モード除去は、デジタル・フィルタの主要な機能です。更新レートを 16.7Hz以下に設定すると、50Hzと60Hzにノッチが配置されるため、50Hzと60Hzの同時除去が最適化されます (図14を参照)。

量子化ノイズとデバイス・ノイズの除去を最適化するため、AD7794では出力更新レートに応じて、多少異なるタイプのフィルタを使用します。更新レートが4.17~12.5Hzの場合は、平均化フィルタと併せて3次Sincフィルタを使用します。更新レートが16.7~39.2Hzの場合は、変型3次Sincフィルタを使用します。更新レート=16.7Hzのとき、3次Sincフィルタは50Hz/60Hzの同時除去を行います。更新レートが50~250Hzの場合は、4次Sincフィルタを使用します。さらに、更新レート=500Hzでは、積分専用フィルタを使用します。チョッピングをイネーブルにしたときの、更新レートに対する各種フィルタの周波数応答性を図13から図16に示します。チョッピングのイネーブル時には、セトリグ時間が更新レートの2倍になります。図17から図20は、チョッピングをディスエーブルにしたときのフィルタ応答性を示しています。

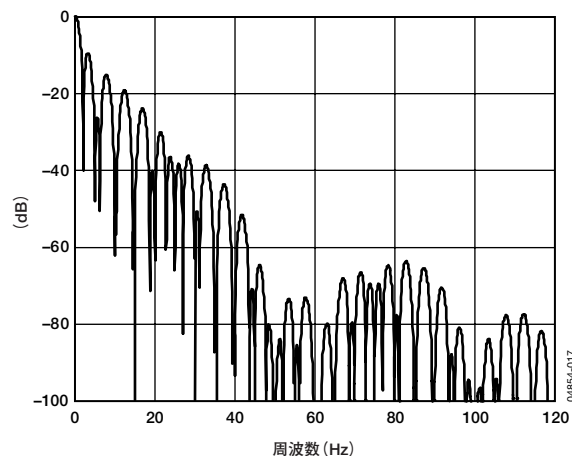


図13. フィルタの周波数応答特性 (更新レート=4.17Hz、チョッピングのイネーブル時)

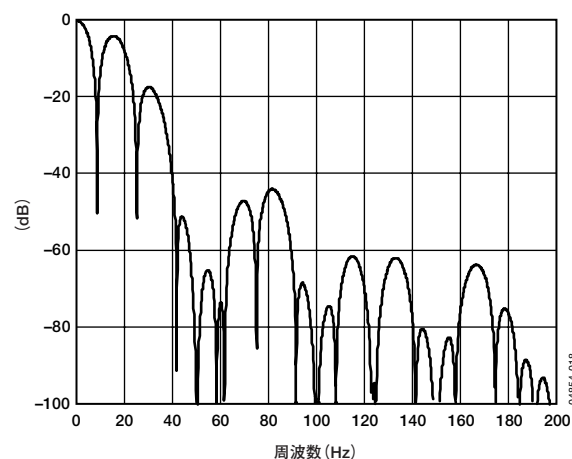


図14. フィルタの周波数応答特性 (更新レート=16.7Hz、チョッピングのイネーブル時)

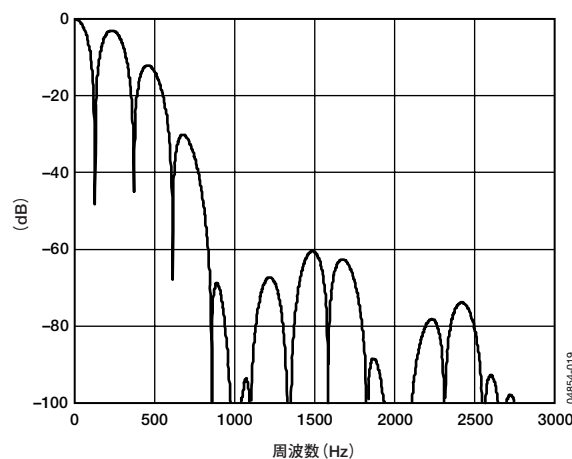


図15. フィルタの周波数応答特性 (更新レート=250Hz、チョッピングのイネーブル時)

AD7794

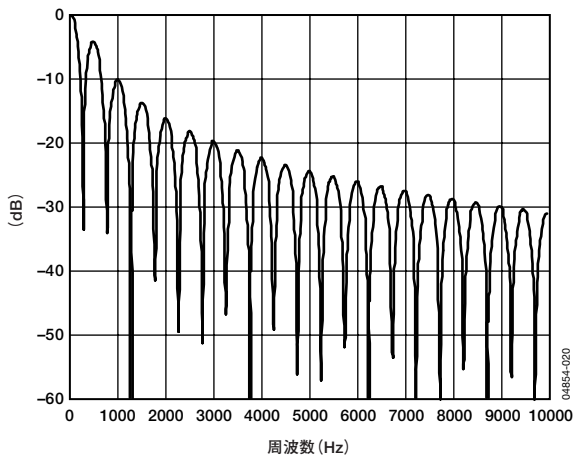


図16. フィルタの周波数応答特性（更新レート＝500Hz、チョッピングのイネーブル時）

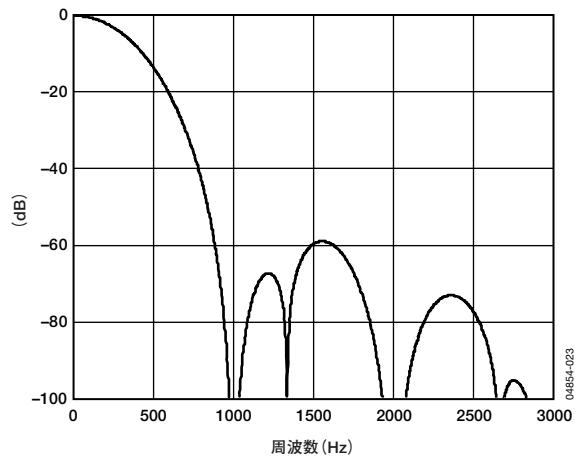


図19. フィルタの周波数応答特性（更新レート＝250Hz、チョッピングのディスエーブル時）

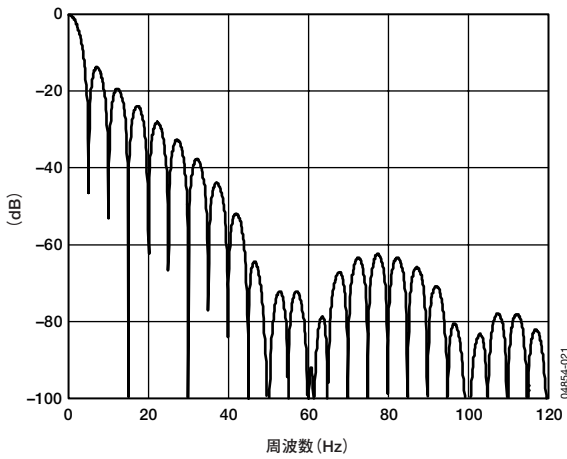


図17. フィルタの周波数応答特性（更新レート＝4.17Hz、チョッピングのディスエーブル時）

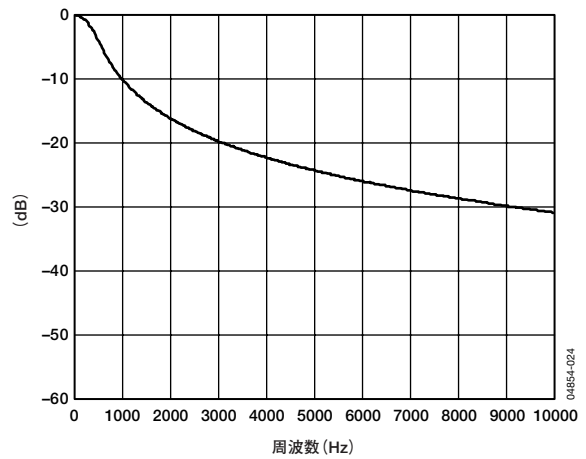


図20. フィルタの周波数応答特性（更新レート＝500Hz、チョッピングのディスエーブル時）

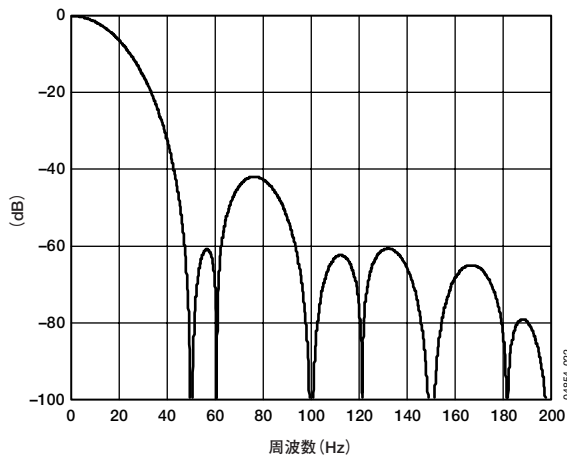


図18. フィルタの周波数応答特性（更新レート＝16.7Hz、チョッピングのディスエーブル時）

デジタル・インターフェース

上述のように、AD7794のプログラマブル機能はオンチップ・レジスタを用いて制御します。データはデバイスのシリアル・インターフェースを介してレジスタに書き込まれ、レジスタからの読出しもこのインターフェースを経由して行われます。デバイスとの通信はすべて、必ずコミュニケーション・レジスタへの書き込みから開始します。パワーオンまたはリセット後、デバイスはコミュニケーション・レジスタに書き込みが行われるのを待ちます。このレジスタに書き込まれたデータによって、次の動作が読出し／書き込みのどちらか、さらに、この読出し／書き込み動作をどのレジスタに対して行うかが決まります。したがって、コミュニケーション・レジスタ以外のレジスタに書き込む場合は、まず最初にコミュニケーション・レジスタへの書き込みを行い、その後を選択したレジスタに書き込みます。他のレジスタからの読出し（連続読出しモードを選択する場合があります）についても、コミュニケーション・レジスタへの書き込みを行った後に、選択したレジスタからデータを読み出します。

AD7794のシリアル・インターフェースには、 \overline{CS} 、DIN、SCLK、DOUT/ \overline{RDY} の4つの信号があります。DINラインはオンチップ・レジスタへのデータ転送に使用し、DOUT/ \overline{RDY} はオンチップ・レジスタからのアクセスに使用します。SCLKはデバイスのシリアル・クロック入力であり、すべてのデータ転送（DINまたはDOUT/ \overline{RDY} 上）はSCLK信号を基準にして実行されます。DOUT/ \overline{RDY} ピンはデータ・レディ信号としても動作し、新しいデータ・ワードが出力レジスタに用意されるとローレベルになります。データ・レジスタからの読出しが完了すると、DOUT/ \overline{RDY} ピンはハイレベルにリセットされます。このピンはデータ・レジスタの更新前にもハイレベルに遷移し、レジスタの更新中にデータが読み出されることのないように、デバイスからの読出しができない状態であることを示します。 \overline{CS} はデバイスの選択に使用します。複数の部品がシリアル・バスに接続されるシステムでは、 \overline{CS} を使用してAD7794をデコードできます。

図3と図4は、 \overline{CS} を使用してAD7794をデコードする場合のインターフェース接続タイミング図です。図3はAD7794の出力シフト・レジスタからの読出し動作のタイミングを、図4は入力シフト・レジスタへの書き込み動作のタイミングを示します。最初

の読出しの後、DOUT/ \overline{RDY} ラインがハイレベルに戻っても、データ・レジスタから同じワードを何度か読み出すことが可能です。ただし、次の出力更新が実行される前に、読出し動作を完了させる必要がある点に注意してください。連続読出しモードの場合は、データ・レジスタからの読出しは1回のみに限られます。

\overline{CS} をローレベルに固定して、シリアル・インターフェースを3線式モードで動作させることができます。この場合、SCLK、DIN、DOUT/ \overline{RDY} のラインを使用してAD7794との通信を行います。変換の終了をモニタするには、ステータス・レジスタの \overline{RDY} ビットを使用します。この方法は、マイクロコントローラとのインターフェースに適しています。デコーディング信号として \overline{CS} が必要な場合は、ポート・ピンから信号を生成できます。マイクロコントローラとのインターフェースでは、データ転送が終了し、次のデータ転送を開始するまでの間は、SCLKをハイレベルのアイドル状態にしておくことを推奨します。

\overline{CS} をフレーム同期信号として使用することも可能です。この方式は、DSPとのインターフェースに便利です。通常 \overline{CS} はDSPでSCLKの立下がりエッジの後で発生するため、DSPとのインターフェース時、先頭ビット（MSB）が \overline{CS} によって効果的にクロック出力されます。タイミング仕様が適切であれば、データ転送の終了から次の転送開始までの間、SCLKを連続的に動作させることができます。

シリアル・インターフェースをリセットするには、DIN入力に1を続けて書き込みます。32以上のシリアル・クロック・サイクルの間でロジック1をAD7794に書き込めば、シリアル・インターフェースがリセットされます。これにより、ソフトウェアのエラーやシステム内で発生するグリッチが原因でインターフェースが失われても、インターフェースを確実に既知の状態にリセットできます。リセット時、インターフェースはコミュニケーション・レジスタへの書き込み待ちの状態に戻り、すべてのレジスタのデータ内容がパワーオン時の値にリセットされます。リセット後は、シリアル・インターフェースをアドレスリングする前に、500 μ sの余裕時間を持たせてください。

AD7794では、連続変換またはシングル変換の設定ができます。図21から図23を参照してください。

AD7794

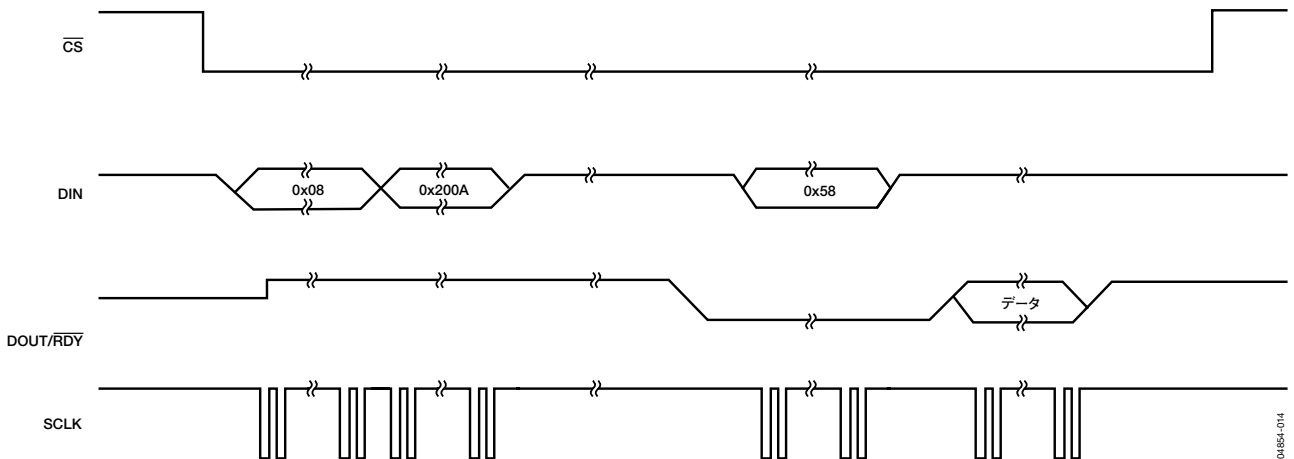


図21. シングル変換

シングル変換モード

シングル変換モードでは、変換終了から次の変換開始までの間、AD7794はシャットダウン・モードになります。モード・レジスタのMD2、MD1、MD0をそれぞれ0、0、1に設定してシングル変換を開始すると、デバイスはパワーアップし、シングル変換を実行した後、シャットダウン・モードに戻ります。オンチップの発振器がパワーアップするのに1ms必要です。変換の所要時間は $2 \times t_{ADC}$ です。変換が終わるとDOUT/RDYはローレベルに遷移し、変換の終了を示します。データ・レジスタからデータワードが読み出されると、DOUT/RDYはハイレベルになります。CSがローレベルであれば、次の変換の開始から完了までの間、DOUT/RDYはハイレベルに維持されます。DOUT/RDYがハイレベルのときでも、必要に応じてデータ・レジスタの読み出しを数回行うことができます。

連続変換モード

これは、パワーアップ時のデフォルト・モードです。このモードでは、AD7794は連続して変換を行い、変換が終了するたびにステータス・レジスタのRDYピンがローレベルになります。CSがローレベルの場合は、変換終了時にDOUT/RDYラインもローレベルに遷移します。変換結果を読み出すには、コミュニケーション・レジスタに書き込みを行い、次の動作がデータ・レジスタからの読み出しであることを示します。ADCにSCLKパルスが入力されると、デジタル変換結果が直ちにDOUT/RDYピンに出力されます。変換結果の読み出し後、DOUT/RDYはハイレベルに戻ります。ユーザーは必要に応じて何回でもデータ・レジスタの読み出し動作を実行できます。なお、この場合は必ず、次の変換の終了時にデータ・レジスタへのアクセスがないようにしてください。データ・レジスタにアクセスがあると、新しい変換ワードが失われてしまいます。

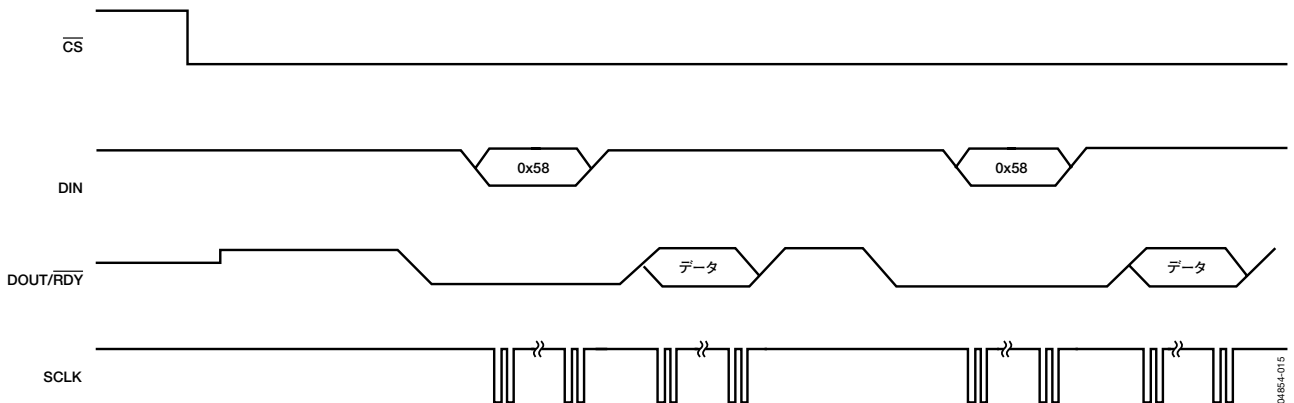


図22. 連続変換

連続読出しモード

変換が終了するたびコミュニケーション・レジスタに書き込みを行ってデータにアクセスする代わりに、変換結果を自動的にDOUT/RDYラインに出力するようにAD7794を設定できます。コミュニケーション・レジスタに01011100を書き込み、該当するサイクル数のSCLKをADCに加えるだけで、変換終了時に24ビットのワードが自動的にDOUT/RDYラインに出力されます。このとき、ADCは連続変換モードに設定してください。

DOUT/RDYがローレベルに遷移して変換の終了を示したとき、十分なサイクル数のSCLKをADCに加えれば、変換データがDOUT/RDYラインに出力されます。変換データが読み出されると、DOUT/RDYは次の変換結果が出力されるまでハイレベルに戻ります。このモードでは、データを読み出せるのは1回のみで、ユーザは次の変換が完了する前に、データワードを読

み出しておく必要があります。次の変換の完了前に変換結果を読み出していない場合、またはワードを読み出すための十分な数のシリアル・クロックがAD7794に加えられなかった場合、次の変換が終了した時点でシリアル出力レジスタがリセットされ、新しい変換結果がシリアル出力レジスタに格納されます。

連続読出しモードを終了するには、DOUT/RDYピンがローレベルの間に01011000の命令をコミュニケーション・レジスタに書き込みます。連続読出しモードでは、このモードの終了命令を受信できるように、ADCがDINライン上のアクティビティをモニタします。また、32個の連続した1がDIN上で確認されると、リセットを実行します。したがって、連続読出しモードでは、命令をデバイスに書き込む必要性が生じるまで、DINはローレベルのままにしてください。

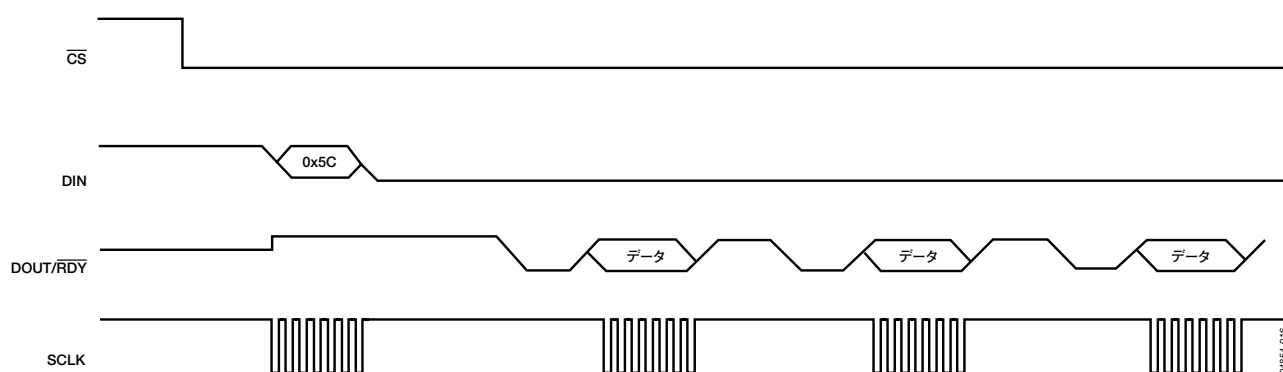


図23. 連続読出しモード

AD7794

回路説明

アナログ入力チャンネル

AD7794は、6チャンネルの差動アナログ入力を備えています。デバイスがバッファ・モードのときこれらの入力チャンネルは内蔵のバッファ・アンプに接続され、非バッファ・モードのときは $\Delta\Sigma$ 変調器に直接接続されます。バッファ・モード（モード・レジスタのBUFビットを1に設定）では、入力チャンネルはバッファ・アンプのハイ・インピーダンス入力段に接続されます。このため、入力で大きな信号源インピーダンスを許容できるようになり、ストレイン・ゲージやRTD（測温抵抗体）などの外部抵抗型センサーとの直接の接続が可能になります。

BUFビット=0のとき、デバイスは非バッファ・モードで動作します。このため、アナログ入力電流が増加します。入力信号経路がバッファされないと信号源の駆動に動的な負荷がかかるため、注意が必要です。入力ピンに抵抗/コンデンサを組み合わせると、ADCの入力駆動信号源の出力インピーダンスによっては、ゲイン誤差が発生する可能性があります。表19に、非バッファ・モード時にゲイン誤差が20ビット分解能に影響を及ぼさないような外付け抵抗/コンデンサの値を示します。

表19. ゲイン誤差が20ビット分解能に影響を及ぼさないような外付け抵抗/コンデンサの組み合わせ

C (pF)	R (Ω)
50	9k
100	6k
500	1.5k
1000	900
5000	200

AD7794が非バッファ・モードで動作できるのは、ゲインが1または2のときに限られます。これよりゲインが大きい場合、バッファは自動的にイネーブルになります。バッファ・モード時の絶対入力電圧は、 $GND+100mV \sim AV_{DD}-100mV$ の範囲に制限されます。ゲインを4以上に設定すると、計装アンプがイネーブルになります。計装アンプがアクティブ時の絶対入力電圧は、 $GND+300mV \sim AV_{DD}-1.1V$ の範囲に制限されます。セットアップ時に同相電圧がこれらの限界値を超えないように注意してください。これらの限界値を超えると、直線性とノイズ性能が劣化します。

非バッファ・モード時の絶対入力電圧は、バッファが行われないため、 $GND-30mV \sim AV_{DD}+30mV$ の電圧範囲になります。この負側の絶対入力電圧範囲では、GNDを基準にして微小な真のバイポーラ信号をモニタできます。

計装アンプ

ゲイン1または2の場合、アナログ入力信号の増幅はAD7794内部でデジタル的に実行されます。ただし、ゲインが4以上のときは、バッファからの出力はオンチップの計装アンプの入力に接続されます。この低ノイズの計装アンプは、振幅の小さい信号のゲイン倍の増幅をデバイス内部で行うと同時に優れたノイズ性能を提供します。たとえば、64のゲイン設定ではrmsノイズは40mV (typ) となりますが、これは21ビットの有効分解能または18.5ビットのピークtoピーク分解能に相当します。

AD7794では、設定レジスタのG2~G0ビットを使用して、1、2、4、8、16、32、64、128のゲインをプログラミングできます。このため、2.5Vの外部リファレンスの使用時、ユニポーラ電圧範囲は0~20mVから0~2.5V、バイポーラ電圧範囲は $\pm 20mV \sim \pm 2.5V$ になります。計装アンプがアクティブのときは（ゲイン ≥ 4 ）、チョッピング・イネーブル時の同相電圧（ $(AIN(+)+AIN(-))/2$ ）を0.5V以上にする必要があります。チョッピングがディスエーブルで、同相ノイズ除去比の劣化を防ぐためにAMP-CMビットを1に設定した場合の許容可能な同相電圧範囲は、

$$0.2 + (\text{ゲイン}/2 \times (AIN(+)-AIN(-)))$$

から

$$AV_{DD} - 0.2 - (\text{ゲイン}/2 \times (AIN(+)-AIN(-)))$$

に制限されます。

AV_{DD} に等しい値の外部リファレンスを用いてAD7794を動作させる場合、計装アンプをアクティブで正しく動作させるために、アナログ入力信号を $V_{REF}/\text{ゲイン}$ の90%に制限してください。

バイポーラ/ユニポーラ構成

AD7794のアナログ入力には、ユニポーラまたはバイポーラの電圧範囲に設定できます。なお、バイポーラ入力範囲では、システムのGNDを基準とした負の電圧を入力できるということではありません。AIN(+)入力でのユニポーラおよびバイポーラ信号は、AIN(-)入力での電圧を基準にします。たとえば、ADCがユニポーラ・モードで、AIN(-)の電圧が2.5V、ゲインが1の場合、AIN(+)ピンに入力される電圧の範囲は、2.5~5Vになります。

ADCをバイポーラ・モードに設定すると、AIN(+)入力のアナログ電圧範囲は0~5Vとなります。バイポーラ/ユニポーラを選択するには、設定レジスタのU/Bビットをプログラミングします。

データ出力のコーディング

ADCをユニポーラ動作に設定すると、出力コードがストレート・バイナリとなり、ゼロスケールの差動入力電圧時に000...000のコードが、ミッドスケールの入力電圧時に100...000のコードが、フルスケールの入力電圧時に111...111のコードがそれぞれ出力されます。アナログ入力電圧に対する出力コードは以下の数式で表せます。

$$\text{コード} = (2^N \times AIN \times \text{ゲイン}) / V_{REF}$$

ADCをバイポーラ動作に設定すると、出力コードがオフセット・バイナリとなり、負のフルスケール差動入力電圧時に000...000のコードが、負のゼロスケール差動入力電圧時に100...000のコードが、正のフルスケール入力電圧時に111...111のコードがそれぞれ出力されます。アナログ入力電圧に対する出力コードは以下の数式で表せます。

$$\text{コード} = 2^{N-1} \times [(AIN \times \text{ゲイン} / V_{REF}) + 1]$$

上の数式で、AINはアナログ入力電圧、ゲインは計装アンプの設定値（1～128）、N=24となります。

バーンアウト電流

AD7794は、100nAの定電流発生器を2つ内蔵しており、1つはAV_{DD}からAIN(+)に電流を供給し、もう1つはAIN(-)からGNDに電流を引き込みます。これらの電流は、選択されたアナログ入力ペアにスイッチされます。どちらの電流も、設定レジスタのバーンアウト電流イネーブル (BO) ビットの指定に従って、オン/オフします。該当チャンネルの計測に入る前に、これらの電流を使用して外部トランスデューサがまだ動作状態であることを確認できます。バーンアウト電流をオンにすると、この電流は外部トランスデューサ回路に流れ込み、この時点でアナログ入力チャンネルの入力電圧の測定が可能になります。電圧測定結果がフルスケールのときは、その理由を確認してください。測定電圧がフルスケールの場合、フロントエンド・センサーがオープン回路になっている可能性があります。さらに、フロントエンド・センサーが過負荷状態にあるためフルスケール出力になっているか、またはリファレンス電圧が供給されず、NOXREFビットが設定されているためデータがオール1にクランプされている可能性もあります。

出力の読出しがオール1の場合、ユーザは上記3つのケースをチェックしたうえで原因を判断する必要があります。電圧の測定値が0Vならば、トランスデューサが短絡していることも考えられます。正常動作時、バーンアウト電流は、設定レジスタのBOビットに0を書き込むことでオフにします。この電流源はバッファ・モードのとき、通常の絶対入力電圧範囲の仕様で動作します。

励起電流

AD7794はさらに、マッチングのとれた、ソフトウェア・プログラムブルの定電流源を2つ内蔵しており、これらの電流は10μA、210μA、1mAに設定できます。2つの電流源はどちらもAV_{DD}からデバイスのIOUT1またはIOUT2ピンに供給されます。電流源の制御は、IOレジスタのビット指定により行います。設定ビットにより、電流源のイネーブル、IOUT1またはIOUT2ピンへの出力、電流値の選択が可能です。電流源によって、外部の抵抗ブリッジまたはRTDセンサーを励起できます。

バイアス電圧発生器

AD7794は、バイアス電圧発生器を内蔵しています。バイアス電圧発生器は、選択した入力チャンネルの負側端子の電圧をAV_{DD}/2にバイアスします。この機能はAIN1～AIN3の入力で利用できます。ゲイン設定が2を超える場合、熱電対からの電圧をDC電圧に近い値にバイアスする必要があるため、この機能は熱電対アプリケーションに便利です。計装アンプに必要な

ヘッドルームによりGNDまたはAV_{DD}に近い信号が高精度に変換されない場合、バイアス電圧発生器が必要になります。

バイアス電圧発生器の制御には、設定レジスタのVBIAS1ビットとVBIAS2ビット、さらにブースト・ビットを使用します。バイアス電圧発生器のパワーアップ時間は、負荷容量に応じて異なります。大きな負荷容量に対処するため、AD7794はブースト・ビットを用意しています。このビットを1に設定すると、バイアス電圧発生器の消費電流が増加し、パワーアップ時間が大幅に短縮します。図11に、ブーストが0および1のときの、さまざまな負荷容量値に対するパワーアップ時間を示します。バイアス電圧発生器がイネーブルで、ブーストが0のとき、AD7794の消費電流は40μA増加します。ブースト機能をイネーブルにすると、消費電流の増加分は250μAになります。

リファレンス

AD7794は、1.17Vのリファレンスを内蔵しています。この内部リファレンスに加えて、外部リファレンスによるADCへの供給も可能です。内部リファレンスは低ノイズ、低ドリフトのリファレンスであり、ドリフト値は4ppm/°C (typ)です。外部リファレンスを使用する場合、ADCはチャンネルに対する完全差動入力能力を備えることができます。さらに、2つの外部リファレンス・オプション (REFIN1またはREFIN2) のどちらか1つを選択できます。AD7794のリファレンス電圧源の選択は、設定レジスタのREFSEL1およびREFSEL0ビットにより行います。内部リファレンスを選択すると、このリファレンスは変調器に内部接続されるため、REFINピンでは利用できません。

これらの差動入力と同相電圧範囲は、GND～AV_{DD}です。リファレンス入力はバッファされないため、抵抗とコンデンサ間の信号源インピーダンスが過度に大きいとゲイン誤差が発生します。リファレンス電圧REFIN (REFIN(+)-REFIN(-))の公称値は2.5Vですが、AD7794は0.1V～AV_{DD}のリファレンス電圧範囲でも動作します。アナログ入力に接続するトランスデューサの励起（電圧または電流）によってデバイスのリファレンス電圧を駆動するアプリケーションでは、動作がレシオメトリックであるため、励起電流源の低周波ノイズの影響は排除されず、レシオメトリック・アプリケーションでAD7794を使用しない場合は、低ノイズの電圧リファレンスを使用してください。

AD7794に推奨する2.5Vリファレンス電圧源としては、低ノイズ、低消費電力の電圧リファレンス、ADR381およびADR391があります。リファレンス入力は、ハイ・インピーダンスの動的負荷がかかる点に注意してください。各リファレンス入力の入力インピーダンスは動的であるため、入力に接続する抵抗/コンデンサの組み合わせによっては、DCゲイン誤差が発生することがあります。この誤差の大きさは、リファレンス入力を駆動する信号源の出力インピーダンスに応じて変化します。

上記の推奨リファレンス電圧源（たとえばADR391）は、一般に出力インピーダンスが小さいため、REFIN(+)-ピンにデカップリング用コンデンサを接続してもシステム内にゲイン誤差を引き起こすことはありません。抵抗を外付けしてリファレンス入力電圧を生成すると、リファレンス入力は外部信号源インピーダンスの影響を大きく受けることになります。このタイプの回路構成では、REFINピンにデカップリング部品を外付けすることは推奨できません。

AD7794

リファレンス検出

リファレンス電圧源に外部リファレンスを選択した場合、変換またはキャリブレーションに有効なリファレンスが供給されているかを検出するための回路がAD7794に内蔵されています。この機能をイネーブルにするには、設定レジスタのREF-DETビットを1に設定します。選択したREFIN(+)およびREFIN(-)ピン間の電圧が0.3Vを下回るか、あるいはREFIN(+)またはREFIN(-)のどちらかの入力オープン・サーキットになると、AD7794は有効なリファレンスが供給されていないことを検出します。この場合、ステータス・レジスタのNOXREFビットが1に設定されます。AD7794が正常な変換動作を実行し、NOXREFビットがアクティブになれば、変換結果はオール1に戻ります。このため、変換実行時にNOXREFビットのステータスを継続して監視する必要はありません。NOXREFビットの確認が必要となるのは、ADCのデータ・レジスタから読み出された変換結果がオール1のときだけです。AD7794がオフセットまたはフルスケールのキャリブレーションを実行し、NOXREFビットがアクティブになったときは、キャリブレーション・レジスタに誤った係数がロードされないように、これらのレジスタの更新が禁止され、ステータス・レジスタのERRビットがセットされます。キャリブレーションを実行するたびに、有効なリファレンスが設定されているか懸念がある場合は、キャリブレーション・サイクルの終了時にERRビットのステータスをチェックしてください。

リセット

連続した32個の1をAD7794に書き込むことで、内部回路とシリアル・インターフェースをリセットできます。これによって、ロジック、デジタル・フィルタ、アナログ変調器がリセットされ、すべてのオンチップ・レジスタはデフォルト値に戻ります。リセットはパワーアップ時に自動的に実行されます。リセットを開始するとき、オンチップ・レジスタにアクセスするまでに500 μ sの余裕時間を持たせてください。SCLK上で発生するノイズによって、シリアル・インターフェースが非同期になる場合、リセット機能が役に立ちます。

AV_{DD}モニタ

外部電圧の変換に加えて、ADCはAV_{DD}ピン上の電圧をモニタできます。CH2~CH0の各ビットを1に設定すると、AV_{DD}ピン上の電圧が内部で1/6に減衰されます。この減衰された電圧は、1.17Vの内部リファレンスによって $\Sigma\Delta$ 変調器に入力され、A/D変換が行われます。これは、電源電圧変動がモニタできる便利な機能です。

キャリブレーション

AD7794は、モード・レジスタのモード・ビットで設定可能な4つのキャリブレーション・モード — 内部ゼロスケール・キャリブレーション、内部フルスケール・キャリブレーション、システム・ゼロスケール・キャリブレーション、システム・フルスケール・キャリブレーション — を備えています。このうちシステム・フルスケール・キャリブレーションは、オフセット誤差とフルスケール誤差をノイズ・レベルまで効果的に低減します。変換が終了するたびに、ADCの変換結果がADCキャリブレーション・レジスタによりスケールリングされ、その後データ・レジスタへの書込みが行われます。変換結果をオフセット・キャリブレーション係数で減算した後に、フルスケール係数で乗算します。

キャリブレーションを開始するには、モード・レジスタのMD2~MD0ビットに該当する値を書き込みます。キャリブレーション完了後、対応するキャリブレーション・レジスタのデータ内容が更新され、ステータス・レジスタのRDYビットがセットさ

れます。そして、DOUT/RDYピンがローレベルに遷移し(CSがローレベルの場合)、AD7794はアイドル・モードに戻ります。

内部ゼロスケールまたはフルスケール・キャリブレーションの実行中は、ゼロスケール入力とフルスケール入力ADCの入力ピンに自動的に内部接続されます。ただし、システム・キャリブレーションの場合は、キャリブレーション・モードの開始前に、システム・ゼロスケール電圧とシステム・フルスケール電圧をADCの入力ピンに印加することが求められます。これによってADCの外部誤差が除去されます。

動作の観点から考えると、キャリブレーションをもう1つのADC変換ととらえる必要があります。ゼロスケール・キャリブレーションは必要な場合、必ずフルスケール・キャリブレーションよりも先に実行してください。ポーリング・シーケンスまたは割込み駆動ルーチンによってキャリブレーションの終了を確認するには、システム・ソフトウェアでステータス・レジスタのRDYビットまたはDOUT/RDYピンをモニタしてください。

チョッピングのイネーブル時、内部オフセット・キャリブレーションとシステム・オフセット・キャリブレーションは、どちらも2変換サイクルを必要とします。チョッピングをイネーブルにすると、ADC自体が連続的にオフセットを除去するため、内部オフセット・キャリブレーションは不要となります。チョッピングのディスエーブル時に、内部オフセット・キャリブレーションまたはシステム・オフセット・キャリブレーションの完了に、1変換サイクルかかります。チョッピングをディスエーブルにすると内部オフセット・キャリブレーションが要求されますが、これはフルスケール・キャリブレーションの前に実行する必要があります。

内部フルスケール・キャリブレーションを実行するときは、このキャリブレーション用に選択したアナログ入力にフルスケール入力電圧が自動的に接続されます。ゲインを1に設定した場合、キャリブレーションの終了までには、チョッピングのイネーブル時で2変換サイクル、チョッピングのディスエーブル時で1変換サイクルが必要です。ゲインが1より大きい場合、フルスケール・キャリブレーションを実行するために、チョッピングのイネーブル時で4変換サイクル、チョッピングのディスエーブル時で2変換サイクルが必要になります。キャリブレーションの開始時にDOUT/RDYピンはハイレベルになり、終了時にローレベルに戻ります。キャリブレーションの終了後、ADCはアイドル・モードに入ります。計測したフルスケール係数は、選択したチャンネルのフルスケール・レジスタに格納されます。ゲインが128のときは、内部フルスケール・キャリブレーションは実行できませんが、システム・フルスケール・キャリブレーションは実行可能です。チャンネルのゲインを変更する際は、フルスケール誤差を最小限に抑えるために、変更の都度フルスケール・キャリブレーションが必要になります。

内部フルスケール・キャリブレーションを実行できるのは、規定の更新レートを適用する場合のみです。ゲインが1、2、4の場合は、どんな更新レートでも内部フルスケール・キャリブレーションを実行できます。しかし、これよりもゲイン設定が大きい場合は、更新レートが16.7Hz、33.3Hz、50Hz以下の場合に限り、内部フルスケール・キャリブレーションを実行できません。ただし、更新レートの変化によってフルスケール誤差が変動することはないため、1つの更新レート時のキャリブレーションがすべての更新レートに対して有効になります(ゲインまたはリファレンス電圧源を変更しないと想定した場合)。

システム・フルスケール・キャリブレーションの実行には、ゲインの設定に関係なく、チョッピングのイネーブル時で2変換サイクル、デイスエーブル時で1変換サイクルが必要です。システム・フルスケール・キャリブレーションは、ゲインと更新レートをどんな値に設定しても実行できます。チョッピングのデイスエーブル時には、オフセット・キャリブレーション（内部またはシステム・オフセット）を実行してからシステム・フルスケール・キャリブレーションを開始してください。

グラウンディングとレイアウト

ADCのアナログ入力とリファレンス入力は差動であるため、アナログ変調器内の電圧の大部分は同相電圧になります。ADCの優れた同相ノイズ除去特性によって、これらの入力の同相ノイズが除去されます。デジタル・フィルタが、変調器のサンプリング周波数の整数倍を除く広帯域の電源ノイズを除去します。デジタル・フィルタは、ノイズ源がアナログ変調器を飽和させない限り、アナログおよびリファレンス入力のノイズも除去します。その結果、従来の高分解能コンバータに比べてAD7794は高いノイズ干渉耐性を持つことになります。ただし、AD7794の分解能は非常に高く、生じるノイズ・レベルが低いいため、グラウンディングとレイアウトについては注意が必要です。

AD7794を実装するPCボードは、アナログ部とデジタル部を分離し、それぞれをボード内の特定の場所にまとめて配置するように設計してください。一般に、エッチング部分を最小化すると、最適なシールド効果が得られるため、この方法はグラウンド・プレーンに最適です。

AD7794のGNDピンをシステムのAGNDプレーンに接続することを推奨します。どのレイアウトでもシステム内の電流の流れに注意し、電流を目的ポイントまで流すパスとリターン・パスをできるだけ近づけて配置するように心がけることが大切です。レイアウトのAGND部分にデジタル電流が流れないようにしてください。

ノイズ・カップリングを防ぐため、AD7794のグラウンド・プレーンをデバイスの下に来るように配置してください。AD7794の電源ラインはできるだけ太いパターンにしてインピーダンスを下げ、電源ライン上のグリッチの影響を低減させます。クロックなどの高速スイッチング信号は、デジタル・グラウンドでシールドし、ボードの他の部分にノイズが拡散しないようにします。また、クロック信号をアナログ入力の近くに通さないでください。デジタル信号とアナログ信号の交差は避けてください。ボードの両面のパターンは、互いに直角になるように配置します。これにより、ボードを通過するフィードスルーの影響を減らすことができます。マイクロストリップ技術は特に優れていますが、必ずしも両面ボードに利用できるとは限りません。この技術では、ボードの部品実装面はグラウンド・プレーン専用とし、信号はハンダ面に配置します。

高分解能のADCを使用するときは、デカップリングが重要になります。 AV_{DD} は、 $10\mu\text{F}$ のタンタル・コンデンサと $0.1\mu\text{F}$ のコンデンサを並列接続してGNDにデカップリングする必要があります。 DV_{DD} のデカップリングは、 $10\mu\text{F}$ のタンタル・コンデンサと $0.1\mu\text{F}$ のコンデンサをシステムのDGNDプレーンに並列接続して行います。その際、システムのAGNDとDGND間の接続配線をAD7794にできるだけ近づけてください。デカップリングの効果を最大にするには、これらの部品をデバイスのできるだけ近く、理想的にはデバイスの真上に配置します。すべてのロジック・チップは、 $0.1\mu\text{F}$ のセラミック・コンデンサでDGNDにデカップリングする必要があります。

AD7794

アプリケーション

AD7794は、低コストの高分解能A/D変換機能を備えています。A/D変換機能は $\Sigma\Delta$ アーキテクチャで実行されるため、ノイズの多い環境に対する高い耐性が得られます。そのため、このデバイスはセンサー信号の計測や工業用およびプロセス制御アプリケーションに最適です。

流量計

図24に、2個の圧力トランスデューサで構成された流量計アプリケーションにAD7794を利用した接続回路例を示します。この圧力の差は流量の比に等しくなります。ここではSensym社の圧力トランスデューサ、BP01を使用しています。この圧力トランスデューサはブリッジ・ネットワークで構成され、OUT+およびOUT-端子間の差動電圧を出力します。このトランスデューサは300mmHgの定格フルスケール圧力を持っており、励起電圧当たりの差動出力電圧は3mV/V（すなわち、IN(+)およびIN(-)端子間の電圧）となっています。

励起電圧を5Vと仮定すると、トランスデューサのフルスケール出力電圧範囲は15mVになります。リファレンス電圧入力範囲は電源電圧を超えているため、ブリッジの励起電圧をADCのリファレンスとして直接使用しています。

トランスデューサ・ベースのアプリケーションにAD7794を使用するもう1つの利点は、ローサイドのパワー・スイッチを用いて低消費電力アプリケーションを実現できることです。ローサイドのパワー・スイッチをブリッジのコールド側に直列に接続します。通常動作時では、このスイッチが閉じて計測が可能になります。消費電力の低減が重要なアプリケーションでは、AD7794をスタンバイ・モードに設定することで、アプリケーションの消費電力を大幅に低減できます。さらに、スタンバイ・モード時にはローサイドのパワー・スイッチを開くことができるため、フロントエンドのトランスデューサによる不必要な電力消費を防止できます。AD7794がスタンバイ・モードから脱し、ローサイドのパワー・スイッチが閉じるときは、フロントエンドの回路が完全にセトリングしてからAD7794の読み出しを行うようにしてください。

図24では、サーミスタを使用して温度補償を行っています。オンチップの励起電流がサーミスタに供給されます。さらに、サーミスタと直列に接続された高精度の抵抗から温度計測用のリファレンス電圧が生成されます。このため、レシオメトリック計測が可能となり、励起電流の変動が計測結果に悪影響を及ぼすことはありません（これは高精度のリファレンス抵抗値と計測対象のサーミスタ抵抗値の比です）。

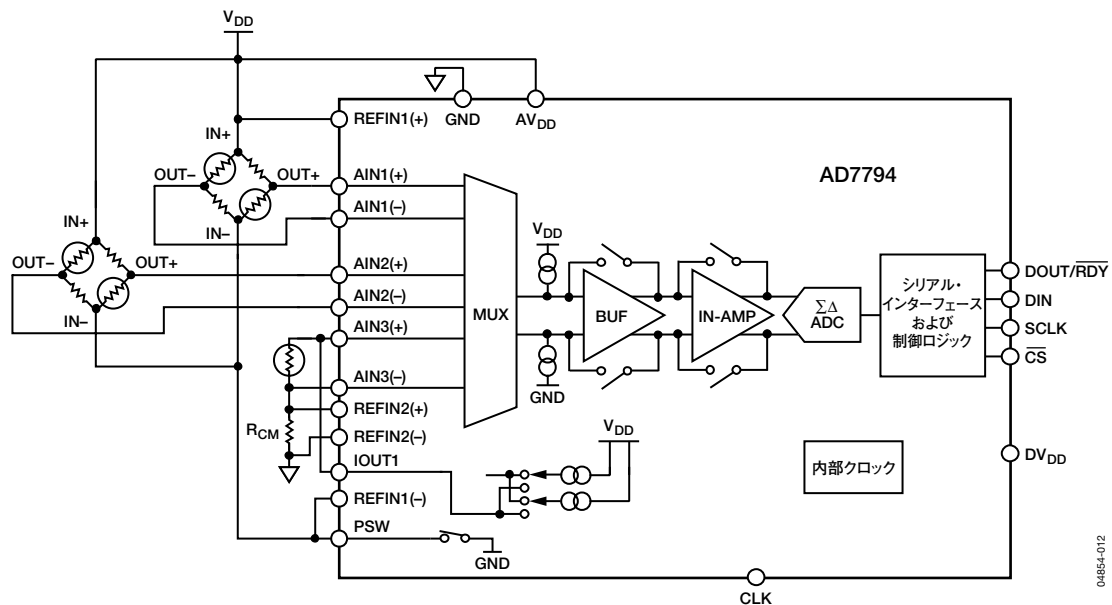


図24. 代表的なアプリケーション回路（流量計）

外形寸法

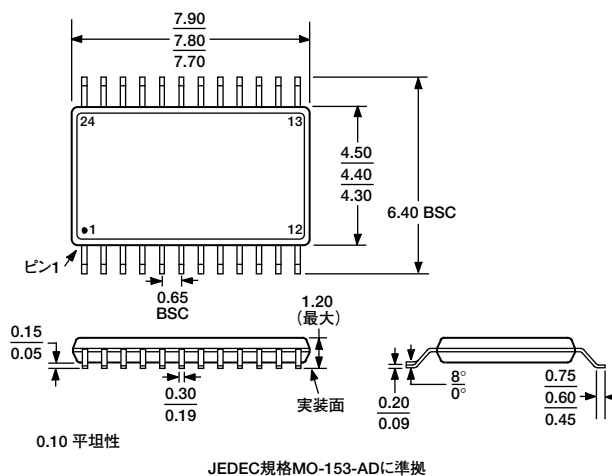


図25. 24ピンTSSOP (RU-24)

寸法単位：mm

オーダー・ガイド

モデル	温度範囲	パッケージの説明	パッケージ・オプション
AD7794BRU	-40 ~ +105°C	24ピンTSSOP	RU-24
AD7794BRU-REEL	-40 ~ +105°C	24ピンTSSOP	RU-24
AD7794BRUZ ¹	-40 ~ +105°C	24ピンTSSOP	RU-24
AD7794BRUZ-REEL ¹	-40 ~ +105°C	24ピンTSSOP	RU-24
EVAL-AD7794EB		評価用ボード	

¹ Z=鉛フリー製品

AD7794

AD7794

D04854-0-4/05(A)-J