

特長

- 最大20ビットの実効分解能
- RMSノイズ：
 - 40nV@4.17Hz
 - 85nV@16.7Hz
- 消費電流：400μA (typ)
- パワーダウン時の消費電流：1μA (max)
- 低ノイズのプログラマブル・ゲイン計装アンプ
- ドリフトが4ppm/°C (typ) のバンドギャップ・リファレンス電圧
- 更新レート：4.17~470Hz
- 3チャンネルの差動入力
- クロック発振器を内蔵
- 50Hz/60Hzを同時除去
- プログラマブルな電流源
- バイアス電圧発生器を内蔵
- バーニアアウト電流
- 電源：2.7~5.25V
- 温度範囲：-40~+105°C
- 独立したインターフェース電源
- 16ピンTSSOPパッケージ
- インターフェース：
 - 3線式シリアル
 - SPI[®]、QSPI[™]、MICROWIRE[™]、DSP互換
 - SCLKにシュミット・トリガ

アプリケーション

- 熱電対計測
- RTD (抵抗測温検出器) 計測
- サーミスタ計測
- ガス分析

- 工業用プロセス制御
- 計測器
- 携帯型計測器
- 血液分析
- スマート・トランスミッタ
- 液体/ガス・クロマトグラフィ
- 6桁DVM

概要

AD7785は、高精度計測アプリケーション向けの低消費電力、低ノイズ、全機能内蔵のアナログ・フロントエンドです。3チャンネルの差動アナログ入力を持つ低ノイズ20ビットのシグマ・デルタ (ΣΔ) A/Dコンバータ (ADC) を内蔵しています。AD7785は低ノイズ計装アンプも内蔵しているため、小振幅の信号をADCに直接インターフェースできます。ゲインを64に設定すると、更新レートが4.17Hzのとき、rmsノイズは40nVとなります。

このデバイスは、低ノイズ、低ドリフトの高精度バンドギャップ・リファレンス電圧を内蔵していますが、外部の差動リファレンス電圧も使用できます。その他のオンチップ機能としては、プログラマブルな励起電流源、バーニアアウト電流、バイアス電圧発生器があります。この発生器は、チャンネルの同相電圧を $AV_{DD}/2$ に設定します。

AD7785は、内部クロックまたは外部クロックを使用できます。デバイスの出力データ・レートは、4.17~470Hzの周波数範囲でソフトウェアから制御が可能です。このデバイスは、2.7~5.25Vの電源で動作します。消費電流は400μA (typ) で、16ピンTSSOPパッケージを採用しています。

機能ブロック図

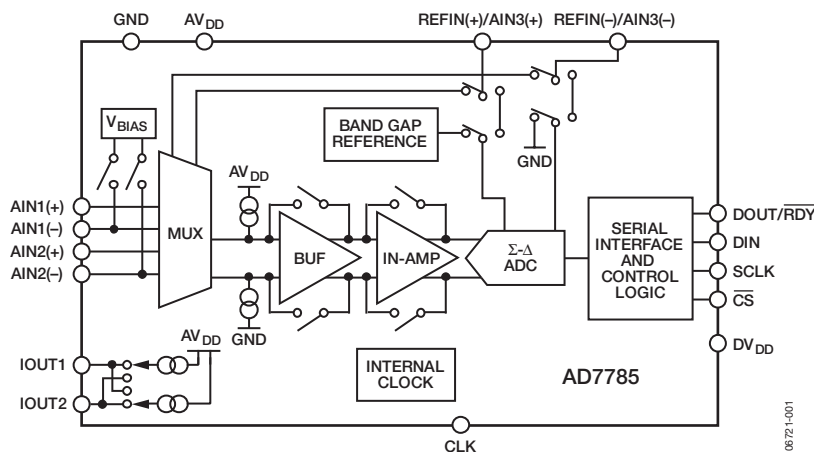


図1

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートはREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。
© 2007 Analog Devices, Inc. All rights reserved.

REV. 0

AD7785

目次

特長	1	オフセット・レジスタ	19
アプリケーション	1	フルスケール・レジスタ	19
概要	1	ADC回路情報	20
機能ブロック図	1	概要	20
改訂履歴	2	デジタル・インターフェース	21
仕様	3	回路説明	25
タイミング特性	6	アナログ入力チャンネル	25
タイミング図	7	計装アンプ	25
絶対最大定格	8	バイポーラ/ユニポーラ構成	25
ESDに関する注意	8	データ出力のコーディング	25
ピン配置とピン機能の説明	9	バーンアウト電流	26
出力ノイズ仕様および分解能仕様	11	励起電流	26
外部リファレンス電圧	11	バイアス電圧発生器	26
内部リファレンス電圧	12	リファレンス電圧	26
代表的な性能特性	13	リセット	26
オンチップ・レジスタ	14	AV _{DD} モニタ	27
通信レジスタ	14	キャリブレーション	27
ステータス・レジスタ	15	グラウンディングとレイアウト	27
モード・レジスタ	15	アプリケーション情報	29
設定レジスタ	17	熱電対を使用した温度計測	29
データ・レジスタ	18	RTDを使用した温度計測	30
IDレジスタ	18	外形寸法	31
IOレジスタ	18	オーダー・ガイド	31

改訂履歴

4/07—Revision 0: Initial Version

仕様

特に指定のない限り、 $AV_{DD}=2.7\sim 5.25V$ 、 $DV_{DD}=2.7\sim 5.25V$ 、 $GND=0V$ 、すべての仕様は $T_{MIN}\sim T_{MAX}$ で規定。

表1

Parameter	AD7785B ¹	Unit	Test Conditions/Comments
ADC CHANNEL			
Output Update Rate	4.17 to 470	Hz nom	
No Missing Codes ²	20	Bits min	
Resolution			See Output Noise and Resolution Specifications
Output Noise and Update Rates			See Output Noise and Resolution Specifications
Integral Nonlinearity	± 15	ppm of FSR max	
Offset Error ³	± 1	μV typ	
Offset Error Drift vs. Temperature ⁴	± 10	nV/ $^{\circ}C$ typ	
Full-Scale Error ^{3,5}	± 10	μV typ	
Gain Drift vs. Temperature ⁴	± 1	ppm/ $^{\circ}C$ typ	Gain = 1 to 16, external reference
	± 3	ppm/ $^{\circ}C$ typ	Gain = 32 to 128, external reference
Power Supply Rejection	100	dB min	AIN = 1 V/gain, gain ≥ 4 , external reference
ANALOG INPUTS			
Differential Input Voltage Ranges	$\pm V_{REF}/Gain$	V nom	$V_{REF} = REFIN(+)-REFIN(-)$ or internal reference, gain = 1 to 128
Absolute AIN Voltage Limits²			
Unbuffered Mode			
	GND – 30 mV	V min	Gain = 1 or 2
	$AV_{DD} + 30$ mV	V max	
Buffered Mode			
	GND + 100 mV	V min	Gain = 1 or 2
	$AV_{DD} - 100$ mV	V max	
In-Amp Active			
	GND + 300 mV	V min	Gain = 4 to 128
	$AV_{DD} - 1.1$	V max	
Common-Mode Voltage, V_{CM}	0.5	V min	$V_{CM} = (AIN(+)+AIN(-))/2$, gain = 4 to 128
Analog Input Current			
Buffered Mode or In-Amp Active			
Average Input Current²			
	± 1	nA max	Gain = 1 or 2, update rate < 100 Hz
	± 250	pA max	Gain = 4 to 128, update rate < 100 Hz
Average Input Current Drift			
	± 2	pA/ $^{\circ}C$ typ	
Unbuffered Mode			
	± 400	nA/V typ	Gain = 1 or 2
	± 50	pA/V/ $^{\circ}C$ typ	Input current varies with input voltage
Normal Mode Rejection²			
Internal Clock			
@ 50 Hz, 60 Hz	65	dB min	80 dB typ, 50 ± 1 Hz, 60 ± 1 Hz, FS[3:0] = 1010 ⁶
@ 50 Hz	80	dB min	90 dB typ, 50 ± 1 Hz, FS[3:0] = 1001 ⁶
@ 60 Hz	90	dB min	100 dB typ, 60 ± 1 Hz, FS[3:0] = 1000 ⁶
External Clock			
@ 50 Hz, 60 Hz	80	dB min	90 dB typ, 50 ± 1 Hz, 60 ± 1 Hz, FS[3:0] = 1010 ⁶
@ 50 Hz	94	dB min	100 dB typ, 50 ± 1 Hz, FS[3:0] = 1001 ⁶
@ 60 Hz	90	dB min	100 dB typ, 60 ± 1 Hz, FS[3:0] = 1000 ⁶
Common-Mode Rejection			
@ DC	100	dB min	AIN = 1 V/gain, gain ≥ 4
@ 50 Hz, 60 Hz ²	100	dB min	50 ± 1 Hz, 60 ± 1 Hz, FS[3:0] = 1010 ⁶
@ 50 Hz, 60 Hz ²	100	dB min	50 ± 1 Hz (FS[3:0] = 1001) ⁶ , 60 ± 1 Hz (FS[3:0] = 1000) ⁶

AD7785

Parameter	AD7785B ¹	Unit	Test Conditions/Comments
REFERENCE			
Internal Reference			
Internal Reference Initial Accuracy	1.17 ± 0.01%	V min/max	AV _{DD} = 4 V, T _A = 25°C
Internal Reference Drift ²	4	ppm/°C typ	
	15	ppm/°C max	
Power Supply Rejection	85	dB typ	
External Reference			
External REFIN Voltage	2.5	V nom	REFIN = REFIN(+) – REFIN(-)
Reference Voltage Range ²	0.1	V min	
	AV _{DD}	V max	When V _{REF} = AV _{DD} , the differential input must be limited to 0.9 × V _{REF} /gain if the in-amp is active
Absolute REFIN Voltage Limits ²	GND – 30 mV	V min	
	AV _{DD} + 30 mV	V max	
Average Reference Input Current	400	nA/V typ	
Average Reference Input Current Drift	±0.03	nA/V/°C typ	
Normal Mode Rejection	Same as for analog inputs		
Common-Mode Rejection	100	dB typ	
EXCITATION CURRENT SOURCES (IEXC1 and IEXC2)			
Output Current	10/210/1000	μA nom	
Initial Tolerance at 25°C	±5	% typ	
Drift	200	ppm/°C typ	
Current Matching	±0.5	% typ	Matching between IEXC1 and IEXC2; V _{OUT} = 0 V
Drift Matching	50	ppm/°C typ	
Line Regulation (V _{DD})	2	%/V typ	AV _{DD} = 5 V ± 5%
Load Regulation	0.2	%/V typ	
Output Compliance	AV _{DD} – 0.65	V max	10 μA or 210 μA currents selected
	AV _{DD} – 1.1	V max	1 mA currents selected
	GND – 30 mV	V min	
TEMPERATURE SENSOR			
Accuracy	±2	°C typ	Applies if user calibrates the temperature sensor
Sensitivity	0.81	mV/°C typ	Applies if user calibrates the temperature sensor
BIAS VOLTAGE GENERATOR			
V _{BIAS}	AV _{DD} /2	V nom	
V _{BIAS} Generator Start-Up Time	See Figure 10	ms/nF typ	Dependent on the capacitance on the AIN pin
INTERNAL/EXTERNAL CLOCK			
Internal Clock			
Frequency ²	64 ± 3%	kHz min/max	
Duty Cycle	50:50	% typ	
External Clock			
Frequency	64	kHz nom	A 128 kHz external clock can be used if the divide-by-2 function is used (Bit CLK1 = CLK0 = 1)
Duty Cycle	45:55 to 55:45	% typ	Applies for external 64 kHz clock; a 128 kHz clock can have a less stringent duty cycle
LOGIC INPUTS			
$\overline{\text{CS}}^2$			
V _{INL} , Input Low Voltage	0.8	V max	DV _{DD} = 5 V
	0.4	V max	DV _{DD} = 3 V
V _{INH} , Input High Voltage	2.0	V min	DV _{DD} = 3 V or 5 V

Parameter	AD7785B ¹	Unit	Test Conditions/Comments
SCLK, CLK, and DIN (Schmitt-Triggered Input) ²			
V _{T(+)}	1.4/2	V min/V max	DV _{DD} = 5 V
V _{T(-)}	0.8/1.7	V min/V max	DV _{DD} = 5 V
V _{T(+)} – V _{T(-)}	0.1/0.17	V min/V max	DV _{DD} = 5 V
V _{T(+)}	0.9/2	V min/V max	DV _{DD} = 3 V
V _{T(-)}	0.4/1.35	V min/V max	DV _{DD} = 3 V
V _{T(+)} – V _{T(-)}	0.06/0.13	V min/V max	DV _{DD} = 3 V
Input Currents	±10	μA max	V _{IN} = DV _{DD} or GND
Input Capacitance	10	pF typ	All digital inputs
LOGIC OUTPUTS (INCLUDING CLK)			
V _{OH} , Output High Voltage ²	DV _{DD} – 0.6	V min	DV _{DD} = 3 V, I _{SOURCE} = 100 μA
V _{OL} , Output Low Voltage ²	0.4	V max	DV _{DD} = 3 V, I _{SINK} = 100 μA
V _{OH} , Output High Voltage ²	4	V min	DV _{DD} = 5 V, I _{SOURCE} = 200 μA
V _{OL} , Output Low Voltage ²	0.4	V max	DV _{DD} = 5 V, I _{SINK} = 1.6 mA (DOUT/RDY)/800 μA (CLK)
Floating-State Leakage Current	±10	μA max	
Floating-State Output Capacitance	10	pF typ	
Data Output Coding	Offset binary		
SYSTEM CALIBRATION ²			
Full-Scale Calibration Limit	+1.05 × FS	V max	
Zero-Scale Calibration Limit	–1.05 × FS	V min	
Input Span	0.8 × FS	V min	
	2.1 × FS	V max	
POWER REQUIREMENTS ⁷			
Power Supply Voltage			
AV _{DD} to GND	2.7/5.25	V min/max	
DV _{DD} to GND	2.7/5.25	V min/max	
Power Supply Currents			
I _{DD} Current	140	μA max	110 μA typ @ AV _{DD} = 3 V, 125 μA typ @ AV _{DD} = 5 V, unbuffered mode, external reference
	185	μA max	130 μA typ @ AV _{DD} = 3 V, 165 μA typ @ AV _{DD} = 5 V, buffered mode, gain = 1 or 2, external reference
	400	μA max	300 μA typ @ AV _{DD} = 3 V, 350 μA typ @ AV _{DD} = 5 V, gain = 4 to 128, external reference
	500	μA max	400 μA typ @ AV _{DD} = 3 V, 450 μA typ @ AV _{DD} = 5 V, gain = 4 to 128, internal reference
I _{DD} (Power-Down Mode)	1	μA max	

¹ 温度範囲：–40～+105℃

² これらの仕様については出荷テストを行っていませんが、量産開始時の特性評価データにより保証しています。

³ キャリブレーション後、誤差は設定したゲイン条件および選択した更新レート条件でのノイズのオーダになります。

⁴ 任意の温度でキャリブレーションを再度行うと、これらの誤差は除去できます。

⁵ フルスケール誤差は、正側と負側のフルスケールに適用されます。また、出荷時のキャリブレーション条件にも適用されます (AV_{DD}=4V、ゲイン=1、T_A=25℃) で

⁶ FS[3:0]は、出力ワード・レートを選擇する際にモード・レジスタで使用する4ビットです。

⁷ デジタル入力、励起電流とバイアス電圧の発生器をディスエーブルしたときのDV_{DD}またはGNDに等しくなります。

AD7785

タイミング特性

特に指定のない限り、 $AV_{DD}=2.7\sim 5.25V$ 、 $DV_{DD}=2.7\sim 5.25V$ 、 $GND=0V$ 、入力ロジック0=0V、入力ロジック1= DV_{DD} 。

表2

Parameter ^{1,2}	Limit at T_{MIN} , T_{MAX} (B Version)	Unit	Conditions/Comments
t_3	100	ns min	SCLK high pulse width
t_4	100	ns min	SCLK low pulse width
Read Operation			
t_1	0	ns min	\overline{CS} falling edge to DOUT/ \overline{RDY} active time
	60	ns max	$DV_{DD} = 4.75 V$ to $5.25 V$
	80	ns max	$DV_{DD} = 2.7 V$ to $3.6 V$
t_2^3	0	ns min	SCLK active edge to data valid delay ⁴
	60	ns max	$DV_{DD} = 4.75 V$ to $5.25 V$
	80	ns max	$DV_{DD} = 2.7 V$ to $3.6 V$
$t_5^{5,6}$	10	ns min	Bus relinquish time after \overline{CS} inactive edge
	80	ns max	
t_6	0	ns min	SCLK inactive edge to \overline{CS} inactive edge
t_7	10	ns min	SCLK inactive edge to DOUT/ \overline{RDY} high
Write Operation			
t_8	0	ns min	\overline{CS} falling edge to SCLK active edge setup time ⁴
t_9	30	ns min	Data valid to SCLK edge setup time
t_{10}	25	ns min	Data valid to SCLK edge hold time
t_{11}	0	ns min	\overline{CS} rising edge to SCLK edge hold time

¹ 量産開始時にサンプル・テストにより適合性を保証。すべての入力信号を $t_r=t_f=5ns$ (DV_{DD} の10~90%)で規定し、1.6Vの電圧レベルからの時間を計測しています。

² 図3と図4を参照。

³ これらの値は図2の負荷回路を用いて測定したもので、出力が V_{OL} または V_{OH} の規定値を通過するまでに要する時間です。

⁴ SCLKのアクティブ・エッジとは、SCLKの立下がりエッジです。

⁵ これらの値は、図2の負荷回路でデータ出力が0.5V変化するまでに要する時間の測定値から計算したものです。この測定値は、50pFコンデンサの充放電による影響を受けないように外挿しています。タイミング特性に記載された時間は、外部バスの負荷容量とは無関係であるため、デバイスの真のバス開放時間です。

⁶ ADCの読出し後、 \overline{RDY} はハイレベルに戻ります。シングル変換モードと連続変換モードでは、 \overline{RDY} がハイレベルの間に、必要に応じて同じデータを再読出しできますが、その際には読出し動作を次の出力更新の近くで実行しないようにしてください。連続読出しモードでは、デジタル・ワードの読出しは1回のみ可能です。

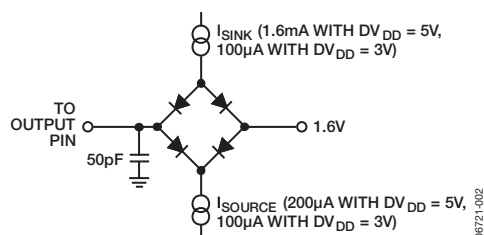
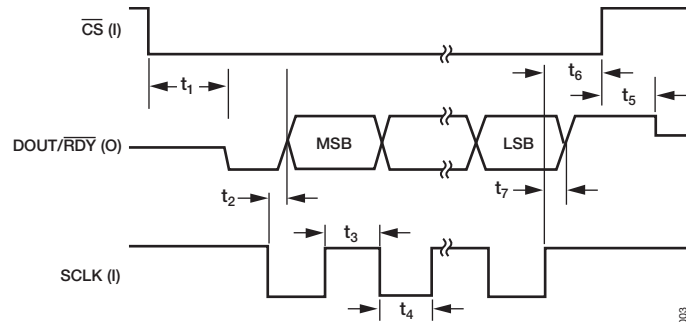


図2. タイミング特性評価用の負荷回路

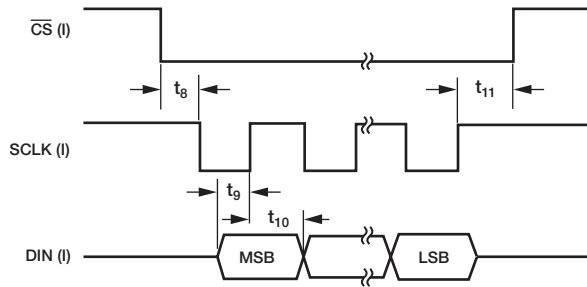
タイミング図



NOTES
1. I = INPUT, O = OUTPUT

図3. 読出しサイクルのタイミング図

06721-003



NOTES
1. I = INPUT, O = OUTPUT

図4. 書込みサイクルのタイミング図

06721-004

絶対最大定格

特に指定のない限り、 $T_A=25^{\circ}\text{C}$ 。

表3

Parameter	Rating
AV_{DD} to GND	-0.3 V to +7 V
DV_{DD} to GND	-0.3 V to +7 V
Analog Input Voltage to GND	-0.3 V to $AV_{DD} + 0.3$ V
Reference Input Voltage to GND	-0.3 V to $AV_{DD} + 0.3$ V
Digital Input Voltage to GND	-0.3 V to $DV_{DD} + 0.3$ V
Digital Output Voltage to GND	-0.3 V to $DV_{DD} + 0.3$ V
AIN/Digital Input Current	10 mA
Operating Temperature Range	-40°C to +105°C
Storage Temperature Range	-65°C to +150°C
Maximum Junction Temperature	150°C
TSSOP	
θ_{JA} Thermal Impedance	150.4°C/W
θ_{JC} Thermal Impedance	27.6°C/W
Lead Temperature, Soldering	
Reflow	260°C

左記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

ESDに関する注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術であるESD保護回路を内蔵してはいますが、デバイスで高エネルギーの静電放電が発生した場合、損傷を生じる可能性があります。性能劣化や機能低下を防止するため、ESDに対して適切な予防措置をとることが推奨されます。

ピン配置とピン機能の説明

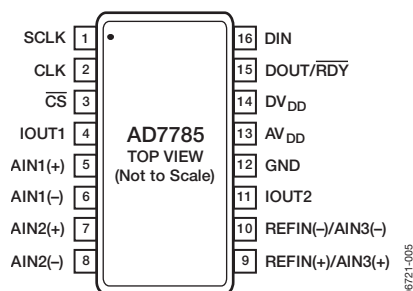


図5. ピン配置

表4. ピン機能の説明

ピン番号	記号	説明
1	SCLK	シリアル・クロック入力。ADCとの間のデータ転送用のクロック入力です。SCLKにはシュミット・トリガ入力が入蔵されているため、光絶縁アプリケーションのインターフェースに適しています。すべてのデータを連続したパルス列で転送する場合は、シリアル・クロックを連続して使用できます。あるいは、ADCとの間でデータをもっと小さいバッチで転送する場合は、これを不連続クロックとして用いることもできます。
2	CLK	クロック入力／クロック出力。内部クロックをこのピンに出力することもできます。あるいは、内部クロックをディスエーブルして、外部クロックからADCを駆動することも可能です。この場合、1つの共通クロックから複数のADCを駆動するため、複数のADCによる同時変換を実行できます。
3	$\overline{\text{CS}}$	チップ・セレクト入力。ADCの選択に使用するアクティブ・ローレベルのロジック入力です。 $\overline{\text{CS}}$ は、シリアル・バスに複数のデバイスを接続したシステムでADCを選択するのに用いるほか、デバイスとの通信でフレーム同期信号として用いることもできます。 $\overline{\text{CS}}$ をローレベルに固定できるため、デバイスとのインターフェースにSCLK、DIN、DOUTの各信号を用いる3線式モードでADCを使うこともできます。
4	IOUT1	内部励起電流源の出力。このピンから内部励起電流を出力します。励起電流源は出力を10 μA 、210 μA 、1mAに設定できます。IEXC1またはIEXC2をこの出力に接続することができます。
5	AIN1(+)	アナログ入力。AIN1(+) ¹ は、差動アナログ入力ペアAIN1(+)/AIN1(-)の正端子です。
6	AIN1(-)	アナログ入力。AIN1(-) ¹ は、差動アナログ入力ペアAIN1(+)/AIN1(-)の負端子です。
7	AIN2(+)	アナログ入力。AIN2(+) ¹ は、差動アナログ入力ペアAIN2(+)/AIN2(-)の正端子です。
8	AIN2(-)	アナログ入力。AIN2(-) ¹ は、差動アナログ入力ペアAIN2(+)/AIN2(-)の負端子です。
9	REFIN(+)/AIN3(+)	リファレンス電圧入力／アナログ入力（正）。REFIN(+) ¹ とREFIN(-) ¹ の間に外部リファレンス電圧を加えることができます。REFIN(+) ¹ には $\text{AV}_{\text{DD}} \sim \text{GND} + 0.1\text{V}$ までの電圧を入力できます。リファレンス電圧（REFIN(+) ¹ - REFIN(-) ¹ ）の公称値は2.5Vですが、デバイスは0.1V \sim AV _{DD} の範囲のリファレンス電圧で動作します。また、このピンはAIN3(+) ¹ としても使用できます。AIN3(+) ¹ は、差動アナログ入力ペアAIN3(+)/AIN3(-)の正端子です。
10	REFIN(-)/AIN3(-)	リファレンス電圧入力／アナログ入力（負）。REFIN(-) ¹ は、REFINの負のリファレンス電圧入力です。GND \sim AV _{DD} - 0.1Vまでのリファレンス電圧を入力できます。このピンは、差動アナログ入力ペアAIN3(+)/AIN3(-)の負端子であるAIN3(-) ¹ としても使用できます。
11	IOUT2	内部励起電流源の出力。このピンから内部励起電流を出力できます。励起電流源は出力を10 μA 、210 μA 、1mAに設定できます。IEXC1またはIEXC2をこの出力に接続することができます。
12	GND	グラウンド基準ポイント
13	AV _{DD}	2.7 \sim 5.25Vのアナログ電源電圧。
14	DV _{DD}	2.7 \sim 5.25Vのデジタル・インターフェース電源電圧。シリアル・インターフェース・ピンのロジック・レベルは、この電源に関係します。なお、DV _{DD} 電圧はAV _{DD} 電圧から独立しているため、DV _{DD} =3VのときAV _{DD} =5Vに、またはDV _{DD} =5VのときAV _{DD} =3Vにできます。

AD7785

ピン番号	記号	説明
15	DOUT/RDY	<p>シリアル・データ出力／データ・レディ出力。DOUT/RDYには2つの機能があります。1つは、ADCの出力シフト・レジスタにアクセスするためのシリアル・データ出力ピンとしての機能です。出力シフト・レジスタには、オンチップのデータ・レジスタまたはコントロール・レジスタからのデータを格納できます。さらに、ローレベルへの変化で変換終了を示すデータ・レディ出力ピンとしても機能します。変換後、データの読出しがない場合は、次の更新が実行される前に、このピンはハイレベルになります。</p> <p>DOUT/RDYの立下がりエッジは、プロセッサへの割込みとして使用でき、データが有効になったことを示します。外部シリアル・クロックの使用時には、DOUT/RDYピンを使ってデータの読出しが可能です。CSがローレベルの場合、SCLKの立下がりエッジでデータ／制御ワード情報がDOUT/RDYピンに出力され、この情報はSCLKの立上がりエッジで有効になります。</p>
16	DIN	<p>シリアル・データ入力。ADCの入力シフト・レジスタに対するシリアル・データ入力です。シフト・レジスタのデータは、ADC内部のコントロール・レジスタに転送されます。通信レジスタのレジスタ選択ビットによって、適切なレジスタを指定します。</p>

出力ノイズ仕様および分解能仕様

外部リファレンス電圧

表5に、更新レートとゲインをさまざまな値に設定したときのAD7785の出力rmsノイズを示します。これらの値は、外部リファレンス電圧=2.5Vのときのバイポーラ入力電圧範囲で取得した代表値であり、差動入力電圧=0V時に測定したものです。表6に、実効分解能を示します。括弧内の値は出力ピークto

ピーク (p-p) 分解能を表します。なお、実効分解能の計算にはrmsノイズを使用していますが、p-p分解能の計算にはp-pノイズを使用しています。p-p分解能は、コードのフリッカがまったくない場合の分解能です。これらの値は代表値で、LSB値にまるめ処理されています。

表5. さまざまなゲインと出力更新レートに対する出力RMSノイズ (μV) (2.5Vの外部リファレンス電圧を使用)

Update Rate (Hz)	Gain of 1	Gain of 2	Gain of 4	Gain of 8	Gain of 16	Gain of 32	Gain of 64	Gain of 128
4.17	0.64	0.6	0.29	0.22	0.1	0.065	0.039	0.041
8.33	1.04	0.96	0.38	0.26	0.13	0.078	0.057	0.055
16.7	1.55	1.45	0.54	0.36	0.18	0.11	0.087	0.086
33.2	2.3	2.13	0.74	0.5	0.23	0.17	0.124	0.118
62	2.95	2.85	0.92	0.58	0.29	0.2	0.153	0.144
123	4.89	4.74	1.49	1	0.48	0.32	0.265	0.283
242	11.76	9.5	4.02	1.96	0.88	0.45	0.379	0.397
470	11.33	9.44	3.07	1.79	0.99	0.63	0.568	0.593

表6. さまざまなゲインと出力更新レートに対する分解能の代表値 (ビット) (2.5Vの外部リファレンス電圧を使用)

Update Rate (Hz)	Gain of 1	Gain of 2	Gain of 4	Gain of 8	Gain of 16	Gain of 32	Gain of 64	Gain of 128
4.17	20 (20)	20 (19.5)	20 (19.5)	20 (19)	20 (19)	20 (18.5)	20 (18.5)	20 (17.5)
8.33	20 (19.5)	20 (19)	20 (19)	20 (18.5)	20 (18.5)	20 (18.5)	20 (18)	19.5 (17)
16.7	20 (19)	20 (18)	20 (18.5)	20 (18)	20 (18)	20 (18)	20 (17.5)	19 (16.5)
33.2	20 (18.5)	20 (17.5)	20 (18)	20 (17.5)	20 (18)	20 (17.5)	19 (16.5)	18.5 (16)
62	20 (18)	19.5 (17)	20 (18)	20 (17.5)	20 (17.5)	19.5 (17)	19 (16.5)	18 (15.5)
123	20 (17.5)	19 (16.5)	19.5 (17)	19 (16.5)	19.5 (17)	19 (16.5)	18 (15.5)	17 (14.5)
242	18.5 (16)	18 (15.5)	18 (15.5)	18 (15.5)	18.5 (16)	18.5 (16)	17.5 (15)	16.5 (14)
470	18.5 (16)	18 (15.5)	18.5 (16)	18.5 (16)	18 (15.5)	18 (15.5)	17 (14.5)	16 (13.5)

AD7785

内部リファレンス電圧

表7に、更新レートとゲインをさまざまな値に設定したときのAD7785の出力rmsノイズを示します。内部リファレンス電圧=1.17Vとしたときのバイポーラ入力電圧範囲で取得した代表値であり、差動入力電圧=0V時に測定したものです。表8に実効分解能を示します。括弧内の値は出力ピークtoピーク (p-p)

分解能を表します。なお、実効分解能の計算にはrmsノイズを使用していますが、p-p分解能の計算にはp-pノイズを使用しています。p-p分解能は、コードのフリッカがまったくない場合の分解能です。これらの値は代表値であり、最も近いLSB値に丸めています。

表7. さまざまなゲインと出力更新レートに対する出力RMSノイズ (μV) (内部リファレンス電圧を使用)

Update Rate (Hz)	Gain of 1	Gain of 2	Gain of 4	Gain of 8	Gain of 16	Gain of 32	Gain of 64	Gain of 128
4.17	0.81	0.67	0.32	0.2	0.13	0.065	0.04	0.039
8.33	1.18	1.11	0.41	0.25	0.16	0.078	0.058	0.059
16.7	1.96	1.72	0.55	0.36	0.25	0.11	0.088	0.088
33.2	2.99	2.48	0.83	0.48	0.33	0.17	0.13	0.12
62	3.6	3.25	1.03	0.65	0.46	0.2	0.15	0.15
123	5.83	5.01	1.69	0.96	0.67	0.32	0.25	0.26
242	11.22	8.64	2.69	1.9	1.04	0.45	0.35	0.34
470	12.46	10.58	4.58	2	1.27	0.63	0.50	0.49

表8. さまざまなゲインと出力更新レートに対する分解能の代表値 (ビット) (内部リファレンス電圧を使用)

Update Rate (Hz)	Gain of 1	Gain of 2	Gain of 4	Gain of 8	Gain of 16	Gain of 32	Gain of 64	Gain of 128
4.17	20 (19)	20.5 (18)	20 (18.5)	20.5 (18)	20 (17.5)	20 (17.5)	20 (17.5)	19 (16.5)
8.33	20 (18.5)	20 (17.5)	20.5 (18)	20 (17.5)	20 (17.5)	20 (17.5)	19 (16.5)	18 (15.5)
16.7	20 (17.5)	19.5 (17)	20 (17.5)	19.5 (17)	19 (16.5)	19.5 (17)	18.5 (16)	17.5 (15)
33.2	19.5 (17)	19 (16.5)	19.5 (17)	19 (16.5)	19 (16.5)	18.5 (16)	18 (15.5)	17 (14.5)
62	19.5 (17)	18.5 (16)	19 (16.5)	19 (16.5)	18.5 (16)	18.5 (16)	18 (15.5)	17 (14.5)
123	18.5 (16)	18 (15.5)	18.5 (16)	18 (15.5)	17.5 (15)	18 (15.5)	17 (14.5)	16 (13.5)
242	17.5 (15)	17 (14.5)	17.5 (15)	17 (14.5)	17 (14.5)	17.5 (15)	16.5 (14)	15.5 (13)
470	17.5 (15)	17 (14.5)	17 (14.5)	17 (14.5)	17 (14.5)	17 (14.5)	16 (13.5)	15 (12.5)

代表的な性能特性

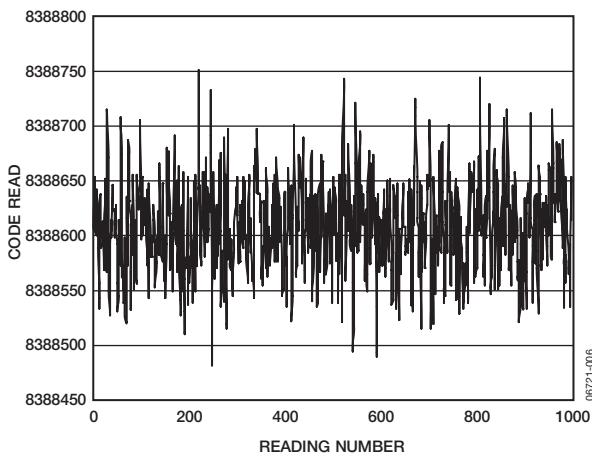


図6. 代表的なノイズ・プロット (内部リファレンス電圧を使用、ゲイン=64、更新レート=16.7Hz)

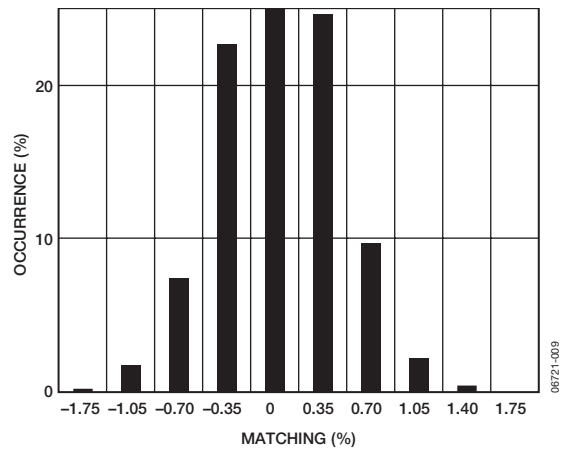


図9. 励起電流のマッチング (1mA、周囲温度時)

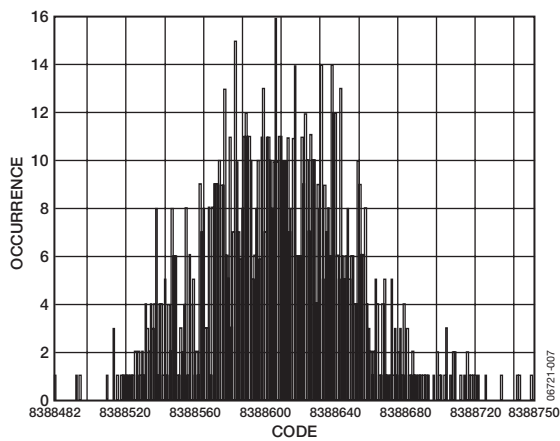


図7. ノイズ分布ヒストグラム (内部リファレンス電圧を使用、ゲイン=64、更新レート=16.7Hz)

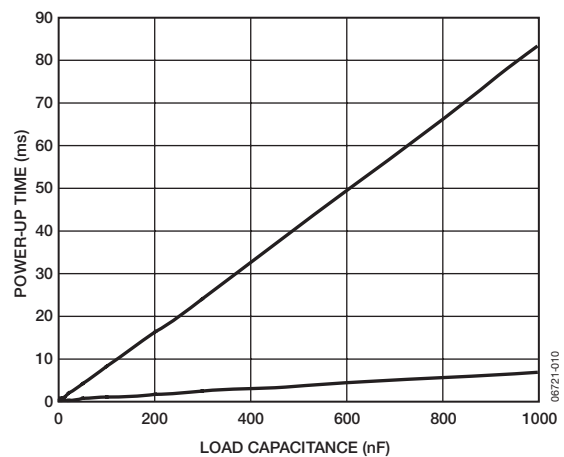


図10. 負荷容量 対 バイアス電圧発生器のパワーアップ時間

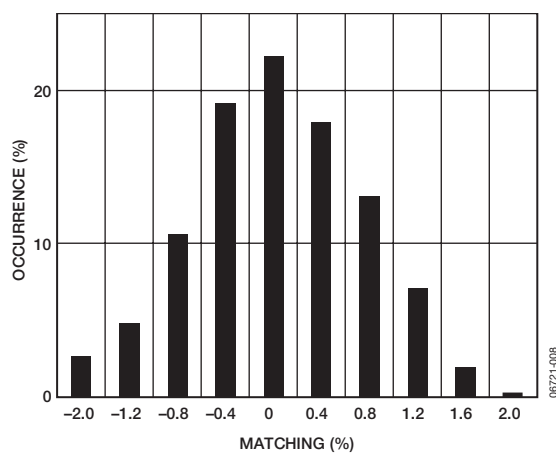


図8. 励起電流のマッチング (210µA、周囲温度時)

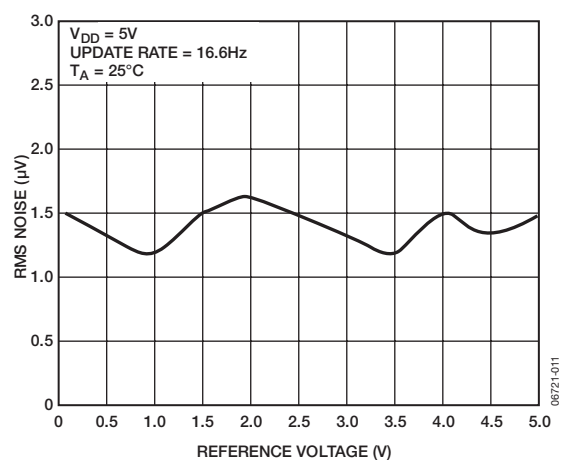


図11. リファレンス電圧 対 RMSノイズ (ゲイン=1)

オンチップ・レジスタ

ADCの制御と設定は、次に説明する複数のオンチップ・レジスタを使って行います。次の説明では特に指定のない限り、「セット」はロジック1の状態を、「クリア」はロジック0の状態を意味します。

通信レジスタ

RS2、RS1、RS0=0、0、0

通信レジスタは、8ビットの書き込み専用レジスタです。ADCとの通信はすべて、通信レジスタへの書き込み動作によって開始する必要があります。通信レジスタに書き込まれたデータによって、次の動作が読出し／書き込みのいずれなのか、またどのレジスタに対してこの動作を実行するのかが決まります。読出したまたは書き込み動作の場合、選択されたレジスタに対する後続の読

出または書き込み動作が完了した時点で、インターフェースは通信レジスタへの書き込み動作待ちの状態に戻ります。これがインターフェースのデフォルト状態であり、パワーアップ時またはリセット後にADCはこのデフォルト状態になり、通信レジスタへの書き込み動作を待ちます。インターフェース・シーケンスが失われた状況では、DINがハイレベルのときに32サイクル以上のシリアル・クロックを使用して書き込み動作を行い、デバイス全体をリセットして、ADCをデフォルト状態に戻します。表9に通信レジスタのビット配置を示します。CR0～CR7はビット位置を表しており、CRはビットが通信レジスタのビットであることを表します。CR7はデータ・ストリームの先頭ビットです。括弧内の値は、パワーオン時またはリセット後のビットのデフォルト・ステータスを示します。

CR7	CR6	CR5	CR4	CR3	CR2	CR1	CR0
$\overline{\text{WEN}}(0)$	$\text{R}/\overline{\text{W}}(0)$	RS2(0)	RS1(0)	RS0(0)	CREAD(0)	0(0)	0(0)

表9. 通信レジスタのビット配置

ビット位置	ビット名	説明
CR7	$\overline{\text{WEN}}$	書き込みイネーブル・ビット。通信レジスタへの書き込み動作を実際に行うときは、このビットに0を書き込む必要があります。最初の書き込みビットが1の場合は、このレジスタ内の後続ビットに対してデバイスはクロック動作を実行しません。このビットに0が書き込まれるまで、デバイスはこのビット位置にとどまります。 $\overline{\text{WEN}}$ ビットに0が書き込まれると、次の7ビットは通信レジスタにロードされます。
CR6	$\text{R}/\overline{\text{W}}$	このビットが0の場合は、次の動作が指定レジスタへの書き込みであることを示します。このビットが1の場合は、次の動作が指定レジスタからの読出しであることを示します。
CR5 to CR3	RS2 to RS0	レジスタ・アドレス・ビット。これらのアドレス・ビットを使用して、シリアル・インターフェース通信時にADCのどのレジスタを選択するかを指定します。表10を参照。
CR2	CREAD	データ・レジスタの連続読出し。このビットを1に設定すると（そしてデータ・レジスタを選択すると）、シリアル・インターフェースが設定され、データ・レジスタの連続読出しが可能になります。たとえば、 $\overline{\text{RDY}}$ ピンがローレベルに変化して変換の終了が確認された後でSCLKパルスが入力されると、データ・レジスタの内容が自動的にDOUTピンに送られます。データ読出しの場合、通信レジスタに書き込む必要があります。この連続読出しモードをイネーブルするときは、01011100の命令を通信レジスタに書き込む必要があります。連続読出しモードを終了するときは、 $\overline{\text{RDY}}$ ピンがローレベルの間に01011000の命令を通信レジスタに書き込みます。連続読出しモードの間、ADCはこのモードの終了命令を受信できるようにDINライン上の動作をモニタします。さらに、32個の連続した1がDIN上で確認されると、リセットが実行されます。したがって、連続読出しモードでは、デバイスに命令が書き込まれるまで、DINをローレベルに維持してください。
CR1 to CR0	0	正常に動作させるためには、これらのビットにロジック0を設定してください。

表10. レジスタの選択

RS2	RS1	RS0	Register	Register Size
0	0	0	Communications Register During a Write Operation	8-bit
0	0	0	Status Register During a Read Operation	8-bit
0	0	1	Mode Register	16-bit
0	1	0	Configuration Register	16-bit
0	1	1	Data Register	24-bit (20-bit conversion followed by four 1s)
1	0	0	ID Register	8-bit
1	0	1	IO Register	8-bit
1	1	0	Offset Register	24-bit
1	1	1	Full-Scale Register	24-bit

ステータス・レジスタ

RS2, RS1, RS0=0, 0, 0, パワーオン/リセット=0x88

ステータス・レジスタは、8ビットの読み出し専用レジスタです。ADCステータス・レジスタにアクセスするときは、通信レジスタへの書き込みを行い、次に読み出しを選択し、RS2, RS1, RS0の各ビットに0をロードします。表11にステータス・レジスタのビット配置を示します。SR0~SR7はビット位置を表し、SRは各ビットがステータス・レジスタに割り当てられていることを示します。SR7はデータ・ストリームの先頭ビットです。括弧内の値は、パワーオン時またはリセット後のビットのデフォルト・ステータスを示します。

SR7	SR6	SR5	SR4	SR3	SR2	SR1	SR0
$\overline{\text{RDY}}(1)$	ERR(0)	0(0)	0(0)	1(1)	CH2(0)	CH1(0)	CH0(0)

表11. ステータス・レジスタのビット配置

ビット位置	ビット名	説明
SR7	$\overline{\text{RDY}}$	ADCのレディ・ビット。ADCデータ・レジスタにデータが書き込まれると、このビットはクリアされます。変換データの読み出しが行われなように、ADCデータ・レジスタの読み出し完了後、またはデータ・レジスタが新しい変換結果に更新される一定期間前に、RDYビットが自動的にセットされます。デバイスがパワーダウン・モードのときも、RDYビットがセットされます。さらに変換の終了も、DOUT/RDYピンによって示されます。このピンをステータス・レジスタの代わりに使用して、ADCの変換データをモニタすることもできます。
SR6	ERR	ADCのエラー・ビット。このビットは、 $\overline{\text{RDY}}$ ビットと同時に書き込まれます。このビットをセットして、ADCデータ・レジスタの書き込み結果が全ビット「0」または全ビット「1」にクランプされたことを示します。エラー原因には、オーバーレンジやアンダーレンジなどがあります。変換開始の書き込み動作が行われると、このビットはクリアされます。
SR5 to SR4	0	これらのビットは自動的にクリアされます。
SR3	1	このビットは自動的にクリアされます。
SR2 to SR0	CH2 to CH0	これらのビットで、ADCが変換しているチャンネルがわかります。

モード・レジスタ

RS2, RS1, RS0=0, 0, 1, パワーオン/リセット=0x000A

モード・レジスタは、データの読み出し/書き込みが可能な16ビットのレジスタです。このレジスタを使用して、動作モード、更新レート、クロック源を選択します。表12に、モード・レジスタのビット配置を示します。MR0~MR15はビット位置を表し、MRは各ビットがモード・レジスタに割り当てられていることを示します。MR15はデータ・ストリームの先頭ビットです。括弧内の値は、パワーオン時またはリセット後のビットのデフォルト・ステータスを示します。セットアップ・レジスタに書き込みを行うと、変調器とフィルタがリセットされ、RDYビットがセットされます。

MR15	MR14	MR13	MR12	MR11	MR10	MR9	MR8
MD2(0)	MD1(0)	MD0(0)	0(0)	0(0)	0(0)	0(0)	0(0)
MR7	MR6	MR5	MR4	MR3	MR2	MR1	MR0
CLK1(0)	CLK0(0)	0(0)	0(0)	FS3(1)	FS2(0)	FS1(1)	FS0(0)

表12. モード・レジスタのビット配置

ビット位置	ビット名	説明															
MR15 to MR13	MD2 to MD0	モード選択ビット。これらのビットを使用して、AD7785の動作モードを選択します（表13を参照）。正常に動作させるためには、これらのビットにロジック0を設定してください。															
MR12 to MR8	0																
MR7 to MR6	CLK1 to CLK0	これらのビットを使用して、AD7785のクロック源を選択します。64kHzのオンチップ・クロック、または外部クロックが使用できます。外部クロックの使用を無効にする機能によって、複数のAD7785を同期させることが可能です。さらに、高精度の外部クロックでAD7785を駆動すると、50Hz/60Hzの除去比が改善します。															
		<table border="1"> <thead> <tr> <th>CLK1</th> <th>CLK0</th> <th>ADCのクロック源</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>64kHzの内部クロック。CLKピンに内部クロックが出力されません。</td> </tr> <tr> <td>0</td> <td>1</td> <td>64kHzの内部クロック。CLKピンに内部クロックが出力されます。</td> </tr> <tr> <td>1</td> <td>0</td> <td>64kHzの外部クロックを使用。外部クロックを使用すると、50Hz/60Hzの除去比が改善します。外部クロックの仕様を参照。</td> </tr> <tr> <td>1</td> <td>1</td> <td>外部クロックを使用。外部クロックは、AD7785の内部で1/2に分周されます。</td> </tr> </tbody> </table>	CLK1	CLK0	ADCのクロック源	0	0	64kHzの内部クロック。CLKピンに内部クロックが出力されません。	0	1	64kHzの内部クロック。CLKピンに内部クロックが出力されます。	1	0	64kHzの外部クロックを使用。外部クロックを使用すると、50Hz/60Hzの除去比が改善します。外部クロックの仕様を参照。	1	1	外部クロックを使用。外部クロックは、AD7785の内部で1/2に分周されます。
CLK1	CLK0	ADCのクロック源															
0	0	64kHzの内部クロック。CLKピンに内部クロックが出力されません。															
0	1	64kHzの内部クロック。CLKピンに内部クロックが出力されます。															
1	0	64kHzの外部クロックを使用。外部クロックを使用すると、50Hz/60Hzの除去比が改善します。外部クロックの仕様を参照。															
1	1	外部クロックを使用。外部クロックは、AD7785の内部で1/2に分周されます。															
MR5 to MR4	0	正常に動作させるためには、これらのビットにロジック0を設定してください。															
MR3 to MR0	FS3 to FS0	フィルタの更新レート選択ビット（表14を参照）															

AD7785

表13. 動作モード

MD2	MD1	MD0	モード
0	0	0	連続変換モード (デフォルト) 連続変換モードでは、ADCは連続的に変換を実行し、その結果をデータ・レジスタに格納します。変換が終了するとRDYがローレベルになります。デバイスを連続読出しモードに設定すると、SCLKパルスが入力される時に変換データが自動的にDOUTライン上に出力されるため、ADCの変換結果を読み出すことができます。あるいは、通信レジスタへの書き込み動作によって、ADCが変換結果を出力するように命令することもできます。パワーオン、チャンネルの変更、あるいはモード/設定/IOの各レジスタへの書き込みが完了し、 $2/f_{ADC}$ の時間が経過すると最初の変換が実行され、 f_{ADC} の周波数で次の変換が実行されます。
0	0	1	シングル変換モード シングル変換モードを選択すると、ADCはパワーアップ後に1回のみ変換を行います。発振器のパワーアップとセトリングの所要時間は1msです。この後、ADCは $2/f_{ADC}$ の時間で変換を行います。変換結果はデータ・レジスタに格納され、RDYがローレベルに変化すると、ADCはパワーダウン・モードに戻ります。データを読み出すか、別の変換を開始するまで、変換結果はデータ・レジスタに保持され、RDYはアクティブ・ローレベルの状態を維持します。
0	1	0	アイドル・モード アイドル・モードでは、ADCのフィルタと変調器がリセット状態に維持されますが、変調器のクロック供給は続行されます。
0	1	1	パワーダウン・モード パワーダウン・モードでは、AD7785の回路（電流源、バーンアウト電流、バイアス電圧発生器、CLKOUT回路など）がパワーダウンします。
1	0	0	内部ゼロスケール・キャリブレーション イネーブルされたチャンネル入力は、内部で自動的に短絡されます。キャリブレーションの完了には2変換サイクルが必要です。RDYはキャリブレーション開始時にハイレベルになり、終了時にローレベルに戻ります。キャリブレーション後、ADCはアイドル・モードになります。計測したオフセット係数は、選択チャンネルのオフセット・レジスタに格納されます。
1	0	1	内部フルスケール・キャリブレーション キャリブレーション用に選択したアナログ入力にフルスケール入力電圧を自動的に接続します。ゲインが1のとき、キャリブレーションの完了には2変換サイクルが必要です。それ以上の場合、フルスケール・キャリブレーションの完了には4変換サイクルが必要です。RDYはキャリブレーション開始時にハイレベルになり、終了時にローレベルに戻ります。キャリブレーション後、ADCはアイドル・モードになります。計測したフルスケール係数は、選択チャンネルのフルスケール・レジスタに格納されます。 ゲインが128のとき、内部フルスケール・キャリブレーションは実行できません。ゲインを128に設定する場合は、システム・フルスケール・キャリブレーションを実行してください。 特定チャンネルのゲインを変更する場合は、フルスケール誤差を最小限に抑えるために、その都度必ずフルスケール・キャリブレーションを行ってください。
1	1	0	システム・ゼロスケール・キャリブレーション このモードでは、CH2~CH0ビットで選択したチャンネル入力ピンにシステム・ゼロスケール入力を接続する必要があります。システム・オフセット・キャリブレーションの完了には2変換サイクルが必要です。RDYはキャリブレーション開始時にハイレベルになり、終了時にローレベルに戻ります。キャリブレーション後、ADCはアイドル・モードになります。計測したオフセット係数は、選択チャンネルのオフセット・レジスタに格納されます。
1	1	1	システム・フルスケール・キャリブレーション このモードでは、CH2~CH0ビットで選択したチャンネル入力ピンにシステム・フルスケール入力を接続する必要があります。キャリブレーションの完了には2変換サイクルが必要です。RDYはキャリブレーション開始時にハイレベルになり、終了時にローレベルに戻ります。キャリブレーション後、ADCはアイドル・モードになります。計測したフルスケール係数は、選択チャンネルのフルスケール・レジスタに格納されます。特定チャンネルのゲインを変更する場合は、その都度必ずフルスケール・キャリブレーションを行ってください。

表14. 選択可能な更新レート

FS3	FS2	FS1	FS0	f_{ADC} (Hz)	t_{SETTLE} (ms)	Rejection @ 50 Hz/60 Hz (Internal Clock)
0	0	0	0	x	x	
0	0	0	1	470	4	
0	0	1	0	242	8	
0	0	1	1	123	16	
0	1	0	0	62	32	
0	1	0	1	50	40	
0	1	1	0	39	48	
0	1	1	1	33.2	60	
1	0	0	0	19.6	101	90 dB (60 Hz only)

FS3	FS2	FS1	FS0	f _{ADC} (Hz)	t _{SETTLE} (ms)	Rejection @ 50 Hz/60 Hz (Internal Clock)
1	0	0	1	16.7	120	80 dB (50 Hz only)
1	0	1	0	16.7	120	65 dB (50 Hz and 60 Hz)
1	0	1	1	12.5	160	66 dB (50 Hz and 60 Hz)
1	1	0	0	10	200	69 dB (50 Hz and 60 Hz)
1	1	0	1	8.33	240	70 dB (50 Hz and 60 Hz)
1	1	1	0	6.25	320	72 dB (50 Hz and 60 Hz)
1	1	1	1	4.17	480	74 dB (50 Hz and 60 Hz)

設定レジスタ

RS2、RS1、RS0=0、1、0、パワーオン/リセット=0x0710

設定レジスタは、データの読出し/書込みが可能な16ビットのレジスタです。このレジスタを使用して、ADCのユニポーラ/バイポーラ・モードの設定、バッファのイネーブル/ディスエーブル、バーンアウト電流のイネーブル/ディスエーブル、ゲインの選択、アナログ入力チャンネルの選択を行います。表15に、設定レジスタのビット配置を示します。CON0~CON15はビット位置を表し、CONは各ビットが設定レジスタに割り当てられていることを示します。CON15はデータ・ストリームの先頭ビットです。括弧内の値は、パワーオン時またはリセット後のビットのデフォルト・ステータスを示します。

CON15	CON14	CON13	CON12	CON11	CON10	CON9	CON8
VBIAS1(0)	VBIAS0(0)	BO(0)	U/B(0)	BOOST(0)	G2(1)	G1(1)	G0(1)
CON7	CON6	CON5	CON4	CON3	CON2	CON1	CON0
REFSEL(0)	0(0)	0(0)	BUF(1)	0(0)	CH2(0)	CH1(0)	CH0(0)

表15. 設定レジスタのビット配置

ビット位置	ビット名	説明																																													
CON15 to CON14	VBIAS1 to VBIAS0	バイアス電圧発生器イネーブル・ビット。アナログ入力の負端子をAV _{DD} /2までバイアスできます。これらのビットは、ブースト・ビットと組み合わせて使用します。																																													
		<table border="1"> <thead> <tr> <th>VBIAS1</th> <th>VBIAS0</th> <th>バイアス電圧</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>バイアス電圧発生器をディスエーブル</td> </tr> <tr> <td>0</td> <td>1</td> <td>バイアス電圧をAIN1(-)に接続</td> </tr> <tr> <td>1</td> <td>0</td> <td>バイアス電圧をAIN2(-)に接続</td> </tr> <tr> <td>1</td> <td>1</td> <td>予約済み</td> </tr> </tbody> </table>	VBIAS1	VBIAS0	バイアス電圧	0	0	バイアス電圧発生器をディスエーブル	0	1	バイアス電圧をAIN1(-)に接続	1	0	バイアス電圧をAIN2(-)に接続	1	1	予約済み																														
		VBIAS1	VBIAS0	バイアス電圧																																											
		0	0	バイアス電圧発生器をディスエーブル																																											
		0	1	バイアス電圧をAIN1(-)に接続																																											
1	0	バイアス電圧をAIN2(-)に接続																																													
1	1	予約済み																																													
CON13	BO	バーンアウト電流イネーブル・ビット。このビットを1に設定すると、信号バスで100nAの電流源がイネーブルされます。BO=0に設定すると、バーンアウト電流がディスエーブルされます。バーンアウト電流をイネーブルできるのは、バッファまたは計装アンプがアクティブのときのみです。バーンアウト電流は、チャンネルAIN1とAIN2で使用できます。																																													
CON12	U/B	ユニポーラ/バイポーラ選択ビット。このビットをセットすると、ユニポーラ・コーディングがイネーブルされます。したがって、ゼロスケールの差動入力*0x000000のコードで、フルスケールの差動入力*0xFFFFのコードで出力されます。このビットをクリアすると、バイポーラ・コーディングがイネーブルされます。この場合、負のフルスケール差動入力*0x000000のコード、ゼロスケール差動入力*0x800000のコード、そして正のフルスケール差動入力*0xFFFFのコードで出力されます。																																													
CON11	BOOST	このビットは、VBIAS1とVBIAS0のビットと組み合わせて使用します。このビットをセットすると、バイアス電圧発生器の消費電流が増加し、パワーアップ時間が短くなります。																																													
CON10 to CON8	G2 to G0	ゲイン選択ビット これらのビットに書込みを行い、次のADC入力電圧範囲を選択します。																																													
		<table border="1"> <thead> <tr> <th>G2</th> <th>G1</th> <th>G0</th> <th>ゲイン</th> <th>ADCの入力電圧範囲 (リファレンス電圧=2.5V)</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>1 (In-amp not used)</td> <td>2.5 V</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>2 (In-amp not used)</td> <td>1.25 V</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>4</td> <td>625 mV</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>8</td> <td>312.5 mV</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>16</td> <td>156.2 mV</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>32</td> <td>78.125 mV</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>64</td> <td>39.06 mV</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>128</td> <td>19.53 mV</td> </tr> </tbody> </table>	G2	G1	G0	ゲイン	ADCの入力電圧範囲 (リファレンス電圧=2.5V)	0	0	0	1 (In-amp not used)	2.5 V	0	0	1	2 (In-amp not used)	1.25 V	0	1	0	4	625 mV	0	1	1	8	312.5 mV	1	0	0	16	156.2 mV	1	0	1	32	78.125 mV	1	1	0	64	39.06 mV	1	1	1	128	19.53 mV
G2	G1	G0	ゲイン	ADCの入力電圧範囲 (リファレンス電圧=2.5V)																																											
0	0	0	1 (In-amp not used)	2.5 V																																											
0	0	1	2 (In-amp not used)	1.25 V																																											
0	1	0	4	625 mV																																											
0	1	1	8	312.5 mV																																											
1	0	0	16	156.2 mV																																											
1	0	1	32	78.125 mV																																											
1	1	0	64	39.06 mV																																											
1	1	1	128	19.53 mV																																											

AD7785

ビット位置	ビット名	説明				
CON7	REFSEL	リファレンス電圧選択ビット。このビットを使用して、ADCのリファレンス電圧源を選択します。				
		REFSEL	リファレンス電圧源			
		0	外部リファレンス電圧をREFIN(+)ピンとREFIN(-)ピンの間に入力します。			
		1	内部リファレンス電圧を選択します。			
CON6 to CON5 CON4	0	正常に動作させるためには、これらのビットにロジック0を設定してください。				
	BUF	ADCをバッファ/非バッファの動作モードに設定します。このビットをクリアすると、ADCは非バッファ・モードで動作し、デバイスの消費電力が減少します。このビットをセットすると、ADCはバッファ・モードで動作し、システム上でゲイン誤差を発生させることなく、入力インピーダンスをフロントエンドで大きくすることができます。ゲインが1または2の場合、バッファをディスエーブルできます。ゲインがこれより大きい場合は、バッファは自動的にイネーブルされます。 バッファがディスエーブルされると、アナログ入力ピン上の電圧範囲をGND-30mV~AV _{DD} +30mVにできます。バッファがイネーブルされると、ある程度のヘッドルームが必要となるため、すべての入力ピン上の電圧は両電源レールの100mV以内に制限されます。				
CON3 CON2 to CON0	0	正常に動作させるためには、このビットにロジック0を設定してください。				
	CH2 to CH0	チャンネル選択ビット。これらのビットに書き込みを行い、ADCのアクティブなアナログ入力チャンネルを選択します。				
		CH2	CH1	CH0	チャンネル	キャリブレーション・ペア
		0	0	0	AIN1(+)-AIN1(-)	0
		0	0	1	AIN2(+)-AIN2(-)	1
		0	1	0	AIN3(+)-AIN3(-)	2
		0	1	1	AIN1(-)-AIN1(-)	0
		1	0	0	予約済み	
		1	0	1	予約済み	
		1	1	0	温度センサー	イン=1と内部リファレンス電圧を自動的に選択します。
		1	1	1	AV _{DD} モニタ	ゲイン=1/6と1.17Vのリファレンス電圧を自動的に選択します。

データ・レジスタ

RS2, RS1, RS0=0, 1, 1, パワーオン/リセット=0x00000F

ADCからの変換結果がこのデータ・レジスタに格納されます。これは読出し専用の24ビット・レジスタです。このレジスタからの読出しが完了すると、RDYビット/ピンがセットされます。上位20ビットには変換結果が格納され、下位4ビットには1が設定されます。

IDレジスタ

RS2, RS1, RS0=1, 0, 0, パワーオン/リセット=0xXB

AD7785の識別番号がIDレジスタに格納されます。これは読出し専用レジスタです。

IOレジスタ

RS2, RS1, RS0=1, 0, 1, パワーオン/リセット=0x00

IOレジスタは、データの読出し/書き込みが可能な8ビットのレジスタです。このレジスタを使用して、励起電流をイネーブルし、励起電流値を選択します。表16に、IOレジスタのビット配置を示します。IO0~IO7はビット位置を示し、IOは各ビットがIOレジスタに割り当てられていることを示します。IO7はデータ・ストリームの先頭ビットです。括弧内の値は、パワーオン時またはリセット後のビットのデフォルト・ステータスを示します。

IO7	IO6	IO5	IO4	IO3	IO2	IO1	IO0
0(0)	0(0)	0(0)	0(0)	IEXCDIR1(0)	IEXCDIR0(0)	IEXCEN1(0)	IEXCEN0(0)

表16. IOレジスタのビット配置

ビット位置	ビット名	説明		
IO7 to IO4 IO3 to IO2	0	正常に動作させるためには、これらのビットにロジック0を設定してください。 電流源の方向選択ビット		
	IEXCDIR1 to IEXCDIRO			
	IEXCDIR1		IEXCDIRO	電流源の方向
	0		0	電流源IEXC1をIOUT1ピンに接続し、電流源IEXC2をIOUT2ピンに接続します。
	0		1	電流源IEXC1をIOUT2ピンに接続し、電流源IEXC2をIOUT1ピンに接続します。
IO1 to IO0	IEXCEN1 to IEXCEN0	これらのビットを使用して、電流源をイネーブル/ディスエーブルし、さらに励起電流値を選択します。		
		IEXCEN1	IEXCEN0	電流源の値
		0	0	励起電流源をディスエーブル
		0	1	10 μ A
		1	0	210 μ A
1	1	1 mA		

オフセット・レジスタ

RS2、RS1、RS0=1、1、0、パワーオン/リセット=0x80000

各アナログ入力チャンネルには、チャンネルのオフセット・キャリブレーション係数を格納する専用のオフセット・レジスタがあります。このレジスタは24ビット幅で、パワーオン/リセット時の値は0x8000(00)です。各オフセット・レジスタとそれに対応するフルスケール・レジスタによって、1組のレジスタ・ペアを構成します。内部またはシステム・ゼロスケール・キャリブレーションを開始すると、パワーオン・リセット値が自動的に上書きされます。オフセット・レジスタは、読出し/書込みレジスタです。ただし、オフセット・レジスタに書き込むときは、AD7785をアイドル・モードまたはパワーダウン・モードに設定してください。

フルスケール・レジスタ

RS2、RS1、RS0=1、1、1、パワーオン/リセット=0x5XXX00

フルスケール・レジスタは24ビットのレジスタで、ADCのフルスケール・キャリブレーション係数を格納します。AD7785は3個のフルスケール・レジスタを内蔵しており、各チャンネルは専用のフルスケール・レジスタを使用します。フルスケール・レジスタは読出し/書込みレジスタですが、このレジスタに書込みを行う際は、ADCをパワーダウン・モードまたはアイドル・モードに設定する必要があります。このレジスタにはパワーオン時に、工場出荷時校正のフルスケール・キャリブレーション係数（校正はゲイン=1で実施）が設定されます。このため、デバイスによってデフォルト係数が異なります。また、内部/外部リファレンス電圧の選択によっても係数が異なります。内部またはシステム・フルスケール・キャリブレーションを開始すると、あるいはフルスケール・レジスタに書込みを行うと、デフォルト値が自動的に上書きされます。

ADC回路情報

概要

AD7785は、 $\Sigma\Delta$ 変調器、バッファ、リファレンス電圧、計装アンプ、デジタル・フィルタを内蔵した低消費電力ADCです。圧力トランスデューサ、重量計、温度計測などのアプリケーションに適しており、ダイナミック・レンジの広い低周波信号の計測用にデザインされています。

このデバイスは、バッファ付き／バッファなしの3チャンネルの差動入力を持っています。1.17Vの内部リファレンス電圧、または外部リファレンス電圧を使用して動作します。図12に、デバイス動作に必要な基本接続を示します。

AD7785の出力レート (f_{ADC}) はユーザが設定できます。設定可能な更新レートと対応するセトリング時間を表14に示します。ノーマル・モード除去は、デジタル・フィルタの主要な機能です。更新レートを16.7Hz以下に設定すると、50Hzと60Hzにノッチが配置されているため、50Hzと60Hzでの同時除去が最適化されています (図14を参照)。

量子化ノイズとデバイス・ノイズの除去を最適化するため、AD7785では出力更新レートに応じて、多少タイプの違うフィルタを使用します。更新レートが4.17~12.5Hzの場合は、平均化フィルタと組み合わせて3次Sincフィルタを使用します。更新レートが16.7~39Hzの場合は、変型3次Sincフィルタを使用します。更新レート=16.7Hzのとき、3次Sincフィルタは50Hz/60Hzの同時除去を行います。更新レートが50~242Hzの場合は、4次Sincフィルタを使用します。さらに、更新レート=470Hzでは、積分のみのフィルタを使用します。

図13~図16に、更新レートに対する各種フィルタの周波数応答特性を示します。

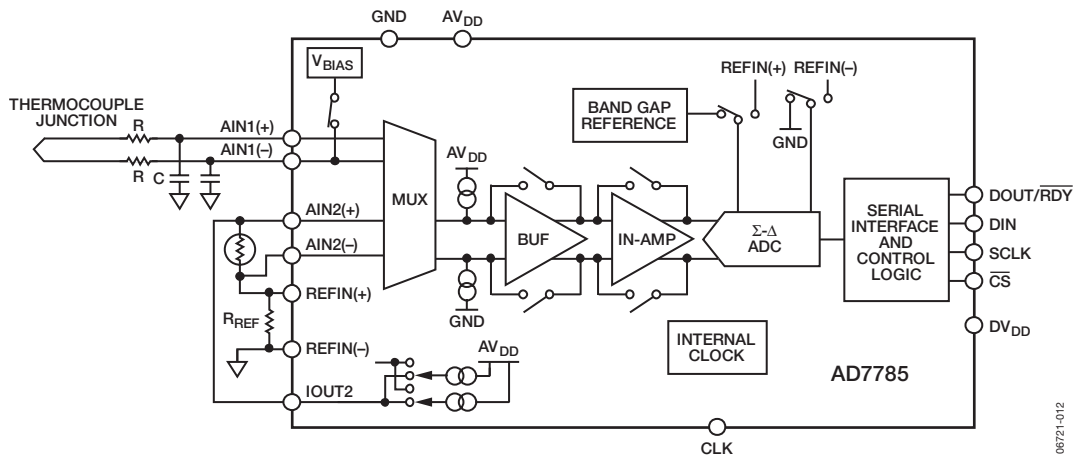


図12. 基本的な接続図

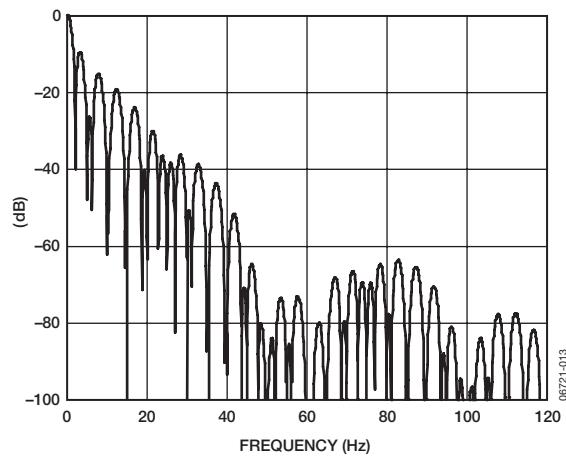


図13. フィルタの周波数応答特性 (更新レート=4.17Hz)

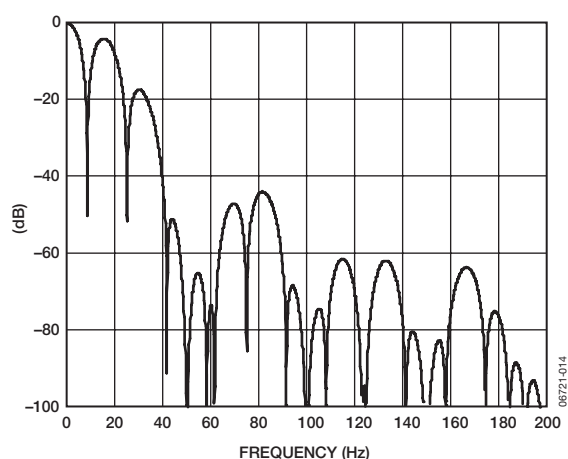


図14. フィルタの周波数応答特性（更新レート＝16.7Hz）

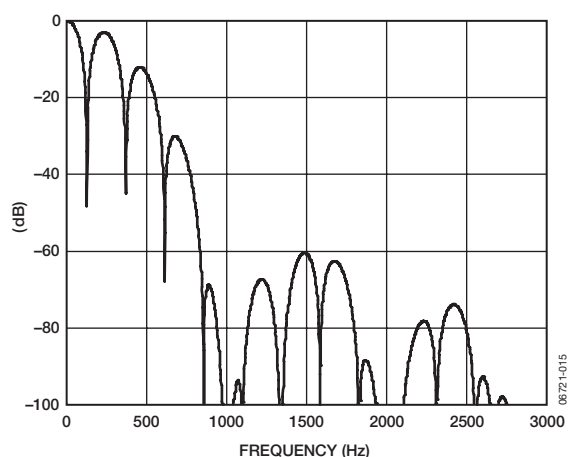


図15. フィルタの周波数応答特性（更新レート＝242Hz）

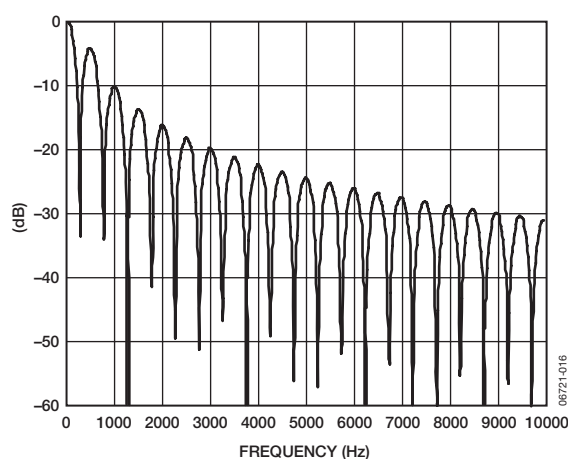


図16. フィルタの周波数応答特性（更新レート＝470Hz）

デジタル・インターフェース

AD7785のプログラマブルな機能はオンチップ・レジスタを用いて制御します。データはデバイスのシリアル・インターフェースを介してレジスタに書き込まれ、レジスタからの読出しもこのインターフェースを経由して行われます。デバイスとの通信は、必ず通信レジスタへの書き込みから開始します。パワーオンまたはリセット後、デバイスは通信レジスタに書き込みが行われるのを待ちます。このレジスタに書き込まれたデータによって、次に読出し／書き込み動作のどちらを行うか、またどのレジスタに対して行うかが決まります。したがって、通信レジスタ以外のレジスタに書き込む場合は、最初に通信レジスタへの書き込みを行い、その後に選択したレジスタに書き込みます。他のレジスタからの読出し（連続読出しモードを選択する場合を除きます）についても、通信レジスタへの書き込みを行った後に、選択したレジスタからデータを読み出します。

AD7785のシリアル・インターフェースには、 \overline{CS} 、DIN、SCLK、DOUT/ \overline{RDY} の4本の信号があります。DINラインはオンチップ・レジスタへのデータ転送に使用し、DOUT/ \overline{RDY} はオンチップ・レジスタのアクセスに使用します。SCLKはデバイスのシリアル・クロック入力であり、すべてのデータ転送（DINまたはDOUT/ \overline{RDY} 上）はSCLK信号を基準にして実行されます。DOUT/ \overline{RDY} ピンはデータ・レディ信号としても動作し、新しいデータ・ワードが出力レジスタにあるとローレベルになります。データ・レジスタからの読出しが完了すると、DOUT/ \overline{RDY} ピンはハイレベルにリセットされます。このピンはデータ・レジスタの更新前にもハイレベルに変化し、レジスタの更新中にデータ読出しが行われないように、デバイスからの読出しができないことを表示します。 \overline{CS} はデバイスの選択に使用します。複数の部品がシリアル・バスに接続されるシステムでは、 \overline{CS} を使用してAD7785をデコードできます。

AD7785

図3と図4に、 \overline{CS} を使用してAD7785をデコードする場合のインターフェース接続タイミング図を示します。図3にはAD7785の出力シフト・レジスタからの読出し動作のタイミングを、図4には入力シフト・レジスタへの書込み動作のタイミングを、それぞれ示します。最初の読出しの後、DOUT/RDYラインがハイレベルに戻っても、データ・レジスタから同じワードを複数回読み出すことができます。ただし、次の出力更新が実行される前に、読出し動作を完了させる必要があります。連続読出しモードの場合は、データ・レジスタからの読出しは1回のみです。

\overline{CS} をローレベルに固定して、シリアル・インターフェースを3線式モードで動作させることもできます。この場合、SCLK、DIN、DOUT/RDYのラインを使用してAD7785との通信を行います。変換の終了をモニタするときは、ステータス・レジスタのRDYビットを使用します。この方法は、マイクロコントローラとのインターフェースに適しています。デコーディング信号として \overline{CS} が必要な場合は、ポート・ピンから信号を発生できます。マイクロコントローラとのインターフェースでは、データ転送が終了し、次のデータ転送を開始するまでの間は、SCLKをハイレベルのアイドル状態にしておくことを推奨します。

\overline{CS} をフレーム同期信号として使用することも可能です。この方法は、DSPとのインターフェースに便利です。DSPでは、通常 \overline{CS} はSCLKの立下がりエッジの後で発生されるため、DSPとのインターフェース時には、先頭ビット（MSB）は実質的に \overline{CS} を使って出力されます。タイミング仕様が適切であれば、データ転送の終了から次の転送開始までの間、SCLKを連続的に動作させることができます。

シリアル・インターフェースをリセットするときは、DIN入力に1を続けて書き込みます。32サイクル以上のシリアル・クロックの間ロジック1をAD7785に書き込むと、シリアル・インターフェースがリセットされます。これにより、ソフトウェアのエラーやシステム内で発生するグリッチが原因でインターフェースが失われても、インターフェースを確実に既知の状態にリセットできます。リセット時、インターフェースは通信レジスタへの書込み待ちの状態に戻り、すべてのレジスタのデータ内容がパワーオン時の値にリセットされます。リセット後は、シリアル・インターフェースをアドレッシングする前に、500 μ sの余裕時間を持たせてください。

AD7785では、連続変換またはシングル変換の設定ができます。図17～図19を参照してください。

シングル変換モード

シングル変換モードでは、変換終了から次の変換開始までの間、AD7785はシャットダウン・モードになります。モード・レジスタのMD2、MD1、MD0をそれぞれ0、0、1に設定してシングル変換を開始すると、デバイスはパワーアップし、シングル変換を実行した後、パワーダウン・モードに戻ります。内蔵発振器のパワーアップには1ms必要です。変換の所要時間は $2 \times t_{ADC}$ です。変換が終わるとDOUT/RDYはローレベルになり、変換の終了を表示します。データ・レジスタからデータ・ワードが読み出されると、DOUT/RDYはハイレベルになります。 \overline{CS} がローレベルの場合、次の変換の開始から完了までの間、DOUT/RDYはハイレベルに維持されます。DOUT/RDYがハイレベルのときでも、必要に応じてデータ・レジスタの読出しを複数回行うことができます。

連続変換モード

これは、パワーアップ時のデフォルト・モードです。このモードでは、AD7785は連続して変換を行い、変換が終了するたびにステータス・レジスタのRDYピンがローレベルになります。 \overline{CS} がローレベルの場合は、変換終了時にDOUT/RDYラインもローレベルになります。変換結果を読み出すときは、通信レジスタに書込みを行い、次の動作がデータ・レジスタからの読出しであることを表示します。ADCにSCLKパルスが入力されると、デジタル変換結果が直ちにDOUT/RDYピンに出力されます。変換結果の読出し後、DOUT/RDYはハイレベルに戻ります。必要に応じて何回でもデータ・レジスタの読出し動作を実行できます。なお、この場合は必ず、次の変換終了時にデータ・レジスタへのアクセスがないようにしてください。データ・レジスタにアクセスがあると、新しい変換ワードが失われます。

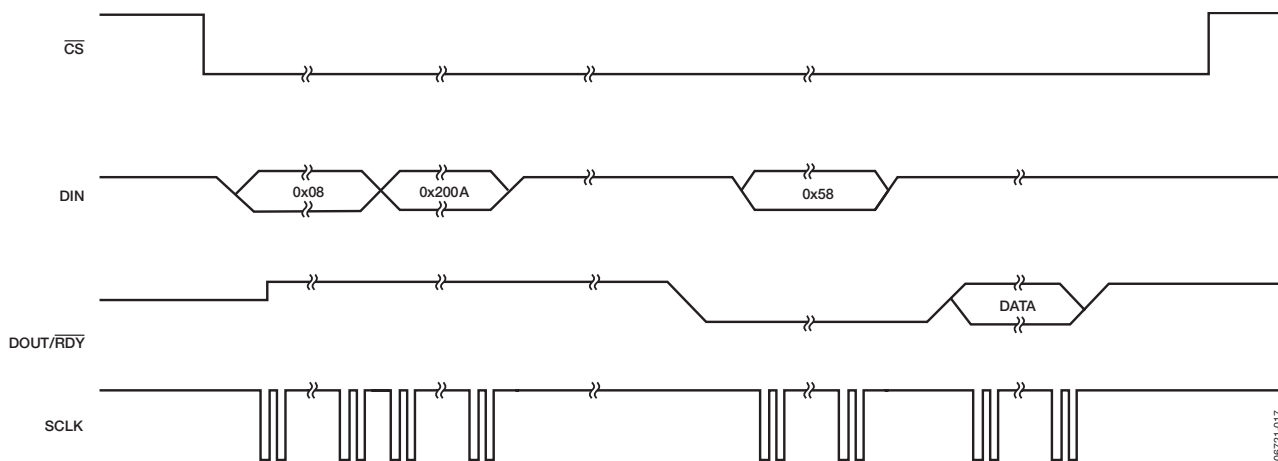


図17. シングル変換

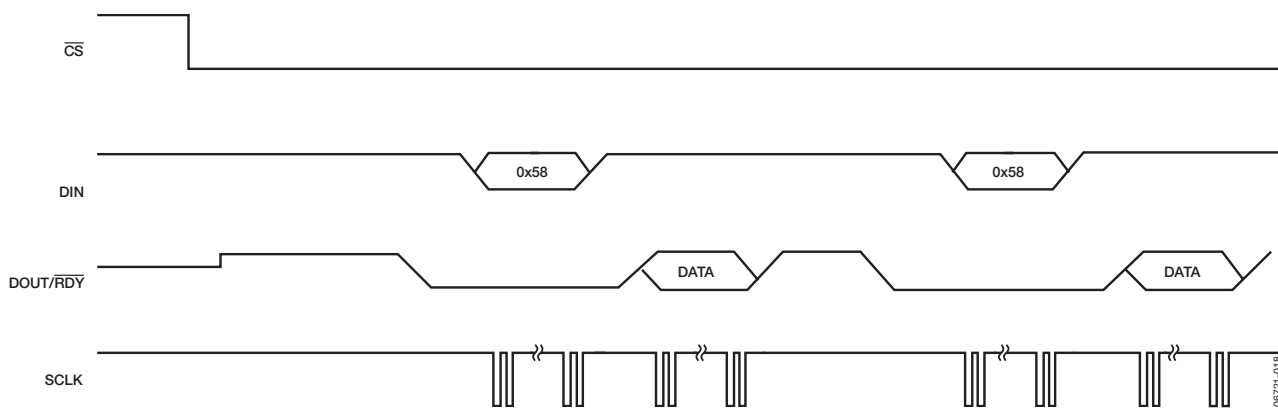


図18. 連続変換

AD7785

連続読出しモード

変換が終了するたび通信レジスタに書き込みを行ってデータにアクセスする代わりに、変換結果を自動的にDOUT/RDYラインに出力するようにAD7785を設定できます。通信レジスタに01011100を書き込み、24サイクルのSCLKをADCに入力するだけで、変換終了時に20ビットの変換結果と後続する4ビットの1が自動的にDOUT/RDYラインに出力されます。このとき、ADCは連続変換モードに設定しておく必要があります。

DOUT/RDYがローレベルに変化して変換の終了を表示したとき、十分なサイクル数のSCLKをADCに入力すると、変換データがDOUT/RDYラインに出力されます。変換データが読み出されると、DOUT/RDYは次の変換結果が出力されるまでハイレベルに戻ります。このモードでは、データを読み出せるのは1回のみで、次の変換が完了する前に、データ・ワードを読み

出しておく必要があります。次の変換の完了前に変換結果を読み出していない場合、またはワードを読み出すための十分な数のシリアル・クロックがAD7785に入力されなかった場合、次の変換が終了した時点でシリアル出力レジスタがリセットされ、新しい変換結果がシリアル出力レジスタに格納されます。

連続読出しモードを終了するときは、DOUT/RDYピンがローレベルの間に01011000の命令を通信レジスタに書き込みます。連続読出しモードでは、このモードの終了命令を受信できるように、ADCがDINライン上の動作をモニタします。また、32ビットの連続した1がDIN上で確認されると、リセットを実行します。したがって、連続読出しモードでは、命令をデバイスに書き込む必要性が生じるまで、DINはローレベルのままにしてください。

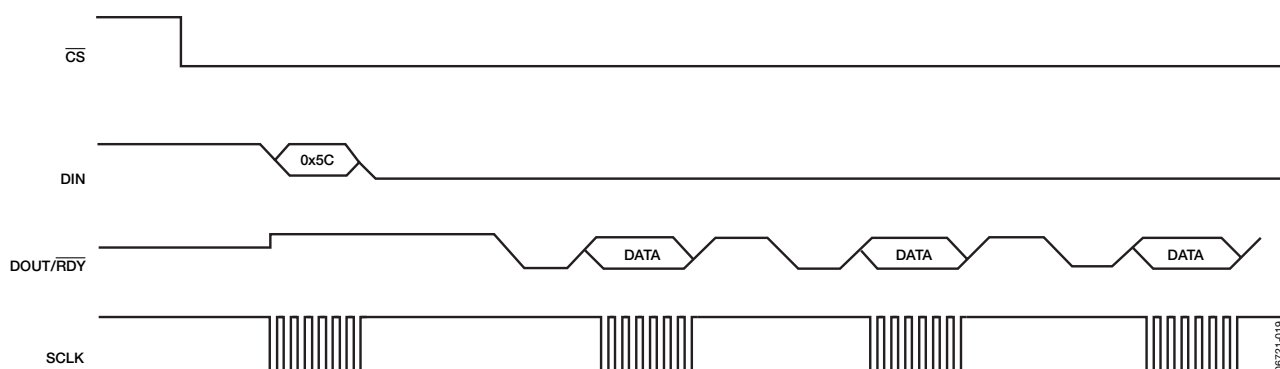


図19. 連続読出し

回路説明

アナログ入力チャンネル

AD7785は、3チャンネルの差動アナログ入力を持っています。デバイスがバッファ・モードのときこれらの入力チャンネルは内蔵のバッファ・アンプに接続され、非バッファ・モードのときは $\Sigma\Delta$ 変調器に直接接続されます。バッファ・モード（モード・レジスタのBUFビットを1に設定）では、入力チャンネルはバッファ・アンプのハイ・インピーダンス入力段に接続されます。このため、入力で大きな信号源インピーダンスを許容できるようになり、ストレイン・ゲージやRTD（抵抗測温検出器）などの外付けの抵抗型センサーとの直接の接続が可能になります。

BUFビット=0のとき、デバイスは非バッファ・モードで動作します。このため、アナログ入力電流が増加します。入力信号パスがバッファされないと、駆動側の信号源に動的な負荷が加わります。ADC入力を駆動する信号源の出力インピーダンスによっては、入力ピンに抵抗/コンデンサの組み合わせを接続した場合、これらがゲイン誤差を発生させる可能性があります。表17に、非バッファ・モードでゲイン誤差が20ビット分解能に影響を及ぼさないような外付け抵抗/コンデンサの値を示します。

表17. ゲイン誤差が20ビット分解能に影響を及ぼさないような外付け抵抗/コンデンサの組合せ

C (pF)	R (Ω)
50	9 k
100	6 k
500	1.5 k
1000	900
5000	200

AD7785が非バッファ・モードで動作できるのは、ゲインが1または2のときに限られます。これよりゲインが大きい場合、バッファが自動的にイネーブルされます。バッファ・モードでの絶対入力電圧範囲は、 $GND+100mV \sim AV_{DD}-100mV$ に制限されます。ゲインを4以上に設定すると、計装アンプがイネーブルされます。計装アンプがアクティブ時の絶対入力電圧範囲は、 $GND+300mV \sim AV_{DD}-1.1V$ に制限されます。セットアップ時には同相電圧がこれらの限界値を超えないようにしてください。限界値を超えると、直線性とノイズ性能が劣化します。

非バッファ・モードでの絶対入力電圧範囲は、バッファされていないため、 $GND-30mV \sim AV_{DD}+30mV$ になります。この負側の絶対入力電圧付近では、GNDを基準とする真のバイポーラ小信号をモニタできる可能性があります。

計装アンプ

ゲイン1または2の場合、アナログ入力信号の増幅はAD7785内部でデジタル的に実行されます。ただし、ゲインが4以上のときは、バッファからの出力はオンチップの計装アンプの入力に接続されます。この低ノイズの計装アンプは、振幅の小さい信号の増幅をデバイス内部で行うと同時に優れたノイズ性能を発揮します。

たとえば、64のゲイン設定ではrmsノイズは40nV (typ) となりますが、これは20ビットの実効分解能または18.5ビットのピークtoピーク分解能に相当します。

AD7785では、設定レジスタのG2~G0ビットを使用して、1、2、4、8、16、32、64、128のゲインをプログラムできます。このため、2.5Vの外部リファレンス電圧の使用時、ユニポーラ電圧範囲は0~20mVから0~2.5V、バイポーラ電圧範囲は $\pm 20mV \sim \pm 2.5V$ になります。計装アンプがアクティブのときは（ゲイン ≥ 4 ）、同相電圧 $((AIN(+)+AIN(-))/2)$ を0.5V以上にしてください。

AV_{DD} に等しい値の外部リファレンス電圧を用いてAD7785を動作させる場合、計装アンプをアクティブで正しく動作させるために、アナログ入力信号を $V_{REF}/ゲイン$ の90%に制限してください。

バイポーラ/ユニポーラ構成

AD7785のアナログ入力には、ユニポーラまたはバイポーラの電圧範囲に設定できます。これは、バイポーラ入力範囲でシステムのGNDを基準とした負の電圧を入力できるということではありません。AIN(+)入力でのユニポーラおよびバイポーラ信号は、AIN(-)入力の電圧を基準にします。たとえば、ADCがユニポーラ・モードで、AIN(-)の電圧が2.5V、ゲインが1の場合、AIN(+)ピンへの入力電圧範囲は、2.5~5Vになります。

ADCをバイポーラ・モードに設定すると、AIN(+)入力のアナログ電圧範囲は0~5Vとなります。バイポーラ/ユニポーラを選択するときは、設定レジスタのU/Bビットをプログラムします。

データ出力のコーディング

ADCをユニポーラ動作に設定すると、出力コードがストレート・バイナリとなり、ゼロスケールの差動入力電圧時に00000（16進数）のコードが、ミッドスケールの入力電圧時に80000（16進数）のコードが、フルスケールの入力電圧時にFFFFFF（16進数）のコードがそれぞれ出力されます。アナログ入力電圧に対する出力コードは次式で表します。

$$Code = (2^N \times AIN \times GAIN) / V_{REF}$$

ADCをバイポーラ動作に設定すると、出力コードがオフセット・バイナリとなり、負のフルスケール差動入力電圧時に00000（16進数）のコードが、負のゼロスケール差動入力電圧時に80000（16進数）のコードが、正のフルスケール入力電圧時にFFFFFF（16進数）のコードがそれぞれ出力されます。アナログ入力電圧に対する出力コードは次式で表します。

$$Code = 2^{N-1} \times [(AIN \times GAIN / V_{REF}) + 1]$$

ここで、

AINはアナログ入力電圧

GAINは計装アンプの設定値（1~128）

N=20

バーンアウト電流

バーンアウト電流はAIN1、AIN2の各チャンネルで使用できます。AD7785は、バーンアウト電流用の100nA定電流発生器を2つ内蔵しており、1つはAV_{DD}からAIN(+)へ電流を流出させ、もう1つはAIN(-)からGNDへ電流を流入させます。これらの電流は、選択されたアナログ入力ペアに接続されます。電流は、設定レジスタのバーンアウト電流イネーブル (BO) ビットの指定に従って、オン/オフします。該当チャンネルの計測に入る前に、これらの電流を使用して外部トランスデューサがまだ動作状態であることを確認できます。いったんバーンアウト電流をオンにすると、この電流は外部トランスデューサ回路に流れ込み、この時点でアナログ入力チャンネルの入力電圧の測定が可能になります。電圧測定結果がフルスケールのときは、その理由を確認してください。測定電圧がフルスケールの場合、フロントエンド・センサーが断線している可能性があります。さらに、フロントエンド・センサーが過負荷状態であるためにフルスケールになっているか、またはリファレンス電圧が供給されないためにデータが全ビット「1」に固定されている可能性もあります。

出力値が全ビット「1」の場合、上記3つのケースをチェックしたうえで原因を判断する必要があります。電圧の測定値が0Vならば、トランスデューサが短絡していることも考えられます。正常動作時には、設定レジスタのBOビットに0を書き込むと、バーンアウト電流はオフになります。この電流源は、バッファ・モードのとき、通常の絶対入力電圧範囲の仕様で動作します。

励起電流

AD7785はさらに、マッチングした、ソフトウェアから設定可能な定電流源を2つ内蔵しており、これらの電流は10μA、210μA、1mAに設定できます。2つの電流源はどちらもAV_{DD}からデバイスのIOUT1またはIOUT2ピンに供給されます。電流源の制御は、IOレジスタのビット指定により行います。設定ビットにより、電流源のイネーブル、IOUT1またはIOUT2ピンへの出力、電流値の選択が可能です。電流源によって、外部の抵抗ブリッジまたはRTDセンサーを励起できます。

バイアス電圧発生器

AD7785は、バイアス電圧発生器を内蔵しています。バイアス電圧発生器は、選択した入力チャンネルの負側端子の電圧をAV_{DD}/2にバイアスします。ゲイン設定が2を超える場合、熱電対からの電圧をあるDC電圧付近にバイアスする必要があるため、この機能は熱電対アプリケーションに便利です。計装アンブはGNDまたはAV_{DD}に近い信号を高い精度で変換できるようにヘッドルームを設ける必要があるため、バイアス電圧発生器が必要になります。

バイアス電圧発生器の制御には、設定レジスタのVBIAS1ビットとVBIAS0ビット、さらにブースト・ビットを使用します。バイアス電圧発生器のパワーアップ時間は、負荷容量に応じて異なります。大きな負荷容量に対処するため、AD7785にはブースト・ビットがあります。このビットを1に設定すると、バイアス電圧発生器の消費電流が増加し、パワーアップ時間が大幅に短縮されます。図10に、ブーストが0および1のときの、さまざまな負荷容量値に対するパワーアップ時間を示します。

バイアス電圧発生器をイネーブルし、ブーストを0としたとき、AD7785の消費電流は40μA増加します。ブースト機能をイネーブルすると、消費電流の増加分は250μAになります。

リファレンス電圧

AD7785は、1.17Vのリファレンス電圧を内蔵しています。この内部リファレンス電圧の他に、外部リファレンス電圧をADCへ接続することも可能です。内部リファレンス電圧は低ノイズ、低ドリフトのリファレンス電圧であり、ドリフト値は4ppm/°C (typ) です。外部リファレンス電圧を使用する場合、ADCはチャンネルに対する完全差動入力が可能です。AD7785のリファレンス電圧源の選択は、設定レジスタのREFSELビットにより行います。内部リファレンス電圧を選択すると、このリファレンス電圧は変調器に内部接続されるため、REFINピンは使用できません。

これらの差動入力の同相電圧範囲は、GND～AV_{DD}です。リファレンス電圧入力はバッファされていないため、抵抗とコンデンサ間の信号源インピーダンスが過度に大きいとゲイン誤差が発生します。リファレンス電圧REFIN (REFIN(+)-REFIN(-))の公称値は2.5Vですが、AD7785は0.1V～AV_{DD}のリファレンス電圧範囲で動作します。

アナログ入力に接続するトランスデューサの励起（電圧または電流）を使用してデバイスのリファレンス電圧を駆動するアプリケーションでは、動作がレシオメトリックであるため、励起電流源の低周波ノイズの影響は排除されます。AD7785をレシオメトリック・アプリケーションで使用しない場合は、低ノイズのリファレンス電圧を使用してください。

AD7785に推奨する2.5Vリファレンス電圧源としては、低ノイズ、低消費電力のリファレンス電圧であるADR381およびADR391があります。リファレンス電圧入力は、ハイ・インピーダンスの動的負荷になります。各リファレンス電圧入力の入力インピーダンスは動的であるため、入力に接続する抵抗/コンデンサの組合せによっては、DCゲイン誤差が発生することがあります。この誤差の大きさは、リファレンス電圧入力を駆動する信号源の出力インピーダンスに応じて変化します。

上記の推奨リファレンス電圧源 (ADR391など) は、一般に出力インピーダンスが小さいため、REFIN(+)ピンにデカップリング用コンデンサを接続してもシステム内にゲイン誤差が生じることはありません。抵抗を外付けしてリファレンス電圧入力を発生すると、リファレンス電圧入力は外部信号源インピーダンスの影響を大きく受けることになります。このタイプの回路構成では、REFINピンにデカップリング部品を外付けすることは推奨できません。

リセット

連続した32ビットの1をAD7785に書き込むと、内部回路とシリアル・インターフェースをリセットできます。これによって、ロジック、デジタル・フィルタ、アナログ変調器がリセットされ、すべてのオンチップ・レジスタはデフォルト値に戻ります。リセットはパワーアップ時に自動的に実行されます。リセットを開始するとき、オンチップ・レジスタにアクセスするまでに500μsの余裕時間を持たせてください。SCLKライン上で発生するノイズによって、シリアル・インターフェースが非同期的になる場合、リセット機能が役に立ちます。

AV_{DD} モニタ

ADCは、外部電圧の変換のほかに、AV_{DD}ピン電圧のモニタに使うことができます。CH2~CH0の各ビットを1に設定すると、AV_{DD}ピン上の電圧が内部で1/6に減衰されます。この減衰された電圧は、1.17Vの内部リファレンス電圧によってΣΔ変調器に入力され、A/D変換が行われます。これは、電源電圧変動をモニタできる便利な機能になります。

キャリブレーション

AD7785は、モード・レジスタのモード・ビットで設定可能な4つのキャリブレーション・モード（内部ゼロスケール・キャリブレーション、内部フルスケール・キャリブレーション、システム・ゼロスケール・キャリブレーション、システム・フルスケール・キャリブレーション）を持っています。このうちシステム・フルスケール・キャリブレーションは、オフセット誤差とフルスケール誤差をノイズ・レベルまで効果的に減少させます。変換が終了するたびに、ADCの変換結果がADCキャリブレーション・レジスタによりスケールリングされて、データ・レジスタへ書き込まれます。変換結果をオフセット・キャリブレーション係数を減算した後に、フルスケール係数で乗算します。

キャリブレーションを開始するときは、モード・レジスタのMD2~MD0ビットに該当する値を書き込みます。キャリブレーション完了後、対応するキャリブレーション・レジスタのデータ値が更新され、ステータス・レジスタのRDYビットがセットされます。そして、DOUT/RDYピンがローレベルに変化し（CSがローレベルの場合）、AD7785はアイドル・モードに戻ります。

内部ゼロスケールまたはフルスケール・キャリブレーションの実行中は、ゼロスケール入力とフルスケール入力ADCの入力ピンに自動的に内部で接続されます。ただし、システム・キャリブレーションの場合は、キャリブレーション・モードの開始前に、システム・ゼロスケール電圧とシステム・フルスケール電圧をADCの入力ピンに入力する必要があります。これによってADCの外部誤差が除去されます。

キャリブレーションは、動作の観点から、もう1つのADC変換ととらえる必要があります。ゼロスケール・キャリブレーション（必要な場合は、必ずフルスケール・キャリブレーションよりも先に実行してください。ポーリング・シーケンスまたは割込み駆動ルーチンによってキャリブレーションの終了を確認するときは、システム・ソフトウェアでステータス・レジスタのRDYビットまたはDOUT/RDYピンをモニタしてください。

内部オフセット・キャリブレーションとシステム・オフセット・キャリブレーションは、いずれも2変換サイクルを必要とします。ADC自体が連続的にオフセットを除去するため、内部オフセット・キャリブレーションは必要ありません。

内部フルスケール・キャリブレーションを実行するときは、このキャリブレーション用に選択したアナログ入力にフルスケール入力電圧が自動的に接続されます。ゲインを1に設定した場合、キャリブレーションの終了までには2変換サイクルが必要です。ゲインが1より大きい場合、フルスケール・キャリブレーションを実行するために、4変換サイクルが必要になります。キャリブレーションの開始時にDOUT/RDYピンはハイレベルになり、終了時にローレベルに戻ります。

キャリブレーションの終了後、ADCはアイドル・モードになります。計測したフルスケール係数は、選択したチャンネルのフルスケール・レジスタに格納されます。ゲインが128のときは、内部フルスケール・キャリブレーションは実行できませんが、システム・フルスケール・キャリブレーションは実行可能です。チャンネルのゲインを変更する際は、フルスケール誤差を最小限に抑えるために、変更のたびにフルスケール・キャリブレーションが必要になります。

内部フルスケール・キャリブレーションを実行できるのは、規定の更新レートを適用する場合のみです。ゲインが1、2、4の場合は、どんな更新レートでも内部フルスケール・キャリブレーションを実行できます。しかし、これよりもゲイン設定が大きい場合は、更新レートが16.7Hz、33.2Hz、50Hz以下の場合に限り、内部フルスケール・キャリブレーションを実行できます。ただし、更新レートの変化によってフルスケール誤差が変動することはないため、1つの更新レート時のキャリブレーションがすべての更新レートに対して有効になります（ゲインまたはリファレンス電圧源を変更しないと想定した場合）。

システム・フルスケール・キャリブレーションの実行には、ゲインの設定に関係なく2変換サイクルが必要です。システム・フルスケール・キャリブレーションは、ゲインと更新レートをどんな値に設定しても実行できます。システム・オフセット・キャリブレーションも一緒に実行する場合は、システム・オフセット・キャリブレーションを実行してからシステム・フルスケール・キャリブレーションを開始してください。

グラウンディングとレイアウト

ADCのアナログ入力とリファレンス電圧入力は差動であるため、アナログ変調器内の電圧の大部分は同相電圧になります。ADCの優れた同相ノイズ除去特性によって、これらの入力の同相ノイズが除去されます。デジタル・フィルタが、変調器のサンプリング周波数の整数倍を除く広帯域の電源ノイズを除去します。デジタル・フィルタは、ノイズ源がアナログ変調器を飽和させない限り、アナログおよびリファレンス電圧入力のノイズも除去します。その結果、従来の高分解能コンバータに比べてAD7785は高いノイズ干渉耐性を持つことになります。ただし、AD7785の分解能は非常に高く、生じるノイズ・レベルが低いいため、グラウンディングとレイアウトについては注意が必要です。

AD7785を実装するPCボードは、アナログ部とデジタル部を分離し、それぞれをボード内の特定の場所にまとめて配置するようにデザインしてください。一般に、エッチング部分を最小化すると、最適なシールド効果が得られるため、この方法はグラウンド・プレーンに最適です。

AD7785のGNDピンをシステムのAGNDプレーンに接続することが推奨されます。どのレイアウトの場合もシステム内の電流の流れに留意し、電流を目的ポイントまで流すパスとリターン・パスをできるだけ近づけて配置するようにします。レイアウトのAGND部分にデジタル電流が流れないようにしてください。

AD7785

ノイズ・カップリングを防ぐため、AD7785のグラウンド・プレーンをデバイスの下に来るように配置してください。AD7785の電源ラインはできるだけ太いパターンにしてインピーダンスを下げ、電源ライン上のグリッチの影響を減少させます。クロックなどの高速スイッチング信号は、デジタル・グラウンドでシールドし、ボードの他の部分にノイズが拡散しないようにします。また、クロック信号をアナログ入力の近くに配置しないでください。

デジタル信号とアナログ信号の交差は避けてください。ボードの両面のパターンは、互いに直角になるように配置します。これにより、ボード経由の混入の影響を減らすことができます。マイクロストリップ技術は特に優れていますが、必ずしも両面ボードに使用できるとは限りません。この技術では、ボードの部品実装面はグラウンド・プレーン専用とし、信号はハンダ面に配置します。

高分解能のADCを使用するときは、デカップリングが重要になります。 $A_{V_{DD}}$ は、 $10\mu\text{F}$ のタンタル・コンデンサと $0.1\mu\text{F}$ のコンデンサを並列接続してGNDにデカップリングする必要があります。 $D_{V_{DD}}$ のデカップリングは、 $10\mu\text{F}$ のタンタル・コンデンサと $0.1\mu\text{F}$ のコンデンサをシステムのDGNDプレーンに並列接続して行います。その際、システムのAGNDとDGND間の接続配線をAD7785にできるだけ近づけてください。

デカップリングの効果を最大にするときは、これらの部品をデバイスのできるだけ近く、理想的にはデバイスの真上に配置します。すべてのロジック・チップは、 $0.1\mu\text{F}$ のセラミック・コンデンサでDGNDにデカップリングする必要があります。

アプリケーション情報

AD7785は、低価格の高分解能A/D変換機能を持っています。A/D変換機能は $\Sigma\Delta$ アーキテクチャで実行されるため、ノイズの多い環境に対する高い耐性が得られます。そのため、このデバイスはセンサー信号の計測や工業用およびプロセス制御アプリケーションに最適です。

熱電対を使用した温度計測

図20に、熱電対をAD7785に接続した簡略回路図を示します。熱電対アプリケーションでは、熱電対によって発生する電圧を絶対リファレンス電圧を基準に計測するため、変換には内部リファレンス電圧を使用します。冷接点の計測ではレシオメトリック設定を使用するため、リファレンス電圧は外部から供給します。

熱電対からの信号は微小なため、AD7785は計装アンプをイネーブルして、信号を増幅します。入力チャンネルがバッファされるため、大容量のデカップリング・コンデンサをフロント

エンドに接続し、熱電対のリードに存在するノイズのピックアップを除去できます。計装アンプのイネーブル時は、AD7785の同相電圧範囲が狭くなるため、バイアス電圧発生器から同相電圧を供給して、熱電対から発生する電圧を $AV_{DD}/2$ までバイアスします。

サーミスタを使用して冷接点補償を行います。オンチップの励起電流源からサーミスタに励起電流が供給されます。さらに、冷接点計測用のリファレンス電圧が、サーミスタに直列に接続された高精度抵抗から発生されます。この方法によってレシオメトリック計測が可能になり、励起電流の変動による計測への影響がなくなります（これは高精度の基準抵抗値と計測対象のサーミスタ抵抗値との比です）。

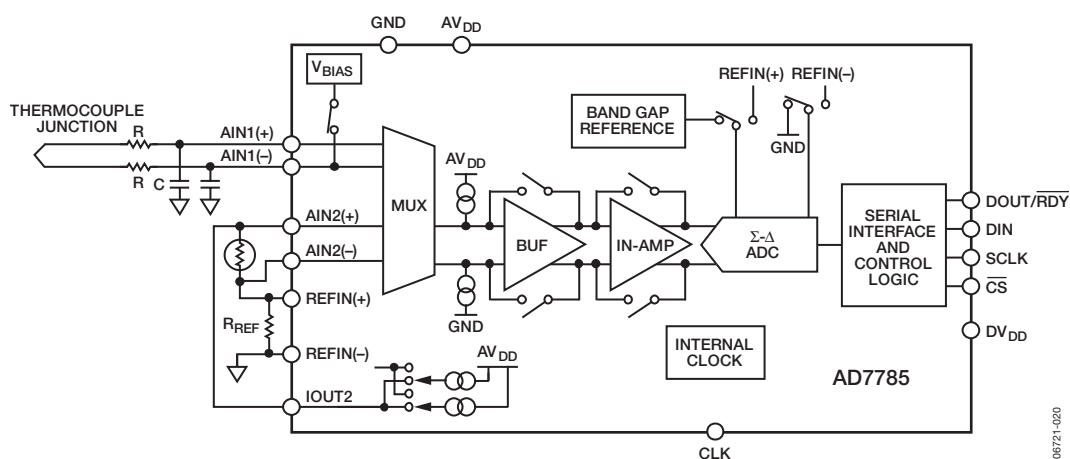


図20. AD7785を使用した熱電対信号計測

06721-020

AD7785

RTDを使用した温度計測

3線式のRTD回路構成を最適化するとき、マッチングした2つの電流源が必要です。良好にマッチングした2つの電流源を内蔵するAD7785は、このアプリケーションに最適です。図21に3線式構成回路の一例を示します。この3線式構成では、電流を1つだけ使用する場合、励起電流がRL1を通過するときにリードの抵抗値が原因で誤差が発生し、AIN1(+)ピンとAIN1(-)ピンの間に電圧誤差が生じます。この回路では、2番目のRTD電流源を使用して、RL1を流れる励起電流による誤差を補償します。2番目のRTD電流は、RL2を通過して流れます。RL1とRL2の値が等しく（リードは一般に同じ材料で製造され、長さも同じです）、IOUT1とIOUT2がマッチングしていると想定す

ると、RL2による誤差電圧はRL1による誤差電圧と等しくなり、AIN1(+)ピンとAIN1(-)ピンの間で誤差電圧は発生しません。2倍の電圧がRL3の両端で発生しますが、これは同相電圧であるため、誤差を発生しません。これらのマッチングした電流源の1つを使用して、AD7785のリファレンス電圧も発生されます。この電圧は高精度の抵抗を使用して発生され、ADCの差動リファレンス電圧ピンに入力されます。この回路方式によって、リファレンス電圧に対するアナログ入力電圧スパンのレシオメトリック特性が確実に維持されます。励起電流の温度ドリフトによるアナログ入力電圧の誤差はすべて、リファレンス電圧の変化によって補償されます。

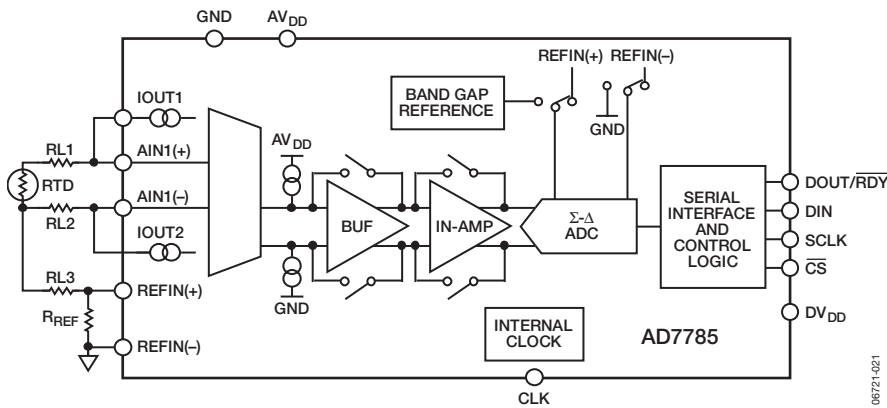


図21. AD7785を使用したRTDアプリケーション

外形寸法

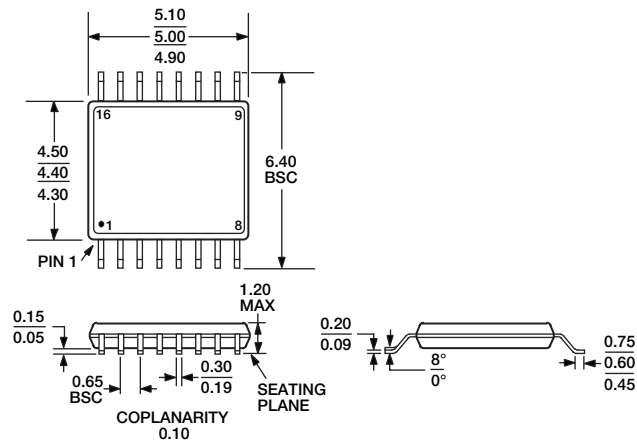


図22. 16ピン薄型シュリンク・スモール・アウトライン・パッケージ [TSSOP]
(RU-16)
寸法単位：mm

オーダー・ガイド

Model	Temperature Range	Package Description	Package Option
AD7785BRUZ ¹	-40°C to +105°C	16-Lead TSSOP	RU-16
AD7785BRUZ-REEL ¹	-40°C to +105°C	16-Lead TSSOP	RU-16
EVAL-AD7785EBZ ¹		Evaluation Board	

¹ Z=RoHS準拠製品