

特長

2チャンネル24ビットの - ADCを内蔵
ピンによる設定（プログラマブル・レジスタ不要）
入力チャンネルをピン設定可能
入力範囲がピン設定可能（ $\pm 2.56\text{V}$ または $\pm 160\text{mV}$ ）

更新レート：19.79Hz固定

50Hzと60Hzを同時除去

24ビットのノー・ミスコード

ピークtoピーク分解能（ $\pm 2.56\text{V}$ 範囲）：18.5ビット

ピークtoピーク分解能（ $\pm 160\text{mV}$ 範囲）：16.5ビット

インターフェース

マスター動作モードまたはスレープ動作モード

スレープ・モード

3線式シリアル

SPI™、QSPI™、MICROWIRE™、DSPと互換

SCLKにシュミット・トリガーを内蔵

電力条件

3Vおよび5Vの単電源動作で使用規定

ノーマル時：3Vで1.3mA

パワーダウン時：9 μA

内蔵機能

レールtoレールの入力バッファおよびPGA

アプリケーション

センサー計測

工業用プロセス制御

温度計測

圧力計測

重量計

携帯型計装機器

概要

AD7782は、低周波計測アプリケーション向けの完全なアナログ・フロントエンドです。24ビット - ADCには2つのフル差動アナログ入力チャンネルが含まれており、ゲイン=1または16に、フルスケール入力信号範囲を $\pm 2.56\text{V}$ に、または $+ 2.5\text{V}$ 差動リファレンス入力に対して $\pm 160\text{mV}$ に、それぞれ設定することができます。また、2個の200 μA 電流源も内蔵しています。

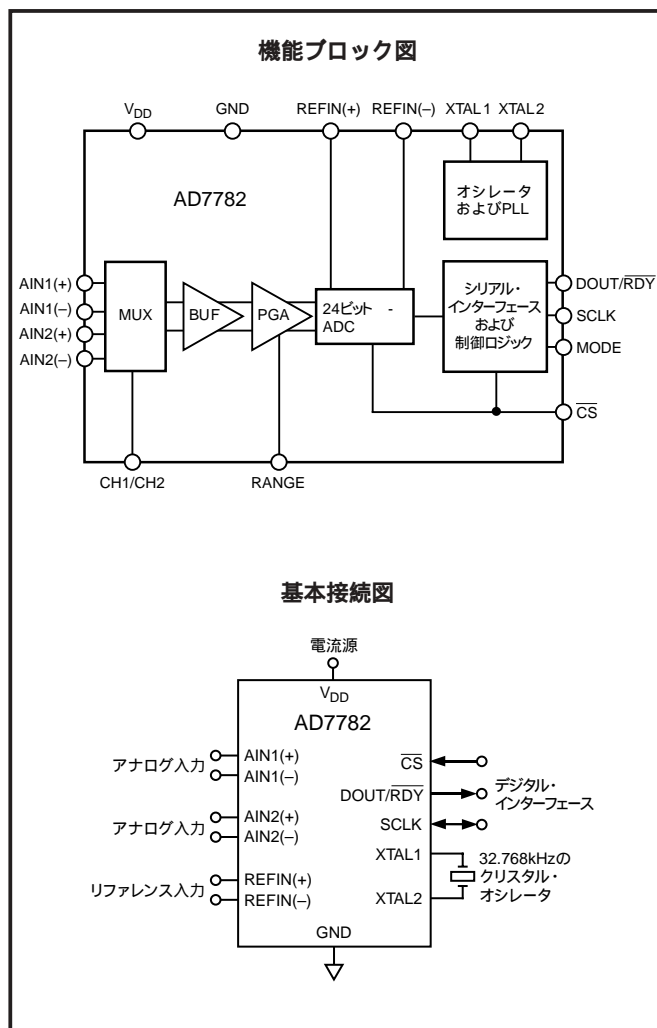
AD7782は極めて簡素な読み出し専用のデジタル・インターフェースを備えており、マスター・モードまたはスレープ・モードで動作することができます。設定が必要な内蔵レジスタはありません。入力信号範囲と入力チャンネルの選択は2本の外部ピンを使って行います。

AD7782は、内部で使う各動作周波数を発生させる内蔵PLLと、

SPIとQSPIは、Motorola Inc.の商標です。

MICROWIREは、National Semiconductor Corporationの商標です。

REV.0



32.768kHzクリスタル・オシレータからの発振を使って動作します。デバイスの出力データ・レートは固定であり、マスター・クロック19.79Hzを使っています。この更新レートで50Hzおよび60Hzの同時除去を行います。18ビットのピークtoピーク分解能がこの更新レートで得られます。

AD7782は、3Vまたは5Vの単電源で動作します。3V電源動作での消費電力は3.9mWです。パッケージは16ピンTSSOPを採用しています。

AD778xファミリーの製品としては、AD7783があります。この製品は電流源を2つ集積している点と、差動入力チャンネルが1チャンネルだけという点を除けば、AD7782と同じです。

アナログ・デバイス社が提供する情報は正確で信頼できるものを期していますが、その情報の利用または利用したことにより引き起こされる第三者の特許または権利の侵害に関して、当社はいっさいの責任を負いません。さらに、アナログ・デバイス社の特許または特許の権利の使用を許諾するものでもありません。

AD7782 仕様¹

(特に指定のない限り、 $V_{DD} = 2.7 \sim 3.6V$ または $4.75 \sim 5.25V$ 、 $REFIN(+) = 2.5V$ 、 $REFIN(-) = GND$ 、 $GND = 0V$ 、 $XTAL1/XTAL2 = 32.768kHz$ のクリスタル・オシレータ、 $T_{MIN} \sim T_{MAX}$ で全仕様を規定)

パラメータ	AD7782B	単位	テスト条件
ADCチャンネルの仕様 出力更新レート	19.79	Hz nom	
ADCチャンネル ノーマル・モード ² 分解能	24 16 18	ビットmin ビットp-p ビットp-p	$\pm 160mV$ 範囲、 $RANGE = 0$ $\pm 2.56V$ 範囲、 $RANGE = 1$
出力ノイズ	表I参照		
積分非直線性	± 10	FSR maxのppm	2ppm(typ) $FSR = \frac{2 \times 1.024 \text{ REFIN}}{\text{ゲイン}}$
オフセット誤差	± 3	μV typ	$A_{IN}(+) = A_{IN}(-) = 2.5V$
オフセット誤差の温度ドリフト	± 10	nV/ typ	
フルスケール誤差	± 10	μV typ	$V_{DD} = 3V$
ゲインの温度ドリフト	± 0.5	ppm/ typ	
電源除去比(PSR)	100 85	dB typ dB typ	入力範囲 = $\pm 160mV$ 、 $V_{IN} = 1/16V$ 入力範囲 = $\pm 2.56V$ 、 $V_{IN} = 1V$
アナログ入力 差動入力電圧範囲	± 160 ± 2.56	mV nom V nom	$RANGE = 0$ $RANGE = 1$
ADC範囲のマッチング	± 2	μV typ	入力電圧 = 159mV (両範囲)
A _{IN} 電圧絶対限界値	GND + 100mV $V_{DD} - 100mV$	V min V max	
アナログ入力電流 ² DC入力電流	± 1	nA max	
DC入力電流ドリフト	± 5	pA/ typ	
ノーマル・モード除去比 ^{2, 3} @ 50Hz	60	dB min	50Hz $\pm 1Hz$
@ 60Hz	94	dB min	60Hz $\pm 1Hz$
コモン・モード除去比 @ DC	105	dB min	入力範囲 = $\pm 160mV$ 、 $V_{IN} = 1/16V$ 125dB typ、110dB typ (入力範囲 = $\pm 2.56V$ の場合)
@ 50Hz ²	100	dB min	50Hz $\pm 1Hz$
@ 60Hz ²	100	dB min	60Hz $\pm 1Hz$
リファレンス入力 REFIN電圧	2.5	V nom	$REFIN = REFIN(+) - REFIN(-)$
REFIN電圧範囲 ²	1 V_{DD}	V min V max	
絶対REFIN電圧限界値 ²	GND - 30mV $V_{DD} + 30mV$	V min V max	
平均リファレンス入力電流	0.5	$\mu A/V$ typ	
平均リファレンス入力電流ドリフト	± 0.01	nA/V/ typ	
ノーマル・モード除去比 ^{2, 3} @ 50Hz	60	dB min	50Hz $\pm 1Hz$
@ 60Hz	94	dB min	60Hz $\pm 1Hz$
コモン・モード除去比 @ DC	100	dB typ	入力範囲 = $\pm 160mV$ 、 $V_{IN} = 1/16V$
@ 50Hz	110	dB typ	50Hz $\pm 1Hz$
@ 60Hz	110	dB typ	60Hz $\pm 1Hz$
ロジック入力 SCLKおよびXTAL1 ² を除く全入力 V_{INL} 、入力ローレベル電圧	0.8 0.4	V max V max	$V_{DD} = 5V$ $V_{DD} = 3V$
V_{INH} 、入力ハイレベル電圧	2.0	V min	$V_{DD} = 3V$ または $5V$
SCLKの場合(シュミット・トリガ入力) $V_{T(+)}$	1.4/2	V min/V max	$V_{DD} = 5V$
$V_{T(-)}$	0.8/1.4	V min/V max	$V_{DD} = 5V$
$V_{T(+)} - V_{T(-)}$	0.3/0.85	V min/V max	$V_{DD} = 5V$
$V_{T(+)}$	0.95/2	V min/V max	$V_{DD} = 3V$
$V_{T(-)}$	0.4/1.1	V min/V max	$V_{DD} = 3V$
$V_{T(+)} - V_{T(-)}$	0.3/0.85	V min/V max	$V_{DD} = 3V$

パラメータ	AD7782B	単位	テスト条件
ロジック入力(続き) XTAL1の場合 ²			
V_{INL} 、入力ローレベル電圧	0.8	V max	$V_{DD} = 5V$
V_{INH} 、入力ハイレベル電圧	3.5	V min	$V_{DD} = 5V$
V_{INL} 、入力ローレベル電圧	0.4	V max	$V_{DD} = 3V$
V_{INH} 、入力ハイレベル電圧	2.5	V min	$V_{DD} = 3V$
入力電流	± 1 - 70	μA max μA max	$V_{IN} = V_{DD}$ $V_{IN} = GND$ 、5Vで - 40 μA (typ) λ 3Vで - 20 μA (typ)
入力容量	10	pF typ	全デジタル入力
ロジック出力(XTAL2以外)			
V_{OH} 、出力ハイレベル電圧 ²	$V_{DD} - 0.6$	V min	$V_{DD} = 3V$ 、 $I_{SOURCE} = 100 \mu A$
V_{OL} 、出力ローレベル電圧 ²	0.4	V max	$V_{DD} = 3V$ 、 $I_{SINK} = 100 \mu A$
V_{OH} 、出力ハイレベル電圧 ²	4	V min	$V_{DD} = 5V$ 、 $I_{SOURCE} = 200 \mu A$
V_{OL} 、出力ローレベル電圧 ²	0.4	V max	$V_{DD} = 5V$ 、 $I_{SINK} = 1.6mA$
フローティング状態リーク電流	± 10	μA max	
フローティング状態出力容量	± 10	pF typ	
データ出力コーディング	オフセット・バイナリ		
スタートアップ時間 パワーオン時	300	ms typ	
電源条件			
電源電圧			
$V_{DD} - GND$	2.7/3.6 4.75/5.25	V min/V max V min/V max	$V_{DD} = 3V$ nom $V_{DD} = 5V$ nom
電源電流			
I_{DD} 電流(ノーマル・モード) ⁴	1.5 1.7	mA max mA max	$V_{DD} = 3V$ 、1.3mA typ $V_{DD} = 5V$ 、1.5mA typ
I_{DD} (パワーダウン・モード、 $\overline{CS} = 1$)	9 24	μA max μA max	$V_{DD} = 3V$ 、6 μA typ $V_{DD} = 5V$ 、20 μA typ

注

1 温度範囲: -40 ~ +85

2 製品リリース時に設計および/またはキャラクタライゼーション・データにより保証。

3 28.8kHzのクリスタル・オシレータを使用すると、ノーマル・モード除去比が改善されて、除去比は $50 \pm 1Hz$ で75dBに、 $60 \pm 1Hz$ で66dBに、それぞれなります。

4 ノーマル・モードとは、ADCが動作中であることを意味します。

仕様は予告なく変更されることがあります。

AD7782

タイミング特性^{1, 2} (特に指定のない限り、 $V_{DD} = 2.7 \sim 3.6V$ または $V_{DD} = 4.75 \sim 5.25V$ 、 $GND = 0V$ 、 $XTAL = 32.768kHz$ 、入力ロジック “0” = $0V$ 、ロジック “1” = V_{DD})

パラメータ	T_{MIN} 、 T_{MAX} での 限界値(Bバージョン)	単位	条件 / 備考
t_1	30.5176	μs typ	クリスタル・オシレータの周期
t_{ADC}	50.54	ms typ	更新レート19.79Hz
t_2	0	ns min	\overline{CS} /CH2選択から \overline{CS} のセットアップ時間
t_3	0	ns min	\overline{CS} の立ち下がりエッジからDOUT有効まで
	60	ns max	$V_{DD} = 4.75 \sim 5.25V$
	80	ns max	$V_{DD} = 2.7 \sim 3.6V$
t_4	$2 \times t_{ADC}$	ns typ	チャンネル・セトリング・タイム
t_5^3	0	ns min	SCLKのアクティブ・エッジからデータ有効までの遅延 ⁴
	60	ns max	$V_{DD} = 4.75 \sim 5.25V$
	80	ns max	$V_{DD} = 2.7 \sim 3.6V$
t_8^5	10	ns min	\overline{CS} の非アクティブ・エッジからバス開放までの時間
	80	ns max	
t_9	0	ns min	\overline{CS} の立ち上がりエッジに対するSCLK非アクティブ・エッジのホールド時間
t_{10}	10	ns min	SCLKの非アクティブからDOUTハイレベルまで
	80	ns max	
スレープ・モード・タイミング			
t_6	100	ns min	SCLKのハイレベル・パルス幅
t_7	100	ns min	SCLKのローレベル・パルス幅
マスター・モード・タイミング			
t_6	$t_1/2$	μs typ	SCLKのハイレベル・パルス幅
t_7	$t_1/2$	μs typ	SCLKのローレベル・パルス幅
t_{11}	$t_1/2$	μs min	DOUTのローレベルからSCLKの先頭アクティブ・エッジまで ⁴
	$3t_1/2$	μs max	

注

- 1 初期リリース時はサンプル・テストにより適合性を保証。すべての入力信号は $t_r = t_f = 5ns$ (V_{DD} の10~90%)で規定し、1.6Vの電圧レベルからの時間とします。
- 2 図2を参照してください。
- 3 これらの値は図1に示す負荷回路で測定し、出力が V_{OH} 規定値または V_{OL} 規定値と交叉するまでに必要な時間と定義します。
- 4 SCLKのアクティブ・エッジとは、SCLKの立ち下がりエッジを意味します。
- 5 これらの値は、図1の負荷回路でデータ出力が0.5V変化するとき要する時間の測定値から導出。この測定値に外挿を行い、50pFコンデンサの充放電の影響を除去してあるため、タイミング特性で使用する時間はデバイスの真のバス開放時間であることを意味し、外部バスの負荷容量に無関係であることを意味します。

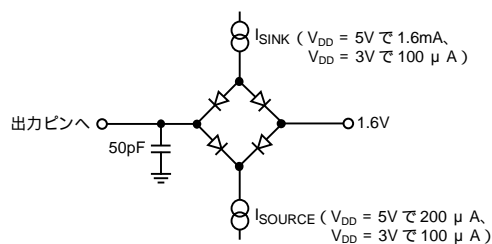
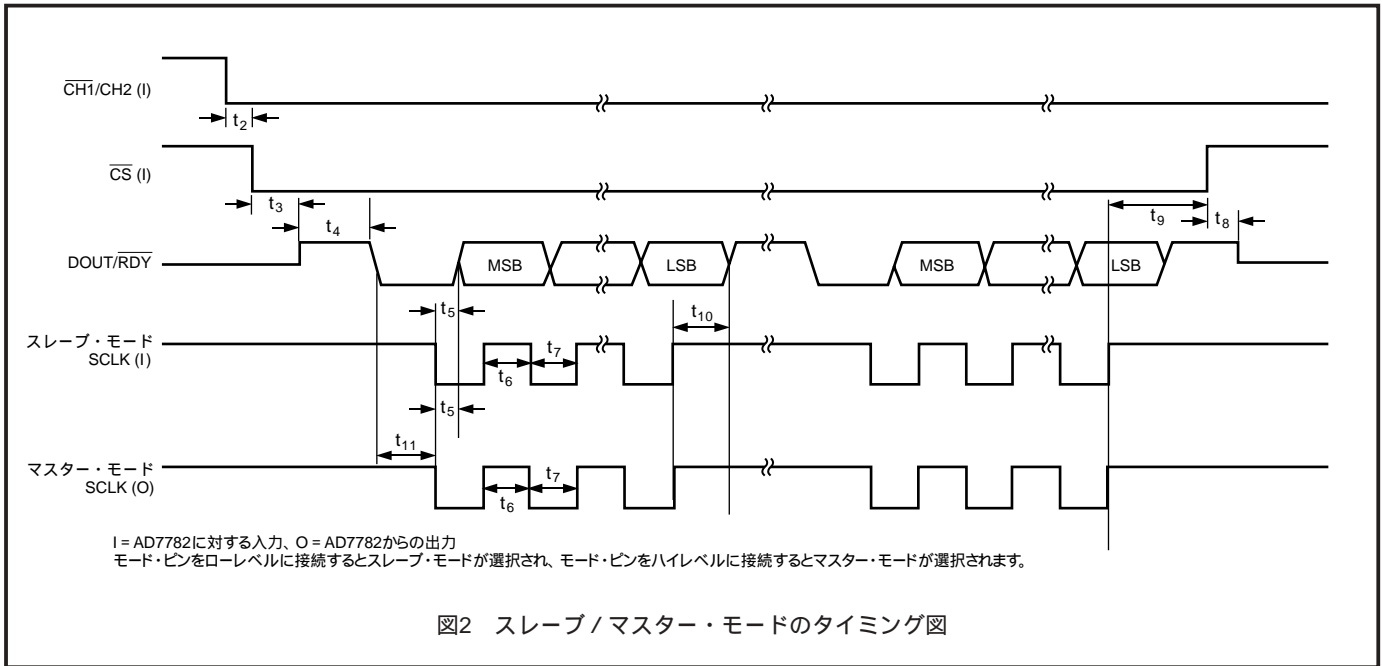


図1 タイミング特性の負荷回路



絶対最大定格*

(特に指定のない限り、 $T_A = 25$)

$V_{DD} \sim GND$	- 0.3 ~ + 7V
アナログ入力電圧 ~ GND	- 0.3V ~ $V_{DD} + 0.3V$
リファレンス入力電圧 ~ GND	- 0.3V ~ $V_{DD} + 0.3V$
総合AIN/REFIN電流 (不定)	30mA
デジタル入力電圧 ~ GND	- 0.3V ~ $V_{DD} + 0.3V$
デジタル出力電圧 ~ GND	- 0.3V ~ $V_{DD} + 0.3V$
動作温度範囲	- 40 ~ + 85
保管温度範囲	- 65 ~ + 150
接合部温度	150

TSSOPパッケージ

J_A 熱インピーダンス..... 97.9 /W

J_C 熱インピーダンス..... 14 /W

ピン温度、ハンダ処理

蒸着 (60秒)..... 215

赤外線 (15秒)..... 220

*上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

オーダー・ガイド

モデル	温度範囲	パッケージ	パッケージ・オプション
AD7782BRU	- 40 ~ + 85	TSSOP	RU-16
EVAL-AD7782EB		評価ボード	

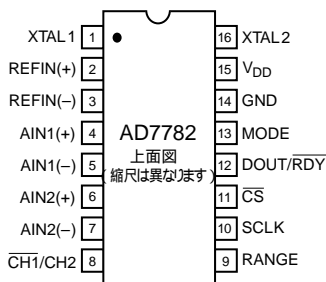
注意

ESD (静電放電) の影響を受けやすいデバイスです。4000Vもの高圧の静電気が人体やテスト装置に容易に帯電し、検知されことなく放電されることがあります。本製品には当社独自のESD保護回路を備えています。高エネルギーの静電放電を受けたデバイスには回復不可能な損傷が発生することがあります。このため、性能低下や機能喪失を回避するために、適切なESD予防措置をとるようお奨めします。



AD7782

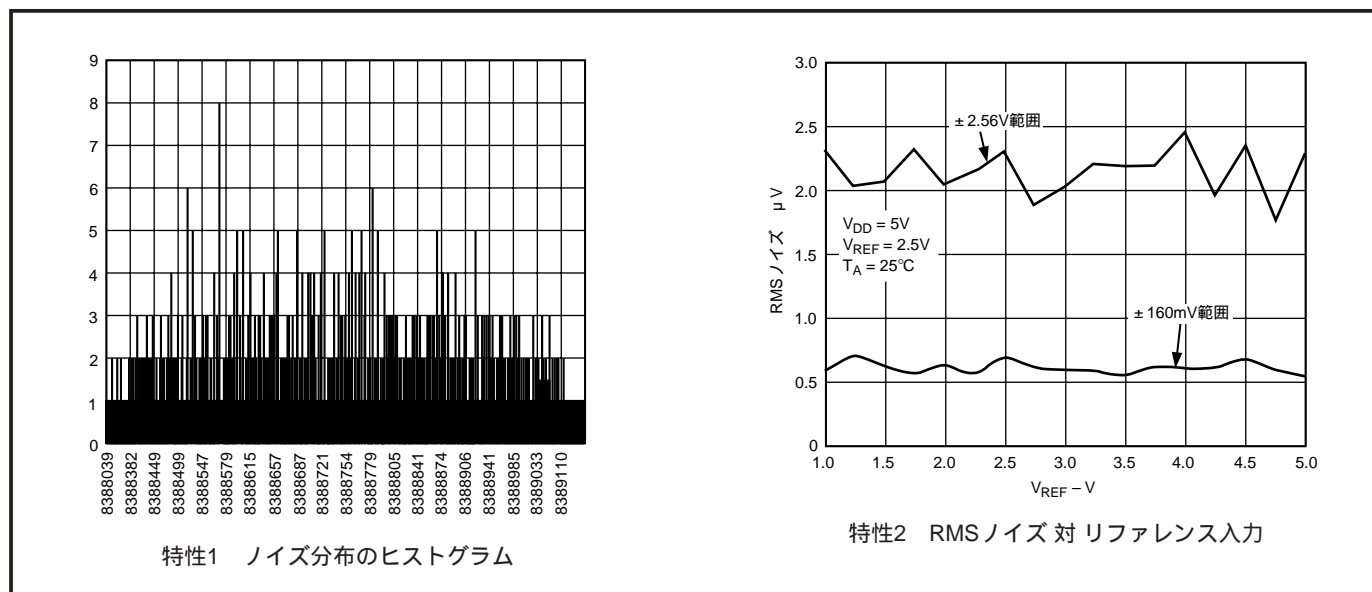
ピン配置



ピン機能の説明

ピン番号	記号	機能
1	XTAL1	32.768kHzのクリスタル・オシレータ・インバータへの入力。
2	REFIN (+)	正側のリファレンス入力。REFIN (+) の入力範囲は $V_{DD} \sim GND + 1V$ です。公称リファレンス (REFIN (+) - REFIN (-)) は2.5Vですが、デバイスは $1V \sim V_{DD}$ の範囲で動作します。
3	REFIN (-)	負側のリファレンス入力。このリファレンス入力範囲は、 $GND \sim V_{DD} - 1V$ です。
4	AIN1 (+)	アナログ入力。AIN1 (+) は、フル差動アナログ入力対AIN1 (+) / AIN1 (-) の正側ピンです。
5	AIN1 (-)	アナログ入力。AIN1 (-) は、フル差動アナログ入力対AIN1 (+) / AIN1 (-) の負側ピンです。
6	AIN2 (+)	アナログ入力。AIN2 (+) は、フル差動アナログ入力対AIN2 (+) / AIN2 (-) の正側ピンです。
7	AIN2 (-)	アナログ入力。AIN2 (-) は、フル差動アナログ入力対AIN2 (+) / AIN2 (-) の負側ピンです。
8	$\overline{CH1/CH2}$	チャンネル選択、ロジック入力。 $\overline{CH1/CH2}=0$ ではチャンネルAIN1 (+) / AIN1 (-) が選択され、 $\overline{CH1/CH2}=1$ の時はアクティブ・チャンネルAIN2 (+) / AIN2 (-) になります。
9	RANGE	内部PGAの入力範囲を設定するロジック入力。RANGE = 0のとき、フルスケール入力範囲は $\pm 160mV$ に、+2.5Vリファレンスの場合にRANGE = 1のとき、フルスケール入力範囲は $\pm 2.56V$ に、それぞれ設定されます。
10	SCLK	ADCからのデータ転送に対するシリアル・クロック入 / 出力。デバイスがマスター・モードで動作する場合は、SCLKが出力になり、SCLK周期はXTAL周期に等しくなります。スレープ・モードでは、SCLKは外部ソースから発生されます。スレープ・モードでは、全データを連続なパルス・トレインとして転送することができます。あるいは、非連続クロックを使って、複数のデータ群として情報をAD7782から転送することもできます。SCLKにはシュミット・トリガー入力が入蔵されているため (スレープ・モード)、光アイソレーション・アプリケーションのインターフェースに適しています。
11	\overline{CS}	チップ・セレクト入力。アクティブ・ローのロジック入力で、AD7782を選択するときに使います。 \overline{CS} をローレベルすると、PLLがロックして、AD7782が選択したチャンネルでの変換を開始できるようになります。 \overline{CS} をハイレベルにすると、変換は中止されて、DOUTとSCLKはトライア・ステートになり、AD7782はスタンバイ・モードになるため、出力シフトレジスタ内の変換結果は失われます。
12	DOUT / \overline{RDY}	シリアル・データ出力 / データ・レディ出力。DOUT/ \overline{RDY} は、このインターフェースで2つの機能を持ちます。変換が開始されると、DOUT/ \overline{RDY} はハイレベルになり、変換が完了するまでハイレベルを維持します。その後DOUT/ \overline{RDY} はローレベルに戻り、デバイスから有効なデータが読み出し可能であることを表示します。スレープ・モードでは、この信号はプロセッサに対する割込みとして機能し、有効データが読み出し可能であることを表示します。変換後にデータが読み出されない場合には、DOUT/ \overline{RDY} はハイレベルになり、次の更新が発生するまでハイレベルを維持します。マスター・モードでは、少なくともSCLKサイクルの半サイクル間DOUT/ \overline{RDY} がローレベルになった後に、デバイスはSCLKを発生します。SCLKがアクティブになると、データはDOUT/ \overline{RDY} ピンから出力されます。データは立ち上がりエッジで出力され、立ち上がりエッジで有効になります。
13	MODE	MODEピンは、マスター動作モードまたはスレープ動作モードを選択します。MODE = 0のとき、AD7782はマスター・モードで、MODE = 1のとき、AD7782はスレープ・モードで、それぞれ動作します。
14	GND	AD7782のグラウンド・リファレンス・ポイント。
15	V_{DD}	公称3Vまたは5Vの電源電圧。
16	XTAL2	32.768kHzクリスタル・オシレータのインバータ出力。

代表的な性能特性



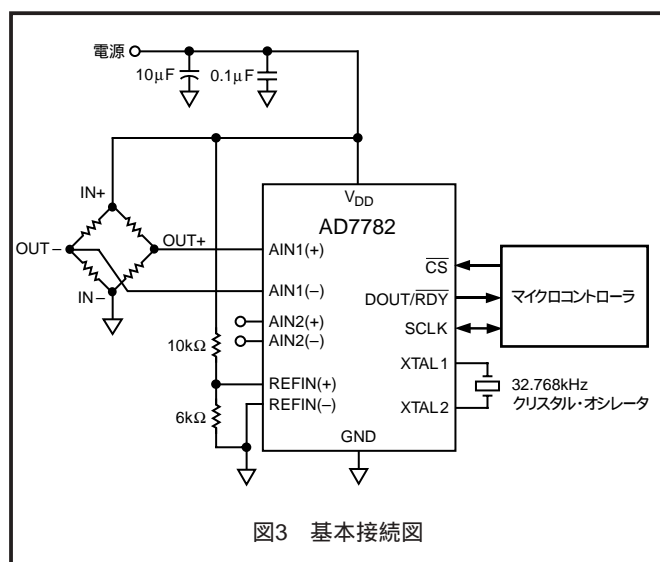
ADC回路情報

概要

AD7782は、アナログ・マルチプレクサに - ADC、プログラマブル・ゲイン・アンプ、デジタル・フィルタリング機能を内蔵しており、重量計、応力計、圧カトランスデューサ、温度計測アプリケーションなどにおけるような広いダイナミックレンジを持つ低周波信号の計測を目的としています。

このADC入力にはバッファが付いており、 $\pm 160mV$ または $\pm 2.56V$ の入力電圧範囲を設定できます。入力チャンネルは2つのフル差動入力で構成されています。入力チャンネルでバッファを使用することは、アナログ入力で大きな信号ソース・インピーダンスに対応することができ、必要に応じて、アナログ入力にR、Cフィルタを接続できること ノイズの除去またはRFIの削減のためを意味します。デバイスには、公称+2.5Vの外部リファレンスが必要です。

図3に、このデバイスを動作させるために必要な基本接続を示します。



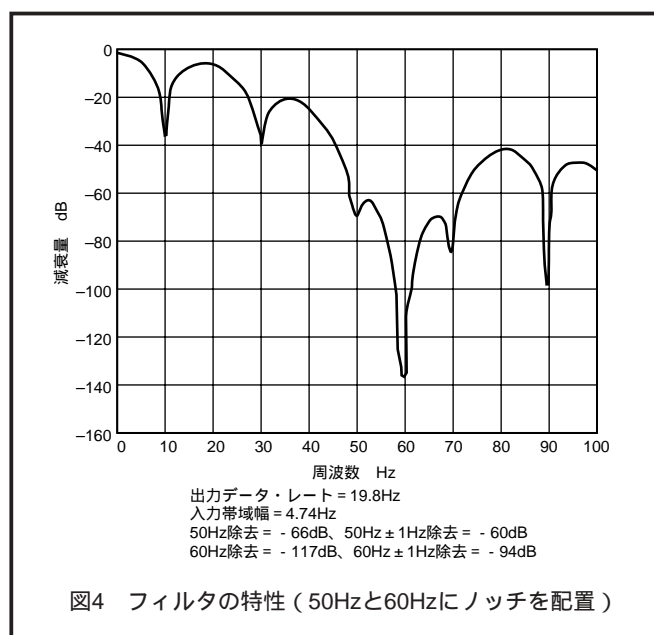
AD7782(f_{ADC})の出力レートは次式で表されます。

$$f_{ADC} = 32.768 \times 10^3 / (69 \times 8 \times 3)$$

セトリング・タイムは次のように表されます。

$$t_{SETTLE} = \left(\frac{2}{f_{ADC}} \right) = 2 \times t_{ADC}$$

ノーマル・モード除去は、AD7782でのデジタル・フィルタの主要な機能です。50Hzと60Hzにノッチが配置されているため、50Hzと60Hzでの同時除去比は、60dB以上を達成しています。図4に、フィルタの除去性能を示します。



AD7782

ノイズ性能

表1に、2つの入力電圧範囲に対して、出力rmsノイズおよびビット数で表した出力ピークtoピーク分解能(最寄りの0.5LSBへ丸め処理)を示します。数値は、差動入力電圧 = 0Vの場合に対するtyp値です。この分解能値(ピークtoピーク)は、6シグマ限界内でコード・フリッカが生じない分解能を表しています。出力ノイズの発生源は2つあります。最初のノイズ源は、モジュレータを構成する半導体デバイスでの電氣的ノイズです(デバイス・ノイズ)。2つめは、アナログ入力デジタル領域に返還される際の量子化ノイズです。デバイス・ノイズは低レベルで、周波数に無関係です。量子化ノイズははるかに低いレベルから始まりますが、周波数の増加とともに急速に増加して支配的なノイズ源になります。

表1 出力RMSノイズ(typ値)およびピークtoピーク分解能対入力範囲

	入力範囲	
	± 160mV	± 2.56V
ノイズ(μV)	0.65	2.30
ピークtoピーク分解能(ビット)	16.5	18.5

デジタル・インターフェース

AD7782のシリアル・インターフェースは、CS、SCLK、DOUT/RDY、MODEの4本の信号から構成されています。MODEピンは、マスター/スレーブ動作モードのどちらかを選択します。デバイスがマスター・モードに設定されるとSCLKは出力になり、デバイスがスレーブ・モードに設定されるとSCLKは入力になります。データ転送はこのSCLK信号を基準にして行われます。DOUT/RDYラインは、データ・レジスタからのデータ・アクセスに使われます。このピンはRDYラインとしても機能します。変換が完了すると、DOUT/RDYがローレベルになって、AD7782のデータ・レジスタからデータの読み出しが可能であることを表示します。データ・レジスタからの読み出し動作が完了すると、この信号はハイレベルに戻ります。この信号は出力レジスタの更新前にもハイレベルになり、デバイスからの読み出しができないことを表示して、レジスタの更新中にデータが読み出されることを防止します。また、デジタル変換もこのピンに出力されます。

CSはデバイスを選択するときに使い、デバイスをスタンバイ・モードにします。CSをローレベルにすると、AD7782はパワーアップし、PLLがロックして、デバイスは選択されたチャンネルで変換を開始します。CSをハイレベルにするまで、デバイスは変換を続けます。CSをハイレベルにすると、AD7782はスタンバイ・モードになり、消費電流が最小になります。変換は停止され、DOUTとSCLKはトライア・ステートになり、データ・レジスタ内の変換結果は失われます。

図2に、デバイスのデコードにCSを使ったAD7782に対するインターフェースのタイミング図を示します。

マスター・モード(MODE = 0)

このモードでは、AD7782からSCLKが供給されます。CSがローレベルになると、変換が完了したときSCLKがアクティブになって、24個の立ち上がりエッジと立ち下がりエッジを発生します。DOUT/RDYピンは通常ハイレベルですが、ローレベルになって変換が完了したことを表示します。SCLKの立ち下がりエッジの後に、DOUT/RDYピンにデータが出力されて、SCLKの立ち上がりエッジで有効になります。24ビット・ワードが出力されると、SCLKは次の変換が完了するまでアイドルのハイレベルを維持します。DOUT/RDYはハイレベルに戻り、次の変換結果が得られるまでハイレベルを維持します。その後、RDY信号の機能に戻ります。デバイスは、CSにハイレベルを入力するまで変換を続けます。CSをハイレベルにすると、SCLKとDOUT/RDYはトライア・ステートになります。

スレーブ・モード(MODE = 1)

スレーブ・モードでは、SCLKは外部から供給されます。SCLKは、データ転送の間にアイドルのハイレベルになる必要があります。CSをローレベルにすると、変換が完了したとき、DOUT/RDYはローレベルになります。AD7782からデジタル・ワードを転送するためには、24個のSCLKパルスが必要です。24個の連続パルスを発生することもできますが、データ転送を複数の群に分けて転送することもできます。この機能は、8ビット転送を使用するマイクロコントローラにインターフェースする際に便利です。SCLKの立ち下がりエッジの後にデータが出力されて、SCLKの立ち上がりエッジで有効になります。

回路の説明

アナログ入力チャンネル

ADCは2チャンネルのフル差動入力を持っています。CH1/CH2ピンは、チャンネル選択に使用されます。CH1/CH2がローの時にはチャンネルAIN1(+)-AIN1(-)が選択され、CH1/CH2がハイの時は、AIN2(+)-AIN2(-)が選択されます。アナログ入力チャンネルが切り替えられるとき、部品のセトリング・タイムは新しい有効ワードがADCから得られる前に経過するようにしてください。

ADCマルチプレクサの出力は、バッファ・アンプの高インピーダンス入力ステージに接続されています。ADC入力は大きな信号ソース・インピーダンスを扱えるため、ストレイン・ゲージや抵抗温度検出器(RTD)などのような外付け抵抗型センサーに直接接続できます。

ADC入力の絶対入力電圧範囲は、GND + 100mV ~ V_{DD} - 100mVの範囲に制限されています。コモン・モード電圧と入力電圧範囲を設定するときはこの範囲を超えないように注意してください。そうしないと、直線性性能が低下します。

プログラマブル・ゲイン・アンプ

ADCバッファからの出力は、内蔵のプログラマブル・ゲイン・アンプ(PGA)の入力に接続されます。PGAのゲイン範囲はRANGEピンで設定します。外部2.5Vリファレンスを使用する場合、PGAを±160mV(RANGE = 0)または±2.56V(RANGE = 1)のバイポーラ範囲に設定できます。これらの範囲は、内蔵PGAの入力での範囲です。

バイポーラ構成 / 出力コーディング

AD7782のアナログ入力には、バイポーラ電圧を入力できます。ADCのAIN(+)入力上の信号は、AIN(-)入力上の電圧を基準としています。例えば、AIN(-) = 2.5Vで、かつAD7782のアナログ入力範囲が±160mVの場合、AIN(+)入力のアナログ入力範囲は2.34 ~ 2.66V(すなわち2.5V ± 0.16V)になります。コーディングはオフセット・バイナリを使用しており、負側フルスケール電圧はコード000...000に、ゼロ差動電圧はコード100...000に、正側フルスケール電圧はコード111...111に、それぞれ対応します。

アナログ入力電圧に対する出力コードは次のように表されます。

$$\text{コード} = 2^N - 1 \times [(\text{AIN} \times \text{GAIN} / (1.024 \times V_{\text{REF}})) + 1]$$

ここで、AINはアナログ入力電圧、GAINはPGAゲイン(±2.56V範囲では1、±160mV範囲では16) N = 24です。

クリスタル・オシレータ

AD7782は、32.768kHzの時計用クリスタル・オシレータで動作するように設計されています。PLLは内部でこの周波数の整数倍(384)にロックして、安定な4.194304MHzのクロックをADCに供給します。変調器のサンプル・レートは、クリスタル・オシレータ周波数と同じです。32.768kHzクリスタル・オシレータのスタートアップ時間は300ms(typ)です。場合によっては、クリスタル・オシレータにコンデンサを接続して、基本動作周波数の整数倍の発振を防止する必要があります。コンデンサ値は、メーカー仕様に依存して変わります。

リファレンス入力

AD7782はチャンネルに対してフル差動リファレンス入力機能を持っています。これらの差動入力のコモン・モード範囲はGND ~ V_{DD}です。リファレンス入力にはバッファがないため、R-C電源インピーダンスが大きいとゲイン誤差が発生します。規定動作に対する公称リファレンスREFIN(REFIN(+)-REFIN(-))は2.5Vですが、1V ~ V_{DD}のリファレンスでもAD7782は動作します。アナログ入力に接続されているトランスデューサに対する励起電圧または励起電流がデバイスのリファレンスをも駆動するようなアプリケーションは比例動作であるため、励起電源の低周波ノイズの影響は除去されます。AD7782を比例アプリケーションで使用しない場合は、ローノイズのリファレンスを使う必要があります。AD7782に対する推奨リファレンス源としては、AD780、REF43、REF192などがあります。リファレンス入力は高インピーダンスの動的負荷を提供することにも注意する必要があります。各リファレンス入力の入力インピーダンスは動的であるため、これらの入力での抵抗 / コンデンサの組み合わせは、リファレンス入力を駆動する電源の出力インピーダンスに応じて、DCゲイン誤差を発生させることがあります。上述の推奨リファレンス源(例えばAD780)は、一般に出力インピーダンスが小さいため、システムにゲイン誤差を導入することなく、REFIN(+)入りにデカップリン

グ・コンデンサを接続できます。外部抵抗を接続してリファレンス入力電圧を駆動すると、リファレンス入力から見た外部信号ソース・インピーダンスは大きくなります。このタイプの回路構成では、各REFINピンには外付けデカップリングの使用が推奨されます。

接地とレイアウト

ADCのアナログ入力は差動であるため、アナログ・モジュレータ内の多くの電圧はコモン・モード電圧です。この製品の優れたコモン・モード除去比により、これら入力でのコモン・モード・ノイズが除去されます。デジタル・フィルタは、モジュレータ・サンプリング周波数の整数倍以外の広い帯域の電源ノイズを除去します。また、ノイズ源がアナログ・モジュレータを飽和させない限り、デジタル・フィルタはアナログ入力とリファレンス入力のノイズも除去します。そのため、従来の高分解能コンバータに比べてAD7782のノイズ干渉耐性は向上しています。しかし、AD7782のADCの分解能が高く、AD7782で生じるノイズ・レベルが低いため、接地とレイアウトについては注意が必要です。

AD7782を実装するプリント回路ボードは、アナログ部とデジタル部を分離して、ボード内でそれぞれをまとめて配置するように設計してください。一般に、エッチング部分を最小すると、最適なシールド効果を持つため、この方法はグラウンド・プレーンに最適です。

これらのケースでは、AD7782のGNDピンをシステムのAGNDプレーンに接続してください。すべてのレイアウトで、電流を目的場所まで流すパスとそのリターン・パスをできるだけ近づけて配置するように心がけることは重要です。レイアウトのAGND部分の近くをデジタル電流が流れないようにします。

ノイズ混入を防止するため、AD7782のグラウンド・プレーンがAD7782の下を通過することは可能です。AD7782の電源ラインはできるだけ太いパターンにしてインピーダンスを下げ、電源ライン上のグリッチによる影響を軽減させます。クロックなどの高速なスイッチング信号は、デジタル・グラウンドでシールドしてボードの他の部分に対するノイズの放射を防止します。また、クロック信号はアナログ入力の近くを通過しないようにします。デジタル信号とアナログ信号の交差は回避する必要があります。ボードの反対側のパターンは、互いに右角度となるように配置します。これにより、ボードを貫通する結合の影響を減らすことができます。マイクロストリップ技術の使用は最善ですが、両面ボードでは常に使用できるとは限りません。この技術では、ボードの部品面はグラウンド・プレーン専用にして、信号はハンダ面に配線します。

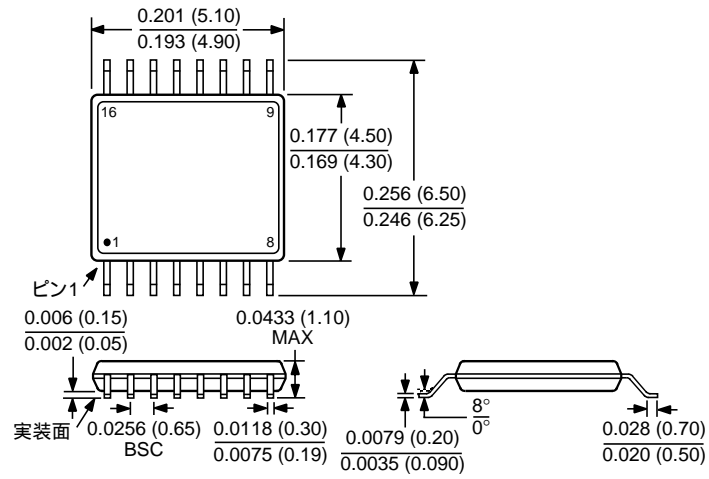
高分解能ADCを使うときは、デカップリングが重要になります。V_{DD}は、10 μFのタンタル・コンデンサと0.1 μFのコンデンサを並列接続してGNDにデカップリングする必要があります。デカップリング部品の効果を最大にするためには、これらの部品をデバイスのできるだけ近くに、理想的にはデバイスの隣に配置します。すべてのロジック・チップは、DGNDに接続した0.1 μFセラミック・コンデンサでデカップリングする必要があります。

AD7782

外形寸法

サイズはインチと (mm) で示します。

16ピン薄型シュリンクSOプラスチックTSSOP
(RU-16)



AD7782

TDS03/2002/1000

PRINTED IN JAPAN



このデータシートはエコマーク認定の再生紙を使用しています。