

AD7741/AD7742
特長

AD7741 : 1つのシングル・エンド入力チャンネル
 AD7742 : 2つの差動入力または3つの疑似差動入力チャンネル
 積分非直線性0.012% : f_{out} (max) = 2.75MHz (AD7742)
 f_{out} (max) = 1.35MHz (AD7741)

+5V単電源動作
 バッファ入力
 プログラマブル・ゲイン・アナログ・フロントエンド
 +2.5Vリファレンス内蔵
 内部 / 外部リファレンスが選択可能
 パワーダウン・モード : 35 μ A (max)
 外部部品を最少化
 8ピン、16ピンのDIPおよびSOICパッケージ

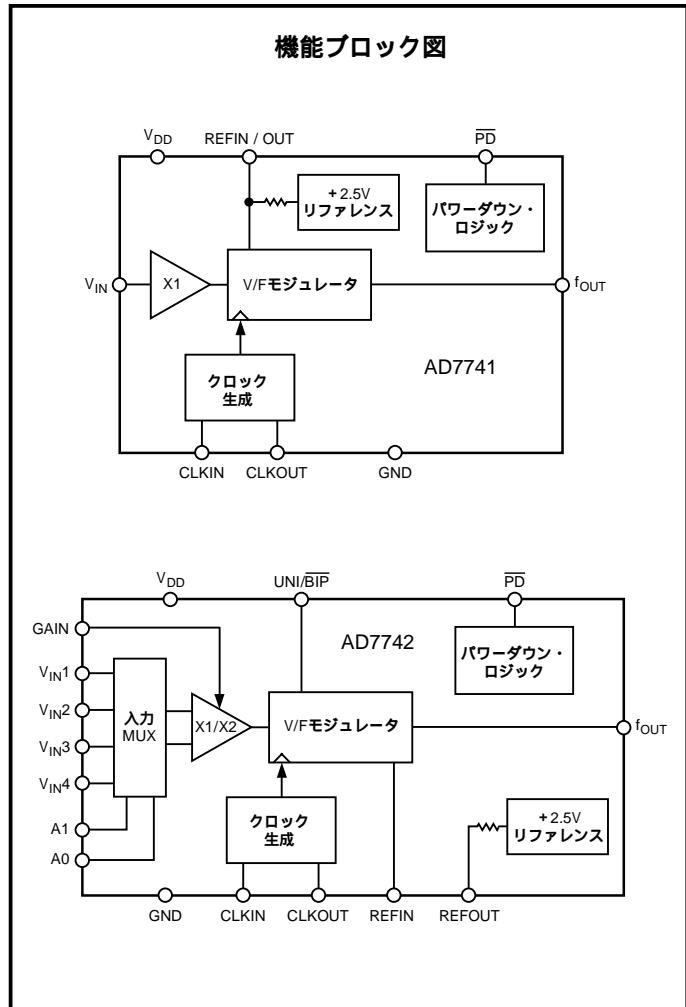
アプリケーション

ローコストA/D変換
 信号アイソレーション

概要

AD7741/AD7742は、新世代の同期型電圧 / 周波数コンバータ (V/FC) です。AD7741は8ピン・パッケージ (SOIC/DIP) のシングル・チャンネル・バージョン、AD7742は16ピン・パッケージ (SOIC/DIP) のマルチチャンネル・バージョンです。ユーザー・トリミングを使用しなくても、所定の性能を達成することができます。

AD7741のバッファ入力は1チャンネルですが、AD7742は4チャンネルのバッファ入力を持ち、2チャンネルの完全差動入力、または3チャンネルの疑似差動入力を構成できます。どちらも、+2.5Vバンドギャップ・リファレンスを内蔵しており、ユーザーは内部または外部のリファレンスを任意に選択できます。



AD7741は0V ~ REFINのシングル・エンド電圧入力範囲を持ち、AD7742は- V_{REF} ~ + V_{REF} の差動電圧入力範囲を持っています。両モデルとも、消費電流6mA (typ)、+5V単電源で動作しますが、消費電流を35 μ A (max)まで低減するパワーダウン機能も用意されています。

AD7741 - 仕様 ($V_{DD} = +4.75 \sim +5.25V$ 、 $V_{REF} = +2.5V$ 、 $f_{CLKIN} = 6.144MHz$)

特に指示がない限りすべての仕様で $T_{MIN} \sim T_{MAX}$)

パラメータ ²	BおよびYバージョン ¹			単位	条件 / 備考
	Min	Typ	Max		
DC性能					
積分非直線性					
$f_{CLKIN} = 200kHz^3$			± 0.012	スパン%	
$f_{CLKIN} = 3MHz^3$			± 0.012	スパン%	
$f_{CLKIN} = 6.144MHz$			± 0.024	スパン%	
オフセット誤差			± 40	mV	
ゲイン誤差	0	+ 0.8	+ 1.6	スパン%	
オフセット誤差ドリフト ³		± 30		$\mu V/$	
ゲイン誤差ドリフト ³		± 16		スパンppm/	
電源除去率 ³		- 63		dB	$V_{DD} > \pm 5\%$
アナログ入力 ⁵					
入力電流		± 50		nA	
入力電圧範囲	0		V_{REF}	V	
+ 2.5Vリファレンス (REFIN/OUT)					
REFIN					
定格入力電圧		2.5		V	
入力インピーダンス ⁶		N/A			
REFOUT					
出力電圧	2.38	2.50	2.60	V	
出力インピーダンス ³		1		k	
リファレンス・ドリフト ³		± 50		ppm/	
ライン除去		- 60		dB	
リファレンス・ノイズ(0.1 ~ 10Hz) ³		100		μV_{p-p}	
ロジック出力					
出力ハイ電圧、 V_{OH}	4.0			V	出力ソース800 μA^7
出力ロー電圧、 V_{OL}		0.4		V	出力シンク1.6mA ⁷
最小出力周波数		$0.05f_{CLKIN}$		Hz	$V_{IN} = 0V$
最大出力周波数		$0.45f_{CLKIN}$		Hz	$V_{IN} = V_{REF}$
ロジック入力					
\overline{PD} のみ					
入力ハイ電圧、 V_{IH}	2.4			V	
入力ロー電圧、 V_{IL}		0.8		V	
入力電流		± 100		nA	
ピン容量	6	10		pF	
CLKINのみ					
入力ハイ電圧、 V_{IH}	3.5			V	
入力ロー電圧、 V_{IL}		0.8		V	
入力電流		± 2		μA	
ピン容量	6	10		pF	
クロック周波数					
入力周波数		6.144		MHz	指定性能の場合
電源条件					
V_{DD}	4.75	5.25		V	
I_{DD} (通常)		8		mA	出力無負荷時
I_{DD} (パワーダウン)	15	35		μA	
パワー・アップ時間 ³	30			μs	パワーダウン・モードからの復帰

注記

1 温度範囲 : Bバージョン - 40 ~ + 85 、 Yバージョン - 40 ~ + 105

2 「用語説明」を参照。

3 設計値及び規定値です。製品テスト値ではありません。

4 スパン = 最大出力周波数 - 最小出力周波数。

5 入力ピンの絶対電圧は、 $V_{DD} - 2.25V$ より正またはGNDより負では使用できません。

6 このピンは双方性なので、外付けリファレンスは、内蔵リファレンスをオーバードライブするために400 μA のシンク / ソースが可能でなければなりません。

7 このロジックレベルは、单一CMOS負荷の場合のみCLKOUTに適用されます。

仕様は予告なく変更することがあります。

AD7742 - 仕様

($V_{DD} = +4.75 \sim +5.25V$ 、 $V_{REF} = +2.5V$ 、 $f_{CLKIN} = 6.144MHz$)

特に指示がない限りすべての仕様で $T_{MIN} \sim T_{MAX}$)

パラメータ ³	Bバージョン ¹			Yバージョン ²			単位	条件 / 備考
	Min	Typ	Max	Min	Typ	Max		
DC性能								
積分非直線性								
$f_{CLKIN} = 200kHz^4$			± 0.0122			± 0.015	スパン%	
$f_{CLKIN} = 3MHz^4$			± 0.0122			± 0.015	スパン%	
$f_{CLKIN} = 6.144MHz$			± 0.0122			± 0.015	スパン%	
オフセット誤差								
$f_{CLKIN} = 200kHz^4$			± 40			± 40	mV	ユニポーラ・モード
$f_{CLKIN} = 3MHz^4$			± 40			± 40	mV	バイポーラ・モード
ゲイン誤差	+0.2	+1.2	+2.2	+0.2	+1.2	+2.2	スパン%	ユニポーラ・モード
	+0.2	+1.2	+2.2	+0.2	+1.2	+2.2	スパン%	バイポーラ・モード
オフセット誤差ドリフト ⁴								
$f_{CLKIN} = 200kHz^4$			± 12			± 12	μV	ユニポーラ・モード
$f_{CLKIN} = 3MHz^4$			± 12			± 12	μV	バイポーラ・モード
ゲイン誤差ドリフト ⁴								
$f_{CLKIN} = 200kHz^4$			± 2			± 2	スパンppm/	ユニポーラ・モード
$f_{CLKIN} = 3MHz^4$			± 4			± 4	スパンppm/	バイポーラ・モード
電源除去率 ⁴			-70			-70	dB	
チャンネル間絶縁 ⁴			-75			-75	dB	
コモン・モード除去 ⁶	-60	-78		-58	-78		dB	
アナログ入力($V_{IN1} - V_{IN4}$)								
入力電流		± 50	± 100				nA	
コモン・モード入力範囲	+0.5		$V_{DD} - 1.75$	+0.5		$V_{DD} - 1.75$	V	
差動入力範囲	- V_{REF} / ゲイン		+ V_{REF} / ゲイン	- V_{REF} / ゲイン		+ V_{REF} / ゲイン	V	バイポーラ・モード
	0		+ V_{REF} / ゲイン	0		+ V_{REF} / ゲイン	V	ユニポーラ・モード
電圧リファレンス								
REFIN								
定格入力電圧			2.5			2.5	V	
入力インピーダンス ⁴								
$f_{CLKIN} = 3MHz$	70		70				k	
$f_{CLKIN} = 6.144MHz$	35		35				k	
REFOUT								
出力電圧	2.38	2.50	2.60	2.38	2.50	2.60	V	
出力インピーダンス ⁴		1			1		k	
リファレンス・ドリフト ⁴		± 50			± 50		ppm/	
ライン除去		-70			-70		dB	
リファレンス・ノイズ(0.1~10Hz) ⁴	100			100			μV p-p	
ロジック出力								
出力ハイ電圧、 V_{OH}	4.0		4.0				V	出力ソース800 μA ⁷
出力ロー電圧、 V_{OL}		0.4					V	出力シンク1.6mA ⁷
最小出力周波数		0.05 f_{CLKIN}			0.05 f_{CLKIN}		Hz	$V_{IN} = 0V$ (ユニポーラ)
最大出力周波数		0.45 f_{CLKIN}			0.45 f_{CLKIN}		Hz	$V_{IN} = -V_{REF}$ / ゲイン(バイポーラ) $V_{IN} = V_{REF}$ / ゲイン(ユニポーラとバイポーラ)
ロジック入力								
CLKIN以外のすべて								
入力ハイ電圧、 V_{IH}	2.4		2.4				V	
入力ロー電圧、 V_{IL}		0.8			0.8		V	
入力電流		± 100			± 100		nA	
ピン容量	6	10		6	10		pF	
CLKINのみ								
入力ハイ電圧、 V_{IH}	3.5		3.5				V	
入力ロー電圧、 V_{IL}		0.8			0.8		μA	
入力電流		± 2			± 2		pF	
ピン容量	6	10		6	10			
クロック周波数								
入力周波数			6.144			6.144	MHz	指定性能の場合
電源条件								
V_{DD}	4.75	5.25		4.75	5.25		V	
I_{DD} (通常)	6	8		6	8		mA	出力無負荷時
I_{DD} (パワーダウン)	25	35		25	35		μA	
パワーアップ時間 ⁴	30			30			μs	パワーダウン・モードからの復帰

注記

1 温度範囲 : Bバージョン -40 ~ +85

2 温度範囲 : Yバージョン -40 ~ +105

3 「用語説明」を参照。

4 設計値及び規定値です。製品テスト値ではありません。

5 スパン = 最大出力周波数 - 最小出力周波数。

6 入力ピンの絶対電圧は、 $V_{DD} - 1.75V$ より正または +0.5V より負では使用できません。

7 このロジックレベルは、単一CMOS負荷の場合のみCLKOUTに適用されます。

AD7741/AD7742

タイミング特性^{1, 2, 3} ($V_{DD} = +4.75 \sim +5.25V$ 、 $V_{REF} = +2.5V$ 。特に指示がない限りすべての仕様で $T_{MIN} \sim T_{MAX}$)

パラメータ	T_{MIN} 、 T_{MAX} での限界値 (BおよびYバージョン)	単位	条件 / 備考
f_{CLKIN}	6.144	MHz max	
t_{HIGH}/t_{LOW}	55/45	max	入力クロック・マーク / スペース比
	45/55	min	
t_1	9	ns typ	f_{CLOCK} 立上りエッジ ~ f_{OUT} 立上りエッジ
t_2	4	ns typ	f_{OUT} 立上り時間
t_3	4	ns typ	f_{OUT} 立下り時間
t_4	$t_{HIGH} \pm 5$	ns typ	f_{OUT} パルス幅

注記

1 設計値及び規定値です。製品テスト値ではありません。

2 すべての入力信号は $t_r = t_f = 5ns$ (V_{DD} の10~90%) で規定され、 $(V_{IL} + V_{IH}) / 2$ の電圧レベルでタイミング調整されます。

3 図1を参照。

仕様は予告なく変更することがあります。

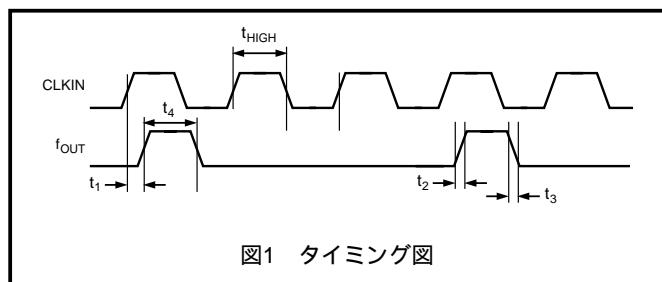


図1 タイミング図

絶対最大定格^{1, 2}

(特に指示がない限り、 $TA = +25^\circ C$)

$V_{DD} \sim GND$	-0.3 ~ +7V
アナログ入力電圧 ~ GND	-5V ~ $V_{DD} + 0.3V$
デジタル入力電圧 ~ GND	-0.3V ~ $V_{DD} + 0.3V$
リファレンス入力電圧 ~ GND	-0.3V ~ $V_{DD} + 0.3V$
$f_{OUT} \sim GND$	-0.3V ~ $V_{DD} + 0.3V$

動作温度範囲

自動車用 (Yバージョン)	-40 ~ +105
工業用 (Bバージョン)	-40 ~ +85

保管温度範囲

接合温度	-65 ~ +150
	+150

プラスチックDIPパッケージ

ワット損	450mW
J_A 熱インピーダンス (8ピン)	125 /W
J_A 熱インピーダンス (16ピン)	117 /W
ピン温度、ハンダ付け	
蒸着 (60秒)	+215
赤外線 (15秒)	+220

SOICパッケージ

ワット損	450mW
J_A 熱インピーダンス (8ピン)	157 /W
J_A 熱インピーダンス (16ピン)	125 /W
ピン温度、ハンダ付け	
蒸着 (60秒)	+215
赤外線 (15秒)	+220

注記

1 上記の絶対最大定格を超えるストレスを加えると、デバイスに永久的な損傷を与えることがあります。この定格はストレス定格の規定のみを目的とするものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長期間絶対最大定格条件に置くと、デバイスの信頼度に影響を与えることがあります。

2 最大100mAまでの過渡電流では、SCRラッチアップは発生しません。

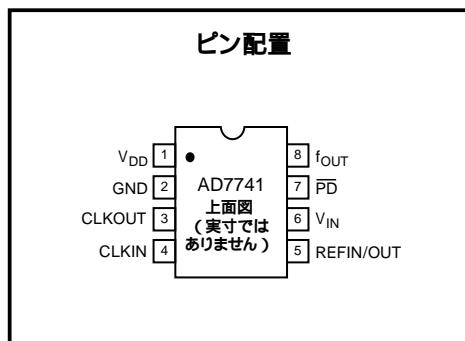
注意

ESD (静電放電) の影響を受けやすいデバイスです。4000Vもの高圧の静電気が人体やテスト装置に容易に帯電し、検知されることなく放電されることがあります。AD7741/AD7742には当社独自のESD保護回路を備えていますが、高エネルギーの静電放電を受けたデバイスには回復不可能な損傷が発生することがあります。このため、性能低下や機能喪失を回避するために、適切なESD予防措置をとるようお奨めします。



AD7741ピン機能説明

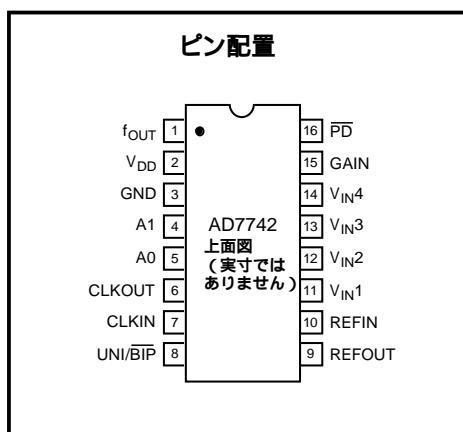
ピン番号	記号	機能
1	V_{DD}	電源入力。AD7741は+4.75 ~ +5.25Vの範囲で動作可能ですが、電源をGNDに適切にデカップリングする必要があります。
2	GND	AD7741の全回路のグラウンド・リファレンス・ポイント。
3	CLKOUT	外部クロック出力。デバイスのマスター・クロックが水晶の場合は、CLKIN、CLKOUT間に水晶が接続されます。外部クロックがCLKINに印加される場合は、CLKOUTピンが反転クロック信号を供給します。システムの別の箇所のクロック・ソースとして使われる場合は、このクロックをバッファ付きにする必要があります。
4	CLKIN	外部クロック入力。デバイスのマスター・クロックが、水晶または外部クロックの形で供給されます。水晶は、CLKINピンとCLKOUTピンをつないで結合されます。あるいは、CLKINピンがCMOS互換のクロックで駆動され、CLKOUTが未接続のままのこともあります。マスター・クロック周波数は最大6MHzです。
5	REFIN/OUT	V/FCコアのリファレンス入力であり、V/FCのスパンを定義します。このピンが未接続のときは、内部2.5Vリファレンスを使用しています。あるいは、高精度な外部リファレンス（例えばREF192）を使って、内部リファレンスをオーバードライブすることもできます。内部バンドギャップ・リファレンスは、オーバードライブできるように、高い出力インピーダンスになっています。
6	V_{IN}	V/FCのアナログ入力。入力範囲は0V ~ V_{REF} です。入力はバッファされるので、どのソースから駆動している場合でも、ソースからドローする電流はほぼゼロです。
7	\overline{PD}	アクティブ・ロー・パワーダウン・ピン。この入力がローの場合はパワーダウン・モードになり、電流消費が15 μA (typ) になります。
8	f_{OUT}	周波数出力。同期型V/FCの出力を供給します。



AD7741/AD7742

AD7742 ピン機能説明

ピン番号	記号	機能
1	f_{OUT}	周波数出力。同期型V/FCの出力を供給します。
2	V_{DD}	電源入力。AD7742は +4.75 ~ +5.25V の範囲で動作可能ですが、電源をGNDに適切にデカッピングする必要があります。
3	GND	AD7742の全回路のグラウンド・リファレンス・ポイント。
4 - 5	A1、A0	入力チャンネル構成の選択に使われるアドレス入力。
6	CLKOUT	外部クロック出力。デバイスのマスター・クロックが水晶の場合は、CLKIN、CLKOUT間に水晶が接続されます。外部クロックがCLKINに印加される場合は、CLKOUTピンが反転クロック信号を供給します。システムの別の箇所のクロック・ソースとして使われる場合は、このクロックをバッファ付きにする必要があります。
7	CLKIN	外部クロック入力。デバイスのマスター・クロックが、水晶または外部クロックの形で供給されます。水晶は、CLKINピンとCLKOUTピンをつないで結合されます。あるいは、CLKINピンがCMOS互換のクロックで駆動され、CLKOUTが未接続のままのこともあります。マスター・クロック周波数は最大6MHzです。
8	UNI/BIP	差動バイポーラ・アナログ入力信号、差動ユニポーラ・アナログ入力信号の、どちらで動作するかを決定する制御入力。
9	REFOUT	2.5V電圧リファレンス出力。REFINに直結できます。また先にバッファされて、システムの他の部分のリファレンスとして使うこともできます。
10	REFIN	V/FCコアのリファレンス入力であり、V/FCのスパンを定義します。このピンは2.5Vリファレンスが必要です。入力は、REFOUTに直接接続するか、高精度な外部リファレンス（例えばREF192）を使用して供給します。
11	V_{IN1}	バッファ付きアナログ入力チャンネル1。 V_{IN4} との疑似差動入力、または V_{IN2} との完全差動入力ペアの正入力となります。
12	V_{IN2}	バッファ付きアナログ入力チャンネル2。 V_{IN4} との疑似差動入力、または V_{IN1} との完全差動入力ペアの負入力となります。
13	V_{IN3}	バッファ付きアナログ入力チャンネル3。 V_{IN4} との完全差動入力ペアの正入力となります。
14	V_{IN4}	バッファ付きアナログ入力チャンネル4。 V_{IN1} または V_{IN2} との共有疑似差動入力、または V_{IN3} との完全差動入力ペアの負入力となります。
15	GAIN	アナログ・フロントエンドのゲインがX1、X2のどちらになるかを制御する、ゲイン選択入力。
16	PD	アクティブ・ロー・パワーダウン・ピン。この入力がローの場合はパワーダウン・モードになり、電流消費が25 μ A (typ) になります。



用語説明

積分非直線性

V/FCでは、積分非直線性（INL）は、V/FC変換関数の実終止点を通過する直線からの最大偏差をいいます。誤差は周波数スパンの%で表されます。

$$\text{周波数スパン} = f_{\text{OUT}}(\text{max}) - f_{\text{OUT}}(\text{min})$$

オフセット誤差

V/FCのオフセット誤差です。理想的には、最小出力周波数（最小入力電圧に対応）は f_{CLKIN} の5%で、そこからの偏差がオフセット誤差となります。入力電圧に関連する誤差とされ、mV単位で表されます。

ゲイン誤差

V/FCのスパン誤差です。ゲインは入力 V_{IN} を出力 f_{OUT} に関連付けるスケール・ファクタです。ゲイン誤差は、実際のV/FC伝達特性の理想値からの勾配偏差をフルスケール・スパンの%で表されます。

オフセット誤差ドリフト

温度変化に伴うオフセット誤差変化です。 $\mu\text{V}/^{\circ}\text{C}$ で表されます。

ゲイン誤差ドリフト

温度変化に伴うゲイン誤差変化です。 $(\text{スパンppm})/^{\circ}\text{C}$ で表されます。

電源除去率(PSRR)

V/FCの出力が電源電圧の変化によって受ける影響を示します。この誤差も入力電圧に関連しています。入力電圧は一定に保たれ、 V_{DD} 電源が $\pm 5\%$ 変化します。入力電圧の見掛け変化と V_{DD} 変化の比率をdB単位で測定したものです。

チャンネル間絶縁

あるチャンネルの入力時信号振幅と別チャンネルの入力サイン波の比率です。dB単位で測定されます。

コモン・モード除去

AD7742では、コモン・モード・レベルが変化しても、差動入力が変化しない状態に保たれれば、出力周波数は変化しない状態に留まります。CMRは差動入力電圧の見掛け変化とコモン・モード電圧の実際の変化の比率で、dB単位で表されます。

概要

AD7741/AD7742は、チャージ・バランス変換方式を採用した新世代のCMOS同期型電源／周波数コンバータ（V/FC）です。AD7741はシングル・チャンネル・バージョン、AD7742はマルチチャンネル・バージョンです。入力電圧信号が、アナログ・モジュレータを中心とした当社独自のプログラマブル・ゲイン・フロントエンドに印加され、入力電圧を出力パルス列に変換します。

AD7741/AD7742は、+5V単電源で動作し、+2.5Vバンドギヤップ・リファレンスを内蔵しています。図2に、AD7742のブロック図を示します。

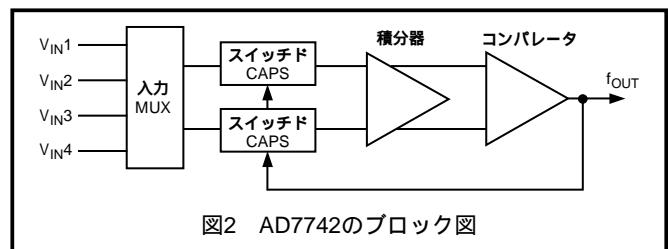


図2 AD7742のブロック図

入力アンプ段

アナログ入力のバッファ入力段は高いインピーダンスを示し、大きな外部ソース・インピーダンスを可能にします。4チャンネルのアナログ入力（ $V_{\text{IN}1} \sim V_{\text{IN}4}$ ）はそれぞれ、+0.5Vから $V_{\text{DD}} - 1.75\text{V}$ までの電圧範囲に対応します。これは絶対電圧範囲であり、GNDピンに関連しています。

AD7742のマルチチャンネル部では、差動マルチブレクサが差動入力チャンネルの1つをV/FCモジュレータにスイッチングします。マルチブレクサは、A1、A0の2つのピンで制御されます。チャンネル構成については、表Iをご覧ください。

表I AD7742の入力チャンネル構成

A1	A0	$V_{\text{IN}}(+)$	$V_{\text{IN}}(-)$	タイプ
0	0	$V_{\text{IN}1}$	$V_{\text{IN}4}$	疑似差動
0	1	$V_{\text{IN}2}$	$V_{\text{IN}4}$	疑似差動
1	0	$V_{\text{IN}3}$	$V_{\text{IN}4}$	完全差動
1	1	$V_{\text{IN}1}$	$V_{\text{IN}2}$	完全差動

アナログ入力範囲

AD7741はユニポーラ・シングル・エンド入力チャンネルを持ち、一方AD7742は2つの完全差動または3つの疑似差動チャンネルを構成できる、4つの入力チャンネルを持っています。AD7742は、フロント・エンドにX1/X2ゲイン・オプションもあります。チャンネルおよびゲインの設定は、ピン・プログラマブルです。

AD7742では、差動入力を使ってコモン・モード・ノイズ除去を行います（つまり、変換結果は2つの入力間の差動電圧に対応します）。両入力の絶対電圧は、+0.5Vと $V_{\text{DD}} - 1.75\text{V}$ の間になければなりません。

AD7741/AD7742

表II AD7741/AD7742の入力範囲の選択

UNI/BIP	ゲイン	ゲイン、G	$V_{IN}(\min)$ $f_{OUT} = 0.05 f_{CLKIN}$	$V_{IN}(\max)$ $f_{OUT} = 0.45 f_{CLKIN}$	モデル
N/A	N/A	X1	0	$+V_{REF}$	AD7741
0	0	X1	$-V_{REF}$	$+V_{REF}$	AD7742
0	1	X2	$-V_{REF}$	$+V_{REF}/2$	AD7742
1	0	X1	0	$+V_{REF}$	AD7742
1	1	X2	0	$+V_{REF}/2$	AD7742

表IIから分かるように、AD7741は单一入力範囲対応ですが、AD7742では、GAINピンとUNI/BIPピンのステータスによって、ユニポーラ / バイポーラ・オプションとゲイン・オプションが用意されています。

AD7741の変換特性を図3に示します。AD7742のユニポーラ入力範囲構成の変換特性を図4に、バイポーラ入力範囲構成の変換特性を図5に示します。

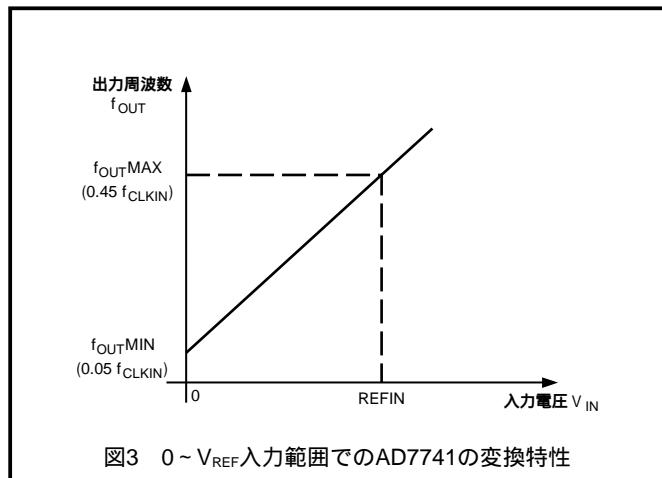


図3 0 ~ V_{REF} 入力範囲でのAD7741の変換特性

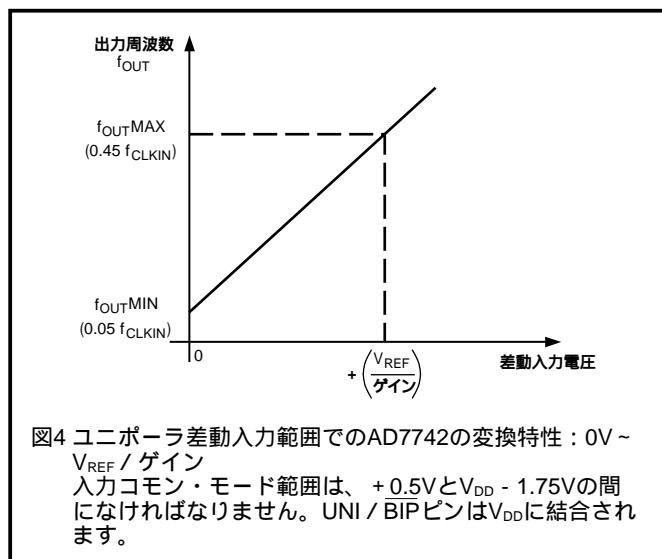


図4 ユニポーラ差動入力範囲でのAD7742の変換特性：0V ~ $V_{REF}/\text{ゲイン}$
入力コモン・モード範囲は、+0.5Vと V_{DD} - 1.75Vの間になければなりません。UNI / BIPピンは V_{DD} に結合されます。

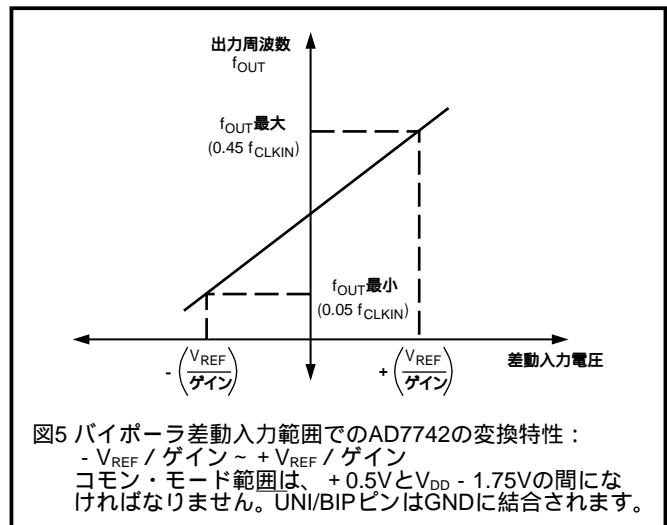


図5 バイポーラ差動入力範囲でのAD7742の変換特性：
- $V_{REF}/\text{ゲイン}$ ~ $+V_{REF}/\text{ゲイン}$
コモン・モード範囲は、+0.5Vと V_{DD} - 1.75Vの間になればなりません。UNI/BIPピンはGNDに結合されます。

V/FCモジュレータ

AD7741/AD7742のアナログ入力信号は、外部供給または水晶制御の内蔵クロック発振器から供給されるマスター・クロック入力によってサンプリング・レートが設定される、スイッチド・キャパシタ・モジュレータにより連続的にサンプリングされます。ただし入力信号は、モジュレータのサンプリング・コンデンサに印加される前に、オンチップでバッファされます。これにより、アナログ入力ピンから、サンプリング・コンデンサの荷電電流が絶縁されます。

本システムは、入力電圧からの電荷と V_{REF} からの電荷のバランスをとることにより積分器コンデンサの純電荷をゼロに保とうとする、負のフィードバック・ループです。コンパレータ出力により1ビットD/ACのデジタル入力が得られるので、システムが差動信号の最小化をはかる負のフィードバック・ループとして機能します（図6参照）。

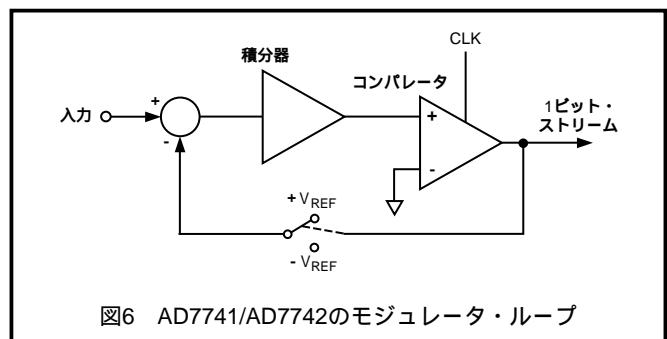
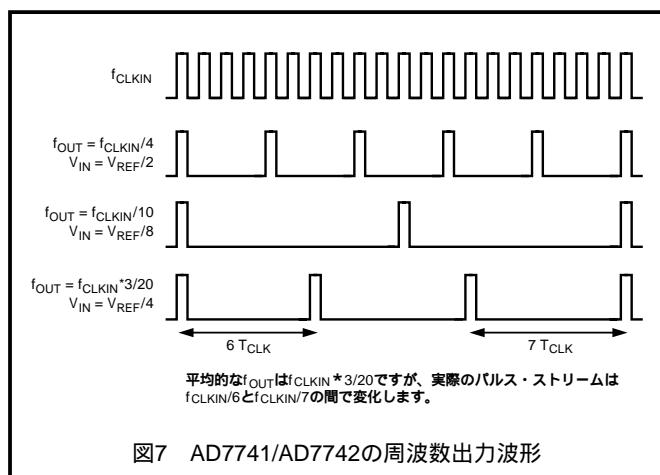


図6 AD7741/AD7742のモジュレータ・ループ

アナログ入力電圧に対応するデジタル・データは、コンバレータ出力時に表われるパルス列のデューティ・サイクルに含まれています。出力は、アナログ入力信号に応じて周波数が変化する固定幅パルスです。入力電圧が内部的にオフセットされることにより、フルスケール入力が $0.45f_{CLKIN}$ の出力周波数となり、ゼロ・スケール入力が $0.05f_{CLKIN}$ の出力周波数となります。この出力により、標準のロジックファミリーまたはフォト・カプラのいずれかに簡単にインターフェースできます。クロック・ハイの期間が周波数出力のパルス幅を制御します。パルスはクロック信号のエッジにより生成されます。クロックのエッジと周波数出力のエッジ間の遅延時間は、通常は9nsです。図7に、この周波数出力の波形を示します。

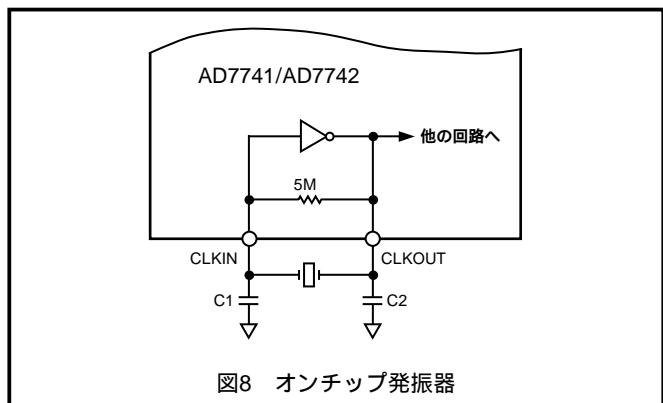
パワーアップ後で、入力電圧に段階的变化がある場合は、セトリング・タイムを経た上で有効データが得られます。セトリング・タイムは通常、AD7742では2CLKINサイクル、AD7741では10CLKINサイクルです。



クロック生成

フルスケール周波数を設定するのに外部コンデンサの安定性に依存する非同期型V/FCとは違って、AD7741/AD7742は外部クロックを使ってフルスケール出力周波数を定義します。これにより、変換機能の安定性が増して直線性が高まり、設計者は、選択した外部クロックに基づいてシステムの安定性とドリフトを決めることができます。必要なら、水晶発振器を使うこともできます。

AD7741/AD7742は、マスター・クロック入力が必要ですが、外部CMOS互換のクロック信号をCLKINピン（CLKOUTは不使用）に印加してもよいし、あるいは、CLKINとCLKOUTの間に正しい周波数の水晶を接続して、クロック回路を水晶制御発振器として機能させることもできます。図8に、オンチップ発振器の簡単なモデルを示します。



オンチップ発振器回路では、正しい周波数と正しい電圧レベルで発振する前に、回路に対応した起動時間があります。通常の起動時間は、(6.144MHz水晶で) 5msです。

AD7741/AD7742のマスター・クロックは、CLKOUTピン上に表われます。このピンの最大推奨負荷は1CMOS負荷です。水晶を使ってAD7741/AD7742のクロックを生成する場合は、さらにこのクロックをシステムのクロック・ソースに使うとよいでしょう。この場合には、他の回路に印加する前にCLKOUT信号をCMOSバッファでバッファすることが推奨されます。

リファレンス入力

AD7741/AD7742では、比率計測システムに容易にインターフェースできるように、印加されたリファレンス電圧の変換を行います。このリファレンスは、内蔵の2.5Vバンドギヤップ・リファレンスを使って印加されます。AD7741では、REFIN/OUTを未接続のままにするだけで行えます。AD7742では、REFINをREFOUTに接続します。あるいは、外部リファレンス、例えばREF192またはAD780を使うこともできます。AD7741では、外部リファレンスがREFIN/OUTに接続されて、内部リファレンスをオーバードライブします。AD7742では、REFINピンに直接接続されます。

内部リファレンスは大抵のアプリケーションに適合しますが、外部の高精度なリファレンスを使って電源除去と全体的なレギュレーションを改善することができます。外部電圧リファレンスを選択するときは、駆動性能、初期誤差、ノイズ、ドリフトなどの特性を検討する必要があります。AD780またはREF192が好適です。

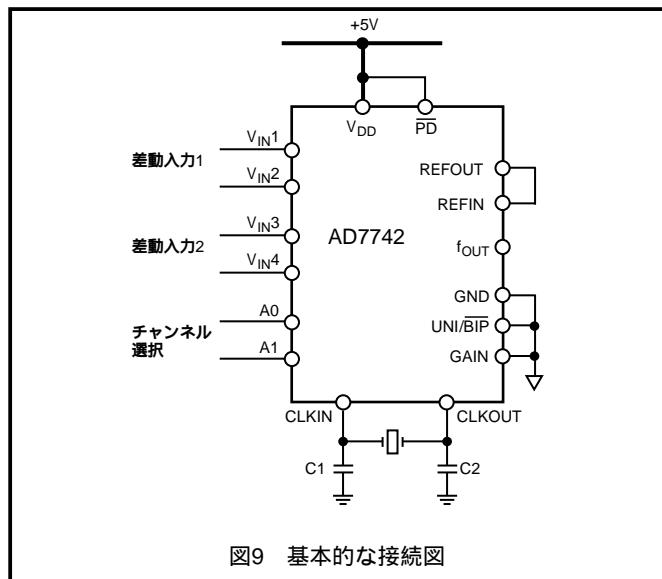
パワーダウン・モード

低消費スタンバイ・モードは、 \overline{PD} ピンがローになるとスタートし、アナログ回路とデジタル回路のほとんどをシャットダウンします。これにより、消費電力が $185 \mu W$ (max) にまで軽減されます。

AD7741/AD7742

アプリケーション

図9に基本的な接続図を示します。図は、AD7742のアナログ入力が完全差動でゲインが1のバイポーラ入力として構成されています。水晶クオーツはマスター・クロック・ソースを供給します。基本動作周波数の倍音で発振しないように、水晶上でコンデンサ（図のC1とC2）を接続する必要があるでしょう。コンデンサの値は、メーカーの仕様によって異なります。



AD7741/AD7742を使うA/D変換方式

V/FCは、A/Dコンバータとして使うと、精度、直線性、本性的な単調性などの利点が得られます。AD7741/AD7742には、ノイズ・ピーク値を平滑化する完全な積分入力があります。

A/DシステムでV/FCを使う最も一般的な方法は、固定ゲート・インターバルでのf_{OUT}の出力パルスをカウントすることです（図10参照）。この固定ゲート・インターバルは、クロック入力周波数を分割することで生成します。これにより、クロック・ジッタまたはクロック周波数ドリフトによる誤差が解消されます。f_{OUT}の対クロック周波数比率は、f_{OUT}の絶対値ではありませんが、ここでは重要な値です。周波数分割は、f_{CLKIN}がCLK入力になっているバイナリ・カウンタで行われます。

図11は、f_{CLKIN}、f_{OUT}およびゲート信号の波形を示します。カウンタは、ゲート信号がハイの状態で、f_{OUT}の立上りエッジをカウントします。ゲート・インターバルがf_{OUT}と同期されていないので、カウントが不正確になる可能性があります。f_{OUT}によっては、1カウントの誤差が発生することもあります。

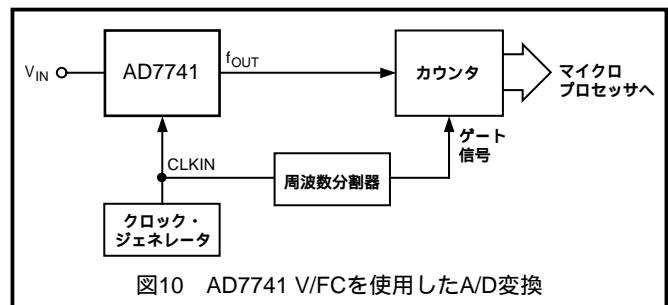
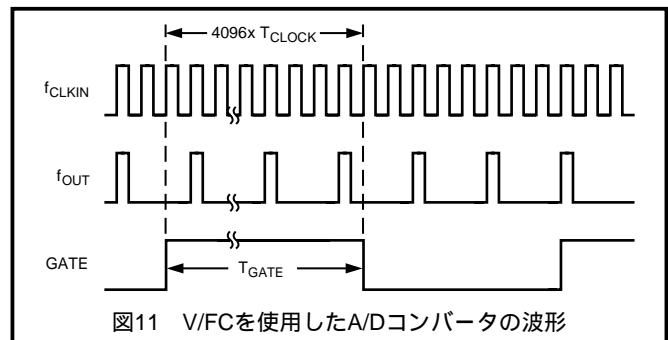


図10 AD7741 V/FCを使用したA/D変換



クロック周波数とゲート時間がA/Dの分解能を決定します。12ビット分解能が必要でf_{CLKIN}が5MHz（従って、最大f_{OUT}が2.25MHz）の場合、必要な最小ゲート時間は以下のように計算されます。

フルスケール（2.25MHz）におけるNカウントでは、以下の時間が掛かります。

$$(N/2.25 \times 10^6) \text{ 秒} = \text{最小ゲート時間}$$

Nは、所定の分解能でのコード総数（12ビットでは4096）です。

$$\text{最小ゲート時間} = (4096/2.25 \times 10^6) \text{ 秒} = 1.820\text{ms}$$

T_{GATE} × 最大f_{OUT} = フルスケールでのカウント数なので、最大f_{OUT}を高くすると同じ分解能での変換が高速化されます。この最大f_{OUT}値が高い（3MHz）ことが、AD7741/AD7742の主要な特徴です。

クロックから出た信号にゲートされたパルスをカウントすることで出力周波数が測定される場合は、クロックの安定性は重要ではなく、デバイスは電圧制御の周波数分割器としてのみ機能し、高分解能のA/Dになります。変換性能の本性的な単調性と入力クロック周波数範囲の広さにより、特定のアプリケーションに最適化された変換時間と分解能が得られます。

ゲート・インターバルの長さを選択する場合には、もう1つのパラメータを考慮します。システムの積分期間がゲート・インターバルに等しいため、干渉信号の期間の整数個のカウントを取ることにより、干渉信号を除去できます。例えば、100msのゲート・インターバルでは、50Hz信号及び60Hz信号のノーマル・モード除去が行えます。

アイソレーション・アプリケーション

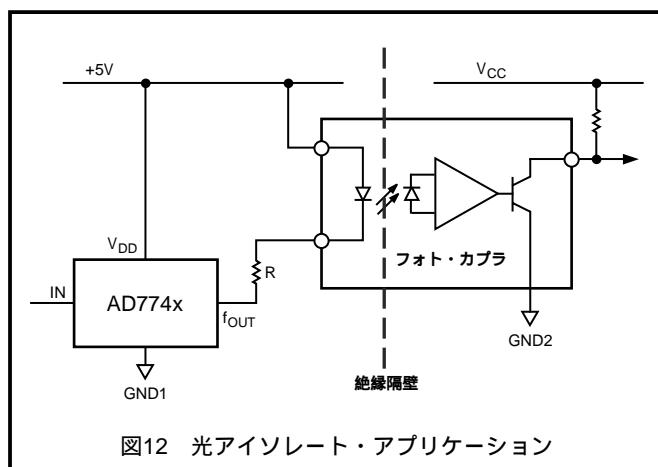
A/D変換に加えて、AD7741/AD7742は、絶縁されたアナログ信号伝達アプリケーションでも使用できます。ノイズ、安全要求事項、距離などの要件から、AD7741/AD7742を制御回路から絶縁する必要が生じことがあります。これは、光アイソレータを使って容易に達成でき、3kVを超える絶縁を行えます。

光電対は、絶縁信号カップリングとして一般的な方法です。この種のデバイスでは、光を接続媒体に使い、信号が入力LEDから出力フォト・トランジスタに結合されます。この方式はDCを伝送できるので、デバイス間のグラウンド・ループをおさえるのにきわめて有効であり、広範な速度および出力のアプリケーションに適用可能です。

伝達されるアナログ電圧は、V/FCを使ってパルス列に変換されます。光アイソレータ回路は、光を接続媒体として絶縁隔壁を越えてこのパルス列を結合するのに使われます。アイソレータの入力LEDは、AD7741/AD7742の出力で駆動されます。受信側では、出力トランジスタがフォト・トランジスタ・モードで動作します。パルス列は、周波数/電圧コンバータを使ってアナログ電圧に再変換することができます。あるいは、パルス列はデジタル信号を生成するためにカウンタに送り込むこともできます。

AD7741/AD7742のアナログおよびデジタル部分は、シングル・エンド電源から動作できるように設計されており、アイソレート電源による使用を単純化しています。

図12は、廉価な光アイソレータを使った汎用V/FC回路を示しています。アイソレート(+5Vアイソレート)電源、ローカル(+5Vローカル)電源共に、+5Vを見込んでいます。



電源のバイパスとグラウンド

精度が重視される回路では、定格性能を確保する上で、電源およびグラウンド・リターン配置を入念に考慮すると効果的です。AD7741/AD7742を実装するプリント回路基板では、アナログ部とデジタル部を絶縁して基板の特定区域に置くように設計する必要があります。

デジタルおよびアナログのグラウンド面は、両者の間の容量性結合を最小化するために、DUTに近い1個所だけで結合し、重なり合わないようにする必要があります。

ダイにノイズがカップリングしてしまうので、デバイスの下側にデジタル回線を走らせるることは避けてください。ノイズ・カップリングを回避するには、AD7742の下にアナログ・グラウンド面を走らせる必要があります。AD7742の電源ラインでは、できるだけ大きいトレースを使うことでロー・インピーダンス・パスを実現し、突然の故障が電源ラインに及ぼす影響を減らします。クロックのような高速スイッチング信号は、ノイズがボードの他の部分に広がるのを回避するために、デジタル・グラウンドでシールドすべきです。また、クロック信号がアナログ入力の近くを通らないようにする必要があります。デジタル信号とアナログ信号は、クロスしないようにしてください。ボードの反対側のトレースは、互いに直角になるように走らせます。これにより、ボードを通るフィードスルーの影響が軽減されます。マイクロ・ストリップ方式は格段に優れていますが、両面ボード時には対応できないことがあります。この方式では、ボードのコンポーネント側は必ずグラウンド面に置かれ、信号トレースはハンダ側に置かれます。

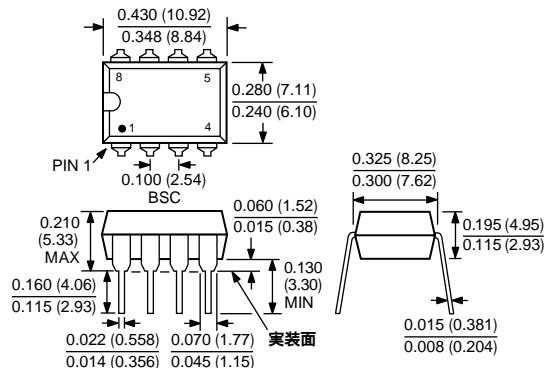
良好なデカップリングをはかることも重要です。すべてのアナログ電源は、パッケージにできるだけ近接した、理想的にはデバイスのすぐ上に置いた0.1 μ Fと並行な10 μ Fの表面実装コンデンサで、GNDにデカップリングが必要があります。バイパス・コンデンサのリード長はできるだけ短くする必要があります。コンデンサと電源ピン間のPCBトレースのインダクタンスを最小化するために、これらのコンデンサはAD7741/AD7742に物理的に近づけるのが基本です。10 μ Fはタンタル製ビーズ型のもので、低周波リップルを減らすためにV/FCの付近に置きます。0.1 μ Fコンデンサは、低実効直列抵抗(ESR)および実効直列インダクタンス(ESI)の一般的なセラミック・タイプなどで、高周波数でのグラウンドへの低インピーダンス・パスを提供して、内部ロジック・スイッチングによる過渡電流を処理する必要があります。さらに、電源がPCBに接続する箇所に大型コンデンサ(>47 μ F)を置くと有効です。

AD7741/AD7742

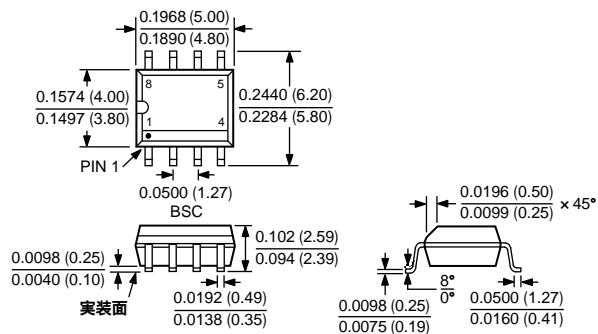
外形寸法

サイズはインチと (mm) で示します。

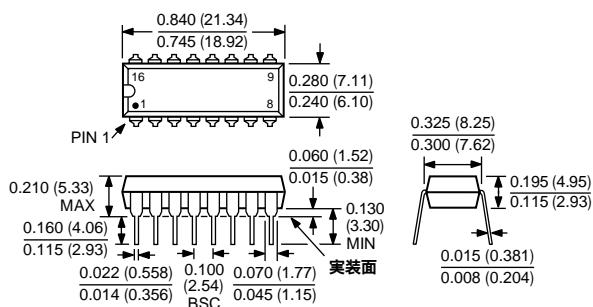
8 ピン・プラスチックDIP
(N - 8)



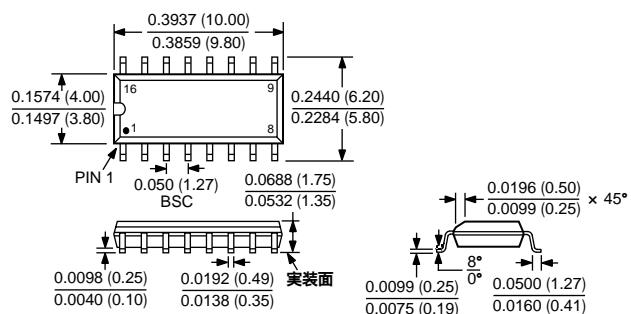
8 ピンSO
(R - 8)



16 ピン・プラスチックDIP
(N - 16)



16 ピン狭体SO
(R - 16 A)



このデータシートはエコマーク認定の再生紙を使用しています。