

### 特長

#### 高分解能ADC

- 24ビット、ノー・ミスコード
- $\pm 0.0015\%$ 非直線性

#### 高速チャンネル・スイッチング用に最適化

- 500Hzで18ビットp-p分解能 (実効21ビット)
- 8.5kHzで16ビットp-p分解能 (実効19ビット)
- 15kHzで15ビットp-p分解能 (実効18ビット)
- チャンネルごとの内蔵システム・キャリブレーション

#### 設定可能な入力

- 8チャンネルのシングルエンド入力または4チャンネルの完全差動入力

#### 入力範囲

- +625mV、+1.25V、+2.5V、 $\pm 625$ mV、 $\pm 1.25$ V、 $\pm 2.5$ V

#### 3線式シリアル・インターフェース

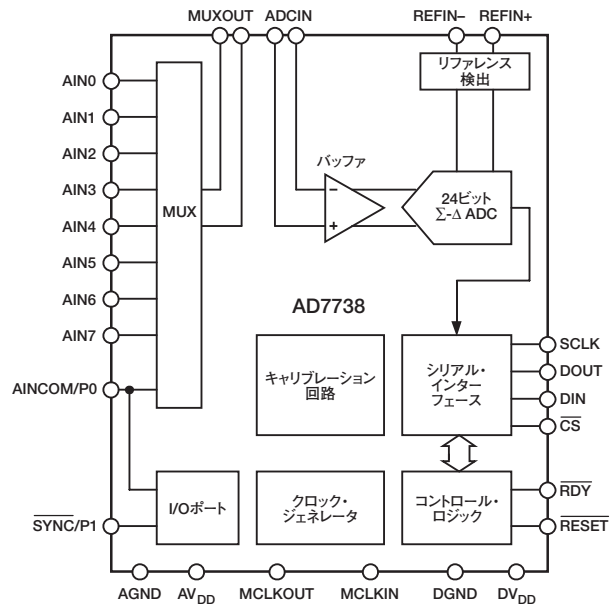
- SPI™、QSPI™、MICROWIRE™、DSPと互換
- シュミット・トリガー・ロジック入力

#### 単電源動作

- 5Vアナログ電源
- 3Vまたは5Vのデジタル電源

パッケージ：28ピンTSSOP

機能ブロック図



### アプリケーション

#### PLC/DCS

- 多重化アプリケーション
- プロセス制御
- 工業計装

### 概要

AD7738は、高精度、高スループットのアナログ・フロントエンドです。合計117 $\mu$ sの変換時間で真の16ビットp-p分解能を達成し (8.5kHzのチャンネル・スイッチング)、高分解能の多重化アプリケーションに理想的です。

AD7738は簡単なデジタル・インターフェースで構成できるため、ユーザーは、ノイズ性能と15.4kHzまでのデータ・スループットをバランスさせることができます。

このアナログ・フロントエンドは、ユニポーラまたはバイポーラの625mV、1.25V、2.5Vの入力範囲で8チャンネルのシングルエンド入力または4チャンネルの完全差動入力を実現し、AGND+200mV $\sim$ AV<sub>DD</sub>-300mVのコモン・モード入力電圧を受け付けます。マルチプレクサ出力が外部に出力されるので、ユーザーは、ADCに入力する前に、プログラマブル・ゲインやシグナル・コンディショニングを設定できます。

差動リファレンス入力には、「ノーリファレンス」検出機能があります。ADCは、チャンネルごとのシステム・キャリブレーション・オプションもサポートします。

デジタル・シリアル・インターフェースは3線式動作に構成でき、マイクロコントローラやデジタル信号プロセッサとの互換性があります。すべてのインターフェース入力は、シュミット・トリガーされます。

AD7738は、-40 $\sim$ +105 $^{\circ}$ Cという広範な工業温度範囲で動作するように設計されています。

AD7738ファミリーには、AD7734とAD7732もあります。

AD7734アナログ・フロントエンドは、ユニポーラまたは $\pm 10$ Vまでの真のバイポーラ入力範囲で4チャンネルのシングルエンド入力を備えています。5Vアナログ単電源で動作します。AD7734は、隣接チャンネルの性能を低下することなく、 $\pm 16.5$ Vまでのアナログ入力過電圧を受け付けます。

AD7732はAD7734に類似していますが、AD7732のアナログ・フロントエンドは2チャンネル完全差動入力です。

SPIとQSPIは、Motorola, Inc.の商標です。  
MICROWIREは、National Semiconductor Corporationの商標です。

アナログ・デバイス社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイス社の特許または特許の権利の使用を暗示的または明示的に許諾するものでもありません。  
※日本語データシートはREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。

REV. 0

# AD7738 — 仕様

(特に指定のない限り、 $-40\sim+105^{\circ}\text{C}$ 、 $\text{AV}_{\text{DD}}=5\text{V}\pm 5\%$ 、 $\text{DV}_{\text{DD}}=2.7\sim 3.6\text{V}$ または $5\text{V}\pm 5\%$ 、 $\text{REFIN} (+)=2.5\text{V}$ 、 $\text{REFIN} (-)=0\text{V}$ 、 $\text{AINCOM}=2.5\text{V}$ 、 $\text{MUXOUT} (+)=\text{ADCIN} (+)$ 、 $\text{MUXOUT} (-)=\text{ADCIN} (-)$ 、内部バッファ・オン、AIN範囲 $\pm 1.25\text{V}$ 、 $f_{\text{MCLK}}=6.144\text{MHz}$ )

パラメータ	最小	標準	最大	単位	テスト条件/コメント
<b>ADC性能 — チョッピングをイネーブル</b> 変換時間レート ノーマル・ミスコード <sup>1</sup>	372 24		12190	Hz ビット	変換時間レジスタによって設定 $\text{FW}\geq 6$ (変換時間 $\geq 165\mu\text{s}$ ) 特性を参照
出力ノイズ 分解能 積分非直線性 (INL)		表Iを参照 表IIとIIIを参照	$\pm 0.0015$	FSRの% FSRの%	AIN範囲 $=\pm 2.5\text{V}$ AIN範囲 $=\pm 1.25\text{V}$ キャリブレーション前
オフセット誤差 (ユニポーラ、バイポーラ) <sup>2</sup> オフセット・ドリフト対温度 <sup>1</sup> ゲイン誤差 <sup>2</sup> ゲイン・ドリフト対温度 <sup>1</sup> 正のフルスケール誤差 <sup>2</sup> 正のフルスケール・ドリフト対温度 <sup>1</sup> バイポーラ負のフルスケール誤差 <sup>3</sup>		$\pm 10$	$\pm 280$ $\pm 0.2$ $\pm 2.5$ $\pm 0.2$ $\pm 2.5$	$\mu\text{V}$ $\text{nV}/^{\circ}\text{C}$ % $\text{FS}/^{\circ}\text{C}$ のppm FSRの% $\text{FS}/^{\circ}\text{C}$ のppm	キャリブレーション前 キャリブレーション前 キャリブレーション前
バイポーラ負のフルスケール誤差 <sup>3</sup> コモン・モード除去 電源除去比	80 70	100 80		FSRの% dB dB	キャリブレーション後 <sup>3</sup> DCで、AIN=1V DCで、AIN=1V
<b>ADC性能 — チョッピングをディスエーブル</b> 変換時間レート ノーマル・ミスコード <sup>1</sup>	737 24		15437	Hz ビット	変換時間レジスタによって設定 $\text{FW}\geq 8$ (変換時間 $\geq 117\mu\text{s}$ ) 標準特性を参照
出力ノイズ 分解能 積分非直線性 (INL)		表IVを参照 表VとVIを参照	$\pm 0.0015$	FSRの% mV	キャリブレーション前
オフセット誤差 (ユニポーラ、バイポーラ) <sup>4</sup> オフセット・ドリフト対温度 ゲイン誤差 <sup>2</sup> ゲイン・ドリフト対温度 正のフルスケール誤差 <sup>2</sup> 正のフルスケール・ドリフト対温度 バイポーラ負のフルスケール誤差 <sup>3</sup>		$\pm 1$ $\pm 1.5$ $\pm 0.2$ $\pm 2.5$ $\pm 0.2$ $\pm 2.5$		$\mu\text{V}/^{\circ}\text{C}$ % $\text{FS}/^{\circ}\text{C}$ のppm FSRの% $\text{FS}/^{\circ}\text{C}$ のppm	キャリブレーション前 キャリブレーション前 キャリブレーション前
バイポーラ負のフルスケール誤差 <sup>3</sup> コモン・モード除去 電源除去比		$\pm 0.0030$ 75 65		FSRの% dB dB	キャリブレーション後 <sup>3</sup> DCで、AIN=1V DCで、AIN=1V
<b>アナログ入力</b> アナログ入力電圧範囲 <sup>1, 5</sup> ±2.5V範囲 +2.5V範囲 ±1.25V範囲 +1.25V範囲 ±0.625V範囲 +0.625V範囲 AIN、AINCOMコモン・モード電圧 <sup>1</sup> AIN、AINCOM入力電流 <sup>6</sup>	-2.9 0 -1.45 0 -725 0	$\pm 2.5$ 0~2.5 $\pm 1.25$ 0~1.25 $\pm 625$ 0~625	+2.9 2.9 +1.45 +1.45 +725 725	V V V V mV mV V nA	1本のチャンネルのみ、 チョップをディスエーブル
AIN~MUXOUTのON抵抗 <sup>1</sup>		200		$\Omega$	
<b>リファレンス入力</b> REFIN (+) ~REFIN (-) 電圧 <sup>1, 7</sup> NOREFトリガー電圧  REFIN (+)、REFIN (-) コモン・モード電圧 <sup>1</sup> リファレンス入力電流 <sup>8</sup>	2.475 0	2.5 0.5	2.525	V V V $\mu\text{A}$	チャンネル・ステータス・ レジスタのNOREFビット
<b>システム・キャリブレーション<sup>1, 9</sup></b> フルスケール・キャリブレーション・リミット ゼロスケール・キャリブレーション・リミット 入力スパン			$+1.05\times\text{FS}$ $-1.05\times\text{FS}$ $0.8\times\text{FS}$	V V V	

パラメータ	最小	標準	最大	単位	テスト条件/コメント
ロジック入力					
SCLK、DIN、 $\overline{CS}$ 、 $\overline{RESET}$ 入力					
入力電流			±1	μA	
入力電流 $\overline{CS}$			±10	μA	$\overline{CS}=AV_{DD}$
入力容量		4	-40	μA	内部プルアップ抵抗
$V_{T+}^1$	1.4		2	pF	
$V_{T-}^1$	0.8		1.4	V	$DV_{DD}=5V$
$V_{T+}-V_{T-}^1$	0.3		0.85	V	$DV_{DD}=5V$
$V_{T+}^1$	0.95		2	V	$DV_{DD}=3V$
$V_{T-}^1$	0.4		1.1	V	$DV_{DD}=3V$
$V_{T+}-V_{T-}^1$	0.3		0.85	V	$DV_{DD}=3V$
MCLK INのみ					
入力電流			±10	μA	
入力容量		4		pF	
$V_{INL}$ 入力ローレベル電圧			0.8	V	$DV_{DD}=5V$
$V_{INH}$ 入力ハイレベル電圧	3.5			V	$DV_{DD}=5V$
$V_{INL}$ 入力ローレベル電圧			0.4	V	$DV_{DD}=3V$
$V_{INH}$ 入力ハイレベル電圧	2.5			V	$DV_{DD}=3V$
ロジック出力					
MCLKOUT <sup>10</sup> 、DOUT、 $\overline{RDY}$					
$V_{OL}$ 出力ローレベル電圧			0.4	V	$I_{SINK}=800\mu A$ 、 $DV_{DD}=5V$
$V_{OH}$ 出力ハイレベル電圧	4.0			V	$I_{SOURCE}=200\mu A$ 、 $DV_{DD}=5V$
$V_{OL}$ 出力ローレベル電圧			0.4	V	$I_{SINK}=100\mu A$ 、 $DV_{DD}=3V$
$V_{OH}$ 出力ハイレベル電圧	$DV_{DD}-0.6$			V	$I_{SOURCE}=100\mu A$ 、 $DV_{DD}=3V$
フロート状態リーク電流			±1	μA	
フロート状態漏れ容量		3		pF	
P1入力					レベルはアナログ電源を基準とする
入力電流			±10	μA	
$V_{INL}$ 入力ローレベル電圧			0.8	V	$AV_{DD}=5V$
$V_{INH}$ 入力ハイレベル電圧	3.5			V	$AV_{DD}=5V$
P0、P1出力					
$V_{OL}$ 出力ローレベル電圧			0.4	V	$I_{SINK}=8mA$ 、 $T_{MAX}=70^\circ C$ 、 $AV_{DD}=5V$
			0.4	V	$I_{SINK}=5mA$ 、 $T_{MAX}=85^\circ C$ 、 $AV_{DD}=5V$
			0.4	V	$I_{SINK}=2.5mA$ 、 $T_{MAX}=105^\circ C$ 、 $AV_{DD}=5V$
$V_{OH}$ 出力ハイレベル電圧	4.0			V	$I_{SOURCE}=200\mu A$ 、 $AV_{DD}=5V$
電源条件					
$AV_{DD}-AGND$ 電圧	4.75		5.25	V	
$DV_{DD}-DGND$ 電圧	4.75		5.25	V	
$AV_{DD}$ 電流 (ノーマル・モード)		2.70		3.60	V
$AV_{DD}$ 電流 (内部バッファ・オフ)		13.6	16	mA	$AV_{DD}=5V$
$DV_{DD}$ 電流 (ノーマル・モード) <sup>11</sup>		8.5		mA	$AV_{DD}=5V$
$DV_{DD}$ 電流 (ノーマル・モード) <sup>11</sup>		2.7	3	mA	$DV_{DD}=5V$
$DV_{DD}$ 電流 (ノーマル・モード) <sup>11</sup>		1.0	1.5	mA	$DV_{DD}=3V$
$AV_{DD}+DV_{DD}$ 電流 (スタンバイ・モード) <sup>12</sup>		80		μA	$AV_{DD}=DV_{DD}=5V$
消費電力 (ノーマル・モード) <sup>11</sup>		85	100	mW	
消費電力 (スタンバイ・モード) <sup>12</sup>		500		μW	$AV_{DD}=DV_{DD}=5V$

注

- <sup>1</sup> 仕様について量産テストは行われていませんが、設計保証または最初の製品リリースの特性評価データによって保証されています。
- <sup>2</sup> キャリブレーション前の仕様。チャンネル・システム・キャリブレーションによって、これらの誤差はノイズのレベルまで減ります。
- <sup>3</sup> ゼロスケールとフルスケールのキャリブレーションの後で適用。負のフルスケール誤差は、オフセット誤差とゲイン誤差を取り除いた後の残りの誤差を表しています。
- <sup>4</sup> キャリブレーション前の仕様。ADCゼロスケール・セルフ・キャリブレーションまたはチャンネル・ゼロスケール・システム・キャリブレーションによって、この誤差はノイズのレベルまで減ります。
- <sup>5</sup> 出力データ・スパンは、ノミナル (標準的) 入力電圧範囲に対応します。ADCの正しい動作は、指定された最小/最大の範囲内で保証されます。ノミナル入力電圧範囲を外れると、チャンネル・ステータス・レジスタのOVRビットがセットされ、チャンネル・データ・レジスタの値はモード・レジスタのCLAMPビットに依存します。詳細については、レジスタの説明と回路の説明を参照してください。
- <sup>6</sup> チョッピングがイネーブルになっている場合やチャンネル間を切替える場合には、マルチプレクサの容量、ピンの容量、およびMUXOUTに接続されているその他の容量を充電するダイナミック電流が発生します。詳細については、回路の説明を参照してください。
- <sup>7</sup> 仕様の性能を実現するための値。製品はもっと低い $V_{REF}$ でも機能します。
- <sup>8</sup>  $\Sigma\Delta$ モジュレータの入力スイッチング・コンデンサを充電するダイナミック電流。
- <sup>9</sup> 指定されたキャリブレーション範囲を外れると、キャリブレーションはできませんが、性能が低下することがあります。
- <sup>10</sup> このロジック出力レベルは、CMOS負荷が1つの場合に、MCLK OUT出力に適用されます。
- <sup>11</sup> 外部MCLKによって、MCLKOUTはデイスエーブルにされます (モード・レジスタのCLKDISビットがセットされます)。
- <sup>12</sup> 外部MCLKIN=0Vまたは $DV_{DD}$ 、デジタル入力=0Vまたは $DV_{DD}$ 、P0とP1=0Vまたは $AV_{DD}$ 。

仕様は予告なく変更されることがあります。

# AD7738

## タイミング仕様<sup>1, 2, 3</sup>

(特に指定のない限り、 $AV_{DD}=5V\pm5\%$ 、 $DV_{DD}=2.7\sim3.6V$ または $5V\pm5\%$ 、入力ロジック0=0V、ロジック1= $DV_{DD}$ )

パラメータ	最小	標準	最大	単位	テスト条件/コメント
マスター・クロック範囲	1		6.144	MHz	
$t_1$	50			ns	$\overline{SYNC}$ パルス幅
$t_2$	500			ns	RESETパルス幅
読み出し動作					
$t_4$	0			ns	$\overline{CS}$ 立ち下がりエッジからSCLK立ち下がりエッジまでのセットアップ・タイム
$t_5^4$					SCLK立ち下がりエッジからデータ有効までの遅延
	0		60	ns	4.75~5.25Vの $DV_{DD}$
	0		80	ns	2.7~3.3Vの $DV_{DD}$
$t_{5A}^{4, 5}$					$\overline{CS}$ 立ち下がりエッジからデータ有効までの遅延
	0		60	ns	4.75~5.25Vの $DV_{DD}$
	0		80	ns	2.7~3.3Vの $DV_{DD}$
$t_6$	50			ns	SCLK高パルス幅
$t_7$	50			ns	SCLK低パルス幅
$t_8$	0			ns	SCLK立ち上がりエッジ後の $\overline{CS}$ 立ち上がりエッジのホールド・タイム
$t_9^6$	10		80	ns	SCLK立ち上がりエッジ後のバス解放時間
書き込み動作					
$t_{11}$	0			ns	$\overline{CS}$ 立ち下がりエッジからSCLK立ち下がりエッジまでのセットアップ・タイム
$t_{12}$	30			ns	データ有効からSCLK立ち上がりエッジまでのセットアップ・タイム
$t_{13}$	25			ns	SCLK立ち上がりエッジ後のデータ有効のホールド・タイム
$t_{14}$	50			ns	SCLK高パルス幅
$t_{15}$	50			ns	SCLK低パルス幅
$t_{16}$	0			ns	SCLK立ち上がりエッジ後の $\overline{CS}$ 立ち上がりエッジのホールド・タイム

注

<sup>1</sup> 適合性を保証するために、初期リリース時にサンプル・テストされています。

<sup>2</sup> すべての入力信号は、 $t_r=t_f=5ns$  ( $DV_{DD}$ の10~90%)で規定され、1.6Vの電圧レベルからタイミングがとられます。

<sup>3</sup> 図1と図2を参照。

<sup>4</sup> この数値は、図3の負荷回路で測定され、出力が $V_{OL}$ または $V_{OH}$ の限界を超えるまでに必要な時間と定義されます。

<sup>5</sup> この値は、SCLKがローレベルのときに $\overline{CS}$ がローレベルになった場合のみ当てはまります。

<sup>6</sup> この数値は、図3の回路に負荷を加えたときに、データ出力が0.5V変化するのに要した時間を測定した結果に基づいています。この測定値は、50pFコンデンサの充/放電の影響をなくすために外挿されます。つまり、タイミング特性で示された時間は、デバイスの真のバス解放時間であり、外部バスの負荷容量とは無関係です。

仕様は予告なく変更されることがあります。

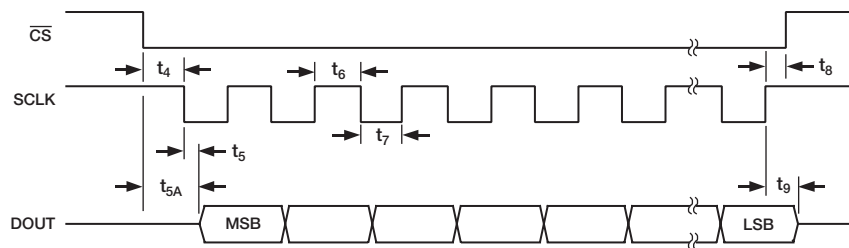


図1. 読み出しサイクルのタイミング図

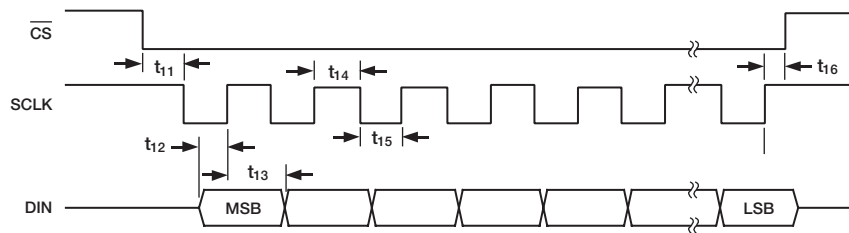


図2. 書き込みサイクルのタイミング図

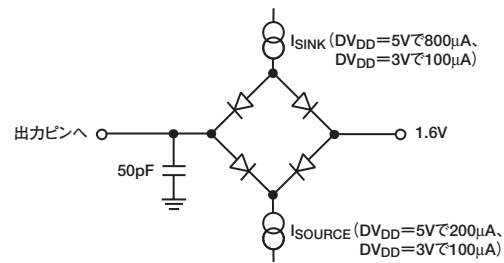


図3. アクセス時間とバス解放時間用の負荷回路

# AD7738

## 絶対最大定格\*

(特に指定のない限り、 $T_A=25^\circ\text{C}$ )

$AV_{DD}\sim AGND$ 、 $DV_{DD}\sim DGND$ .....	$-0.3\sim +7V$
$AGND\sim DGND$ .....	$-0.3\sim +0.3V$
$AV_{DD}\sim DV_{DD}$ .....	$-5\sim +5V$
$AIN$ 、 $AINCOM\sim AGND$ .....	$-0.3V\sim AV_{DD}+0.3V$
$REFIN(+)$ 、 $REFIN(-)\sim AGND$ ...	$-0.3V\sim AV_{DD}+0.3V$
$MUXOUT(+)\sim AGND$ .....	$-0.3V\sim AV_{DD}+0.3V$
$MUXOUT(-)\sim AGND$ .....	$-0.3V\sim AV_{DD}+0.3V$
$ADCIN(+)$ 、 $ADCIN(-)\sim AGND$ ..	$-0.3V\sim AV_{DD}+0.3V$
PI電圧 $\sim AGND$ .....	$-0.3V\sim AV_{DD}+0.3V$
デジタル入力電圧 $\sim DGND$ .....	$-0.3V\sim AV_{DD}+0.3V$
デジタル出力電圧 $\sim DGND$ .....	$-0.3V\sim AV_{DD}+0.3V$

動作温度範囲.....	$-40\sim +105^\circ\text{C}$
保管温度範囲.....	$-65\sim +150^\circ\text{C}$
接合温度.....	$150^\circ\text{C}$
TSSOPパッケージ、ワット損.....	660mW
$\theta_{JA}$ 熱インピーダンス.....	$97.9^\circ\text{C}/\text{W}$
ピン温度、ハンダ付け	
気相 (60秒).....	$215^\circ\text{C}$
赤外線 (15秒).....	$220^\circ\text{C}$

\* 上記の絶対最大定格リストを超えるストレスを加えると、デバイスに永久的な損傷を与えることがあります。この定格はストレス定格のみを規定するものであり、これらの規定値あるいはこの仕様書の動作セクションに記載した規定値を超える条件で、デバイスが機能的に動作することを意味するものではありません。長期間にわたって絶対最大定格条件で放置すると、デバイスの信頼性に影響を与えるおそれがあります。

## オーダー・ガイド

モデル	温度範囲	パッケージ	パッケージ・オプション
AD7738BRU	$-40\sim +105^\circ\text{C}$	TSSOP 28	RU-28

## 注意

ESD (静電放電) の影響を受けやすいデバイスです。人体や試験機器には4,000Vもの高圧の静電気が容易に蓄積され、検知されないまま放電されます。AD7738は当社独自のESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。

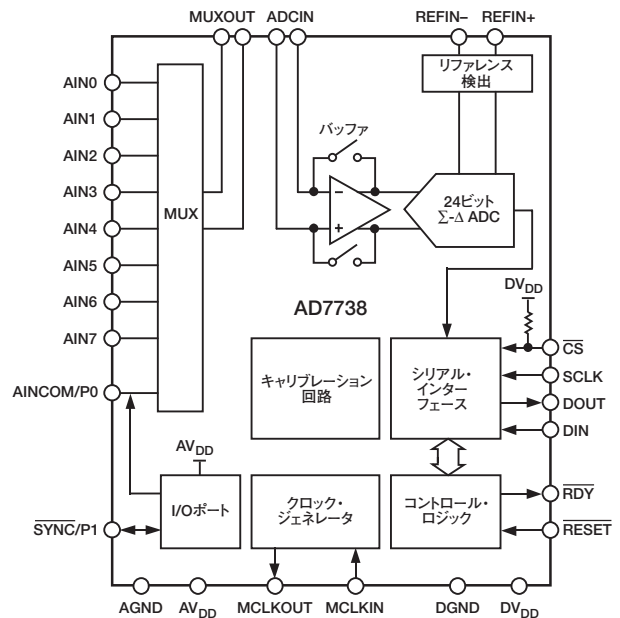
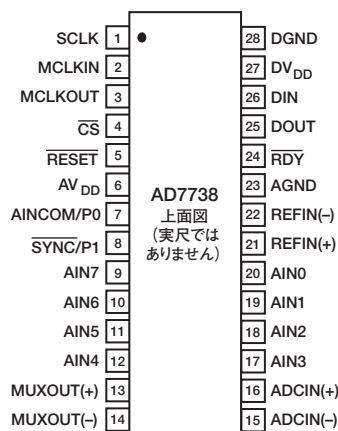


図4. ブロック図

## ピン配置



## ピン機能の説明

ピン番号	記号	ピンの説明
1	SCLK	シリアル・クロック シュミット・トリガー・ロジック入力。この端子に外部シリアル・クロックを入力して、AD7738はシリアル・データを通信します。
2	MCLKIN	ADCのマスター・クロック信号 水晶発振子／共振子または外部クロックが使用できます。水晶発振子／共振子は、MCLKINピンとMCLKOUTピン間に接続できます。あるいは、MCLKINピンをCMOS互換のクロックで駆動し、MCLKOUTピンを未接続にしておくことも可能です。
3	MCLKOUT	デバイスのマスター・クロックが水晶発振子／共振子のとき、水晶発振子／共振子はMCLKINとMCLKOUTの間に接続されます。MCLKINに外部クロックが入力される場合は、MCLKOUTは反転クロック信号を出すか、MCLKOUTをオフに切り替えてデバイスの消費電力を下げるすることができます。MCLKOUTは、CMOS負荷を1つ駆動できます。
4	$\overline{\text{CS}}$	チップ・セレクト 内部プルアップ抵抗を備えたアクティブ・ローのシュミット・トリガー・ロジック入力。この入力にローで配線接続されていると、AD7738はSCLK、DIN、DOUTを使用して、3線式インターフェース・モードで動作できます。 $\overline{\text{CS}}$ を使用すれば、シリアル・バス上に複数のデバイスを接続したシステムでデバイスを選択できます。また、8ビットのフレーム同期信号としても使用できます。
5	$\overline{\text{RESET}}$	シュミット・トリガー・ロジック入力 アクティブ・ロー入力で、デバイスのコントロール・ロジック、インターフェース・ロジック、デジタル・フィルタ、アナログ・モジュレータをリセットし、すべての内蔵レジスタを電源オン状態にします。 $\overline{\text{RESET}}$ ピンを使用すれば、クロック発振器以外のデバイス上のほぼすべての機能がリセットされます。
6	AV <sub>DD</sub>	アナログ正電源電圧 5V～AGNDノミナル。
7	AINCOM/P0	アナログ入力コモン端子／デジタル出力 このピンはP0 Dirビットによって決まり、I/Oポート・レジスタにP0ビットとしてデジタル値を書き込むことができます。デジタル電圧はアナログ電源を基準とします。入力に設定されたとき (P0 Dirビットを1にセット)、シングルエンド・アナログ入力0～7はこのピンの電圧レベルを基準にすることができます。
8	$\overline{\text{SYNC}}/\text{P1}$	$\overline{\text{SYNC}}$ ／デジタル入力／デジタル出力 ピン方向はP1 Dirビットによって決まります。I/Oポート・レジスタにP1ビットとしてデジタル値を読み出したり、書き込むことができます。I/Oポート・レジスタのSYNCイネーブル・ビットを1にセットすると、 $\overline{\text{SYNC}}/\text{P1}$ ピンを使用して、AD7738モジュレータとデジタル・フィルタをシステム内の他のデバイスと同期させることができます。デジタル電圧は、アナログ電源を基準とします。入力に設定するときは、このピンをハイレベルかローレベルに固定してください。
9～12、17～20	AIN0～AIN7	アナログ入力
13	MUXOUT (+)	アナログ・マルチプレクサ正出力
14	MUXOUT (-)	アナログ・マルチプレクサ負出力

# AD7738

## ピン機能の説明（続き）

ピン番号	記号	ピンの説明
15	ADCIN (-)	ADC負入力 通常の回路構成では、このピンをMUXOUT-ピンに接続してください。
16	ADCIN (+)	ADC正入力 通常の回路構成では、このピンをMUXOUT+ピンに接続してください。
21	REFIN (+)	差動リファレンス入力の正端子 REFIN+電位は、 $AV_{DD}$ ~AGNDの間の任意の値をとることができます。通常の回路構成では、このピンを2.5Vリファレンス電圧に接続してください。
22	REFIN (-)	差動リファレンス入力の負端子 REFIN-電位は、 $AV_{DD}$ ~AGNDの間の任意の値をとることができます。通常の回路構成では、このピンを0Vリファレンス電圧に接続してください。
23	AGND	アナログ回路のグラウンド・リファレンス・ポイント
24	$\overline{RDY}$	ロジック出力 変換モードとキャリブレーション・モードの両方でステータス出力として使用します。変換モードでは、この出力での立ち下がりエッジが、I/Oポート・レジスタのRDY機能ビットに基づいて、いずれかのチャンネルまたはすべてのチャンネルに未読データがあることを示します。キャリブレーション・モードでは、この出力での立ち下がりエッジがキャリブレーションの完了を示します。詳細については、このデータシート後のセクションにあるデジタル・インターフェースの説明を参照してください。
25	DOUT	デバイスの出力シフト・レジスタからシリアル・データを読み出すシリアル・データ出力 この出力シフト・レジスタには、通信レジスタのアドレス・ビットに応じて、任意のAD7738レジスタからの情報を格納できます。
26	DIN	デバイスの入力シフト・レジスタにシリアル・データを書き込むシリアル・データ入力（シュミット・トリガー） この入力シフト・レジスタからデータは、通信レジスタのアドレス・ビットに応じて、任意のAD7738レジスタに転送されます。
27	DV <sub>DD</sub>	デジタル電源電圧 3Vまたは5Vノミナル
28	DGND	デジタル回路のグラウンド・リファレンス・ポイント



## 出力ノイズと分解能の仕様

AD7738はチョッピングをイネーブル/ディスエーブルにして動作できるので、スループット・レートとチャンネル・スイッチング時間を最適化するか、もしくはオフセット・ドリフト性能を最適化するようにADCをプログラムできます。出力レートとセトリング時間を選択するために、この2つの主要動作モードのノイズ表を以下に示します。

### チョッピングをイネーブル

最初のモードはAD7738のチョッピングをイネーブル (CHOP=1) にし、低い出力レートできわめて低いノイズ値を実現します。表I～IIIに、-3dB周波数と代表的な性能をそれぞれチャンネル変換時間または等価な出力データ・レートに比較して示します。表Iには、代表的な出力RMSノイズを示します。表IIには、RMSノイズに基づく代表的な実効分解能を示します。表IIIは、代表的な出力ピークtoピーク分解能で、6シグマ限界内でコード・フリッカーが生じない値を表しています。ピークtoピーク分解能は、RMSノイズではなくピークtoピーク・ノイズに基づいて計算しています。

これらの代表値は、アナログ入力電圧を0Vに設定し、MCLK=6.144MHzの連続変換モードで取得した4096個のデータ・サンプルから生成します。変換時間は、チャンネル変換時間レジスタによって選択します。

表I. 代表的な出力RMSノイズ ( $\mu\text{V}$ ) VS チョッピングをイネーブルにした変換時間および入力範囲

FW	変換時間 レジスタ	変換時間 ( $\mu\text{s}$ )	出力データ・ レート (Hz)	-3dB 周波数 (Hz)	入力範囲	
					$\pm 2.5\text{V}$ 、 $+2.5\text{V}$	$\pm 1.25\text{V}$ 、 $+1.25\text{V}$ 、 $\pm 625\text{mV}$ 、 $+625\text{mV}$
127	FFh	2686	372	194	1.8	1.1
46	A Eh	999	1001	521	3.0	1.8
17	91h	395	2534	1317	5.1	3.0
8	88h	207	4826	2510	8.1	4.5
4	84h	124	8074	4198	9.3	5.3
2	82h	82	12166	6326	17.0	10.6

表II. 代表的な実効分解能 (ビット) VS チョッピングをイネーブルにした変換時間および入力範囲

FW	変換時間 レジスタ	変換時間 ( $\mu\text{s}$ )	出力データ・ レート (Hz)	-3dB 周波数 (Hz)	入力範囲					
					$\pm 2.5\text{V}$	$+2.5\text{V}$	$\pm 1.25\text{V}$	$+1.25\text{V}$	$\pm 625\text{mV}$	$+625\text{mV}$
127	FFh	2686	372	194	21.4	20.4	21.1	20.1	20.1	19.1
46	A Eh	999	1001	521	20.6	19.6	20.4	19.4	19.4	18.4
17	91h	395	2534	1317	19.9	18.9	19.6	18.6	18.6	17.6
8	88h	207	4826	2510	19.2	18.2	19.0	18.0	18.0	17.0
4	84h	124	8074	4198	19.0	18.0	18.8	17.8	17.8	16.8
2	82h	82	12166	6326	18.1	17.1	17.8	16.8	16.8	15.8

表III. 代表的なピークtoピーク分解能 (ビット) VS チョッピングをイネーブルにした変換時間および入力範囲

FW	変換時間 レジスタ	変換時間 ( $\mu\text{s}$ )	出力データ・ レート (Hz)	-3dB 周波数 (Hz)	入力範囲					
					$\pm 2.5\text{V}$	$+2.5\text{V}$	$\pm 1.25\text{V}$	$+1.25\text{V}$	$\pm 625\text{mV}$	$+625\text{mV}$
127	FFh	2686	372	194	18.4	17.4	18.2	17.2	17.2	16.2
46	A Eh	999	1001	521	17.8	16.8	17.5	16.5	16.5	15.5
17	91h	395	2534	1317	16.8	15.8	16.7	15.7	15.7	14.7
8	88h	207	4826	2510	16.5	15.5	16.2	15.2	15.2	14.2
4	84h	124	8074	4198	16.0	15.0	16.0	15.0	15.0	14.0
2	82h	82	12166	6326	15.0	14.0	15.0	14.0	14.0	13.0

# AD7738

## チョッピングをディスエーブル

2番目のモードでは、AD7738はチョッピングをディスエーブル（CHOP=0）にし、高速の変換速度を実現しながら高い分解能を維持します。表IV～VIに、-3dB周波数と代表的な性能をそれぞれチャンネル変換時間または等価な出力データ・レートに比較して示します。表IVには、代表的な出力RMSノイズを示します。表Vには、RMSノイズに基づく代表的な実効分解能を示します。表VIは、代表的な出力ピークtoピーク分解能で、6シグマ限界内でコード・フリッカーが生じない値を表しています。ピークtoピーク分解能は、RMSノイズではなくピークtoピーク・ノイズに基づいて計算しています。

これらの代表値は、アナログ入力電圧を0Vに設定し、MCLK=6.144MHzの連続変換モードで取得した4096個のデータ・サンプルから生成します。変換時間は、チャンネル変換時間レジスタによって選択します。

表IV. 代表的な出力RMSノイズ (μV) VS チョッピングをディスエーブルにした変換時間および入力範囲

FW	変換時間 レジスタ	変換時間 (μs)	出力データ・ レート (Hz)	-3dB 周波数 (Hz)	入力範囲	
					±2.5V、+2.5V	±1.25V、+1.25V、±625mV、+625mV
127	7Fh	1357	737	671	2.7	1.5
92	5Ch	992	1008	917	3.0	1.8
35	23h	398	2511	2285	5.1	3.0
16	10h	200	4991	2510	7.5	4.5
9	9h	127	7847	7141	10.2	5.9
8	8h	117	8545	7776	11.4	6.5
3	3h	65	15398	14013	15.5	10.3

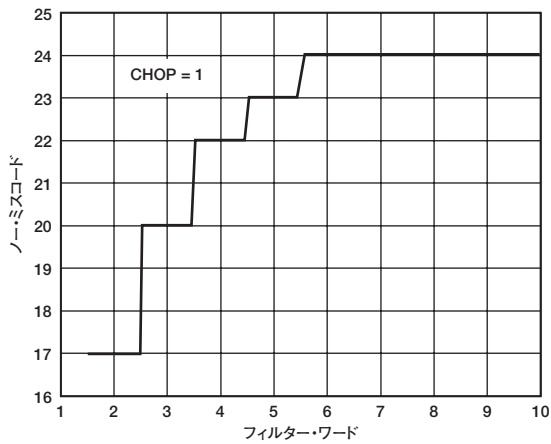
表V. 代表的なRMS分解能 (ビット) VS チョッピングをディスエーブルにした変換時間および入力範囲

FW	変換時間 レジスタ	変換時間 (μs)	出力データ・ レート (Hz)	-3dB 周波数 (Hz)	入力範囲					
					±2.5V	+2.5V	±1.25V	+1.25V	±625mV	+625mV
127	7Fh	1357	737	671	20.8	19.8	20.6	19.6	19.6	18.6
92	5Ch	992	1008	917	20.6	19.6	20.4	19.4	19.4	18.4
35	23h	398	2511	2285	19.9	18.9	19.6	18.6	18.6	17.6
16	10h	200	4991	2510	19.3	18.3	19.0	18.0	18.0	17.0
9	9h	127	7847	7141	18.9	17.9	18.7	17.7	17.7	16.7
8	8h	117	8545	7776	18.7	17.7	18.5	17.5	17.5	16.5
3	3h	65	15398	14013	18.0	16.7	17.8	17.1	17.1	16.1

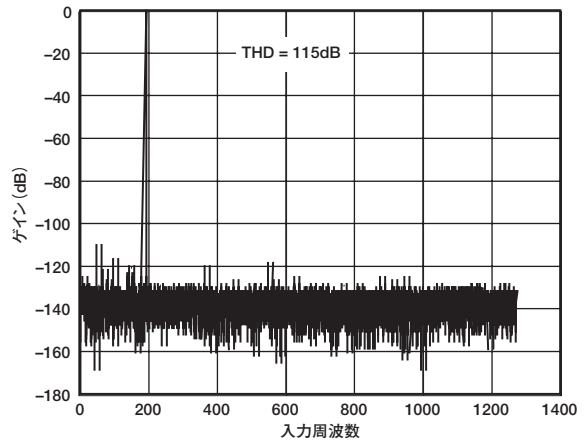
表VI. 代表的なピークtoピーク分解能 (ビット) VS チョッピングをディスエーブルにした変換時間および入力範囲

FW	変換時間 レジスタ	変換時間 (μs)	出力データ・ レート (Hz)	-3dB 周波数 (Hz)	入力範囲					
					±2.5V	+2.5V	±1.25V	+1.25V	±625mV	+625mV
127	7Fh	1357	737	671	17.9	16.9	17.8	16.8	16.8	15.8
92	5Ch	992	1008	917	17.8	16.8	17.4	16.4	16.4	15.4
35	23h	398	2511	2285	17.0	16.0	16.8	15.8	15.8	14.8
16	10h	200	4991	2510	16.3	15.3	16.2	15.2	15.2	14.2
9	9h	127	7847	7141	16.1	15.1	15.9	14.9	14.9	13.9
8	8h	117	8545	7776	16.0	15.0	15.7	14.7	14.7	13.7
3	3h	65	15398	14013	15.0	14.0	14.8	13.8	13.8	12.8

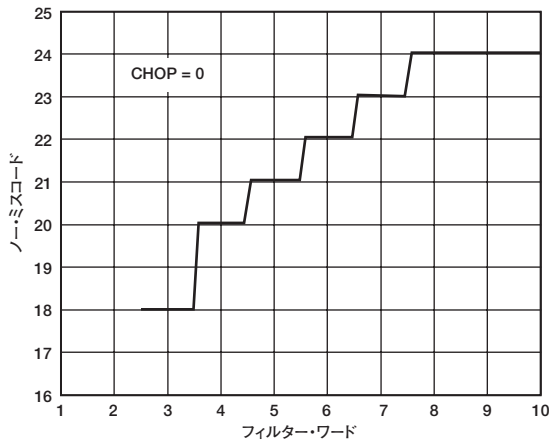
## 代表的な性能特性 — AD7738



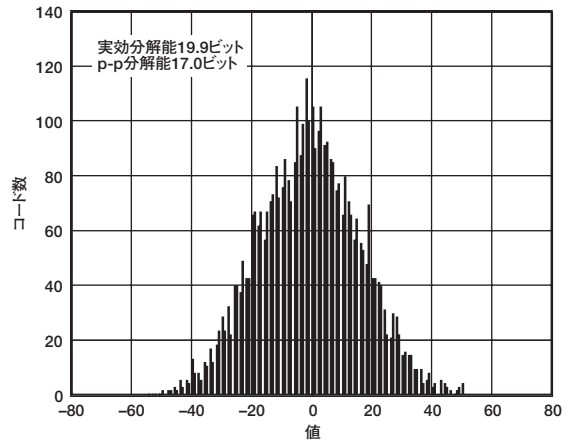
TPC 1. チョッピングをイネーブルにしたときのノイズスコード性能



TPC 3. チョッピングをイネーブルにしたときの代表的なFFTプロット (入力サイン波 183Hz、1.2Vピーク、範囲±1.25V、変換時間394 $\mu$ s)



TPC 2. チョッピングをディスエーブルにしたときのノイズスコード性能



TPC 4. チョッピングをイネーブルにしたときの代表的なヒストグラム (アナログ入力短絡、範囲±2.5V、変換時間394 $\mu$ s.)

# AD7738

表VII. レジスタの概要

レジスタ	アドレス	Dir	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
レジスタ	16進		デフォルト値							
通信	00	W	0	R/W	6ビットのレジスタ・アドレス					
I/Oポート	01	R/W	P0	P1	P0 DIR	P1 DIR	RDY FN	0	0	SYNC
			P0ピン	P1ピン	1	1	0	0	0	0
レビジョン	02	R	チップ・レビジョン・コード				チップ・ジェネリック・コード			
			x	x	x	x	0	0	0	1
テスト	03	R/W	24ビットの製造テスト・レジスタ							
ADCステータス	04	R	RDY7	RDY6	RDY5	RDY4	RDY3	RDY2	RDY1	RDY0
			0	0	0	0	0	0	0	0
チェックサム	05	R/W	16ビットのチェックサム・レジスタ							
ADC ZS キャリブレーション	06	R/W	24ビットのADCゼロスケール・キャリブレーション・レジスタ							
			800000h							
ADC FS	07	R/W	24ビットのADCフルスケール・レジスタ							
			800000h							
チャンネル・データ <sup>1</sup>	08~0F	R	16/24ビットのデータ・レジスタ							
			8000h							
チャンネルZS キャリブレーション <sup>1</sup>	10~17	R/W	24ビットのチャンネル・ゼロスケール・キャリブレーション・レジスタ							
			800000h							
チャンネルFS キャリブレーション <sup>1</sup>	18~1F	R/W	24ビットのチャンネル・フルスケール・キャリブレーション・レジスタ							
			200000h							
チャンネル・ ステータス <sup>1</sup>	20~27	R	CH2	CH1	CH0	0/P0	RDY/P1	NOREF	SIGN	OVR
			チャンネル番号			0	0	0	0	0
チャンネル・ セットアップ <sup>1</sup>	28~2F	R/W	BUF OFF	COM1	COM0	Stat. Opt.	ENABLE	RNG2	RNG1	RNG0
			0	0	0	0	0	0	0	0
チャンネル変換時間 <sup>1</sup>	30~37	R/W	CHOP	FW (7ビット・フィルター・ワード)						
			1	11h						
モード <sup>2</sup>	38~3F	R/W	MD2	MD1	MD0	CLKDIS	DUMP	Cont. RD	24/16ビット	CLAMP
			0	0	0	0	0	0	0	0

注

<sup>1</sup> レジスタ・アドレスの3つのLSB、つまり、通信レジスタのビット2、ビット1、ビット0で、アクセスされるレジスタのチャンネル番号を指定します。

<sup>2</sup> モード・レジスタは1つしかありませんが、8つのアドレス位置の1つでモード・レジスタにアクセスできます。モード・レジスタの書き込みに使用するアドレスで、モードが適用されるADCチャンネルを指定します。モード・レジスタからの読み出しには、アドレス38hだけを使用します。

表VIII. 動作モードの概要

MD2	MD1	MD0	モード
0	0	0	アイドル・モード
0	0	1	連続変換モード
0	1	0	シングル変換モード
0	1	1	パワーダウン (スタンバイ) モード
1	0	0	ADCゼロスケール・セルフ・キャリブレーション
1	0	1	現在は未使用
1	1	0	チャンネル・ゼロスケール・システム・キャリブレーション
1	1	1	チャンネル・フルスケール・システム・キャリブレーション

表IX. 入力範囲の概要

RNG2	RNG1	RNG0	ノミナル入力電圧範囲
1	0	0	±2.5V
1	0	1	0~+2.5V
0	0	0	±1.25V
0	0	1	0~+1.25V
0	1	0	±0.625V
0	1	1	0~+0.625V

## レジスタの説明

AD7738は一連のレジスタを通じて構成できます。AD7738全体の機能を構成/制御するレジスタや、各チャンネルに専用のレジスタがあります。レジスタのデータ幅は8~24ビットです。すべてのレジスタは、通信レジスタからアクセスします。つまり、AD7738への通信を始めるには、まず通信レジスタに書き込み、その後読み書きするレジスタを指定する必要があります。

### 通信レジスタ

8ビット、書き込み専用レジスタ、アドレス00h

AD7738へのすべての通信は、通信レジスタへの書き込み動作から始まります。その後の動作が読み出し書き込みか、そしてどのレジスタでそれを行うかは、通信レジスタに書き込まれたデータによって決まります。デジタル・インターフェースのデフォルトでは、電源投入後、リセット後、また選択したレジスタへの読み書き動作の完了後に、通信レジスタへの書き込み動作を待ちます。インターフェース・シーケンスが失われた場合には、DINハイと $\overline{CS}$ ローで少なくとも32シリアル・クロック・サイクルの書き込みによってAD7738をリセットできます（なお、この場合には、モジュレータ、フィルター、インターフェース、およびすべてのレジスタを含め、AD7738の全体がリセットされます）。連続読み出しモードの場合、あるいはモード・レジスタのDUMPビットと「24/16」ビットをセットした場合、32以上のビットを読み出すときには、DINをローレベルに保持するようにしてください。

ビット	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
記号	0	R/ $\overline{W}$	6ビットのレジスタ・アドレス					

ビット	記号	説明
7	0	正しい動作を行うために、このビットをゼロにする必要があります。
6	R/ $\overline{W}$	このビットがゼロであれば、次の動作は指定されたレジスタへの書き込みです。 このビットが1であれば、次の動作は指定されたレジスタからの読み出しです。
5~0	Address	読み書き動作を行うレジスタを指定するアドレス チャンネル専用のレジスタでは、ビット2、ビット1、ビット0の3つのLSBでチャンネル番号を指定します。引き続きモード・レジスタへの書き込みが行われる場合は、この3つのLSBでモード・レジスタ値でチャンネルを選択し、動作を指定します。表Xを参照。 (アナログ入力の構成は、チャンネル・セットアップ・レジスタのCOM1とCOM0のビットによります。)

表X.

ビット2	ビット1	ビット0	チャンネル	単一入力	差動入力
0	0	0	0	AIN0	AIN0-AIN1
0	0	1	1	AIN1	AIN2-AIN3
0	1	0	2	AIN2	AIN4-AIN5
0	1	1	3	AIN3	AIN6-AIN7
1	0	0	4	AIN4	AIN0-AIN1
1	0	1	5	AIN5	AIN2-AIN3
1	1	0	6	AIN6	AIN4-AIN5
1	1	1	7	AIN7	AIN6-AIN7

# AD7738

## I/Oポート・レジスタ

8ビット、リード/ライト・レジスタ、アドレス01h、デフォルト値30h+デジタル入力値×40h

このレジスタのビットを使用して、AD7738のデジタルI/Oピンの構成/アクセスを行います。

ビット	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
記号	P0	P1	P0 DIR	P1 DIR	RDY FN	0	0	SYNC
デフォルト	P0ピン	P1ピン	1	1	0	0	0	0

ビット	記号	説明
7	P0	AINCOM/P0ピンがデジタル出力として設定されているとき、P0ビットでピンの出力値を定義します。
6	P1	P1ピンが出力として設定されているとき、P1ビットでピンの出力値を定義します。P1ピンが入力の場合は、P1ビットはピンの現在の入力レベルを表します。
5	P0 DIR	1に設定すると、AINCOM/P0ピンはアナログ入力として設定されます。0に設定すると、AINCOM/P0ピンはデジタル出力になります。
4	P1 DIR	このビットで、P1ピンの設定を入力とするか出力とするかを決めます。1に設定すると、P1ピンはデジタル入力になります。0にリセットされると、デジタル出力になります。
3	RDY FN	このビットを使用して、AD7738のRDYピンの機能を制御します。このビットを0にリセットすると、いずれかのチャンネルに未読データがある場合に、RDYピンがローレベルになります。このビットを1に設定すると、イネーブルになっているチャンネルすべてに未読データがある場合にだけ、RDYピンがローレベルになります。
2、1	0	正しい動作を行うために、これらのビットをゼロにする必要があります。
0	SYNC	このビットでSYNCピンの機能をイネーブルにします。このビットのデフォルトは0で、SYNC/P1をデジタルI/Oピンとして使用できます。SYNC ENビットを1に設定すると、SYNCピンを使用して、AD7738モジュレータとデジタル・フィルターをシステム内の他のデバイスと同期させることができます。

## レビジョン・レジスタ

8ビット、読み出し専用レジスタ、アドレス02h、デフォルト値01h+チップ・レビジョン×10h

ビット	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
記号	チップ・レビジョン・コード				チップ・ジェネリック・コード			
デフォルト	x	x	x	x	0	0	0	1

ビット	記号	説明
7~4	チップ・レビジョン・コード	4ビットのファクトリ・チップ・レビジョン・コード AD7738では、これらのビットは01hとして読み出されます。
3~0	チップ・ジェネリック・コード	

## テスト・レジスタ

24ビット、リード/ライト・レジスタ、アドレス03h

このレジスタは、製造工程でデバイスのテストに使用します。ユーザーは、このレジスタのデフォルト設定を変更しないでください。

## ADCステータス・レジスタ

8ビット、読み出し専用レジスタ、アドレス04h、デフォルト値00h

変換モードで、このレジスタのビットは個々のチャンネル・ステータスを表します。変換が完了すると、対応するチャンネル・データ・レジスタが更新され、対応するRDYビットが1に設定されます。チャンネル・データ・レジスタが読み出されると、対応するビットが0にリセットされます。読み出し動作が行われず、次の変換の結果がチャンネル・データ・レジスタに更新されているときも、ビットは0にリセットされます。モード・レジスタへの書き込みにより、すべてのビットが0にリセットされます。

キャリブレーション・モードでは、キャリブレーションの実行中にすべてのレジスタ・ビットが0にリセットされ、キャリブレーションが完了するとすべてのビットが1に設定されます。

RDYピンの出力は、I/Oポート・レジスタのRDY機能ビットで定義されたADCステータス・レジスタの内容に関係します。

ビット	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
記号	RDY7	RDY6	RDY5	RDY4	RDY3	RDY2	RDY1	RDY0
デフォルト	0	0	0	0	0	0	0	0

RDY0ビットはチャンネル0に対応し、RDY1ビットはチャンネル1に対応します（以下同様）。

**チェックサム・レジスタ**

16ビット、リード/ライト・レジスタ、アドレス05h

このレジスタについては、『AD7732/34/38チェックサム・レジスタ』テクニカル・ノートを参照してください。

**ADCゼロスケール・キャリブレーション・レジスタ**

24ビット、リード/ライト・レジスタ、アドレス06h、デフォルト値800000h

このレジスタは、ADCゼロスケール・キャリブレーション係数を保持します。このレジスタの値に、ADCフルスケール・キャリブレーション・レジスタと対応するチャンネル・ゼロスケールおよびチャンネル・フルスケールのキャリブレーション・レジスタの値を組み合わせ使用し、すべてのチャンネルの変換結果をデジタルでスケールリングします。このレジスタの値は、ADCゼロスケールADCセルフ・キャリブレーションの実行後に自動的に更新されます。このレジスタへの書き込みは、アイドル・モードでのみ可能です。詳細については、キャリブレーションの説明を参照してください。

**ADCフルスケール・レジスタ**

24ビット、リード/ライト・レジスタ、アドレス07h、デフォルト値800000h

このレジスタは、ADCフルスケール係数を保持します。ユーザーは、このレジスタのデフォルト設定を変更しないでください。

**チャンネル・データ・レジスタ**

16/24ビット、読み出し専用レジスタ、アドレス08h~0Fh、デフォルト幅16ビット、デフォルト値8000h

これらのレジスタに、各アナログ入力チャンネルに対応する最新の変換結果があります。16ビットか24ビットのデータ幅を構成するには、モード・レジスタの「16/24」ビットを設定します。結果が更新されると、チャンネル・ステータス・レジスタの関連するRDYビットがハイレベルになります。データ・レジスタの読み出しが始まると、RDYビットはローレベルに戻ります。RDYピンの構成により、いずれかのチャンネルに未読データがあることを示したり、イネーブルになっているすべてのチャンネルに未読データがあるまで待ちます。新しい結果に更新されるときに、チャンネル・データ・レジスタの読み出し動作が実行中の場合は、データ・レジスタは更新されません。これは、データの破壊を防止するためです。ステータス・レジスタの読み出しは、ダンプ・モードでのデータ・レジスタの読み出しに関連付けることができます。ステータス・レジスタの読み出しは、常に連続読み出しモードでのデータ・レジスタの読み出しに関連付けられています。詳細については、デジタル・インターフェースの説明を参照してください。

**チャンネル・ゼロスケール・キャリブレーション・レジスタ**

24ビット、リード/ライト・レジスタ、アドレス10h~17h、デフォルト値800000h

これらのレジスタは、特定チャンネルのゼロスケール・キャリブレーション係数を保持します。これらのレジスタの値に、対応するチャンネル・フルスケール・キャリブレーション・レジスタ、ADCゼロスケール・キャリブレーション・レジスタ、ADCフルスケール・キャリブレーション・レジスタの値を組み合わせ使用し、特定チャンネルの変換結果をデジタルでスケールリングします。このレジスタの値は、チャンネル・ゼロスケール・システム・キャリブレーションの実行後に自動的に更新されます。

チャンネル・ゼロスケール・キャリブレーション・レジスタのフォーマットは、符号ビットと22ビットの符号なしの値です。

このレジスタへの書き込みは、アイドル・モードでのみ可能です。詳細については、キャリブレーションの説明を参照してください。

**チャンネル・フルスケール・キャリブレーション・レジスタ**

24ビット、リード/ライト・レジスタ、アドレス18h~1Fh、デフォルト値200000h

これらのレジスタは、特定チャンネルのフルスケール・キャリブレーション係数を保持します。これらのレジスタの値に、対応するチャンネル・ゼロスケール・キャリブレーション・レジスタ、ADCゼロスケール・キャリブレーション・レジスタ、ADCフルスケール・キャリブレーション・レジスタの値を組み合わせ使用し、特定チャンネルの変換結果をデジタルでスケールリングします。このレジスタの値は、チャンネル・フルスケール・システム・キャリブレーションの実行後に自動的に更新されます。このレジスタへの書き込みはアイドル・モードでのみ可能です。詳細については、キャリブレーションの説明を参照してください。

# AD7738

## チャンネル・ステータス・レジスタ

8ビット、読み出し専用レジスタ、アドレス20h~27h、デフォルト値20h×チャンネル番号

これらのレジスタには、個々のチャンネル・ステータス情報と一般的なAD7738ステータス情報の一部が含まれています。ステータス・レジスタの読み出しは、ダンプ・モードでのデータ・レジスタの読み出しに関連付けることができますが、常に連続読み出しモードでのデータ・レジスタの読み出しに関連しています。詳細については、デジタル・インターフェースの説明のセクションを参照してください。

ビット	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
記号	CH2	CH1	CH0	O/P0	RDY/P1	NOREF	SIGN	OVR
デフォルト	チャンネル番号			0	0	0	0	0

ビット	記号	説明
7~5	CH2~CH0	これらのビットはチャンネル番号を反映します。これによって、現在のチャンネルの識別が可能になるとともに、ダンプ・モードと連続読み出しモードでの操作が容易になります。
4	O/P0	対応するチャンネル・セットアップ・レジスタのステータス・オプション・ビットが0にリセットされると、このビットがゼロとして読み出されます。ステータス・オプション・ビットが1に設定されていると、このビットはP0出力ピンの状態を反映します。
3	RDY/P1	対応するチャンネル・セットアップ・レジスタのステータス・オプション・ビットが0にリセットされると、このビットがADCステータス・レジスタの選択されたチャンネルRDYビットを反映します。ステータス・オプション・ビットが1に設定されていると、このビットはP1ピンの状態（入/出力としての構成）を反映します。
2	NOREF	このビットはリファレンス入力ステータスを示します。REFIN+ピンとREFIN-ピンの間の電圧がNOREFトリガー電圧より低いと、NOREFビットは1になります。
1	SIGN	アナログ入力の電圧極性 正電圧では0、負電圧では1になります。
0	OVR	このビットは、アナログ入力のオーバーレンジ/アンダーレンジを反映します。アナログ入力電圧がノミナル電圧範囲を超えるか下回るかすると、このビットが1に設定されます。アナログ入力の拡張電圧範囲のセクションを参照してください。



## チャンネル・セットアップ・レジスタ

8ビット、リード/ライト・レジスタ、アドレス28h~2Fh、デフォルト値00h

これらのレジスタは、選択したチャンネルとその入力電圧範囲を設定し、対応するチャンネル・ステータス・レジスタをセットアップするために使用されます。

ビット	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
記号	BUF OFF	COM1	COM0	Stat. Opt.	ENABLE	RNG2	RNG1	RNG0
デフォルト	0	0	0	0	0	0	0	0

ビット	記号	説明
7	BUF OFF	バッファ・オフ 0にリセットされた場合には、内部バッファがイネーブルになります。内部バッファをイネーブルにした状態でのみ動作させることを推奨します。
6、5	COM1、COM0	アナログ入力設定 表XIを参照。
4	Stat. Opt.	ステータス・オプション このビットを1に設定すると、ステータス・チャンネル・レジスタのP1ビットがP1ピンの状態を反映します。このビットが0にリセットされると、ステータス・チャンネル・レジスタのP1ビットはADCステータス・レジスタのRDYビットに対応するチャンネルを反映します。
3	ENABLE	チャンネル・イネーブル このビットを1に設定すると、連続変換モードでチャンネルがイネーブルになります。シングル変換は、このビット値とは無関係に行われます。
2~0	RNG2~0	チャンネル入力電圧範囲 表XIIを参照。

表XI.

チャンネル	COM1	COM0	COM1	COM0
	0	0	1	1
0	AIN0-AINCOM		AIN0-AIN1	
1	AIN1-AINCOM		AIN2-AIN3	
2	AIN2-AINCOM		AIN4-AIN5	
3	AIN3-AINCOM		AIN6-AIN7	
4	AIN4-AINCOM		AIN0-AIN1	
5	AIN5-AINCOM		AIN2-AIN3	
6	AIN6-AINCOM		AIN4-AIN5	
7	AIN7-AINCOM		AIN6-AIN7	

表XII.

RNG2	RNG1	RNG0	ノミナル入力電圧範囲
1	0	0	±2.5V
1	0	1	0~+2.5V
0	0	0	±1.25V
0	0	1	0~+1.25V
0	1	0	±0.625V
0	1	1	0~+0.625V

## チャンネル変換時間レジスタ

8ビット、リード/ライト・レジスタ、アドレス30h~37h、デフォルト値91h

変換時間レジスタは、チョッピングをイネーブル/ディスエーブルし、特定チャンネルのデジタル・フィルタを設定します。

このレジスタ値により、ADCの変換時間、周波数応答、ノイズ性能が変化します。

ビット	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
記号	CHOP	FW (7ビットのフィルタ・ワード)						
デフォルト	1	11h						

ビット	記号	説明
7	CHOP	チョップ・イネーブル・ビット 1に設定すると、特定のチャンネルをチョッピング・モードにします。
6~0	FW	<p>CHOP=1、1本のチャンネルをイネーブルにした状態でのシングル変換または連続変換 変換時間 (μs) = (FW×128+248) / MCLK周波数 (MHz)、FWは2~127の範囲。</p> <p>CHOP=1、複数のチャンネルをイネーブルにした状態での連続変換 変換時間 (μs) = (FW×128+249) / MCLK周波数 (MHz)、FWは2~127の範囲。</p> <p>CHOP=0、1本のチャンネルをイネーブルにした状態でのシングル変換または連続変換 変換時間 (μs) = (FW×64+206) / MCLK周波数 (MHz)、FWは3~127の範囲。</p> <p>CHOP=0、複数のチャンネルをイネーブルにした状態でのシングル変換または連続変換 変換時間 (μs) = (FW×64+207) / MCLK周波数 (MHz)、FWは3~127の範囲。</p>

# AD7738

## モード・レジスタ

8ビットのリード/ライト・レジスタ、アドレス38h~3Fh、デフォルト値00h

モード・レジスタは、AD7738を設定し、その動作モードを決定します。モード・レジスタへの書き込みによって、ADCステータス・レジスタがクリアされ、RDYピンがロジック・ハイレベルに設定され、現在の動作がすべて終了し、モード・ビットによって指定されたモードが開始されます。

AD7738には、1本のモード・レジスタしかありません。MD2~MD0ビットによって決定される動作を行うチャンネルを選択するには、モード・レジスタの書き込みに使用されるアドレスの3つのLSBで指定します。モード・レジスタからの読み出しには、アドレス38hだけを使用します。

ビット	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
記号	MD2	MD1	MD0	CLKDIS	DUMP	CONT RD	24/16 BIT	CLAMP
デフォルト	0	0	0	0	0	0	0	0

ビット	記号	説明
7~5	MD2~MD0	モード・ビット この3つのビットで、AD7738の動作モードを決定します。モード・ビットに新しい値を書き込むと、デバイスは今まで動作していたモードを終了し、要求された新しいモードに直ちに切り替わります。モード・ビットの機能については、後で詳しく説明します。
4	CLKDIS	マスター・クロック出力ディセーブル このビットを1に設定すると、マスター・クロックがMCLKOUTピンに現れなくなり、MCLKOUTピンは高インピーダンス状態になります。これによって、節電機能としてMCLKOUTをオフにすることができます。MCLKINで外部クロックを使用すると、AD7738は内部クロックを保持し続け、CLKDISビットの状態とは無関係に通常の変換を行います。MCLKINピンとMCLKOUTピンを介して水晶発振器かセラミック共振器を使用すると、AD7738のクロックが停止し、CLKDISビットがアクティブのときに変換しません。SCLKピンを使用すれば、AD7738のデジタル・インターフェースにはアクセスできます。
3	DUMP	ダンプ・モード このビットが0にリセットされると、チャンネル・ステータス・レジスタとチャンネル・データ・レジスタは、別個にアドレス指定され、読み出されます。DUMPビットを1に設定すると、通信レジスタからステータス・レジスタやデータ・レジスタに対しアドレス指定が行われたかどうかに関係なく、チャンネル・ステータス・レジスタに続いて、チャンネル・データ・レジスタの読み出しが行われます。連続読み出しモード時は、DUMPビット値にかかわらず、常に「ダンプ・モード」になり、チャンネル・ステータス・レジスタとデータ・レジスタの読み出しになります。詳細については、デジタル・インターフェースの説明のセクションを参照してください。
2	CONT RD	このビットを1に設定すると、AD7738は連続読み出しモードで動作します。詳細については、デジタル・インターフェースの説明のセクションを参照してください。
1	24/16 BIT	チャンネル・データ・レジスタのデータ幅選択ビット 1に設定すると、チャンネル・データ・レジスタが24ビット幅になります。0に設定すると、チャンネル・データ・レジスタは16ビット幅になります。
0	CLAMP	アナログ入力電圧がノミナル入力電圧範囲を外れているとき、このビットでチャンネル・データ・レジスタの値を決定します。CLAMPビットを1に設定すると、アナログ入力電圧がノミナル入力電圧範囲を外れたときに、チャンネル・データ・レジスタがデジタルでオール0またはオール1にクランプされます。CLAMPビットが0にリセットされると、データ・レジスタは、ノミナル電圧範囲の外でも、アナログ入力電圧を反映します。アナログ入力の変圧電圧範囲のセクションを参照してください。

MD2	MD1	MD0	モード	モード・レジスタの書き込み指定に使用するアドレス
0	0	0	アイドル・モード	
0	0	1	連続変換モード	変換を開始する最初のチャンネル
0	1	0	シングル変換モード	変換するチャンネル
0	1	1	パワーダウン（スタンバイ）モード	
1	0	0	ADCゼロスケール・セルフ・キャリブレーション	ADCセルフ・キャリブレーションに使用するチャンネル変換時間
1	0	1	現在は未使用	
1	1	0	チャンネル・ゼロスケール・システム・キャリブレーション	キャリブレーションするチャンネル
1	1	1	チャンネル・フルスケール・システム・キャリブレーション	キャリブレーションするチャンネル

MD2	MD1	MD0	動作モード
0	0	0	<p>アイドル・モード</p> <p>電源オンまたはリセット後のデフォルト・モード。</p> <p>AD7738は、キャリブレーションやシングル変換の後で自動的にこのモードに戻ります。</p>
0	0	1	<p>連続変換モード</p> <p>AD7738は、指定されたチャンネルで変換を実行します。変換が完了した後、関連するチャンネル・データ・レジスタとチャンネル・ステータス・レジスタが更新され、ADCステータス・レジスタの関連するRDYビットがセットされ、イネーブルにされた次のチャンネルで変換を続行します。別のモードにするかリセットされるまで、AD7738は、イネーブルになっているチャンネルをすべて繰り返します。繰返し周期は、イネーブルのチャンネルのすべてについて、対応するチャンネル変換時間レジスタによって設定された変換時間を合計したものになります。</p>
0	1	0	<p>シングル変換モード</p> <p>AD7738は、指定されたチャンネルで変換を実行します。変換が完了した後、関連するチャンネル・データ・レジスタとチャンネル・ステータス・レジスタが更新され、ADCステータス・レジスタの関連するRDYビットがセットされ、<math>\overline{RDY}</math>ピンがローレベルになり、MD2、MD1、MD0のビットがリセットされ、AD7738がアイドル・モードに戻ります。シングル変換を要求すると、チャンネル・セットアップ・レジスタのイネーブル・ビットが無視され、そのチャンネルがデイスエーブルでも変換が実行されます。</p>
0	1	1	<p>パワーダウン（スタンバイ）モード</p> <p>ADCとアナログ・フロントエンド（内部バッファ）は、パワーダウン・モードになります。AD7738のデジタル・インターフェースにアクセスすることは可能です。CLKDISビットは別に機能し、MCLKOUTモードがパワーダウン（スタンバイ）モードによって影響されることはありません。</p>
1	0	0	<p>ADCゼロスケール・セルフ・キャリブレーション・モード</p> <p>ゼロスケール・セルフ・キャリブレーションは、内部的に短絡されたADC入力で行われます。キャリブレーションが完了した後、ADCゼロスケール・キャリブレーション・レジスタの内容が更新され、ADCステータス・レジスタのすべてのRDYビットがセットされ、<math>\overline{RDY}</math>ピンがローレベルになり、MD2、MD1、MD0のビットがリセットされ、AD7738はアイドル・モードに戻ります。</p>
1	0	1	現在は未使用
1	1	0	<p>チャンネル・ゼロスケール・システム・キャリブレーション・モード</p> <p>選択されたチャンネルでゼロスケール・システム・キャリブレーションが実行されます。AD7738のアナログ入力には、外部のシステム・ゼロスケール電圧を供給してください。キャリブレーションの実行中は、この電圧を安定させておきます。キャリブレーションが完了した後、対応するチャンネル・ゼロスケール・キャリブレーション・レジスタの内容が更新され、ADCステータス・レジスタのすべてのRDYビットがセットされ、<math>\overline{RDY}</math>ピンがローレベルになり、MD2、MD1、MD0のビットがリセットされ、AD7738はアイドル・モードに戻ります。</p>
1	1	1	<p>チャンネル・フルスケール・システム・キャリブレーション・モード</p> <p>選択されたチャンネルでフルスケール・システム・キャリブレーションが実行されます。AD7738のアナログ入力には、外部のシステム・フルスケール電圧を供給してください。キャリブレーションの実行中は、この電圧を安定させておきます。キャリブレーションが完了した後、対応するチャンネル・フルスケール・キャリブレーション・レジスタの内容が更新され、ADCステータス・レジスタのすべてのRDYビットがセットされ、<math>\overline{RDY}</math>ピンがローレベルになり、MD2、MD1、MD0のビットがリセットされ、AD7738はアイドル・モードに戻ります。</p>

# AD7738

## デジタル・インターフェースの説明

### ハードウェア

AD7738のシリアル・インターフェースによってホスト・デバイスに接続するには、いくつかの方法があります。

$\overline{CS}$ ピンを使用すれば、ホストのシリアル・インターフェースに接続される複数の回路の1つとして、AD7738を選択できます。 $\overline{CS}$ がハイレベルのとき、AD7738はSCLK信号とDIN信号を無視し、DOUTピンが高インピーダンス状態になります。 $\overline{CS}$ 信号を使用しないときは、 $\overline{CS}$ ピンをDGNDに接続します。

$\overline{RDY}$ ピンを使用して、ハイレベルからローレベルへの遷移がないかポーリングしたり、ホスト・デバイスの割り込み入力を駆動し、AD7738が選択された動作を完了したことや、AD7738からの新しいデータが使用可能であることを知らせることができます。ホスト・システムは、特定のコマンドがデバイスに書き込まれてから読み出しまでの間、指定された時間待機することも可能です。あるいは、AD7738のステータスをポーリングできます。 $\overline{RDY}$ ピンをシステムで使用しないときは、これを開回路にしておいてください。(なお、 $\overline{RDY}$ ピンは、常にアクティブのデジタル出力で、高インピーダンス状態にはなりません。)

$\overline{RESET}$ ピンを使用して、AD7738をリセットできます。このピンを使用しない場合は、 $DV_{DD}$ に接続します。

AD7738のインターフェースは、DINピンとDOUTピンで1本の双方向データ・ラインに接続し、2本のワイヤーにまで減らせます。この2線式構成の2番目の信号は、SCLK信号です。ホスト・システムでは、AD7738のタイミング仕様を基準にしてデータ・ラインの方向を変更してください(タイミング特性の

バス解放時間を参照)。AD7738は、2線式シリアル・インターフェース構成の場合、連続読み出しモードで動作しません。

すべてのデジタル・インターフェース入力はシュミット・トリガーされます。したがって、AD7738のインターフェースには優れた耐ノイズ性があり、フォトカプラによってホスト・システムからの絶縁が簡単にできます。

図5に、いくつかのホスト・デバイス・インターフェースを示します。(a)が $\overline{CS}$ 信号を使用しないSPI、(b)がDSPインターフェース、(c)が2線式構成です。

### リセット

AD7738をリセットするには、 $\overline{RESET}$ ピンを使用するか、AD7738のシリアル・インターフェースにリセット・シーケンスを書き込みます。リセット・シーケンスは $N \times "0" + 32 \times "1"$ であり、バイト指向のインターフェースでは、データ・シーケンス00h+FFh+FFh+FFh+FFh+FFhとすることができます。AD7738は、2Vのトリップ・ポイントによる電源オン・リセット機能も備えており、電源投入後に定義されたデフォルト状態になります。

AD7738への不要な書き込み動作を防止することは、システム設計者の仕事です。 $\overline{CS}$ ピンがローレベルのときにSCLKにスプリアス・クロックが現れると、不要な書き込み動作が行われることがあります。システムの電源投入時に、AD7738のインターフェース信号がフロート状態か未定義になっていると、AD7738が意図せずに未知の状態に構成される可能性があります。システム構成の最初のステップとして、HWリセット・イベントまたは32“1”のリセット・シーケンスを開始することによって、これを簡単に防ぐことができます。

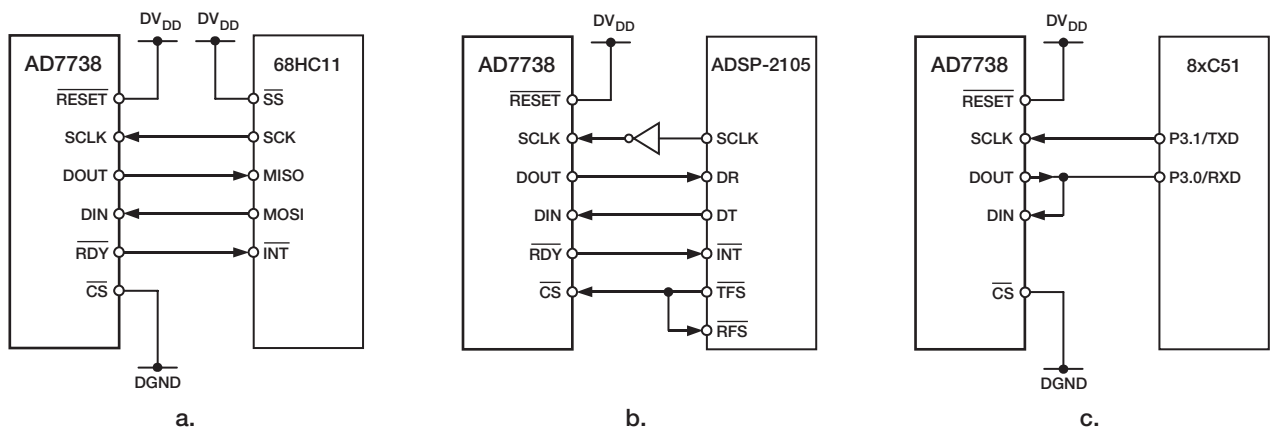


図5. AD7738からホスト・デバイスへのインターフェース

### AD7738レジスタへのアクセス

AD7738へのすべての通信は、通信レジスタへの書き込み動作で始まり、アドレス指定されたレジスタへの読み書きがそれに続きます。

同時読み書きインターフェース (SPIなど) では、データを読み出しながら、AD7738に「0」を書き込みます。

図6には、ADCステータス・レジスタに対するAD7738インターフェースの読み出しシーケンスを示します。

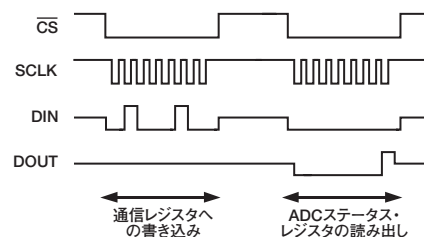


図6. シリアル・インターフェース信号 — レジスタ・アクセス

## シングル変換とデータ読み出し

モード・レジスタが書き込まれているとき、ADCステータス・バイトがクリアされ、 $\overline{\text{RDY}}$ ピンが以前の状態とは無関係にハイレベルになります。モード・レジスタにシングル変換コマンドが書き込まれると、ADCは、モード・レジスタのアドレスで選択したチャンネルで変換を開始します。変換が完了すると、データ・レジスタが更新され、モード・レジスタがアイドル・モードに変更され、関連するRDYビットがセットされ、 $\overline{\text{RDY}}$ ピンがローレベルになります。関連するチャンネル・データ・レジスタが読み出されているときは、RDYビットがリセットされ、RDYピンはハイレベルに戻ります。

図7に、チャンネル0でシングル変換を実行し、 $\overline{\text{RDY}}$ ピンがローレベルになるのを待ち、チャンネル0のデータ・レジスタを読み出しているデジタル・インターフェース信号を示します。

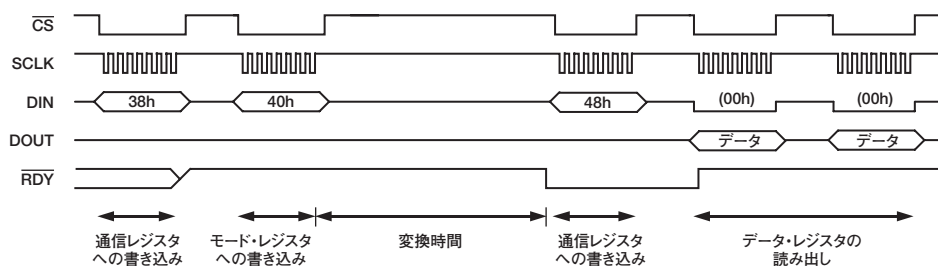


図7. シリアル・インターフェース信号 — シングル変換コマンドと16ビットのデータ読み出し

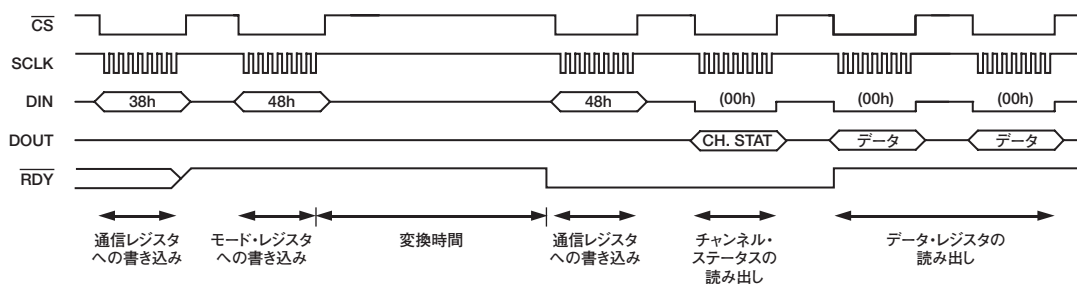


図8. シリアル・インターフェース信号 — シングル変換コマンド、16ビットのデータ読み出し、ダンプ・モード

## ダンプ・モード

モード・レジスタのDUMPビットを1に設定すると、ステータス・レジスタやデータ・レジスタが通信レジスタからアドレス指定されたかどうかにかかわらず、チャンネル・データ・レジスタの読み出しによって、チャンネル・ステータス・レジスタが直ちに読み出されます。ダンプ・モードで24ビットのデータを読み出している間は、DINピンをハイレベルにしないでください。ハイレベルにすると、AD7738はリセットされます。

図8に、チャンネル0でシングル変換を実行し、 $\overline{\text{RDY}}$ ピンがローレベルになるのを待ち、ダンプ・モードでチャンネル0のステータス・レジスタとデータ・レジスタを読み出しているデジタル・インターフェース信号を示します。

# AD7738

## 連続変換モード

モード・レジスタが書き込まれているとき、ADCステータス・バイトがクリアされ、 $\overline{\text{RDY}}$ ピンが以前の状態とは無関係にハイレベルになります。モード・レジスタに連続変換コマンドが書き込まれると、ADCは、モード・レジスタのアドレスで選択したチャンネルで変換を開始します。

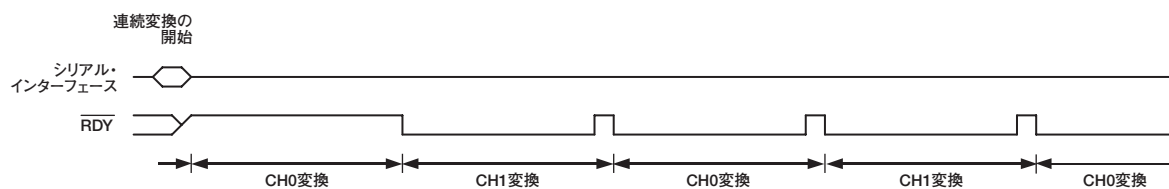
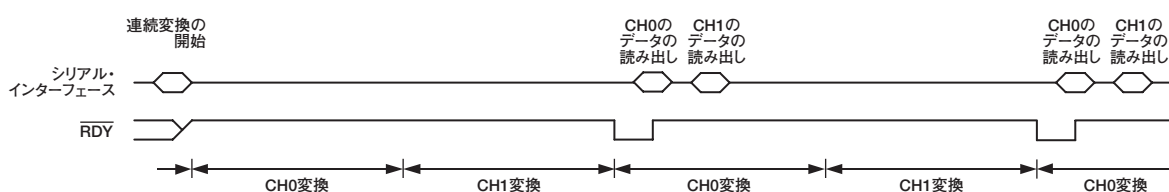
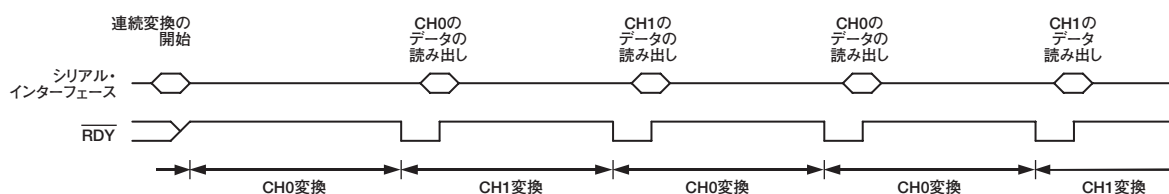
変換が完了すると、関連するチャンネル・データ・レジスタとチャンネル・ステータス・レジスタが更新され、ADCステータス・レジスタの関連するRDYビットがセットされ、AD7738はイネーブルにされた次のチャンネルで変換を続行します。別のモードにするかリセットされるまで、AD7738は、イネーブルになっているチャンネルをすべて繰り返します。繰返し周期は、イネーブルのチャンネルのすべてについて、対応するチャンネル変換時間レジスタによって設定された変換時間を合計したものになります。

関連するチャンネル・データ・レジスタが読み出されているとき、RDYビットがリセットされます。 $\overline{\text{RDY}}$ ピンの動作は、I/Oポート・レジスタのRDYFNビットによって異なります。RDYFNビットが0の場合は、いずれかのチャンネルに未読データがあれば、 $\overline{\text{RDY}}$ ピンはローレベルになります。このビットに1を設定すると、イネーブルになっているすべてのチャンネルに未読データがある場合のみ、 $\overline{\text{RDY}}$ ピンがローレベルになります。

ADC変換の結果が、新しいADC変換が完了するまでに読み出されなかった場合には、新しい結果が前の結果を上書きします。関連するRDYビットがローレベルになり、少なくとも163 MCLKサイクル（ $\sim 26.5\mu\text{s}$ ）の間は $\overline{\text{RDY}}$ ピンがハイレベルになり、データ・レジスタが更新され、前の変換データが失われたことを知らせます。

ADC変換が完了したときに、データ・レジスタが読み出されている場合には、データ・レジスタは新しい結果で更新されず（データ破壊を回避するため）、新しい変換データが失われます。

図9に、チャンネル0と1をイネーブルにし、RDYFNビットを0にセットした連続変換モードに対するデジタル・インターフェース信号のシーケンスを示します。各変換の後で、 $\overline{\text{RDY}}$ ピンがローレベルになり、データ・レジスタが読み出されます。図10も類似のシーケンスですが、ここではRDYFNビットが1にセットされています。すべての変換が完了すると、 $\overline{\text{RDY}}$ ピンがローレベルになり、データ・レジスタが読み出されます。図11には、AD7738からデータが読み出されないときの $\overline{\text{RDY}}$ ピンを示します。



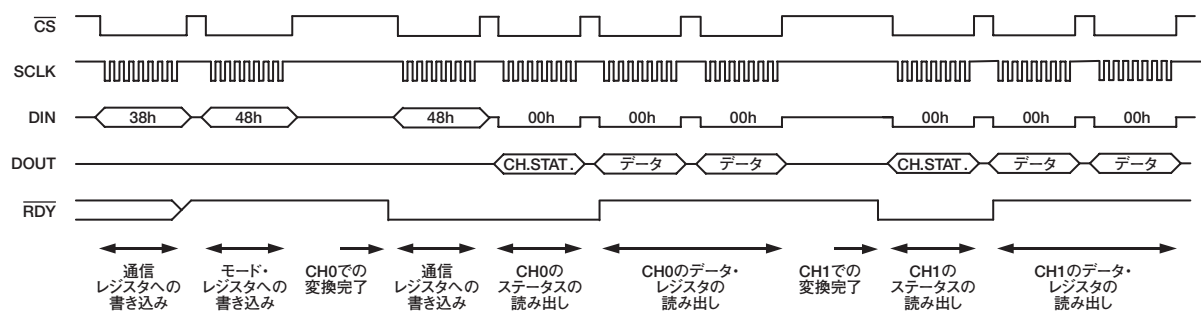


図12. 連続変換CH0とCH1、連続読み出し

### 連続読み出し（連続変換）モード

モードレジスタのCONT RDビットをセットすると、通信レジスタへの最初の「48h」の書き込みによって、連続読み出しモードが始まります。図12に示すように、デバイスへの以後のアクセスでは、通信レジスタをそれ以上設定することなく、最後に完了した変換のチャンネル・ステータス・レジスタとデータ・レジスタを連続的に読み出します。

連続読み出しモードに入るときは、モードレジスタの連続変換ビットをセットしてください。

連続読み出しモードは、DUMPビット値にかかわらず、チャンネル・ステータス・レジスタとデータ・レジスタの「ダンプ・モード」読み出しです。どのチャンネル・データが実際にシフト・アウトされているかをチェック／認識するには、チャンネル・ステータス・レジスタのチャンネル・ビットを使用します。

読み出されるのは、最後に完了した変換結果です。したがって、I/Oポート・レジスタのRDYFNビットは0にし、次の変換が完了する前に必ず結果の読み出しを開始してください。

$\overline{\text{CS}}$ ピンがローレベルのときにDINピンがローレベルである限り、AD7738は連続読み出しモードになっています。このため、連続読み出しモードで読み出している間は、AD7738に0を書き込んでください。連続読み出しモードを終了するには、読み出しが完了した後、少なくとも100nsの間、DINピンをハイレベルにします。（連続読み出しを終了するには、AD7738に「80h」を書き込みます。）

DINピンをハイレベルにしても、モードレジスタのCONT RDビットは変化しません。したがって、次に「48h」を書き込むと、再び連続読み出しモードが始まります。連続読み出しモードを完全に停止させるには、モードレジスタに書き込んでCONT RDビットをクリアします。

### 回路の説明

AD7738は、産業用プロセス制御、計装、PLC、DSCで利用される広ダイナミック・レンジ、低周波信号の計測を対象にした $\Sigma$ - $\Delta$  A/Dコンバータです。

AD7738は、マルチプレクサ、入力バッファ、 $\Sigma$ - $\Delta$ （またはチャージバランス）ADC、デジタル・フィルター、クロック発振器、デジタルI/Oポート、シリアル通信インターフェースを内蔵しています。

#### アナログ・フロントエンド

AD7738には、内部マルチプレクサを介してADCに接続された9本のアナログ入力ピンがあります。アナログ・フロントエンドは、8チャンネルのシングルエンド入力、4チャンネルの差動入力、またはこれらの任意の組み合わせで構成できます。ADC

入力は、チャンネル・セットアップ・レジスタのCOM0ビットとCOM1ビットで選択します。

AD7738には、高速 $\Sigma$ - $\Delta$ モジュレータのダイナミック負荷を駆動できる広い帯域幅、短いセトリング時間、差動入力バッファを備えています。内部バッファをイネーブルにすると、アナログ入力は比較的高い入力インピーダンスを持つことになります。しかし、チョッピングをイネーブルにした場合や、チャンネル間を切替えるときは、マルチプレクサの容量、ピンの容量、MUXOUTに接続されたその他の容量を充電するダイナミック電流があります。MUXOUTをADCINに直接接続する代表的な構成では、この容量は約20pFにもなりません。アナログ入力の抵抗ソース・インピーダンスが10k $\Omega$ を超えない限り、AD7738は、マルチプレクサを切り替えてから実際のサンプリングが始まるまでの間に、十分なセトリング時間を持たせるように設計されています。

アナログ入力に接続されたRCは、ダイナミック充電電流をDC電圧に変換するため、余分なゲインやオフセット誤差の原因となります。AD7738アナログ入力には、20 $\Omega$ 、100nFのローパスRCフィルターを推奨します。

マルチプレクサ出力とADC入力には、外部ピンがあります。これによって、マルチプレクサとADCとの間でシグナル・コンディショニングを簡単に共有できるようになります。ただし、チョッピングをイネーブルにした場合や、チャンネル間を切替えるときには、AD7738が提供するセトリング時間内に、MUXOUTとADCINとの間に接続された回路を完全に安定させる必要があります。マルチプレクサ、変換、データ出力タイミングのセクションを参照してください。

### $\Sigma$ - $\Delta$ ADC

AD7738のコアは、チャージ・バランス $\Sigma$ - $\Delta$ モジュレータとデジタル・フィルターで構成されます。アーキテクチャは、高速の完全安定変換動作に最適化されています。これによって、チャンネル間的高速スイッチングが可能になるとともに、本来の優れた直線性、高分解能、ローノイズが保たれます。

#### チョッピング

チョッピングをイネーブルにすると、マルチプレクサはADC入力の反転を繰り返します。これによって、すべての出力データ結果は2つの変換の平均として計算されます。最初の変換には正のオフセット項が含まれ、2番目の変換には負のオフセット項が含まれます。このようにすることで、入力バッファと $\Sigma$ - $\Delta$ モジュレータのオフセット誤差が効果的に除去され、優れたDCオフセットおよびオフセット・ドリフト特性が得られます。

図13に、チョッピングをイネーブルにしたチャンネル・シグナル・チェーンを示します。

# AD7738

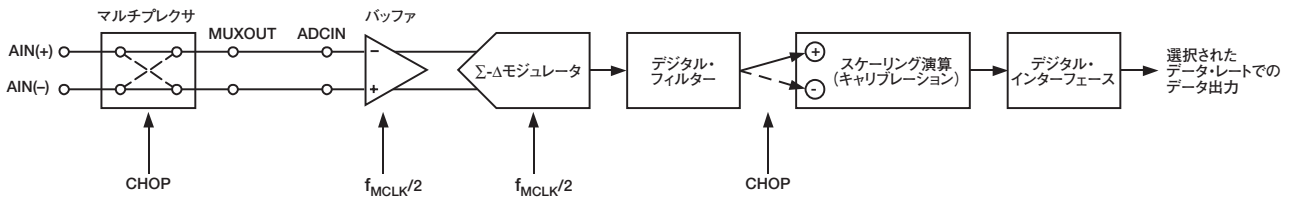


図13. チョッピングをイネーブルにしたチャンネル・シグナル・チェーン図

## マルチプレクサ、変換、データ出力タイミング

指定された「変換時間」には、1つまたは2つの「セトリング」と「サンプリング」の時間、そして1つの「スケール」時間が含まれます。

チョッピングをイネーブルにした状態（図14）では、マルチプレクサの後に続く回路が安定するように、43または44 MCLK サイクル（6.144MHz MCLKで $\sim 7\mu\text{s}$ ）の「セトリング」時間で変換サイクルが始まります。続いて、 $\Sigma$ - $\Delta$ モジュレータがアナログ信号をサンプリングし、デジタル・フィルターがデジタル・データ・ストリームを処理します。「サンプリング」時間は、FW、つまりチャンネル変換時間レジスタの内容によって異なります。もう1つの42 MCLKサイクル（ $\sim 6.8\mu\text{s}$ ）の「セトリング」後に、反転（チョップ）されたアナログ入力信号で「サンプリング」時間が繰り返されます。その後、163 MCLK サイクル（ $\sim 26.5\mu\text{s}$ ）の「スケール」時間中に、デジタル・フィルターから2つの結果が平均され、キャリブレーション・レジスタを使用してスケールされ、チャンネル・データ・レジスタに書き込まれます。

チョッピングをディスエーブルにした状態（図15）では、「サンプリング」時間は1つしかありません。この「サンプリング」時間の前に、43または44 MCLKサイクルの「セトリング」時間があり、後には163 MCLKサイクルの「スケール」時間が続きます。

$\overline{\text{RDY}}$ ピンは、以前の状態にかかわらず、「スケール時間」中にハイレベルになります。関連するRDYビットがADCス

テータス・レジスタでセットされ、チャンネル・ステータス・レジスタではチャンネル・データ・レジスタが更新され、チャンネル変換サイクルが終了すると $\overline{\text{RDY}}$ ピンがローレベルになります。連続変換モードでは、デバイスはイネーブルになっている次のチャンネルの変換サイクルを自動的に継続します。

変換時間とチョッピング・モードについて、どのチャンネルも独立した構成が可能です。全体的なサイクルとチャンネルごとの有効なデータ・レートは、イネーブルになっているすべてのチャンネルの設定に依存します。

## 周波数応答

$\Sigma$ - $\Delta$ モジュレータは、MCLK周波数の1/2で動作します。これは、だいたいサンプリング周波数と同じです。したがって、ナイキスト周波数はMCLK周波数の1/4です。デジタル・フィルターは、モジュレータと連携して、一次ローパス・フィルターの周波数応答を備えています。-3dBポイントは1/（チャンネル変換時間）の周波数に近く、ロールオフは-20dB/decからナイキスト周波数までです。チョッピングをイネーブルにしている場合には、入力信号はチョッピングによって再びサンプリングされます。したがって、全体的な周波数応答は、1/（チャンネル変換時間）の周波数に近いノッチになります。トップ・エンベロープは、再び-20dB/decのADC応答になります。

図16に、代表的な周波数応答のプロットを示します。プロットは、1/（チャンネル変換時間）に正規化されています。

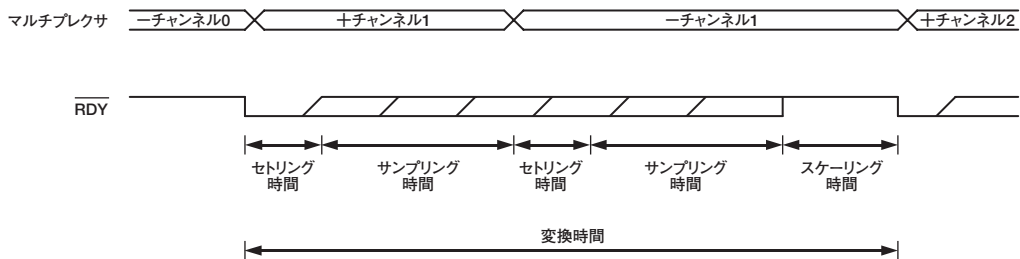


図14. マルチプレクサと変換タイミング — チョッピングをイネーブルにした状態での複数のチャンネルにおける連続変換

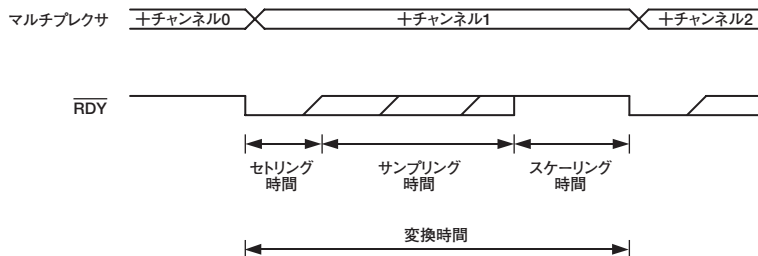
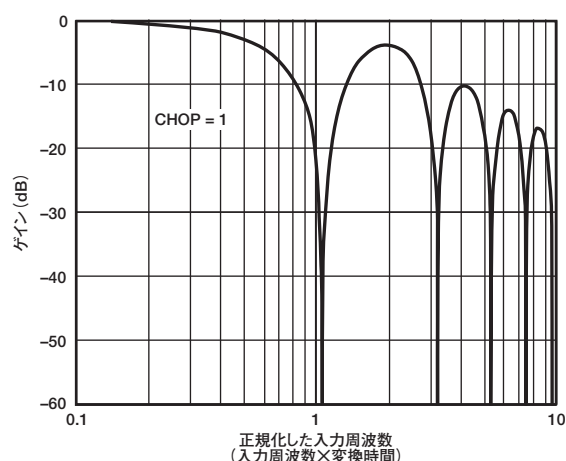
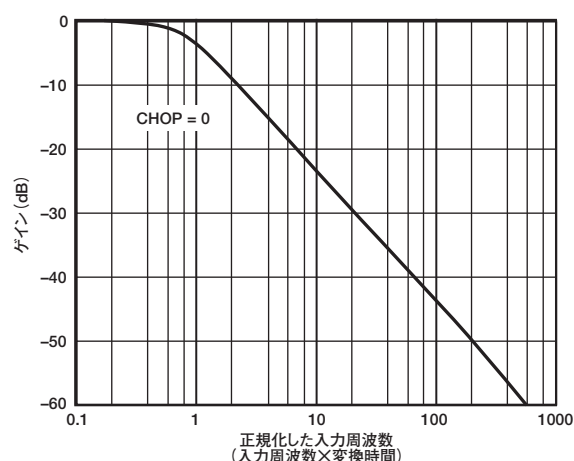


図15. マルチプレクサと変換タイミング — チョッピングをディスエーブルにした状態での複数のチャンネルにおける連続変換





a. チョッピングをイネーブルにした場合



b. チョッピングをディスエーブルにした場合

図16. 代表的なADC周波数応答

#### アナログ入力電圧範囲

入力バッファをイネーブルにしたときの絶対入力電圧範囲は、 $AGND + 200mV \sim AV_{DD} - 300mV$ で、これによってコモン・モード範囲も制限されます。コモン・モード電圧と入力電圧の範囲を設定する際には、これらの限界を超えないように注意してください。正しい設定をしないと、直線性性能が低下します。

AD7738のアナログ入力は、ユニポーラまたはバイポーラの入力電圧範囲を受け付けることができます。バイポーラ入力範囲といっても、デバイスがそのアナログ入力上のシステム・グラウンドを基準にした負の電圧を処理できるわけではありません。AIN (+) 入力上のユニポーラおよびバイポーラ信号は、それぞれのAIN (-) 入力の電圧を基準とします。

たとえば、AINCOMが2.5Vであり、CH0がAIN0-AINCOM、0~1.25Vを測定するよう構成されている場合には、AIN0入力での入力電圧範囲は2.5~3.75Vです。CH0がAIN0-AINCOM、 $\pm 1.25V$ を測定するよう構成されている場合には、AIN0入力での入力電圧範囲は1.25~3.75Vです。

#### アナログ入力拡張電圧範囲

AD7738の出力データ・コード・スパンは、ノミナル入力電圧範囲に対応します。しかし、ADCの正しい動作は、最小/最大の入力電圧範囲内で保証されます。

モード・レジスタのCLAMPビットを1に設定すると、アナログ入力電圧がノミナル入力電圧範囲を外れたとき、チャンネル・データ・レジスタがオール0またはオール1にデジタルでクランプされます。

表XIIIとXIVに示すように、CLAMP=0のとき、データはノミナル電圧範囲外のアナログ入力電圧を反映します。この場合、実際の変換結果を解釈するためには、データ・レジスタ値に加えて、チャンネル・ステータス・レジスタのSIGNビットとOVRビットも考慮してください。

表XIII. 入力電圧範囲 $\pm 1.25V$ 、16ビット、CLAMP=0

入力 (V)	データ (16進)	SIGN	OVR
+1.45000	147B	0	1
+1.25008	0001	0	1
+1.25004	0000	0	1
+1.25000	FFFF	0	0
+0.00004	8001	0	0
0.00000	8000	0	0
-0.00004	7FFF	1	0
-1.25000	0000	1	0
-1.25004	FFFF	1	1
-1.25008	FFFE	1	1
-1.45000	EB85	1	1

表XIV. 入力電圧範囲0~1.25V、16ビット、CLAMP=0

入力 (V)	データ (16進)	SIGN	OVR
1.45000	28F5	0	1
1.25004	0001	0	1
1.25002	0000	0	1
1.25000	FFFF	0	0
0.00002	0001	0	0
0.00000	0000	0	0
-0.00002	0000	1	1

# AD7738

## リファレンス入力

AD7738のリファレンス入力であるREFIN (+) とREFIN (-) により、差動リファレンス入力が可能です。差動入力のコモン・モード範囲は、AGND~AV<sub>DD</sub>です。指定された動作のノミナルリファレンス電圧は2.5Vです。いずれのリファレンス入力にも、高インピーダンスのダイナミック負荷があります。各リファレンス入力での入力インピーダンスがダイナミックになるため、外部からの抵抗/容量を組み合わせる場合、デバイスにゲイン誤差が生じる場合があります。

表I~VIに示す出力ノイズ性能は、0Vのアナログ入力用であり、リファレンス上のノイズに影響されません。ノイズ表に示すノイズ性能と同じレベルを入力範囲全体にわたって得るには、AD7738用のローノイズ・リファレンス電圧源が必要です。対象帯域幅のリファレンス・ノイズが過剰になると、AD7738の性能が低下します。

AD7738用のリファレンス電圧源としては、ADR421、AD780、REF43、REF192が推奨できます。さらにノイズ・レベルを下げるには、一般に、これらのリファレンスの出力をデカップリングするとよいでしょう。

## リファレンス検出

AD7738には、変換用の有効なリファレンスがあるかどうかを検出する回路が内蔵されています。

REFIN (+) ピンとREFIN (-) ピンとの間の電圧がNOREFトリガー電圧（標準0.5V）を下回り、AD7738が変換を実行している場合には、チャンネル・ステータス・レジスタのNOREFビットがセットされます。

## I/Oポート

AD7738のピン $\overline{\text{SYNC}}/\text{P1}$ は、汎用デジタルI/Oピンにしたり、AD7738をシステム内の他のデバイスと同期させるために使用できます。I/Oポート・レジスタのSYNCビットをセットし、 $\overline{\text{SYNC}}$ ピンがローレベルのとき、AD7738は変換を行いません。AD7738がシングル変換モード、連続変換モード、またはキャリブレーション・モードになっている場合は、 $\overline{\text{SYNC}}$ ピンがハイレベルになるまで待ってから、動作を開始します。これによって、ユーザーは既知の時間点、つまり $\overline{\text{SYNC}}$ ピンの立ち上がりエッジから変換を開始できます。

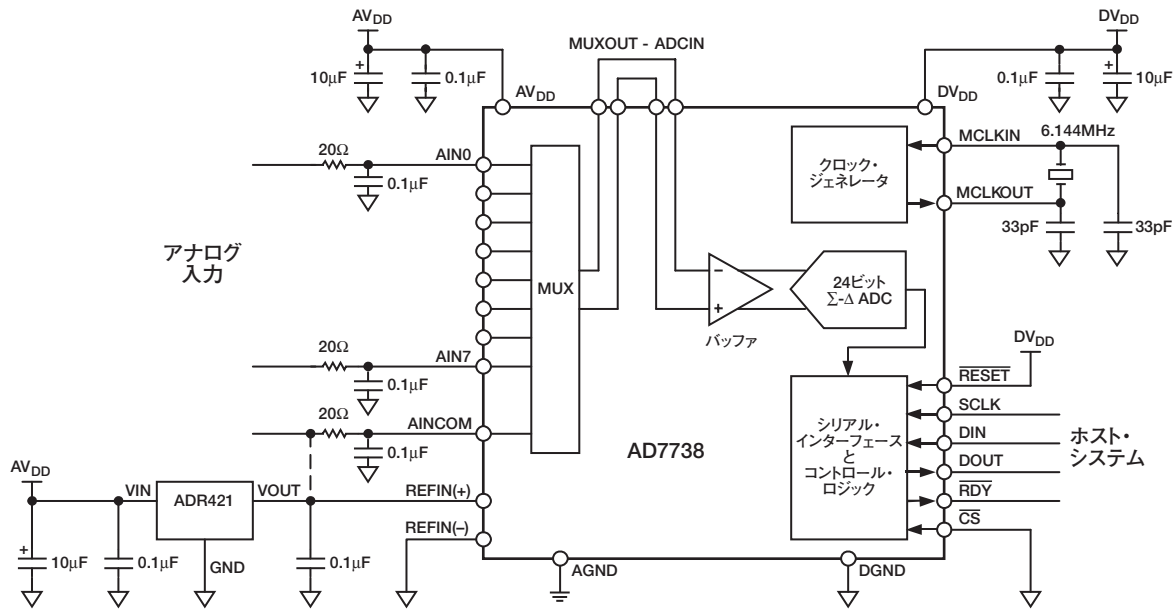


図17. AD7738アプリケーション用の代表的な接続

## キャリブレーション

AD7738のゼロスケール・セルフ・キャリブレーションと、ゼロおよびフル・システム・キャリブレーション機能によって、オフセット誤差とゲイン誤差をノイズのレベルまで効果的に減らすことができます。各変換の後、ADC変換結果はADCキャリブレーション・レジスタと関連するチャンネル・キャリブレーション・レジスタを使用してスケールされ、データ・レジスタに書き込まれます。以下の式を参照してください。

ユニポーラ範囲の場合：

$$\text{データ} = ((\text{ADC結果} - \text{ADC ZS Cal. reg.}) \times \text{ADC FS reg.} / 200000h - \text{Ch. ZS Cal. reg.}) \times \text{Ch. FS Cal. reg.} / 200000h$$

バイポーラ範囲の場合：

$$\text{データ} = ((\text{ADC結果} - \text{ADC ZS Cal. reg.}) \times \text{ADC FS reg.} / 400000h + 800000h - \text{Ch. ZS Cal. reg.}) \times \text{Ch. FS Cal. reg.} / 200000h$$

上の式の「ADC結果」は、0~FFFFFFhの範囲にあります。

なお、チャンネルZSキャリブレーション・レジスタは、符号ビット+22ビットのチャンネル・オフセット値というフォーマットになります。

ユーザーには、ADC FSレジスタを変更しないことを強くお勧めします。

キャリブレーションを開始するには、AD7738のモード・レジスタに関連するモード・ビットを書き込みます。キャリブレーションが完了すると、対応するキャリブレーション・レジスタの内容が更新され、ADCステータス・レジスタのすべてのRDYビットがセットされ、 $\overline{\text{RDY}}$ ピンがローレベルになり、AD7738がアイドル・モードに戻ります。

キャリブレーション時間は、選択したチャンネルで設定された変換時間と同じです。変換時間を長くすると、ノイズが少なくなり、キャリブレーションがより正確になります。したがって、少なくともデフォルトの変換時間を使用して、キャリブレーションを開始してください。

## ADCゼロスケール・セルフ・キャリブレーション

ADCゼロスケール・セルフ・キャリブレーションでは、チョッピング・ディスエーブル・モードでオフセット誤差を効果的に除去できます。温度変化の後で繰り返した場合、チョッピング・ディスエーブル・モードでオフセット・ドリフト誤差も除去できます。

ゼロスケール・セルフ・キャリブレーションは、内部的に短絡されたADC入力で実行します。選択したチャンネル上の負のアナログ入力端子を使用して、ADC ZSキャリブレーション・コモン・モードを設定します。このため、選択した差動ペア上の負の端子、またはシングルエンド・チャンネル構成でのAINCOMを適切なコモン・モード電圧に駆動してください。

ADC ZSキャリブレーション・レジスタの更新は、ゼロスケール・セルフ・キャリブレーションを実行するときのみにすることを強くお勧めします。

## チャンネルごとのシステム・キャリブレーション

チャンネルごとのシステム・キャリブレーションを使用する場合、最初にチャンネルZSシステム・キャリブレーション、次にチャンネルFSシステム・キャリブレーションの順序で開始します。

システム・キャリブレーションは、ADC ZSレジスタとFSのキャリブレーション・レジスタに影響されます。したがって、1つのシステムでセルフ・キャリブレーションとシステム・キャリブレーションの両方を使用する場合には、最初にADCセルフ・キャリブレーション・サイクルを実行してから、システム・キャリブレーション・サイクルを実行してください。

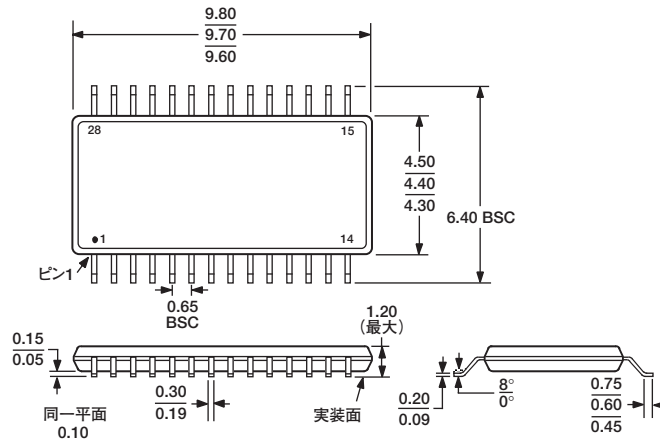
システム・キャリブレーションの実行中、完全に安定したシステム・ゼロスケール電圧信号またはシステム・フルスケール電圧信号を、選択したチャンネルのアナログ入力に接続する必要があります。

チャンネルごとのキャリブレーション・レジスタの読み出し、格納、あるいはこれを変更して、AD7738に書き戻すことができます。キャリブレーション・レジスタを書き込んでいるとき、AD7738はアイドル・モードでなければなりません。また、指定されたキャリブレーション範囲を外れると、キャリブレーションは可能ですが、性能が低下することがあります。(このデータシートの仕様ページにあるシステム・キャリブレーションのセクションを参照してください。)

外形寸法

28ピンのTSSOP (Thin Shrink Small Outline Package)  
(RU-28)

寸法はミリメートルで表示



JEDEC規格MO-153AEに準拠