

特長

高分解能ADC

- ・24ビット・ノーミス・コード
- ・非直線性: ±0.0025%

チャンネル高速切り替え用に最適化

- ・500Hzで18ビットp-pの分解能 (実効21ビット)
- ・2kHzで16ビットp-pの分解能 (実効19ビット)
- ・15kHzで14ビットp-pの分解能 (実効18ビット)
- ・チャンネルごとのシステム・キャリブレーション機能を内蔵

シングルエンド・アナログ入力を4本装備

- ・入力レンジ: +5V、±5V、+10V、±10V
- ・過電圧耐性が大
- ・最大±16.5Vまで隣接チャンネルへの影響なし
- ・絶対最大電圧: ±50V

3線式シリアル・インターフェース

- ・SPI™、QSPI™、MICROWIRE™、DSPと互換
- ・ロジック入力にシュミット・トリガーを内蔵

単電源動作

- ・アナログ電源: 5V
- ・デジタル電源: 3Vまたは5V

パッケージ: 28ピンTSSOP

アプリケーション

PLC/DCS

各種マルチプレキシング・アプリケーション

プロセス制御

工業用計装

概要説明

AD7734は、高精度で高スループットのアナログ・フロントエンドです。合計変換時間500μs(2kHzのチャンネル切り替え)で真の16ビットp-p分解能を達成できるので、高分解能マルチプレキシング・アプリケーションに最適です。

このデバイスはシンプルなデジタル・インターフェースを介して設定することができ、ユーザーはノイズ性能と最大15.4kHzのデータ・スループットの間のバランスをとることができます。

このアナログ・フロントエンドは、±10Vまでのユニポーラまたは真のバイポーラ入力レンジを持つシングルエンド入力を4チャンネル内蔵し、+5Vのアナログ単電源で動作します。また、オーバーレンジ検出機能とアンダーレンジ検出機能も内蔵しており、隣接チャンネルの性能低下なしで最大±16.5Vまでのアナログ過電圧入力を許容します。

機能ブロック図

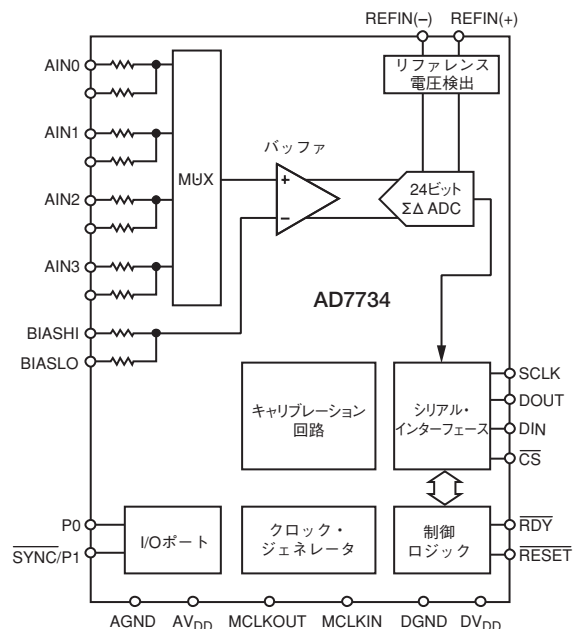


図1

差動リファレンス入力には「リファレンス入力なし」検出機能が内蔵されています。このADCは、チャンネルごとのシステム・キャリブレーション・オプションもサポートしています。デジタル・シリアル・インターフェースは3線式動作に設定することができ、マイクロコントローラやDSPと互換性を持っています。すべてのインターフェース入力には、シュミット・トリガーが内蔵されています。

このデバイスは、拡張工業温度範囲-40~+105°Cで仕様化されています。

AD7734ファミリーには、他にAD7732とAD7738があります。

AD7732はAD7734と同じですが、アナログ・フロントエンドに2チャンネルのフル差動入力が内蔵されている点が異なります。

AD7738アナログ・フロントエンドは4チャンネルの差動入力または8チャンネルのシングルエンド入力で設定でき、0.625~2.5Vのバイポーラ/ユニポーラの入力レンジを持ち、200mV~AVDD-300mVのコモン・モード入力電圧を受け入れます。AD7738のマルチプレクサ出力は外部ピンから取り出すことができるため、ADCに入力する前に、プログラマブルなゲイン処理またはシグナル・コンデショニングが行えます。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許や権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。本紙記載の商標および登録商標は、各社の所有に属します。
*日本語データシートは、REVISIONが古い場合があります。最新の内容については英語版をご参照ください。

AD7734

目次

AD7734—仕様	3	モード・レジスタ	20
タイミング仕様	6	デジタル・インターフェースの説明	22
絶対最大定格	8	ハードウェア	22
代表的な性能特性	9	リセット	23
出力ノイズおよび分解能仕様	10	AD7734レジスタのアクセス	23
チョッピングのイネーブル	10	シングル変換とデータの読み出し	23
チョッピングのデイスエーブル	11	ダンプ・モード	24
ピン配置および機能説明	12	連続変換モード	24
レジスタの説明	14	連続読み出し(連続変換)モード	25
レジスタ・アクセス	15	回路の説明	26
コミュニケーション・レジスタ	15	アナログ・フロントエンド	26
I/Oポート・レジスタ	16	アナログ入力の変換電圧範囲	27
レビジョン・レジスタ	16	チョッピング	27
テスト・レジスタ	16	マルチプレクサ、変換、データ出力のタイミング	28
ADCステータス・レジスタ	17	$\Sigma\Delta$ ADC	28
チェックサム・レジスタ	17	周波数応答	29
ADCゼロスケール・キャリブレーション・レジスタ	17	電圧リファレンス入力	29
ADCフルスケール・レジスタ	17	リファレンス電圧検出	29
チャンネル・データ・レジスタ	17	I/Oポート	30
チャンネル・ゼロスケール・キャリブレーション・レジスタ	18	キャリブレーション	30
チャンネル・フルスケール・キャリブレーション・レジスタ	18	ADCゼロスケール・セルフ・キャリブレーション	30
チャンネル・ステータス・レジスタ	18	チャンネルごとのシステム・キャリブレーション	30
チャンネル・セットアップ・レジスタ	19	外形寸法	32
チャンネル変換時間レジスタ	19		

改訂履歴

レビジョン0：初版

AD7734—仕様

表 1. (特に指定のない限り、 $-40\sim+105^{\circ}\text{C}$; $\text{AV}_{\text{DD}}=5\text{V}\pm 5\%$; $\text{DV}_{\text{DD}}=2.7\sim 3.6\text{V}$ 、または $5\text{V}\pm 5\%$; $\text{BIAS0}\sim\text{BIAS3}$ 、 BIASHI 、 $\text{REFIN}(+)=2.5\text{V}$; BIASLO 、 $\text{REFIN}(-)=\text{AGND}$; AIN レンジ= $\pm 10\text{V}$; $f_{\text{MCLKIN}}=6.144\text{MHz}$)

パラメータ	Min	Typ	Max	単位	テスト条件/コメント
ADC性能 チョッピングをイネーブル					
変換時間レート	372		12190	Hz	変換時間レジスタによる設定
ノームス・コード ^{1,2}	24			ビット	$\text{FW} \geq 6$ (変換時間 $\geq 165 \mu\text{s}$)
出力ノイズ		表4参照			
分解能		表5と表6を参照			
積分非直線性(INL) ^{1,2}		± 0.0010	± 0.0030	フルスケール・レンジの%	$f_{\text{MCLKIN}}=2.5\text{MHz}$
積分非直線性(INL) ²		± 0.0025	± 0.0045	フルスケール・レンジの%	$f_{\text{MCLKIN}}=6.144\text{MHz}$
オフセット誤差(ユニポーラ、バイポーラ) ³			± 10	mV	キャリブレーション前
オフセット・ドリフトの温度特性 ¹			± 2.5	$\mu\text{V}/^{\circ}\text{C}$	
ゲイン誤差 ³			± 0.35	%	キャリブレーション前
ゲイン・ドリフトの温度特性 ¹			± 3.2	フルスケール/ $^{\circ}\text{C}$ のppm	
正側フルスケール誤差 ³			± 0.5	フルスケール・レンジの%	キャリブレーション前
正側フルスケール・ドリフトの温度特性 ¹			± 3	フルスケール/ $^{\circ}\text{C}$ のppm	
バイポーラ負側フルスケール誤差 ⁴		± 0.0050		フルスケール・レンジの%	キャリブレーション後
対電源感度		± 4	± 10	LSB_{16}	DC、 $\text{AIN}=7\text{V}$ 、 $\text{AV}_{\text{DD}}=5\text{V}\pm 5\%$
チャンネル間アイソレーション		100		dB	DC、最大 $\pm 16.5\text{VAIN}$ 電圧
ADC性能 チョッピングをディスエーブル					
変換時間レート	737		15437	Hz	変換時間レジスタによる設定
ノームス・コード ^{1,2}	24			ビット	$\text{FW} \geq 8$ (変換時間 $\geq 117 \mu\text{s}$)
出力ノイズ		表7参照			
分解能		表8と表9を参照			
積分非直線性(INL) ²		± 0.0025		フルスケール・レンジの%	
オフセット誤差(ユニポーラ、バイポーラ) ³		± 15		mV	キャリブレーション前
オフセット・ドリフトの温度特性		± 25		$\mu\text{V}/^{\circ}\text{C}$	
ゲイン誤差 ³		± 0.1		%	キャリブレーション前
ゲイン・ドリフトの温度特性		± 5.3		フルスケール/ $^{\circ}\text{C}$ のppm	
正側フルスケール誤差 ³		± 0.2		フルスケール・レンジの%	キャリブレーション前
正側フルスケール・ドリフトの温度特性		± 4		フルスケール/ $^{\circ}\text{C}$ のppm	
バイポーラ負側フルスケール誤差 ⁴		± 0.0050		フルスケール・レンジの%	キャリブレーション後
対電源感度		± 4		LSB_{16}	DC、 $\text{AIN}=7\text{V}$ 、 $\text{AV}_{\text{DD}}=5\text{V}\pm 5\%$
チャンネル間アイソレーション		100		dB	DC、最大 $\pm 16.5\text{VAIN}$ 電圧
アナログ入力					
アナログ入力電圧 ^{1,6,7}					
±10Vの範囲		± 10		V	
0~+10Vの範囲		0~+10		V	
±5Vの範囲		± 5		V	
0~+5Vの範囲		0~+5		V	
BIASLO電圧		0		V	
BIAS0~3、BIASHI電圧		2.5		V	
AINインピーダンス ^{1,8}	100	124		k Ω	
AINピン、BIASLOピンのインピーダンス ^{1,8}	87.5	108.5		k Ω	

AD7734

パラメータ	Min	Typ	Max	単位	テスト条件/コメント
BIAS0~3, BIASHIピンのインピーダンス ^{1,8}	12.5	15.5		kΩ	
入力抵抗マッチング 入力抵抗温度係数		0.2 -30		% ppm/°C	
リファレンス入力 REFIN(+)-REFIN(-)間電圧 ^{1,9} NOREFトリガー電圧 REFIN(+), REFIN(-) コモン・モード電圧 ¹ リファレンス入力DC電流 ¹⁰	2.475 0	2.5 0.5	2.525 AV _{DD} 400	V V V μA	チャンネル・ステータス・レジスタのNOREFビット
システム・キャリブレーション ^{1,11} フルスケール・キャリブレーション限界 ゼロスケール・キャリブレーション限界 入力スパン	-1.05×フルスケール 0.8×フルスケール		+1.05×フルスケール 2.1×フルスケール	V V V	
ロジック入力 入力電流 CSの入力電流 入力容量 V _{T+} ¹ V _{T-} ¹ V _{T+} -V _{T-} ¹ V _{T+} ¹ V _{T-} ¹ V _{T+} -V _{T-} ¹	 1.4 0.8 0.3 0.95 0.4 0.3	5	±1 ±10 -40 2 1.4 0.85 2 1.1 0.85	μA μA μA pF V V V V V V	CS=DV _{DD} CS=DGND、内部プルアップ抵抗 DV _{DD} =5V DV _{DD} =5V DV _{DD} =5V DV _{DD} =3V DV _{DD} =3V DV _{DD} =3V
MCLK INのみ 入力電流 入力容量 V _{INL} (入力ローレベル電圧) V _{INH} (入力ハイレベル電圧) V _{INL} (入力ローレベル電圧) V _{INH} (入力ハイレベル電圧)	 3.5 2.5	5	±10 0.8 0.4	μA pF V V V V	DV _{DD} =5V DV _{DD} =5V DV _{DD} =3V DV _{DD} =3V
ロジック出力 ¹² V _{OL} (出力ローレベル電圧) V _{OH} (出力ハイレベル電圧) V _{OL} (出力ローレベル電圧) V _{OH} (出力ハイレベル電圧) フローティング状態リーク電流 フローティング状態リーク容量	4.0 DV _{DD} -0.6	 3	0.4 0.4 ±1	V V V V μA pF	I _{SINK} =800 μA, DV _{DD} =5V I _{SOURCE} =200 μA, DV _{DD} =5V I _{SINK} =100 μA, DV _{DD} =3V I _{SOURCE} =100 μA, DV _{DD} =3V
P0, P1入力/出力 入力電流 V _{INL} (入力ローレベル電圧) V _{INH} (入力ハイレベル電圧) V _{OL} (出力ローレベル電圧) V _{OH} (出力ハイレベル電圧)	 3.5 4.0		±10 0.8 0.4	μA V V V V	アナログ電源基準のレベル AV _{DD} =5V AV _{DD} =5V I _{SINK} =7mA、絶対最大定格を参照 I _{SOURCE} =200 μA, AV _{DD} =5V
電源条件 AV _{DD} -AGND間電圧 DV _{DD} -DGND間電圧 AV _{DD} 電流(通常モード) DV _{DD} 電流(通常モード) ¹³ DV _{DD} 電流(通常モード) ¹³	4.75 4.75 2.70 4.75 2.8 1.0		5.25 5.25 3.60 13.5 3.1 1.5	V V V mA mA mA	AV _{DD} =5V DV _{DD} =5V DV _{DD} =3V

パラメータ	Min	Typ	Max	単位	テスト条件/コメント
消費電力(通常モード) ¹³		85	100	mW	
AV _{DD} +DV _{DD} 電流(スタンバイ・モード) ¹⁴		100		μA	
消費電力(スタンバイ・モード) ¹⁴		525		μW	

- 1 これらの仕様は出荷テストを行っていませんが、設計および/または量産開始時の特性評価データにより保証しています。
- 2 代表的な性能特性を参照してください。
- 3 キャリブレーション前の仕様。チャンネル・システム・キャリブレーション機能を使って、これらの誤差をノイズと同等レベルまで減少できます。
- 4 ゼロスケールおよびフルスケールのキャリブレーションの後に適用します。負側フルスケール誤差は、オフセット誤差とゲイン誤差を除去した後の残りの誤差を表します。
- 5 ADC-ゼロスケール・セルフキャリブレーション機能により、この誤差は±10mVに減少できます。チャンネル・ゼロスケール・システム・キャリブレーション機能を使って、この誤差をノイズと同等レベルまで減少できます。
- 6 規定性能に対して。出力データ・スパンは、仕様の公称入力電圧範囲に対応します。ADCは公称入力電圧範囲の外側でも機能しますが、性能は低下します。公称入力電圧範囲の外側ではチャンネル・ステータス・レジスタのOVRビットがセットされ、チャンネル・データ・レジスタ値はモード・レジスタのCLAMPビットに依存します。詳細はレジスタと回路の説明を参照してください。
- 7 隣接チャンネルは最大±16.5VまでのAIN電圧には影響を受けません。
- 8 ピン・インピーダンスは、ピンから内部ノードまでです。通常の回路構成では、アナログ入力の合計インピーダンス(typ)は、108.5kΩ+15.5kΩ=124kΩです。
- 9 規定性能に対して。デバイスは、より低いV_{REF}値でも機能します。
- 10 ΣΔ変調器入力スイッチング・コンデンサを充電するダイナミック電流。
- 11 規定キャリブレーションの範囲外でもキャリブレーションは可能ですが、性能は低下します。
- 12 これらのロジック出力レベルは、CMOS負荷1個を接続したMCLK OUT出力に適用。
- 13 外部MCLK、MCLKOUTはディスエーブル(モード・レジスタのCLKDISビットをセット)。
- 14 外部MCLKIN=0VまたはDV_{DD}、デジタル入力=0VまたはDV_{DD}、P0およびP1=0VまたはAV_{DD}。

AD7734

タイミング仕様

表 2. (特に指定のない限り、 $AV_{DD}=5V\pm 5\%$; $DV_{DD}=2.7\sim 3.6V$ 、または $5V\pm 5\%$; 入力ロジック「0」=0V; ロジック「1」= DV_{DD})¹

パラメータ	Min	Typ	Max	単位	テスト条件/コメント
マスター・クロック・レンジ	1		6.144	MHz	
t_1	50			ns	$\overline{\text{SYNC}}$ パルス幅
t_2	500			ns	$\overline{\text{RESET}}$ パルス幅
読み出し動作					
t_4	0			ns	$\overline{\text{CS}}$ の立ち下がりエッジからSCLKの立ち下がりエッジまでのセットアップ時間
t_5^2					SCLKの立ち下がりエッジからデータ有効までの遅延
	0		60	ns	$DV_{DD}=4.75\sim 5.25V$
	0		80	ns	$DV_{DD}=2.7\sim 3.3V$
$t_{5A}^{2,3}$					$\overline{\text{CS}}$ の立ち下がりエッジからデータ有効までの遅延
	0		60	ns	$DV_{DD}=4.75\sim 5.25V$
	0		80	ns	$DV_{DD}=2.7\sim 3.3V$
t_6	50			ns	SCLKのハイレベル・パルス幅
t_7	50			ns	SCLKのローレベル・パルス幅
t_8	0			ns	SCLKの立ち上がりエッジからCSの立ち上がりエッジまでのホールド時間
t_9^4	10		80	ns	SCLKの立ち上がりエッジからのバス開放時間
書き込み動作					
t_{11}	0			ns	$\overline{\text{CS}}$ の立ち下がりエッジからSCLKの立ち下がりエッジ・セットアップまで
t_{12}	30			ns	データ有効からSCLKの立ち上がりエッジまでのセットアップ時間
t_{13}	25			ns	SCLKの立ち上がりエッジからデータ有効までのホールド時間
t_{14}	50			ns	SCLKのハイレベル・パルス幅
t_{15}	50			ns	SCLKのローレベル・パルス幅
t_{16}	0			ns	SCLKの立ち上がりエッジからCSの立ち上がりエッジまでのホールド時間

1 量産開始時にサンプル・テストにより適合性を保証。すべての入力信号は $t_r=t_f=5ns$ (DV_{DD} の10%から90%)で規定し、1.6Vの電圧レベルからの時間です。図2と図3を参照。

2 これらの値は図4に示す負荷回路で測定し、出力が V_{OL} または V_{OH} の規定値と交差するまでに必要な時間と定義されます。

3 SCLKがローレベルで $\overline{\text{CS}}$ がローレベルになった場合にのみ、この仕様が適用されます。

4 これらの値は、図4の負荷回路でデータ出力が0.5V変化するときに必要な時間の測定値から導出。この測定値は50pFコンデンサの充放電の影響を受けない値で推測されているため、タイミング特性で使用する時間はデバイスの真のバス開放時間であり、外部バスの負荷容量に無関係です。

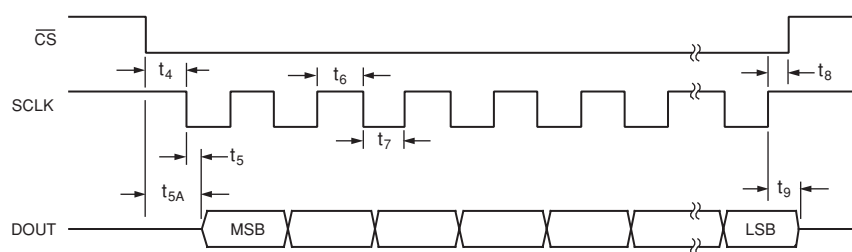


図2. 読み出しサイクルのタイミング図

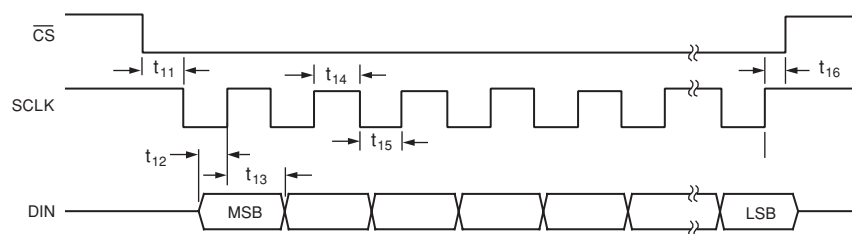


図3. 書き込みサイクルのタイミング図

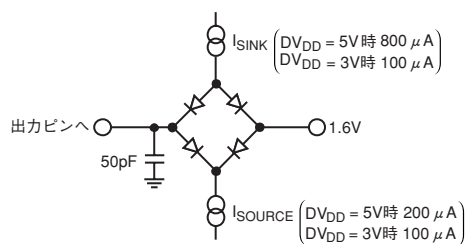


図4. アクセス時間とバス開放時間測定時の負荷回路

AD7734

絶対最大定格

表 3. 特に指定のない限り、 $T_A=25^\circ\text{C}$ 。

パラメータ	定格
AGNDに対する AV_{DD} 、DGNDに対する DV_{DD}	$-0.3\sim+7\text{V}$
DGNDに対するAGND	$-0.3\sim+0.3\text{V}$
DV_{DD} に対する AV_{DD}	$-5\sim+5\text{V}$
AGNDに対するAIN	$-50\sim+50\text{V}$
AGNDに対するBIAS	$-0.3\text{V}\sim AV_{DD}+0.3\text{V}$
AGNDに対するREFIN+、REFIN-	$-0.3\text{V}\sim AV_{DD}+0.3\text{V}$
AGNDに対するMUX0、INTBIAS	$-0.3\text{V}\sim AV_{DD}+0.3\text{V}$
AGNDに対するP0、P1電圧	$-0.3\text{V}\sim AV_{DD}+0.3\text{V}$
P0、P1の電流($T_{MAX}=70^\circ\text{C}$)	8mA
P0、P1の電流($T_{MAX}=85^\circ\text{C}$)	5mA
P0、P1の電流($T_{MAX}=105^\circ\text{C}$)	2.5mA
DGNDに対するデジタル入力電圧	$-0.3\text{V}\sim DV_{DD}+0.3\text{V}$
DGNDに対するデジタル出力電圧	$-0.3\text{V}\sim DV_{DD}+0.3\text{V}$
動作温度範囲	$-40\sim+105^\circ\text{C}$
保存温度範囲	$-65\sim+150^\circ\text{C}$
ジャンクション温度	150°C
TSSOPパッケージ、消費電力	660mW
θ_{JA} 熱インピーダンス	$97.9^\circ\text{C}/\text{W}$
ピン温度、ハンダ処理	
ベーキング時間(60秒)	215°C
赤外線(15秒)	220°C

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを指定するものであり、この仕様の動作に関するセクションに記載されている規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

代表的な性能特性—AD7734

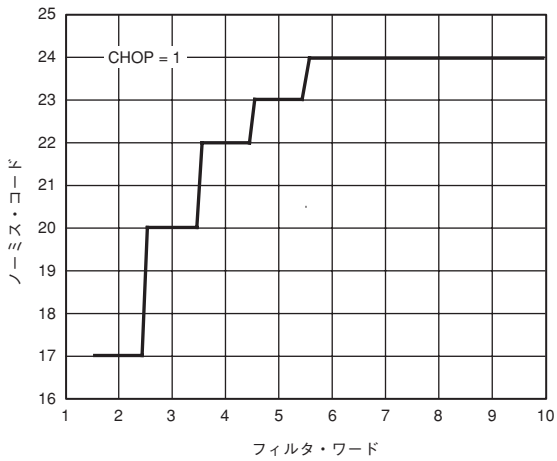


図5. ノーマリス・コード性能、チョッピングをイネーブル

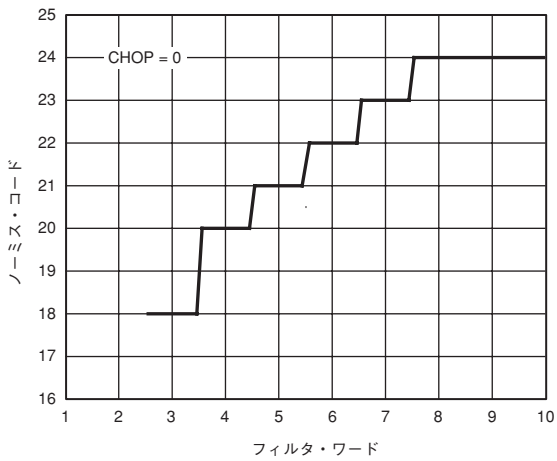


図6. ノーマリス・コード性能、チョッピングをディスエーブル

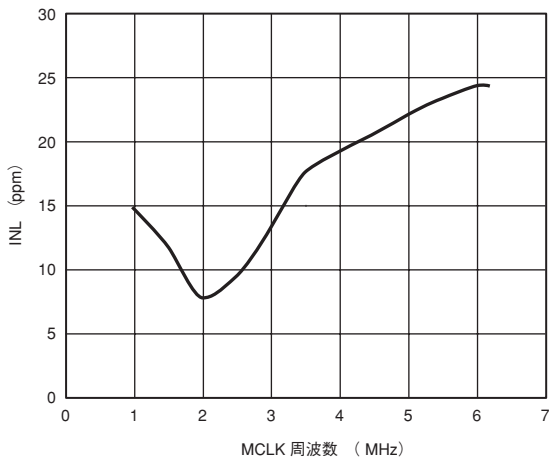


図7. 代表的なMCLK周波数対INL、AIN=±0V、BIAS0~3、BIASHI=2.5V、BIASLO=0V

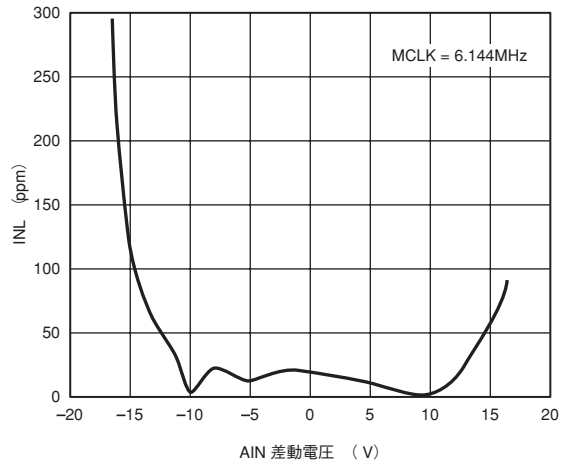


図8. 代表的なAIN電圧対INL、AINレンジ=±10V、BIAS0~3、BIASHI=2.5V、BIASLO=0V

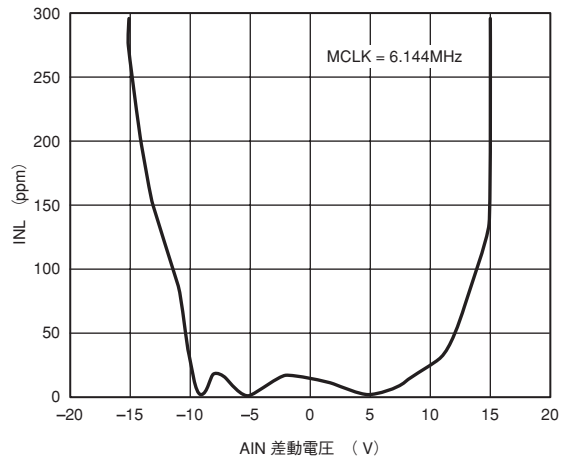


図9. 代表的なAIN電圧対INL、AINレンジ=±10V、BIAS0~3、BIASHI=2.5V、BIASLO=0V

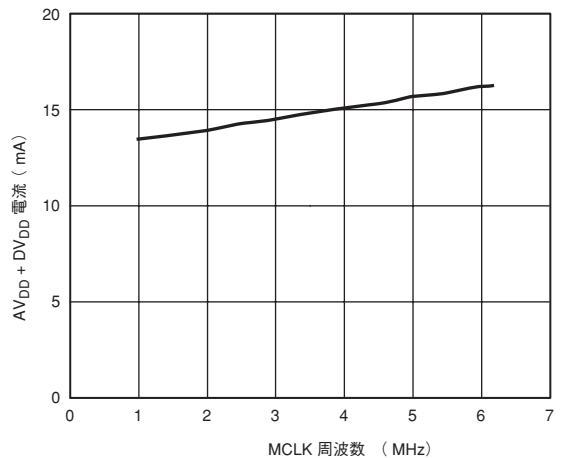


図10. 代表的なMCLK周波数対電源電流、通常の動作、変換時

AD7734

出力ノイズおよび分解能仕様

AD7734は、チョッピング機能をイネーブルまたはディスエーブルして動作させることができるため、スループット・レートとチャンネル切り替え時間を最適化するか、またはオフセット・ドリフト性能を最適化するように、ADCを設定できます。出力レートとセトリング時間の選択のために、この2つの基本動作モードでのノイズの表を下に示します。

AD7734のノイズ性能は、選択されたチョッピング・モード、フィルタ・ワード(FW)値、選択されたアナログ入力レンジに依存します。AD7734のノイズは、MCLK周波数によって大幅に変わることはありません。

チョッピングのイネーブル

この最初のモードでは、AD7734のチョッピングをイネーブル(CHOP=1)

して、低い出力レートで非常に低いノイズを実現します。表4~6に、-3dB周波数および、代表的な性能対チャンネル変換時間および等価出力データ・レートを示します。表4は出力rmsノイズ(typ)を示します。表5はrmsノイズに基づく実効分解能(typ)を示しています。表6は出力ピークtoピーク分解能(typ)を示し、6シグマ限界値以内でコード・フリッカが発生しない値を表しています。このピークtoピーク分解能は、rmsノイズではなくピークtoピーク・ノイズに基づいて計算されたものです。

これらのtyp値は、アナログ入力電圧=0V、かつMCLK=6.144MHzに設定して、連続変換モードで取得した4096個のデータ・サンプルから得たものです。変換時間は、チャンネル変換時間レジスタを使って選択します。

表 4. 代表的な出力RMSノイズ(μV)対変換時間と入力レンジ、チョッピングをイネーブル

FW	変換時間 レジスタ	変換時間 (μs)	出力データ・ レート(Hz)	-3dB周波数 (Hz)	RMSノイズ (μV)
127	FFh	2686	372	200	9.6
46	A Eh	999	1001	520	15.5
22	96h	499	2005	1040	22.7
17	91h	395	2534	1300	26.1
8	88h	207	4826	2500	39.2
6	86h	166	6041	3100	46.0
2	82h	82	12166	6300	120.0

表 5. 代表的な実効分解能 (ビット) 対変換時間と入力レンジ、チョッピングをイネーブル

FW	変換時間 レジスタ	変換時間 (μs)	出力データ・ レート(Hz)	-3dB周波数 (Hz)	入力レンジ/実効分解能(ビット)			
					±10V	0~+10V	±5V	0~+5V
127	FFh	2686	372	200	21.0	20.0	20.0	19.0
46	A Eh	999	1001	520	20.3	19.3	19.3	18.3
22	96h	499	2005	1040	19.7	18.7	18.7	17.7
17	91h	395	2534	1300	19.5	18.5	18.5	17.5
8	88h	207	4826	2500	19.0	18.0	18.0	17.0
6	86h	166	6041	3100	18.7	17.7	17.7	16.7
2	82h	82	12166	6300	17.3	16.3	16.3	15.3

表 6. 代表的なピークtoピーク分解能 (ビット) 対変換時間と入力レンジ、チョッピングをイネーブル

FW	変換時間 レジスタ	変換時間 (μs)	出力データ・ レート(Hz)	-3dB周波数 (Hz)	入力レンジ/ピークtoピーク分解能(ビット)			
					±10V	0~+10V	±5V	0~+5V
127	FFh	2686	372	200	18.1	17.1	17.1	16.1
46	A Eh	999	1001	520	17.4	16.4	16.4	15.4
22	96h	499	2005	1040	16.9	15.9	15.9	14.9
17	91h	395	2534	1300	16.7	15.7	15.7	14.7
8	88h	207	4826	2500	16.2	15.2	15.2	14.2
6	86h	166	6041	3100	15.8	14.8	14.8	13.8
2	82h	82	12166	6300	15.0	13.4	13.4	12.4

チョッピングのディスエーブル

2つ目のモードでは、AD7734のチョッピングをディスエーブル(CHOP=0)して、高分解能を維持したまま変換時間を高速化します。表7~9に、-3dB周波数および、代表的な性能対チャンネル変換時間および等価出力データ・レートを示します。表7は出力rmsノイズ(typ)を示しています。表8はrmsノイズに基づく実効分解能(typ)を示しています。表9は出力ピークtoピーク分解能(typ)を示し、6シグマ限界値以内でコード・フリッカが

発生しない値を表しています。このピークtoピーク分解能は、rmsノイズではなくピークtoピーク・ノイズに基づいて計算されたものです。

これらのtyp値は、アナログ入力電圧=0V、かつMCLK=6.144MHzに設定して、連続変換モードで取得した4096個のデータ・サンプルから得たものです。変換時間は、チャンネル変換時間レジスタを使って選択します。

表 7. 代表的な出力RMSノイズ(μV)対変換時間と入力レンジ、チョッピングをディスエーブル

FW	変換時間 レジスタ	変換時間 (μs)	出力データ・ レート(Hz)	-3dB周波数 (Hz)	RMSノイズ (μV)
127	7Fh	1357	737	670	13.2
92	5Ch	992	1008	920	15.5
44	2Ch	492	2032	1850	22.7
35	23h	398	2511	2290	26.3
16	10h	200	4991	2500	39.0
8	08h	117	8545	7780	57.0
3	03h	65	15398	14000	132

表 8. 代表的な実効分解能 (ビット) 対変換時間と入力レンジ、チョッピングをディスエーブル

FW	変換時間 レジスタ	変換時間 (μs)	出力データ・ レート(Hz)	-3dB周波数 (Hz)	入力レンジ/実効分解能(ビット)			
					$\pm 10\text{V}$	0~+10V	$\pm 5\text{V}$	0~+5V
127	7Fh	1357	737	670	20.5	19.5	19.5	18.5
92	5Ch	992	1008	920	20.3	19.3	19.3	18.3
44	2Ch	492	2032	1850	19.7	18.7	18.7	17.7
35	23h	398	2511	2290	19.5	18.5	18.5	17.5
16	10h	200	4991	2500	19.0	18.0	18.0	17.0
8	08h	117	8545	7780	18.4	17.4	17.4	16.4
3	03h	65	15398	14000	17.2	16.2	16.2	15.2

表 9. 代表的なピークtoピーク分解能 (ビット) 対変換時間と入力レンジ、チョッピングをディスエーブル

FW	変換時間 レジスタ	変換時間 (μs)	出力データ・ レート(Hz)	-3dB周波数 (Hz)	入力レンジ/ピークtoピーク分解能(ビット)			
					$\pm 10\text{V}$	0~+10V	$\pm 5\text{V}$	0~+5V
127	7Fh	1357	737	670	17.6	16.6	16.6	15.6
92	5Ch	992	1008	920	17.4	16.4	16.4	15.4
44	2Ch	492	2032	1850	16.8	15.8	15.8	14.8
35	23h	398	2511	2290	16.6	15.6	15.6	14.6
16	10h	200	4991	2500	16.1	15.1	15.1	14.1
8	08h	117	8545	7780	15.5	14.5	14.5	13.5
3	03h	65	15398	14000	14.3	13.3	13.3	12.3

AD7734

ピン配置および機能説明

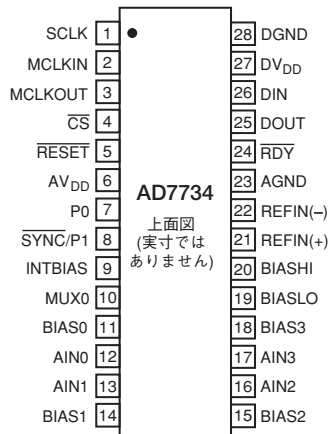


図11. 28ピンTSSOP

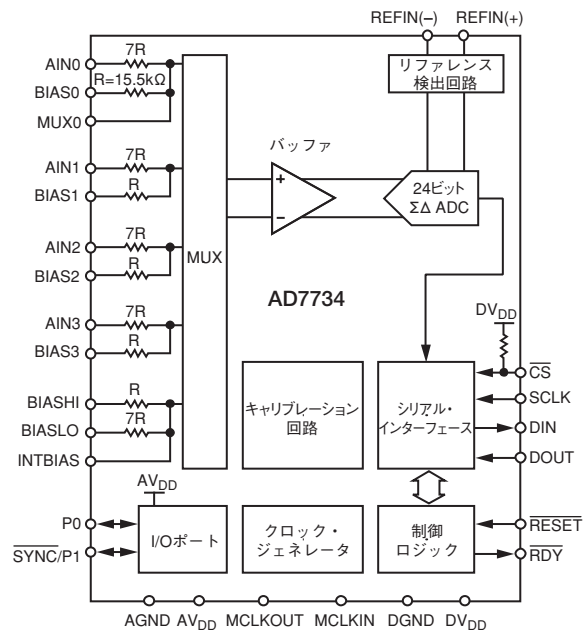


図12. ブロック図

表 10. ピン機能の説明—28ピンTSSOP

ピン番号	記号	説明
1	SCLK	シリアル・クロック。シュミット・トリガー付きロジック入力。AD7734のシリアル・データ転送のため、外部シリアル・クロックをこのピンにを入力します。
2	MCLKIN	ADCに対するマスター・クロック信号。クリスタル・オシレータ／共振子または外部クロックを接続することができます。クリスタル・オシレータ／共振子は、MCLKINピンとMCLKOUTピンの間に接続することができます。代わりに、MCLKINピンをCMOS互換クロックで駆動し、MCLKOUTピンは開放のままにしておくこともできます。
3	MCLKOUT	デバイスに対するマスター・クロックがクリスタル・オシレータ／共振子の場合、クリスタル・オシレータ／共振子はMCLKINピンとMCLKOUTピンの間に接続します。外部クロックをMCLKINピンに接続した場合は、MCLKOUTピンに反転クロック信号が出力されます。デバイス消費電力を削減するためにこの出力をオフにすることもできます。MCLKOUTピンは、1個のCMOS負荷を駆動できます。
4	\overline{CS}	チップ・セレクト。内部プルアップ抵抗を持つアクティブ・ローのシュミット・トリガー付きロジック入力。この入力をローレベルにハードワイヤ接続すると、AD7734はSCLK、DIN、DOUTを使う3線インターフェース・モードで動作できます。 \overline{CS} は、シリアル・バスに複数のデバイスが接続されているシステム内でAD7732を選択するときを使うことができます。また、8ビットのフレーム同期信号として使用することもできます。
5	RESET	シュミット・トリガー付きロジック入力。制御ロジック、インターフェース・ロジック、デジタル・フィルタ、アナログ変調器および、デバイスの全内蔵レジスタをパワーオン状態にリセットするアクティブ・ロー入力。RESETピンがアクティブになると、クロック・オシレータ以外のものは、すべてがリセットされます。
6	AV _{DD}	アナログ正電源電圧。AGNDに対して5V(公称)。
7	P0	デジタル入力／出力。ピンの方向はP0 DIRビットによって決定されます。デジタル値はI/Oポート・レジスタのP0ビットとして読み出し／書き込みすることができます。デジタル電圧はアナログ電源を基準とします。入力として設定する場合は、ピンをハイレベルまたはローレベルに接続する必要があります。
8	SYNC/P1	SYNC／デジタル入力／デジタル出力。ピンの方向はP1 DIRビットによって決定されます。デジタル値はI/Oポート・レジスタのP1ビットとして読み出し／書き込みすることができます。I/Oポート・レジスタのSYNCビットが「1」に設定されると、SYNC/P1ピンはAD7734変調器とデジタル・フィルタをシステム内の他のデバイスに同期させるために使うことができます。デジタル電圧はアナログ電源を基準とします。入力として設定する場合は、ピンをハイレベルまたはローレベルに接続する必要があります。

ピン番号	記号	説明
9	INTBIAS	このピンは、入力抵抗デバイダをバイパスしてアナログ入力のコモン・モードに直接アクセスできます。通常の回路構成では、このピンはオープンのままにしておきます。
10	MUX0	このピンは、入力抵抗デバイダをバイパスしてチャンネル0のマルチプレクサ入力に直接アクセスできます。入力電圧範囲は、INTBIASピン基準で0～+0.625V、±0.625V、0～+1.25V、±1.25Vです。通常の回路構成では、このピンはオープンのままにしておきます。
11、14、15、18	BIAS0～BIAS3	これらの入力はアナログ入力をレベル・シフトする際に使います。内部バッファ・アンプから見た差動信号がコモン・モード・レンジ内におさまるように、これらの信号を使います。BIAS0～BIAS3ピンは通常2.5Vに接続されます。
12、13、16、17	AIN0～AIN3	アナログ入力。
19	BIASLO	BIASLOは、BIASHIと組み合わせて、アナログ入力コモン・モード電圧を設定する際に使います。BIAS0～BIAS3ピンおよびBIASHIピンが2.5Vに接続されているとすると、アナログ入力電圧はBIASLOの電圧を基準にします。通常の回路構成では、このピンは必ず0Vに接続します。
20	BIASHI	BIASHIは、BIASLOと組み合わせて、アナログ入力コモン・モード電圧を設定する際に使います。通常の回路構成では、このピンは必ず2.5Vに接続します。
21	REFIN(+)	差動リファレンス入力の正側ピン。REFIN(+) ¹ の電位はAV _{DD} とAGNDの間で任意です。通常の回路構成では、このピンは2.5Vのリファレンス電圧に接続する必要があります。
22	REFIN(-)	差動リファレンス入力の負側ピン。REFIN(-) ¹ の電位はAV _{DD} とAGNDの間で任意です。通常の回路構成では、このピンは0Vのリファレンス電圧に接続する必要があります。
23	AGND	アナログ回路に対するグラウンド基準ポイント。
24	$\overline{\text{RDY}}$	ロジック出力。変換モードとキャリブレーション・モードの両方でステータス出力として使います。変換モードでは、この出力の立ち下がりエッジが、I/Oポート・レジスタのRDYFNビットによって、任意のチャンネルまたは全部のチャンネルに未読のデータが存在することを示します。キャリブレーション・モードでは、この出力の立ち下がりエッジが、キャリブレーションが完了したことを示します(詳細は「デジタル・インターフェースの説明」を参照)。
25	DOUT	デバイスの出力シフトレジスタからシリアル・データが読み出された場合のシリアル・データ出力。この出力シフトレジスタには、コミュニケーション・レジスタのアドレス・ビットに応じて、AD7734レジスタの情報が格納されていることがあります。
26	DIN	デバイスの入力シフトレジスタにシリアル・データが書き込まれる場合のシリアル・データ入力(シュミット・トリガー付き)。コミュニケーション・レジスタのアドレス・ビットに応じて、この入力シフトレジスタからデータがAD7734の任意のレジスタへ転送されます。
27	DV _{DD}	3Vまたは5V(公称)のデジタル電源電圧。
28	DGND	デジタル回路に対するグラウンド基準ポイント。

AD7734

レジスタの説明

表 11. レジスタの一覧

レジスタ	Addr	Dir	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
	(hex)		デフォルト値							
コミュニケーション	00	W	0	R/W	6ビット・レジスタ・アドレス					
I/Oポート	01	R/W	P0	P1	P0 DIR	P1 DIR	RDYFN	0	0	SYNC
			P0ピン	P1ピン	1	1	0	0	0	0
レビジョン	02	R	チップ・レビジョン・コード				チップ一般コード			
			x	x	x	x	0	0	1	0
テスト	03	R/W	24ビット出荷時テスト・レジスタ							
ADCステータス	04	R	—	—	—	—	RDY3	RDY2	RDY1	RDY0
			0	0	0	0	0	0	0	0
チェックサム	05	R/W	16ビット・チェックサム・レジスタ							
ADCゼロスケール・キャリブレーション	06	R/W	24ビットADCゼロスケール・キャリブレーション・レジスタ							
			800000h							
ADCフルスケール	07	R/W	24ビットADCフルスケール・レジスタ							
			800000h							
チャンネル・データ ¹	08—0B	R	16/24ビット・データ・レジスタ							
			8000h							
チャンネル・ゼロスケール・キャリブレーション ¹	10—13	R/W	24ビット・チャンネル・ゼロスケール・キャリブレーション・レジスタ							
			800000h							
チャンネル・フルスケール・キャリブレーション ¹	18—1B	R/W	24ビット・チャンネル・フルスケール・キャリブレーション・レジスタ							
			200000h							
チャンネル・ステータス ¹	20—23	R	0	CH1	CH0	0/P0	RDY/P1	NOREF	SIGN	OVR
			チャンネル番号			0	0	0	0	0
チャンネル・セットアップ ¹	28—2B	R/W	0	0	0	Stat OPT	イネーブル	0	RNG1	RNG0
			0	0	0	0	0	0	0	0
チャンネル変換時間 ¹	30—33	R/W	CHOP	FW (7ビット・フィルタ・ワード)						
			1	11h						
モード ²	38—3B	R/W	MD2	MD1	MD0	CLKDIS	ダンプ	Cont RD	24/16ビット	クランプ
			0	0	0	0	0	0	0	0

1 レジスタ・アドレスの2つのLSB、つまりコミュニケーション・レジスタのビット1とビット0は、アクセスされたレジスタのチャンネル番号を指定します。

2 モード・レジスタは4つのアドレス・ロケーションの1つを使ってアクセスできますが、モード・レジスタは1個しか存在しません。モード・レジスタへの書き込みで使うアドレスは、モードが適用されるADCチャンネルを指定します。モード・レジスタからの読み出しではアドレス38hのみを使う必要があります。

表 12. 動作モードの一覧

MD2	MD1	MD0	モード
0	0	0	アイドル・モード
0	0	1	連続変換モード
0	1	0	シングル変換モード
0	1	1	パワーダウン(スタンバイ)モード
1	0	0	ADCゼロスケール・セルフキャリブレーション
1	0	1	予備
1	1	0	チャンネル・ゼロスケール・システム・キャリブレーション
1	1	1	チャンネル・フルスケール・システム・キャリブレーション

表 13. 入力レンジの一覧

RNG1	RNG0	入力電圧範囲 (公称)
0	0	±10V
0	1	0～+10V
1	0	±5V
1	1	0～+5V

レジスタ・アクセス

AD7734は一連のレジスタを使って設定します。いくつかのレジスタはAD7734の一般的な機能を設定および制御しますが、各チャンネルに固有のレジスタもあります。レジスタのデータ幅は、8~24ビットで変化します。すべてのレジスタはコミュニケーション・レジスタを使ってアクセスします。すなわち、AD7734に対する通信では、最初にコミュニケーション・レジスタに書き込み、次に読み出したまたは書き込み対象のレジスタを指定しておく必要があります。

コミュニケーション・レジスタ

8ビット、書き込み専用レジスタ、アドレス00h

デバイスに対するすべての通信は、コミュニケーション・レジスタへの書き込み動作で開始されます。コミュニケーション・レジスタに書き込まれた

データによって、次のデータ転送動作が読み出しか書き込みか、また対象となるレジスタがどれになるかが決まります。パワーオン、リセット、あるいは選択されたレジスタに対する後続の読み出しまたは書き込み動作が完了した後は、デジタル・インターフェースはデフォルトとしてコミュニケーション・レジスタへの書き込みを想定しています。インターフェース・シーケンスが失われた場合には、 $\overline{\text{DIN}}$ =ハイレベル、かつ $\overline{\text{CS}}$ =ローレベルで少なくともシリアル・クロックの32サイクル間書き込むことにより、デバイスをリセットすることができます(この場合、変調器、フィルタ、インターフェースおよび、すべてのレジスタを含むデバイス全体がリセットされることに注意してください)。連続読み出しモードで、またはモード・レジスタのダンプ・ビットと「24/16」ビットをセットした状態で、32ビット以上を読み出す間 $\overline{\text{DIN}}$ をローレベルに維持するように注意してください。

ビット	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
記号	0	R/ $\overline{\text{W}}$	6ビット・レジスタ・アドレス					

ビット	記号	説明
7	0	このビットは正常動作のためには「0」に設定しておく必要があります。
6	R/ $\overline{\text{W}}$	このビットが「0」の場合は、次の動作が指定されたレジスタに対する書き込み動作であることを表します。このビットが「1」の場合は、次の動作が指定されたレジスタからの読み出しであることを表します。
5~0	アドレス	次の読み出し動作または書き込み動作でアクセスするレジスタを指定します。チャンネル固有のレジスタの場合は、2つのLSB、つまりビット1とビット0がチャンネル番号をアドレス指定します。後続の動作がモード・レジスタに対する書き込みの場合、2つのLSBがモード・レジスタ値によって決定された動作のために選択されたチャンネルを指定します(表14参照)。

表 14

ビット2	ビット1	ビット0	チャンネル	入力
0	0	0	0	AIN0
0	0	1	1	AIN1
0	1	0	2	AIN2
0	1	1	3	AIN3

AD7734

I/Oポート・レジスタ

8ビットのリード/ライト・レジスタ、アドレス01h、デフォルト値30h+デジタル入力値×40h

このレジスタのビットを使って、AD7734のデジタルI/Oポートの設定とアクセスを行います。

ビット	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
記号	P0	P1	P0 DIR	P1 DIR	RDYFN	0	0	SYNC
デフォルト	P0ピン	P1ピン	1	1	0	0	0	0

ビット	記号	説明
7、6	P0、P1	P0ピンとP1ピンが出力として設定された場合、P0ビットとP1ビットがピンの出力レベルを決定します。P0ピンとP1ピンが入力として設定された場合、P0ビットとP1ビットがピンの現在の入力レベルを表します。
5、4	P0 DIR、P1 DIR	これらのビットが、P0ピンとP1ピンの設定(入力または出力)を決定します。「1」に設定された場合は対応するピンが入力、「0」にリセットされた場合は対応するピンが出力になります。
3	RDYFN	このビットは、AD7734のRDYピンの機能を制御するときに使います。このビットが「0」にリセットされた場合、いずれかのチャンネルに未読データがあるときRDYピンはローレベルになります。このビットが「1」に設定された場合は、イネーブルされたチャンネルすべてに未読データがあるときのみRDYピンがローレベルになります。
2、1	0	これらのビットは正常動作のためには「0」に設定しておく必要があります。
0	SYNC	このビットはSYNCピン機能をイネーブルします。デフォルトではこのビットは「0」であり、SYNC/P1はデジタルI/Oピンとして使うことができます。SYNCビットが「1」に設定されると、SYNCピンはAD7734の変調器とデジタル・フィルタをシステム内の他のデバイスに同期させるために使うことができます。

レビジョン・レジスタ

8ビット、読み出し専用レジスタ、アドレス02h、デフォルト値02h+チップ・レビジョン×10h

ビット	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
記号	チップ・レビジョン・コード				チップ一般コード			
デフォルト	x	x	x	x	0	0	1	0

ビット	記号	説明
7~4	チップ・レビジョン・コード	4ビットの出荷時チップ・レビジョン・コード
3~0	チップ一般コード	AD7734では、これらのビットを読み出すと02hが返されます。

テスト・レジスタ

24ビット、リード/ライト・レジスタ、アドレス03h

このレジスタは製造工程でデバイスのテストに使用します。ユーザーはこのレジスタのデフォルト設定を絶対に変更しないようにしてください。

ADCステータス・レジスタ

8ビット、読み出し専用レジスタ、アドレス04h、デフォルト値00h

変換モードでは、レジスタ・ビットが個々のチャンネル・ステータスを表わします。変換が完了すると、対応するチャンネル・データ・レジスタが更新され、対応するRDYビットが「1」に設定されます。チャンネル・データ・レジスタが読み出されると、対応するビットが「0」にリセットされます。読み出し動作が実行されずに次の変換結果がチャンネル・データ・レジスタに格納されたときにも、このビットは「0」にリセットされます。モード・レジスタに書き込みを行うと、すべてのビットが「0」にリセットされます。

キャリブレーション・モードでは、キャリブレーションの進行中は全レジスタ・ビットが「0」にリセットされ、キャリブレーションが完了すると全レジスタ・ビットが「1」に設定されます。

I/Oポート・レジスタのRDYFNビットの指定に従って、 $\overline{\text{RDY}}$ ピン出力はADCステータス・レジスタの内容に関係します。RDY0ビットはチャンネル0に、RDY1ビットはチャンネル1に、というように対応します。

ビット	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
記号	—	—	—	—	RDY3	RDY2	RDY1	RDY0
デフォルト	0	0	0	0	0	0	0	0

チェックサム・レジスタ

16ビット、リード／ライト・レジスタ、アドレス05h

このレジスタはアプリケーション・ノート「AD7732/AD7734/AD7738チェックサム・レジスタの使い方」(www.analog.com/UploadedFiles/Application_Notes/71751876AN626_0.pdf)で説明しています。

ADCゼロスケール・キャリブレーション・レジスタ

24ビット、リード／ライト・レジスタ、アドレス06h、デフォルト値800000h

このレジスタはADCゼロスケール・キャリブレーション係数を格納しています。このレジスタ値は、全チャンネルの変換結果をデジタル的にスケールするのに、ADCフルスケール・キャリブレーション・レジスタ値、対応するチャンネル・ゼロスケールおよびチャンネル・フルスケールのキャリブレーション・レジスタ値と組み合わせて使います。このレジスタ値は、ADCゼロスケール・セルフキャリブレーションを実行した後に自動的に更新されます。このレジスタに対する書き込みはアイドル・モードでのみ可能です(詳細は「キャリブレーション」を参照)。

ADCフルスケール・レジスタ

24ビット、リード／ライト・レジスタ、アドレス07h、デフォルト値800000h

このレジスタはADCフルスケール係数を格納しています。ユーザーはこのレジスタのデフォルト値を変更しないようにお願いします。

チャンネル・データ・レジスタ

16ビット／24ビット、読み出し専用レジスタ、アドレス08h–0Bh、デフォルト幅16ビット、デフォルト値8000h

これらのレジスタは、各アナログ入力チャンネルに対応する直前の変換結果を格納しています。モード・レジスタの16ビット／24ビットを設定することにより、16ビットまたは24ビットのデータ幅に設定することができます。変換結果が更新されると、チャンネル・ステータス・レジスタの対応するRDYビットがハイレベルになります。データ・レジスタの読み出しが開始されると、RDYビットはローレベルに戻ります。いずれかのチャンネルに未読データがあることを表示するように、またはイネーブルされた全チャンネルが未読データを格納するまで待つように、 $\overline{\text{RDY}}$ ピンを設定することができます。新しい変換結果が更新されたときに、チャンネル・データ・レジスタが読み出し中の場合には、データ・レジスタの更新は行われません。この機能により、データの破壊を防止します。ダンプ・モードでは、ステータス・レジスタの読み出しとデータ・レジスタの読み出しを対応させることができます。連続読み出しモードでは、ステータス・レジスタの読み出しは常にデータ・レジスタの読み出しと対応しています(詳細は「デジタル・インターフェースの説明」を参照)。

AD7734

チャンネル・ゼロスケール・キャリブレーション・レジスタ

24ビット、リード/ライト・レジスタ、アドレス10h-13h、
デフォルト値800000h

これらのレジスタは、特定のチャンネル・ゼロスケール・キャリブレーション係数を格納しています。これらのレジスタの値は、特定チャンネルの変換結果をデジタル的にスケールするのに、対応するチャンネル・フルスケール・キャリブレーション・レジスタ値、ADCゼロスケール・キャリブレーション・レジスタ値、ADCフルスケール・レジスタ値と組み合わせて使います。このレジスタ値は、チャンネル・ゼロスケール・システム・キャリブレーションを実行した後に自動的に更新されます。

チャンネル・ゼロスケール・キャリブレーション・レジスタのフォーマットは、1符号ビットと符号なし22ビット値で構成されています。このレジスタに対する書き込みはアイドル・モードでのみ可能です(詳細は「キャリブレーション」を参照)。

チャンネル・ステータス・レジスタ

8ビット、読み出し専用レジスタ、アドレス20h-23h、デフォルト値20h×チャンネル番号

これらのレジスタは、個々のチャンネルのステータス情報およびAD7734の全般的なステータス情報のいくつかを格納しています。ダンプ・モードでは、ステータス・レジスタの読み出しとデータ・レジスタの読み出しを対応させることができます。連続読み出しモードでは、ステータス・レジスタの読み出しは常にデータ・レジスタの読み出しと対応しています(詳細は「デジタル・インターフェースの説明」を参照)。

チャンネル・フルスケール・キャリブレーション・レジスタ

24ビット、リード/ライト・レジスタ、アドレス18h-1Bh、
デフォルト値200000h

これらのレジスタは、特定のチャンネル・フルスケール・キャリブレーション係数を格納しています。これらのレジスタの値は、特定チャンネルの変換結果をデジタル的にスケールするのに、対応するチャンネル・ゼロスケール・キャリブレーション・レジスタ値、ADCゼロスケール・キャリブレーション・レジスタ値、ADCフルスケール・レジスタ値と組み合わせて使います。このレジスタ値は、チャンネル・フルスケール・システム・キャリブレーションを実行した後に自動的に更新されます。このレジスタに対する書き込みはアイドル・モードでのみ可能です(詳細は「キャリブレーション」を参照)。

ビット	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
記号	0	CH1	0	0/P0	RDY/P1	NOREF	SIGN	OVR
デフォルト	チャンネル番号			0	0	0	0	0

ビット	記号	説明
7~5	CH1-CH0	これらのビットはチャンネル番号を表します。これらのビットは、現在のチャンネル識別と、ダンプ・モードおよび連続読み出しモードの動作を容易にするために使うことができます。
4	0/P0	対応するチャンネル・セットアップ・レジスタのステータス・オプション・ビットが「0」にリセットされている場合に、このビットを読み出すと「0」が返されます。ステータス・オプション・ビットが「1」に設定されている場合、このビットはP0ピンの状態(入力または出力)を表示します。
3	RDY/P1	対応するチャンネル・セットアップ・レジスタのステータス・オプション・ビットが「0」にリセットされている場合、このビットはADCステータス・レジスタ内の選択されたチャンネルのRDYビットを表示します。ステータス・オプション・ビットが「1」に設定されている場合、このビットはP1ピンの状態(入力または出力)を表示します。
2	NOREF	このビットはリファレンス入力のステータスを表示します。REFIN(+)ピンとREFIN(-)ピンの間の電圧がNOREFより小さい場合、トリガー電圧と変換が実行され、NOREFビットが「1」になります。
1	SIGN	アナログ入力の電圧極性。正電圧は「0」に、負電圧は「1」に設定されます。
0	OVR	このビットは、アナログ入力のオーバーレンジまたはアンダーレンジを示します。アナログ入力電圧が公称電圧の範囲を超えた場合、「1」に設定されます(「アナログ入力の拡張電圧範囲」を参照)。

チャンネル・セットアップ・レジスタ

8ビット、リード/ライト・レジスタ、アドレス28h-2Bh、デフォルト値00h

これらのレジスタを使って、選択したチャンネルの設定、その入力電圧範囲の設定、対応するチャンネル・ステータス・レジスタの設定を行います。

ビット	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
記号	0	0	0	Stat OPT	イネーブル	0	RNG1	RNG0
デフォルト	0	0	0	0	0	0	0	0

ビット	記号	説明
7~5	0	これらのビットは正常動作のため「0」に設定しておく必要があります。
4	Stat OPT	ステータス・オプション。このビットが「1」に設定されると、チャンネル・ステータス・レジスタのP0ビットとP1ビットがP0ピンとP1ピンの状態を示します。このビットが「0」にリセットされると、チャンネル・ステータス・レジスタのRDYビットがADCステータス・レジスタのRDYビットに対応するチャンネルを示します。
3	イネーブル	チャンネル・イネーブル。連続変換モードでチャンネルをイネーブルするとき、このビットを「1」に設定します。シングル変換は、このビットの値に無関係に実行されます。
2	0	このビットは正常動作のため「0」に設定しておく必要があります。
1~0	RNG1~RNG0	チャンネル入力電圧範囲(表15参照)。

表15

RNG1	RNG0	入力電圧範囲 (公称)
0	0	±10V
0	1	0~+10V
1	0	±5V
1	1	0~+5V

チャンネル変換時間レジスタ

8ビット、リード/ライト・レジスタ、アドレス30h-33h、デフォルト値91h

変換時間レジスタはチョッピング機能をイネーブルまたはディスエーブルし、特定のチャンネルに対するデジタル・フィルタを設定します。このレジスタ値は、ADCの変換時間、周波数応答、ノイズ性能に影響を与えます。

ビット	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
記号	CHOP	FW (7ビット・フィルタ・ワード)						
デフォルト	1	11h						

ビット	記号	説明
7	CHOP	チョッピング・イネーブル・ビット。特定のチャンネルにチョッピング・モードを適用するとき、「1」に設定します。
6~0	FW	CHOP=1、1チャンネルをイネーブルしてシングル変換または連続変換を実行。 変換時間(μ s)=(FW×128+248)/MCLK周波数(MHz)、FWレンジ=2~127 CHOP=1、2つ以上のチャンネルをイネーブルして連続変換を実行。 変換時間(μ s)=(FW×128+249)/MCLK周波数(MHz)、FWレンジ=2~127 CHOP=0、1チャンネルをイネーブルしてシングル変換または連続変換を実行。 変換時間(μ s)=(FW×64+206)/MCLK周波数(MHz)、FWレンジ=3~127 CHOP=0、2チャンネル以上をイネーブルして連続変換を実行。 変換時間(μ s)=(FW×64+207)/MCLK周波数(MHz)、FWレンジ=3~127

AD7734

モード・レジスタ

8ビット、リード／ライト・レジスタ、アドレス38h～3Bh、デフォルト値00h

モード・レジスタはデバイスの設定を行い、動作モードを決定します。モード・レジスタに書き込みを行うと、ADCステータス・レジスタがクリアされ、RDYピンがロジック・ハイレベルに設定され、実行中のすべての動作が終了して、モード・ビットで指定されたモードがスタートします。

AD7734のモード・レジスタは1個だけです。MD2～MD0ビットで指定された動作作用に選択するチャンネルを指定する場合、アドレスの2つのLSBを使用してモード・レジスタに対して書き込みを行います。モード・レジスタからの読み出しにはアドレス38hのみを使う必要があります。

ビット	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
記号	MD2	MD1	MD0	CLKDIS	ダンプ	Cont RD	24/16ビット	クランプ
デフォルト	0	0	0	0	0	0	0	0

ビット	記号	説明
7～5	MD2～MD0	モード・ビット。これら3ビットがAD7734の動作モードを決定します。新しい値をモード・ビットに書き込むと、それまで動作していたモードを終了して、直ちに新しいモードに切り替わります。モード・ビットの機能は以下に詳しく説明します。
4	CLKDIS	マスター・クロック出力ディスエーブル。このビットを「1」に設定すると、MCLKOUTピンに出力されているマスター・クロックがディスエーブルされて、MCLKOUTピンはハイ・インピーダンス状態になります。この機能を使うと、消費電力を節約するためにMCLKOUTをターンオフできます。MCLKINピンで外部クロックを使う場合も、AD7734では内部クロックが維持され、CLKDISビット状態とは無関係に、正常に変換が行われます。MCLKINピンとMCLKOUTピンにクリスタル・オシレータまたはセラミック共振子を接続して使う場合、AD7734のクロックが停止され、CLKDISビットがアクティブのときは、変換は実行されません。AD7734 デジタル・インターフェースの方はそれでも、SCLKピンを使ってアクセスすることができます。
3	ダンプ	ダンプ・モード。このビットが「0」にリセットされると、チャンネル・ステータス・レジスタとチャンネル・データ・レジスタがアドレス指定され、別々に読み出されます。ダンプ・ビットが「1」に設定されると、コミュニケーション・レジスタによってステータス・レジスタまたはデータ・レジスタのどちらがアドレス指定されたかには無関係に、チャンネル・ステータス・レジスタの読み出しの直後にチャンネル・データ・レジスタの読み出しが続きます。連続読み出しモードは常にダンプ・モードであり、ダンプ・ビット値に無関係にチャンネル・ステータス・レジスタとチャンネル・データ・レジスタを読み出します(詳細は「デジタル・インターフェースの説明」を参照)。
2	Cont RD	このビットが「1」に設定されると、AD7734は連続読み出しモードで動作します(詳細は「デジタル・インターフェースの説明」を参照)。
1	24/16ビット	チャンネル・データ・レジスタのデータ幅選択ビット。「1」に設定されると、チャンネル・データ・レジスタは24ビット幅になります。「0」に設定されると、チャンネル・データ・レジスタは16ビット幅になります。
0	クランプ	アナログ入力電圧が公称入力電圧範囲外の時、このビットがチャンネル・データ・レジスタの値を決定します。クランプ・ビットが「1」に設定されると、アナログ入力電圧が公称入力電圧範囲外になったとき、チャンネル・データ・レジスタは全ビット「0」または全ビット「1」にデジタル的にクランプされます。クランプ・ビットが「0」にリセットされると、データ・レジスタはアナログ入力電圧が公称電圧範囲外であってもその値を示します(「アナログ入力」の拡張電圧範囲を参照)。

MD2	MD1	MD0	モード	モード・レジスタの書き込み指定に使うアドレス
0	0	0	アイドル・モード	
0	0	1	連続変換モード	変換を開始する最初のチャンネル
0	1	0	シングル変換モード	変換対象チャンネル
0	1	1	パワーダウン(スタンバイ)モード	
1	0	0	ADCゼロスケール・セルフキャリブレーション	ADCセルフキャリブレーションに使うチャンネル 変換時間
1	0	1	予備	
1	1	0	チャンネル・ゼロスケール・システム・キャリブレーション	キャリブレーション対象チャンネル
1	1	1	チャンネル・フルスケール・システム・キャリブレーション	キャリブレーション対象チャンネル

MD2	MD1	MD0	動作モード
0	0	0	アイドル・モード パワーオンまたはリセット後のデフォルト・モード。 キャリブレーションまたはシングル変換の実行後は、AD7734は自動的にこのモードに戻ります。
0	0	1	連続変換モード AD7734は指定されたチャンネルで変換を実行します。変換の完了後、対応するチャンネル・データ・レジスタとチャンネル・ステータス・レジスタが更新され、ADCステータス・レジスタの対応するRDYビットがセットされて、AD7734は次のイネーブルされたチャンネルの変換を続けます。デバイスは別のモードになるかまたはリセットされるまで、すべてのイネーブルされたチャンネルについて変換を繰り返します。サイクル周期はイネーブルされたチャンネルすべての変換時間の和になり、対応するチャンネル変換時間レジスタによって設定されます。
0	1	0	シングル変換モード AD7734は指定されたチャンネルで変換を実行します。変換の完了後、対応するチャンネル・データ・レジスタとチャンネル・ステータス・レジスタが更新され、ADCステータス・レジスタの対応するRDYビットがセットされ、 $\overline{\text{RDY}}$ ピンがローレベルになり、MD2～MD0ビットがリセットされて、AD7734はアイドル・モードに戻ります。シングル変換を要求すると、チャンネル・セットアップ・レジスタ・イネーブル・ビットが無視され、そのチャンネルがデイスエーブルされていても、変換が実行されます。
0	1	1	パワーダウン(スタンバイ)モード ADCとアナログ・フロントエンド(内部バッファ)がパワーダウン・モードになります。 この場合でも、AD7734デジタル・インターフェースはアクセスすることができます。CLKDISビットは個別に動作するため、MCLKOUTモードはパワーダウン(スタンバイ)モードの影響を受けません。
1	0	0	ADCゼロスケール・セルフキャリブレーション・モード 内部で短絡されたADC入力のゼロスケール・セルフキャリブレーションが実行されます。 キャリブレーションの完了後、ADCゼロスケール・キャリブレーション・レジスタの内容が更新され、ADCステータス・レジスタの全RDYビットがセットされて $\overline{\text{RDY}}$ ピンがローレベルになり、MD2～MD0ビットがリセットされて、AD7734はアイドル・モードに戻ります。
1	0	1	予備
1	1	0	チャンネル・ゼロスケール・システム・キャリブレーション・モード 選択したチャンネルのゼロスケール・システム・キャリブレーションが実行されます。外部からAD7734アナログ入力にシステム・ゼロスケール電圧を入力して、キャリブレーション中、この電圧を一定に保つ必要があります。キャリブレーションの完了後、対応するチャンネル・ゼロスケール・キャリブレーション・レジスタの内容が更新され、ADCステータス・レジスタの全RDYビットがセットされて $\overline{\text{RDY}}$ ピンがローレベルになり、MD2～MD0ビットがリセットされて、AD7734はアイドル・モードに戻ります。
1	1	1	チャンネル・フルスケール・システム・キャリブレーション・モード 選択したチャンネルのフルスケール・システム・キャリブレーションが実行されます。外部からAD7734アナログ入力にシステム・フルスケール電圧を入力して、キャリブレーション中一定に保つ必要があります。キャリブレーションの完了後、対応するチャンネル・フルスケール・キャリブレーション・レジスタの内容が更新され、ADCステータス・レジスタの全RDYビットがセットされて $\overline{\text{RDY}}$ ピンがローレベルになり、MD2～MD0ビットがリセットされて、AD7734はアイドル・モードに戻ります。

AD7734

デジタル・インターフェースの説明

ハードウェア

AD7734のシリアル・インターフェースは、複数の方法でシリアル・インターフェースを介してホスト・デバイスに接続することができます。

$\overline{\text{CS}}$ ピンは、ホスト・シリアル・インターフェースに接続された複数の回路のひとつとしてAD7734を選択する際に使うことができます。 $\overline{\text{CS}}$ がハイレベルになると、AD7734はSCLK信号とDIN信号を無視し、DOUTピンはハイ・インピーダンス状態になります。 $\overline{\text{CS}}$ 信号を使用しないときは、 $\overline{\text{CS}}$ ピンをDGNDに接続しておきます。

選択された動作をAD7734が完了し、さらに／またはAD7734に新しいデータが存在することを示すために、 $\overline{\text{RDY}}$ ピンのハイレベルからローレベルへの遷移を検出するか、または $\overline{\text{RDY}}$ ピンによりホスト・デバイス割り込み入力を駆動することができます。また、ホスト・システムは、指定したコマンドをデバイスに書き込んでから指定の時間だけ待った後に読み出しを行うこともできます。もう1つの方法として、AD7734のステータスを読み出すこともできます。システムで $\overline{\text{RDY}}$ ピンを使用しないときは、オープンのままにしておく必要があります($\overline{\text{RDY}}$ ピンは常にアクティブ・デジタル出力なの

で、ハイ・インピーダンス状態になることはないことに注意してください)。

$\overline{\text{RESET}}$ ピンは、AD7734をリセットする際に使うことができます。使用しないときは、このピンは DV_{DD} に接続しておきます。

AD7734インターフェースは、DINピンとDOUTピンを1本の双方向データラインに接続することで、信号数を2本に減らすことができます。この2線式構成での2本目の信号はSCLK信号です。ホスト・システムはデータラインの方向をAD7734のタイミング仕様に従って切り替える必要があります(表2のバス開放時間を参照)。2線式シリアル・インターフェース構成では、AD7734は連続読み出しモードで動作できません。

すべてのデジタル・インターフェース入力がシュミット・トリガー付きなので、AD7734インターフェースは高いノイズ耐性を持ち、光カプラーを使ってホスト・システムから容易に絶縁することができます。図13～15に、 $\overline{\text{CS}}$ 信号を使用しないSPI(図13)、DSPインターフェース(図14)、2線式構成(図15)のホスト・デバイス・インターフェースの概要を示します。

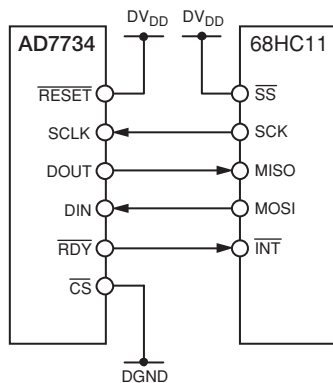


図13. AD7734とホスト・デバイス間のインターフェース、SPI

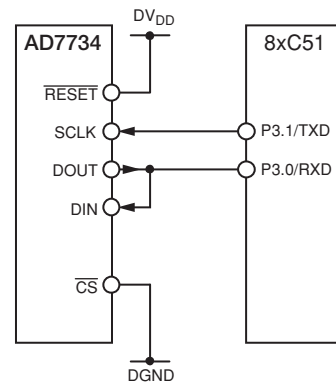


図15. AD7734とホスト・デバイス間のインターフェース、2線式構成

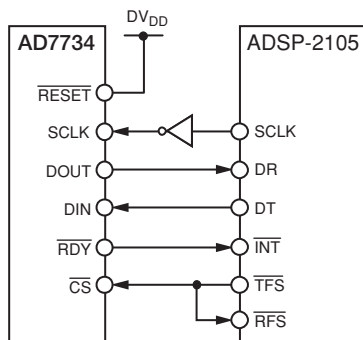


図14. AD7734とホスト・デバイス間のインターフェース、DSP

リセット

AD7734は $\overline{\text{RESET}}$ ピンを使って、またはAD7734シリアル・インターフェースにリセット・シーケンスを書き込むことにより、リセットすることができます。

リセット・シーケンスは、 $N \times 0 + 32 \times 1$ であり、バイト構成のインターフェースではデータ・シーケンス00h+FFh+FFh+FFh+FFhで表されます。また、AD7734はパワーオン・リセット機能も持っており、トリップ・ポイントは2Vで、パワーオン後に所定のデフォルト状態になります。

AD7734に対する不要な書き込み動作を防止するのはシステム設計者の役割です。 $\overline{\text{CS}}$ ピンがローレベルのとき、SCLKに余分なクロックがあると、不要な書き込み動作が発生します。システム・パワーオン時に、AD7734インターフェース信号がフローティング状態または不定の場合には、デバイスは予想もしない状態になってしまうことがあるので注意が必要です。この状態は、システム設定の最初の段階で、ハードウェア・リセット・イベントまたは32ビットの「1」からなるリセット・シーケンスを起動することにより、容易に回避することができます。

AD7734レジスタのアクセス

デバイスに対するすべての通信は、コミュニケーション・レジスタへの書き込み動作により開始され、その後アドレス指定されたレジスタに対する読み出しまたは書き込みが続きます。

同時にリード／ライトが行われるインターフェース(たとえばSPI)では、データの読み出し中に、「0」がAD7734に書き込まれます。

図16に、ADCステータス・レジスタに対するAD7734インターフェースの読み出しシーケンスを示します。

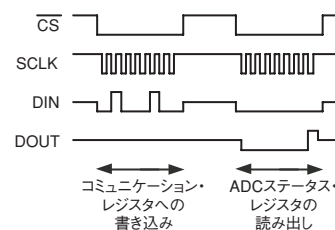


図16. シリアル・インターフェースの各信号—レジスタ・アクセス

シングル変換とデータの読み出し

モード・レジスタの書き込み中は、ADCステータスのバイトがクリアされ、 $\overline{\text{RDY}}$ ピンは前の状態とは無関係にハイレベルになります。シングル変換コマンドがモード・レジスタに書き込まれると、ADCはモード・レジスタのアドレスによって選択されたチャンネルで変換を開始します。変換が完了した後、データ・レジスタが更新され、モード・レジスタがアイドル・モードに変わり、対応するRDYビットがセットされて、 $\overline{\text{RDY}}$ ピンがローレベルになります。対応するチャンネル・データ・レジスタが読み出されると、RDYビットがリセットされ、 $\overline{\text{RDY}}$ ピンはハイレベルに戻ります。

図17に、チャンネル0でシングル変換を実行するデジタル・インターフェース信号を示します。 $\overline{\text{RDY}}$ ピンがローレベルになるのを待って、チャンネル0のデータ・レジスタを読み出しています。

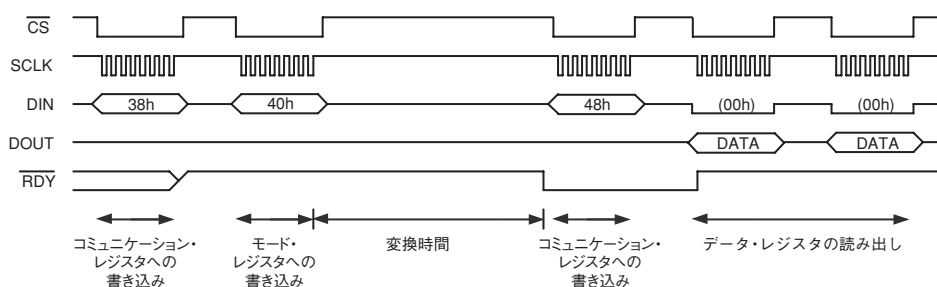


図17. シリアル・インターフェースの各信号—シングル変換コマンドと16ビット・データの読み出し

AD7734

ダンプ・モード

モード・レジスタのダンプ・ビットが「1」に設定されると、チャンネル・データ・レジスタを読み出すことにより、直ちにチャンネル・ステータス・レジスタが読み出されます。これは、ステータス・レジスタまたはデータ・レジスタのどちらかがコミュニケーション・レジスタによりアドレス指定されたかとは無関係に行われます。ダンプ・モードで24ビット・データを読み出す間、DINピンはハイレベルにすることはできません。ハイレベルにするとAD7734はリセットされてしまいます。

図18に、チャンネル0でシングル変換を実行するデジタル・インターフェース信号を示します。 $\overline{\text{RDY}}$ ピンがローレベルになるのを待って、ダンプ・モードでチャンネル0のステータス・レジスタとデータ・レジスタを読み出しています。

連続変換モード

モード・レジスタの書き込み中は、ADCステータスのバイトがクリアされ、 $\overline{\text{RDY}}$ ピンは前の状態とは無関係にハイレベルになります。連続変換コマンドがモード・レジスタに書き込まれると、ADCはモード・レジスタのアドレスによって選択されたチャンネルで変換を開始します。

変換の完了後、対応するチャンネル・データ・レジスタとチャンネル・ステータス・レジスタが更新され、ADCステータス・レジスタの対応するRDYビットがセットされて、AD7734は次のイネーブルされたチャンネルの変換を続けます。デバイスは別のモードになるかまたはリセットされるまで、すべてのイネーブルされたチャンネルについて変換を繰り返します。サイクル周期はイネーブルされたチャンネルすべての変換時間の和になり、対応するチャンネル変換時間レジスタによって設定されます。

対応するチャンネル・データ・レジスタの読み出し中に、RDYビットがリセットされます。 $\overline{\text{RDY}}$ ピンの動作は、I/Oポート・レジスタのRDYFNビットに依存します。このRDYFNビットが「0」の場合は、いずれかのチャンネルに未読データがあると、 $\overline{\text{RDY}}$ ピンはローレベルになります。このRDYFNビットが「1」に設定された場合、イネーブルされたチャンネルすべてに未読データがあるときのみ、 $\overline{\text{RDY}}$ ピンがローレベルになります。

ADC変換結果の読み出しを行わない場合でも新しいADC変換を完了すると、新しい変換結果により前の変換結果が上書きされます。少なくともMCLKで163サイクルの間(約26.5 μ s)、対応するRDYビットがローレベルになり、 $\overline{\text{RDY}}$ ピンがハイレベルになります。つまり、データ・レジスタが更新されて前の変換データが失われたことになります。

データ・レジスタの読み出し中にADC変換が完了した場合、データ・レジスタは新しい変換結果で更新されず(データの破壊を防止するため)、新しい変換データは失われます。

図19に、チャンネル0とチャンネル1をイネーブルし、RDYFNビットを「0」に設定した場合の、連続変換モードのデジタル・インターフェース信号のシーケンスを示します。各変換後、 $\overline{\text{RDY}}$ ピンがローレベルになり、データ・レジスタが読み出されます。図20に、RDYFNビットを「1」に設定した場合について、同じシーケンスを示します。すべての変換が完了した後に、 $\overline{\text{RDY}}$ ピンがローレベルになり、すべてのデータ・レジスタが読み出されます。図21に、AD7734からデータの読み出しがない場合の $\overline{\text{RDY}}$ ピンを示します。

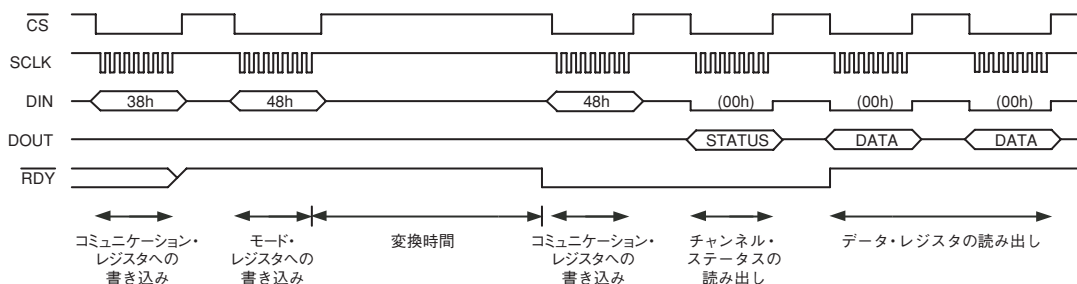


図18. シリアル・インターフェース信号—シングル変換コマンド、ダンプ・モードでの16ビット・データの読み出し

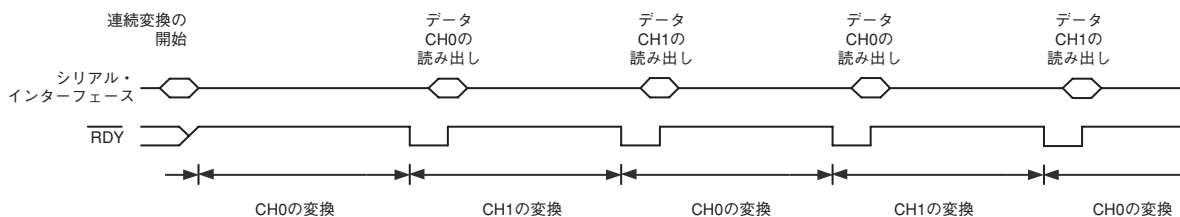


図19. 連続変換、CH0およびCH1、RDYFN=0

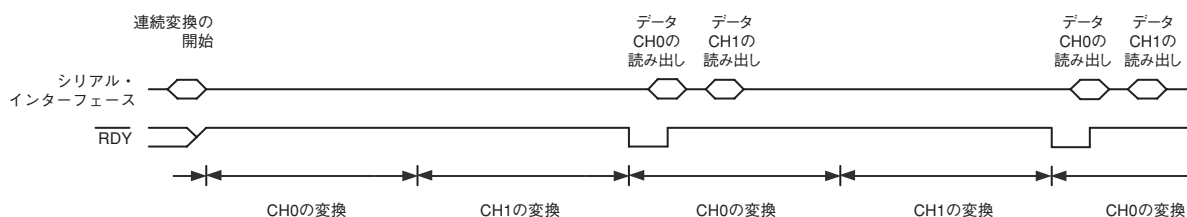


図20. 連続変換、CH0およびCH1、RDYFN=1

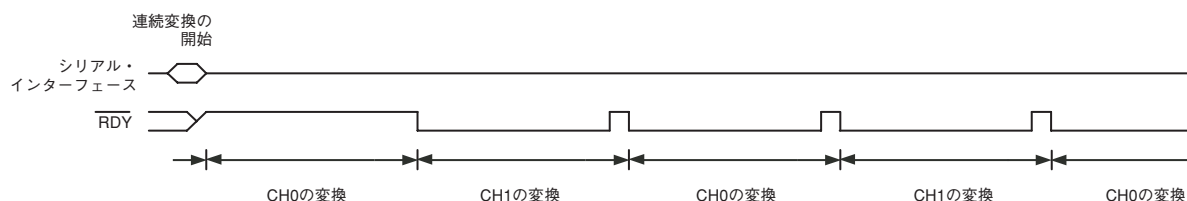


図21. 連続変換、CH0およびCH1、データ読み出しなし

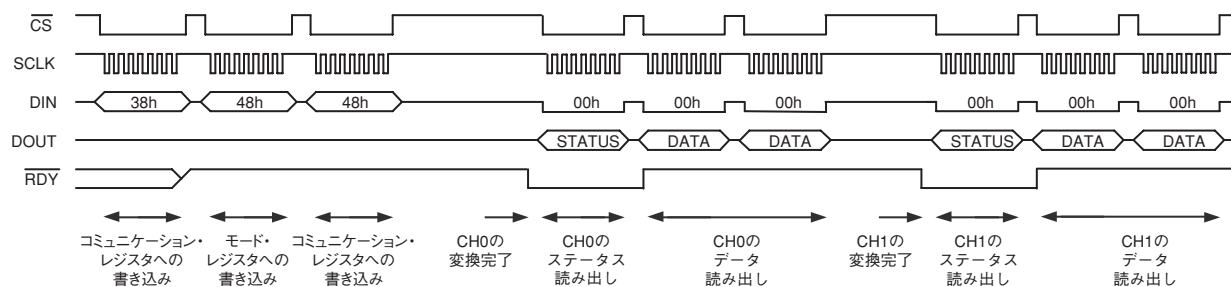


図22. 連続変換、CH0およびCH1、連続読み出し

連続読み出し(連続変換)モード

モードレジスタのCont RDビットが設定された場合、最初にコミュニケーションレジスタに48hが書き込まれると、連続読み出しモードが開始されます。図22に示すように、コミュニケーションレジスタを再設定することなく、その後デバイスにアクセスするとそのたびに、直前に変換が完了したチャンネル・ステータスレジスタとデータレジスタが読み出されます。

連続読み出しモードに入るとき、モードレジスタの連続変換ビットを設定する必要があることに注意してください。

連続読み出しモードはダンプモードであり、ダンプビット値とは無関係にチャンネル・ステータスレジスタとチャンネル・データレジスタを読み出します。どのチャンネル・データが実際にシフトアウト中であることを確認するには、チャンネル・ステータスレジスタのチャンネルビットを使います。

直前に完了した変換結果が読み出されることに注意してください。したがって、I/OポートレジスタのRDYFNビットは「0」である必要があり、変換結果の読み出しは必ず、次の変換が完了する前に開始する必要があります。

DINピンがローレベルで、かつCSピンがローレベルである限り、AD7734は連続読み出しモードを維持します。したがって、連続読み出しモードでの読み出し中はAD7734に「0」を書き込みます。連続読み出しモードを終了するときは、読み出し完了後、少なくとも100ns間、DINピンをハイレベルに維持してください(連続読み出しを終了するときは、AD7734に80hを書き込みます)。

DINピンをハイレベルにしても、モードレジスタのCont RDビットは変わりません。そのため、次に48hを書き込むと、連続読み出しモードが再度開始されます。連続読み出しモードを完全に停止させるときは、モードレジスタに書き込みを行って、Cont RDビットをクリアします。

AD7734

回路説明

AD7734は、工業用プロセス制御システム、計測器、PLCシステムにおける広いダイナミックレンジの低周波信号の計測を目的としたΣΔ ADCです。

AD7734は、薄膜抵抗デバイダ、マルチプレクサ、入力バッファ、ΣΔ(または電荷平衡型)ADC、デジタル・フィルタ、クロック・オシレータ、デジタルI/Oポート、シリアル・コミュニケーション・インターフェースを内蔵しています。

アナログ・フロントエンド

AD7734は4つのシングルエンド・アナログ入力を持っています。薄膜抵抗デバイダを内蔵しているため、±10V、±5V、0～+10V、0～+5Vの入力信号をアナログ入力ピンに直接接続することができます。

抵抗デバイダ入力段の後ろには、マルチプレクサ、広帯域幅、高速セトリング時間の差動入力バッファが続き、高速ΣΔ変調器のダイナミック負荷を駆動することができます。

通常の回路構成では、BIAS0～BIAS3およびBIASHIピンは2.5V(リファレンス)電圧源に接続され、BIASLOピンは0Vに接続されます。この接続により、内部入力バッファから見た差動信号がAGND+200mV～AV_{DD}-300mVの絶対レンジ/コモン・モード・レンジに確実に入るようになっています。

AD7734のAIN電圧は、規定の公称入力レンジ(最大±10V)内にある必要があります。そうしないと、チャンネルでの性能が低下します(「アナログ入力の拡張電圧範囲」を参照)。

BIASピンが通常の設定である場合、AINピンの絶対電圧が最大±16.5Vであっても、隣接チャンネルの性能は低下しません。AINの絶対電圧が±16.5Vを超えると、薄膜抵抗の後ろにある内部保護ダイオードに電流が流れるため、隣接チャンネルが影響を受けます。

AINピンは過電圧耐性を持っていますが、AINの絶対最大定格±50Vを超えることはできません。

チャンネル・ステータス・レジスタのOVRビットは変換結果からデジタル的に発生し、ΣΔ変調器が公称値の範囲外にあることを示します。OVRビットは、AINピンの絶対電圧の限界を超えていることを示すものではありません。

図23に、AD7734のアナログ入力の内部構造を示します。

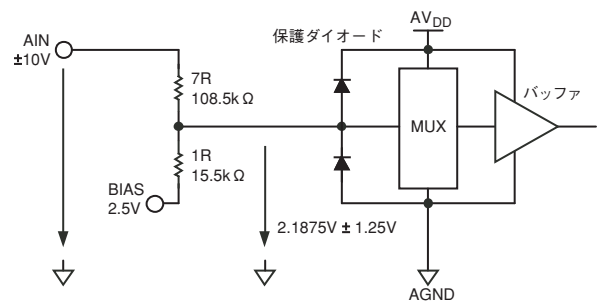


図23. 簡略化したアナログ入力の内部構造

アナログ入力の拡張電圧範囲

AD7734の出力データ・コード・スパンは、公称入力電圧範囲に対応しています。ADCは公称入力電圧範囲の外側でも機能しますが、性能は低下します。ΣΔ変調器は、±11.6Vのアナログ入力電圧をフルにカバーするようにデザインされています。この範囲の外側では、性能が急速に低下します。最大±16.5Vのアナログ入力電圧まで、隣接チャンネルは影響を受けません(図8)。

モード・レジスタのCLAMPビットが「1」に設定されると、アナログ入力電圧が公称入力電圧範囲外になったとき、チャンネル・データ・レジスタは全ビット「0」または「1」にデジタル的にクランプされます。

表16と表17に示すように、CLAMP=0のとき、データには公称電圧範囲外のアナログ入力電圧が表示されます。この場合には、実際の変換結果をデコードする際に、データ・レジスタ値と一緒にチャンネル・ステータス・レジスタのSIGNビットとOVRビットも考慮する必要があります。

チャンネル・ステータス・レジスタのOVRビットは変換結果からデジタル的に発生し、ΣΔ変調器が公称値の範囲外にあることを示します。OVRビットは、AINピンの絶対電圧の限界を超えていることを示すものではありません。

表 16. 拡張入力電圧範囲、公称電圧範囲±10V、16ビット、CLAMP=0

入力(V)	データ(hex)	SIGN	OVR
11.60039	147B	0	1
10.00061	0001	0	1
10.00031	0000	0	1
10.00000	FFFF	0	0
0.00031	8001	0	0
0.00000	8000	0	0
-0.00031	7FFF	1	0
-10.00000	0000	1	0
-10.00031	FFFF	1	1
-10.00061	FFFE	1	1
-11.60040	EB85	1	1

表 17. 拡張入力電圧範囲、公称電圧範囲 0~+10V、16ビット、CLAMP=0

入力(V)	データ(hex)	SIGN	OVR
11.60006	28F5	0	1
10.00031	0001	0	1
10.00015	0000	0	1
10.00000	FFFF	0	0
0.00015	0001	0	0
0.00000	0000	0	0
-0.00015	0000	1	1

チョッピング

チョッピングをイネーブルすると、マルチプレクサがADC入力の反転を繰り返します。各出力データ結果は2回の変換の平均値として計算されます。最初の変換結果には正側オフセット項が、2回目の変換結果には負側オフセット項が含まれます。この機能により、入力バッファとΣΔ変調器のオフセット誤差が除去されます。

ただし、チョッピングは抵抗デバイダ入力段の後ろにしか適用されないため、チョッピングは抵抗に起因するオフセット誤差とドリフトは除去しません。図24に、チョッピングをイネーブルしたチャンネル・シグナル・チェーンを示します。

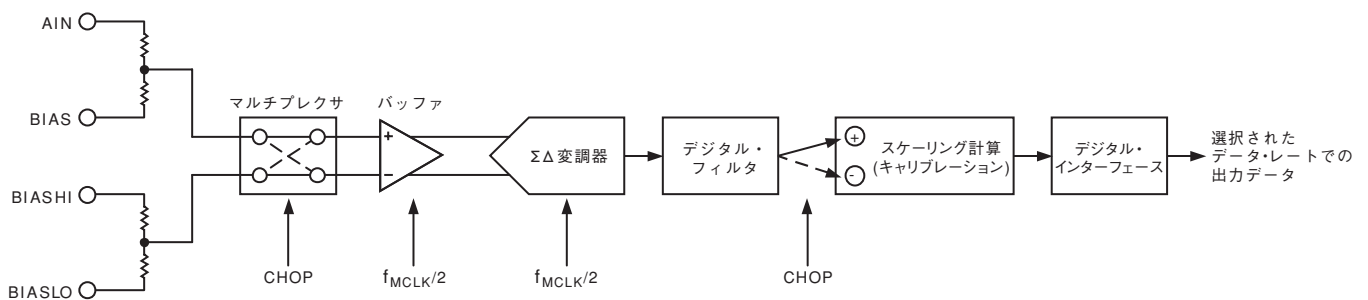


図24. チョッピングをイネーブルしたチャンネル・シグナル・チェーン

AD7734

マルチプレクサ、変換、データ出力のタイミング

変換時間の規定値には、1周期または2周期のセトリングおよびサンプリングと1スケーリング時間が含まれます。

チョッピングをイネーブルした場合(図25)、MCLKで43サイクルまたは44サイクルのセトリング時間(MCLK=6.144MHzで約7 μ s)で変換サイクルを開始し、マルチプレクサの後ろの回路が整定できるようにします。次に、 $\Sigma\Delta$ 変調器がアナログ信号をサンプルし、デジタル・フィルタがデジタル・データ・ストリームを処理します。サンプリング時間はFWに、すなわちチャンネル変換時間レジスタ値に依存します。さらにMCLKで42サイクル(約6.8 μ s)のセトリング時間が経過した後、反転された(チョッピングされた)アナログ入力信号でサンプリング時間が繰り返されます。次に、MCLKで163サイクル(約26.5 μ s)のスケーリング時間中に、デジタル・フィルタからの2つの変換結果の平均が計算され、キャリブレーション・レジスタを使ってスケールされた後、チャンネル・データ・レジスタに書き込まれます。

チョッピングをディスエーブルした場合(図26)には、MCLKで43サイクルまたは44サイクルのセトリング時間の後ろにサンプリング時間が1回だけあり、その後MCLKで163サイクルのスケーリング時間が続きます。

$\overline{\text{RDY}}$ ピンは前の状態とは無関係に、スケーリング時間中にハイレベルになります。ADCステータス・レジスタおよびチャンネル・ステータス・レジスタでは対応するRDYビットが設定されます。チャンネル・データ・レジスタが更新され、チャンネル変換サイクルが完了すると、チャンネル・ステータス・レジスタの $\overline{\text{RDY}}$ ピンがハイレベルになります。連続変換モードの場合、デバイスはイネーブルされた次のチャンネルでの変換サイクルを自動的に続けます。

各チャンネルが変換時間とチョッピング・モードを独立して設定できるように注意してください。全体サイクルとチャンネルごとの実効データ・レートは、イネーブルされたすべてのチャンネル設定に依存します。

$\Sigma\Delta$ ADC

AD7734コアは、電荷平衡型 $\Sigma\Delta$ 変調器とデジタル・フィルタから構成されています。このアーキテクチャは、高速かつ完全整定の変換用に最適化されています。このため、高速なチャンネル間切り替えが可能になると同時に、本来備わっている優れた直線性、高分解能、ローノイズが維持されています。

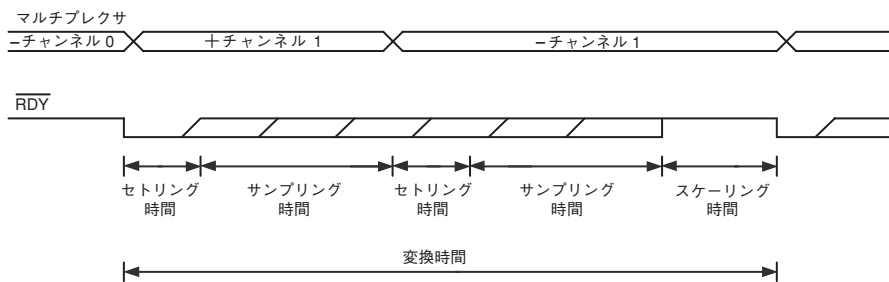


図25. マルチプレクサおよび変換タイミング—チョッピングをイネーブルした複数チャンネルでの連続変換

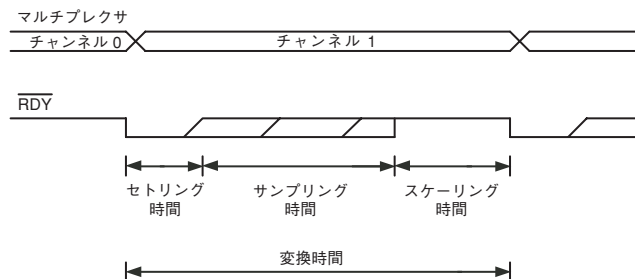


図26. マルチプレクサおよび変換タイミング—チョッピングをディスエーブルした複数チャンネルでの連続変換

周波数応答

$\Sigma \Delta$ 変調器はMCLK周波数の1/2で動作します。この周波数が事実上のサンプリング周波数です。したがって、ナイキスト周波数はMCLK周波数の1/4になります。デジタル・フィルタは変調器と組み合わせて、1次ローパス・フィルタの周波数応答を持ちます。-3dBポイントは、1/チャンネル変換時間の周波数近くにあり、ロールオフ特性はナイキスト周波数まで-20dB/decです。チョッピングをイネーブルすると、入力信号はチョッピングにより再サンプルされます。そのため、全体周波数応答は1/チャンネル変換時間の周波数近くにノッチを持ちます。上側の包絡線も-20dB/decのADC応答になります。

図27と図28に、代表的な周波数応答を示します。この周波数応答は1/チャンネル変換時間で正規化されています。

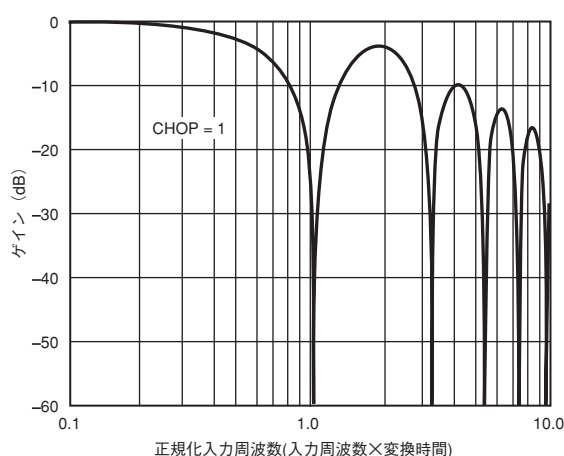


図27. 代表的なADC周波数応答、チョッピングをイネーブル

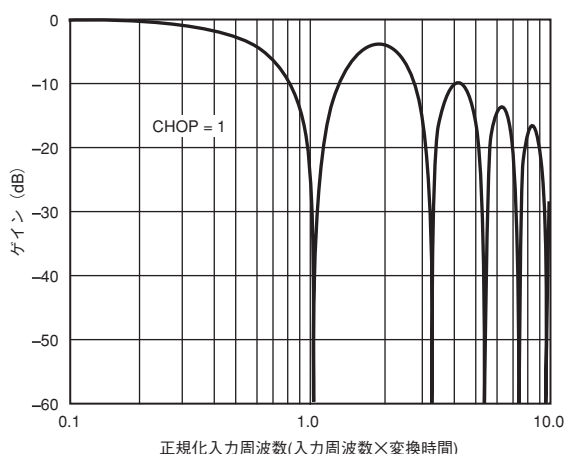


図28. 代表的なADC周波数応答、チョッピングをディスエーブル

リファレンス電圧入力

AD7734は差動リファレンス入力REF IN(+)とREF IN(-)を持っています。これらの入力のコモン・モード・レンジはAGND~AV_{DD}です。規定の動作に対する公称差動リファレンス電圧は2.5Vです。両リファレンス入力はダイナミック負荷を持っています。そのため、リファレンス入力はロー・インピーダンスのリファレンス電圧源に接続する必要があります。外部抵抗/容量の組み合わせは、デバイスでゲイン誤差が生ずる可能性があります。

表4~9に示す出力ノイズ性能はアナログ入力=0Vに対するもので、リファレンス電圧上のノイズの影響は受けません。全入力レンジでノイズの表に示したノイズ性能を得るには、AD7734にローノイズ・リファレンス電圧源が必要です。注目帯域幅内のリファレンス・ノイズが大きい場合、AD7734の性能が低下します。

AD7734に対する推奨リファレンス電圧源としては、AD780、ADR421、REF43、REF192などがあります。一般的な接続で正電圧をアナログ入力に加える場合、リファレンス電圧は内部抵抗を通してBIASピンから出力される電流をシンクできる能力を持つ必要があることに注意してください。AD780はこの条件を満たします。アプリケーションで使用するリファレンス電圧源が電流シンクできない場合には、外付け抵抗(5k Ω)をREFINピンに並列接続する必要があります。

リファレンスの検出

AD7734は、変換に有効なリファレンスを持っているかを検出する回路が内蔵されています。REFIN(+)ピンとREFIN(-)ピンの間の電圧がNOREFトリガー電圧(0.5V typ)を下回り、かつAD7734が変換中の場合、チャンネル・ステータス・レジスタのNOREFビットが設定されます。

AD7734

I/Oポート

AD7734のP0ピンは汎用デジタルI/Oピンとして使うことができます。P1ピン(SYNC/P1)は汎用デジタルI/Oピンとして、またはシステム内の他のデバイスとAD7734を同期させるために使うことができます。I/Oポート・レジスタのSYNCビットが設定され、かつSYNCピンがローレベルの場合、AD7734は変換処理を行いません。AD7734はシングル変換モード、連続変換モード、または任意のキャリブレーション・モードになると、SYNCピンがハイレベルになるのを待ってから動作を開始します。この機能により、既知の時点、すなわちSYNCピンの立ち上がりエッジから変換を開始することができるようになります。

デジタルのP0電圧とP1電圧はアナログ電源を基準とします。このピンを入力に設定する場合は、ハイレベルまたはローレベルに接続する必要があります。

キャリブレーション

AD7734はゼロスケール・セルフキャリブレーション機能、ゼロスケールおよびフルスケールのシステム・キャリブレーション機能を持っています。これらの機能により、オフセット誤差とゲイン誤差をノイズと同等レベルまで減少させることができます。各変換後、ADCの変換結果はADCキャリブレーション・レジスタと、対応するチャンネル・キャリブレーション・レジスタを使ってスケールされた後に、データ・レジスタに書き込まれます。

ユニポーラ・レンジの場合：

データ=((ADC変換結果-ADCゼロスケール・キャリブレーション・レジスタ)
×ADCフルスケール・レジスタ/200000h-チャンネル・ゼロスケール・キャリブレーション・レジスタ)
×チャンネル・フルスケール・キャリブレーション・レジスタ/200000h

バイポーラ・レンジの場合：

データ=((ADC変換結果-ADCゼロスケール・キャリブレーション・レジスタ)
×ADCフルスケール・レジスタ/400000h+800000h-チャンネル・ゼロスケール・キャリブレーション・レジスタ)
×チャンネル・フルスケール・キャリブレーション・レジスタ/200000h

ここで、ADC変換結果は0~FFFFFFhの範囲です。

チャンネル・ゼロスケール・キャリブレーション・レジスタのフォーマットは、符号ビットと22ビットのチャンネル・オフセット値で構成されていることに注意してください。ユーザーはADCフルスケール・レジスタを変更しないでください。

キャリブレーションを開始するときは、AD7734モード・レジスタの対応するモード・ビットに書き込みを行います。キャリブレーションが完了すると、対応するキャリブレーション・レジスタ値が更新され、ADCステータス・レ

ジスタ内の全RDYビットが設定され、SYNCピンがローレベルになり、AD7734はアイドル・モードに戻ります。キャリブレーションに要する時間は、選択したチャンネルに設定された変換時間と同じです。変換時間が長いほどノイズが小さくなり、キャリブレーションの精度が上がります。したがって、どのキャリブレーションでも、デフォルトの変換時間より長く設定してください。

ADCゼロスケール・セルフキャリブレーション

ADCゼロスケール・セルフキャリブレーションを行うと、チョッピング・デイスエーブル・モードでのオフセット誤差を小さくすることができます。温度変化の後に繰り返すと、チョッピング・デイスエーブル・モードでのオフセット・ドリフト誤差も小さくすることができます。

ゼロスケール・セルフキャリブレーションは、内部短絡したADC入力に対して行います。選択したチャンネルの負側アナログ入力ピンを使って、ADCゼロスケール・キャリブレーション・コモン・モードを設定します。そのため、選択した差動対の負側ピンまたはシングルエンド・チャンネル構成のAINCOMを、該当するコモン・モード電圧で駆動する必要があります。

ADCゼロスケール・キャリブレーション・レジスタはゼロスケール・セルフキャリブレーション中にのみ更新することを強く推奨します。

チャンネルごとのシステム・キャリブレーション

チャンネルごとのシステム・キャリブレーションを使う場合は、チャンネル・ゼロスケール・システム・キャリブレーションを先に行い、その後でチャンネル・フルスケール・システム・キャリブレーションを行う必要があります。

システム・キャリブレーションは、ADCゼロスケール・キャリブレーション・レジスタとADCフルスケール・キャリブレーション・レジスタの影響を受けます。そのため、システム内でセルフキャリブレーションとシステム・キャリブレーションの両方を使う場合は、先にADCフルスケール・セルフキャリブレーションを実行し、その後にシステム・キャリブレーションを実行する必要があります。

システム・キャリブレーションの実行中は、完全に整定したシステム・ゼロスケール電圧信号またはシステム・フルスケール電圧信号を、選択したチャンネル・アナログ入力に接続する必要があります。

チャンネルごとのキャリブレーション・レジスタは読み出し、書き込み、または変更が可能で、AD7734へのライト・バックも可能です。キャリブレーション・レジスタに書き込みを行うときは、AD7734はアイドル・モードでなければならないことに注意してください。規定キャリブレーションの範囲外でもキャリブレーションは可能ですが、性能が低下することがあります(表1の「システム・キャリブレーション」を参照)。

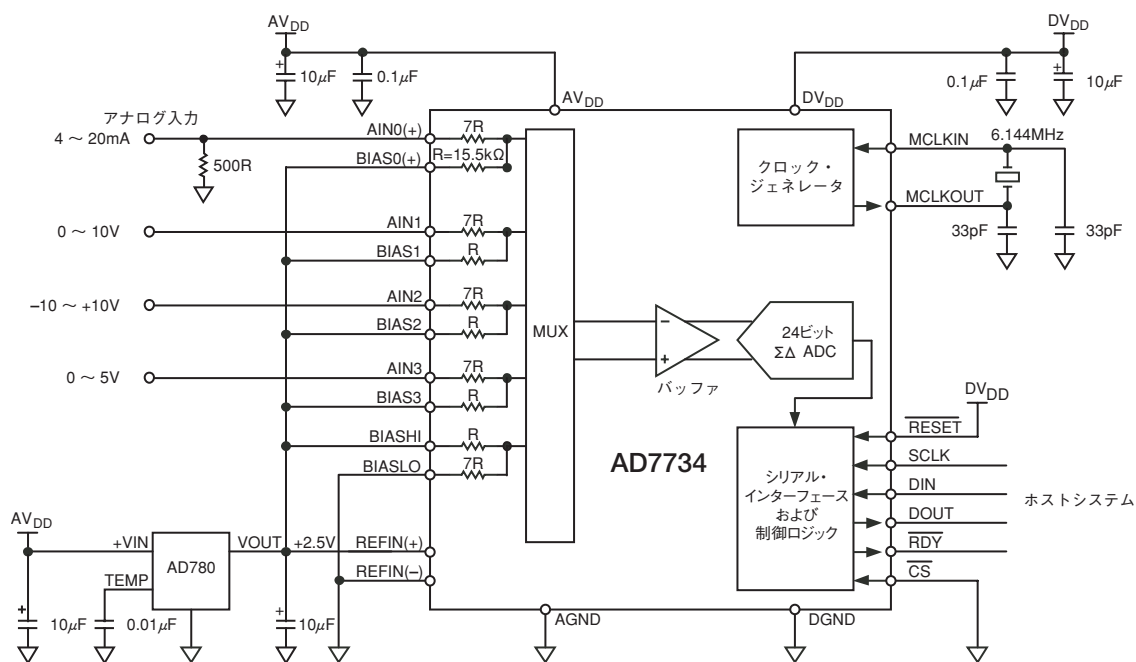
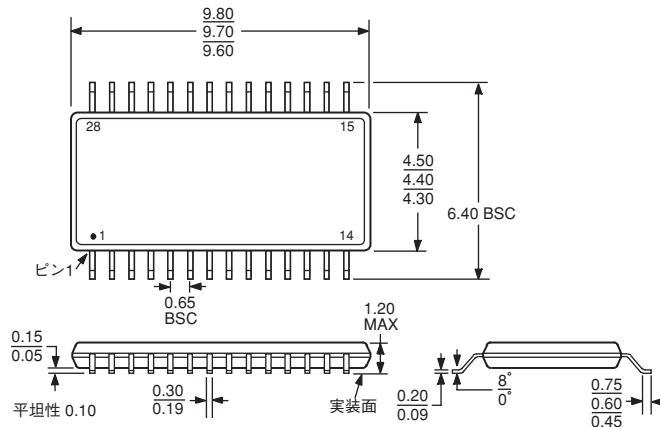


図29. AD7734アプリケーション用の代表的な接続例

AD7734

外形寸法



JEDEC標準MO-153AEに準拠

図30. 28ピン薄型シュリンクSOP[TSSOP] (RU-28)一寸法はミリメータ

注意

ESD（静電放電）の影響を受けやすいデバイスです。人体や試験機器には、4,000Vもの高圧の静電気が容易に蓄積され、検知されないうまま放電されることがあります。本製品は当社独自のESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷が生じることがあります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。



表 18. オーダー・ガイド

AD7734製品	温度範囲	パッケージ	パッケージ外形
AD7734BRU	-40～+105℃	TSSOP-28	RU-28

