

特長

シグマ/デルタ変換方式の16ビットADC

64倍オーバーサンプリング率

最大220 kSPSの出力ワード・レート

ローパス、リニア・フェーズ・デジタル・フィルタ

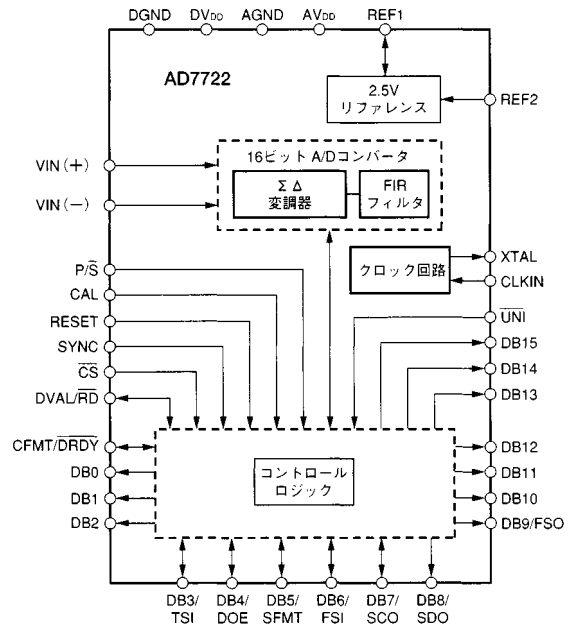
個有モノトニック

オンチップ2.5 V電圧リファレンス

単電源 +5 V

高速パラレル/シリアル・インタフェース

機能ブロック図



概要

AD7722は全機能内蔵型の低電源、16ビットのシグマ/デルタA/Dコンバータ(ADC)です。この装置は+5 V以上の単電源で動作し、コモン・モード・バイアスを中心とする0 V ~ +2.5 Vまたは±1.25 Vの差動入力電圧レンジに対応します。AD7722は最大90.625 kHzの入力帯域幅に対して16ビットの性能です。この装置は195.3 kHzの出力ワード速度でデータを供給します。

アナログ入力アナログ変調器で連続的にサンプリングするため、外部のサンプル・アンド・ホールド回路が不要になります。変調器の出力は有限インパルス応答(FIR)デジタル・フィルタを2個直列にして行います。チップ内蔵のフィルタにより、ほとんどの場合、外部アンチ・エイリアス・フィルタに要求される性能は軽減され、1次でも充分となります。フィルタに対する群遅延は215.5 μsですが、ステップ入力に対するセトリング時間は431 μsです。サンプリング速度およびフィルタ・コーナー周波数、出力ワード・レートは定格12.5 MHzの外部クロックによって設定されます。

変調器に1ビットのD/Aコンバータを使用しているため、優れた直線性とDC精度が保証されます。エンド・ポイント精度はチップ内蔵の較正機能によって確保されます。この較正機能によってゼロスケールとフルスケールの誤差は小さくなります。

変換データは柔軟性のあるシリアル・ポートまたはパラレル・ポートを通じて出力レジスタに転送されます。この装置は3線で、デジタル・シグナル・プロセッサへの高速インタフェースを備えています。シリアル・インタフェースは内部クロック(マスター)モードで動作し、それによって内部のシリアル・データ・クロックとフレーミング・パルスはデバイス出力となります。さらに2個のAD7722のシリアル・データ出力を結合できます。各コンバータは交互に変換データを共有のシリアル・データ・ライン上に送信します。

この装置は内蔵の2.5 Vリファレンスを正確に供給します。リファレンス入出力機能があり、内部リファレンスあるいは外部システム・リファレンスのいずれかが装置のリファレンス源として使えるようになっています。

AD7722は44ピンのPQFPパッケージに使用可能で、産業温度範囲 -40 ~ +85 で動作するようになっています。

AD7722 仕様¹

(特に指定のない限り $AV_{DD} = AV_{DD1} = +5\text{ V} \pm 5\%$; $DV_{DD} = +5\text{ V} \pm 5\%$; $AGND = AGND1 = DGND = 0\text{ V}$; $\overline{UNI} = \text{ロジック・ローまたはハイ}$; $f_{CLKIN} = 12.5\text{ MHz}$; $F_S = 195.3\text{ kSPS}$; $REF2 = +2.5\text{ V}$; $T_A = T_{MIN} \sim T_{MAX}$)

パラメータ	テスト条件 / コメント	Aバージョン			単位
		Min	Typ	Max	
動特性仕様²					
バイポーラ・モード、 $\overline{UNI} = V_{INH}$	$V_{CM} = 2.5\text{ V}$ 、 $V_{IN}(+) = V_{IN}(-) = 1.25\text{ Vpk-pk}$ または、 $V_{IN}(-) = 1.25\text{ V}$ 、 $V_{IN}(+) = 0 \sim 2.5$				
信号/(ノイズ+歪み)比 ³	入力周波数帯0 kHz-90.625 kHz	86/84.5	90		dB
全高調波歪み ³	入力周波数帯0 kHz-100 kHz、 $f_{CLKIN} = 14\text{ MHz}$	84.5/83			dB
スプリアスのないダイナミック・レンジ	入力周波数帯0 kHz-90.625 kHz			-90/ -88	dB
	入力周波数帯0 kHz-100 kHz、 $f_{CLKIN} = 14\text{ MHz}$			-88/ -86	dB
ユニポーラ・モード、 $\overline{UNI} = V_{INL}$	入力周波数帯0 kHz-90.625 kHz			-90	dB
	入力周波数帯0 kHz-100 kHz、 $f_{CLKIN} = 14\text{ MHz}$			-88	dB
信号/(ノイズ+歪み)比 ³	$V_{IN}(-) = 0\text{ V}$ 、 $V_{IN}(+) = 0 \sim 2.5$	84.5/83	88		dB
全高調波歪み ³	入力周波数帯0 kHz-97.65 kHz			-89/ -87	dB
スプリアスのないダイナミック・レンジ	入力周波数帯0 kHz-97.65 kHz			-90	dB
相互変調歪み			-93		dB
AC CMRR	$V_{IN}(+) = V_{IN}(-) = 2.5\text{ Vpk-pk}$ $V_{CM} = 1.25\text{ V} \sim 3.75\text{ V}$ 、20 kHz		96		dB
デジタル・フィルタ応答					
パスバンド・リップル	0 kHz-90.625 kHz			± 0.005	dB
カットオフ周波数		96.92			kHz
ストップバンド減衰	104.6875 kHz \sim 12.395 MHz		90		dB
アナログ入力					
フルスケール入カスパン	$V_{IN}(+) - V_{IN}(-)$			$+ V_{REF2}/2$	V
バイポーラ・モード	$\overline{UNI} = V_{INH}$	$- V_{REF2}/2$		V_{REF2}	V
ユニポーラ・モード	$\overline{UNI} = V_{INL}$	0		AV_{DD}	V
絶対入力電圧	$V_{IN}(+)$ and $V_{IN}(-)$	0			V
入力サンプリング容量値			2		pF
入力サンプリング速度	設計により保証		$2 \times f_{CLKIN}$		Hz
差動入力インピーダンス			$1/8E-09 \times f_{CLKIN}$		k
クロック					
CLKINマーク・スペース率		45		55	%
リファレンス					
REF1出力電圧		2.32	2.47	2.62	V
REF1出力電圧ドリフト			60		ppm/
REF1出カインピーダンス			3		k
リファレンス・バッファ					
オフセット電圧	REF1とREF2の間のオフセット			± 12	mV
内部リファレンスを使用する場合					
REF2出力電圧		2.32	2.47	2.62	V
REF2出力電圧ドリフト			60		ppm/
外部リファレンスを使用する場合					
REF2入力インピーダンス	REF1 = AGND		$1/16E-09 \times f_{CLKIN}$		k
外部リファレンス電圧レンジ	REF1またはREF2に入力	2.32	2.5	2.62	V
静特性					
分解能	モノトニックを保証	16			Bits
微分非直線性			± 0.5	± 1	LSB
積分非直線性			± 2		LSB
較正後					
オフセット誤差 ⁴				± 3	mV
ゲイン誤差 ^{4,5}				± 0.6	%FSR
較正なし					
オフセット誤差			± 6		mV
ゲイン誤差 ⁵			± 0.6		%FSR
オフセット誤差変動			± 1		LSB/
ゲイン誤差変動	REF2は理想的なリファレンス、REF1 = AGND				
	ユニポーラ・モード		± 1		LSB/
	バイポーラ・モード		± 0.5		LSB/

パラメータ	テスト条件 / コメント	Aバージョン			単位
		Min	Typ	Max	
ロジック入力 (CLKINを除く)					
V_{INH} 入力HI電圧		2.0			V
V_{INL} 入力LO電圧				0.8	V
クロック入力 (CLKIN)					
V_{INH} 入力HI電圧		4.0			V
V_{INL} 入力LO電圧				0.4	V
全ロジック入力					
I_{IN} 入力電流	$V_{IN} = 0V \sim DV_{DD}$			± 10	μA
C_{IN} 入力容量				10	pF
ロジック出力					
V_{OH} 出力HI電圧	$ I_{OUT} = 200 \mu A$	4.0			V
V_{OL} 出力LO電圧	$ I_{OUT} = 1.6 mA$			0.4	V
電源					
AV_{DD}, AV_{DD1}	AV_{DD} と DV_{DD} の合計	4.75		5.25	V
DV_{DD}		4.75		5.25	V
I_{DD}				75	mA
消費電力				375	mW

注意

- 1 動作温度範囲: Aバージョン; -40 ~ +85
- 2 測定帯域幅 = $0.5 \times F_S$; 入力レベル = -0.05 dB
- 3 $T_A = +25 \sim +85$ / $T_A = T_{MIN} \sim T_{MAX}$
- 4 所定の温度での校正処理後に適用
- 5 ゲイン誤差にはリファレンス誤差は含まれません。A/DコンバータのゲインはREF2ピンの電圧に関して校正されます。仕様は予告なく変更されることがあります。

絶対最大定格*

(特に指定のない限り $T_A = +25$)

$DV_{DD} \sim DGND$	-0.3 V ~ 7 V
$AV_{DD}, AV_{DD1} \sim AGND$	-0.3 V ~ 7 V
$AV_{DD}, AV_{DD1} \sim DV_{DD}$	-1 V ~ +1 V
$AGND, AGND1 \sim DGND$	-0.3 V ~ +0.3 V
DGNDへのデジタル入力	-0.3 V ~ $DV_{DD} + 0.3 V$
DGNDへのデジタル出力	-0.3 V ~ $DV_{DD} + 0.3 V$
$V_{IN} (+), V_{IN} (-) \sim AGND$	-0.3 V ~ $AV_{DD} + 0.3 V$
REF1 ~ AGND	-0.3 V ~ $AV_{DD} + 0.3 V$
REF2 ~ AGND	-0.3 V ~ $AV_{DD} + 0.3 V$
DGND, AGND1, AGND2	$\pm 0.3 V$
動作温度範囲	-40 ~ +85
保管温度範囲	-65 ~ +150
接合温度	+150
熱抵抗 J_A	95 /W

リード温度、ハンダ付け

気相 (60秒)	+215
赤外線 (15秒)	+220

* “絶対最大定格”の項にある値を超えた負荷を入力すると、装置に永久的な損傷を与える場合があります。ここにあるのはストレス上の定格値のみであって、これらの条件あるいは動作仕様の項に示した値を超える条件で装置が機能する事を意味するものではありません。絶対最大定格の条件であっても、長時間その状態が続くと装置の信頼性に影響を与える場合があります。

注意

ESD (静電放電) 感知装置。4000 Vもの電圧の静電放電は人体や試験器材に容易に蓄積され、検知されずに放電されます。AD7722は特許取得済みのESD保護回路ですが、高エネルギーの静電放電にさらされた装置には回復不能の損傷が残ることがあります。したがって性能低下や機能不全を避けるためには、適切なESDの予防措置をとるようお勧めします。

注重要領

モデル	温度範囲	パッケージ	パッケージ
AD7722AS	-40 ~ +85	44-Pin PQFP	S-44

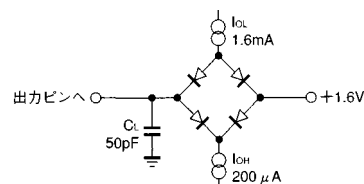


図1. タイミングを規定するための負荷回路



AD7722

タイミング仕様 ($AV_{DD} = +5V \pm 5\%$ 、 $DV_{DD} = +5V \pm 5\%$ 、 $AGND = DGND = 0V$ 、 $C_L = 50\text{ pF}$ 、 $T_A = T_{MIN} \sim T_{MAX}$ 、 $f_{CLKIN} = 12.5\text{ MHz}$ 、SFMT = ロジック・ローまたはハイ；CFMT = ロジック・ローまたはハイ)

	シンボル	Min	Typ	Max	単位
CLKIN周波数	f_{CLK}	0.3	12.5	15	MHz
CLKIN期間 ($t_{CLK} = 1/f_{CLK}$)	t_1	0.067	0.08	3.33	μs
CLKIN・LO・パルス幅	t_2	$0.45 \times t_1$		$0.55 \times t_1$	
CLKIN・HI・パルス幅	t_3	$0.45 \times t_1$		$0.55 \times t_1$	
CLKIN立ち上がり時間	t_4	5			ns
CLKIN立ち下がり時間	t_5	5			ns
FSI・LO時間	t_6	2			t_{CLK}
FSIセットアップ時間	t_7	20			ns
FSI保持時間	t_8	20			ns
CLKINからSCOまでの遅延時間	t_9		40		ns
SCO期間 ¹	t_{10}	2			t_{CLK}
SCOからFSO・HIに遷移する遅延時間	t_{11}		4	10	ns
SCOからFSO・LOに遷移する遅延時間	t_{12}		4	10	ns
SCOからFSO有効に遷移する遅延時間	t_{13}		3	8	ns
FSI ² からSCOに遷移する時間 ²	t_{14}			2.5	t_{CLK}
SDOイネーブル遅延時間	t_{15}		30	45	ns
SDOディスエーブル遅延時間	t_{16}		10	30	ns
\overline{DRDY} HI時間	t_{17}	2			t_{CLK}
変換時間 ¹	t_{18}	64			t_{CLK}
$\overline{DRDY} \sim \overline{CS}$ セットアップ時間	t_{19}	0			ns
$\overline{CS} \sim \overline{RD}$ セットアップ時間	t_{20}	0			ns
\overline{RD} パルス幅	t_{21}	$t_{CLK} + 20$			ns
\overline{RD} の立ち下がりエッジ後のデータ・アクセス時間 ³	t_{22}			$t_{CLK} + 40$	ns
\overline{RD} の立ち上がりエッジ後のバス放棄時間	t_{23}			$t_{CLK} + 40$	ns
$\overline{CS} \sim \overline{RD}$ 保持時間	t_{24}	0			ns
$\overline{RD} \sim \overline{DRDY}$ HI時間	t_{25}		1		t_{CLK}
SYNC/RESET入力パルス幅	t_{26}	10			ns
SYNC/RESETからのDVAL・LO遅延時間	t_{27}			40	ns
CLKINの立ち上がりの前のSYNC/RESET・LO時間	t_{28}	10			ns
SYNC/RESET・LO後の \overline{DRDY} ・HI遅延時間	t_{29}			50	ns
SYNC/RESET・LO後の \overline{DRDY} ・LO遅延時間 ¹	t_{30}			(8192 + 64)	t_{CLK}
SYNC/RESET・LO後のDVAL・HI遅延時間 ¹	t_{31}			8192	t_{CLK}
CALセットアップ時間	t_{34}	10			ns
CALパルス幅	t_{35}	1		2	t_{CLK}
CAL・HIからの較正遅延時間	t_{36}			64	t_{CLK}
ユニポーラ入力較正時間、($\overline{UNI} = "0"$) ¹	t_{37}			(3 × 8192 + 2 × 512)	t_{CLK}
バイポーラ入力較正時間、($\overline{UNI} = "1"$) ¹	t_{37}			(4 × 8192 + 3 × 512)	t_{CLK}
変換結果有効、($\overline{UNI} = "0"$) ¹	t_{38}			(3 × 8192 + 2 × 512 + 64)	t_{CLK}
変換結果有効、($\overline{UNI} = "1"$) ¹	t_{38}			(4 × 8192 + 3 × 512 + 64)	t_{CLK}

注意

¹ 設計により保証。

² フレーム同期はCLKINの立ち下がりエッジで開始。

³ \overline{RD} をCLKINに同期すると t_{22} は t_1 t_{CLK} まで低減可能。

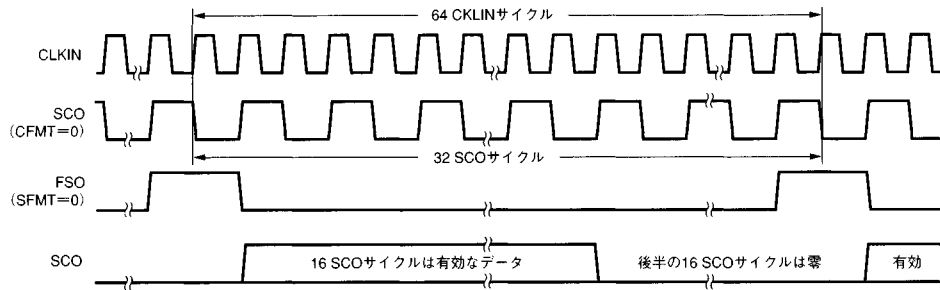


図2a . 一般のシリアル・モードのタイミング (FSI = ロジック・LO又はHI, TSI = DOE)

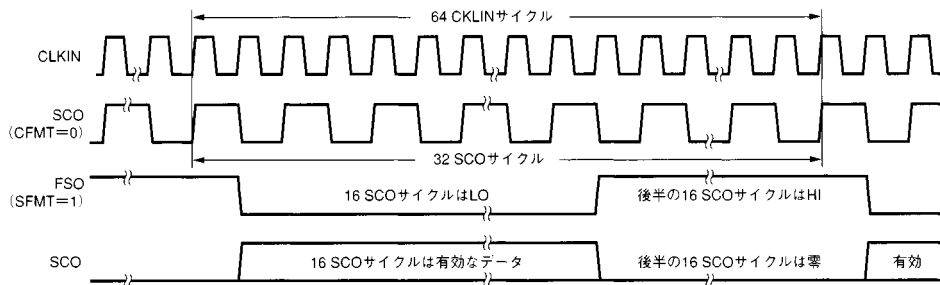


図2b . 一般のシリアル・モードのタイミング (FSI = ロジック・LO又はHI, TSI = DOE)

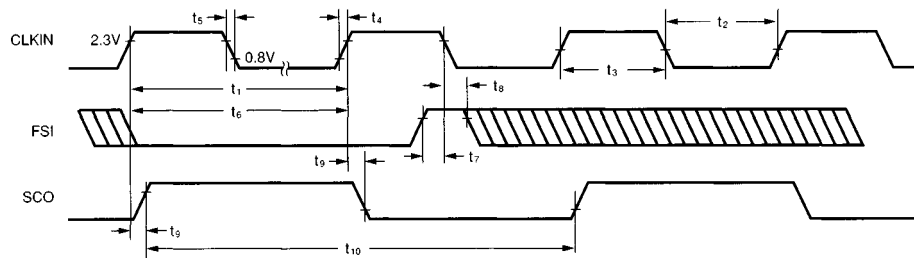


図3 . クロック入力、フレーム同期入力、シリアル・クロック出力用のシリアル・モードのタイミング

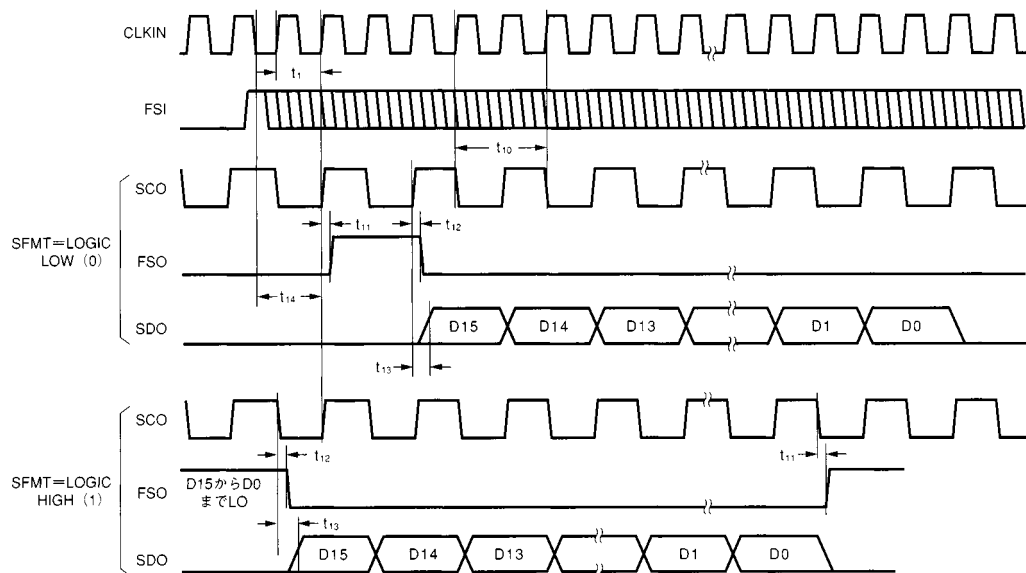


図4 . フレーム同期入力、フレーム同期出力、シリアル・クロック出力、シリアル・データ出力用のシリアル・モードのタイミング (CFMT = ロジック・LO, TSI = DOE)

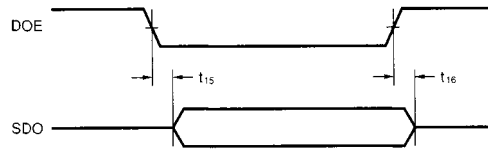


図5 . データ出力イネーブル、シリアル・データ出力用のシリアル・モードのタイミング(TSI = ロジック・LO)

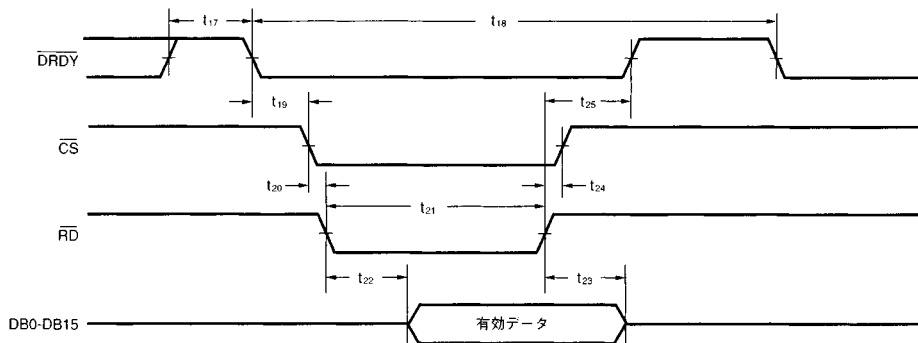


図6 . パラレル・モードの読み出しタイミング

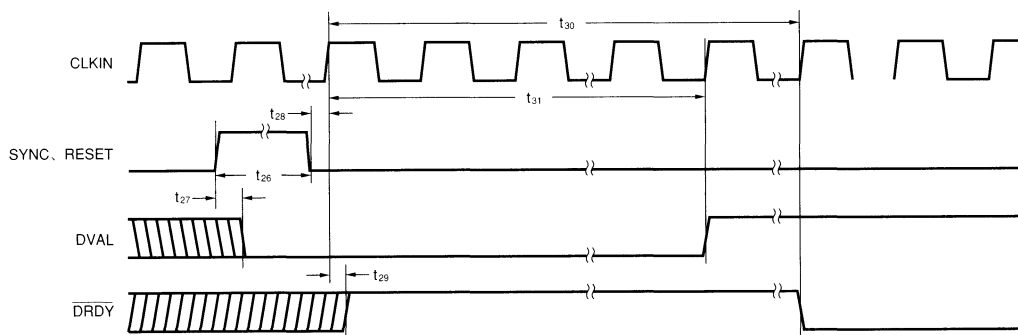


図7 . シリアル/パラレル・モードのSYNCのRESETのタイミング

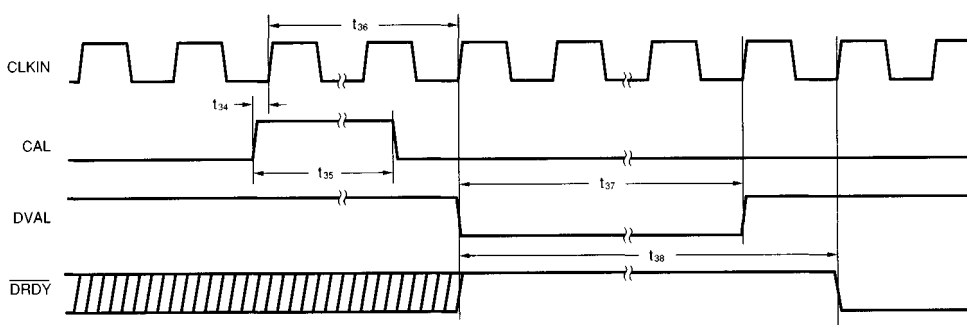


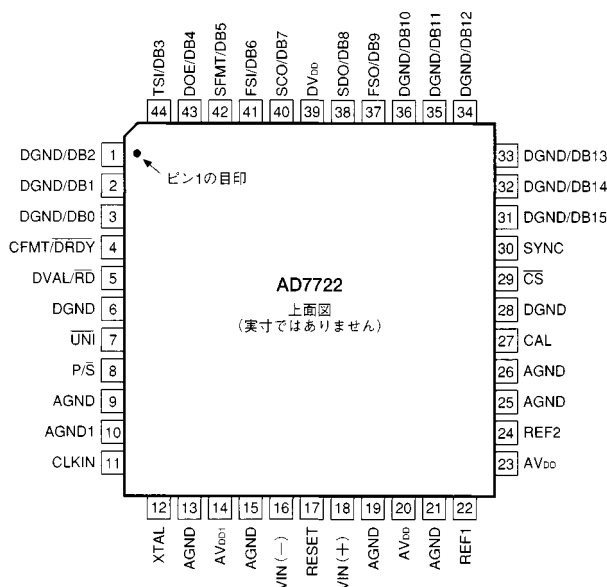
図8 . シリアル/パラレル・モードの較正のタイミング

ピンの機能説明

名称	ピン番号	説明
AV _{DD1}	14	アナログ変調器に対するクロック・ロジック電源電圧で、+5V±5%。
AGND1	10	アナログ変調器に対するクロック・ロジックのグラウンド・リファレンス。
AV _{DD}	20、23	アナログ電源電圧、+5V±5%。
AGND	9、13、15、 19、21、25、26	アナログ回路に対するグラウンド・リファレンス。
DV _{DD}	39	デジタル電源電圧、+5V±5%。
DGND	6、28	デジタル回路に対するグラウンド・リファレンス。
REF1	22	リファレンス入出力。REF1は3kΩの抵抗を介して内部の2.5Vリファレンスの出力側および変調器を駆動するバッファ・アンプの入力側に接続します。このピンは2.5Vの外部リファレンスでオーバードライブすることもできます。
REF2	24	リファレンス入出力。REF2は変調器の駆動に使うバッファ・アンプの出力側に接続します。REF2を入力として使う場合はREF1はAGNDに接続します。
V _{IN} (+)	18	差動アナログ入力の正の端子。
V _{IN} (-)	16	差動アナログ入力の負の端子。
UNI	7	アナログ入力レンジの選択入力。(UNIはバイポーラまたはユニポーラ動作のいずれかに対するアナログ入力レンジを選択します。ロジック・ローの入力はユニポーラ動作を選択します。ロジック・ハイの入力はバイポーラ動作を選択します。
CLKIN	11	クロック入力。デバイスに対するマスター・クロック信号。CLKINピンは外部の水晶や外部クロックに対するAD7722の内部発振回路のインタフェースです。並列共振による基本波周波数のマイクロプロセッサ・グレードの水晶と、1MΩの抵抗を、CLKINピンとXTALピンの間に接続し、それぞれのピンとアースの間に2個のコンデンサを接続します。あるいはCLKINピンは外部のCMOSと互換性のあるクロックでも駆動できます。AD7722のクロック入力周波数は12.5 MHzです。
XTAL	12	発振器出力。XTALピンは内部の発振器出力を外部の水晶へ接続します。外部クロックを使う場合は、XTALは未接続にしておきます。
P/S	8	パラレル/シリアル・インタフェース選択入力。ロジック・HIでパラレル・モード操作に対する出力データ・インタフェースになります。シリアル・モード操作はP/Sをロジック・LOにして選択します。
CAL	27	較正・ロジック入力。ロジック・HI入力の状態がCLKINの1サイクル以上続くと、デバイスのゲインとオフセット誤差に対する較正シーケンスが開始します。
RESET	17	リセット・ロジック入力。RESETはオフセットとゲインの較正レジスタをクリアーするときに使用します。RESETは非同期の入力です。RESETを使うとデバイスがすでに較正されていたとしても、使用者の操作によってAD7722は較正されていない状態にできます。信号の立ち上がりで変調器のインテグレータ・コンデンサが短絡されるため、AD7722の変調器をリセットできます。またRESET機能は後述するSYNCピンと同じ働きをします。
CS	29	チップ・セレクトはレベル検出のロジック入力です。CSはパラレル・モードの読み出し操作の出力データ・レジスタをイネーブルにします。CSのロジック・レベルはCLKINの立ち上がりで検出されます。出力データ・バスはCLKINの立ち上がりでCSのロジック・LO・レベルを検出し、RDもLOの場合にイネーブルになります。CSのHIが検出されると、出力データ・ビットであるDB15 - DB0のインピーダンスは高くなります。シリアル・モードではCSをロジック・LOに接続します。
CYNC	30	同期ロジック入力。SYNCは非同期入力です。コモン・マスター・クロックで動作するAD7722を2個以上使うと、SYNCによって各ADCの変調器はアナログ入力を同時にサンプリングでき、出力データ・レジスタを更新できるようになります。信号の立ち上がりでAD7722のデジタル・フィルタ・シーケンサのカウンタをゼロにリセットします。SYNCの後、変換データはデジタル・フィルタが一定になるまで無効です。(図7参照)。DVALはシリアル・モードでLOになります。CLKINの立ち上がりでSYNQ(あるいはRESET)のロジック・LOを検出すると、リセット状態は解除されます。パラレル・モードではDRDYはHIになります。リセット状態が解除されると、DVALは8192回のCLKINサイクル(128×64/f _{CLKIN})の後、HIに戻ります。パラレル・モードでは、有効なデータが出力データ・レジスタから読み出し準備可能な状態にあるとき、DRDYはデジタル・フィルタが回転サイクル(64回分のCLKINの時間)をもう1回行った後、LOに戻ります。

AD7722

ピン配列 44ピンPQFP(S - 44)



パラレル・モードでのピンの機能説明

名称	ピン番号	説明
DAVL/ $\overline{\text{RD}}$	5	読み出し入力レベル検出のロジック入力です。 $\overline{\text{RD}}$ のロジック・レベルはCLKINの立ち上がりで検出されます。このデジタル入力は $\overline{\text{CS}}$ と組み合わせて使用でき、デバイスからデータを読み出します。出力データ・バスはCLKINの立ち上がりで $\overline{\text{RD}}$ のロジック・LO・レベルを検出し、 $\overline{\text{CS}}$ もLOの場合にイネーブルになります。 $\overline{\text{RD}}$ のHIが検出されると、出力データ・ビットであるDB15-DB0のインピーダンスは高くなります。
CFMT/ $\overline{\text{DRDY}}$	2	データ・レディ・ロジック出力。この信号の立ち下がり新规の出力ワードが出力データ・レジスタから読み出せることを示します。読み出し操作が終了すると、DRDYはHIに戻ります。読み出し操作が出力アップデートの間に発生しない場合、DRDYは次の出力アップデートの前に2回のCLKINサイクルの間HIパルスを出力します。またDRDYはSYNCあるいはRESETシーケンスの後、変換結果がいつ有効になるか、またいつ自己キャリブレーションが終了するかも示します。
DGND/DB15	31	データ出力ビット(MSB)
DGND/DB14	32	データ出力ビット
DGND/DB13	33	データ出力ビット
DGND/DB12	34	データ出力ビット
DGND/DB11	35	データ出力ビット
DGND/DB10	36	データ出力ビット
FSO/DB9	37	データ出力ビット
SDO/DB8	38	データ出力ビット
SCO/DB7	40	データ出力ビット
FSI/DB6	41	データ出力ビット
SFMT/DB5	42	データ出力ビット
DOE/DB4	43	データ出力ビット
TSI/DB3	44	データ出力ビット
DGND/DB2	1	データ出力ビット
DGND/DB1	2	データ出力ビット
DGND/DB0	3	データ出力ビット(LSB)

シリアル・モードでのピンの機能説明

名称	ピン番号	説明
DAVL/ $\overline{\text{RD}}$	5	データ有効ロジック出力。DVALがロジック・HIになるのは、変調器の入力側でアナログ電圧に対する正確なデジタル変換出力が出力データ・レジスタ上にある事を示します。DVALピンはアナログ入力範囲を逸脱し、CAL、SYNCまたはRESETを起動した後、8192回のCLKINサイクルの間LOになります。
CFMT/ $\overline{\text{DRDY}}$	4	シリアル・クロック・フォーマットのロジック入力。このクロック・フォーマットピンによって、シリアル・クロック(SCO)の立ち上がりまたは立ち下がりでシリアル・データ(SDO)が有効かどうかを選択します。CFMTがロジック・LOのとき、SDOはSFMTがLOであればSCOの立ち下がりで有効で、SFMTがHIであればSCOの立ち上がりで有効です。CFMTがロジック・HIのとき、SDOはSFMTがLOであればSCOの立ち上がりで有効で、SFMTがHIであればSCOの立ち下がりで有効です。
TSI/DB3	44	タイム・スロットのロジック入力。TSIのロジック・レベルによりDOEピンがアクティブ状態になります。DOEがロジック・HIのとき、TSIをロジック・HIにすることによって、DOEはSDOの出力バッファを有効にします。反対の場合も同様です。TSIは2個のAD7722を同じシリアル・データ・バスに接続する場合に使用します。
DOE/DB4	43	データ出カインエーブルのロジック入力。DOEピンはSDOピンの3種類の出力バッファ状態を制御します。DOEのアクティブ状態はTSIピンのロジック・レベルによって決まります。DOEのロジック・レベルがTSIピンのレベルに等しいとき、シリアル・データ出力(SDO)はアクティブです。それ以外ではSDOのインピーダンスは高くなります。SDOはDOEをFSOにつなぐことでシリアル・データの送信後、3種類の状態にできます。
SFMT/DB5	42	シリアル・データのフォーマット・ロジック入力。SFMTピンのロジック・レベルはFSO信号のフォーマットを選択します。ロジック・LOによって、FSOはSCOサイクルの1個幅分のパルスでSCOの32サイクルごとに出力します。SFMTがロジック・HIになると、FSO信号は16個のデータ・ビットの送信の間アクティブ・LOのフレーム・パルスとなります。
FSI/DB6	41	フレーム同期のロジック入力。FSI入力はAD7722のシリアル・出力データ・レジスタと外部ソースの同期をとるために使用します。CLKINの立ち下がりがLOからHIへの遷移を検出した場合、AD7722はデータ送信を停止し、出力シリアル・シフト・レジスタを再ロードし、SCOをリセットし、そして変換結果を送信します。すぐに同期が開始され、その後の127回の変換が無効になります。シリアル・モードではDVALはHIのままです。出力データ・レートに同期するFSI入力はシリアル・データ送信を変更しません。FSIがロジック・HIまたはLOのいずれかに接続された場合、AD7722はSFMTのロジック・レベルによって制御されるFSO出力を生成します。
SCO/DB7	40	シリアル・データ・クロック出力。シリアル・クロック出力はCLKIN信号に同期しており、CLKINの周波数の1.5倍です。データ送信フレームの長さはSCOの32サイクル分です。
SDO/DB8	38	シリアル・データ出力。シリアル・データはSCOに同期して、まずMSBが出力されます。シリアル・データの送信はSCOの32サイクル分続きます。LSBが出力された後、残りのSCOの16サイクルの間、後続のゼロが出力されます。
FSO/DB9	37	フレーム同期出力。この出力はSDOピンのワード送信の開始を示します。SFMTピンのロジック・レベルにより、FSO信号はSCOの約1回分の正パルス、あるいは16個のデータ・ビットの送信の間アクティブ・LOであるフレーム・パルスのいずれかとなります(図4参照)。
DGND/DB0	3	シリアル・モードではこれらのピンはDGNDに接続します。
DGND/DB1	2	
DGND/DB2	1	
DGND/DB10	36	
DGND/DB11	35	
DGND/DB12	34	
DGND/DB13	33	
DGND/DB14	32	
DGND/DB15	31	

AD7722

用語の説明

信号 / (ノイズ + 歪み) 比 (S / (N + D))

S / (N + D) は A/D コンバータの出力側で計測される、信号 / (ノイズ + 歪み) 比です。信号は基本波の rms 値です。ノイズ + 歪みは、DC 分を除いた、サンプリング・レート $1/2(F_{CLKIN}/128)$ までの全ての周波数の基本波以外の信号と高調波の rms 値の合計です。A/D コンバータは入力ピンに対する低ノイズ、低歪みの正弦波入力信号を印加することによって評価されます。ファスト・フーリエ変換 (FFT) 分布を生成することで、S / (N + D) のデータを出力スペクトルから得ることができます。

全高調波歪み (THD)

THD は高調波の rms 値の合計と基本波の rms 値の比です。THD は次のように定義されます。

$$THD = 20 \log \left[\frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2}}{V_1} \right]$$

ここで、 V_1 は基本波の rms 振幅値で、 V_2 、 V_3 、 V_4 、 V_5 、 V_6 は第 2 ~ 第 6 調波の rms 振幅値です。THD は A/D コンバータ出力スペクトルの FFT 分布からも派生します。

スプリアスの無いダイナミック・レンジ (SFDR)

A/D コンバータ出力スペクトル (DC を除いて最大 $F_{CLKIN}/128$) 内のスプリアス成分または高調波成分のピーク値と、基本波の rms 値の差 (単位は dB) で定義されます。通常、この値は FFT の出力スペクトル内の最大の高調波で決まります。第 2 調波がデジタル・フィルタのストップ・バンド領域で発生する入力信号に対しては、ノイズ・フロア内のスプリアスの大きさによって SFDR が制限されま

相互変調歪み

2 種類の周波数 (f_a 、 f_b) で正弦波の入力があると、非線形のアクティブ素子は、和及び差の周波数 ($m f_a \pm n f_b$) による歪みを生成します (ここで、 m 、 $n = 0$ 、 1 、 2 、 3 など)。 m も n もゼロでない項が相互変調歪みとなります。例えば 2 番目の項には ($f_a + f_b$) と ($f_a - f_b$) が含まれるのに対して、3 番目の項には ($2 f_a + f_b$)、($2 f_a - f_b$)、($f_a + 2 f_b$)、($f_a - 2 f_b$) が含まれます。

テストは CCIF 規格に従って行われ、ここで入力帯域の上限付近にある 2 種類の入力周波数を使用します。この場合、2 番目の項は通常、元の正弦波の周波数とは遠くないのに対して、3 番目の項は通常、入力周波数に近いものです。その結果、2 番目と 3 番目の項は別々に規定されます。相互変調歪みの計算は THD の仕様に従います。THD の仕様とは、単位が dB で表わされる基本波の rms 振幅値に対する、各歪みの rms 値の合計の比です。

パスバンド・リップル

規定のパスバンド周波数レンジでの AD7722 の周波数応答変化。

パスバンド周波数

周波数応答の変化がパスバンド・リップルの規定範囲内にあるための周波数の最大値。

カットオフ周波数

AD7722 の周波数応答が 3dB 以上の減衰にならないための周波数の最大値。

ストップ・バンド周波数

AD7722 の周波数応答がストップ・バンド減衰の範囲内にあるための周波数の最大値。

ストップ・バンド減衰

AD7722 の周波数応答は前述の周波数帯での減衰は 90dB 未満にはなりません。

積分非直線性

伝達関数のエンド・ポイントを通る直線に対する任意のコードの最大偏差です。伝達関数のエンド・ポイントは負のフルスケール、すなわち最初のコード遷移 (バイポーラ・モードでは 100...00 ~ 100...01、ユニポーラ・モードでは 000...00 ~ 000...01) よりも 0.5LSB 下の点、及び正のフルスケール、すなわち最後のコード遷移 (バイポーラ・モードでは 011...10 ~ 011...11、ユニポーラ・モードでは 111...10 ~ 111...11) よりも 0.5LSB 上の点です。誤差は LSB で表現されます。

微分非直線性

A/D コンバータ内で隣接する 2 個のコードの変化 (1LSB) に対する測定値と理想値の差です。

同相成分除去比 (CMRR)

グラウンド・レベルの変動などにより、両方の入力端子に同時にかかる電圧を除去するデバイスの能力を同相成分除去比と規定します。CMRR は差動信号のゲインと同相信号のゲインの比です。

ユニポーラ・オフセット誤差

ユニポーラ・オフセット誤差はユニポーラ・モードで動作している場合の、最初のコード遷移 (00...000 から 00...001) と理想的な差動電圧 ($V_{IN(+)} - V_{IN(-)} + 0.5LSB$) の偏差です。

バイポーラ・オフセット誤差

これはバイポーラ・モードで動作している場合の、ミッドスケールのコード遷移 (111...11 から 000...00) と理想的な差動電圧 ($V_{IN(+)} - V_{IN(-)} - 0.5LSB$) の偏差です。

ゲイン誤差

最初のコード遷移が負のフルスケールよりも $1/2LSB$ だけ上のアナログ値で発生します。最後のコード遷移が定格フルスケールよりも $1/2LSB$ だけ下のアナログ値で発生します。ゲイン誤差は実際に発生した最初と最後のコード遷移の差と理想の場合のそれとの偏差です。

典型的な特性 - AD7722

(特に指定のない限り $AV_{DD} = DV_{DD} = 5.0\text{ V}$, $T_A = +25$; $CLKIN = 12.5\text{ MHz}$, $AIN = 20\text{ kHz}$, バイポーラ・モード ; $V_{IN(+)} = 0\text{ V} \sim 2.5\text{ V}$, $V_{IN(-)} = 1.25\text{ V}$)

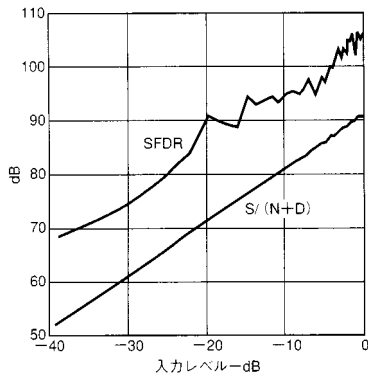


図9 . S/(N+D) , SFDRとアナログ入力レベルの関係

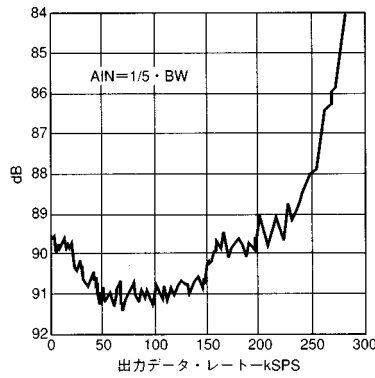


図10 . S/(N+D)と出力サンプル・レートの関係

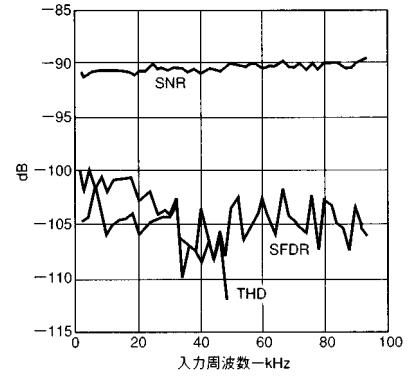


図11 . SNR, THD, SFDRと入力周波数の関係

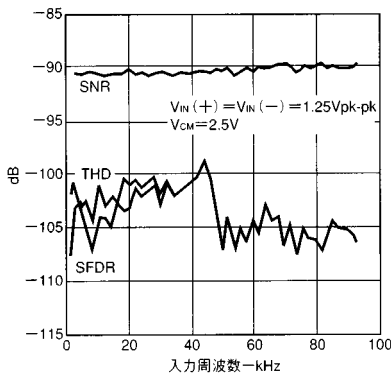


図12 . SNR, THD, SFDRと入力周波数の関係

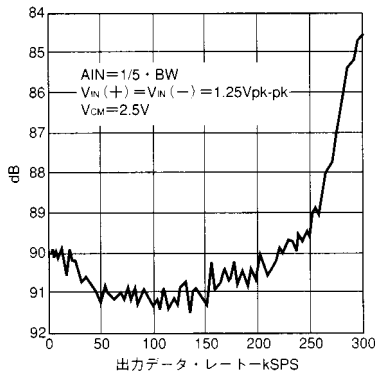


図13 . S/(N+D)と出力サンプリング・レートの関係

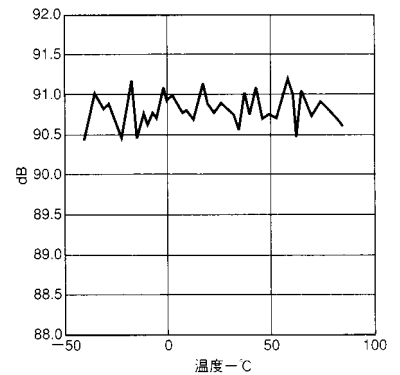


図14 . SNRと温度の関係

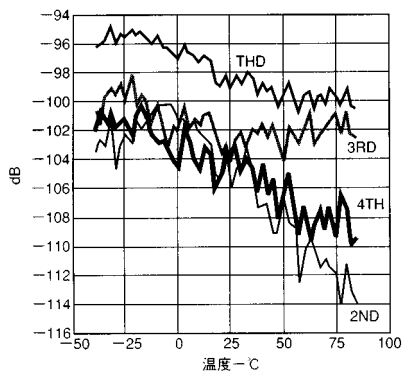


図15 . THDと温度の関係

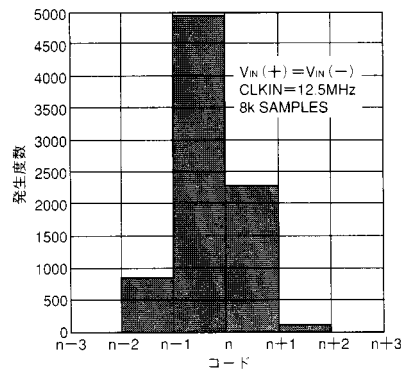


図16 . DC入力での出力コードのヒストグラム

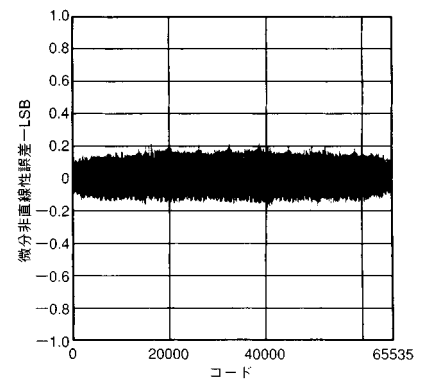


図17 . 微分非直線性

AD7722 典型的な特性

(特に指定のない限り $AV_{DD} = DV_{DD} = 5.0\text{ V}$, $T_A = +25$; $CLKIN = 12.5\text{ MHz}$, $A_{IN} = 20\text{ kHz}$, バイポーラ・モード ; $V_{IN}(+) = 0\text{ V} \sim 2.5\text{ V}$, $V_{IN}(-) = 1.25\text{ V}$)

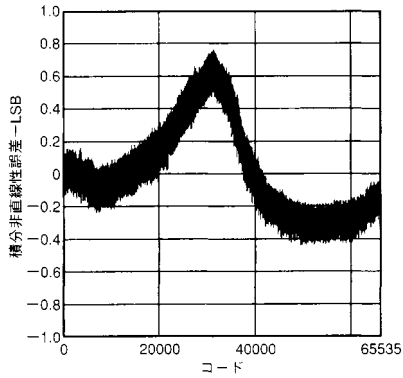


図18 . 積分非直線性誤差

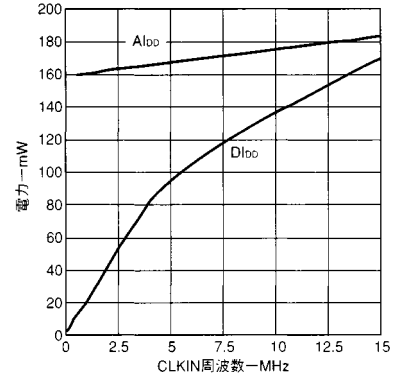


図21 . 消費電力とCLKIN周波数の関係

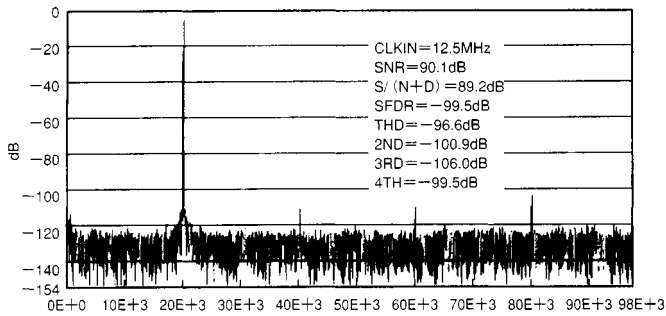


図19 . 16KポイントFFT

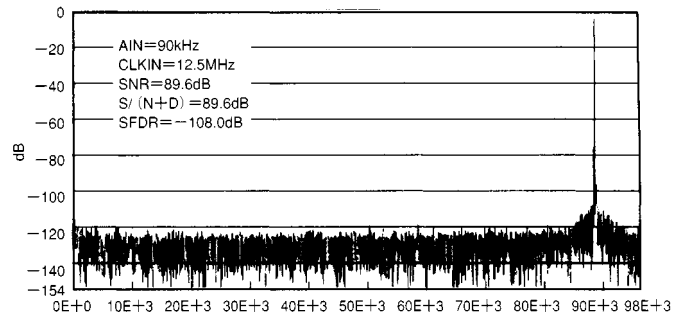


図22 . 16KポイントFFT

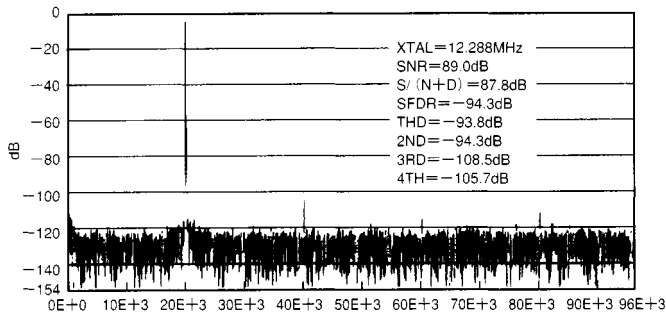


図20 . 16KポイントFFT

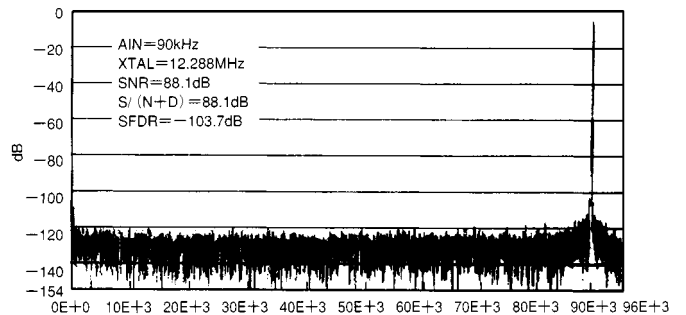


図23 . 16KポイントFFT

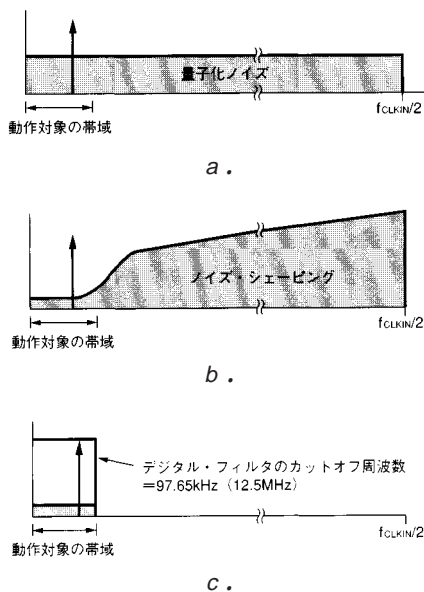
回路の説明

A/DコンバータAD7722はアナログ入力をデジタル・パルスの列に変換するシグマ/デルタ変換技術を採用しています。アナログ入力はスイッチ・キャパシタ変調器によって、クロック入力周波数の2倍のレート($2 \times f_{CLKIN}$)で連続的にサンプリングされます。アナログ入力を表現するデジタル・データはシグマ・デルタ変調器の出力側で密度1°のビット・ストリームです。変調器は f_{CLKIN} と同じデータ・レートでビット・ストリームを出力します。

量子化ノイズを0から $f_{CLKIN}/2$ の周波数帯域に拡散する高速のオーバーサンプリング・レートによって、動作対象となる周波数に含まれるノイズ・エネルギーが低減します(図24a)。さらに量子化ノイズを低減するために、ノイズ・スペクトルをシェーピングする高次の変調器を採用し、ノイズ・エネルギーがほとんど動作対象の周波数帯域から外れるようにします(図24b)。

変調器の後段のデジタル・フィルタには主要な機能が3つあります。フィルタは変調器の出力側で1ビットのサンプリングに対して高度な平均化を行うとともに、大きなレベルの帯域外量子化ノイズを取り除きます(図24c)。最後にデジタル・フィルタによってデータ・レートはフィルタの入力側 f_{CLKIN} からフィルタの出力側 $f_{CLKIN}/64$ まで低減します。AD7722の出力データ・レート(F_s)は信号帯域幅の2倍よりもやや速く、信号周波数にデータの損失がないことが保証されます。

デジタル・フィルタはアナログ・フィルタに比べていくつか有利な点があります。まず、デジタル・フィルタ処理はA/D変換の後に行いますから、変換プロセスの間に発生したノイズを取り除くことができます。アナログ・フィルタは変換中に発生したノイズを取り除くことはできません。第二に、デジタル・フィルタは低いパスバンド・リップルと急激なロールオフ(訳注:ある周波数を越えたときの信号の損失や減衰の割合)を組み合わせ、しかも線形の位相応答性を維持します。



AD7722には有限インパルス応答(FIR)フィルタが2個直列につながっています。最初のフィルタは384タップ・フィルタで、変調器の出力を f_{CLKIN} の周波数でサンプリングします。2番目のフィルタは151タップのハーフバンド・フィルタで、最初のフィルタの出力を $f_{CLKIN}/32$ の周波数でサンプリングし、2だけ間引きします。このフィルタのアーキテクチャを適用すると、42変換(フルスケール・ステップに安定させる場合は84変換)の群遅延のフィルタとなります。

デジタル・フィルタはその出力・レートの半分にあたる周波数 $f_{CLKIN}/128$ で6dBの減衰となります。クロック周波数12.5 MHzにおいて、デジタル・フィルタのパスバンド周波数は90.625 kHz、カットオフ周波数は96.92 kHz、ストップバンド周波数は104.6875 kHzです。

デジタル・フィルタのサンプリングの特性により、フィルタはその入力サンプリング周波数の整数倍ではまったく除去を行いません。図25aにあるフィルタの応答特性は、 $n \times f_{CLKIN}$ (ここで $n=1, 2, 3, \dots$)の周波数帯では減衰がない事を示します。これらの周波数では、 $n \times f_{CLKIN}$ の両側に $\pm f_{3dB}$ 幅(f_{3dB} はデジタル・フィルタの-3dBの帯域幅)の周波数帯が存在し、ノイズは減衰されずに出力に至ります。帯域外の信号のうち、フィルタ特性と一致する信号は、パスバンドに折り返されてしまいます。しかし、AD7722のオーバーサンプリング・レートは高いですから、これらの帯域はスペクトルのわずかな部分しか占有せず、ほとんどの帯域幅ノイズはフィルタにかけられます。これはAD7722の前段にあるアンチエイリアス・フィルタリングが必要とされる性能が従来のオンチップ・フィルタリングのないコンバータに対して著しく軽減したことを意味します。図25bはアンチエイリアス・フィルタの周波数特性を示します。-3dBのコーナー周波数を $f_{CLKIN}/64$ とすると、シングル・ポール・フィルタは f_{CLKIN} で36dBの減衰となります。

しかしアプリケーションにもよりますが、デジタル・フィルタが透過させる周波数帯から不要な信号を取り除くためには、AD7722の前段にアンチエイリアス・フィルタリングが必要となる場合があります。またいくつかのアプリケーションではAD7722の前段にアナログ・フィルタリングを用意して、動作対象の帯域外の差動ノイズ信号がアナログ変調器を飽和させないようにする必要もあるかもしれません。

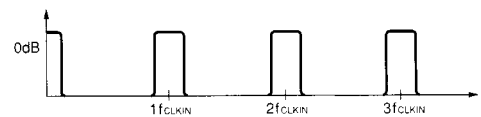


図25a. デジタル・フィルタ周波数応答

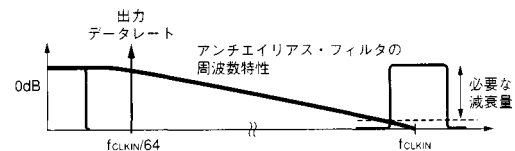


図25b. アンチエイリアス・フィルタの周波数特性

AD7722

AD7722の応用

アナログ入力レンジ

AD7722は差動入力を使用してノイズ除去を行っています(つまり変換結果は2つの入力間の差動電圧に対応します)。両方の入力での絶対電圧はかならずAGNDとAV_{DD}の間になければなりません。

ユニポーラ・モードではフルスケールのアナログ入力レンジ($V_{IN(+)} - V_{IN(-)}$)は $0V \sim V_{REF2}$ です。出力コードはユニポーラ・モードのときストレート・バイナリーで1LSB = 38 μV です。理想的な伝達関数を図26に示します。

バイポーラ・モードではフルスケールの入力レンジは $\pm V_{REF2}/2$ です。バイポーラ・モードによって補数入力信号が可能となります。もう1つの例として、バイポーラ・モードではVIN(-)をDCバイアス電圧につなげばVIN(+)上で $V_{BIAS} \pm V_{REF2}/2$ と等しいシングル・エンドの入力を得ることができます。バイポーラ・モードでは出力コードは2の補数で1LSB = 38 μV です。理想的な伝達関数を図27に示します。

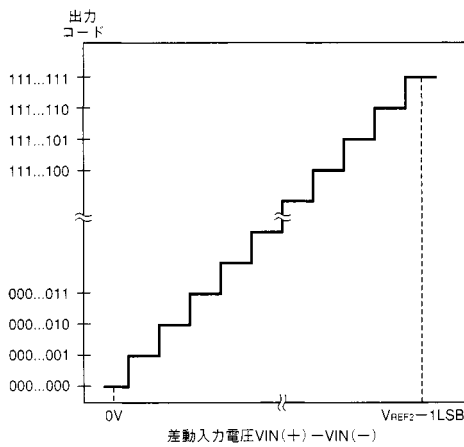


図26 . ユニポーラ・モードの伝達関数

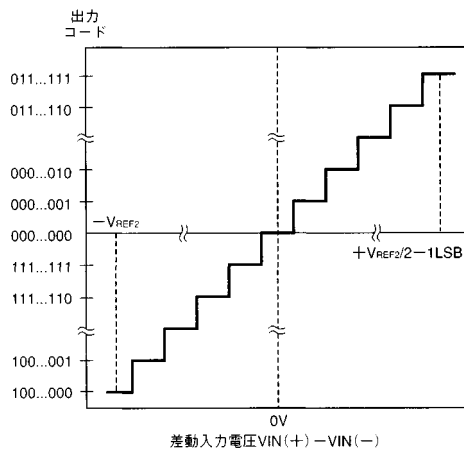


図27 . バイポーラ・モードの伝達関数

差動入力

変調器へのアナログ入力はスイッチト・キャパシタを用います。アナログ信号は直線性の高いサンプリング・コンデンサで電荷に変換されます。アナログ入力回路の簡略図を図28に示します。アナログ入力を駆動する信号源はCLKINの半サイクルごとにサンプリング・コンデンサに電荷を供給し、次の半サイクルが終わる前に所定の精度になっている必要があります。

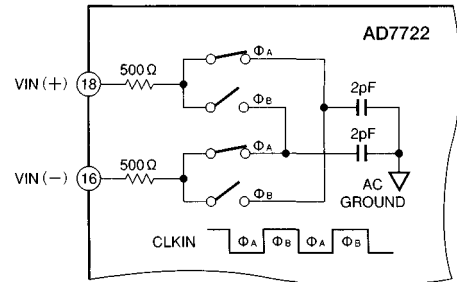


図28 . アナログ入力等価回路

AD7722はアナログ入力間で差動電圧をサンプリングしますが、各入力においてコモン・モード・ノイズの小さな入力回路を使う事により低ノイズ性能が得られます。アナログ入力を駆動するアンプはAD7722の高い性能を得る上で、極めて重要な役割りを果たします。

容量性の負荷がオペアンプの出力側に切り替わると、振幅値は瞬間的に低下します。オペアンプはその状況を修正しようとし、その過程でスルー・レートの制限に達します。この非線形の応答は過度の振動を発生することがあり、また歪みを生む場合があります。この状況を防止するために、図29にあるようにローパスRCフィルタをアンプとAD7722の入力間に接続できます。各入力の外付けコンデンサによって、サンプリング・プロセスの途中に生成される電流スパイクの一部を供給することができます。この図の抵抗はアンチエイリアス用の極を生成しながら、オペアンプを負荷の過度特性から絶縁します。

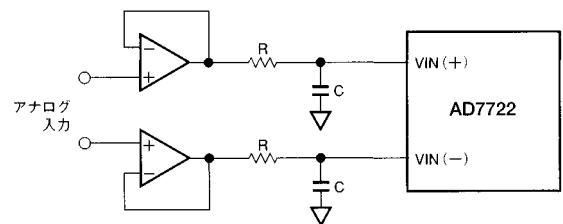


図29 . 簡単なRCアンチエイリアス回路

AD7722のスイッチト・キャパシタ入力の差動入力インピーダンスはCLKIN周波数の関数として、次の式で与えられます。

$$Z_{IN} = \frac{10^9}{8 \times f_{CLKIN}} k$$

入力コンデンサの切換え時間が早過ぎて、入力サンプリング・コンデンサの電圧がAD7722の分解能で示された精度に落ちつくための十分な時間がない場合でも、サンプリング・コンデンサの電荷がRC回路の指数曲線に従う限り、ゲイン精度だけに影響がでます。

AD7722への差動入力を駆動するための代替の回路構成を図30に示します。

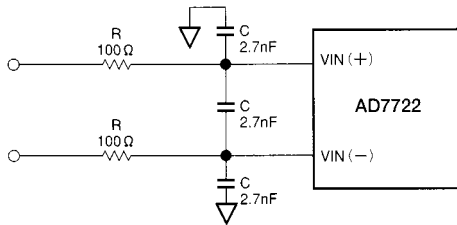


図30．アンチエイリアスの場合の差動入力

2個の入力ピンの間のコンデンサが電荷の受け渡しを行う事により、一方の入力に必要な電荷のほとんどは他方の入力によって効果的に供給されるようになります。これによってアナログ入力とアースの間の不要な電荷のやりとりが最小限で済みます。直列につながった抵抗によってオペアンプはサンプリングのプロセスで発生した電流スパイクから絶縁され、アンチエイリアス用の極が生成されます。アンチエイリアス・フィルタの -3 dBのカットオフ周波数 (f_{3dB}) は式1で与えられ、フィルタの減衰は式2で与えられます。

$$f_{3dB} = \frac{1}{6\pi RC} \quad (1)$$

$$\text{減衰} = 20 \log \left[\frac{1}{1 + \left[\frac{f}{f_{3dB}} \right]^2} \right] \quad (2)$$

フィルタ・カットオフ周波数を選択する場合は、デジタル・フィルタの通過帯域に許容されるロールオフの量、および最初のイメージ周波数で必要な減衰を考慮します。たとえばAD7722を12.5 MHzのクロックで動作させる場合は、図30にある代表的なRとCの値 (100 と 2.7 nF) を使用すると、-3 dBのカットオフ周波数 (f_{3dB}) は1 dB未満の帯域内 (90.625 kHz) ロールオフを生じ、最初のイメージ周波数で36 dBの減衰が実現します。

入力アンチエイリアス回路で使われるコンデンサには、歪みの発生を避けるために誘電吸収の小さなものが必要です。ポリプロピレン、ポリスチレン、ポリカーボネートなどのようなフィルム・コンデンサが最適です。セラミック・コンデンサを使う場合は、NP0誘電体が必要です。

リファレンスの適用

AD7722で使われるリファレンス回路にはオンチップの2.5Vバンド・ギャップ・リファレンスとリファレンス・バッファ回路が含まれます。リファレンス回路のブロック図を図31に示します。内部リファレンス電圧は3k の抵抗をはさんでREF1に接続され、内部的にバッファリングされてアナログ変調器のスイッチト・キャパシタD/Aコンバータ (REF2) を駆動します。内部リファレンスを使用する場合は、REF1とAGNDの間に100 nFを接続してください。外部回路にバイアスをつけるために内部リファレンスが必要な場合は、

REF1をバッファリングするために外付けの精密オペアンプを使用してください。

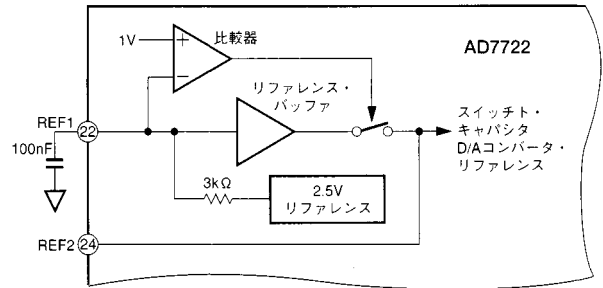


図31．リファレンス回路のブロック図

AD7722は内部リファレンスで動作するか、あるいは外部リファレンスを2種類の方法で適用することができます。外部リファレンスはREF1に接続し、内部リファレンスをオーバードライブすることができます。しかし内部バッファ・アンプのオフセットによってエラーが発生します。外部リファレンスを使ってシステムのゲイン誤差を最小にするには、内部バッファを駆動せずにREF1をアースに落とし、外部リファレンスをREF2に接続します。

いずれも電圧REF2はアナログ変調器につながりますから、100 nFのコンデンサをREF2からAGNDに直接接続します。外部コンデンサはREF2ピンに発生する動的負荷に必要な電荷を供給します (図32)。

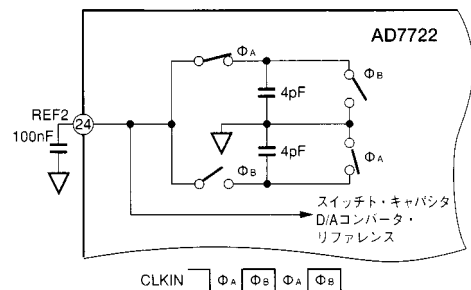


図32．REF2入力等価回路

AD7722で外部リファレンスとして使うのはAD780が理想的です。図33に接続図の例を示します。

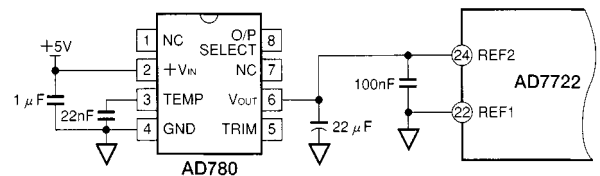


図33．外部リファレンスの回路接続

AD7722

入力回路

図34と図35にバイポーラ・モードでの動作の2種類の簡単な回路を示します。両方の回路はシングル・エンドのバイポーラ信号源が使用可能で、A/Dコンバータの入力側で必要とされる差動信号を生成します。

図34の回路はVIN(+)ピンのところで0V~2.5Vの信号を生成し、1.25Vの初期バイアスとほぼ同じ差動信号を出します。シングル・エンドのアプリケーションでは、VIN(-)を2.5Vでなく1.25Vにすることで最高のTHD性能が得られます。AD7722の入力も図35にあるような補数入力を使えば差動的に駆動することができます。

この場合、入力同相電圧は2.5Vになります。極性の異なる各入力で1.25Vp-pの信号を使うと、2.5Vp-pのフルスケール差動入力を得られます。この構成にするとアンプ回路で必要な出力スイングが最小になり、単電源のアプリケーションに使用可能です。

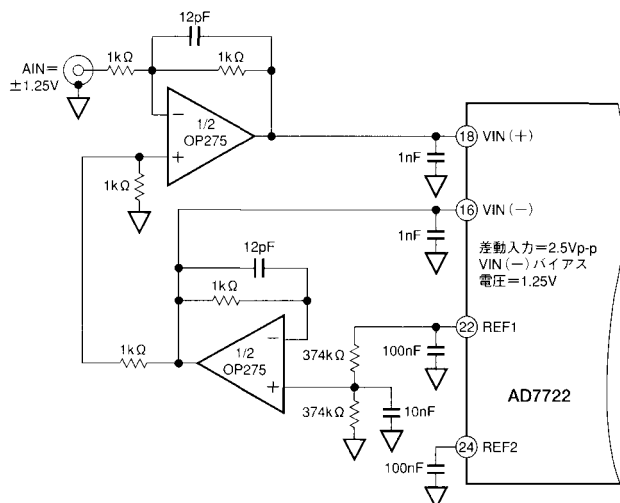


図34 . バイポーラ・モード動作のシングル・エンドのアナログ入力回路

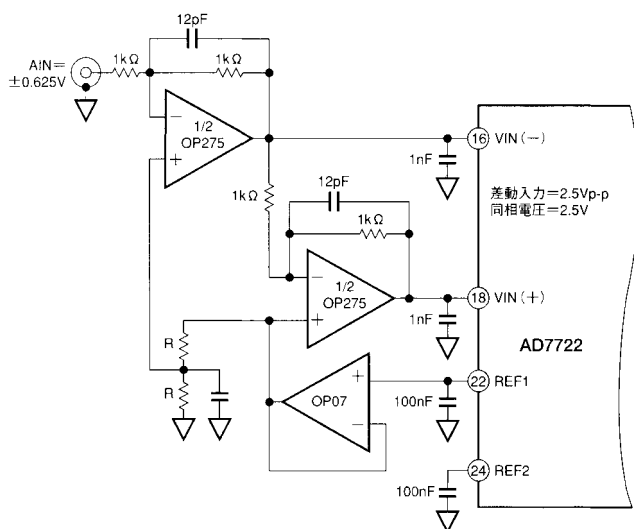


図35 . バイポーラ・モード動作のシングル・エンド~差動アナログ入力回路

連続的にサンプリングされている間、各A/Dコンバータ入力部の1nFのコンデンサが電荷を蓄える事によりアンプの動作を安定化さ

せます。抵抗を駆動アンプの出力と1nFの入力コンデンサの間に直列につなぎ、アンチエイリアス・フィルタを生成することもできます。

クロックの生成

AD7722には発振回路があり、水晶または外部のクロック信号によってA/Dコンバータのマスター・クロックが生成されるようになっています。水晶を使った場合の接続図を下の図36に示します。負荷コンデンサについては水晶の製造元に問い合わせてください。

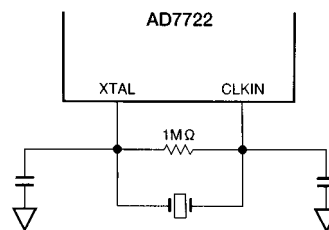


図36 . 水晶発振器の接続

外部クロックは振動がなく、5nsの最小立ち上がり時間でなければなりません。エッジの立ち上がりが急峻のときはカップリングが増加し、サンプリング過程でノイズを発生する事があるので、性能が低下する場合があります。外部クロック源の接続図(図37)では、クロック出力とAD7722のクロック入力に直列の制動抵抗を接続した例を示しています。抵抗の最適値は基板の配置とクロック入力に接続した配線のインピーダンスに依存します。

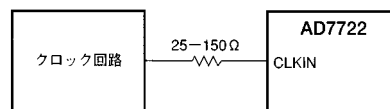


図37 . 外部クロック発振器の接続

A/Dコンバータのサンプリング・クロックを生成するためには低フェーズ・ノイズ・クロックが必要です。なぜならばサンプリング・クロック・ジッター(訳注:電気信号の不規則でわずかな波形の乱れ)は入力信号を大きく変調し、ノイズ・フロアを引き上げるからです。サンプリング・クロック発振器はノイズの多いデジタル回路から絶縁し、アースに落とし、アナログのグラウンド・プレーンにしっかりとデカップルします。

サンプリング・クロック発振器はスプリット・アース・システムのアナログのグラウンド・プレーンを基準電位とします。しかしシステムの制約上、いつでも可能なわけではありません。多くの場合、サンプリング・クロックはデジタルのグラウンド・プレーン上の高周波数の多目的システム・クロックから取り出します。クロック信号がデジタルのグラウンド・プレーン上の信号源からアナログ・グラウンド・プレーン上のAD7722に流れる場合、両者のグラウンド・プレーン間のアースのノイズが直接クロックに加わり、余分なジッターを生成します。このジッターは信号/ノイズ比を低下させ、不要な高調波を発生させる場合もあります。

この現象はサンプリング・クロック信号を差動信号として送信することによっていくらか改善することができます。これには小型のRFトランスが高速の差動ドライバとPECLのような受信機を使います。いずれの場合もオリジナルのマスター・システム・クロックは低フェーズ・ノイズ水晶発振器から生成します。

マスター・クロックの変化

AD7722は12.5 MHzのマスター・クロックと規定されていますが、AD7722は300 kHz ~ 15 MHzのクロック周波数で動作します。デジタル・フィルタの入力サンプリング・レート、出力ワード・レート、周波数応答はマスター・クロック周波数に正比例します。たとえばクロック周波数を5 MHzに下げると、アナログ入力サンプリング・レートは10 MHz、出力ワード・レートは78.125 kSPS、パスバンド周波数は36.25 kHz、カットオフ周波数は38.77 kHz、ストップ・バンド周波数は41.875 kHzになります。

システムの同期と制御

AD7722のデジタル・フィルタにはデジタル・インタフェースを制御するシーケンサ・ブロックとデジタル・フィルタを駆動するために必要な制御ロジックがすべて含まれています。14ビット・サイクル・カウンタはフィルタがどの動作サイクルにあるのかを追跡し、またデジタル・インタフェース信号をAD7722にデコードします。このサイクル・カウンタには重要な遷移点がたくさんあります。特に下位の6ビットは周回カウンタを制御して出力データ・レジスタの更新周期を64分の1にします。カウンタの最上位ビットによって、変調器とデジタル・フィルタにはAD7722が自動較正処理を行っているときに、動作を安定化するための十分な時間(8192回のCLKINサイクル)を確保できます。カウンタはCLKINピンの信号の立ち上がりで更新され、デジタルI/O信号はすべてこのクロックに同期します。またこのカウンタの上位ビットはSYNCやRESET、CAL、初期のFSIの後で、有効なデータが出力データ・レジスタで可能になったことをDVALまたはDRDYがいつ示すのかを制御します。通常の動作の場合、128回の変換による遅れ(8192回のCLKINサイクル)はデジタル・フィルタの実際の整定時間(5376回のCLKINサイクル)や群遅延(2688回のCLKINサイクル)と混同してはなりません。

SYNC入力

SYNC入力はパラレルやシリアル・モードで使うときの同期機能があります。SYNCによってユーザーはあらかじめ決まった時点からアナログ入力のサンプリングデータを収集できます。これによって共通のマスター・クロックで動作するAD7722を複数使ったシステムでは、各A/Dコンバータが出力レジスタを同時に更新できるように同期がとられます。SYNC入力は較正レジスタの内容に影響を与えずにデジタル・フィルタをリセットします。

AD7722を複数使ったシステムでは、各SYNC入力への共通の信号によってそれぞれの動作の同期をとります。SYNCの立ち上がりでデジタル・フィルタのシーケンサ・カウンタはゼロにリセットされます。このフィルタはCLKINの立ち上がりでSYNCのLOを検出するまでリセット状態に保持されます。CLKINサイクルの1回分の長さの1個のSYNCパルスがCLKINの立ち下がりと同期します。このようにして次のCLKINの立ち上がりでSYNCはLOが検出され、フィルタはリセット状態から外れ、複数のデバイスが入力サンプリング・データの収集を始めます。

シリアル・モードではDVALは8192回のCLKINサイクルの間LOのまま、変調器とデジタル・フィルタの動作が安定します。パラレル・モードでは、DRDYは有効なデータが出力レジスタにロードされている間、その後64回のCLKINサイクルの間HIのままです。1回のSYNCの後、変換データはデジタル・フィルタが安定するまで有効になりません(図7参照)。

DVAL

DVALピンはシリアル・モードで使う場合、A/Dコンバータ出力に無効なデータがあるかどうかを示します。DVALがデアサートになるのは4種類の事象があり、データが無効である期間についての意味も異なります。

DVALはデジタル・フィルタの最初の段階でオーバーフロー状態にある場合、LOになります。オーバーフローはアナログ入力信号が許容できる最大入力スパンの2倍近くあるときに発生する場合があります。オーバーフロー状態が検出されるとDVALは64回のCLKINサイクルの間(1回分の出力の間)LOになり、出力データはオーバーフローの符号によって正または負のフルスケールのいずれかに固定されます。次の周期が完了した後(64回のCLKINサイクル)オーバーフロー状態でない場合はDVALはHIになって有効な出力が利用可能であることを表します。そうでない場合、DVALはオーバーフロー状態でなくなるまでLOのままです。

第一段階のオーバーフローの結果、第二段階のデジタル・フィルタがオーバーフローする場合があります。オーバーフロー状態は、第二段階のフィルタによって正または負のいずれかのフルスケールを超える(つまりバイポーラ・モードで-32,768未満、あるいは32,767を超える)ような変換結果が算出されたときに検出されます。オーバーフローが検出されるとDVALはLOになり、出力レジスタは過負荷の符号によって正または負のいずれかのフルスケールに更新されます。次の周期が完了した後、次の変換結果がフルスケールのレンジにあればDVALはHIに戻ります。

他の高次シグマ/デルタ変調器と同様、過大なアナログ入力によって変調器は不安定な状態になります。変調器は入力帯域幅内のフルスケールの2倍の入力信号で安定するように設計されています。帯域外信号にフルスケール・レンジの信号が入っても不安定状態にはなりません。内部回路によって不安定状態が検出された場合はDVALはLOになり、出力は過負荷の極性によって正または負のいずれかのフルスケールに固定されます。変調器は安定状態にリセットされ、デジタル・フィルタ・シーケンサ・カウンタはリセットされます。DVALは変調器が安定してデジタル・フィルタが新しいサンプリングを積算しているとき、最小8192回のCLKINサイクルの間LOになります。過負荷の状態が解除されてから8192回のCLKINサイクル後、DVALはHIに戻り有効なデータがシリアル出力レジスタで使用可能になったことを示します。

最後に、DVALは最初の電源投入の後、またはCAL、RESET、SYNCシーケンスの完了の後、有効なデータがシリアル・インタフェースで使用可能になったことも表します。

リセット入力

AD7722のRESET入力は上で述べたSYNC入力と同じようにデジタル・フィルタを制御します。さらに、RESET入力は自分のインテグレータ・コンデンサを短絡することで変調器をリセットし、内部の較正レジスタをクリアしますので、変換結果はオフセットやゲイン誤差に対して修正されません。

電源投入リセット

電源投入リセットは最初の電源投入の後にAD7722の内部ロジックをリセットするために用意されています。電源投入でオフセットとゲインの較正レジスタがクリアされます。

オフセットとゲインの較正

オフセットとゲイン誤差の較正はシリアルおよびパラレルの両

AD7722

方のモードで較正サイクルを開始することによって実行できます。このサイクルの間、フィルタのオフセットとゲイン・レジスタにはアナログ変調器のDCオフセットおよび変調器のゲイン修正ファクタを表す値がロードされます。この修正ファクタは3種類の入力条件(つまり負のフルスケール(-FS)、正のフルスケール(+FS)、およびミッド・スケール)の変換結果を測定する内部のマイクロコントローラによって決められます。通常の動作では、オフセット・レジスタはデジタル・フィルタ出力から減算され、次にこの結果はゲイン修正ファクタと掛け合わされ、最終的にオフセットとゲインが修正された結果が得られます。

較正サイクルは内部ロジックにより制御されており、ユーザーはサイクルを開始するだけです。較正はCLKINの立ち上がりでCAL入力のHI・レベルを検出したときに開始します。較正サイクルが実際に始まる前に、最大64回のCLKINサイクルの不安定な状態があります。なぜならば電流変換は較正が始まる前に終わる必要があるからです。レジスタにロードされた較正值は較正サイクルを開始するときに選択されたアナログ入力モード(バイポーラ/ユニポーラ)にだけ適用されます。別のアナログ入力モードが変わるとき、較正を新たに行います。

ユニポーラ・モードでの較正サイクルの間にアナログ変調器のオフセットが評価され、変調器への差動入力内部的にAGNDに短絡されます。一旦較正が始まるとDVALはLOになり、 $\overline{\text{DRDY}}$ はHIとなって出力レジスタに無効なデータがあることを示します。8192回のCLKINサイクルの後に変調器とデジタル・フィルタが安定すると、8回の出力結果(512回のCLKINサイクル)の平均値が計算され、オフセット・レジスタに記憶されます。ユニポーラ・モードではこの結果は負のフルスケールを表しており、ゲイン修正ファクタを計算する必要があります。ここでゲイン修正ファクタは内部的に入力を $+FS(V_{\text{REF2}})$ に切り替えることによって決められます。変調器の正の入力はリファレンス電圧に切り替えられ、負の入力はAGNDに切り替えられます。再び変調器とデジタル・フィルタが安定すると、ゲイン修正ファクタを計算するために8回の出力結果の平均値が使われます。

バイポーラ・モードではゼロ・スケールは-FSと同じではありませんから、別に測定する必要があります。したがってバイポーラ・モードの較正ではさらに8704回のCLKINサイクルが必要です。ゼロ・スケールは両方のアナログ入力をAGNDに短絡することによって同様に決まります。ここで入力は $+FS$ と $-FS(+V_{\text{REF2}}/2$ と $-V_{\text{REF2}}/2)$ がかかるように内部的に再設定され、ゲイン修正ファクタが決まります。

新しい値が較正レジスタにロードされた後、変調器の入力はまた元の入力ピンに切り替えられます。しかし、変調器とフィルタが新しい入力値に落ち着いた後のみ、インタフェースで正しい値が使用可能になります。

較正サイクルの間にSYNCまたはRESETピンの立ち上がりが発生した場合は、較正サイクルは中断し、同期操作あるいはリセットが行われます。

較正レジスタはあまり変化しません。これらはアナログ・オフセットあるいはゲインに許容できないずれがありそうな場合にのみ更新する必要があります。電源の立ち上げ後、電源投入リセット回路によってオフセットとゲイン・レジスタがクリアされますから、RESETは必ずしも必要ありません。電源の立ち上げ中はCALピンがLOに保持されていることを再確認するよう注意してください。較正処理を開始する前に電源とリファレンス入力が安定し、アナログ入

力ピンの電圧が電源電圧の中間にあることを再確認してください。

データ・インタフェース

AS7722ではシリアルあるいはパラレルのデータ・インタフェースを選択できるようになっており、多様なシステム構成に対応できるようになっています。パラレル・モードでは共通のデータ・バスを共有することで複数のAD7722を簡単に組み合わせられます。シリアル・モードはホスト・プロセッサにつなぐデータ・インタフェースの配線の数を減らしたい場合に有効です。いずれの場合も、AD7722を使って広いダイナミック・レンジを実現するにはシステム構成には十分注意が必要です。“電源のアースと配置”の章を参照してください。次のパラレルのインタフェースの推奨の項ではシリアル・モードでのシステム設計も適用されます。

パラレル・インタフェース

AD7722を使う場合はバッファ/ラッチをコンバータの近くに置き、データ・バスに発生する可能性のあるノイズがコンバータのデータ・ラインに乗らないように絶縁してください。AD7722には3種類の状態の出力がありますが、絶縁ラッチを使うことは設計上好ましいことです。このようにするとAD7722のグラウンド・プレーンに少量のデジタル・ノイズが流れます。この電流は極めて少量で、このコンバータの入出力が多くのファンアウト(訳注:1個の素子が駆動することのできる素子の最大数)を駆動しない(通常、設計上は不可能です)ことを再確認することで最小にできます。AD7722のデジタル・ポートのファンアウトを最小にすることで、コンバータ・ロジックの遷移を振動から遠ざけ、それによってコンバータのアナログ・ポートに入るカップリングが最小限になります。

図38の簡略図には、AD7722のパラレル・インタフェースがマイクロプロセッサ、あるいはMC68HC16や8XC251のような最新のマイクロコントローラのシステム・データ・バスとどのようにしてつながるかが示されています。

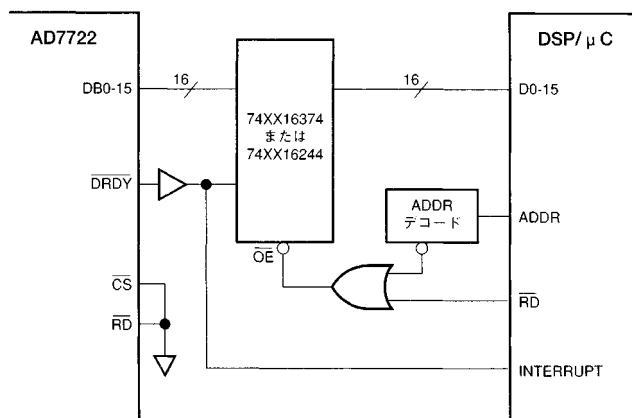


図38. パラレル・インタフェースの接続図

$\overline{\text{CS}}$ と $\overline{\text{RD}}$ をずっとLOにしておくと、データ出力ビットはつねにアクティブのままです。 $\overline{\text{DRDY}}$ 出力が2回のCLKINサイクルの間HIの状態にあるとき、新たな変換結果が出力データ・レジスタにロードされる前に、 $\overline{\text{DRDY}}$ の立ち上がりが変換データをラッチするために使用されます。そこでインタフェースの制御用に $\overline{\text{DRDY}}$ の立ち下がり適切な割込み信号が送信されます。もしくは、ラッチの代わりにバッファを使う場合は、新たな出力ワードがAD7722から来るとき

にDRDYの立ち下がりによって必要な割込み信号が提供されます。

シリアル・インタフェース

AD7722のシリアル・データ・インタフェース・ポートは業界標準のデジタル・シグナル・プロセッサとのインタフェースを簡単に行えるようになっています。AD7722にはマスター・モードでのみ動作し、変換結果を転送するための3個のシリアル・データ出力ピンがあります。シリアル・データ・クロック出力(SCO)、シリアル・データ出力(SDO)、フレーム同期出力(FSO)がすべてCLKINと同期がとられています。SCOの周波数はつねにCLKINの周波数の半分です。FSOはA/Dコンバータの変換速度($F_{CLKIN}/64$)で連続的に出力されます。図2の一般的なタイミング・チャートでは、AD7722がどのようにして変換結果を送信するのに使われているかが示されています。

シリアル・データはSCOと同期をとりながらSDOピンから出力されます。FSOは外部の装置へ流れる出力データの送信のフレームを作るために使います。出力データの送信は32回のSCOサイクル分の時間です。シリアル・データは16回のSCOサイクル分の時間でSDOピンから、最初にMSBが、最後にLSBが出力されます。続く16回のSCOサイクルの間、SDOの出力はゼロです。

2つの制御入力(SFMTとCFMT)によってシリアル・データ送信用のフォーマットを選択します。FSOはパルス(SCOサイクルのおよそ1回分の時間)あるいは32回分のSCOサイクルの時間の方波で、これはSFMTの状態によります。SFMTにかかるロジック・レベルによっても、シリアル・データがSCOの立ち上がりあるいは立ち下がりで有効なのかが決まります。クロック・フォーマット・ピン(CFMT)は選択されたFSOのフォーマットに対してSCOのフェーズを切り替えます。

CFMTをLOにしてSFMTをHIレベルにすることによって(図4)、FSOはデータ送信フレームの最初にSCOサイクルの1回分の間、HIのパルスを発生します。FSOがLOになると、MSBはSCOの立ち上がりの後にSDOピンで使用可能になり、SCOの立ち下がりですラッチできます。CFMTをLOにしてSFMTをHIレベルにすることによって(図4)、SDOピン上のデータSCOの立ち下がり後に使用可能となり、SCOの立ち上がりですラッチできます。FSOはMSBが使用可能のときにデータ送信フレームの最初でLOになり、16回分のSCOサイクルの後HIに戻ります。

フレーム同期入力(FSI)はAD7722の変換プロセスで外部ソースと同期をとる必要がある場合に使用できます。FSIはオプションの信号であり、FSIがアースにつながっているかハイ・フレームの場

合、内部的に同期が生成されます。フレーム同期によって、シリアル・インタフェースに使う変換データは既知のタイミングで得られるフィルタがかけられ、縮小されたものとなります。FSIは電源投入後の1回だけ入力されるか、あるいはCLKINに同期して64回のCLKINサイクルごとに発生する定期的な信号の場合もあります。FSIに最初に入力されるか、あるいは出力ワード・レートに同期しないILOからHIへの遷移が検出されると、デジタル・フィルタが新たなサンプリングを累積している間は次の127回の変換は無効と考えられます。図4では、フレーム同期信号がどのようにしてシリアル出力インタフェースをリセットするか、またAD7722がどのようにしてシリアル・データ送信フレームを出力し始めるのかが示されています。コモン・フレーム同期信号は2個以上のAD7722に入力することができます、これらをコモン・マスター・クロックに同期することができます。

2チャンネル多重動作

その他に3種類のシリアル・インタフェースの制御ピン(DOE、TSI、CFMT)が用意されています。図39の接続図では、2個のAD7722のシリアル・データがどのようにして1個のシリアル・データ・ラインを容易に共有して使っているのかが示されています。シリアル・データ送信フレームは32回のSCOサイクルの間続きますから、16ビットの出力データを1個のSDOピンに交互に送信することによって2個のAD7722は1個のデータ・ラインを共有できます。

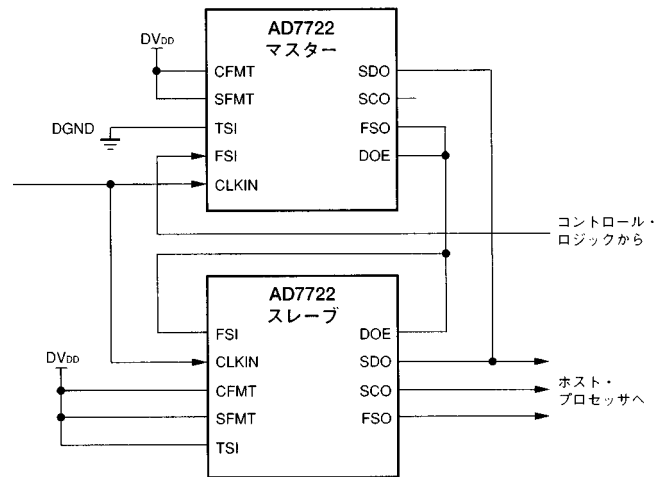


図39. 2チャンネル多重動作の接続図

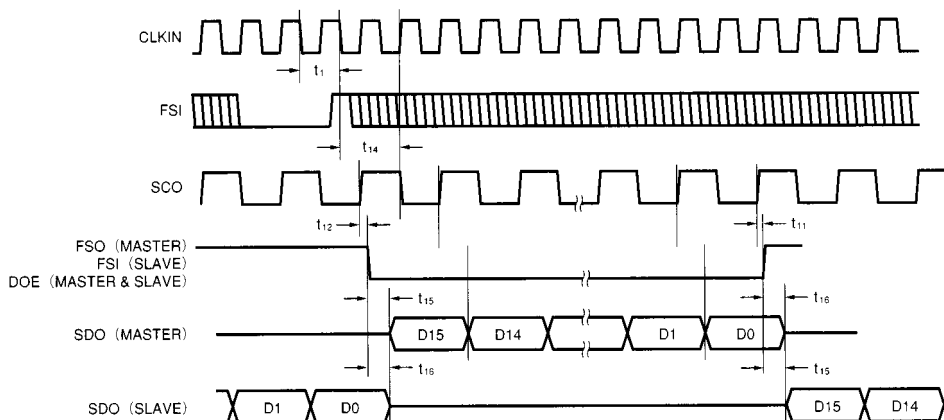


図40. 2チャンネル多重動作のタイミング

AD7722

データ出力イネーブル・ピン(DOE)はSDOの出力バッファを制御します。DOEのロジック・レベルがTSIピンの状態と一致したとき、SDOの出力バッファはシリアル・データ・ラインを駆動します。そうでない場合、バッファの出力側は高インピーダンスになります。シリアル・フォーマット・ピン(SFMT)はフレーム同期出力フォーマットを選択するためにHIになります。クロック・フォーマット・ピン(CFMT)はシリアル・データがSCOの立ち上がり後にSDOで使用可能になり、SCOの立ち下がりデラッチできるようにHIになります。

マスター・デバイスはTSIをロジックLOにし、FSOをDOEに接続することによって選択されます。スレーブ・デバイスはTSIピンをHIにし、FSIとDOEをマスターのFSOから制御することによって選択されます。マスターのFSOはマスターとスレーブの両方のDOE入力を制御しますから、1個のA/DコンバータのSDOはアクティブで、他方は高インピーダンスとなります(図40)。データ送信フレームの最初の16回のSCOサイクルの間にマスターが変換結果を送信するとき、DOEがLOレベルになるためスレーブ側のSDOは高インピーダンスになります。一旦マスターが変換結果の送信を終えると、FSOはHIになり、スレーブのFSIにトリガーをかけてデータ送信フレームが開始します。

DSPへのシリアル・インタフェース

シリアル・モードではAD7722は業界標準の何種類かのDSPに直接つなぐことができます。すべてAD7722はマスターで、DSPはスレーブとして動作します。AD7722は自分のシリアル・クロック(SCO)を出力し、SDOピンのデジタル・ワードをDSPに送信します。DSPのシリアル・インタフェースはFSO信号が供給するデータ送信に同期しています。

AD7722からのシリアル・データ・クロックは常にCLKIN周波数の半分ですから、比較的高いシリアル・クロック周波数に対応できるDSPが必要です。DSPのADSP - 21xxファミリは最大シリアル・クロック13.824 MHzで動作し、DSP56002は最大シリアル・クロック13.3 MHz、一方TMS320C5x - 57は最大シリアル・クロック10.989 MHzです。AD7722を他のDSPにつなぐには、SCOの周波数をDSPに対するシリアル・クロック入力の最大許容周波数に等しくなるように、AD7722のマスター・クロック周波数を減らすことができます。AD7722が比較的低いCLKIN周波数(< 10 MHz)で動作するときは、TMS320C20/C25やDSP56000/1などのようなDSPを使うことができます。

図41 ~ 43にAD7722といくつかのDSPをつないだときのインタフェースを示します。インタフェース制御ピン(TSI、DOE、SFMT、CFMT、SYNC、FSI)はすべてDGNDあるいはDVDDのいずれかに恒久的に配線しておきます。あるいは、SFMTまたはCFMTをHIまたはLOにしておき、DSPで必要な特殊フォーマット用のシリアル・データ・インタフェースを設定しておきます。フレーム同期信号(FSI)はユーザーのシステム制御ロジックから入力できます。

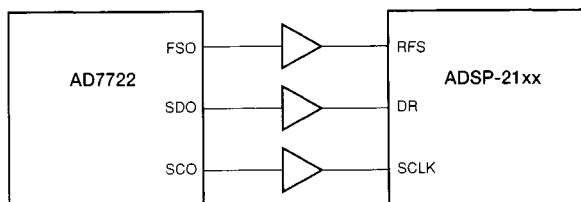


図41 . AD7722とADSP - 21xxのインタフェース

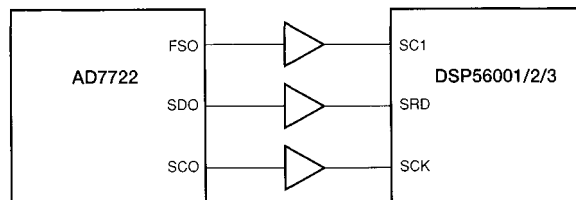


図42 . AD7722とDSP56000のインタフェース

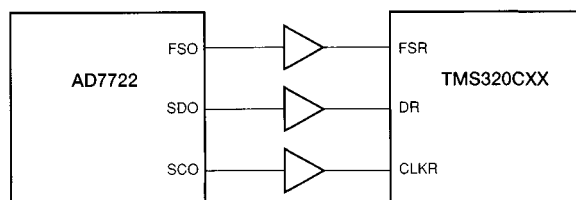


図43 . AD7722とTMS320C20/25/50のインタフェース

アースの配置

AD7722に対するアナログとデジタルの電源は独立して別々のピンで出力されており、装置内のアナログ部とデジタル部間のカップリングは最小限に抑えられています。AD7722はアナログ・コンポーネントとして扱い、アナログのグラウンド・プレーンにアースしてデカップリングしなければなりません。AD7722のグラウンド・ピンはグラウンド・プレーンに直接ハンダ付けし、直列のインダクタンスを抑えます。コンバータの電源ピンはアナログのグラウンド・プレーンにデカップリングします。デカップリングをうまく行うには、表面実装型のコンデンサをデバイスにできる限り近づけて配置し、理想的にはデバイス・ピンの真上に配置します。

AD7722を取り付けるプリント回路基板には、アナログとデジタルのインタフェース回路に対してグラウンド・プレーンを使います。コンバータの電源ピンはすべてアナログのグラウンド・プレーンにデカップリングし、インタフェース・ロジック回路の電源ピンはすべてデジタルのグラウンド・プレーンにデカップリングします。こうすることによってグラウンド・プレーンは使い易くなり、ノイズの影響を受けやすいアナログ・コンポーネントはノイズの多いデジタル・システムから物理的に分離されます。デジタルとアナログのグラウンド・プレーンは静電結合を抑えるため一ヶ所だけで結合させ、重ねてはなりません。

AVDDとDVDDの電源を分離する事も大いに効果的です。デジタル電源ピンDVDDは別のアナログ電源から電源をとりますが、必要な場合は電源接続をAVDDのものと共有できます。接続図(図44)を参照してください。10 の抵抗をDVDDピンと直列につなぐ必要があるのは、AD7722のデジタル部に流れ込む高速スイッチング電流の影響を抑えるためです。アナログ電源に悪影響を与えないために、高周波信号を取り除く必要がありフェライトも推奨します。

グラウンド・プレーンに最小限のエッチングを施す技術は、最良のシールド効果が得られるため、一般的に最も有効です。システムの配置に気をつけ、別々の信号がお互いに干渉しないようにすればノイズは最小限に抑えることができます。高いレベルのアナログ信号は低いレベルのアナログ信号から分離し、両方ともデジタル信号から離しておきます。波形サンプリングや再生のシステムでは、サ

ンプリング・クロック(CLKIN)は他のアナログ信号と同様にノイズには弱くなっています。CLKIN はアナログやデジタルのシステムから絶縁しておきます。クロックのような高速のスイッチング信号は基板の他の部分にノイズを放射しないようにアースでシールドし、クロック信号はアナログ入力の近くを通さないようにします。

デジタル・ラインはダイにノイズを流しますから、デバイスの下を通してはなりません。ノイズ・カップリングからシールドするために、アナログのグラウンド・プレーンはAD7722の下を通す必要があります。低いインピーダンス経路を実現し、電源ライン上のグリッチ(訳注：電子回路の電圧の瞬間的な急増)の影響を減らすために、AD7722の電源ラインにはできるだけ幅の広いトレース配線(できれば板)を使用してください。デジタル信号とアナログ信号の交差は避けてください。基板の反対側の面にあるトレースはお互いに直角になるようにします。こうすれば基板を通るフィードスルー(訳注：両面間接続端子)の影響は減ります。

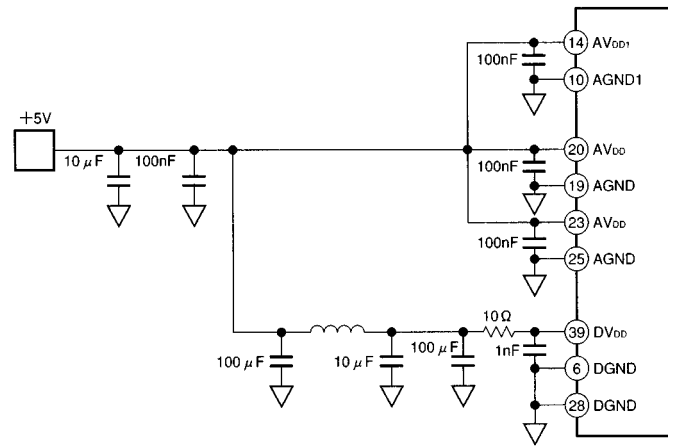


図44．電源のデカップリング

外形寸法

寸法をインチと(mm)で示します。

44ピンPQFP
(S - 44)

