

特長

電荷平衡型 ADC

16 ビット、ノー・ミッシング・コード
非直線性: 0.0015%

プログラマブルなゲイン・フロントエンド

ゲイン: 1、2、32、128
差動入力が可能

3 線式シリアル・インターフェース

SPI、QSPI™、MICROWIRE™、DSP と互換

アナログ入力のバッファが可能

3 V (AD7715-3) または 5 V (AD7715-5) 動作

低電源電流: 3 V 電源で最大 450 μ A

出力更新が設定可能なローパス・フィルタ

16 ピン SOIC/PDIP/TSSOP を採用

機能ブロック図

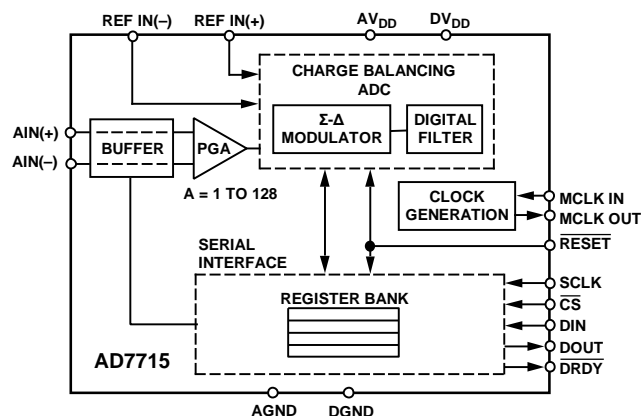


図 1.

概要

AD7715 は、低周波計測アプリケーション向けのアナログ・フロントエンドです。このデバイスはトランスジューサから直接低レベル信号を入力し、シリアル・デジタル・ワードを出力することができます。このデバイスは、最大 16 ビットのノームス・コード性能を実現する Σ - Δ 変換技術を採用しています。入力信号は、アナログ変調器を中心とする当社独自のプログラマブルなゲイン・フロント・エンドに加えられます。変調器出力は内蔵のデジタル・フィルタにより処理されます。このデジタル・フィルタの最初のノッチは、内蔵コントロール・レジスタから設定することができ、フィルタのカットオフと出力更新レートを調節することができます。

AD7715 は、差動アナログ入力と差動リファレンス入力を持っています。単電源(3 V または 5 V)で動作します。処理可能なユニポーラ入力信号範囲は、0 mV~20 mV、0 mV~80 mV、0 V~1.25 V、0 V~2.5 V です。処理可能なバイポーラ入力信号範囲は、 ± 20 mV、 ± 80 mV、 ± 1.25 V、 ± 2.5 V です。これらのバイポーラ範囲では、差動アナログ入力の負側入力を基準とします。したがって、AD7715 は 1 チャンネル・システムに対するすべてのシグナル・コンディショニングと変換を行います。

AD7715 は、マイクロコントローラまたは DSP を採用したインテリジェントなシステム向けに最適です。このデバイスは、3 線式動作に設定できるシリアル・インターフェースを内蔵しています。ゲイン設定値、信号極性、更新レートは、シリアル・ポートを使ってソフトウェアから設定することができます。このデバイスは、デバイス自体またはシステムのゲイン誤差とオフセット誤差をなくするセルフキャリブレーション・オプションとシステム・キャリブレーション・オプションを内蔵しています。

CMOS 構造により、非常に低い消費電力が可能になり、パワードアウン・モードではスタンバイ消費電力を 50 μ W (typ)まで削減することができます。このデバイスは、16 ピン 0.3 インチ幅のプラスチック・デュアルインライン・パッケージ(PDIP)、16 ピン 0.3 インチ幅のスマール・アウトライン(SOIC_W)パッケージ、または 16 ピン TSSOP パッケージを採用しています。

製品のハイライト

- AD7715 の消費電力は、総合電流は 3 V 電源および 1 MHz マスター・クロックで 450 μ A 以下であるため、低消費電力システム向けに最適です。スタンバイ電流は 10 μ A 以下です。
- プログラマブルなゲイン入力の使用により、AD7715 は ストレイン・ゲージまたはトランスジューサから信号を直接入力できるため、シグナル・コンディショニング回路を大幅に削減できます。
- AD7715 は、3 線式シリアル・インターフェースを使うマイクロコントローラまたは DSP プロセッサ・アプリケーション向けに最適で、相互接続配線数とシステムのアイソレーションに必要な多数のフォトカプラ数を削減することができます。このデバイスは、出力更新レート、入力ゲイン、信号極性、キャリブレーション・モードをソフトウェアから制御するレジスタを内蔵しています。
- このデバイスは 16 ビット・ノームス・コード、 $\pm 0.0015\%$ の精度、低い rms ノイズ(550 nV 以下)の優れたスタティック性能仕様を持っています。エンドポイント誤差と温度ドリフトの影響は、ゼロスケール誤差とフルスケール誤差をなくする内蔵キャリブレーション・オプションにより解消されます。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©2009 Analog Devices, Inc. All rights reserved.

目次

特長.....	1	デジタル・フィルタ機能.....	21
機能ブロック図.....	1	アナログ・フィルタ機能.....	23
概要.....	1	キャリブレーション.....	23
製品のハイライト.....	1	AD7715 の使用方法.....	26
改訂履歴.....	2	クロックと発振器回路.....	26
仕様.....	3	システム同期.....	26
AD7715-5.....	3	リセット入力.....	27
AD7715-3.....	5	スタンバイ・モード.....	27
タイミング特性.....	8	精度.....	27
絶対最大定格.....	9	ドリフトの考慮事項.....	27
ESDの注意.....	9	電源.....	28
ピン配置およびピン機能説明.....	10	デジタル・インターフェース.....	29
用語.....	11	AD7715 の設定方法.....	31
内部レジスタ.....	12	マイクロコントローラ/マイクロプロセッサとのインターフェース.....	32
コミュニケーション・レジスタ(RS1、RS0 = 0、0).....	13	AD7715 とMC68HC11 とのインターフェース.....	32
セットアップ・レジスタ (RS1、RS0 = 0、1); パワーオン/リセット・ステータス: 28 Hex.....	14	AD7715 と 8XC51 とのインターフェース.....	33
テスト・レジスタ (RS1、RS0 = 1、0).....	15	AD7715 とADSP-2103/ADSP-2105 とのインターフェース.....	33
データ・レジスタ (RS1、RS0 = 1、1).....	15	AD7715 のセットアップ用コード.....	34
出力ノイズ.....	16	AD7715 と 68HC11 とのインターフェース用Cコード.....	34
AD7715-5.....	16	アプリケーション情報.....	36
AD7715-3.....	17	圧力測定.....	36
キャリブレーション・シーケンス.....	18	温度測定.....	37
回路説明.....	19	スマート・トランスミッタ.....	38
アナログ入力.....	19	外形寸法.....	39
リファレンス電圧入力.....	21	オーダー・ガイド.....	40

改訂履歴

12/09—Rev. C to Rev. D

Updated Format.....	Universal
Changes to Table 5.....	9
Updated Outline Dimensions.....	39

2/00—Rev. B to Rev. C

仕様

AD7715-5

特に指定がない限り、 $AV_{DD} = 5\text{ V}$ 、 $DV_{DD} = 3\text{ V}$ または 5 V 、 $REF\ IN(+)=2.5\text{ V}$ ； $REF\ IN(-)=AGND$ ； $f_{CLK\ IN} = 2.4576\text{ MHz}$ 。特に指定のない限り、すべての仕様は $T_{MIN} \sim T_{MAX}$ で規定。

表 1.

Parameter ¹	Min	Typ	Max	Unit	Conditions/Comments
STATIC PERFORMANCE					
No Missing Codes	16			Bits	Guaranteed by design; filter notch $\leq 60\text{ Hz}$
Output Noise		See Table 15 to Table 18			Depends on filter cutoffs and selected gain
Integral Nonlinearity			± 0.0015	% of FSR	Filter notch $\leq 60\text{ Hz}$
Unipolar Offset Error ²		See Table 15 to Table 22			
Unipolar Offset Drift ³		0.5		$\mu\text{V}/^\circ\text{C}$	
Bipolar Zero Error ²		See Table 15 to Table 22			
Bipolar Zero Drift ³		0.5		$\mu\text{V}/^\circ\text{C}$	
Positive Full-Scale Error ^{2,4}		See Table 15 to Table 22			
Full-Scale Drift ^{3,5}		0.5		$\mu\text{V}/^\circ\text{C}$	
Gain Error ^{2,6}		See Table 15 to Table 22			
Gain Drift ^{3,7}		0.5		ppm of FSR/ $^\circ\text{C}$	
Bipolar Negative Full-Scale Error ²			± 0.0015	% of FSR	Typically $\pm 0.0004\%$
Bipolar Negative Full-Scale Drift ³		1		$\mu\text{V}/^\circ\text{C}$	For gains of 1 and 2
		0.6		$\mu\text{V}/^\circ\text{C}$	For gains of 32 and 128
ANALOG INPUTS/REFERENCE INPUTS					
Specifications for AIN and REF IN unless noted					
Input Common-Mode Rejection (CMR)	90			dB	At dc; typically 102 dB
Normal-Mode 50 Hz Rejection ⁸	98			dB	For filter notches of 25 Hz, 50 Hz, $\pm 0.02 \times f_{NOTCH}$
Normal-Mode 60 Hz Rejection ⁸	98			dB	For filter notches of 20 Hz, 60 Hz, $\pm 0.02 \times f_{NOTCH}$
Common-Mode 50 Hz Rejection ⁸	150			dB	For filter notches of 25 Hz, 50 Hz, $\pm 0.02 \times f_{NOTCH}$
Common-Mode 60 Hz Rejection ⁸	150			dB	For filter notches of 20 Hz, 60 Hz, $\pm 0.02 \times f_{NOTCH}$
Common-Mode Voltage Range ⁹	AGND		AV_{DD}	V	AIN for the BUF bit of setup register = 0 and REF IN
Absolute AIN/REF IN Voltage ⁸	AGND - 0.03		$AV_{DD} + 0.03$	V	AIN for the BUF bit of setup register = 0 and REF IN
Absolute/Common-Mode AIN Voltage ⁹	AGND + 0.05		$AV_{DD} - 1.5$	V	BUF bit of setup register = 1
AIN DC Input Current ⁸			1	nA	
AIN Sampling Capacitance ⁸			10	pF	
AIN Differential Voltage Range ¹⁰		0 to $+V_{REF}/GAIN^{11}$		nom	Unipolar input range (\bar{B}/U bit of setup register = 1)
		$\pm V_{REF}/GAIN$		nom	Bipolar input range (\bar{B}/U bit of setup register = 0)
AIN Input Sampling Rate, f_S		$GAIN \times f_{CLK\ IN}/64$			For gains of 1 and 2
		$f_{CLK\ IN}/8$			For gains of 32 and 128
REF IN(+) - REF IN(-) Voltage		2.5		V nom	$\pm 1\%$ for specified performance; functional with lower V_{REF}
REF IN Input Sampling Rate, f_S		$f_{CLK\ IN}/64$			
LOGIC INPUTS					
Input Current			± 10	μA	
All Inputs Except MCLK IN					
V_{INL} , Input Low Voltage			0.8	V	$DV_{DD} = 5\text{ V}$
V_{INL} , Input Low Voltage			0.4	V	$DV_{DD} = 3.3\text{ V}$
V_{INH} , Input High Voltage	2.4			V	$DV_{DD} = 5\text{ V}$
V_{INH} , Input High Voltage	2.0			V	
MCLK IN Only					
V_{INL} , Input Low Voltage			0.8	V	$DV_{DD} = 5\text{ V}$
V_{INL} , Input Low Voltage			0.4	V	$DV_{DD} = 3.3\text{ V}$
V_{INH} , Input High Voltage	3.5			V	$DV_{DD} = 5\text{ V}$
V_{INH} , Input High Voltage	2.5			V	$DV_{DD} = 3.3\text{ V}$

Parameter ¹	Min	Typ	Max	Unit	Conditions/Comments
LOGIC OUTPUTS (Including MCLK OUT)					
V _{OL} , Output Low Voltage			0.4	V	I _{SINK} = 800 μA except for MCLK OUT ¹² ; DV _{DD} = 5 V
V _{OL} , Output Low Voltage			0.4	V	I _{SINK} = 100 μA except for MCLK OUT ¹² ; DV _{DD} = 3.3 V
V _{OH} , Output High Voltage	4.0			V	I _{SOURCE} = 200 μA except for MCLK OUT ¹² ; DV _{DD} = 5 V
V _{OH} , Output High Voltage	DV _{DD} - 0.6			V	I _{SOURCE} = 100 μA except for MCLK OUT ¹² ; DV _{DD} = 3.3 V
Floating State Leakage Current			±10	μA	
Floating State Output Capacitance ¹³		9		pF	
Data Output Coding		Binary Offset binary			Unipolar mode Bipolar mode

¹ A バージョンの温度範囲は、-40 °C~+85 °C。

² キャリブレーションとは、実質的にこれらの誤差が表 15~表 22 に示す変換ノイズのオーダーになるような変換を意味します。注目する温度でキャリブレーションした後に適用します。

³ 任意の温度での再キャリブレーションによりこれらのドリフト誤差は除去されます。

⁴ 正のフルスケール誤差には、ゼロスケール誤差(ユニポーラ・オフセット誤差またはバイポーラ・ゼロ誤差)が含まれ、ユニポーラ入力範囲とバイポーラ入力範囲に適用されます。

⁵ フルスケール・ドリフトには、ゼロスケール・ドリフト(ユニポーラ・オフセット・ドリフトまたはバイポーラ・ゼロ・ドリフト)が含まれ、ユニポーラ入力範囲とバイポーラ入力範囲に適用されます。

⁶ ゲイン誤差はゼロスケール誤差を含みません。これは、フルスケール誤差として計算されます-ユニポーラ範囲ではユニポーラ・オフセット誤差とフルスケール誤差-バイポーラ範囲ではバイポーラ・ゼロ誤差。

⁷ ゲイン誤差ドリフトにはユニポーラ・オフセット・ドリフト/バイポーラ・ゼロ・ドリフトが含まれません。ゼロスケール・キャリブレーションのみ実行された場合、ゲイン誤差ドリフトは実質的にデバイスのドリフトになります。

⁸ これらの値は、デザインおよび/またはキャラクタライゼーションにより保証します。

⁹ AIN(+)または AIN(-)の入力電圧が AV_{DD} + 30 mV を超えないか、または AGND - 30 mV を下回らない場合に、この同相モード電圧範囲が許容されます。

¹⁰ ここで AIN(+)のアナログ入力電圧範囲は、AIN(-)電圧を基準とします。アナログ入力の絶対電圧が AV_{DD} + 30 mV を超えないか、または AGND - 30 mV を下回らないようにする必要があります。

¹¹ V_{REF} = REF IN(+) - REF IN(-)。

¹² これらのロジック出力レベルは、CMOS 負荷 1 個を接続した MCLK OUT 出力に適用されます。

¹³ 25 °C でのサンプル・テストにより適合性を保証。

AD7715-3

特に指定がない限り、 $AV_{DD} = 3\text{ V}$ 、 $DV_{DD} = 3\text{ V}$ 、 $REF\ IN(+)=1.25\text{ V}$; $REF\ IN(-)=AGND$; $f_{CLK\ IN} = 2.4576\text{ MHz}$ 。特に指定のない限り、すべての仕様は $T_{MIN} \sim T_{MAX}$ で規定。

表 2.

Parameter ¹	Min	Typ	Max	Unit	Conditions/Comments
STATIC PERFORMANCE					
No Missing Codes	16			Bits	Guaranteed by design; filter notch $\leq 60\text{ Hz}$
Output Noise		See Table 18 to Table 22			Depends on filter cutoffs and selected gain
Integral Nonlinearity			± 0.0015	% of FSR	Filter notch $\leq 60\text{ Hz}$
Unipolar Offset Error ²		See Table 15 to Table 22			
Unipolar Offset Drift ³		0.2		$\mu\text{V}/^\circ\text{C}$	
Bipolar Zero Error ²		See Table 15 to Table 22			
Bipolar Zero Drift ³		0.2		$\mu\text{V}/^\circ\text{C}$	
Positive Full-Scale Error ^{2,4}		See Table 15 to Table 22			
Full-Scale Drift ^{3,5}		0.2		$\mu\text{V}/^\circ\text{C}$	
Gain Error ^{2,6}		See Table 15 to Table 22			
Gain Drift ^{3,7}		0.2		ppm of FSR/ $^\circ\text{C}$	
Bipolar Negative Full-Scale Error ²			± 0.003	% of FSR	Typically $\pm 0.0004\%$
Bipolar Negative Full-Scale Drift ³		1		$\mu\text{V}/^\circ\text{C}$	For gains of 1 and 2
		0.6		$\mu\text{V}/^\circ\text{C}$	For gains of 32 and 128
ANALOG INPUTS/REFERENCE INPUTS					
Specifications for AIN and REF IN unless noted					
Input Common-Mode Rejection (CMR)	90			dB	At dc; typically 102 dB
Normal-Mode 50 Hz Rejection ⁸	98			dB	For filter notches of 25 Hz, 50 Hz, $\pm 0.02 \times f_{NOTCH}$
Normal-Mode 60 Hz Rejection ⁸	98			dB	For filter notches of 20 Hz, 60 Hz, $\pm 0.02 \times f_{NOTCH}$
Common-Mode 50 Hz Rejection ⁸	150			dB	For filter notches of 25 Hz, 50 Hz, $\pm 0.02 \times f_{NOTCH}$
Common-Mode 60 Hz Rejection ⁸	150			dB	For filter notches of 20 Hz, 60 Hz, $\pm 0.02 \times f_{NOTCH}$
Common-Mode Voltage Range ⁹	AGND		AV_{DD}	V	AIN for BUF bit of setup register = 0 and REF IN
Absolute AIN/REF IN Voltage ⁸	AGND – 0.03		$AV_{DD} + 0.03$	V	AIN for BUF bit of setup register = 0 and REF IN
Absolute/Common-Mode AIN Voltage ⁹	AGND + 0.05		$AV_{DD} - 1.5$	V	BUF bit of setup register = 1
AIN DC Input Current ⁸			1	nA	
AIN Sampling Capacitance ⁸			10	pF	
AIN Differential Voltage Range ¹⁰		0 to $+V_{REF}/GAIN^{11}$		nom	Unipolar input range (\overline{B}/U bit of setup register = 1)
		$\pm V_{REF}/GAIN$		nom	Bipolar input range (\overline{B}/U bit of setup register = 0)
AIN Input Sampling Rate, f_s		$GAIN \times f_{CLK\ IN}/64$			For gains of 1 and 2
REF IN(+) – REF IN(–) Voltage		$f_{CLK\ IN}/8$		V nom	For gains of 32 and 128
REF IN Input Sampling Rate, f_s		$f_{CLK\ IN}/64$			$\pm 1\%$ for specified performance; functional with lower V_{REF}
LOGIC INPUTS					
Input Current			± 10	μA	
All Inputs Except MCLK IN					
V_{INL} , Input Low Voltage			0.8	V	
V_{INH} , Input High Voltage	2.0			V	
MCLK IN Only					
V_{INL} , Input Low Voltage			0.4	V	
V_{INH} , Input High Voltage	2.5			V	
LOGIC OUTPUTS (Including MCLK					

Parameter ¹	Min	Typ	Max	Unit	Conditions/Comments
OUT)					
V _{OL} , Output Low Voltage			0.4	V	I _{SINK} = 100 μA except for MCLK OUT ¹²
V _{OH} , Output High Voltage	DV _{DD} - 0.6			V	I _{SOURCE} = 100 μA except for MCLK OUT ¹²
Floating State Leakage Current			±10	μA	
Floating State Output Capacitance ¹³		9		pF	
Data Output Coding		Binary			Unipolar mode
		Offset binary			Bipolar mode

¹ Aバージョンの温度範囲は、-40 °C~+85 °C。

² キャリブレーションとは、実質的にこれらの誤差が表 15~表 22 に示す変換ノイズのオーダーになるような変換を意味します。注目する温度でキャリブレーションした後に適用します。

³ 任意の温度での再キャリブレーションによりこれらのドリフト誤差は除去されます。

⁴ 正のフルスケール誤差には、ゼロスケール誤差(ユニポーラ・オフセット誤差またはバイポーラ・ゼロ誤差)が含まれ、ユニポーラ入力範囲とバイポーラ入力範囲に適用されます。

⁵ フルスケール・ドリフトには、ゼロスケール・ドリフト(ユニポーラ・オフセット・ドリフトまたはバイポーラ・ゼロ・ドリフト)が含まれ、ユニポーラ入力範囲とバイポーラ入力範囲に適用されます。

⁶ ゲイン誤差はゼロスケール誤差を含みません。これは、フルスケール誤差として計算されます-ユニポーラ範囲ではユニポーラ・オフセット誤差とフルスケール誤差-バイポーラ範囲ではバイポーラ・ゼロ誤差。

⁷ ゲイン誤差ドリフトにはユニポーラ・オフセット・ドリフト/バイポーラ・ゼロ・ドリフトが含まれません。ゼロスケール・キャリブレーションのみ実行された場合、ゲイン誤差ドリフトは実質的にデバイスのドリフトになります。

⁸ これらの値は、デザインおよび/またはキャラクタライゼーションにより保証します。

⁹ AIN(+)またはAIN(-)の入力電圧がAV_{DD} + 30 mVを超えないか、またはAGND - 30 mVを下回らない場合に、この同相モード電圧範囲が許容されます。

¹⁰ ここでAIN(+)のアナログ入力電圧範囲は、AIN(-)電圧を基準とします。アナログ入力の絶対電圧がAV_{DD} + 30 mVを超えないか、またはAGND - 30 mVを下回らないようにする必要があります。

¹¹ V_{REF} = REF IN(+) - REF IN(-)。

¹² これらのロジック出力レベルは、CMOS 負荷 1 個を接続した MCLK OUT 出力に適用されます。

¹³ 25 °Cでのサンプル・テストにより適合性を保証。

特に指定がない限り、 $AV_{DD} = 3\text{ V} \sim 5\text{ V}$ 、 $DV_{DD} = 3\text{ V} \sim 5\text{ V}$ 、 $REF\ IN(+)=1.25\text{ V}$ (AD7715-3)または 2.5 V (AD7715-5); $REF\ IN(-) = AGND$; $MCLK\ IN = 1\text{ MHz} \sim 2.4576\text{ MHz}$ 。特に指定のない限り、すべての仕様は $T_{MIN} \sim T_{MAX}$ で規定。

表 3.

Parameter	Min	Typ	Max	Unit	Conditions/Comments
SYSTEM CALIBRATION					
Positive Full-Scale Calibration Limit ¹			$(1.05 \times V_{REF})/GAIN$	V	GAIN Is the selected PGA gain (1, 2, 32, or 128)
Negative Full-Scale Calibration Limit ¹			$-(1.05 \times V_{REF})/GAIN$	V	GAIN Is the selected PGA gain (1, 2, 32, or 128)
Offset Calibration Limit ²			$-(1.05 \times V_{REF})/GAIN$	V	GAIN Is the selected PGA gain (1, 2, 32, or 128)
Input Span ²	$0.8 \times V_{REF}/GAIN$			V	GAIN Is the selected PGA gain (1, 2, 32, or 128)
			$(2.1 \times V_{REF})/GAIN$	V	GAIN Is the selected PGA gain (1, 2, 32, or 128)
POWER REQUIREMENTS					
Power Supply Voltages					
AV_{DD} Voltage (AD7715-3)	3		3.6	V	For specified performance
AV_{DD} Voltage (AD7715-5)	4.75		5.25	V	For specified performance
DV_{DD} Voltage	3		5.25	V	For specified performance
Power Supply Currents					
AV_{DD} Current					$AV_{DD} = 3.3\text{ V}$ or 5 V ; gain = 1 to 128 ($f_{CLK\ IN} = 1\text{ MHz}$) or gain = 1 or 2 ($f_{CLK\ IN} = 2.4576\text{ MHz}$)
			0.27	mA	Typically 0.2 mA; BUF bit of the setup register = 0
			0.6	mA	Typically 0.4 mA; BUF bit of the setup register = 1, $AV_{DD} = 3.3\text{ V}$ or 5 V ; gain = 32 or 128 ($f_{CLK\ IN} = 2.4576\text{ MHz}$) ³
			0.5	mA	Typically 0.3 mA; BUF bit of the setup register = 0
			1.1	mA	Typically 0.8 mA; BUF bit of the setup register = 1
DV_{DD} Current ⁴					Digital inputs = 0 V or DV_{DD} ; external MCLK IN
			0.18	mA	Typically 0.15 mA. $DV_{DD} = 3.3\text{ V}$. $f_{CLK\ IN} = 1\text{ MHz}$
			0.4	mA	Typically 0.3 mA. $DV_{DD} = 5\text{ V}$. $f_{CLK\ IN} = 1\text{ MHz}$
			0.5	mA	Typically 0.4 mA. $DV_{DD} = 3.3\text{ V}$. $f_{CLK\ IN} = 2.4576\text{ MHz}$
			0.8	mA	Typically 0.6 mA. $DV_{DD} = 5\text{ V}$. $f_{CLK\ IN} = 2.4576\text{ MHz}$
Power Supply Rejection ⁵		Depends on gain ⁶		dB	
Normal-Mode Power Dissipation ⁴					$AV_{DD} = DV_{DD} = 3.3\text{ V}$; digital inputs = 0 V or DV_{DD} ; external MCLK IN
			1.5	mW	BUF bit = 0. all gains 1 MHz clock
			2.65	mW	BUF bit = 1. all gains 1 MHz clock
			3.3	mW	BUF bit = 0. Gain = 32 or 128 @ $f_{CLK\ IN} = 2.4576\text{ MHz}$
			5.3	mW	BUF bit = 1. Gain = 32 or 128 @ $f_{CLK\ IN} = 2.4576\text{ MHz}$
Normal-Mode Power Dissipation ⁴					$AV_{DD} = DV_{DD} = 5\text{ V}$. digital inputs = 0 V or DV_{DD} ; external MCLK IN
			3.25	mW	BUF bit = 0; all gains 1 MHz clock
			5	mW	BUF bit = 1; all gains 1 MHz clock
			6.5	mW	BUF bit = 0; gain = 32 or 128 @ $f_{CLK\ IN} = 2.4576\text{ MHz}$
			9.5	mW	BUF bit = 1; gain = 32 or 128 @ $f_{CLK\ IN} = 2.4576\text{ MHz}$
Standby (Power-Down) Current ⁷			20	μA	External MCLK IN = 0 V or DV_{DD} . typically 10 μA ; $V_{DD} = 5\text{ V}$
Standby (Power-Down) Current ⁷			10	μA	External MCLK IN = 0 V or DV_{DD} . typically 5 μA ; $V_{DD} = 3.3\text{ V}$

¹ キャリブレーション後に、アナログ入力为正のフルスケールを超えると、コンバータ出力は全ビット 1 になります。キャリブレーション後に、アナログ入力為負のフルスケールを下回ると、デバイス出力は全ビット 0 になります。

² これらのキャリブレーションとスパン規定値は、アナログ入力の絶対電圧が $AV_{DD} + 30\text{ mV}$ を超えないか、または $AGND - 30\text{ mV}$ を下回らない場合に適用されます。オフセット・キャリブレーション規定値は、ユニポーラ・ゼロ・ポイントとバイポーラ・ゼロ・ポイントに適用されます。

³ セットアップ・レジスタの CLK ビットがマスタ・クロック周波数に対応した正しいステータスに設定されているものとします。

⁴ デバイスのクロック・ソースとして MCLK ピンに水晶またはセラミック共振子を接続する場合は、水晶または共振子のタイプに応じて DV_{DD} 電流と消費電力が変わります(クロックと発振器回路のセクション参照)。

⁵ DC で測定、選択した通過帯域に適用。フィルタ・ノッチが 25 Hz または 50 Hz の場合、50 Hz での PSRR は 120 dB を超えます。フィルタ・ノッチが 20 Hz または 60 Hz の場合、60 Hz での PSRR は 120 dB を超えます。

⁶ PSRR はゲインに依存します。ゲイン = 1 で 85 dB typ、ゲイン = 2 で 90 dB typ、ゲイン = 32 および 128 で 95 dB typ。

⁷ 外部マスター・クロックがスタンバイ・モードで動作を続ける場合、スタンバイ電流が 50 μA (typ) に増加します。デバイスのクロック・ソースとして MCLK ピンに水晶またはセラミック共振子を接続する場合は、スタンバイ・モードで内部発振器が動作を続け、消費電力は水晶または共振子のタイプに依存します(スタンバイ・モードのセクション参照)。

タイミング特性

特に指定がない限り、 $DV_{DD} = 3\text{ V} \sim 5.25\text{ V}$; $AV_{DD} = 3\text{ V} \sim 5.25\text{ V}$; $AGND = DGND = 0\text{ V}$; $f_{CLKIN} = 2.4576\text{ MHz}$; 入力ロジック 0 = 0 V、ロジック 1 = DV_{DD} 。

表 4.

Parameter ^{1,2}	Limit at T_{MIN} , T_{MAX} (A Version)	Unit	Conditions/Comments
f_{CLKIN} ^{3,4}	400	kHz min	Master clock frequency: crystal oscillator or externally supplied for specified performance
	2.5	MHz max	
$t_{CLKIN\ LO}$	$0.4 \times t_{CLKIN}$	ns min	Master clock input low time; $t_{CLKIN} = 1/f_{CLKIN}$
$t_{CLKIN\ HI}$	$0.4 \times t_{CLKIN}$	ns min	Master clock input high time
t_1	$500 \times t_{CLKIN}$	ns nom	\overline{DRDY} high time
t_2	100	ns min	RESET pulsewidth
Read Operation			
t_3	0	ns min	\overline{DRDY} to \overline{CS} setup time
t_4	120	ns min	\overline{CS} falling edge to SCLK rising edge setup time
t_5 ⁵	0	ns min	SCLK falling edge to data valid delay
	80	ns max	$DV_{DD} = 5\text{ V}$
	100	ns max	$DV_{DD} = 3.3\text{ V}$
t_6	100	ns min	SCLK high pulsewidth
t_7	100	ns min	SCLK low pulsewidth
t_8	0	ns min	\overline{CS} rising edge to SCLK rising edge hold time
t_9 ⁶	10	ns min	Bus relinquish time after SCLK rising edge
	60	ns max	$DV_{DD} = +5\text{ V}$
	100	ns max	$DV_{DD} = +3.3\text{ V}$
t_{10}	100	ns max	SCLK falling edge to \overline{DRDY} high ⁷
Write Operation			
t_{11}	120	ns min	\overline{CS} falling edge to SCLK rising edge setup time
t_{12}	30	ns min	Data valid to SCLK rising edge setup time
t_{13}	20	ns min	Data valid to SCLK rising edge hold time
t_{14}	100	ns min	SCLK high pulsewidth
t_{15}	100	ns min	SCLK low pulsewidth
t_{16}	0	ns min	\overline{CS} rising edge to SCLK rising edge hold time

¹ +25°Cでのサンプル・テストによりコンプライアンスを保証。すべての入力信号は $t_r = t_f = 5\text{ ns}$ (DV_{DD} の10%から90%)で規定し、1.6Vの電圧レベルからの時間とします。

² 図8と図9を参照。

³ CLKINのデューティ・サイクル範囲は45%~55%です。AD7715がスタンバイ・モードでないときはCLKINを入力する必要があります。この場合にクロック入力がないと、デバイス電流は規定値より大きくなり、未キャリブレーション状態になります。

⁴ AD7715の製造時テストは、 $f_{CLKIN} = 2.4576\text{ MHz}$ (幾つかの I_{DD} テストは1 MHz)で行っています。キャラクタライゼーションにより400 kHzでの動作を保証します。

⁵ これらの値は図2に示す負荷回路で測定し、出力が V_{OL} 規定値または V_{OH} 規定値と交叉するまでに必要な時間と定義します。

⁶ これらの値は、図2の負荷回路でデータ出力が0.5 V変化するとき要する時間の測定値から導出。この測定値に外挿を行い、50 pFコンデンサの充放電の影響を除去してあります。タイミング特性で使用する時間はデバイスの真のバス開放時間を意味し、外部バスの負荷容量に無関係であることを意味します。

⁷ 出力更新後のデバイスからの最初の読出しで \overline{DRDY} はハイ・レベルに戻ります。

\overline{DRDY} がハイ・レベルの間に、同一データを再度読出すことができますが、後続の読出しは次の出力更新に近いところで起こらないように注意してください。

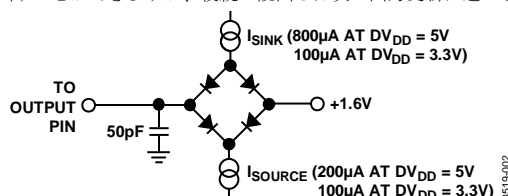


図 2. アクセス時間とバス開放時間測定時の負荷回路

絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 5.

Parameter	Rating
AV_{DD} to AGND	-0.3 V to +7 V
AV_{DD} to DGND	-0.3 V to +7 V
AV_{DD} to DV_{DD}	-0.3 V to +7 V
DV_{DD} to AGND	-0.3 V to +7 V
DV_{DD} to DGND	-0.3 V to +7 V
DGND to AGND	-0.3 V to +7 V
Analog Input Voltage to AGND	-0.3 V to $AV_{DD} + 0.3$ V
Reference Input Voltage to AGND	-0.3 V to $AV_{DD} + 0.3$ V
Digital Input Voltage to DGND	-0.3 V to $DV_{DD} + 0.3$ V
Digital Output Voltage to DGND	-0.3 V to $DV_{DD} + 0.3$ V
Operating Temperature Range	
Commercial (A Version)	-40°C to +85°C
Storage Temperature Range	-65°C to +150°C
Junction Temperature	150°C
Plastic DIP Package, Power Dissipation	450 mW
θ_{JA} Thermal Impedance	105°C/W
Lead Temperature, (Soldering, 10 sec)	260°C
SOIC Package, Power Dissipation	450 mW
θ_{JA} Thermal Impedance	75°C/W
Lead Temperature, Reflow Soldering	260°C
TSSOP Package, Power Dissipation	450 mW
θ_{JA} Thermal Impedance	128°C/W
Lead Temperature, Reflow Soldering	+260°C
Power Dissipation (Any Package) to +75°C	450 mW
ESD Rating	>4000 V

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上のデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

ESDの注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明

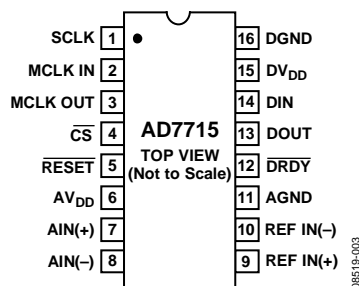


図 3. ピン配置

表 6. ピン機能の説明

ピン番号	記号	説明
1	SCLK	シリアル・クロック。ロジック入力。AD7715のシリアル・データをアクセスするために、外部シリアル・クロックをこのピンに入力します。全転送データが連続パルスである場合、シリアル・クロックも連続にすることができます。あるいは、非連続クロックを使って、複数の小さいデータ群として情報をAD7715から転送することもできます。
2	MCLK IN	デバイスのマスター・クロック信号。水晶/共振子または外部クロックを接続することができます。水晶/共振子は、MCLKINピンとMCLKOUTピンの間に接続することができます。代わりに、MCLKINピンをCMOS互換クロックで駆動し、MCLKOUTピンは開放のままにしておくこともできます。クロック入力周波数1MHzと2.4576MHzでデバイス仕様が規定されています。
3	MCLK OUT	デバイスに対するマスター・クロックが水晶発振器/共振子である場合、水晶発振器/共振子はMCLKINピンとMCLKOUTピンの間に接続します。外部クロックをMCLKINに入力すると、MCLKOUTには反転クロック信号が出力されます。このクロックは、外部回路のクロック・ソースとして使うことができます。
4	$\overline{\text{CS}}$	チップ・セレクト。アクティブ・ローのロジック入力で、AD7715を選択するときに使います。この入力をロー・レベルにハードワイヤ接続すると、AD7715はデバイスへのインターフェースにSCLK、DIN、DOUTを使う3線式インターフェース・モードで動作することができます。 $\overline{\text{CS}}$ は、シリアル・バスに複数のデバイスが接続されているシステム内でデバイスを選択するときに使うことができます。また、AD7715と通信する際にフレーム同期信号として使うこともできます。
5	$\overline{\text{RESET}}$	ロジック入力。コントロール・ロジック、インターフェース・ロジック、キャリブレーション係数、デジタル・フィルタ、アナログ変調器をパワーオン状態にリセットするアクティブ・ロー入力。
6	AV _{DD}	アナログ正電源電圧、公称3.3V (AD7715-3)または公称5V (AD7715-5)。
7	AIN(+)	アナログ入力。AD7715に対するプログラマブルなゲイン差動アナログ入力の正入力。
8	AIN(-)	アナログ入力。AD7715に対するプログラマブルなゲイン差動アナログ入力の負入力。
9	REF IN(+)	リファレンス入力。AD7715に対する差動リファレンス入力の正入力。REF IN(+)>REF IN(-)の場合に、リファレンス入力が増幅になります。REF IN(+) _{AV_{DD}} ~AGNDの値が可能。
10	REF IN(-)	リファレンス入力。AD7715に対する差動リファレンス入力の負入力。REF IN(+)>REF IN(-)であれば、REF IN(-)ではAV _{DD} ~AGNDの値が可能。
11	AGND	アナログ回路に対するグラウンド基準ポイント。AD7715の正常動作のためには、他の全ピンの電圧はAGND-30mVを下回ることはできません。
12	$\overline{\text{DRDY}}$	ロジック出力。この出力がロー・レベルのとき、新しい出力ワードがAD7715データ・レジスタに存在することを表します。全出力ワードを読み出すと、 $\overline{\text{DRDY}}$ ピンはハイ・レベルに戻ります。各出力更新の間にデータ読み出しが発生しない場合は、 $\overline{\text{DRDY}}$ ラインは次の出力更新の前に500×t _{CLK IN} サイクル間ハイ・レベルに戻ります。 $\overline{\text{DRDY}}$ がハイ・レベルの間、読み出し動作を行わないようにして、更新中のデータ・レジスタからの読み出しを回避する必要があります。更新が行われた後、 $\overline{\text{DRDY}}$ 信号はロー・レベルに戻ります。 $\overline{\text{DRDY}}$ は、AD7715の内部キャリブレーション・シーケンス完了のタイミング表示にも使われます。
13	DOUT	デバイス内の出力シフトレジスタからシリアル・データが読み出された場合のシリアル・データ出力。この出力シフトレジスタには、コミュニケーション・レジスタのレジスタ選択ビットに応じて、セットアップ・レジスタ、コミュニケーション・レジスタ、データ・レジスタからの情報が格納されます。
14	DIN	デバイス内の入力シフトレジスタにシリアル・データが書込まれる場合のシリアル・データ入力。この入力シフトレジスタのデータは、コミュニケーション・レジスタのレジスタ選択ビットに応じて、セットアップ・レジスタまたはコミュニケーション・レジスタへ転送されます。
15	DV _{DD}	デジタル電源電圧、公称3.3Vまたは5V。
16	DGND	デジタル回路のグラウンド基準。

用語

積分非直線性

伝達関数の両端を結ぶ直線からのコードの最大偏差をいいます。伝達関数の両端とは、ゼロスケールすなわち最初のコード遷移(000...000→000...001)より 0.5 LSB 下のポイント(バイポーラ・ゼロとは異なります)と、フルスケールすなわち最後のコード遷移(111...110→111...111)より 0.5 LSB 上のポイントをいいます。誤差は、フルスケールのパーセント値で表示します。

正のフルスケール誤差

最後のコード変化(111...110→111...111)と理論値 $A_{IN}(+)$ 電圧 ($A_{IN}(-) + V_{REF}/ゲイン - 3/2 \text{ LSB}$) との差をいいます。ユニポーラ・アナログ入力範囲とバイポーラ・アナログ入力範囲に適用されます。

ユニポーラ・オフセット誤差

ユニポーラ・モードで動作時の最初のコード変化と理論値 $A_{IN}(+)$ 電圧 ($A_{IN}(-) + 0.5 \text{ LSB}$) との差をいいます。

バイポーラ・ゼロ誤差

バイポーラ・モードで動作時のミッドスケール変化(0111...111→1000...000) と理論値 $A_{IN}(+)$ 電圧 ($A_{IN}(-) - 0.5 \text{ LSB}$) との差をいいます。

ゲイン誤差

ADC のスパン誤差を表します。フルスケール誤差を含みますが、ゼロスケール誤差を含みません。ユニポーラ入力範囲では(フルスケール誤差-ユニポーラ・オフセット誤差)として、バイポーラ入力範囲では(フルスケール誤差-バイポーラ・ゼロ誤差)として、それぞれ定義されます。

バイポーラ負フルスケール誤差

バイポーラ・モードで動作時の最初のコード変化と理論値 $A_{IN}(+)$ 電圧 ($A_{IN}(-) - V_{REF}/ゲイン + 0.5 \text{ LSB}$) との差をいいます。

正のフルスケール・オーバーレンジ

アナログ変調器の過負荷またはデジタル・フィルタのオーバーフローによる誤差なしで、 $A_{IN}(-) + V_{REF}/ゲイン$ より大きい $A_{IN}(+)$ 入力での入力電圧(例えば、ノイズ・ピークまたはシステム・キャリブレーション・ルーチン内のシステム・ゲイン誤差による大きな電圧)の処理に使用できるオーバーヘッドの大きさを意味します。

負のフルスケール・オーバーレンジ

アナログ変調器の過負荷またはデジタル・フィルタのオーバーフローなしで、 $A_{IN}(-) - V_{REF}/ゲイン$ より低い $A_{IN}(+)$ 電圧の処理に使用できるオーバーヘッドの大きさを意味します。 $A_{IN}(+) > A_{IN}(-)$ かつ $A_{IN}(+) > AGND - 30 \text{ mV}$ の場合、ユニポーラ・モードでもアナログ入力に負電圧ピークが入力できることに注意してください。

オフセット・キャリブレーション・レンジ

システム・キャリブレーション・モードでは、AD7715 はアナログ入力に対してオフセットをキャリブレーションします。オフセット・キャリブレーション・レンジの仕様は、AD7715 に入力でき、かつオフセットを正確にキャリブレーションできる電圧範囲を規定します。

フルスケール・キャリブレーション・レンジ

この仕様は、システム・キャリブレーション・モードで AD7715 に入力でき、かつフルスケールを正確にキャリブレーションできる電圧範囲を規定します。

入カスパン

システム・キャリブレーション方式で、AD7715 のアナログ入力に順次に加えられる 2 つの電圧により、アナログ入力範囲が決定されます。入カスパン仕様は、AD7715 に入力でき、かつゲインを正確にキャリブレーションできる、ゼロスケールからフルスケールまでの最小入力電圧と最大入力電圧を規定します。

内部レジスタ

AD7715は4個のレジスタを内蔵しており、これらはデバイスのシリアル・ポートを介してアクセスすることができます。1つ目はコミュニケーション・レジスタであり、次の動作が読出しまたは書込みであることを指定し、次の読出し/書込み動作でアクセス対象となるレジスタも指定します。デバイスに対するすべての通信は、コミュニケーション・レジスタに対する書込み動作で開始されます。パワーオンまたはRESETの後、デバイスはコミュニケーション・レジスタに対する書込みを待ちます。コミュニケーション・レジスタに書込まれたデータから、デバイスに対する次の命令が読出し/書込みのいずれであるかを知り、対象となるレジスタも知ります。したがって、デバイス上の他のすべてのレジスタに対する書込みアクセスは、コミュニケーション・レジスタに対する書込み動作で開始され、選択したレジスタに対する書込みがその後続きます。デバイス上のすべてのレジスタ(コミュニケーション・レジスタと出力データ・レ

ジスタも含む)からの読出し動作は、コミュニケーション・レジスタに対する書込み動作で開始され、その後選択したレジスタからの読出しが続きます。また、コミュニケーション・レジスタはスタンバイ・モードとデバイスの動作ゲインも制御します。また、 $\overline{\text{DRDY}}$ ステータスはコミュニケーション・レジスタから読出すことにより使用することもできます。2つ目のレジスタはセットアップ・レジスタで、キャリブレーション・モード、フィルタの選択、バイポーラ/ユニポーラ動作を指定します。3つ目のレジスタはデータ・レジスタで、このレジスタからデバイスの出力データがアクセスされます。最後のレジスタはテスト・レジスタで、デバイスのテスト時にアクセスされます。テスト・レジスタ値を変更するとデバイスの予期しない動作が発生することがあるため、ユーザはこのレジスタ値をアクセスまたは変更しないことをお勧めします。レジスタの詳細については、次のセクションで説明します。

コミュニケーション・レジスタ(RS1、RS0 = 0、0)

コミュニケーション・レジスタは 8 ビット・レジスタであり、データの読み書きが可能です。デバイスに対するすべての通信は、コミュニケーション・レジスタに対する書込み動作で開始されます。コミュニケーション・レジスタに書込まれたデータにより、次のデータ転送動作が読出し動作であるか、または書込み動作であるかが指定され、対象となるレジスタも指定されます。選択されたレジスタに対する後続の読出し動作または書込み動作が完了すると、インターフェースはコミュニケーション・レジスタに対する書込み動作待ちの状態に戻ります。これはインターフェースのデフォルト状態であり、パワーアップ時またはリセット後、AD7715 はデフォルト状態になり、コミュニケーション・レジスタに対する書込み動作を待ちます。インターフェース・シーケンスが機能しなくなった場合には、十分長い継続時間(少なくともシリアル・クロックで 32 サイクル間)を持つデバイスへの書込み動作をDINハイ・レベルで行わせると、AD7715 はデバイスをリセットしてこのデフォルト状態に戻ります。表 7 に、コミュニケーション・レジスタのビット配置を示します。

表 7. コミュニケーション・レジスタ

0/DRDY	ZERO	RS1	RS0	R/W	STBY	G1	G0
--------	------	-----	-----	-----	------	----	----

表 8.

Bit Name	Description
0/DRDY	For a write operation, a 0 must be written to this bit so that the write operation to the communications register actually takes place. If a 1 is written to this bit, the part will not clock on to subsequent bits in the register. Instead, it stays at this bit location until a 0 is written to this bit. Once a 0 is written to this bit, the next 7 bits are loaded to the communications register. For a read operation, this bit provides the status of the DRDY flag from the part. The status of this bit is the same as the DRDY output pin.
ZERO	For a write operation, a 0 must be written to this bit for correct operation of the part. Failure to do this results in unspecified operation of the device. For a read operation, a 0 is read back from this bit location.
RS1, RS0	Register Selection Bits. These bits select to which one of four on-chip registers the next read or write operation takes place as shown in Table 9 along with the register size. When the read or write to the selected register is complete, the part returns to where it is waiting for a write operation to the Communications Register. It does not remain in a state where it continues to access the selected register.
R/W	Read/Write Select. This bit selects whether the next operation is a read or write operation to the selected register. A 0 indicates a write cycle as the next operation to the appropriate register, while a 1 indicates a read operation from the appropriate register.
STBY	Standby. Writing a 1 to this bit puts the part in its standby or power-down mode. In this mode, the part consumes only 10 µA of power supply current. The part retains its calibration and control word information when in STANDBY. Writing a 0 to this bit places the part in its normal operating mode. The default value for this bit after power-on or RESET is 0.
G1, G0	Gain Select bits. See Table 10.

表 9. レジスタ・セクション

RS1	RS0	Register	Register Size
0	0	Communications register	8 bits
0	1	Setup register	8 bits
1	0	Test register	8 bits
1	1	Data register	16 bits

表 10.

G2	G1	Gain Setting
0	0	1
0	1	2
1	0	32
1	1	128

セットアップ・レジスタ (RS1、RS0 = 0、1); パワーオン/リセット・ステータス: 28 Hex

セットアップ・レジスタは 8 ビット・レジスタであり、データの読み書きが可能です。このレジスタを使って、キャリブレーション・モード、出力レート、ユニポーラ/バイポーラ動作などのデバイスが動作するセットアップを制御します。表 11 に、セットアップ・レジスタのビット配置を示します。

表 11. セットアップ・レジスタ

MD1	MD0	CLK	FS1	FS0	$\overline{\text{B/U}}$	BUF	FSYNC
-----	-----	-----	-----	-----	-------------------------	-----	-------

表 12.

Bit Name	Description
MD1, MD0	Mode select bits. These bits select the operating mode of the AD7715 (see Table 13).
CLK	The clock bit (CLK) should be set in accordance with the operating frequency of the AD7715. If the device has a master clock frequency of 2.4576 MHz, then this bit should be set to a 1. If the device has a master clock frequency of 1 MHz, then this bit should be set to a 0. This bit sets up the correct scaling currents for a given master clock and also chooses (along with FS1 and FS0) the output update rate for the device. If this bit is not set correctly for the master clock frequency of the device, then the device may not operate to specification. The default value for this bit after power-on or reset is 1.
FS1, FS0	Along with the CLK bit, FS1 and FS0 determine the output update rate, filter first notch and -3 dB frequency as outlined in Table 14. The on-chip digital filter provides a sinc^3 (or $(\text{Sinx}/x)^3$) filter response. In association with the gain selection, it also determines the output noise (and therefore, the resolution) of the device. Changing the filter notch frequency, as well as the selected gain, impacts resolution. Table 15 through Table 22 show the effect of the filter notch frequency and gain on the output noise and effective resolution of the part. The output data rate (or effective conversion time) for the device is equal to the frequency selected for the first notch of the filter. For example, if the first notch of the filter is selected at 50 Hz then a new word is available at a 50 Hz rate or every 20 ms. If the first notch is at 500 Hz, a new word is available every 2 ms. The default value for these bits is 1, 0. The settling-time of the filter to a full-scale step input change is worst case $4 \times 1/(\text{output data rate})$. For example, with the first filter notch at 50 Hz, the settling time of the filter to a full-scale step input change is 80 ms maximum. If the first notch is at 500 Hz, the settling time of the filter to a full-scale input step is 8 ms max. This settling-time can be reduced to $3 \times 1/(\text{output data rate})$ by synchronizing the step input change to a reset of the digital filter. In other words, if the step input takes place with the FSYNC bit high, the settling-time time is $3 \times 1/(\text{output data rate})$ from when FSYNC returns low. The -3 dB frequency is determined by the programmed first notch frequency according to the relationship: $\text{filter } -3 \text{ dB frequency} = 0.262 \times \text{filter first notch frequency}$
B/U	A 0 in this bipolar/unipolar operation bit selects bipolar operation. This is the default (power-on or reset) status of this bit. A 1 in this bit selects unipolar operation.
BUF	With this buffer control bit low, the on-chip buffer on the analog input is shorted out. With the buffer shorted out, the current flowing in the AV_{DD} line is reduced to 250 μA (all gains at $f_{\text{CLK IN}} = 1$ MHz and gain of 1 or 2 at $f_{\text{CLK IN}} = 2.4576$ MHz) or 500 μA (gains of 32 and 128 @ $f_{\text{CLK IN}} = 2.4576$ MHz) and the output noise from the part is at its lowest. When this bit is high, the on-chip buffer is in series with the analog input allowing the input to handle higher source impedances.
FSYNC	When this filter synchronization bit is high, the nodes of the digital filter, the filter control logic and the this bit goes low, the modulator and filter start to process data and a valid word is available in $3 \times 1/(\text{output update rate})$, that is, the settling-time of the filter. This FSYNC bit does not affect the digital interface and does not reset the $\overline{\text{DRDY}}$ output if it is low.

表 13.

MD1	MD0	Operating Mode
0	0	Normal mode. This operating mode is the default mode of operation of the device whereby the device is performing normal conversions. The AD7705 is placed in this mode after power-on or reset.
0	1	Self-calibration. This is a one step calibration sequence and when complete the part returns to normal mode with MD1 and MD0 returning to 0, 0. The DRDY output or DRDYbit goes high when calibration is initiated and returns low when this self-calibration is complete and a new valid word is available in the data register. The zero-scale calibration is performed at the selected gain on internally shorted (zeroed) inputs and the full-scale calibration is performed at the selected gain on an internally generated V_{REF} /selected gain.
1	0	Zero-scale system calibration. Zero-scale system calibration is performed at the selected gain on the input voltage provided at the analog input during this calibration sequence. This input voltage should remain stable for the duration of the calibration. The DRDY output or DRDY bit goes high when calibration is initiated and returns low when this zero-scale calibration is complete and a new valid word is available in the data register. At the end of the calibration, the part returns to normal mode with MD1 and MD0 returning to 0, 0.
1	1	Full-scale system calibration. Full-scale system calibration is performed at the selected gain on the input voltage provided at the analog input during this calibration sequence. This input voltage should remain stable for the duration of the calibration. The DRDY output or DRDY bit goes high when calibration is initiated and returns low when this full-scale calibration is complete and a new valid word is available in the data register. At the end of the calibration, the part returns to normal mode with MD1 and MD0 returning to 0, 0.

表 14.出力更新レート

CLK ¹	FS1	FS0	Output Update Rate	-3 dB Filter Cutoff
0	0	0	20 Hz	5.24 Hz
0	0	1	25 Hz	6.55 Hz
0	1	0	100 Hz	26.2 Hz
0	1	1	200 Hz	52.4 Hz
1	0	0	50 Hz	13.1 Hz
1	0	1	60 Hz	15.7 Hz (default status)
1	1	0	250 Hz	65.5 Hz 連続する 32 ビットの 1 を
1	1	1	500 Hz	131 Hz

¹ MCLK IN ピンのクロック周波数が正しく設定されている場合。

テスト・レジスタ (RS1、RS0 = 1、0)

このデバイスは、デバイスのテストで使用するテスト・レジスタを内蔵しています。このレジスタの全ビットのステータスを全ビット 0 のデフォルト・ステータス(パワーオンまたはリセット)から変更しないようにする必要があります。変更すると、デバイスはテスト・モードになり、正しく動作しなくなります。デバイスがテスト・モードにある場合、RESET をアサートすると、デバイスはそのモードから抜け出します。デバイスをテスト・モードから抜け出させるもう 1 つの方法は、連続する 32 ビットの 1 をデバイスに書込んだ後に、全ビット 0 をテスト・レジスタに書込むことにより、インターフェースをリセットすることです。

データ・レジスタ (RS1、RS0 = 1、1)

デバイスのデータ・レジスタは読み出し専用の 16 ビット・レジスタであり、AD7715 の最新の変換結果を格納します。コミュニケーション・レジスタのデータにより、このレジスタに対する書き込み動作が設定された場合は、コミュニケーション・レジスタに対する書き込み動作が期待される場所(インターフェースのデフォルト状態)へデバイスを戻すために、書き込み動作が実際に行われる必要があります。ただし、デバイスに書込まれた 16 ビットのデータは、AD7715 から無視されます。

出力ノイズ

AD7715-5

表 15 に、セットアップ・レジスタのFS1 とFS0 を使って選択可能なノッチと-3 dB 周波数に対するAD7715-5 の出力 rms ノイズを示します。これらの値は、 $V_{REF} = 2.5 \text{ V}$ でのバイポーラ入力範囲に対するものです。これらの値はtyp値であり、デバイスをバッファなしモード(セットアップ・レジスタのBUF ビット=0)で使用して差動アナログ入力電圧 = 0 Vとして発生された値です。表 16 に、デバイスの選択可能なノッチと-3 dB周波数に対する出力ピーク to ピーク・ノイズを示します。これらの値はコード・フリッカが発生しない分解能を表していることに注意する

表 15.AD7715-5 の出力 RMS ノイズ対ゲインおよび出力更新レート (バッファなしモード)

Filter First Notch and Output Data Rate		-3 dB Frequency		Typical Output RMS Noise (μV)			
MCLK IN = 2.4576 MHz	MCLK IN = 1 MHz	MCLK IN = 2.4576 MHz	MCLK IN = 1 MHz	Gain = 1	Gain = 2	Gain = 32	Gain = 128
50 Hz	20 Hz	13.1 Hz	5.24 Hz	3.8	1.9	0.6	0.52
60 Hz	25 Hz	15.72 Hz	6.55 Hz	4.8	2.4	0.6	0.62
250 Hz	100 Hz	65.5 Hz	26.2 Hz	103	45	3.0	1.6
500 Hz	200 Hz	131 Hz	52.4 Hz	530	250	18	5.5

ことは重要です。これらの値は、rmsノイズではなくピーク to ピーク・ノイズに基づいて計算されたものです。これらの値は、 $V_{REF} = 2.5 \text{ V}$ でセットアップ・レジスタのBUFビット = 0とした、バイポーラ入力範囲に対するものです。これらの値は、アナログ入力電圧 = 0 Vの場合のtyp値で、最寄りのLSBへ丸め処理した値です。

一方、表 17 と 表 18 に、それぞれrms ノイズとピーク to ピーク分解能を示します。ここではAD7715-5 を上と同じ条件で動作させていますが、バッファありモード(セットアップ・レジスタのBUF ビット = 1)で動作させてる点が異なります。

表 16.AD7715-5 のピーク to ピーク分解能対ゲインおよび出力更新レート (バッファなしモード)

Filter First Notch and Output Data Rate		-3 dB Frequency		Typical Peak-to-Peak Resolution in Bits			
MCLK IN = 2.4576 MHz	MCLK IN = 1 MHz	MCLK IN = 2.4576 MHz	MCLK IN = 1 MHz	Gain = 1	Gain = 2	Gain = 32	Gain = 128
50 Hz	20 Hz	13.1 Hz	5.24 Hz	16	16	16	14
60 Hz	25 Hz	15.72 Hz	6.55 Hz	16	16	16	13
250 Hz	100 Hz	65.5 Hz	26.2 Hz	13	13	13	12
500 Hz	200 Hz	131 Hz	52.4 Hz	10	10	10	10

表 17.AD7715-5 の出力 RMS ノイズ対ゲインおよび出力更新レート (バッファありモード)

Filter First Notch and Output Data Rate		-3 dB Frequency		Typical Output RMS Noise (μV)			
MCLK IN = 2.4576 MHz	MCLK IN = 1 MHz	MCLK IN = 2.4576 MHz	MCLK IN = 1 MHz	Gain = 1	Gain = 2	Gain = 32	Gain = 128
50 Hz	20 Hz	13.1 Hz	5.24 Hz	4.3	2.2	0.9	0.9
60 Hz	25 Hz	15.72 Hz	6.55 Hz	5.1	3.1	1.0	1.0
250 Hz	100 Hz	65.5 Hz	26.2 Hz	103	50	3.9	2.1
500 Hz	200 Hz	131 Hz	52.4 Hz	550	280	18	6

表 18.AD7715-5 のピーク to ピーク分解能対ゲインおよび出力更新レート (バッファありモード)

Filter First Notch and Output Data Rate		-3 dB Frequency		Typical Peak-to-Peak Resolution in Bits			
MCLK IN = 2.4576 MHz	MCLK IN = 1 MHz	MCLK IN = 2.4576 MHz	MCLK IN = 1 MHz	Gain = 1	Gain = 2	Gain = 32	Gain = 128
50 Hz	20 Hz	13.1 Hz	5.24 Hz	16	16	15	13
60 Hz	25 Hz	15.72 Hz	6.55 Hz	16	16	15	13
250 Hz	100 Hz	65.5 Hz	26.2 Hz	13	13	13	12
500 Hz	200 Hz	131 Hz	52.4 Hz	10	10	10	10

AD7715-3

表 19 に、セットアップ・レジスタのFS1 とFS0 を使って選択可能なノッチと-3 dB 周波数に対するAD7715-3 の出力 rms ノイズを示します。これらの値は、 $V_{REF} = 1.25 \text{ V}$ でのバイポーラ入力範囲に対するものです。これらの値はtyp値であり、デバイスをバッファなしモード(セットアップ・レジスタのBUF ビット=0)で使用してアナログ入力電圧 = 0 Vとして発生された値です。

表 20 に、デバイスの選択可能なノッチと-3 dB周波数に対する出力ピークtoピーク・ノイズを示します。これらの値はコード・フリッカが発生しない分解能を表していることに注意する

表 19.AD7715-3 の出力 RMS ノイズ対ゲインおよび出力更新レート (バッファなしモード)

Filter First Notch and Output Data Rate		-3 dB Frequency		Typical Output RMS Noise (μV)			
MCLK IN = 2.4576 MHz	MCLK IN = 1 MHz	MCLK IN = 2.4576 MHz	MCLK IN = 1 MHz	Gain = 1	Gain = 2	Gain = 32	Gain = 128
50 Hz	20 Hz	13.1 Hz	5.24 Hz	3.0	1.7	0.7	0.65
60 Hz	25 Hz	15.72 Hz	6.55 Hz	3.4	2.1	0.7	0.7
250 Hz	100 Hz	65.5 Hz	26.2 Hz	45	20	2.2	1.6
500 Hz	200 Hz	131 Hz	52.4 Hz	270	135	9.7	3.3

ことは重要です。これらの値は、rmsノイズではなくピークtoピーク・ノイズに基づいて計算されたものです。これらの値は、 $V_{REF} = 1.25 \text{ V}$ でセットアップ・レジスタのBUFビット = 0とした、バイポーラ入力範囲に対するものです。これらの値は、アナログ入力電圧 = 0 Vの場合のtyp値で、最寄りのLSBへ丸め処理した値です。

一方、表 21 と 表 22 に、それぞれrms ノイズとピークtoピーク分解能を示します。ここではAD7715-3 は上と同じ条件で動作させていますが、バッファありモード(セットアップ・レジスタのBUF ビット = 1)で動作させてる点が異なります。

表 20.AD7715-3 のピーク to ピーク分解能対ゲインおよび出力更新レート (バッファなしモード)

Filter First Notch and Output Data Rate		-3 dB Frequency		Typical Peak-to-Peak Resolution in Bits			
MCLK IN = 2.4576 MHz	MCLK IN = 1 MHz	MCLK IN = 2.4576 MHz	MCLK IN = 1 MHz	Gain = 1	Gain = 2	Gain = 32	Gain = 128
50 Hz	20 Hz	13.1 Hz	5.24 Hz	16	16	14	12
60 Hz	25 Hz	15.72 Hz	6.55 Hz	16	16	14	12
250 Hz	100 Hz	65.5 Hz	26.2 Hz	13	13	13	11
500 Hz	200 Hz	131 Hz	52.4 Hz	11	11	10	10

表 21.AD7715-3 の出力 RMS ノイズ対ゲインおよび出力更新レート (バッファありモード)

Filter First Notch and Output Data Rate		-3 dB Frequency		Typical Output RMS Noise (μV)			
MCLK IN = 2.4576 MHz	MCLK IN = 1 MHz	MCLK IN = 2.4576 MHz	MCLK IN = 1 MHz	Gain = 1	Gain = 2	Gain = 32	Gain = 128
50 Hz	20 Hz	13.1 Hz	5.24 Hz	4.5	2.4	0.9	0.9
60 Hz	25 Hz	15.72 Hz	6.55 Hz	5.1	2.9	0.9	1.0
250 Hz	100 Hz	65.5 Hz	26.2 Hz	50	25	2.6	2
500 Hz	200 Hz	131 Hz	52.4 Hz	270	135	9.7	3.3

表 22.AD7715-3 のピーク to ピーク分解能対ゲインおよび出力更新レート (バッファありモード)

Filter First Notch and Output Data Rate		-3 dB Frequency		Typical Peak-to-Peak Resolution in Bits			
MCLK IN = 2.4576 MHz	MCLK IN = 1 MHz	MCLK IN = 2.4576 MHz	MCLK IN = 1 MHz	Gain = 1	Gain = 2	Gain = 32	Gain = 128
50 Hz	20 Hz	13.1 Hz	5.24 Hz	16	16	14	12
60 Hz	25 Hz	15.72 Hz	6.55 Hz	16	16	14	12
250 Hz	100 Hz	65.5 Hz	26.2 Hz	13	13	12	11
500 Hz	200 Hz	131 Hz	52.4 Hz	10	11	10	10

キャリブレーション・シーケンス

AD7715 には、表 13 に示すように多くのキャリブレーション・オプションがあります。表 23 に、キャリブレーション・タイプ、関係する動作、動作継続時間の一覧を示します。キャリブレーションの終了を知る方法は 2 つあります。1 つ目は、シーケンスの終わりで $\overline{\text{DRDY}}$ がロー・レベルに戻るタイミングを監視する方法です。 $\overline{\text{DRDY}}$ はシーケンス完了のタイミングを示すだけでなく、データ・レジスタに有効な新しいサンプルが存在することも表示します。この有効な新しいサンプルは、キャリブレーション・シーケンスの後の通常の変換結果です。キャリブレーション完了のタイミングを知る 2 つ目の方法は、セットアップ・レジスタのビット MD1 と MD0 を監視する方法です。キ

表 23. キャリブレーション・シーケンス

Calibration Type	MD1, MD0	Calibration Sequence	Duration to Mode Bits	Duration to $\overline{\text{DRDY}}$
Self Calibration	0, 1	Internal ZS Cal @ Selected Gain + Internal FS Cal @ Selected Gain	$6 \times 1/\text{Output Rate}$	$9 \times 1/\text{Output Rate} + t_p$
ZS System Calibration	1, 0	ZS Cal on AIN @ Selected Gain	$3 \times 1/\text{Output Rate}$	$4 \times 1/\text{Output Rate} + t_p$
FS System Calibration	1, 1	FS Cal on AIN @ Selected Gain	$3 \times 1/\text{Output Rate}$	$4 \times 1/\text{Output Rate} + t_p$

ャリブレーション・コマンドの後にこれらのビットが 0、0 に戻ると、キャリブレーション・シーケンスが完了したことを表します。この方法では、有効な新しい変換結果がデータ・レジスタに存在することは表示されません。ただし、キャリブレーションが完了したことを $\overline{\text{DRDY}}$ より早く表示します。モード・ビット (MD1 と MD0) が 0、0 に戻るまでの時間がキャリブレーションの継続時間を表します。 $\overline{\text{DRDY}}$ がロー・レベルになるタイミングまでのシーケンスには、通常の変換とこの最初の変換結果をスケールするためのパイプライン遅延 t_p が含まれます。 t_p は $2000 \times t_{\text{CLK IN}}$ を超えることはありません。両方法に要する時間を表 23 に示します。

回路説明

AD7715 は、工業用制御やプロセス制御アプリケーションなどにおける広いダイナミック・レンジを持つ低周波信号の計測を目的とした、デジタル・フィルタ機能付き Σ - Δ ADC です。 Σ - Δ (電荷平衡型) ADC、キャリブレーション・マイクロコントローラ、スタティック RAM、クロック発振器、デジタル・フィルタ、双方向シリアル・コミュニケーション・ポートを内蔵しています。デバイスの電源電流消費は僅か 450 μ A であるため、バッテリー駆動またはループ給電の計測機器に最適です。デバイスには、公称 5 V のアナログ電源(AV_{DD})で動作する AD7715-5 と公称 3.3 V のアナログ電源で動作する AD7715-3 の 2 つのバージョンがあります。両バージョンは、3.3 V または 5 V のデジタル電源電圧(DV_{DD})で動作することができます。

デバイスはゲイン設定可能なフル差動アナログ入力チャンネルを内蔵しています。この入力で選択可能なゲインは、1、2、32、128 であるため、リファレンス入力電圧 = 2.5 V では、0 mV ~ 20 mV から 0 V ~ 2.5 V までのユニポーラ信号を、または ± 20 mV ~ ± 2.5 V のバイポーラ信号をデバイスに入力することができます。リファレンス電圧 = 1.25 V では、入力範囲はユニポーラ・モードで 0 mV ~ 10 mV から 0 V ~ +1.25 V、バイポーラ・モードで ± 10 mV ~ ± 1.25 V となります。バイポーラ範囲は、AGND ではなく AIN(-)基準としていることに注意してください。

アナログ入力への入力信号は連続的にサンプルされます。サンプル・レートはマスター・クロック MCLK IN の周波数と選択されたゲインで決定されます。電荷平衡型 ADC (Σ - Δ 変調器)は、サンプルした信号をデジタル・パルス列に変換します。このパルス列のデューティ・サイクルにデジタル情報が含まれています。アナログ入力のプログラマブルなゲイン機能はこの Σ - Δ 変調器でも採用しており、入力サンプリング周波数は高いゲインを得るように変更されています。sinc³ デジタル・ローパス・フィルタは、 Σ - Δ 変調器出力を処理し、このフィルタの最初のノッチ周波数で決定されるレートで出力レジスタを更新します。出力データは、シリアル・ポートから出力レジスタ更新レートまでの任意のレートでランダムまたは周期的に読出すことができます。このデジタル・フィルタの最初のノッチ(したがって -3 dB 周波数)は、セットアップ・レジスタの FS0 ビットと FS1 ビットを使って設定することができます。マスター・クロック周波数 = 2.4576 MHz で、最初のノッチ周波数の設定可能な範囲は 50 Hz ~ 500 Hz であるため、-3 dB 周波数の設定可能な範囲は 13.1 Hz ~ 131 Hz になります。マスター・クロック周波数 = 1 MHz では、最初のノッチ周波数の設定可能な範囲は 20 Hz ~ 200 Hz であるため、-3 dB 周波数の設定可能な範囲は 5.24 Hz ~ 52.4 Hz になります。

AD7715-5 の基本接続図を図 4 に示します。アナログ 5 V 電源に接続された AD7715 の AV_{DD} ピンと DV_{DD} ピンも示してあります。アプリケーションによっては、AV_{DD} と DV_{DD} を別電源に接続する場合もあります。高精度 2.5 V リファレンス AD780 は、デバイスのリファレンス電圧として使うことができます。デジタル側では、CS を DGND に接続してデバイスを 3 線式動作に設定しています。水晶またはセラミック共振子をデバイスのマスター・クロック源として使うことができます。多くの場合、水晶または共振子にコンデンサを接続して、基本動作周波数の整数倍の発振を防止する必要があります。コンデンサ値は、メーカー仕様によって変わります。

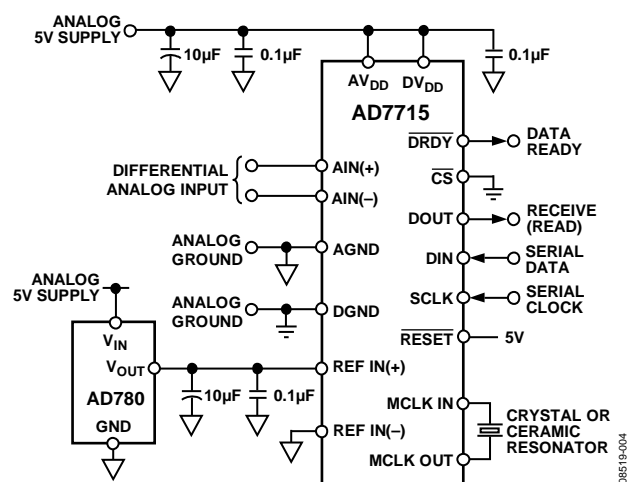


図 4. AD7715-5 の基本接続図

アナログ入力

アナログ入力範囲

AD7715 には差動アナログ入力対 AIN(+) と AIN(-)があります。この入力対は、ユニポーラ入力信号またはバイポーラ入力信号を処理できる、プログラマブルなゲインを持つ差動入力チャンネルを提供します。バイポーラ入力信号は、入力対のそれぞれの AIN(-)入力を基準としていることに注意してください。

バッファなしモードでは、アナログ入力電圧の絶対値が AGND - 30 mV ~ AV_{DD} + 30 mV の場合、この入力の同相モード範囲は AGND ~ AV_{DD} です。これは、バッファなしモードでは、デバイスがすべてのゲインに対してユニポーラ入力範囲とバイポーラ入力範囲を処理できることを意味します。バッファありモードでは、アナログ入力は遥かに大きいソース・インピーダンスを処理できますが、絶対入力電圧範囲は AGND + 50 mV ~ AV_{DD} - 1.5 V に制限されます。これは同相モード範囲の制限にもなっています。これは、バッファありモードでは、バイポーラ入力範囲に対する許容ゲインに制限があることを意味します。同相モード電圧と入力電圧範囲を設定するときはこの範囲を超えないように注意する必要があります。そうしないと、直線性性能が低下します。

バッファなしモードでは、アナログ入力からは入力サンプリング・コンデンサ C_{SAMP} が直接見えます。このバッファなしモードでのDC入力リーク電流は最大 1 nAです。このため、アナログ入力からは入力サンプル・レートで切り替わる動的負荷が見えます(図 5)。このサンプル・レートは、マスター・クロック周波数と選択されたゲインに依存します。 C_{SAMP} は、入力サンプル・サイクルで $A_{IN}(+)$ まで充電され $A_{IN}(-)$ まで放電されます。スイッチ R_{SW} の実効オン抵抗は 7 k Ω (typ)です。

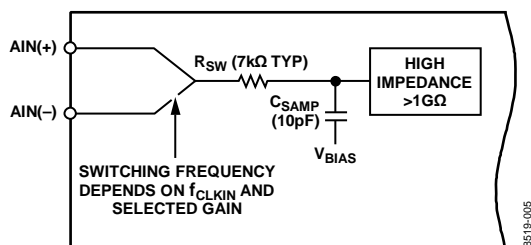


図 5. バッファなしのアナログ入力構造

C_{SAMP} は、各入力サンプル・サイクルで R_{SW} と外部ソース・インピーダンスを介して充電されます。したがって、バッファなしモードでは、ソース・インピーダンスは C_{SAMP} の充電時間を長くし、このためにデバイスのゲイン誤差が発生します。表 24 に、バッファなしモードに対して使用可能な外付け抵抗値/容量値で、16 ビット・レベルでゲイン誤差を発生しない組み合わせを示します。これらの容量はアナログ入力の合計容量であり、外部容量とデバイスのピンとリード・フレームの 10 pF 容量の和であることに注意してください。

表 24. 16 ビット・ゲイン誤差を発生しない外付け R と C の組み合わせ(バッファなしモードの場合)

Gain	External Capacitance (pF)					
	10	50	100	500	1000	5000
1	152 k Ω	53.9 k Ω	31.4 k Ω	8.4 k Ω	4.76 k Ω	1.36 k Ω
2	75.1 k Ω	26.6 k Ω	15.4 k Ω	4.14 k Ω	2.36 k Ω	670 Ω
32	16.7 k Ω	5.95 k Ω	3.46 k Ω	924 Ω	526 Ω	150 Ω
128	16.7 k Ω	5.95 k Ω	3.46 k Ω	924 Ω	526 Ω	150 Ω

バッファありモードでは、アナログ入力から内蔵バッファ・アンプのハイ・インピーダンス入力ステージが見えます。 C_{SAMP} は、このバッファ・アンプを介して充電されるため、 C_{SAMP} の充電にソース・インピーダンスが影響を与えません。このバッファ・アンプのオフセット・リーク電流は 1 nAです。このバッファありモードでは、大きなソース・インピーダンスにより、ソース・インピーダンスの両端に小さな DC オフセット電圧が発生しますが、ゲイン誤差は発生しません。

入力サンプル・レート

AD7715 の変調器サンプル周波数は、選択したゲインに無関係に $f_{CLKIN}/128$ (19.2 kHz @ $f_{CLKIN} = 2.4576$ MHz)を維持しますが、1 より大きいゲインは、変調器サイクルあたりの複数入力サンプルと、リファレンス・コンデンサ対入力コンデンサの比のスケールリングとの組み合わせにより実現されます。複数サンプリングのため、デバイスの入力サンプル・レートは選択したゲインにより変わります(表 25)。バッファありモードでは、入力サンプリング・コンデンサの前で入力がバッファされます。アナログ入力からサンプリング・コンデンサが直接見えるバッファなしモードでは、実効入力インピーダンスは $1/C_{SAMP} \times f_s$ になります。ここで、 C_{SAMP} は入力サンプリング・コンデンサ、 f_s は入力サンプル・レートです。

表 25. 入力サンプリング周波数対ゲイン

Gain	Input Sampling Frequency (f_s)
1	$f_{CLKIN}/64$ (38.4 kHz @ $f_{CLKIN} = 2.4576$ MHz)
2	$2 \times f_{CLKIN}/64$ (76.8 kHz @ $f_{CLKIN} = 2.4576$ MHz)
32	$8 \times f_{CLKIN}/64$ (307.2 kHz @ $f_{CLKIN} = 2.4576$ MHz)
128	$8 \times f_{CLKIN}/64$ (307.2 kHz @ $f_{CLKIN} = 2.4576$ MHz)

バイポーラ/ユニポーラ入力

AD7715 のアナログ入力には、ユニポーラまたはバイポーラの入力電圧範囲を入力することができます。バイポーラ入力範囲は、デバイスがアナログ入力に負電圧を処理できることを意味するものではありません。これは、デバイスの正常動作のためにはアナログ入力が-30 mV より負側に変化できないためです。この入力チャンネルはフル差動です。このため、 $A_{IN}(+)$ 入力のユニポーラ信号とバイポーラ信号は、それぞれの $A_{IN}(-)$ 入力を基準しています。例えば、 $A_{IN}(-) = 2.5$ V、AD7715 をユニポーラ動作に設定、ゲイン= 2、 $V_{REF} = 2.5$ V の場合、 $A_{IN}(+)$ 入力の入力電圧範囲は 2.5 V~3.75 V になります。 $A_{IN}(-) = 2.5$ V、AD7715 をバイポーラ・モードに設定、ゲイン= 2、 $V_{REF} = 2.5$ V の場合、 $A_{IN}(+)$ 入力のアナログ入力範囲は 1.25 V~3.75 V (すなわち $2.5 \text{ V} \pm 1.25 \text{ V}$)になります。 $A_{IN}(-) = AGND$ の場合、デバイスを ± 30 mV を超えるバイポーラ範囲に設定することはできません。

バイポーラ・オプションまたはユニポーラ・オプションは、セットアップ・レジスタの \bar{B}/U ビットを使って、選択することができます。この設定により、チャンネルがユニポーラ動作またはバイポーラ動作に設定されます。チャンネルをユニポーラ動作またはバイポーラ動作に設定しても、入力シグナル・コンデショニングは変更されません。単に、データ出力コーディングとキャリブレーションを行う伝達関数上のポイントを変更するだけです。

リファレンス電圧入力

AD7715 のリファレンス入力 REF_{IN}(+)と REF_{IN}(-)は、差動リファレンス入力機能を提供します。これらの差動入力の同相モード範囲は AGND~AV_{DD} です。規定動作に対する公称リファレンス電圧 V_{REF} (REF_{IN}(+) - REF_{IN}(-))は、AD7715-5 では 2.5 V で、AD7715-3 では 1.25 V です。このデバイスは 1 V までの低い V_{REF} 電圧で動作しますが、LSB サイズで表す出力ノイズが大きくなるため性能が低下します。AD7715 の正常動作のためには、常に REF_{IN}(+) > REF_{IN}(-)である必要があります。

両リファレンス入力は、バッファなしモードのアナログ入力と同様にハイ・インピーダンスの動的負荷を提供します。温度に対する最大 DC 入力リーク電流は ±1 nA で、ソース抵抗によりデバイスのゲイン誤差が発生します。この場合、サンプリング・スイッチ抵抗は 5 kΩ (typ) で、リファレンス・コンデンサ (C_{REF}) はゲインに応じて変わります。リファレンス入力のサンプル・レートは f_{CLK IN}/64 で、ゲインに応じて変化しません。ゲイン=1 と 2 の場合 C_{REF} = 8pF、ゲイン=32 の場合 C_{REF} = 4.25 pF、ゲイン=128 の場合 C_{REF} = 3.3125 pF です。

表 15~表 22 に示す出力ノイズ性能はアナログ入力= 0 V に対するものであるため、リファレンス電圧上のノイズの影響が実質的に除去されます。全入力範囲でノイズの表に示す同じノイズ性能を得るためには、AD7715 に対して低ノイズ・リファレンス電圧源が必要です。注目帯域幅内のリファレンス・ノイズが大きい場合、AD7715 の性能が低下します。アナログ入力に接続されているブリッジ・トランスデューサに対する励起電圧がデバイスのリファレンス電圧をも駆動するようなアプリケーションは比例動作であるため、励起電圧のノイズの影響は除去されます。AD7715-5 に対する推奨リファレンス電圧源としては、AD780、REF43、REF192 などがあり、AD7715-3 に対する推奨リファレンス電圧源としては、AD589 と AD1580 などがあります。ノイズ・レベルをさらに削減するため、これらのリファレンス出力をデカップリングすることが一般に推奨されます。

デジタル・フィルタ機能

AD7715 は、デバイスの Σ-Δ 変調器の出力を処理するローパス・デジタル・フィルタを内蔵しています。このため、デバイスは A/D 変換機能だけでなく、フィルタ機能も提供します。アナログ領域ではなくデジタル領域でフィルタ機能が提供される場合、システムに多くの違いがあり、ユーザはこの違いに注意する必要があります。

まず、A/D 変換処理の後にデジタル・フィルタが配置されているため、変換過程で混入したノイズを除去することができます。アナログ・フィルタでこれを行うことはできません。また、デジタル・フィルタはアナログ・フィルタより遥かに容易にプログラマブルにすることができます。デジタル・フィルタ・デザインに応じて、カットオフ周波数と出力更新レートの設定が可能になります。

これに対して、アナログ・フィルタではアナログ信号に重畳されたノイズを ADC の前で除去することができます。デジタル・フィルタではこれができないため、フルスケール近くの信号に存在するノイズ・ピークは信号平均値が規定値内でも、アナログ変調器とデジタル・フィルタを飽和させる危険性を持っています。この問題を解決するため、AD7715 では Σ-Δ 変調器とデジタル・フィルタにアナログ入力範囲より 5% 高いオーバーレンジを許容するオーバーレンジ・ヘッドルームを設けてあります。ノイズ信号がこの値より大きい場合、アナログ入力フィルタ機能を検討するか、またはフルスケールがアナログ入力チャンネルのフルスケールの 1/2 になるように、入力チャンネル電圧を小さくする必要があります。これにより、ダイナミック・レンジを 1 ビット(50%)犠牲にすることにより、100% より大きいオーバーレンジ能力を提供することができます。

さらに、デジタル・フィルタはデジタル・フィルタのサンプル周波数の整数倍で減衰を与えませんが、デバイスの入力サンプリング機能により、サンプリング周波数 f_s (表 25) の倍数付近で実際に非減衰帯域が発生するようにして、デジタル・フィルタのサンプリング周波数の倍数で減衰を提供します。このため、非減衰帯域は n × f_s で発生します(ここで、n = 1, 2, 3...)。これらの周波数では、両側に ± f_{3dB} 幅 (f_{3dB} はデジタル・フィルタのカットオフ周波数) の周波数帯域があり、ここをノイズが減衰しないで出力へ通過します。

フィルタ特性

AD7715 のデジタル・フィルタは、 $(\sin x/x)^3$ 応答(sinc^3 とも呼ばれます)を持つローパス・フィルタです。このフィルタの伝達関数は次式により z 領域で表されます。

$$H(z) = \left[\frac{1}{N} \times \frac{1-z^{-N}}{1-z^{-1}} \right]^3$$

周波数領域では次式で表されます。

$$|H(f)| = \left| \frac{1}{N} \times \frac{\text{Sin} \left(N \times \pi \times \frac{f}{f_s} \right)}{\text{Sin} \left(\pi \times \frac{f}{f_s} \right)} \right|^3$$

ここで、 N は変調器レートの出力レートに対する比、 f_{MOD} は変調器レートです。

図 6 に、カットオフ周波数 15.72 Hz (最初のフィルタ・ノッチ周波数 60 Hz に対応)のフィルタ周波数応答を示します。プロットは DC ~ 390 Hz について示してあります。この応答は、デジタル・フィルタのサンプリング周波数の両側とフィルタのサンプリング周波数の倍数の両側で繰り返されます。

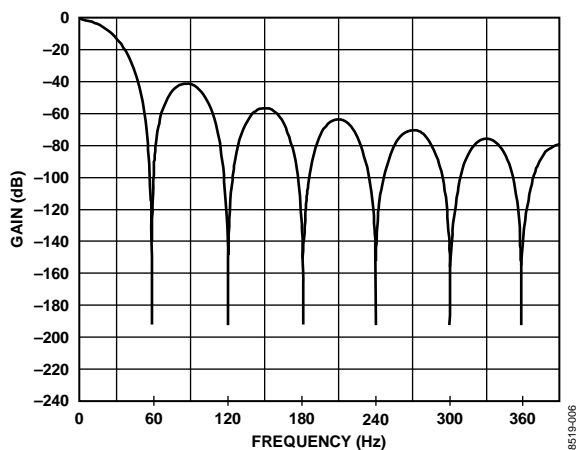


図 6. AD7715 フィルタの周波数応答

フィルタ応答は平均フィルタ応答と似ていますがロールオフがシャープです。デジタル・フィルタの出力レートは、フィルタの周波数応答の最初のノッチの位置に対応します。したがって、出力レートが 60 Hz である図 6 のプロットの場合、フィルタの最初のノッチは 60 Hz にあります。この $(\sin x/x)^3$ フィルタのノッチは、最初のノッチの倍数で繰り返されます。このフィルタは、これらのノッチで 100 dB 以上の減衰を提供します。

デジタル・フィルタのカットオフ周波数は、セットアップ・レジスタの FS0 ビットと FS1 ビットにロードされる値により決定されます。FS0 と FS1 を使って別のカットオフ周波数を設定してもフィルタ応答のプロファイルは変わりません。これによりノッチ周波数が変わります。デバイスの出力更新と最初のノッチの周波数が対応します。

AD7715 はローパス・フィルタを内蔵しているため、セトリング・タイムはステップ関数入力に関係するので、ステップ変化の後、セトリング・タイムが経過するまで出力データは無効になります。セトリング・タイムは、フィルタに対して選択した出力レートに依存します。フルスケールのステップ入力変化に

対するフィルタのセトリング・タイムは、出力データ周期の最大 4 倍になることがあります。同期ステップ入力 (FSYNC の機能を使用) の場合、セトリング・タイムは出力データ周期の 3 倍です。

ポスト・フィルタリング

内蔵の変調器は、 $f_{\text{CLK IN}} = 2.4576 \text{ MHz}$ で 19.2 kHz 出力レートのサンプルを提供します。内蔵デジタル・フィルタは、これらのサンプルをデシメーションして、フィルタの設定した出力レートに対応する出力レートでデータを提供します。出力データレートはナイキスト基準より高いため、与えられた帯域幅に対する出力レートは大部分のアプリケーションの条件を満たします。ただし、与えられた帯域幅とノイズ性能に対してさらに高いデータレートを必要とするアプリケーションもあります。この高いデータレートを必要とするアプリケーションは、AD7715 のデジタル・フィルタの後ろでポスト・フィルタリングを必要とします。

例えば、必要とされる帯域幅が 7.86 Hz で、必要とする更新レートが 100 Hz の場合、データを 100 Hz レートで AD7715 から取り出すと、-3 dB 帯域幅は 26.2 Hz になります。これにポスト・フィルタリングを行って、帯域幅と出力ノイズを 7.86 Hz 帯域幅レベルに削減し、出力レートを 100 Hz に維持することができます。

また、ポスト・フィルタリングを使って、13.1 Hz より低い帯域幅に対してデバイスからの出力ノイズを小さくすることもできます。ゲイン = 128、帯域幅 = 13.1 Hz で、出力 rms ノイズは 520 nV になります。これは本質的にデバイス・ノイズまたはホワイト・ノイズであり、入力がチョップされているため、このノイズは平坦な周波数応答を持っています。帯域幅を 13.1 Hz より小さくすると、通過帯域内のノイズを小さくすることができます。帯域幅を 1/2 にすると、出力 rms ノイズで約 1.25 の削減になります。このフィルタリングの追加により、セトリング・タイムが長くなります。

アナログ・フィルタ機能

前述のように、デジタル・フィルタは変調器サンプル周波数の整数倍で減衰を与えません。ただし、AD7715 のオーバーサンプリング比が大きいため、これらの帯域はスペクトルの小さい部分しか占有しないため、大部分の広帯域ノイズがフィルタされます。これは、AD7715 の前でのアナログ・フィルタリング要求が、フィルタリングを内蔵しない従来型コンバータに比べて大幅に少なくなっていることを意味します。さらに、デバイスの 95 dB の同相モード除去比性能は数 kHz まで広がるため、この周波数範囲内の同相モード・ノイズが大幅に削減されます。

ただし、アプリケーションによっては、AD7715 の前で減衰させて、デジタル・フィルタが通過させるこれらの帯域から不要な周波数を除去することが必要となることがあります。AD7715 の前にアナログ・フィルタを配置して、注目する帯域の外側の差動ノイズ信号によりアナログ変調器が飽和しないようにすることが必要となるアプリケーションもあります。

バッファなしモードで、AD7715 の前に受動部品を配置する場合、ソース・インピーダンスを十分小さくして、システムにゲイン誤差が発生しないように注意する必要があります。バッファなしモードで、AD7715 の前に受動折り返し防止フィルタを使用する場合、これが大きな制約になります。ただし、デバイスをバッファありモードで使用する場合は、ソース・インピーダンスが大きいと DC オフセット誤差が小さくなります(10 kΩ のソース抵抗でオフセット誤差は 10 μV 以下になります)。このため、AD7715 の前に受動アナログ・フィルタを配置するために大きなソース・インピーダンスが必要な場合、デバイスをバッファありモードで動作させることが推奨されます。

キャリブレーション

AD7715 は、セットアップ・レジスタの MD1 ビットと MD0 ビットを使って設定できる多くのキャリブレーション・オプションを提供しています。各キャリブレーション・オプションは、セットアップ・レジスタのセクションとキャリブレーション・シーケンスのセクションで説明しています。キャリブレーション・サイクルは、セットアップ・レジスタの MD1 ビットと MD0 ビットに書き込みを行うことにより何時でも開始させることができます。AD7715 のキャリブレーションは、デバイスからオフセット誤差とゲイン誤差を除去します。周囲動作温度または電源電圧が変化した場合、デバイス上でキャリブレーション・ルーチンを起動する必要があります。選択したゲイン、フィルタ・ノッチまたはバイポーラ/ユニポーラ入力範囲に変更があった場合にも起動する必要があります。

AD7715 は、セルフキャリブレーション機能とシステム・キャリブレーション機能を提供します。選択したチャンネルでフル・キャリブレーションを行うときは、内蔵マイクロコントローラが 2 つの異なる入力条件に対する変調器出力を記録する必要があります。これらはゼロスケール・ポイントとフルスケール・ポイントです。これらのポイントは、キャリブレーション時に変調器入力に加えられた異なる入力電圧を変換することにより導出されます。このため、キャリブレーション精度は、ノーマル・モードでデバイスが提供するノイズ・レベルと同等になります。ゼロスケール・キャリブレーション変換の結果はゼロスケール・キャリブレーション・レジスタに、フルスケール・キャリブレーション変換の結果はフルスケール・キャリブレーション・レジスタに、それぞれ保存されます。これらの出力値を使って、マイクロコントローラは入力から出力までのコンバータ伝達関数のオフセットとゲイン・スロープを計算することができます。内部的には、デバイスは 33 ビットの分解能で動作して、16 ビットの変換結果を求めます。

セルフ・キャリブレーション

AD7715 のセルフキャリブレーションは、セットアップ・レジスタの MD1 ビットと MD0 ビットに該当する値(0, 1)を書込むことにより、起動されます。ユニポーラ入力範囲でのセルフキャリブレーション・モードでは、キャリブレーション係数の決定に使われるゼロスケール・ポイントは、差動対の入力を内部で短絡した場合のもので(すなわち $A_{IN}(+) = A_{IN}(-)$ = 内部バイアス電圧)。このゼロスケール・キャリブレーション変換の場合、PGA は選択したゲイン(コミュニケーション・レジスタの G1 ビットと G0 ビットで指定)に設定します。フルスケール・キャリブレーション変換は、選択したゲインで、内部で発生した V_{REF} / 選択したゲインに対して行われます。

キャリブレーションの継続時間は、 $6 \times 1/\text{出力レート}$ です。この内訳は、ゼロスケール・キャリブレーションに $3 \times 1/\text{出力レート}$ 、およびフルスケール・キャリブレーションに $3 \times 1/\text{出力レート}$ です。この時点で、セットアップ・レジスタの MD1 ビットと MD0 ビットは 0, 0 に戻ります。この変化がキャリブレーション・シーケンスの完了を最も早く表示します。キャリブレーションが開始されると、DRDY ラインがハイ・レベルになり、新しい有効ワードがデータ・レジスタに格納されるまでロー・レベルに戻りません。キャリブレーション・コマンドの発行から DRDY がロー・レベルになるまでの時間は、 $9 \times 1/\text{出力レート}$ です。この内訳は、ゼロスケール・キャリブレーションに $3 \times 1/\text{出力レート}$ 、フルスケール・キャリブレーションに $3 \times 1/\text{出力レート}$ 、アナログ入力での変換に $3 \times 1/\text{出力レート}$ 、さらに係数を正しく設定するための時間です。キャリブレーション・コマンドがセットアップ・レジスタへ書込む前に DRDY がロー・レベルである場合、または書込む間にロー・レベルになる場合、最大 1 変調器サイクル(MCLK IN/128)経過した後に DRDY がハイ・レベルになって、キャリブレーションが進行中であることを表示します。このため、キャリブレーション・コマンドの最後のビットがセットアップ・レジスタへ書込まれた後、最大 1 変調器サイクル間 DRDY を無視する必要があります。

セルフキャリブレーション・モードでのバイポーラ入力範囲の場合は、シーケンスは前記説明と良く似ています。この場合は、2 つのポイントは前記と全く同じですが、デバイスがバイポーラ動作に設定されているため、短絡させた入力ポイントは、実際には伝達関数のミッドスケールになります。

システム・キャリブレーション

システム・キャリブレーションを使うと、システム・ゲイン、オフセット誤差、内部誤差を補正することができます。システム・キャリブレーションでは、セルフキャリブレーションと同じスロープ係数計算を行います。ゼロスケール・ポイントとフルスケール・ポイント用にシステムが AIN 入力に代入する電圧値を使います。フル・システム・キャリブレーションでは、ゼロスケール・システム・キャリブレーションとそれに続くフルスケール・システム・キャリブレーションの 2 ステップ・プロセスが必要です。

フル・システム・キャリブレーションの場合、先にゼロスケール・ポイントをコンバータに与える必要があります。これをコンバータへ入力した後に、キャリブレーション・ステップを開始し、ステップが完了するまで安定に維持する必要があります。システム・ゼロスケール電圧を設定した後、セットアップ・レジスタの MD1 ビットと MD0 ビットへ該当する値(1, 0)を書込んで、ゼロスケール・システム・キャリブレーションを開始させます。選択したゲインでゼロスケール・システム・キャリブレーションが実行されます。キャリブレーションの継続時間は、 $3 \times 1/\text{出力レート}$ です。この時点で、セットアップ・レジスタの MD1 ビットと MD0 ビットは 0, 0 に戻ります。この変化がキャリブレーション・シーケンスの完了を最も早く表示します。キャリブレーションが開始されると、DRDYラインがハイ・レベルになり、新しい有効ワードがデータ・レジスタに格納されるまでロー・レベルに戻りません。キャリブレーション・コマンドの発行から DRDY がロー・レベルになるまでの時間は、 $4 \times 1/\text{出力レート}$ です。これはデバイスが AIN 電圧に対して通常の変換を行った後に DRDY がロー・レベルになるためです。キャリブレーション・コマンドがセットアップ・レジスタへ書込む前に DRDY がロー・レベルである場合、または書込む間にロー・レベルになる場合、最大 1 変調器サイクル(MCLK IN/128)経過した後に DRDY がハイ・レベルになって、キャリブレーションが進行中であることを表示します。このため、キャリブレーション・コマンドの最後のビットがセットアップ・レジスタへ書込まれた後、最大 1 変調器サイクル間 DRDY を無視する必要があります。

ゼロスケール・ポイントのキャリブレーションの後、フルスケール・ポイントを AIN に代入し、MD1、MD0 に該当する値(1, 1)を書込んで、キャリブレーション・プロセスの 2 番目のステップを開始させます。この場合も、フルスケール電圧を設定した後にキャリブレーションを開始し、キャリブレーション・ステップ中安定に維持する必要があります。選択したゲインでフルスケール・システム・キャリブレーションが実行されます。キャリブレーションの継続時間は、 $3 \times 1/\text{出力レート}$ です。この時点で、セットアップ・レジスタの MD1 ビットと MD0 ビットは 0, 0 に戻ります。この変化がキャリブレーション・シーケンスの完了を最も早く表示します。キャリブレーションが開始されると、DRDYラインがハイ・レベルになり、新しい有効ワードがデータ・レジスタに格納されるまでロー・レベルに戻りません。キャリブレーション・コマンドの発行から DRDY がロー・レベルになるまでの時間は、 $4 \times 1/\text{出力レート}$ です。これはデバイスが AIN 電圧に対して通常の変換を行った後に DRDY がロー・レベルになるためです。キャリブレーション・コマンドがセットアップ・レジスタへ書込む前に DRDY がロー・レベルである場合、または書込む間にロー・レベルになる場合、最大 1 変調器サイクル(MCLK IN/128)経過した後に DRDY がハイ・レベルになって、キャリブレーションが進行中であることを表示します。このため、キャリブレーション・コマンドの最後のビットがセットアップ・レジスタへ書込まれた後、最大 1 変調器サイクル間 DRDY を無視する必要があります。

ユニポーラ・モードでは、システム・キャリブレーションが伝達関数の 2 つのエンドポイント間で行われます。バイポーラ・モードでは、ミッドスケール(ゼロ差動電圧)と正のフルスケールとの間で行われます。

システム・キャリブレーションを 2 ステップ・キャリブレーションとして実行できることから、別の機能が提供されます。フル・システム・キャリブレーションのシーケンスが完了した後、システムのゼロ基準ポイントまたはシステム・ゲインを調節することにより、さらにオフセットまたはゲイン・キャリブレーションを実行することができます。パラメータの 1 つ(システム・オフセットまたはシステム・ゲイン)をキャリブレーションしても、他のパラメータに影響しません。

システム・キャリブレーションを使って、デバイスをバッファなしモードで使用する場合アナログ入力のソース・インピーダンスからすべての誤差を除去することもできます。フロント・エンドにシンプルな R、C 折り返し防止フィルタを使用すると、アナログ入力電圧にゲイン誤差が発生しますが、システム・キャリブレーションを使ってこの誤差を除去することができます。

スパンとオフセットの限界値

システム・キャリブレーション・モードを使うときは常に、許容オフセットとスパンに限界があります。デバイスに許容されるオフセットとゲインの大きさを求める際に優先される条件は、正のフルスケール・キャリブレーション限界値 $\leq 1.05 \times V_{\text{REF}}/\text{ゲイン}$ を満たすという条件です。この条件を使うと、入力範囲を公称範囲より 5% 高くすることができます。AD7715 のアナログ変調器のヘッドルームにより、公称より 5% 高い正のフルスケール電圧でデバイスが正常に動作することができます。

ユニポーラ・モードとバイポーラ・モードでの入力スパンの範囲は、最小値が $0.8 \times V_{\text{REF}}/\text{ゲイン}$ で、最大値が $2.1 \times V_{\text{REF}}/\text{ゲイン}$ です。ただし、スパン(AD7715 の入力範囲の下限と入力範囲の上限との差)では、正のフルスケール電圧の限界値を考慮する必要があります。許容できるオフセットの大きさは、ユニポーラ・モードまたはバイポーラ・モードのいずれを使うかに依存します。この場合も、オフセットでは正のフルスケール電圧の限界値を考慮する必要があります。ユニポーラ・モードでは、負オフセット(AIN(-)に対して)の扱いに大きな自由度があります。ユニポーラ・モードとバイポーラ・モードでは、デバイスで許容できる正のオフセット範囲は、選択するスパンに依存します。したがって、システム・ゼロスケール・キャリブレーションとフルスケール・キャリブレーションに対して限界値を求めるとき、オフセット範囲とスパン範囲の和が $1.05 \times V_{\text{REF}}/\text{ゲイン}$ を超えないように注意する必要があります。これは、次の例で示すと理解が容易です。

所要スパン $0.8 \times V_{REF}/\text{ゲイン}$ でデバイスをユニポーラ・モードで使う場合、システム・キャリブレーションで扱うことができるオフセット範囲は、 $-1.05 \times V_{REF}/\text{ゲイン} \sim +0.25 \times V_{REF}/\text{ゲイン}$ です。所要スパン $V_{REF}/\text{ゲイン}$ でデバイスをユニポーラ・モードで使う場合、システム・キャリブレーションで扱えることができるオフセット範囲は、 $-1.05 \times V_{REF}/\text{ゲイン} \sim +0.05 \times V_{REF}/\text{ゲイン}$ です。同様に、デバイスをユニポーラ・モードで使い、かつ $0.2 \times V_{REF}/\text{ゲイン}$ のオフセットを除去する必要がある場合、システム・キャリブレーションで扱えるスパン範囲は $0.85 \times V_{REF}/\text{ゲイン}$ になります。

所要スパン $\pm 0.4 \times V_{REF}/\text{ゲイン}$ でデバイスをバイポーラ・モードで使う場合、システム・キャリブレーションで扱えることができるオフセット範囲は、 $-0.65 \times V_{REF}/\text{ゲイン} \sim +0.65 \times V_{REF}/\text{ゲイン}$ です。所要スパン $\pm V_{REF}/\text{ゲイン}$ でデバイスをバイポーラ・モードで使う場合、システム・キャリブレーションで扱えることができるオフセット範囲は、 $-0.05 \times V_{REF}/\text{ゲイン} \sim +0.05 \times V_{REF}/\text{ゲイン}$ です。同様に、デバイスをバイポーラ・モードで使い、かつ $\pm 0.2 \times V_{REF}/\text{ゲイン}$ のオフセットを除去する必要がある場合、システム・キャリブレーションで扱えるスパン範囲は $\pm 0.85 \times V_{REF}/\text{ゲイン}$ になります。

パワーアップとキャリブレーション

パワーアップ時、AD7715 は内部リセットを実行して、内部レジスタ値を既知状態に設定します。パワーオンまたはリセット時にすべてのレジスタにロードするデフォルト値が存在します。デフォルト値には、キャリブレーション・レジスタに対する公称キャリブレーション係数が含まれます。ただし、デバイスの正しいキャリブレーションのため、パワーアップ後にキャリブレーション・ルーチンを実行する必要があります。

AD7715 の消費電力と温度ドリフトは小さいため、初期キャリブレーションを実行する前にウォームアップ時間は不要です。ただし、外付けリファレンスを使用する場合、このリファレンスを安定させた後にキャリブレーションを開始する必要があります。同様に、デバイスのクロック・ソースをMCLKピンに接続した水晶または共振子から発生させる場合、発振器回路のスタートアップ時間が経過した後にデバイス上でキャリブレーションを開始する必要があります(クロックと発振器回路のセクション参照)。

AD7715の使用法

クロックと発振器回路

AD7715 はマスター・クロック入力が必要とします。このマスター・クロックは、MCLK IN ピンに接続した外部 CMOS 互換クロック信号(MCLK OUT ピンは未接続のまま)から得ることができます。あるいは、正しい周波数の水晶またはセラミック共振子を MCLK IN と MCLK OUT の間に接続することができます。この場合、クロック回路は発振器として機能して、デバイスのクロック・ソースを提供します。入力サンプリング周波数、変調器サンプリング周波数、-3 dB 周波数、出力更新レート、キャリブレーション時間はすべてマスター・クロック周波数 fCLK IN に比例します。マスター・クロック周波数を 1/2 にすると、これらの周波数と更新レートが 1/2 になり、キャリブレーション時間は 2 倍になります。DVDD 電源の電流も fCLK IN に比例します。fCLK IN を 1/2 にすると、DVDD 電流は 1/2 になりますが、AVDD 電源の電流は影響を受けません。

MCLK IN ピンと MCLK OUT ピンの間で水晶またはセラミック共振子を使うデバイスを使用する場合、一般に、デバイスが MCLK IN ピンのクロック信号から駆動される場合に比べて DVDD の電流が大きくなります。これは、水晶またはセラミック共振子の場合、内蔵発振器回路がアクティブになるためです。このため、AD7715 の最小電流は、MCLK OUT を無負荷未接続にして、MCLK IN ピンを外部からクロック駆動した場合に実現されます。

発振器に必要なとされる電流増は、多くの要因に依存します。まず、MCLK IN ピンと MCLK OUT ピンに接続するコンデンサ値が大きいほど、AD7715 上で大きな DVDD 電流が消費されます。不要な DVDD 電流消費を避けるため、水晶とセラミック共振子メーカーが推奨するコンデンサ値を超えないように注意する必要があります。水晶またはセラミック共振子メーカーが推奨する値 (typ) は 30 pF~50 pF の範囲であり、MCLK IN と MCLK OUT の間のコンデンサ値がこの範囲内であれば、余分な DVDD 電流は流れません。DVDD 電流に影響を与えるもう 1 つの要因は、水晶の実効直列抵抗 (ESR) であり、AD7715 の MCLK IN ピンと MCLK OUT ピンの間に存在します。一般に、ESR 値が小さいほど、発振器回路で消費される電流が小さくなります。

DVDD = 3 V、クロック周波数 = 2.4576 MHz で動作する場合、外部供給クロックと水晶共振子との間に DVDD 電流に 50 μ A の差があります。DVDD = 5 V、fCLK IN = 2.4576 MHz の場合、DVDD 電流 (typ) が水晶/共振子供給クロックでは外部供給クロックより 200 μ A 大きくなります。この周波数での水晶と共振子の ESR 値は、小さくなる傾向があるため、異なる水晶タイプと共振子タイプとの間の違いは小さくなる傾向があります。

クロック周波数 = 1 MHz で動作する場合、異なる水晶タイプの ESR 値は大きく異なります。このため、DVDD 電流は水晶タイプ間で異なります。ESR = 700 Ω の水晶を使う場合、またはセラミック共振子を使う場合、外部供給クロックに対する DVDD 電流 (typ) の増加は、DVDD = 3 V では 50 μ A に、DVDD = 5 V では 175 μ A に、それぞれ異なります。ESR = 3 k Ω の水晶を使う場合、外部供給クロックに対する DVDD 電流 (typ) の増加は、DVDD = 3 V では 100 μ A に、DVDD = 5 V では 400 μ A に、それぞれ異なります。

内蔵発振器回路にも、正しい周波数と正しい電圧レベルで発振するまでのスタートアップ時間があります。この回路のスタートアップ時間 (typ) は、DVDD = 5 V では 10 ms に、DVDD = 3 V では 15 ms に、それぞれ異なります。3 V 電源では、MCLK ピンの負荷容量に応じて、スタートアップ時間を約 15 ms にするため、水晶または共振子の並列に 1 M Ω の帰還抵抗が必要になります。

AD7715 のマスター・クロックは、デバイスの MCLK OUT ピンから出力されます。このピンの最大推奨負荷は 1 CMOS 負荷です。水晶またはセラミック共振子を使って AD7715 のクロックを発生するときは、このクロックをシステムのクロック・ソースとして使うことが望まれます。この場合、MCLK OUT 信号を CMOS バッファでバッファした後に、回路の残りの部分に供給することが推奨されます。

システム同期

FSYNC ビットを使うと、デバイス内のすべてのセットアップ状態に影響を与えることなく、変調器とデジタル・フィルタをリセットすることができます。この機能を使うと、既知の時点すなわち FSYNC が 1 から 0 へ変化したタイミングから、アナログ入力のサンプルの収集を開始することができます。

セットアップ・レジスタで FSYNC ビット = 1 にすると、デジタル・フィルタとアナログ変調器は既知のリセット状態に置かれるため、デバイスは入力サンプルを処理しません。FSYNC ビットに 0 が書込まれると、変調器とフィルタはこのリセット状態から抜け出て、次のマスター・クロック・エッジでデバイスはサンプルの収集を再開します。

SYNC 入力を変換開始ソフトウェア・コマンドとして使って、従来型コンバータと同様に AD7715 を動作させることもできます。このモードでは、FSYNC ビットに書込みを行うと変換が開始され、DRDY の立下がりエッジにより変換が完了したタイミングが表示されます。この方式の欠点は、フィルタのセトリング・タイムを各データ・レジスタ更新で考慮しなければならないことです。これは、データ・レジスタが更新されるレートがこのモードでは 1/3 もの低速レートになることを意味しています。

FSYNC ビットがデジタル・フィルタをリセットするため、 $3 \times 1/\text{出力レート}$ のフル・セトリング・タイムが経過した後に、新しいワードがデバイスの出力レジスタに格納されます。FSYNC が 0 になるとき DRDY 信号がロー・レベルである場合には、FSYNC コマンドにより、DRDY 信号はハイ・レベルにリセットされません。これは、読出されていないワードがデータ・レジスタに存在すると AD7715 が認識するためです。データ・レジスタの更新まで DRDY ラインはロー・レベルを維持し、データ・レジスタが更新されると、 $500 \times \text{tCLK IN}$ 間ハイ・レベルになった後にロー・レベルに戻ります。データ・レジスタを読出すと、DRDY 信号がハイ・レベルにリセットされて、フィルタのセトリング・タイム(FSYNC コマンドから開始)が経過して、有効な新しいワードがデータ・レジスタに格納されるまでロー・レベルに戻りません。FSYNC コマンドが発行されたとき DRDY ラインがハイ・レベルにある場合、DRDY ラインはフィルタのセトリング・タイムが経過するまでロー・レベルに戻りません。

リセット入力

AD7715 の RESET 入力は、すべてのロジック、デジタル・フィルタ、アナログ変調器をリセットし、さらにすべての内蔵レジスタをそれぞれのデフォルト状態にリセットします。DRDY はハイ・レベルに駆動されるため、RESET 入力がロー・レベルの間、AD7715 はすべてのレジスタに対するすべての通信を無視します。RESET 入力がハイ・レベルに戻ると、AD7715 はデータの処理を開始し、DRDY は $3 \times 1/\text{出力レート}$ 以内にロー・レベルに戻って、データ・レジスタに有効な新しいワードが存在することを表示します。ただし、リセット後、AD7715 はデフォルトのセットアップ状態で動作するため、すべてのレジスタを設定し、キャリブレーションをリセット・コマンド後に実行することが一般に必要となります。

RESET 入力がロー・レベルのときでも、AD7715 の内蔵発振器回路は動作を続けます。マスター・クロック信号の MCLK OUT ピンへの出力は続きます。このため、システム・クロックが AD7715 のクロックから供給されるアプリケーションでは、AD7715 は RESET コマンド時に中断しないマスター・クロックを発生します。

スタンバイ・モード

AD7715 コミュニケーション・レジスタの STBY ビットを使うと、変換結果が必要ないときデバイスをパワーダウン・モードにすることができます。AD7715 はスタンバイ・モードにあるとき、すべての内蔵レジスタ(データ・レジスタも含む)の値を保持します。スタンバイ・モードから抜け出ると、デバイスはデータ処理を開始して、STBY ビットに 0 が書込まれたタイミングから $3 \times 1/\text{出力レート}$ 以内に新しいワードがデータ・レジスタに格納されます。

STBY ビットはデジタル・インターフェースに影響を与えません、また DRDY ラインのステータスにも影響を与えません。STBY ビットをロー・レベルにしたときに DRDY がハイ・レベルにある場合、データ・レジスタに有効な新しいワードが格納されるまでハイ・レベルを維持します。STBY ビットをロー・レベルにしたときに DRDY がロー・レベルにある場合、データ・レジスタの更新までロー・レベルを維持し、データ・レジスタが更新されると、 $500 \times \text{tCLK IN}$ 間ハイ・レベルになった後にロー・レベルに戻ります。デバイスがスタンバイ・モードになったときに DRDY がロー・レベルである場合(データ・レジスタに有効な未読出しワードがあることを表示)、デバイスがスタンバイにある間にデータ・レジスタを 読出すことができます。この読出し動作が終わると、DRDY ラインは通常通りハイ・レベルに戻ります。

デバイスがスタンバイ・モードになると、デバイスが外部マスター・クロックで動作し、かつこのマスター・クロックが停止した場合、総合電流が $5 \mu\text{A}$ (typ) に減少します。外部クロックがスタンバイ・モードで動作を続ける場合、スタンバイ電流が 5V では $150 \mu\text{A}$ (typ) に、 3.3V 電源では $75 \mu\text{A}$ (typ) に、それぞれ増加します。水晶またはセラミック共振子をクロック・ソースとして使う場合、スタンバイ・モードでの総合電流は 5V 電源では $400 \mu\text{A}$ (typ) に、 3.3V 電源では $90 \mu\text{A}$ に、それぞれ異なります。これは、デバイスがスタンバイ・モードのとき内蔵発振器回路が動作を続けるためです。これは、システム・クロックが AD7715 のクロックから供給されるアプリケーションでは、AD7715 がスタンバイ・モードのときでも中断しないマスター・クロックを発生するために重要なことです。

精度

$\Sigma\text{-}\Delta$ ADC は、VFC やその他の積分型 ADC と同様に、非単調性を生ずる原因がないため、本来ノーミス・コード性能を持っています。AD7715 は、非常に小さい容量/電圧係数を持つ高品質な内蔵コンデンサの使用により優れた直線性を実現しています。また、このデバイスは入力ステージにチョップ安定化技術を採用して低入力ドリフトも実現しています。AD7715 では、時間と温度に対して優れた性能を保証するため、オフセットとゲイン誤差を小さくするデジタル・キャリブレーション技術を採用しています。

ドリフトの考慮事項

AD7715 ではチョップ安定化技術を使って入力オフセット・ドリフトを小さくしています。アナログ・スイッチのチャージ・インジェクションとサンプリング・ノードの DC リーク電流がコンバータ内のオフセット電圧ドリフトの主なソースです。DC 入力リーク電流は元々選択したゲインと無関係です。コンバータ内のゲイン・ドリフトは、主に内部コンデンサの温度トラッキングに依存します。リーク電流の影響は受けません。

オフセット・ドリフトまたはゲイン・ドリフトから生ずる測定誤差は、コンバータを再キャリブレーションすることにより、何時でも除去することができます。システム・キャリブレーション・モードを使うと、シグナル・コンディショニング回路内のオフセットとゲイン誤差も小さくすることができます。積分および微分直線性誤差は、温度変化から大きな影響を受けません。

電源

AD7715 には特別な電源シーケンスが不要です。AV_{DD} 電源または DV_{DD} 電源のいずれを最初に立上げててもかまいません。AD7715 のラッチアップ性能は優れていますが、REF IN ピン、AIN ピンまたはロジック入力ピンの信号の前に AD7715 の電源を供給して大きな電流を回避することが重要です。これが不可能な場合は、これらのピンを流れる電流を制限する必要があります。AD7715 とシステム・デジタル回路に別々の電源を使用する場合は、AD7715 の電源を先に立上げる必要があります。これを保証できない場合は、電流制限抵抗をロジック入力に直列に接続して電流を制限する必要があります。

通常の動作では、AD7715 アナログ電源電圧 (AV_{DD}) は常に デジタル電源電圧 (DV_{DD}) 以上である必要があります。

電源電流

AD7715 の消費電流は、3 V～3.6 V の範囲と 4.75 V～5.25 V の範囲の電源に対して規定されています。このデバイスは 2.85 V～5.25 V の電源範囲で動作し、デバイスの I_{DD} は、この範囲で電源電圧が変化すると変化します。図 7 に、1 MHz 外部クロックと 2.4576 MHz 外部クロックを使用した場合の 25 °C での V_{DD} 電圧変化に対する I_{DD} (typ) の変化を示します。AD7715 はパワファナシモードで動作しています。デバイスを低い V_{DD} 電圧で動作させると I_{DD} が小さくなるのが分かります。外部マスター・クロックを使うことによって、または内蔵発振器回路を使う場合に外付け部品を最適化することによって、AD7715 の I_{DD} を小さくすることもできます。

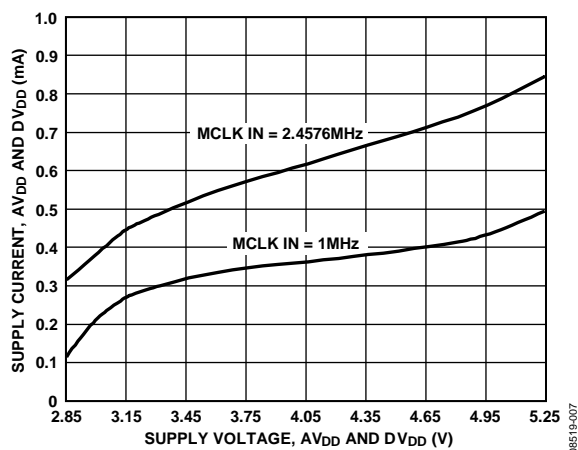


図 7. 電源電圧対 I_{DD}

グラウンド接続とレイアウト

アナログ入力とリファレンス入力は差動であるため、アナログ変調器内の多くの電圧は同相モード電圧です。この製品の優れた同相モード除去比により、これら入力での同相モード・ノイズが除去されます。AD7715 のアナログ電源とデジタル電源は独立しており、別々のピンを使用することにより、デバイスのアナログ部とデジタル部間の結合を最小にしています。デジタル・フィルタは、変調器サンプリング周波数の整数倍以外の広い帯域の電源ノイズを除去します。また、ノイズ・ソースがアナログ変調器を飽和させない限り、デジタル・フィルタはアナログ入力とリファレンス電圧入力のノイズも除去します。そのため、従来の高分解能コンバータに比べて AD7715 のノイズ干渉耐性は向上しています。しかし、AD7715 の分解能が高く、AD7715 で生ずるノイズ・レベルが低いいため、グラウンド接続とレイアウトについては注意が必要です。

AD7715 を実装するプリント回路ボードは、アナログ部とデジタル部を分離して、ボード内でそれぞれをまとめて配置するよ

うにデザインする必要があります。そうすることにより、グラウンド・プレーンの使用が可能になり、それらを容易に分離できるようになります。一般に、エッチング部分を最小すると、最適なシールド効果を持つため、この方法はグラウンド・プレーンに最適です。デジタル・グラウンド・プレーンとアナログ・グラウンド・プレーンは 1 点で接続する必要があります。AD7715 が AGND と DGND との接続を必要とする唯一のデバイスである場合は、これらのグラウンド・プレーンを AD7715 の AGND ピンと DGND ピンで接続する必要があります。複数のデバイスが AGND と DGND の接続を必要とするシステム内で AD7715 を使用する場合にも、この接続は 1 か所で行う必要があります。すなわち、AD7715 のできるだけ近くで星型グラウンド接続点を構成します。

ノイズがチップに混入するので、デバイスの真下をデジタル・ラインが通らないようにしてください。ノイズ混入を防止するため、アナログ・グラウンド・プレーンが AD7715 の下を通過することは可能です。AD7715 の電源ラインはできるだけ太いパターンにしてインピーダンスを下げ、電源ライン上のグリッチによる影響を軽減させます。クロックなどの高速なスイッチング信号は、デジタル・グラウンドでシールドしてボードの他の部分に対するノイズの放射を防止します。また、クロック信号はアナログ入力の近くを通過しないようにします。デジタル信号とアナログ信号の交差は回避する必要があります。ボードの反対側のパターンは、互いに右角度となるように配置します。これにより、ボードを通過するフィードスルーの効果を除去することができます。マイクロストリップ技術の使用は最善ですが、両面ボードでは常に使用できるとは限りません。この技術では、ボードの部品面はグラウンド・プレーン専用にして、信号はハンダ面に配線します。

高分解能 ADC を使うときは、デカップリングが重要になります。すべてのアナログ電源と AGND の間に 10 μ F のタンタル・コンデンサと 0.1 μ F のコンデンサを並列接続してデカップリングします。デカップリング部品の効果を最大にするためには、これらの部品をデバイスのできるだけ近くに、理想的にはデバイスの隣に配置します。すべてのロジック・チップは、DGND に接続した 0.1 μ F のディスク・セラミック・コンデンサでデカップリングする必要があります。AD7715 の AV_{DD} と DV_{DD} を同じ電圧で駆動するシステムでは、システムの AV_{DD} 電源の使用をお奨めします。この電源に対しては、AD7715 の AV_{DD} ピンと AGND の間に推奨アナログ電源デカップリング・コンデンサを、AD7715 の DV_{DD} ピンと DGND の間に推奨デジタル電源デカップリング・コンデンサをそれぞれ接続する必要があります。

AD7715 の性能評価

AD7715 の推奨レイアウトの概要は AD7715 評価用ボード内に示してあります。評価用ボードの梱包には、アセンブラ、テスト済み評価用ボード、ドキュメント、PC の USB ポートからボードを制御するソフトウェア、AD7715 の性能を PC 上で解析するソフトウェアが添付されています。評価用ボード・モデル番号は EVAL-AD7715-3EBZ です。

AD7715 に入力する信号内のノイズ・レベルもデバイスの性能に影響を与えます。AD7715 ソフトウェア評価パッケージ使用と、アナログ入力信号とは無関係にデバイスの真の性能を評価することができます。この方式では、デバイスのテスト・モードを使い、AD7715 の差動入力を内部で短絡して、アナログ変調器へゼロ差動電圧を入力します。デバイスの外部で、AIN(-) 入力をデバイスの許容同相モード範囲内の電圧に接続します。この方式は、デバイスのキャリブレーションを行った後に使う必要があります。

デジタル・インターフェース

AD7715 のプログラマブルな機能は、前述の内蔵レジスタのセットを使って制御します。これらのレジスタには、デバイスのシリアル・インターフェースを経由してデータが書込まれ、内蔵レジスタの読出しもこのインターフェースを使って行います。デバイスに対するすべての通信は、コミュニケーション・レジスタに対する書込み動作で開始されます。パワーオンまたは RESET の後、デバイスはコミュニケーション・レジスタに対する書込みを待ちます。コミュニケーション・レジスタに書込まれたデータから、デバイスに対する次のデータ転送動作が読出し/書込みのいずれであるかを知り、対象となるレジスタも知ります。したがって、デバイス上の他のすべてのレジスタに対する書込みアクセスは、コミュニケーション・レジスタに対する書込み動作で開始され、選択したレジスタに対する書込みがその後続きます。デバイス上の他のすべてのレジスタ(出力データ・レジスタも含む)からの読出し動作は、コミュニケーション・レジスタに対する書込み動作で開始され、その後を選択したレジスタからの読出しが続きます。

AD7715 のシリアル・インターフェースは、 \overline{CS} 、SCLK、DIN、DOUT、 \overline{DRDY} の 5 つの信号から構成されています。DIN ラインは内蔵レジスタにデータを転送するときに、DOUT ラインは内蔵レジスタからデータを取り出すときに、それぞれ使います。SCLK はデバイスのシリアル・クロック入力であり、すべてのデータ転送(DIN または DOUT 上での転送)は、この SCLK 信号を基準として実行されます。 \overline{DRDY} ラインはステータス信号として使い、AD7715 データ・レジスタからのデータ読出しが可能であることを表示します。出力レジスタに新しいデータ・ワードが設定されると、 \overline{DRDY} がロー・レベルになります。データ・レジスタからの読出し動作が完了すると、この信号はハイ・レベルに戻ります。この信号は出力レジスタの更新前にもハイ・レベルになり、デバイスからの読出しができないことを表示して、レジスタの更新中にデータが読出されることを防止します。 \overline{CS} はデバイスを選択するときに使います。シリアル・バスに複数のデバイスが接続されているシステムでは、AD7715 指定のアドレス・デコードにも \overline{CS} を使うことができます。

図 8 と 図 9 に、デバイスのデコードに $\overline{\text{CS}}$ を使った AD7715 に対するインターフェースのタイミング図を示します。図 8 に AD7715 の出力シフトレジスタの読み出し動作を、図 9 に入力シフトレジスタに対する書き込み動作を、それぞれ示します。最初の読み出し動作の後に、 $\overline{\text{DRDY}}$ ラインがハイ・レベルに戻った後でも、出力レジスタから同じデータを読み出すことができますが、次の出力更新が開始される前に読み出し動作が完了するように、注意する必要があります。

AD7715 のシリアル・インターフェースは、 $\overline{\text{CS}}$ 入力をロー・レベルに固定して、3 線式モードで動作させることもできます。この場合、 SCLK 、 DIN 、 DOUT の各ラインは AD7715 との通信に使い、 $\overline{\text{DRDY}}$ ステータス・ビットはコミュニケーション・レジスタの MSB から取得することができます。この方式は、マイクロコントローラとのインターフェースに適しています。デコーディング信号として $\overline{\text{CS}}$ が必要な場合は、ポートのビットからつくることができます。マイクロコントローラ・インターフェースに対しては、各データ転送の間に SCLK がアイドル・ハイになることが推奨されます。

AD7715 では、 $\overline{\text{CS}}$ をフレーム同期信号として使った動作も可能です。この方式は、DSP インターフェースに適しています。この場合、DSP では通常、 $\overline{\text{CS}}$ が SCLK の立下がりエッジの後に発生するため、先頭ビット (MSB) は実質的に $\overline{\text{CS}}$ によりクロック駆動されます。タイミング数に従う限り、 SCLK 各データ転送の間も動作し続けることができます。

シリアル・インターフェースは、デバイスの $\overline{\text{RESET}}$ 入力を使ってリセットすることができます。 DIN 入力に一連の "1" を書き込むことにより、リセットすることもできます。少なくとも 32 シリ

アル・クロック・サイクル間連続するロジック 1 を AD7715 DIN ラインに書き込むと、シリアル・インターフェースがリセットされます。ソフトウェア・エラーまたはシステム内のグリッチによりインターフェースが機能しなくなった場合、この方法を使って、3 線式システムを既知状態にリセットすることができます。この状態では、AD7715 によるコミュニケーション・レジスタに対する書き込み動作待ちの状態にインターフェースを戻します。この動作自体でレジスタ値をセルフ・リセットしませんが、インターフェースが失われるため、レジスタに書込まれた情報を知ることはできないので、すべてのレジスタを再設定することが推奨されます。

マイクロプロセッサまたはマイクロコントローラによっては、シリアル・インターフェースにシリアル・データラインを 1 本しか持たないものもあります。この場合には、AD7715 の DOUT ラインと DIN ラインを一緒にプロセッサ 1 本のデータラインに接続することができます。この 1 本のデータラインには 10 k Ω のプルアップ抵抗が必要です。この場合、読み出し動作と書き込み動作で同一ラインを共用しているため、インターフェースが機能しなくなったときに、既知状態に戻す手順は前述の方法と少し異なります。24 シリアル・クロック・サイクルを要する読み出し動作の後に、少なくとも 32 シリアル・クロック・サイクル間連続するロジック 1 を書き込む動作を行うと、シリアル・インターフェースを既知の状態に戻すことができます。

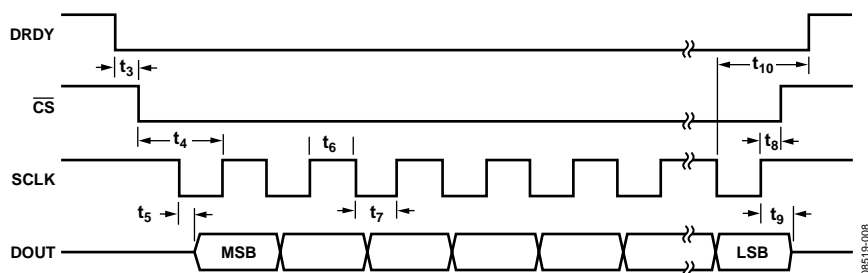


図 8. 読み出しサイクルのタイミング図

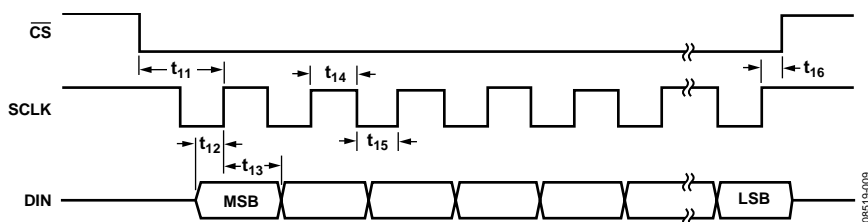


図 9. 書き込みサイクルのタイミング図

AD7715の設定方法

AD7715は3個のレジスタを内蔵しており、これらはデバイスのシリアル・インターフェースを介してアクセスすることができます。これらのレジスタとの通信は、コミュニケーション・レジスタに先ず書き込みを行うことにより開始されます。図10に、パワーアップまたはリセット後に全レジスタを設定するときのシーケンス・チャートを示します。このフローチャートは2種類の読出しオプションも示しています。1つ目のオプションでは、データ・レジスタが更新されたタイミングを求めるため

に $\overline{\text{DRDY}}$ ピンをポーリングします。2つ目のオプションでは、データ・レジスタ更新が行われたか否かを知るためにコミュニケーション・レジスタの $\overline{\text{DRDY}}$ ビットをチェックします。フローチャートには、特定のセットの次の動作状態に対してレジスタに書き込む必要がある一連のワードも示してあります。これらの状態とは、ゲイン=1、フィルタ同期なし、バイポーラ・モード、バッファ・オフ、クロック=2.4576 MHz、出力レート=60 Hzです。

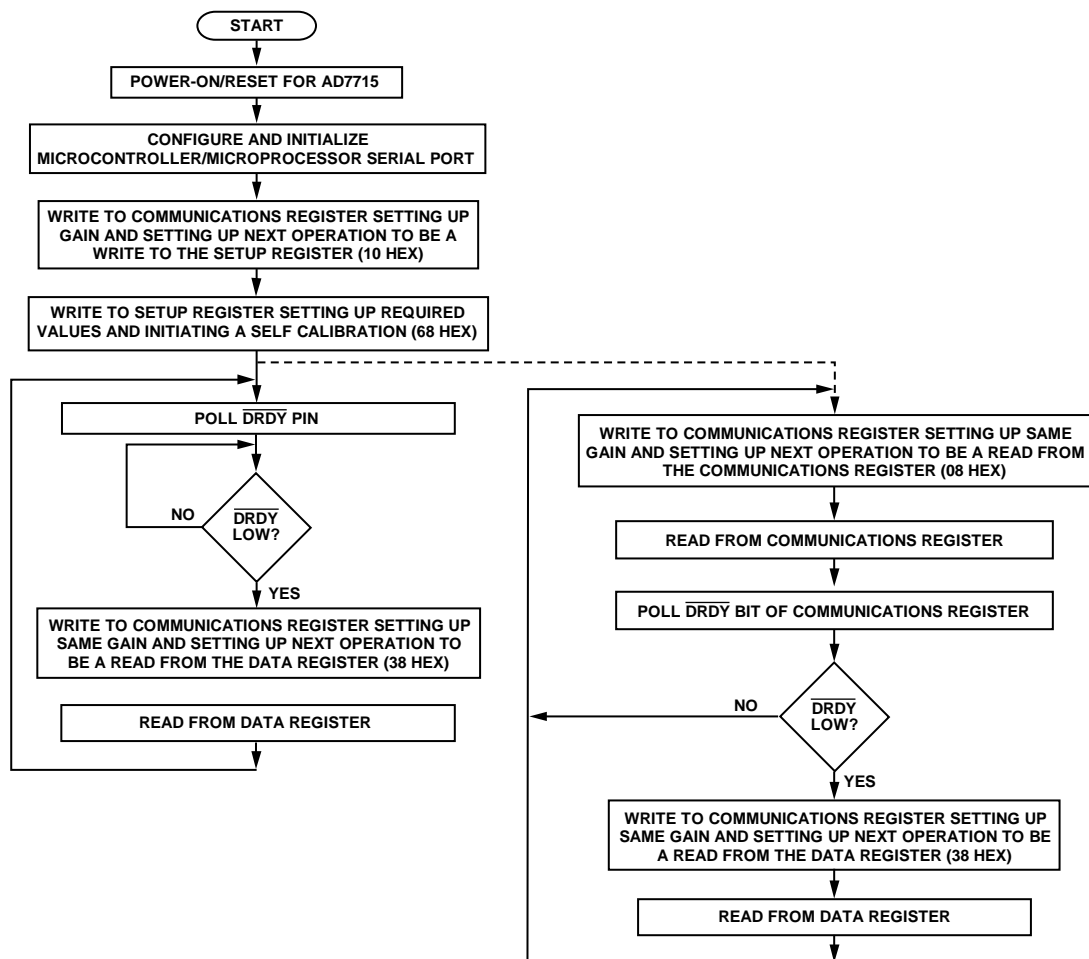


図 10. AD7715 のセットアップと読出しのフローチャート

08519-010

マイクロコントローラ/マイクロプロセッサとのインターフェース

AD7715 のシリアル・インターフェースを使うと、多くのマイクロコントローラやマイクロプロセッサと容易にインターフェースすることができます。図 10 のフローチャートに、マイクロコントローラまたはマイクロプロセッサと AD7715 との間のインターフェースで従うべきシーケンスを示します。図 11、図 12、図 13 に、幾つかの代表的なインターフェース回路を示します。

AD7715 のシリアル・インターフェースは 3 本の線だけで動作することができます。SPI インターフェース・プロトコルと互換性があります。このデバイスの 3 線式動作は、インターフェース・ライン数が少ないために、システム内で必要とされる光アイソレータ数が最小となる絶縁型システムに最適です。AD7715 に対するデジタル入力(特に SCLK 入力)の立上がり時間と立下がり時間は、1 μ s 以下である必要があります。

AD7715 の大部分のレジスタは 8 ビット・レジスタです。このため、マイクロコントローラの 8 ビット・シリアル・ポートに容易にインターフェースすることができます。デバイス上の幾つかのレジスタは最大 16 ビットですが、これらの 16 ビット・レジスタへのデータ転送はフル 16 ビット転送またはマイクロコントローラのシリアル・ポートへの 2 回の 8 ビット転送とすることができます。DSP プロセッサとマイクロプロセッサは、一般に、シリアル・データ動作で 16 ビット・データを転送します。ADSP-2105 のようなこれらの幾つかのプロセッサは、シリアル転送でのサイクル数を設定する機能を持っています。この機能を使うと、ユーザは AD7715 の必要なレジスタのレジスタ長に合わせて転送ビット数を調整することができます。

AD7715 の幾つかのレジスタは 8 ビット長であっても、連続書き込み動作におけるこれらのレジスタの 2 つとの通信は必要に応じて、1 回の 16 ビット・データ転送で処理することができます。例えば、セットアップ・レジスタが更新されると、プロセッサはまずコミュニケーション・レジスタに書き込みを行い(例えば、次の動作はセットアップ・レジスタに対する書き込みとします)、次に 8 ビットをセットアップ・レジスタに書き込みます。コミュニケーション・レジスタに対する書き込み動作の 8 シリアル・クロックが完了したら、デバイスはセットアップ・レジスタに対する書き込み動作を直ちに準備するため、必要な場合には、これを 1 回の 16 ビット転送で済ませることができる。

AD7715 と MC68HC11 とのインターフェース

図 11 に、AD7715 と 68HC11 マイクロコントローラとの間のインターフェースを示します。図には、AD7715 の \overline{CS} をロー・レベルにハードウェア接続した最小(3 線式)インターフェースを示してあります。この方式では、コミュニケーション・レジスタの \overline{DRDY} ビットを監視して、データ・レジスタが更新されたタイミングを検出します。インターフェース・ライン数が 4 本に増える別の回路では、AD7715 の \overline{DRDY} 出力ラインを監視する方法を使います。 \overline{DRDY} ラインの監視には次の 2 通りの方法があります。1 つ目は、入力に設定された、68HC11 のポート・ビットの 1 つ(たとえば PC0)に \overline{DRDY} を接続します。このポート・ビットをポーリングして、 \overline{DRDY} のステータスを調べます。2 つ目の方式は、割込み駆動システムを使う方法で、 \overline{DRDY} 出力を 68HC11 の IRQ 入力に接続します。AD7715 の \overline{CS} 入力の制御を必要とするインターフェースの場合は、出力に設定した、68HC11 のポート・ビットの 1 つ(たとえば PC1)を使って、 \overline{CS} 入力を駆動することができます。

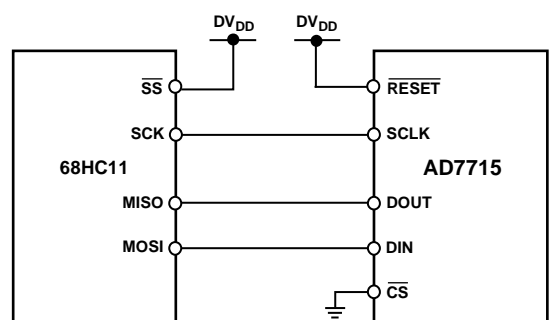


図 11. AD7715 と 68HC11 とのインターフェース

CPOL ビット="1" かつ CPHA ビット="1" に設定して、68HC11 をマスター・モードに設定します。68HC11 をこのように設定すると、データ転送の間に、SCLK ラインはアイドル・ハイ・レベルになります。AD7715 には全二重動作の機能はありません。AD7715 を書き込み動作に設定すると、SCLK 入力がアクティブであっても、DOUT ラインにはデータが出力されません。同様に、AD7715 を読み出し動作に設定した場合にも、SCLK がアクティブであっても、DIN ラインに入力されたデータは無視されます。

AD7715 と 68HC11 とのインターフェース用コードのセクションに、AD7715 と 68HC11 マイクロコントローラとの間のインターフェースのコーディングを示します。この例では、AD7715 の \overline{DRDY} 出力ラインが 68HC11 の PC0 ポート・ビットに接続され、ステータスを取得するためにポーリングされます。

AD7715 と 8XC51 とのインターフェース

図 12 に、AD7715 と 8XC51 マイクロコントローラとの間のインターフェースを示します。図には、AD7715 の \overline{CS} をロー・レベルにハードウェア接続した配線数が最小の(3 線式)インターフェースを示してあります。8XC51 インターフェースの場合、最小接続数は 2 本だけです。この方式では、コミュニケーション・レジスタの \overline{DRDY} ビットを監視して、データ・レジスタが更新されたタイミングを検出します。インターフェース・ライン数が 3 本に増える別の回路では、AD7715 の \overline{DRDY} 出力ラインを監視する方法を使います。 \overline{DRDY} ラインの監視には次の 2 通りの方法があります。1 つ目は、入力に設定された、8XC51 のポート・ビットの 1 つ(たとえば P1.0)に \overline{DRDY} を接続します。このポート・ビットをポーリングして、 \overline{DRDY} のステータスを調べます。2 つ目の方式は、割込み駆動システムを使う方法で、 \overline{DRDY} 出力を 8XC51 の INT1 入力に接続します。AD7715 の \overline{CS} 入力の制御を必要とするインターフェースの場合は、出力に設定した、8XC51 のポート・ビットの 1 つ(たとえば P1.1)を使って、 \overline{CS} 入力を駆動することができます。

8XC51 はモード 0 のシリアル・インターフェース・モードに設定します。シリアル・インターフェースにはデータラインが 1 本しかありません。そのため、AD7715 の DOUT ピンと DIN ピンを接続して、10 k Ω のプルアップ抵抗を接続します。8XC51 のシリアル・クロックは、データ転送間でアイドル・ハイ・レベルになります。8XC51 は書き込み動作で、LSB ファーストで出力しますが、AD7715 では出力シリアル・レジスタに送信データを書込む前に、データを並び替える必要があります。同様に、AD7715 は読出し動作で MSB を先頭にして出力しますが、8XC51 は LSB ファーストを想定しています。このため、シリアル・バッファに読み込んだデータを並び替えて、AD7715 の正しいデータ・ワードに直した後に、アキュムレータで使用できるようにする必要があります。

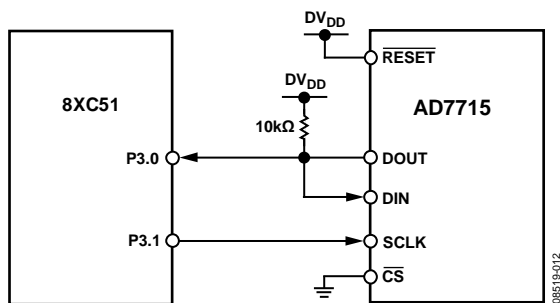


図 12. AD7715 と 8XC51 とのインターフェース

AD7715 と ADSP-2103/ADSP-2105 とのインターフェース

図 13 に、AD7715 と ADSP-2103/ADSP-2105 DSP プロセッサとの間のインターフェースを示します。この方式では、コミュニケーション・レジスタの \overline{DRDY} ビットを監視して、データ・レジスタが更新されたタイミングを検出します。もう 1 つの方式は、割込み駆動システムを使う方法で、 \overline{DRDY} 出力を ADSP-2103/ADSP-2105 の $\overline{IRQ2}$ 入力に接続します。ADSP-2103/ADSP-2105 のシリアル・インターフェースは、オルタネート・フレーミング・モードに設定します。ADSP-2103/ADSP-2105 の \overline{RFS} ピンと \overline{TFS} ピンはアクティブ・ロー出力として設定し、ADSP-2103/ADSP-2105 のシリアル・クロック・ライン SCLK も出力に設定します。ADSP-2103/ADSP-2105 の \overline{RFS} 出力または \overline{TFS} 出力がアクティブになると、AD7715 の \overline{CS} はアクティブになります。ADSP-2103/ADSP-2105 のシリアル・クロック・レートは 3 MHz に制限して、AD7715 との正常動作を保証する必要があります。

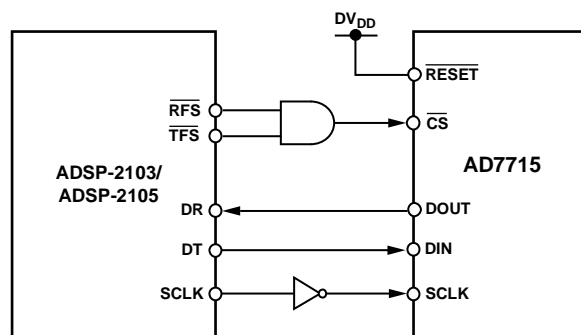


図 13. AD7715 と ADSP-2103/ADSP-2105 とのインターフェース

AD7715のセットアップ用コード

AD7715と68HC11とのインターフェース用Cコードのセクションに、68HC11 マイクロコントローラとAD7715をインターフェースさせるCコードの読み出しルーチンと書き込みルーチンを示します。このプログラム例はAD7715の種々のレジスタをセットアップし、デバイスから1000サンプルを68HC11へ読み込みます。デバイス上のセットアップ条件は、[図 10](#)のフローチャートと全く同じです。このコード例では、DRDY出力をポーリングして、新しい有効なワードがデータ・レジスタに有るか否かを調べます。

このプログラムのイベント・シーケンスは次の通りです。

1. コミュニケーション・レジスタに書き込みを行い、スタンバイにしないでゲイン=1を設定します。
2. セットアップ・レジスタに書き込みを行い、バイポーラ・モード、バッファ・オフ、フィルタ同期なし、クロック周波数 = 2.4576 MHzの確認、出力レート = 60 Hz、セルフキャリブレーションの起動を設定します。
3. DRDY出力をポーリングします。
4. データ・レジスタからデータを読み出します。
5. 指定のサンプル数を取得するまでステップ 3 とステップ 4 を繰り返します。

AD7715と68HC11とのインターフェース用Cコード

```

/* This program has read and write routines for the 68HC11 to interface to the AD7715 and the sample
program sets the various registers and then reads 1000 samples from the part. */
#include <math.h>
#include <io6811.h>
#define NUM_SAMPLES 1000 /* change the number of data samples */
#define MAX_REG_LENGTH 2 /* this says that the max length of a register is 2 bytes */
Writetoreg (int);
Read (int,char);
char *datapointer = store;
char store[NUM_SAMPLES*MAX_REG_LENGTH + 30];
void main()
{
    /* the only pin that is programmed here from the 68HC11 is the /CS and this is why the PC2 bit
of PORTC is made as an output */
    char a;
    DDRC = 0x04; /* PC2 is an output the rest of the port bits are inputs */
    PORTC |= 0x04; /* make the /CS line high */
    Writetoreg(0x10); /* set the gain to 1, standby off and set the next operation as write to the setup
register */
    Writetoreg(0x68); /* set bipolar mode, buffer off, no filter sync, confirm clock as 2.4576MHz, set
output rate to 60Hz and do a self calibration */
    while(PORTC & 0x10); /* wait for /DRDY to go low */
    for(a=0;a<NUM_SAMPLES;a++)
    {
        Writetoreg(0x38); /*set the next operation for 16 bit read from the data register */
        Read(NUM_SAMPLES,2);
    }
    Writetoreg(int byteword);
    {
    int q;
    SPCR = 0x3f;
    SPCR = 0x7f; /* this sets the WiredOR mode(DWOM=1), Master mode(MSTR=1), SCK idles high(CPOL=1), /SS
can be low always (CPHA=1), lowest clock speed (slowest speed which is master clock /32 */
    DDRD = 0x18; /* SCK, MOSI outputs */
    q = SPDR;
    q = SPDR; /* the read of the status register and of the data register is needed to clear the interrupt
which tells the user that the data transfer is complete */
    PORTC &= 0xfb; /* /CS is low */
    SPDR = byteword; /* put the byte into data register */

```

```
while(!(SPSR & 0x80)); /* wait for /DRDY to go low */
PORTC |= 0x4; /* /CS high */
}
Read(int amount, int reglength)
{
int q;
SPCR = 0x3f;
SPCR = 0x7f; /* clear the interrupt */
DDRD = 0x10; /* MOSI output, MISO input, SCK output */
while(PORTC & 0x10); /* wait for /DRDY to go low */
PORTC & 0xfb ; /* /CS is low */
for(b=0;b<reglength;b++)
    {
    SPDR = 0;
    while(!(SPSR & 0x80)); /* wait until port ready before reading */
    *datapointer++=SPDR; /* read SPDR into store array via datapointer */
    }
PORTC|=4; /* /CS is high */
}
```

アプリケーション情報

AD7715 は、低価格高分解能の A/D 変換機能を提供します。AD7715 は A/D 変換機能を $\Sigma\Delta$ アーキテクチャで提供しているため、ノイズの多い環境に強く、工業用制御およびプロセス制御のアプリケーションでの使用に最適です。プログラマブル・ゲイン・アンプ、デジタル・フィルタ、キャリブレーション・オプションも提供しています。そのため、高品質コンデンサを用意する不利もなく、標準品 IC の ADC よりはるかに多くのシステム・レベル機能を提供します。さらに、システム内で AD7715 を使用すると、AD7715 のノイズ性能は他の ADC よりはるかに優れているため、はるかに高レベルの分解能を実現することができます。

オンチップ PGA があるため、AD7715 は $V_{REF} = 1.25\text{ V}$ で 10 mV フルスケールの小さいアナログ入力電圧範囲を扱うことができます。デバイスの差動入力を使うと、バッファなしモードでこのアナログ入力範囲で $AGND \sim AV_{DD}$ の範囲にある絶対値を扱うことができます。AD7715 の入力にはトランスデューサを直接接続することができます。AD7715 のプログラマブル・ゲイン・フロントエンドにより、このデバイスでは $0\text{ mV} \sim 20\text{ mV}$ から $0\text{ V} \sim 2.5\text{ V}$ までのユニポーラ・アナログ入力範囲と $\pm 20\text{ mV} \sim \pm 2.5\text{ V}$ のバイポーラ入力範囲が可能になっています。デバイスは単電源で動作するため、これらのバイポーラ範囲はバイアス・アップされた差動入力を基準としています。

圧力測定

代表的な AD7715 のアプリケーションの 1 つとして圧力計測があります。図 14 に、Sensym社の圧力トランスデューサBP01 と AD7715 の組み合わせを示します。圧力トランスデューサはブリッジ回路として接続され、OUT(+)ピンとOUT(-)ピンに差動出力電圧が得られます。トランスデューサの定格フルスケール圧力(この場合 300 mmHg)で、差動出力電圧は、 3 mV/V 入力電圧(IN(+)ピンとIN(-)ピン間の電圧)になります。

励起電圧が 5 V の場合、トランスデューサのフルスケール出力範囲は 15 mV になります。ブリッジの励起電圧を使って、AD7715 のリファレンス電圧も発生します。このため、励起電圧の変動がシステム誤差になることはありません。図に示す $24\text{ k}\Omega$ と $15\text{ k}\Omega$ の抵抗値を選択すると、励起電圧が 5 V の場合、AD7715 に対して 1.92 V のリファレンス電圧になります。

ゲイン=128 に設定してデバイスを使用すると、AD7715 のフルスケール入力スパンは 15 mV になり、トランスデューサの出力スパンに対応します。

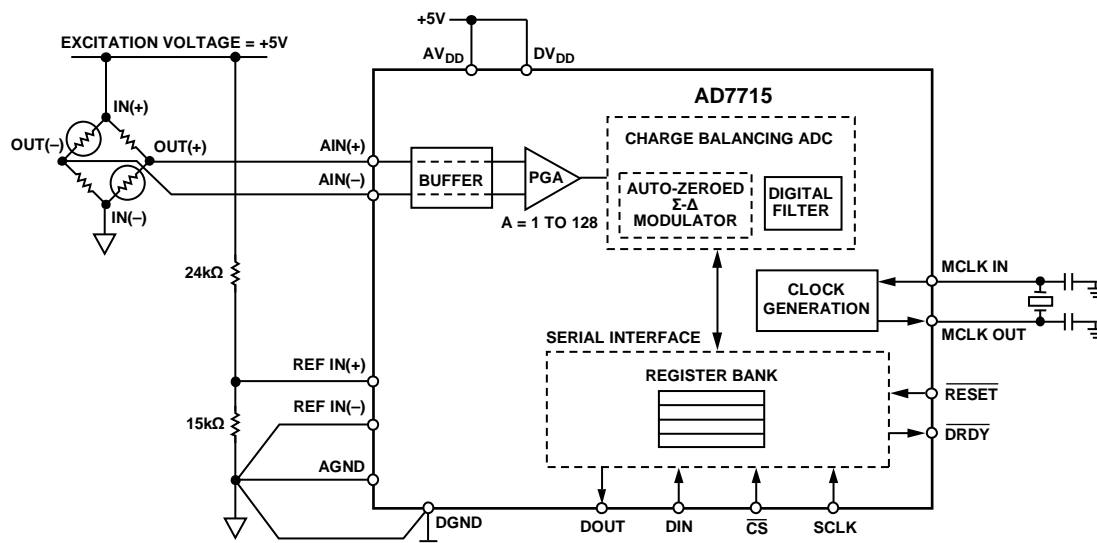


図 14. AD7715 を使用する圧力測定

08519-014

温度測定

AD7715 のもう 1 つのアプリケーションは、温度測定です。図 15 に、熱電対と AD7715 の接続を示します。このアプリケーションでは、AD7715 はバッファありモードで動作するため、フロント・エンドに大きなデカップリング・コンデンサを使用して、熱電対リードでのノイズ混入をなくすることができます。AD7715 がバッファありモードで動作する場合、同相モード範囲は狭くなります。熱電対からの差動電圧を適切な同相モード電圧にするため、AD7715 の AIN(-) 入力をリファレンス電圧 2.5 V にバイアスします。

図 16 に、AD7715 の別の温度計測アプリケーションを示します。このケースでは、トランスデューサとして RTD (抵抗温度デバイス) の PT100 を使っています。4 ピン RTD 構成で接続します。リード抵抗 R_{L1} と R_{L4} の両端に電圧降下が発生しますが、これらは

同相モード電圧をシフトさせるだけです。AD7715 への入力電流が非常に小さいため、リード抵抗 R_{L2} と R_{L3} の両端には電圧降下は生じません。リード抵抗は小さいソース・インピーダンスを持つため、AD7715 のバッファをターンオンする必要はありません。バッファが必要な場合、RTD の下側と AD7715 の AGND との間に小さい抵抗を接続して、同相モード電圧を適切に設定する必要があります。図 16 のアプリケーションでは、外付けの 400 μ A 電流源から PT100 励起電流を供給し、6.25 k Ω の抵抗を使って AD7715 のリファレンスも発生しています。入力電圧とリファレンスが励起電流に比例して変化するため、励起電流の変動は回路に影響を与えません。ただし、リファレンスの温度変化による誤差を防止するため、6.25 k Ω の抵抗は小さい温度係数を持つ必要があります。

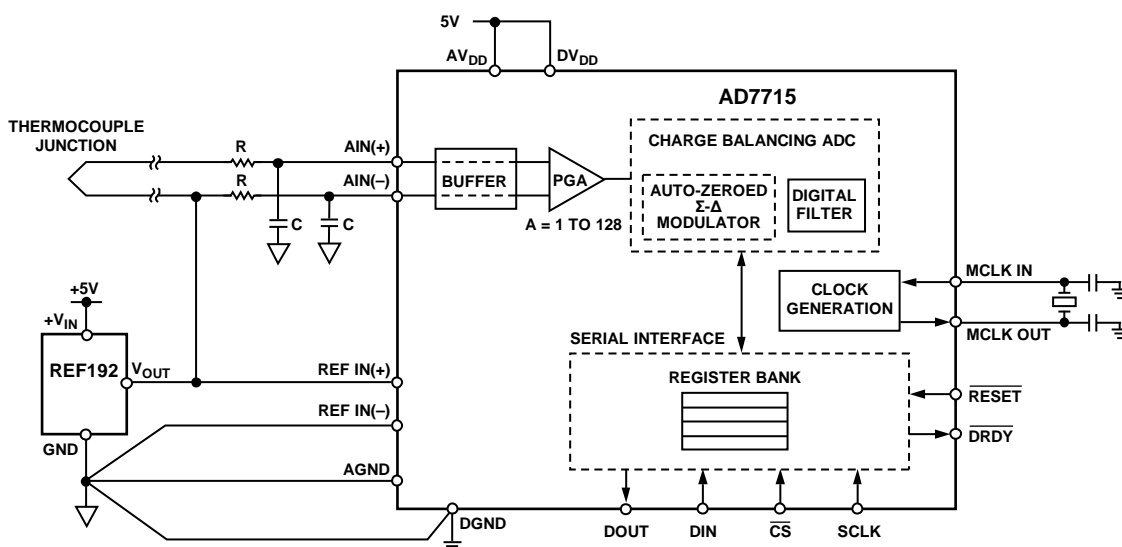


図 15. AD7715 を使用する熱電対測定

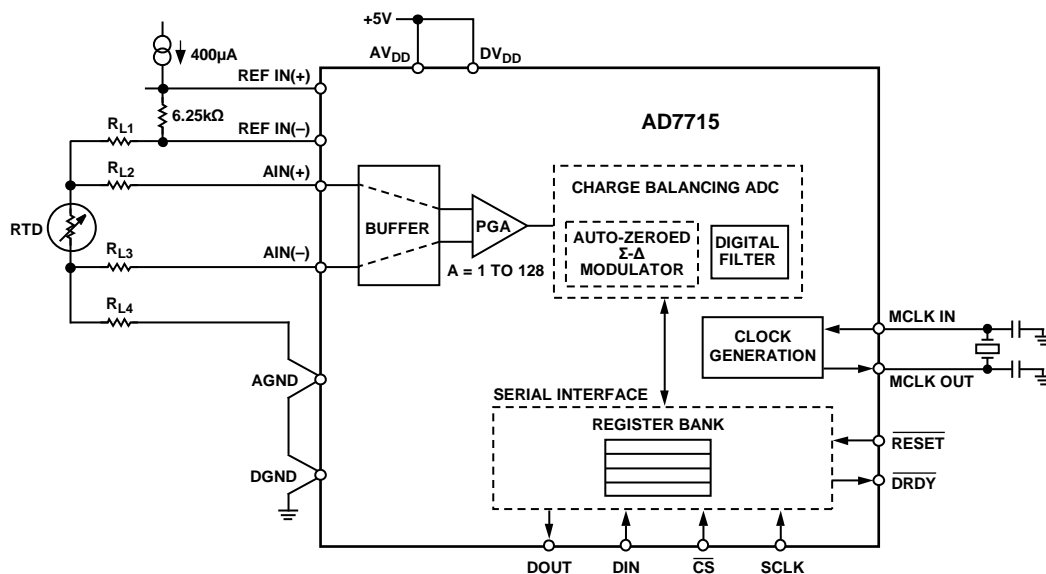


図 16. AD7715 を使用する RTD 測定

スマート・トランスミッタ

低消費電力、単電源、3線式インターフェース機能が役立つもう1つの領域は、スマート・トランスミッタです。ここでのスマート・トランスミッタ全体は、4 mA～20 mAのループで動作する必要があります。ループの許容差は、送信器に供給できる

電流が 3.5 mAと小さいことを意味します。AD7715 の消費電流は僅か 450 μ Aで、残りの 3 mAはトランスミッタで使用できます。図 17 に、AD7715 を使用したスマート・トランスミッタのブロック図を示します。図 17では、フロントエンドに電力を供給する絶縁された電源は省略してあります。

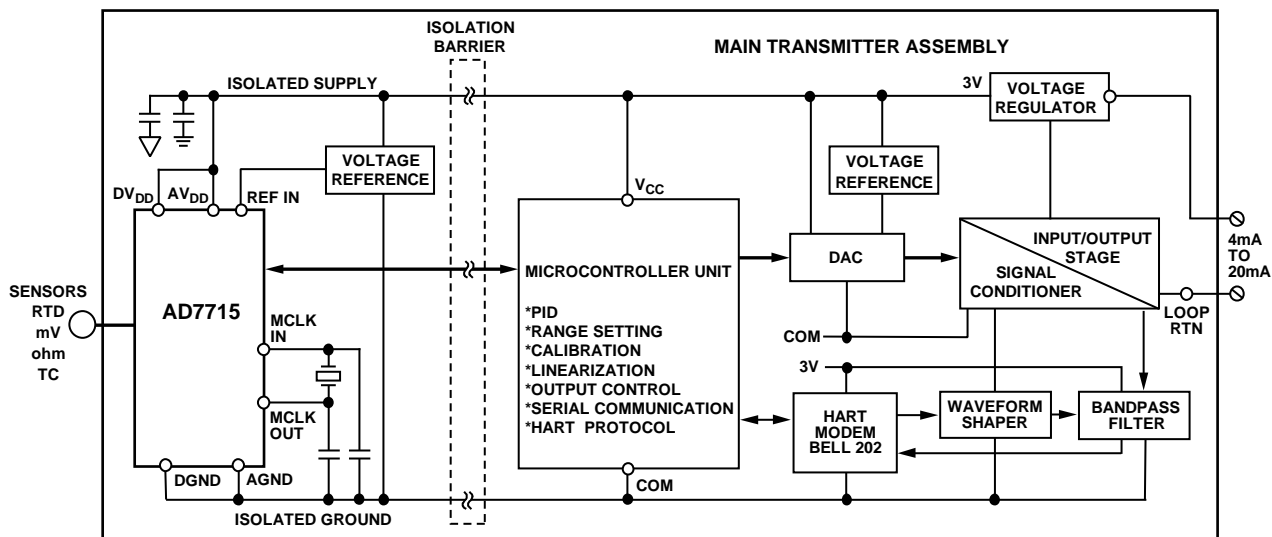
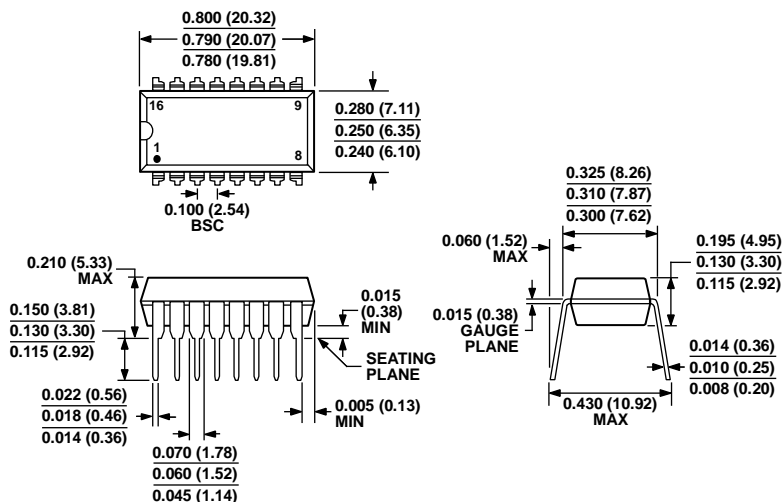


図 17. AD7715 を使用するスマート・トランスミッタ

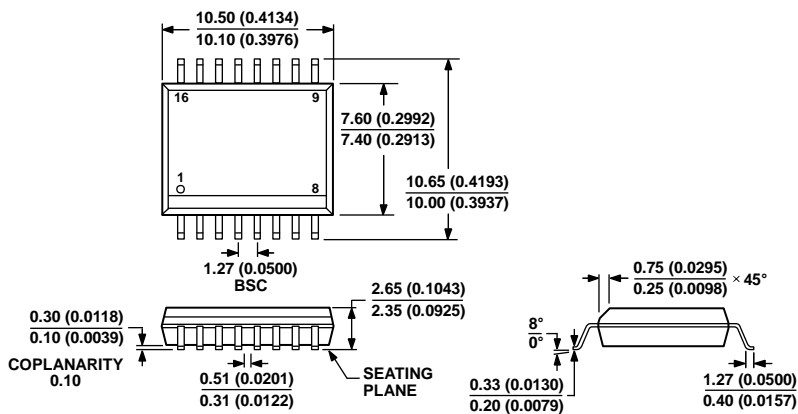
外形寸法



COMPLIANT TO JEDEC STANDARDS MS-001-AB
 CONTROLLING DIMENSIONS ARE IN INCHES; MILLIMETER DIMENSIONS
 (IN PARENTHESES) ARE ROUNDED-OFF INCH EQUIVALENTS FOR
 REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.
 CORNER LEADS MAY BE CONFIGURED AS WHOLE OR HALF LEADS.

073106-B

図 18.16 ピン・プラスチック・デュアルインライン・パッケージ[PDIP]
 ナロー・ボディ
 (N-16)
 寸法:インチ(mm)



COMPLIANT TO JEDEC STANDARDS MS-013-AA
 CONTROLLING DIMENSIONS ARE IN MILLIMETERS; INCH DIMENSIONS
 (IN PARENTHESES) ARE ROUNDED-OFF MILLIMETER EQUIVALENTS FOR
 REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.

032707-B

図 19.16 ピン標準スモール・アウトライン・パッケージ[SOIC_W]
 ワイドボディ
 (RW-16)
 寸法: mm (インチ)

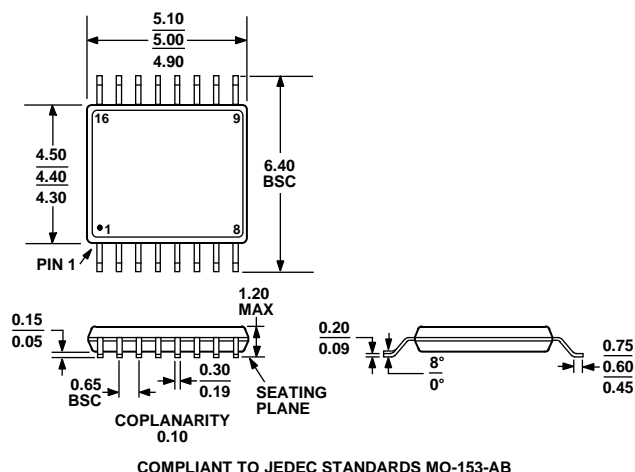


図 20.16 ピン薄型シュリンク・スモール・アウトライン・パッケージ[TSSOP]
(RU-16)
寸法: mm

オーダー・ガイド

Model	AV _{DD} Supply	Temperature Range	Package Description	Package Option
AD7715AN-5	5 V	-40°C to +85°C	16-Lead Plastic Dual In-Line Package [PDIP]	N-16
AD7715ANZ-5 ¹	5 V	-40°C to +85°C	16-Lead Plastic Dual In-Line Package [PDIP]	N-16
AD7715AR-5	5 V	-40°C to +85°C	16-Lead Standard Small Outline Package [SOIC_W]	RW-16
AD7715AR-5REEL	5 V	-40°C to +85°C	16-Lead Standard Small Outline Package [SOIC_W]	RW-16
AD7715ARZ-5 ¹	5 V	-40°C to +85°C	16-Lead Standard Small Outline Package [SOIC_W]	RW-16
AD7715ARZ-5REEL ¹	5 V	-40°C to +85°C	16-Lead Standard Small Outline Package [SOIC_W]	RW-16
AD7715ARU-5	5 V	-40°C to +85°C	16-Lead Thin Shrink Small Outline Package [TSSOP]	RU-16
AD7715ARU-5REEL	5 V	-40°C to +85°C	16-Lead Thin Shrink Small Outline Package [TSSOP]	RU-16
AD7715ARU-5REEL7	5 V	-40°C to +85°C	16-Lead Thin Shrink Small Outline Package [TSSOP]	RU-16
AD7715ARUZ-5 ¹	5 V	-40°C to +85°C	16-Lead Thin Shrink Small Outline Package [TSSOP]	RU-16
AD7715ARUZ-5REEL7 ¹	5 V	-40°C to +85°C	16-Lead Thin Shrink Small Outline Package [TSSOP]	RU-16
AD7715ACHIPS-5	5 V	-40°C to +85°C		Die
AD7715AN-3	3 V	-40°C to +85°C	16-Lead Plastic Dual In-Line Package [PDIP]	N-16
AD7715ANZ-3 ¹	3 V	-40°C to +85°C	16-Lead Plastic Dual In-Line Package [PDIP]	N-16
AD7715AR-3	3 V	-40°C to +85°C	16-Lead Standard Small Outline Package [SOIC_W]	RW-16
AD7715AR-3REEL	3 V	-40°C to +85°C	16-Lead Standard Small Outline Package [SOIC_W]	RW-16
AD7715ARZ-3 ¹	3 V	-40°C to +85°C	16-Lead Standard Small Outline Package [SOIC_W]	RW-16
AD7715ARZ-3REEL ¹	3 V	-40°C to +85°C	16-Lead Standard Small Outline Package [SOIC_W]	RW-16
AD7715ARU-3	3 V	-40°C to +85°C	16-Lead Thin Shrink Small Outline Package [TSSOP]	RU-16
AD7715ARU-3REEL	3 V	-40°C to +85°C	16-Lead Thin Shrink Small Outline Package [TSSOP]	RU-16
AD7715ARU-3REEL7	3 V	-40°C to +85°C	16-Lead Thin Shrink Small Outline Package [TSSOP]	RU-16
AD7715ARUZ-3 ¹	3 V	-40°C to +85°C	16-Lead Thin Shrink Small Outline Package [TSSOP]	RU-16
AD7715ARUZ-3REEL7 ¹	3 V	-40°C to +85°C	16-Lead Thin Shrink Small Outline Package [TSSOP]	RU-16
AD7715ACHIPS-3	3 V	-40°C to +85°C		Die
EVAL-AD7715-3EBZ ¹	3 V		Evaluation Board	

¹ Z = RoHS 準拠製品。